

“Júlio de Mesquita Filho”

Faculdade de Engenharia - Campus de Ilha Solteira
Programa de Pós Graduação em Engenharia Elétrica
Laboratório de Eletrônica de Potência - LEP

Jurandir de Oliveira Soares

**Controle Digital Através de Dispositivo FPGA Aplicado a um
Retificador Trifásico Híbrido Operando com Modulação por
Histerese Variável**

Orientador:

Prof. Dr. Carlos Alberto Canesin

Tese submetida à Faculdade de Engenharia de
Ilha Solteira – FEIS/UNESP – como parte dos
requisitos exigidos para a defesa de Doutorado.

Ilha Solteira (SP), Dezembro de 2008.

FICHA CATALOGRÁFICA

Elaborada pela Seção Técnica de Aquisição e Tratamento da Informação
Serviço Técnico de Biblioteca e Documentação da UNESP - Ilha Solteira.

S676c	<p>Soares, Jurandir de Oliveira. Controle digital através de dispositivo FPGA aplicado a um retificador trifásico híbrido operando com modulação por histerese variável / Jurandir de Oliveira Soares. -- Ilha Solteira : [s.n.], 2008. 276 f.</p> <p>Tese (doutorado) - Universidade Estadual Paulista. Faculdade de Engenharia de Ilha Solteira, 2008</p> <p>Orientador: Carlos Alberto Canesin Bibliografia: p. 234-240</p> <p>1. Retificador híbrido. 2. Fator de potência. 3. Sistemas de controle digital. 4. Dispositivo FPGA. 5. VHDL (Linguagem descritiva de hardware).</p>
-------	---

CERTIFICADO DE APROVAÇÃO

TÍTULO: Controle Digital Através de Dispositivo FPGA Aplicado a um Retificador Trifásico Híbrido operando com Modulação por Histerese Variável

AUTOR: JURANDIR DE OLIVEIRA SOARES

ORIENTADOR: Prof. Dr. CARLOS ALBERTO CANESIN

Aprovado como parte das exigências para obtenção do Título de DOUTOR em ENGENHARIA ELÉTRICA pela Comissão Examinadora:


Prof. Dr. CARLOS ALBERTO CANESIN
Departamento de Engenharia Elétrica / Faculdade de Engenharia de Ilha Solteira


Prof. Dr. FALCONDES JOSE MENDES DE SEIXAS
Departamento de Engenharia Elétrica / Faculdade de Engenharia de Ilha Solteira


Prof. Dr. FLÁVIO ALESSANDRO SERRÃO GONCALVES
Departamento de Engenharia Elétrica / Faculdade de Engenharia de Ilha Solteira


Prof. Dr. LUIZ CARLOS DE FREITAS
Departamento de Engenharia Elétrica / Universidade Federal de Uberlândia - UFU


Prof. Dr. JOÃO BATISTA VIEIRA JUNIOR
Departamento de Engenharia Elétrica / Universidade Federal de Uberlândia - UFU

Data da realização: 15 de dezembro de 2008.

A Deus e aos meus queridos Pais...

AGRADECIMENTOS

Ao professor Carlos Alberto Canesin por ter confiado a mim o desenvolvimento desta pesquisa e pela orientação competente e segura.

Ao Conselho Nacional de Desenvolvimento Científico e Tecnológico – CNPQ, pela concessão da bolsa de estudos, propiciando-me tranquilidade e segurança durante a realização do trabalho.

Aos professores Falcondes José Mendes de Seixas (UNESP), Flávio Alessandro Serrão Gonçalves (UNESP), Luiz Carlos de Freitas (UFU) e João Batista Vieira Júnior (UFU), integrantes da comissão examinadora, pelas contribuições sugeridas para a versão final deste trabalho.

Ao professor Falcondes José Mendes de Seixas pela atenção e empréstimo de equipamentos na fase de testes experimentais do protótipo implementado.

Ao professor de graduação (UNIDERP/MS) e colega do Laboratório de Eletrônica de Potência (LEP/UNESP), Fausto Donizeti Dantas, *in memoriam*, e ao Renato Silvano Rossi, também colega do curso de pós-graduação da UNESP até o início do ano de 2005, pelo apoio nos momentos difíceis (inclusive suporte financeiro) durante o meu primeiro ano de doutorado.

Aos demais colegas dos laboratórios LEP e Qualidade de Energia, e da pós-graduação, Guilherme de Azevedo e Melo, Castellane Silva Ferreira, Moacyr Aureliano Gomes de Brito, Flávio Alessandro Serrão Gonçalves, Rodrigo Nunes de Oliveira e Fábio Toshiaki Wakabayashi pela ajuda e sugestões, contribuindo de forma relevante para a realização do trabalho, também pela convivência e amizade.

A toda a minha família pelo incentivo e apoio durante toda a minha formação, em especial aos meus pais: Sabino Corrêa Soares e Ilza Vieira de Oliveira Soares, pela vida, a educação sólida e por compreender a minha ausência.

RESUMO

O objetivo deste trabalho é a concepção de uma lógica de controle digital com modulação por histerese variável usando um dispositivo programável FPGA (*Field Programmable Gate Array*) e linguagem de descrição de hardware VHDL (*Hardware Description Language*), aplicada em um retificador trifásico híbrido para a obtenção do Fator de Potência (FP) de entrada quase unitário.

O Retificador Trifásico Híbrido (RTH) é uma estrutura composta por um retificador a diodos de 6 pulsos e por três retificadores monofásicos SEPIC conectados em paralelo. O controle digital proposto é capaz de impor a forma de onda das correntes de entrada, obtendo-se Distorção Harmônica Total (DHT) reduzida e fator de potência (FP) quase unitário, sendo que nesta condição, os retificadores monofásicos SEPIC conduzirão no máximo 33% da potência ativa total. Além disso, o uso de FPGAs dará ao Retificador Híbrido Trifásico uma flexibilidade adicional na operação, podendo substituir vários sistemas de múltiplos pulsos convencionais e reduzir custos para o sistema de controle por eliminar a confecção de circuitos complexos de controle analógico, para os conversores chaveados.

Neste trabalho, apresenta-se uma análise detalhada e metodologia de projeto para o Retificador Híbrido Trifásico (RTH) que possibilita relacionar o valor da DHT das correntes de entrada com os valores das potências média e aparente processadas pelas estruturas controlada e não-controlada, podendo-se prever o desempenho global do sistema. Serão apresentados detalhes sobre o funcionamento do código VHDL e da modulação por histerese variável empregada e, por fim, os resultados experimentais de um protótipo implementado para 3,0 kW.

O código VHDL desenvolvido, associado à lógica de controle digital proposta, foi implementado através de um dispositivo FPGA da Xilinx – Spartan XC2S200E, módulo digilab-D2E, cujos sinais de controle gerados resultaram em correntes de entrada praticamente senoidais com um valor reduzido de DHT (entre 4,03% e 4,54%). A potência processada pelo retificador controlado corresponde a 32% da potência ativa total entregue à carga.

Portanto, do ponto de vista da eficiência energética, tais características de operação tornam o retificador híbrido bastante atrativo comercialmente e recomendado para instalações industriais (potências médias e elevadas).

Palavras chave – Controle digital, Dispositivo FPGA, Linguagem VHDL, Retificador Híbrido, Correção Ativa do Fator de Potência, Modulação por Histerese.

ABSTRACT

The objective of this work is the development of a digital control logic with variable hysteresis modulation using a FPGA (Field Programmable Gate Array) device and VHDL (Hardware Description Language), applied at a hybrid three-phase rectifier in order to obtain an almost unitary input power factor (PF).

The hybrid three-phase rectifier is a structure composed by parallel SEPIC controlled single-phase rectifiers connected to each leg of a standard 6-pulses uncontrolled diode rectifier. The proposed digital control is capable to impose input current waveforms, resulting in a reduced THD (Total Harmonic Distortion) and almost unitary input power factor, being that in this operation condition the parallel SEPIC single-phase rectifiers will process only 33.0 % of total active power. Moreover, the use of FPGA will provide to hybrid three-phase rectifier an additional flexibility in its operation, making possible the replacement of some conventional systems of multiple pulses and reducing costs for the control system, through the elimination of complex analogical circuitry used in the controlled converters.

In this work is presented a detailed analysis and design methodology to hybrid three-phase rectifier that establishes a relationship between the THD imposed to line input currents, with the average and apparent powers processed through controlled and uncontrolled structures, making possible to know previously the global system performance. It will be presented details about the operation of the VHDL code and variable hysteresis modulation proposed, and finally the experimental results from an implemented 3.0 kW prototype.

The developed VHDL code, considering the proposed digital control logic, was implemented through a Xilinx's FPGA device – Spartan XC2S200E, digilab-D2E module, whose generated control signals resulted in input currents with practically sinusoidal waveforms and reduced value of THD (among 4.03% and 4.54%). The processed power by controlled rectifier was only 32.0 % of the total active output power.

Therefore, considering the point of view of energy efficiency, such characteristics of operation, making the proposed hybrid rectifier a solution economically viable for industrial installations.

Keywords – Active Power-Factor Correction, Digital Control, FPGA Device, Hybrid Rectifier, Hysteresis Modulation.

SUMÁRIO

1 – Introdução Geral	11
1.1 – Parâmetros de Análise para as Estruturas Retificadoras	12
1.1.1 – Ondulação (<i>Ripple</i>) da Tensão de Saída.....	12
1.1.2 – O Fator de Potência e a Distorção Harmônica Total	13
1.1.3 – Fontes de Distorção Harmônica e seus Efeitos	15
1.2 – Classificação Topológica dos Retificadores Trifásicos com Correção do Fator de Potência	16
1.2.1 – Retificadores Trifásicos Não-Controlados com Correção do Fator de Potência.....	17
1.2.2 – Retificadores Trifásicos Controlados com Correção do Fator de Potência	31
1.2.3 – Retificadores Trifásicos Híbridos.....	37
1.3 – Motivação e Proposta para o Trabalho	44
1.3.1 – Controle por Corrente de Pico	44
1.3.2 – Controle por Corrente Média.....	46
1.3.3 – Controle por Histerese (Modulação por Limites de Corrente – MLC)	47
2 – Análise Quantitativa do Retificador Trifásico Híbrido com Correção do Fator de Potência (RTH)	50
2.1 – Introdução.....	50
2.2 – Descrição da Análise Quantitativa	51
2.2.1 – Decomposição em Série de Fourier das Correntes de Entrada dos Retificadores Controlado e Não Controlado	63
2.2.2 – Análise das Potências Média e Aparente em Função de uma DHT Imposta para as Correntes de Entrada	72
2.3 – Conclusões.....	90
3 – Análise do Funcionamento e Projeto do Conversor SEPIC	91
3.1 – Introdução.....	91
3.2 – Considerações e Simplificações da Análise	91
3.3 – Análise no Período da rede CA de Alimentação	92
3.3.1 – Os Valores de Pico de Entrada	93

3.3.2 – Os Valores Eficazes de Entrada	93
3.3.3 – Os Valores Médios de Entrada	94
3.3.4 – Os Valores Médios de Saída	94
3.3.5 – Potência Ativa de Entrada e de Saída.....	96
3.4 – Análise do Conversor SEPIC ₁ no Período de Comutação	97
3.4.1 – Análise Qualitativa	97
3.4.2 – Análise Quantitativa	102
3.5 – Considerações Gerais sobre a Modulação por Histerese.....	109
3.6 – Análise Teórica da Modulação por Histerese Digital Proposta.....	112
3.7 – Balanço de Energia no SEPIC ₁	116
3.8 – Refinamento das Equações para o Projeto do SEPIC ₁	119
3.8.1 – Conversor SEPIC ₁ Operando em um Período Genérico de Comutação T _s , com o parâmetro K < 2:.....	119
3.8.2 – Conversor SEPIC ₁ Operando na Condição de Esforço máximo	124
3.9 – Conclusões.....	129
4 – Metodologia de Projeto para o Retificador Trifásico Híbrido.....	130
4.1 – Introdução.....	130
4.2 – Projeto do Retificador não Controlado (Retif-1).....	131
4.3 – Projeto do Retificador Controlado (Retif-2).....	132
4.4 – Escolha do Ponto de Operação do Retificador Trifásico Híbrido	136
4.5 – Cálculo do Filtro de Saída do Retificador Não controlado	141
4.5.1 – O Cálculo do Indutor de Saída	142
4.5.2 – O Cálculo do Capacitor de Saída	144
4.6 – Projeto dos Núcleos Magnéticos para os Indutores.....	144
4.6.1 – Projeto dos Núcleos para os Indutores de Entrada e de Saída do SEPIC ₁	145
4.6.2 – Projeto dos Núcleos dos Indutores de Saída do Retificador Não-controlado	150
4.7 – Circuito Snubber para o Interruptor Principal do SEPIC ₁	157
4.8 – Cálculo Térmico dos Semicondutores.....	159
4.8.1 – Cálculo Térmico dos Semicondutores do Retificador Monofásico SEPIC ₁	160
4.8.2 – Cálculo Térmico dos Semicondutores do Retificador Trifásico Não-controlado	164
4.9 – Perdas Totais no Retificador Trifásico Híbrido.....	165
4.10 – Parâmetros Projetados para o Circuito do Retificador Trifásico Híbrido	166

4.11 – Conclusões.....	168
------------------------	-----

5 – Controle Digital, Implementado Através de VHDL, para Imposição das Formas de Onda das Correntes de Entrada do Retificador Trifásico Híbrido...169

5.1 – Introdução.....	169
5.2 – Aspectos Gerais da Lógica de Controle Proposta	169
5.2.1 – Circuito de Aquisição das Correntes	172
5.2.2 – Circuito do Sensor de Tensão	177
5.2.3 – Circuito do Sensor de Corrente	178
5.2.4 – Circuito de Comando do SEPIC ₁	179
5.3 – Descrição do Código VHDL para a Obtenção dos Pulsos de Comando do SEPIC-1 ...	180
5.3.1 – Uma Visão Geral do Código VHDL Proposto	180
5.3.2 – <i>Componente A</i> : Protocolo de Aquisição de Correntes	183
5.3.3 – <i>Componente B</i> : Geração da senóide de referência	185
5.3.4 – <i>Componente C</i> : Controle do Formato da Corrente de Referência para o SEPIC ₁	186
5.3.5 – <i>Componente D</i> : Geração da Corrente de Referência para o SEPIC ₁	187
5.3.6 – <i>Componente E</i> : Modulador Histerese	187
5.4 – Otimização da Estratégia de Controle	190
5.4.1 – Filtro Digital	194
5.5 – Acionamento do Retificador Trifásico Híbrido.....	199
5.6 – Conclusões.....	201

6 – Principais Resultados Experimentais para o Retificador Trifásico Híbrido (RTH).....202

6.1 – Introdução.....	202
6.2 – Protótipo Implementado	202
6.3 – Principais Resultados Experimentais.....	209
6.4 – Análise do Rendimento	222
6.5 – Conclusões.....	231

Conclusões Gerais.....232

Referências234

APÊNDICE A - Dispositivos Lógicos Programáveis FPGA com Uso da Linguagem de Descrição de Hardware VHDL.....	241
APÊNDICE B - Código VHDL – Modulação por histerese	252

CAPÍTULO 1

1 - Introdução Geral

A partir de 1912, no início do século XX, alguns autores consideram como o início da história da eletrônica de potência, com o surgimento dos amplificadores magnéticos série e paralelo (referenciados na literatura como reatores saturáveis e desenvolvidos por *E. F. W. Alexanderson* da *General Electric Company*) [1]. O circuito resultante foi um conversor CA-CA bastante robusto e sem partes móveis, onde o controle do fluxo de potência da fonte para a carga era realizado através de uma corrente CC de pequena amplitude, injetada nos enrolamentos para variar a impedância dos reatores conectados entre a fonte de alimentação e a carga. Em 1916 já era possível processar 70 kW através do amplificador magnético o qual foi utilizado para estabelecer a primeira comunicação via rádio entre os Estados Unidos da América e o continente europeu.

Na década de 20, do século XX, já se destacavam outros dispositivos estáticos para o controle do fluxo de potência (pesquisa iniciada por *Lee DeForest*, a partir de 1907), os tubos à vácuo (*vacuum tubes*) contendo mercúrio (Hg), cuja ignição era controlada externamente para criar o arco de mercúrio e estabelecer a conexão entre o cátodo e ânodo do dispositivo. Entretanto, uma maior eficiência no controle do arco de mercúrio só ocorreu a partir de 1933 (desenvolvido por *Joseph Slepian*, *L. R. Ludwig* e outros pesquisadores da *Westinghouse*), com o desenvolvimento dos retificadores controlados a arco de mercúrio (*mercury-arc rectifier*), os quais dominaram o mercado até por volta de 1950 [1].

Em 1948, possivelmente, ocorreu a maior revolução na história da engenharia elétrica com a invenção do transistor semicondutor. Posteriormente, entre os anos de 1950 e 1960, dispositivos de processamento de potência, como o diodo e o tiristor SCR (*Silicon Controlled Rectifier* – fabricado pela *General Electric*) tornaram-se viáveis comercialmente e o primeiro retificador a diodos com capacidade de processar corrente maior do que 100 kA foi disponibilizado no mercado em 1960, sendo considerada uma evolução significativa da eletrônica de potência. Dez anos mais tarde o primeiro retificador controlado a tiristor com a capacidade de processar 100 kA também foi operacionalizado [1-4]. A partir daí, os retificadores ou conversores CA-CC (utilizando dispositivos eletrônicos para converter tensões e correntes alternadas (CA), em tensões e correntes contínuas (CC)), têm sido amplamente empregados em vários segmentos da indústria, como por exemplo: Suprimento ininterrupto de potência (*UPSs - Uninterruptible Power Supplies*), sistemas HVDC (*High*

Voltage Direct Current), sistemas de armazenamento de energia de baterias (*BESSs - Battery Energy Storage Systems*), fontes alternativas de energia, tais como sistemas fotovoltaicos (*PVs - Photovoltaic Systems*), suprimento de potência em sistemas de telecomunicações, acionamento elétrico e controle de velocidade de motores (*ASDs - Adjustable-speed drives*), etc. [5-7].

Uma observação importante é que, em aplicações industriais, a potência processada poderá atingir a ordem de grandeza de Mega Watts, portanto, os retificadores são estruturas trifásicas para tais potências, visando o equilíbrio de carga entre as fases do sistema elétrico. Assim, o escopo deste trabalho se restringe ao estudo dos retificadores trifásicos .

1.1 - Parâmetros de Análise para as Estruturas Retificadoras

De um modo geral e, idealmente, o que se espera de um retificador trifásico é que suas características de entrada e de saída sejam as melhores possíveis, ou seja [8]:

- A tensão de saída deverá ser estável e sem ondulação (*ripple*);
- O fator de potência (FP) deverá ser unitário.

Atendendo tais condições relacionadas acima, a tensão de barramento da rede de alimentação terá a sua forma de onda senoidal preservada, evitando-se os prejuízos inerentes de uma tensão distorcida às demais cargas conectadas neste barramento.

1.1.1 – Ondulação da Tensão de Saída

A qualidade da tensão de saída poderá ser avaliada através do fator de forma (FF). O fator de forma é definido de acordo com a equação (1.1).

$$FF = \frac{V_{Oef}}{V_{Omd}} \quad (1.1)$$

Onde:

V_{Oef} : Valor eficaz da tensão de saída do retificador;

V_{Omd} : Valor médio da tensão de saída do retificador.

Sendo:

$$V_{Omd} = \frac{1}{T} \cdot \int_0^T v_O(t) \cdot dt \quad (1.2)$$

$$V_{Oef} = \sqrt{\frac{1}{T} \cdot \int_0^T v_O^2(t) \cdot dt} \quad (1.3)$$

Onde:

$v_O(t)$: Valor instantâneo da tensão de saída do retificador;

T : Período da tensão $v_O(t)$.

A amplitude do *ripple* da tensão de saída está relacionada com a presença de componentes harmônicas as quais são computadas no cálculo do valor eficaz, através da equação (1.3). Numa situação ideal (inexistência de *ripple*), o fator de forma (FF) é igual a um, ou seja, $V_{Omd} = V_{Oef}$.

1.1.2 – Fator de Potência e a Distorção Harmônica Total

O Fator de potência (FP) é um parâmetro de qualidade definido como a relação das potências média (P) e aparente (S), entregues a uma carga ou dispositivo. No caso específico de um retificador, trata-se das potências média e aparente fornecidas pela rede de alimentação, vistas pela sua entrada [8-9]. Na seqüência, tem-se a equação genérica para o cálculo do Fator de Potência, independente das formas de onda dos sinais de tensão e corrente envolvidas, contanto que sejam periódicos.

$$FP = \frac{P}{S} = \frac{\frac{1}{T} \cdot \int_0^T v(t) \cdot i(t) dt}{V_{ef} \cdot I_{ef}} \quad (1.4)$$

Sendo que:

$$P = \frac{1}{T} \cdot \int_0^T v(t) \cdot i(t) dt = V_{md} \cdot I_{md} + \sum_{n=1}^{\infty} \frac{V_n \cdot I_n}{2} \cdot \cos(\varphi_n) \quad (1.5)$$

$$V_{ef} = \sqrt{V_{md}^2 + \sum_{n=1}^{\infty} \frac{V_n^2}{2}} \quad (1.6)$$

$$I_{ef} = \sqrt{I_{md}^2 + \sum_{n=1}^{\infty} \frac{I_n^2}{2}} \quad (1.7)$$

Onde:

n : Ordem harmônica;

φ_n : Ângulo de defasagem entre as componentes de tensão e corrente em uma ordem harmônica “n”;

T : Período da componente fundamental da tensão de entrada;

V_{md} : Valor médio da tensão de entrada;

I_{md} : Valor médio da corrente de entrada;

$v(t)$: Valor instantâneo da tensão de entrada;

$i(t)$: Valor instantâneo da corrente de entrada;

V_{ef} : Valor eficaz da tensão de entrada;

I_{ef} : Valor eficaz da corrente de entrada;

V_n : Valor de pico da componente harmônica da tensão de entrada para uma ordem harmônica “n”;

I_n : Valor de pico da componente harmônica da corrente de entrada para uma ordem harmônica “n”.

Considerando que a tensão de entrada seja puramente senoidal, o valor médio (V_{md}) e as componentes harmônicas de ordem $n > 1$ são nulas. Portanto, as equações (1.5) e (1.6), são simplificadas conforme (1.8) e (1.9):

$$P = \frac{1}{T} \cdot \int_0^T v(t) \cdot i(t) dt = \frac{V_1 \cdot I_1}{2} \cdot \cos(\varphi_1) \quad (1.8)$$

$$V_{ef} = \frac{V_1}{\sqrt{2}} \quad (1.9)$$

Onde:

φ_1 : Ângulo de defasagem entre as componentes fundamentais da tensão e da corrente de entrada;

$\cos(\varphi_1)$: Fator de deslocamento angular para a componente fundamental;

I_1 : Valor de pico da componente fundamental da corrente de entrada;

V_1 : Valor de pico da componente fundamental da tensão de entrada.

Na seqüência, define-se um dos parâmetros mais importantes para a análise da qualidade das tensões ou de correntes nos barramentos de alimentação, a DHT (Distorção Harmônica Total). A DHT da corrente é a relação entre a soma quadrática das componentes harmônicas da corrente pela componente fundamental (I_1).

$$DHT = \frac{\sqrt{\sum_{n=2}^{\infty} I_n^2}}{I_1} \quad (1.10)$$

Substituindo-se as equações (1.7), (1.8) e (1.9) em (1.4), obtém-se a equação para o cálculo do fator de potência, considerando-se a tensão de entrada puramente senoidal:

$$FP = \frac{\cos(\varphi_1)}{\sqrt{1 + (DHT)^2}} \quad (1.11)$$

Sendo que:

$$\text{Fator de Distorção Harmônica} = \frac{1}{\sqrt{1 + (\text{DHT})^2}} \quad (1.12)$$

1.1.3 – Fontes de Distorção Harmônica e seus Efeitos

Um dos temas principais, discutido dentro do assunto “Qualidade de Energia” nos últimos anos, tem sido a presença de componentes harmônicas nos barramentos de alimentação das cargas. Tal fato deve-se principalmente ao conteúdo harmônico (DHT) elevado da corrente drenada por cargas (equipamentos) de natureza não-linear.

Na seqüência apresentam-se algumas fontes de distorção harmônica [9]:

1) Retificadores controlados, ou não, com carga R-L e indutância de comutação:

- Resultam em distorção da tensão de alimentação nos instantes de comutação;
- Indesejável queda de tensão média na carga devido à indutância de comutação.

2) Retificadores com filtro capacitivo (Monofásicos ou trifásicos):

- Corrente de entrada de forma impulsiva com elevada DHT, e, em conseqüência, reduzido FP.

3) Reatores controlados a Tiristores (RCT):

- Presença de harmônicas ímpares de corrente, com amplitude dependente de α (ângulo de disparo);

4) Fornos a arco (Por exemplo, na produção de aços):

- Harmônicas são imprevisíveis (Harmônicas pares, ímpares e fracionárias), sendo 2ª e 7ª predominantes.

A presença de componentes harmônicas no sistema elétrico causa efeitos indesejáveis, resultando em prejuízos tanto para as concessionárias de distribuição de energia elétrica, quanto para os consumidores.

Dentre estes efeitos, alguns são discutidos a seguir [9]:

- ✓ Aumento das perdas no ferro e no cobre (efeito pelicular) nos enrolamentos dos transformadores, motores e geradores, com subseqüentes incrementos nas temperaturas e maiores solicitações dos isolamentos, comprometendo o rendimento e a vida útil desses equipamentos;
- ✓ Alterações de torques (5ª, 11ª, 17ª, etc., harmônicas) e o surgimento de oscilações mecânicas (5ª e 7ª harmônicas no estator e 6ª no rotor) em motores e geradores;
- ✓ Erros de leitura em medidores de energia elétrica (kWh) do tipo indução, devido a torques positivos ou negativos;

- ✓ Funcionamento inadequado de dispositivos eletrônicos de medição, cujas operações dependem da qualidade das formas de onda das tensões e correntes;
- ✓ Possibilidade de ressonâncias em capacitores podendo resultar em níveis excessivos de tensão e/ou corrente. Além disso, tem-se o aumento de perdas devido à resistência série equivalente, causando a elevação de temperatura e a redução da vida útil do componente;
- ✓ Aumento das perdas nos cabos de alimentação, devido à elevação dos valores eficazes da corrente e também devido ao aumento da resistividade do condutor, causado pelo efeito pelicular.

1.2 - Classificação Topológica dos Retificadores Trifásicos com Correção do Fator de Potência

Considerando-se as características de reduzidos FPs dos retificadores convencionais com filtros capacitivos (C), ou, filtros indutivo-capacitivo (LC), na saída dos mesmos, nas últimas duas décadas diversas estruturas foram desenvolvidas e propostas para a redução das DHTs das correntes drenadas das fontes de alimentação em corrente alternada. Do ponto de vista de topologia de retificadores com correção do fator de potência, geralmente são encontrados na literatura dois grupos: Os controlados ou ativos e os não controlados ou passivos, sendo constituídos da seguinte maneira [6, 7 e 10]:

- *Retificadores não controlados ou passivos*: Estes retificadores empregam interruptores não controlados, como diodos, e elementos reativos, tais como, capacitores, indutores e arranjos especiais de transformadores ou de autotransformadores, possibilitando a correção do fator de potência e oferecendo confiabilidade e robustez para a estrutura. No entanto, não possibilitam a regulação da tensão de saída e, além disso, para aplicações com isolamento galvânica (usando transformadores) podem resultar em estruturas volumosas, pesadas e de custo elevado. As estruturas que utilizam autotransformadores resultam em menor peso e volume, porém não-isoladas;

- *Retificadores controlados ou ativos*: Este grupo utiliza-se de interruptores ativos para o seu funcionamento, tais como MOSFETs, IGBTs, GTOs e SCRs. Dentre estas topologias controladas, encontram-se os retificadores PWM, os quais operam com frequências elevadas de comutação. A grande maioria dos retificadores PWM consegue impor um fator de potência elevado, com redução de peso e volume e possibilitam a regulação da tensão de

saída; entretanto, algumas estruturas impõem também complexidade no circuito e aumento de custos.

Buscando conciliar as vantagens dos retificadores não controlados e dos controlados PWM com elevado fator de potência, foram desenvolvidos os denominados “retificadores híbridos”, aplicados na indústria (potências médias e elevadas) [10]. Essa idéia é enfatizada através de um diagrama simples, apresentado na Figura 1.1.

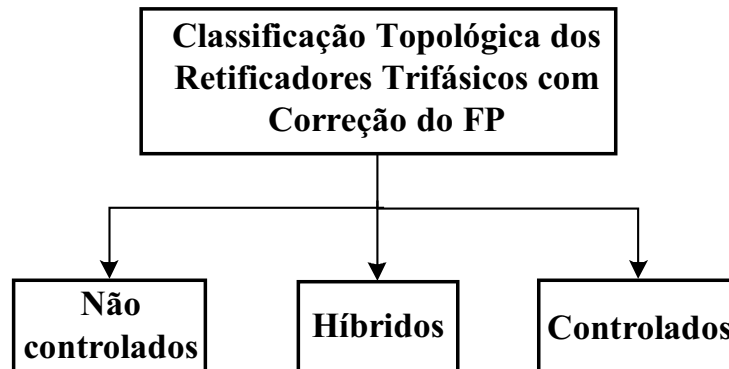


Figura 1.1 – Classificação topológica de retificadores trifásicos com correção do fator de potência.

Na seqüência serão apresentadas algumas estruturas pertencentes a cada um dos três grupos, destacando-se suas principais vantagens e desvantagens.

1.2.1 - Retificadores Trifásicos Não-Controlados com Correção do Fator de Potência

Tradicionalmente, os retificadores trifásicos são desenvolvidos usando ponte de diodos e/ou tiristores para proporcionar o controle de potência, respectivamente. Neste contexto, encontra-se a ponte completa de diodos, a ponte mista de diodos e tiristores e ponte completa de tiristores, sendo as duas primeiras configurações unidirecionais em potência e a terceira bidirecional em potência, porém unidirecional em corrente [8].

Os retificadores trifásicos com ponte de diodos, por sua simplicidade e baixo custo, são bastante populares em algumas aplicações industriais e rurais, onde um *link* e/ou barramento CC intermediário proporciona energia para outros circuitos. Na Figura 1.2 o retificador trifásico convencional, a diodos, denominado Ponte de Graetz, com filtro capacitivo na saída é apresentado, admitindo-se as tensões de linha (alimentação) equilibradas e senoidais. Neste circuito, a corrente de entrada tem a forma de pulsos estreitos de amplitude elevada, ocorrendo dois pulsos durante cada semiciclo da tensão de entrada, conforme exemplo de operação mostrado na Figura 1.3.

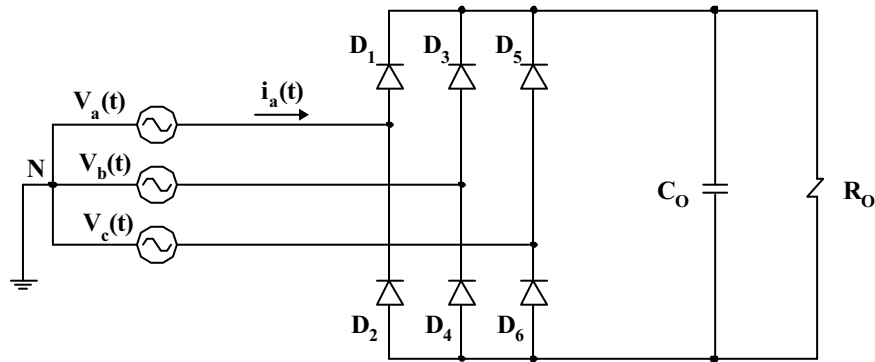


Figura 1.2 – Retificador trifásico em ponte de Graetz, com filtro capacitivo na saída.

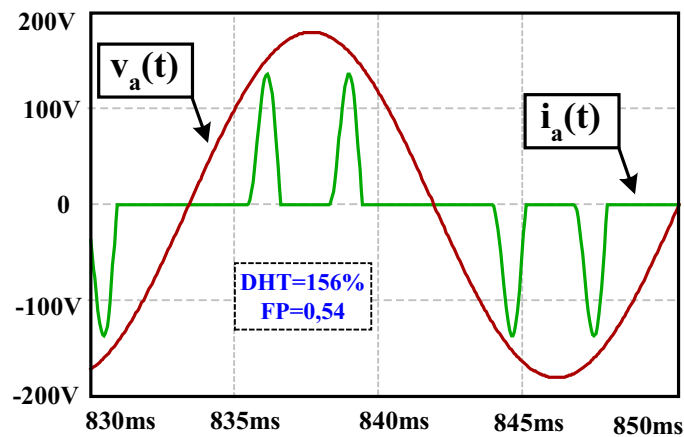


Figura 1.3 – Detalhe da tensão e corrente de entrada em uma fase do circuito da Figura 1.2.

Apesar dessa estrutura possuir vantagens, tais como: Robustez, peso reduzido, simplicidade de funcionamento e baixo custo, a DHT da corrente é bastante elevada e o fator de potência bastante reduzido. Além disso, para processar potência elevada, as correntes de entrada atingem valores de pico elevados, aumentando-se os esforços nos interruptores (diodos) por valores de pico e por valores eficazes de corrente, sendo portanto tecnicamente inviável. Devido ao crescimento das aplicações dos retificadores trifásicos, causando a distorção na tensão de barramento ou nos pontos de acoplamento de carga, foram estabelecidas normas internacionais, tais como a IEC 61000-3-2, a IEC 61000-3-4 e IEEE 519, restringindo-se a injeção de correntes harmônicas nas redes de alimentação, por parte destes equipamentos [11-13].

Neste contexto, pesquisadores atuantes na área de eletrônica de potência têm buscado ao longo dos anos desenvolver técnicas de filtragem capazes de eliminar ou minimizar as componentes harmônicas das correntes características dos retificadores trifásicos. Considerando-se a necessidade de corrigir o fator de potência, reduzindo-se as taxas de

distorção harmônica das correntes de entrada das estruturas retificadoras, inicialmente não controladas, são apresentadas a seguir algumas alternativas para estes circuitos.

1.2.1.1 – Retificador Trifásico a Diodos com Filtro Capacitivo e Indutores de Linha

Com o objetivo de atenuar a derivada das correntes de entrada do retificador trifásico convencional e reduzir tanto os valores de pico quanto o *ripple* da corrente de saída, empregam-se indutores na entrada em série com as fontes de alimentação, sendo um em cada fase, conforme Figura 1.4 [8 e 14]. Com isso, as formas de onda das correntes de entrada adquirem um formato mais senoidal, reduzindo-se a DHT e conseqüentemente melhorando-se o fator de potência.

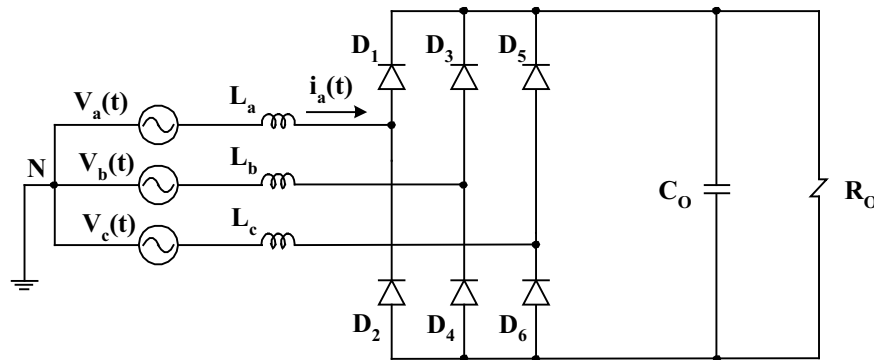


Figura 1.4 – Retificador trifásico a diodo com filtro capacitivo e indutores de linha.

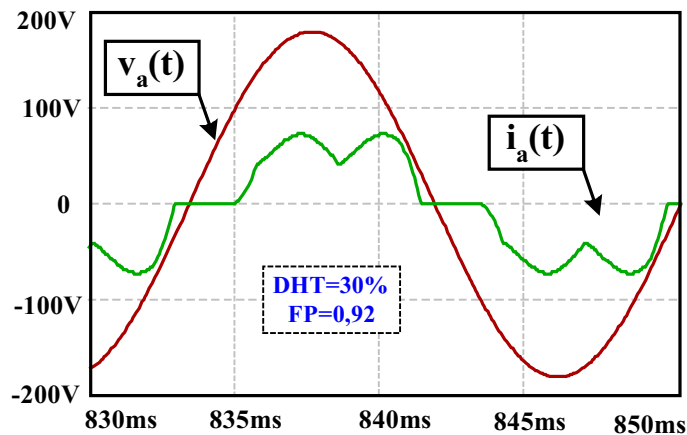


Figura 1.5 – Detalhe da tensão e corrente de entrada em uma fase no circuito da figura 1.4.

Usualmente, a frequência de corte desse filtro está em uma frequência abaixo da 5ª harmônica. Entretanto, é interessante investigar a possibilidade deste filtro entrar em ressonância com outros elementos do circuito, o que seria indesejável, pois aumentaria a DHT [15]. No entanto, muitas vezes a estrutura não atende as normas internacionais, principalmente para potências elevadas.

1.2.1.2 – Retificador Trifásico a Diodos com Filtro Capacitivo e Indutivo do lado CC

Um outro modo bastante conhecido na literatura de se fazer a correção passiva é utilizar um filtro indutivo na saída junto com o filtro capacitivo, mostrado através da Figura 1.6 [8]. A DHT também é reduzida e o fator de potência é elevado (comparando-se com a estrutura apresentada na Figura 1.2) conforme Figura 1.7.

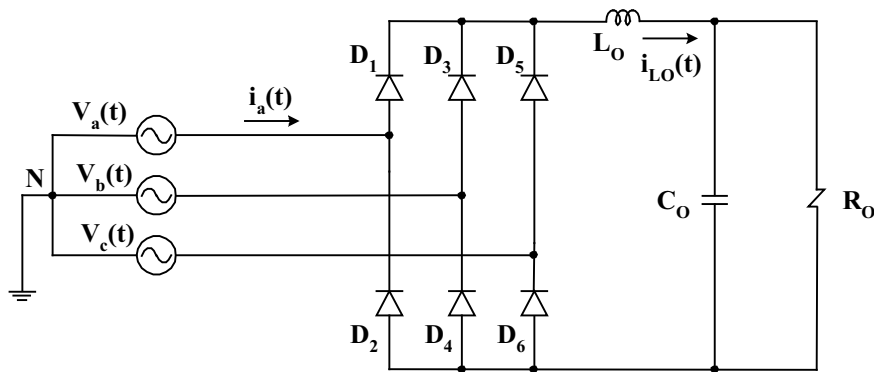


Figura 1.6 – Retificador trifásico a diodo com filtro capacitivo e indutivo.

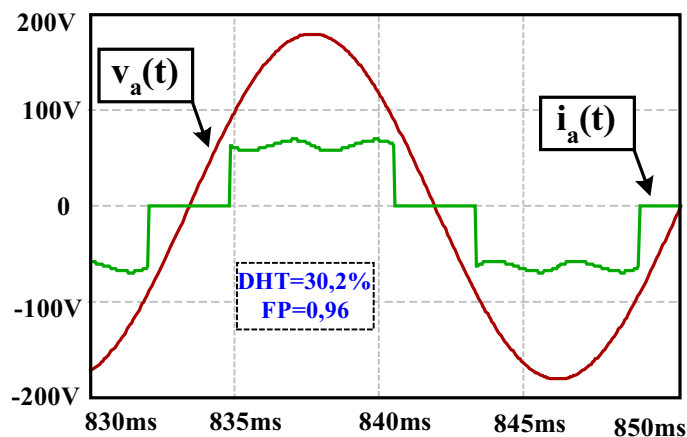


Figura 1.7 – Detalhe da tensão e corrente de entrada em uma fase no circuito da Figura 1.6.

A justificativa para que o fator de potência desta estrutura seja um pouco mais elevado do que no caso anterior (filtro indutivo na entrada e capacitivo na saída) é devido ao fato de que neste caso (filtro indutivo e capacitivo na saída) não há defasagem entre as componentes fundamentais da tensão e corrente de entrada. Os três retificadores trifásicos apresentados nas Figuras 1.2, 1,4 e 1,6 são conhecidos como retificadores de “seis pulsos” devido ao fato da forma de onda da tensão CC de saída da ponte retificadora possuir seis pulsos em um período da tensão senoidal de entrada. Portanto, o *ripple* da tensão CC de saída $v_{6p}(t)$ possui uma frequência fundamental correspondente a seis vezes a frequência da tensão senoidal de entrada $v_a(t)$, conforme destacado na Figura 1.8.

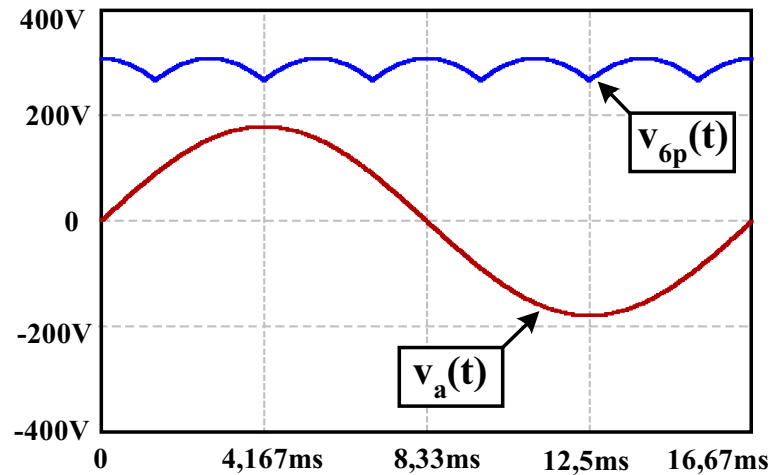


Figura 1.8 – Detalhe da tensão de entrada em uma fase e da tensão retificada no lado CC.

As componentes harmônicas de magnitudes significativas, geradas pelas correntes de entrada CA destas três estruturas (conforme Figuras 1.3, 1.5 e 1.7), são as seguintes: 1^a, 5^a, 7^a, 11^a, 13^a, etc. Estas harmônicas são denominadas “ímpares não triplas”.

Já a saída CC deverá conter as harmônicas triplas, pares, e de ordem zero, sendo: 0, 6^a, 12^a, 18^a, etc. Observa-se que as demais componentes harmônicas existem, porém de magnitudes bastante reduzidas e, portanto de pouca influência na DHT.

Considerando a hipótese de que o retificador com filtro indutivo e capacitivo na saída (Figura 1.6) possua um indutor com indutância de valor suficientemente grande, pode-se desprezar a existência de *ripple* na corrente de saída CC, desconsiderando-se a existência de harmônicas triplas e pares.

Isto resulta em um retificador trifásico de seis pulsos com uma fonte de corrente na saída, mostrado na Figura 1.9, e, portanto, uma corrente de entrada idealizada e isenta de *ripple* conforme Figura 1.10.

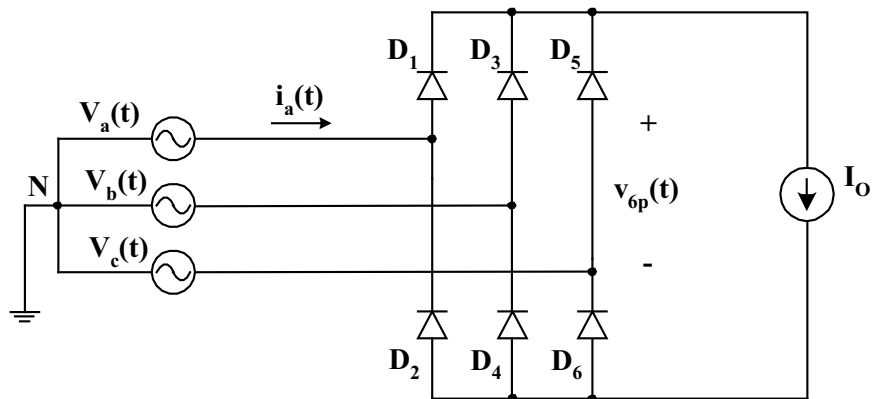


Figura 1.9 – Retificador trifásico a diodo com uma fonte de corrente na saída.

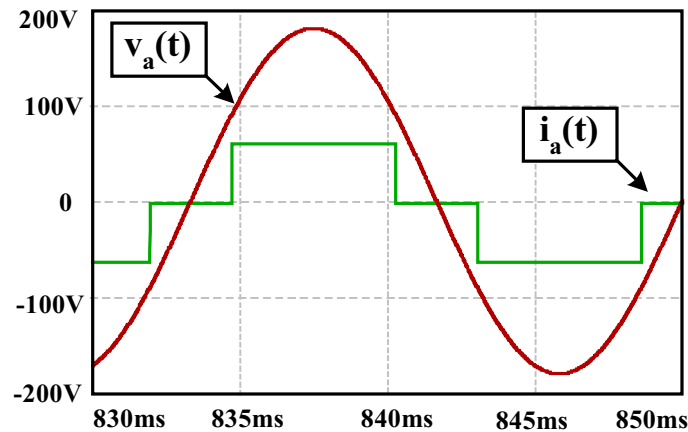


Figura 1.10 – Detalhe da tensão e corrente de entrada em uma fase no circuito da Figura 1.9.

Desse modo, decompondo-se a corrente de linha de entrada $i_a(t)$, visualizada na Figura 1.10, em série de Fourier, obtém-se a equação (1.13), contemplando-se apenas as componentes harmônicas ímpares não triplas. Portanto, pode-se estabelecer que o retificador trifásico de seis pulsos insere na rede de alimentação componentes harmônicos de ordens $n=6.q\pm 1$ e amplitudes (valor percentual) $I_n/I_1=1/n$, onde o índice “q” é uma variável inteira maior do zero ($q=1,2,3,4,..$).

$$i_a(t) = \sum_{n=1,5,7,11,\dots}^{\infty} \frac{4}{n \cdot \pi} \cdot i_{LO} \cdot \text{sen}\left(\frac{n \cdot \pi}{2}\right) \cdot \text{sen}\left(\frac{n \cdot \pi}{3}\right) \cdot \text{sen}(n \cdot \omega \cdot t) \quad (1.13)$$

Sendo que:

$$\omega = 2 \cdot \pi \cdot f_r \quad (1.14)$$

Onde:

$i_a(t)$: Valor instantâneo da corrente de entrada do retificador, na fase “a”;

f_r : Frequência da componente fundamental das tensões da rede de alimentação;

ω : Frequência angular da componente fundamental das tensões da rede de alimentação;

I_{LO} : Valor médio da corrente através do indutor de filtro de saída L_O .

Em uma análise mais rigorosa, na existência de ripple na corrente CC de saída, o cálculo exato destas amplitudes requer que seja considerado o ripple da corrente CC de saída refletido na corrente CA de entrada [15-16]. Deste modo, a amplitude da 5ª harmônica tende a ser aumentada em até 20%, enquanto que as amplitudes harmônicas de maior ordem tendem a decrescer. Além disso, harmônicas de frequências e ordens não características são encontradas, tipicamente menores do que a 5ª harmônica, por exemplo, a 3ª harmônica que causa a saturação do núcleo de transformadores. Outros fatores que podem influenciar na magnitude das componentes harmônicas são as derivadas de subida e descida das correntes de

entrada, decorrentes dos intervalos de comutação entre os diodos da ponte retificadora trifásica. Na seqüência, apresentam-se as principais vantagens e desvantagens das estruturas mostradas nas Figuras 1.4 e 1.6, com filtros indutivos na entrada ou na saída, com relação aos retificadores controlados ou ativos:

Principais vantagens:

- Simplicidade no projeto devido à ausência de malha de controle, resultando em uma estrutura de baixo custo e robusta;
- Obtém-se um elevado fator de potência com um mínimo de alteração na estrutura original do retificador.

Principais desvantagens:

- Volume elevado dos filtros devido à operação em baixa frequência (frequência da rede). Adicionalmente, no caso do indutor de filtro de saída (Figura 1.6), este deverá ser de dimensões bem elevadas para suportar toda a corrente de carga, sem que ocorra a saturação do núcleo.
- Não possibilita a regulação da tensão de saída;
- Valores da DHT ainda elevados, podendo não atender às normas internacionais, principalmente para aplicações industriais.

Portanto, permanecendo a necessidade de redução da DHT das correntes de entrada dos retificadores trifásicos, foram desenvolvidas as técnicas de multipulsos, discutidas a seguir [7].

1.2.1.3 – Retificador Trifásico a Diodos de Múltiplos Pulsos

O método de multipulsos é caracterizado pelo uso de múltiplos retificadores alimentando uma carga em comum ou cargas independentes [7 e 17]. Tradicionalmente, esses conversores são conectados através de transformadores de defasagem de modo que as harmônicas geradas por um retificador sejam canceladas pelas harmônicas produzidas pelo outro retificador. Os sistemas multipulsos possuem duas grandes vantagens, encontradas simultaneamente, quais sejam:

- 1) Redução das componentes harmônicas das correntes CA de entrada;
- 2) Redução do *ripple* da tensão de saída CC.

Uma aplicação convencional utilizada para a redução das harmônicas dos retificadores trifásicos é a conexão série ou paralela das saídas dos retificadores de seis pulsos, com o uso de transformadores com defasagens, constituindo retificadores de múltiplos pulsos.

A construção de um retificador de 12 pulsos, utilizando a conexão série das saídas de dois retificadores de seis pulsos, é mostrada através da Figura 1.11 [8].

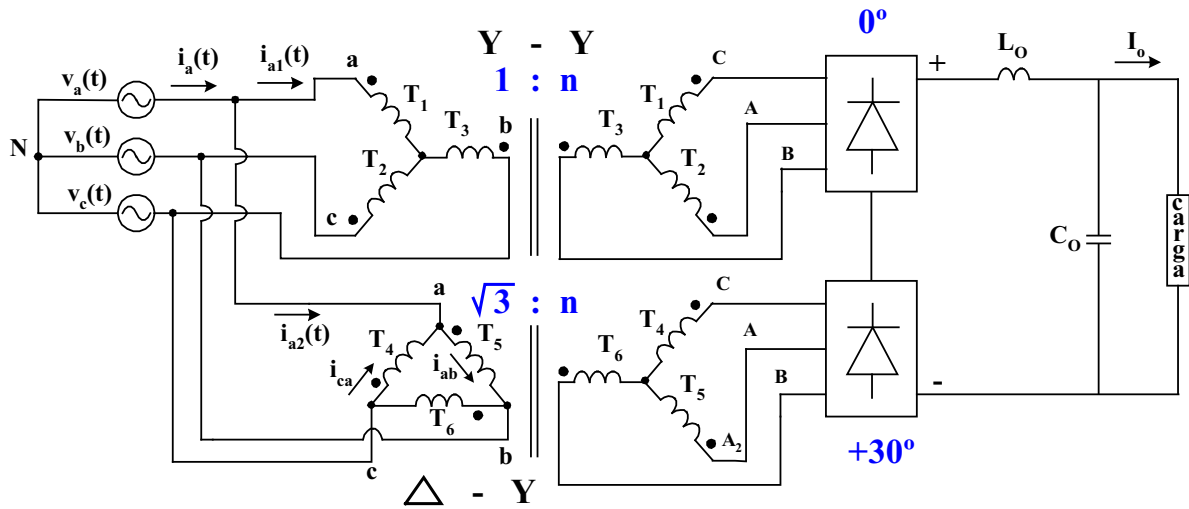


Figura 1.11 – Retificador trifásico de 12 pulsos, conexão série.

A defasagem de 30° provocada pelo transformador Δ-Y produz uma corrente $i_{a2}(t)$, a qual, quando somada com $i_{a1}(t)$, elimina as componentes 5ª, 7ª, 17ª, 19ª, etc., harmônicas, resultando na corrente $i_a(t)$, conforme Figura 1.12.

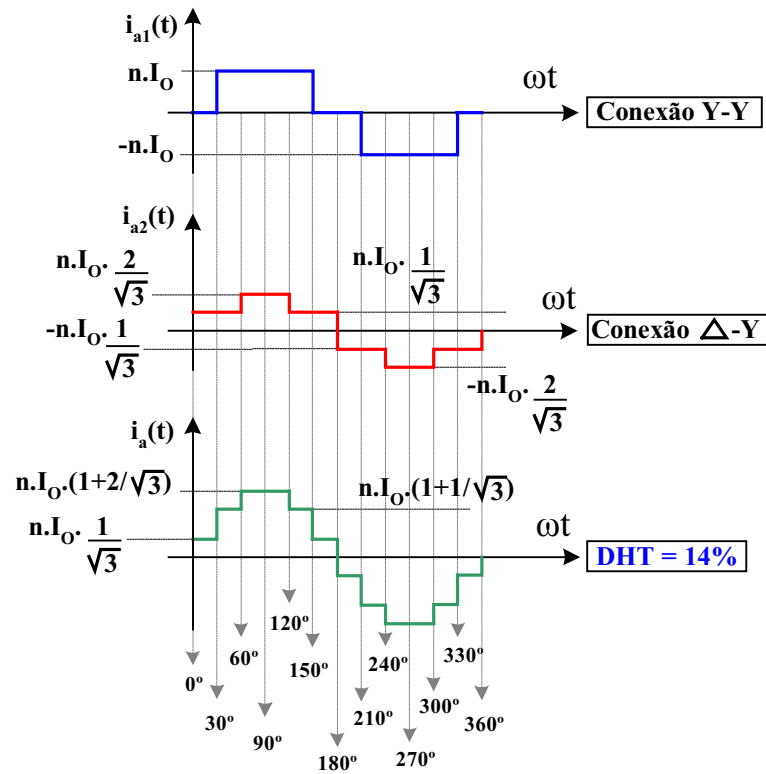


Figura 1.12 – Formas de onda das correntes de entrada do Retificador Trifásico de 12 pulsos, conexão série.

Na conexão série de retificadores trifásicos os semicondutores deverão suportar grandes esforços de tensão.

Já a conexão das saídas dos retificadores em paralelo, a mais utilizada, serve para aplicações onde são requeridos grandes esforços de corrente [17]. Através da Figura 1.13 é mostrado um exemplo desta estrutura.

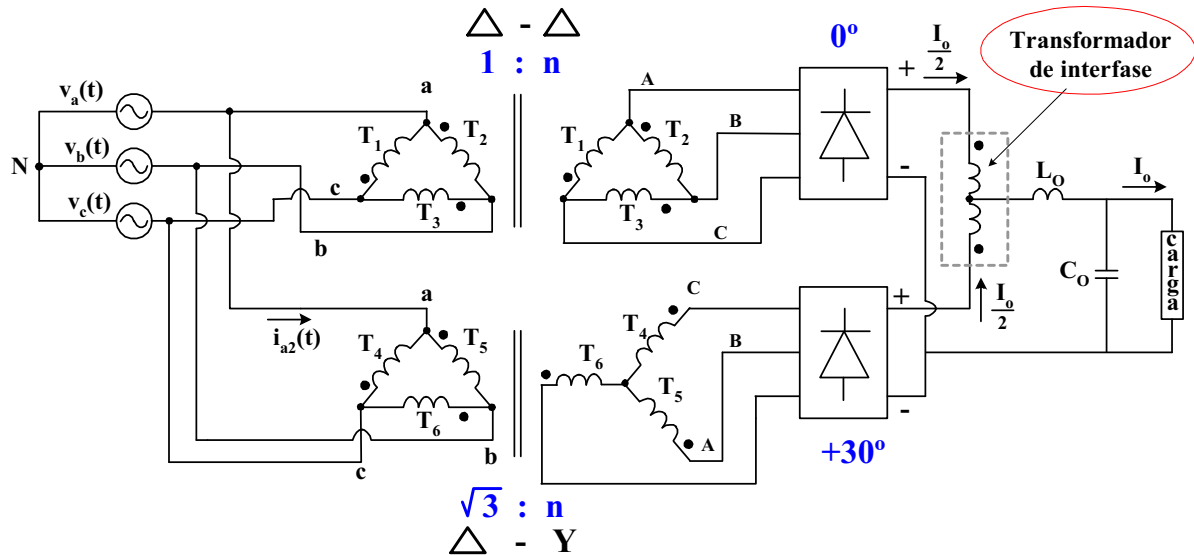


Figura 1.13 – Retificador trifásico de 12 pulsos, conexão paralela.

Nesta aplicação, na pré-existência de harmônicas na tensão de alimentação, por exemplo, a 5ª harmônica, os transformadores defasadores alteram as fases dessas componentes harmônicas, podendo ampliar os seus efeitos indesejáveis no sistema, como por exemplo, o desequilíbrio da tensão CC de saída. Um desequilíbrio pré-existente nas tensões de entrada ou um desequilíbrio de impedâncias do transformador, também leva ao desequilíbrio da tensão CC de saída. A ocorrência destes fenômenos em conjunto ou de forma isolada, pode causar um desequilíbrio significativo entre as correntes CC de saída das pontes retificadoras, e reintroduzir componentes harmônicas de seis pulsos nas correntes de linha CA. Além disso, impõe-se um esforço adicional de corrente para as pontes retificadoras. Este problema é minimizado utilizando-se a conexão de transformadores de interfase (*IPT – Inter-Phase Transformer*) para absorver as diferenças instantâneas entre as tensões das saídas CC dos dois retificadores e para que a defasagem de 120° seja mantida na condução dos semicondutores, conforme Figura 1.13. Os transformadores de interfase atuam com eficácia na absorção de diferenças instantâneas de tensão, porém não conseguem absorver diferenças médias de tensão. O projeto do transformador de interfase envolve uma certa complexidade e não há restrição inerente à quantidade de conversores a serem conectados em paralelo e, além disso, podem também ser aplicados para sistemas não isolados (autotransformadores) [17].

A tensão CC de saída do retificador de 12 pulsos possui uma frequência fundamental que corresponde a doze vezes a frequência fundamental da tensão senoidal de entrada e insere na rede de alimentação componentes harmônicas de ordens $k.12 \pm 1$ [8 e 17]. Considerando-se a variável “n” como sendo o índice harmônico, onde $n = k.12 \pm 1$, as amplitudes das harmônicas variam inversamente proporcional a “n” ($1/n$). Analogamente ao retificador de 12 pulsos, um retificador de 18 pulsos pode ser construído usando três retificadores de seis pulsos em ponte, sendo três circuitos transformadores com defasagem de 0° , $+20^\circ$ e -20° , resultando em uma DHT em torno de 8,0% para as correntes de entrada. Já um retificador de 24 pulsos requer o uso de quatro retificadores trifásicos de seis pulsos, alimentados por tensões defasadas de 0° , $+15^\circ$, -15° e 30° , reduzindo a DHT das correntes de entrada para 3,0% em média. Estas defasagens podem ser obtidas através de arranjos mais complexos de transformadores, conhecidos como ziguezague (Z), polígono (P), etc., podendo proporcionar qualquer defasagem desejada, melhorando-se cada vez mais o fator de potência.

A seguir, através da Figura 1.14, é mostrado um retificador de 18 pulsos, cuja conexão $\Delta/P-\Delta-P$ apresenta um secundário conectado em Δ em fase com o primário e os outros dois, conectados em polígono, com ângulos de $+20^\circ$ e -20° , em relação ao primário.

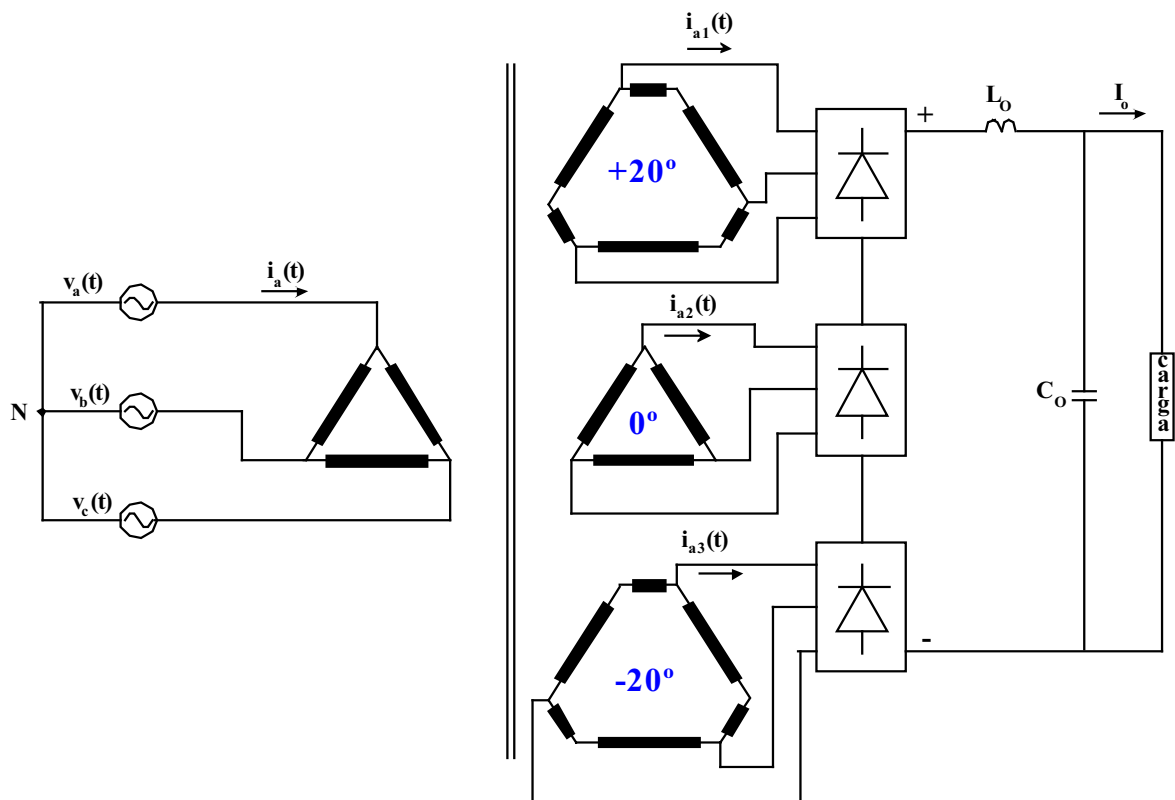


Figura 1.14 – Retificador trifásico de 18 pulsos, conexão $\Delta/P-\Delta-P$ e saídas conectadas em série.

A técnica multipulsos, apesar da grande robustez, isolamento galvânico (entre a fonte de alimentação e a carga) e a possibilidade do atendimento às normas reguladoras oferecida por estas estruturas, tem a sua aplicação prejudicada devido aos seguintes fatores [6, 10 e 17]:

- O transformador processa toda a potência entregue à carga na frequência da rede de alimentação, resultando em uma estrutura com volume e peso elevados;
- A tensão de saída retificada não é regulada;
- A necessidade de transformadores de interfase (*IPT – Inter-Phase Transformer*) para absorver as diferenças instantâneas entre as saídas CC dos retificadores, para conexões da saída em paralelo.

Não havendo a necessidade de isolamento galvânica, constam na literatura duas técnicas bastante difundidas que tornaram as aplicações dos conversores de múltiplos pulsos mais atrativas, devido à redução da potência processada através dos transformadores e a conseqüente redução de volume e peso global do retificador, são elas:

1) O conversor LIT (*Line Interphase Transformer*) [6, 18 e 19], é uma espécie de autotransformador composto de três transformadores monofásicos, cuja disposição dos seus enrolamentos resultam em dois sistemas trifásicos no secundário do autotransformador e defasados de 30° , sendo originalmente aplicado para um retificador trifásico de 12-pulsos [17], conforme Figura 1.15.

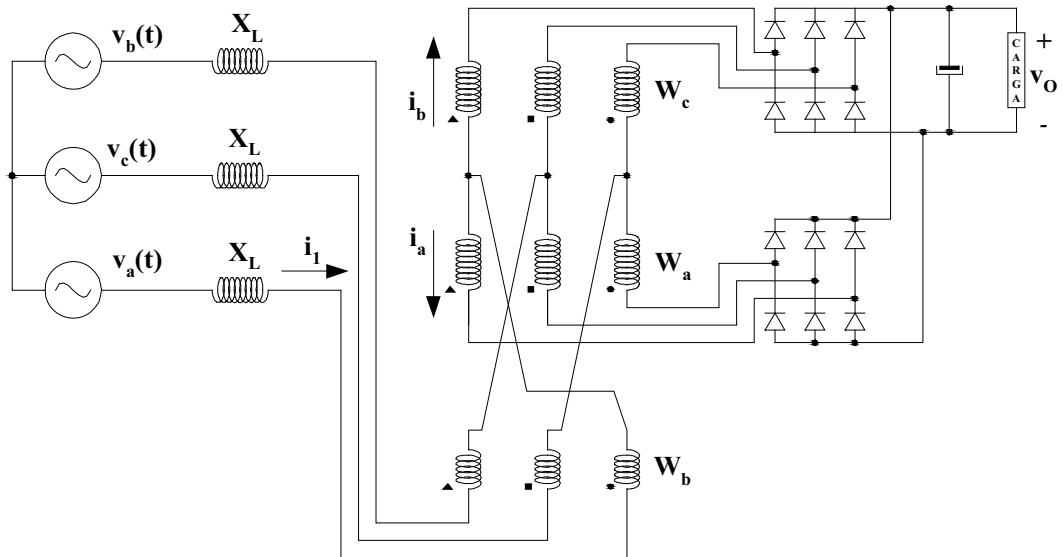


Figura 1.15 – Conversor LIT (*Line Interphase Transformer*).

Os indutores de entrada, conectados em série entre a fonte de alimentação e o LIT, são projetados para eliminar harmônicas de até a 11ª ordem e, além disso, possibilitam uma redução maior das amplitudes das harmônicas de ordens mais elevadas, o que é vantajoso, comparando-se com o retificador trifásico de 12-pulsos convencional. Isto resulta em uma

DHT menor do que 6% [19]. Contudo, esta técnica apesar de simples e bastante aplicada no meio industrial, apresenta alguns problemas que podem ser relacionados a seguir [20]:

- Tensão CC de saída é não-regulada e o seu valor médio é reduzido, em torno de 1,25 vezes o valor eficaz da tensão de fase de entrada, dificultando muitas aplicações;
- Para garantir uma DHT reduzida para as correntes de entrada, é necessário elevar o valor das indutâncias na entrada, o que causa um acréscimo do Fator de Deslocamento (FD), dificultando ainda mais a regulação da tensão de saída em função da variação da carga.

Vários trabalhos foram desenvolvidos posteriormente buscando sanar os problemas destacados acima [20-23]. Em [21], os indutores de entrada foram substituídos por um indutor na saída, minimizando o Fator de deslocamento e melhorando a regulação da tensão de saída. Entretanto, tem-se a desvantagem do acréscimo da DHT para 14%. Já em [20, 22 e 23], inseriu-se entre a saída dos retificadores em paralelo e a carga, um conversor CC boost em cascata operando no modo descontínuo e com uma frequência elevada e constante. Dentre as vantagens obtidas, destacam-se aqui o controle da tensão de saída e a redução de volume dos elementos magnéticos de entrada por estarem operando na frequência de comutação do conversor boost.

2) Conexões diferenciais [17], são autotransformadores com os enrolamentos do primário dispostos geralmente na forma Δ ou Y. Os enrolamentos do secundário são provenientes da combinação das bobinas do primário (Δ ou Y) com outras bobinas adicionais, especialmente arranjadas no núcleo, resultando conversores usualmente de 12 e 18 pulsos.

Uma forma convencional de uso de autotransformador em sistemas multipulsos é a conexão Δ -diferencial plana de 12 pulsos [24], mostrada através da Figura 1.16.

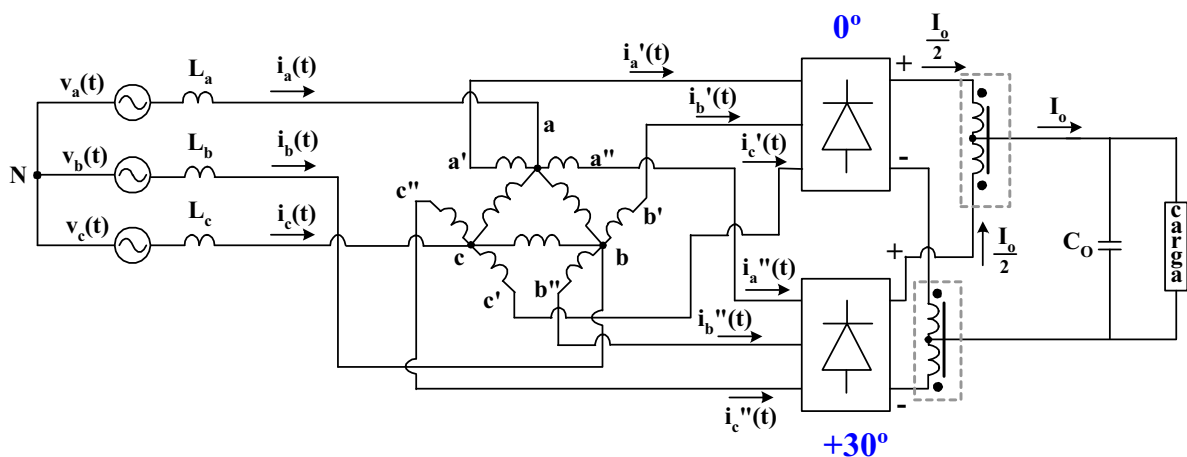


Figura 1.16 – Retificador trifásico de 12 pulsos, conexão Δ -diferencial plana.

Esta conexão processa apenas 18% da potência total entregue à carga, caracterizando-se uma vantagem em relação às conexões isoladas Δ -Y que processam 100% da potência total entregue a carga. Neste mesmo trabalho [24], os autores desenvolveram um retificador trifásico de 18 pulsos utilizando novamente a conexão Δ -diferencial plana processando apenas 16% da potência total de carga. A eficiência do conversor apresentado na Figura 1.16, foi melhorada modificando-se a disposição dos enrolamentos do secundário da conexão Δ -diferencial [25], resultando em um retificador de 12 pulsos, cuja potência processada pelo autotransformador em forma de polígono modificado (Figura 1.17) corresponde à 10,1% da potência total entregue à carga, resultando em uma corrente de entrada com uma DHT de 11,3%.

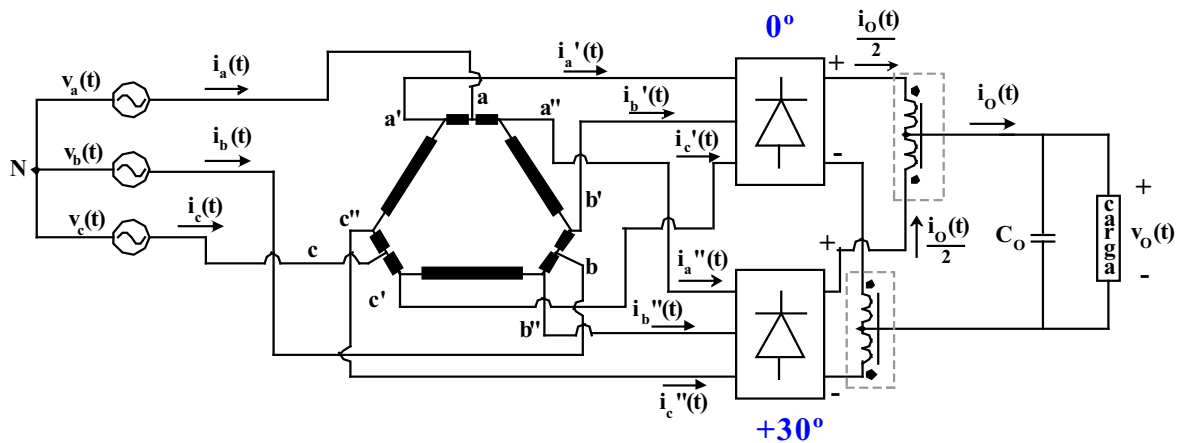


Figura 1.17 – Retificador trifásico de 12 pulsos, conexão Δ -diferencial (polígono).

Uma desvantagem do uso das conexões diferenciais é a necessidade do emprego de dois transformadores de interfase, sendo um conectado na polaridade positiva e o outro na polaridade negativa do barramento CC de saída do retificador, no intuito de garantir a operação quase independente de cada ponte retificadora. Além disso, por ser um sistema não isolado, a tensão a ser suportada pelos transformadores de interfase torna-se mais elevada, comparando-se com as conexões isoladas, resultando em um aumento de volume e peso [17].

Um problema adicional que afeta as estruturas multipulsos em geral é o fato de que os transformadores de interfase nem sempre são capazes de equilibrar as tensões no lado CC de cada retificador, mediante um desequilíbrio de impedâncias do transformador, harmônicas pré-existentes e desequilíbrios nas tensões de entrada. As harmônicas pré-existentes podem ser não triplas, como 5^a, 7^a, etc., ou triplas, como 3^a, 6^a, 9^a, etc. Se o sistema trifásico for equilibrado, as harmônicas triplas estão em fase e são denominadas “componentes de seqüência zero”. Para eliminar ou reduzir as amplitudes das componentes harmônicas de

seqüência zero, foram desenvolvidos os transformadores bloqueadores de seqüência zero (*ZSBT – Zero-Sequence Blocking Transformer*) [17]. Os *ZSBTs* podem ser inseridos no lado CA, entre os transformadores de entrada e as pontes retificadoras trifásicas, ou no lado CC, entre as saídas das pontes retificadoras e a carga. A idéia básica da construção destes elementos é que todos os condutores que entram (fases: “a”, “b” e “c”) ou que saem (positivo e negativo) de cada ponte retificadora devem ser enrolados paralelamente em um núcleo e no mesmo sentido, criando uma impedância elevada para componentes de seqüência zero.

No trabalho apresentado em [26] os autores tomaram como base o retificador de 12 pulsos (conexão Δ -diferencial plana), desenvolvido por [24] e mostrado na Figura 1.16, melhorando o seu desempenho com o emprego de dois bloqueadores de seqüência zero no lado CC, sendo um para cada ponte retificadora. Os *ZSBTs* contribuem também para assegurar a independência de operação de cada ponte retificadora e garantir que as correntes de saída para a carga sejam equivalentes. Assim, com a inserção dos dois *ZSBTs*, foi possível eliminar o transformador de interfase conectado no lado negativo da carga, mantendo-se apenas um conectado no lado positivo da carga. Foi proposto também neste trabalho [26] uma modificação no transformador de interfase (*IPT – Inter-Phase Transformer*) inserindo-se um diodo em derivação com cada enrolamento do núcleo (do transformador de interfase), de modo que o cátodo de ambos os dispositivos estejam conectados no mesmo ponto (lado positivo da carga). Além disso, a quantidade de espiras de cada enrolamento (positivo e negativo) do transformador de interfase são variáveis, ajustados através de *taps*, sendo possível ajustar o *IPT* para que resulte no cancelamento das harmônicas de 5^a, 7^a, 1^a, 13^a, 17^a e 19^a ordem e, portanto, para que se obtenha uma corrente de entrada com 24 pulsos e uma DTH igual a 3,4%, sem alterações significativas no circuito, conforme mostrado na Figura 1.18.

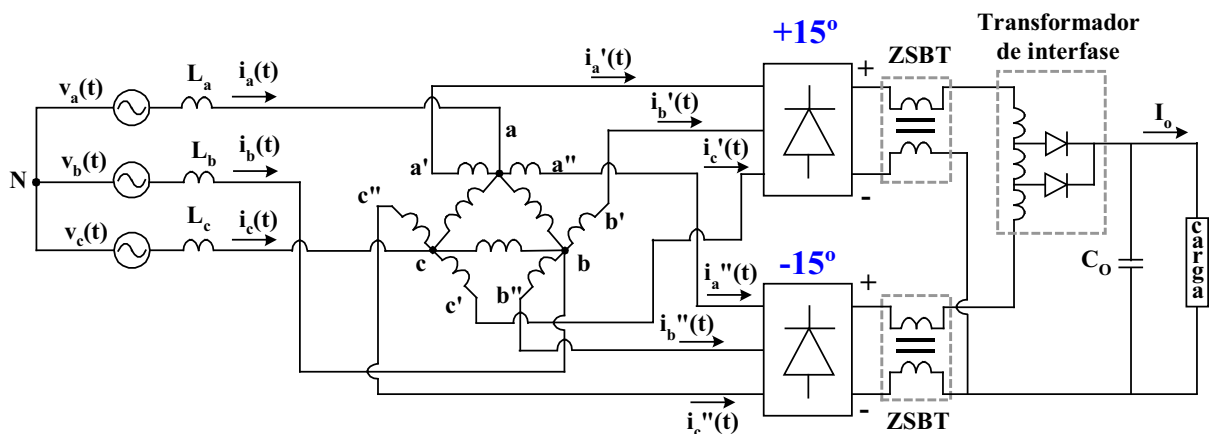


Figura 1.18 – Retificador trifásico de 24 pulsos, conexão Δ -diferencial plana, com bloqueador de seqüência zero.

Esta técnica é conhecida como “multiplicação de pulsos”, caracterizando-se uma tendência interessante da evolução dos conversores multipulsos [7]. Foi verificado experimentalmente para esta estrutura que cada elemento *ZSBT*, o autotransformador e o *IPT* processam respectivamente 3,7%, 23% e 1,65% da potência total.

Uma outra alternativa bastante aplicada para a filtragem de harmônicas em conversores multipulsos são os Reatores Bloqueadores de Harmônicas (*HBR – Harmonic Blocking Reator*), inseridos em cada fase entre o secundário do transformador e a respectiva ponte retificadora. O “reator bloqueador de harmônicas” é uma evolução dos “transformadores bloqueadores de seqüência zero”, pois consegue bloquear simultaneamente certas harmônicas de seqüências positiva, negativa e zero [17]. A essência desta técnica é criar uma interdependência entre as correntes de entrada por fase (defasadas de 30°) de cada ponte retificadora, de maneira que o fluxo das componentes fundamentais de cada corrente seja nulo e o fluxo das demais componentes harmônicas (5ª e 7ª por exemplo) resulte em uma impedância elevada de modo que as mesmas sejam suficientemente atenuadas [27-28].

Uma estrutura interessante é o conversor de 18 pulsos constituído de uma conexão Y-diferencial usando um autotransformador [29-30], cuja potência por ele processada é de 22% da potência nominal da carga. Este conversor é composto por três retificadores trifásicos não controlados conectados em paralelo e possui um Fator de Potência (FP) e DHT de 0,99 e 8,8%, respectivamente. Nesta estrutura, para evitar o uso de transformadores de interfase, foram conectados na saída de cada retificador trifásico um conversor boost, com controle apropriado, possibilitando equilibrar as correntes de saída de cada retificador e ainda regular a tensão de saída.

Embora as técnicas (conexões diferenciais) abordadas neste tópico resultem em estruturas com volume e peso reduzidos e uma corrente de entrada com uma qualidade melhor do que as estruturas de multipulsos convencionais, possibilitando o atendimento às normas internacionais para níveis de potência mais elevados, estas estruturas não possibilitam o controle pleno da DHT das correntes de entrada. Neste contexto, em função das limitações das estruturas não controladas, surgem os retificadores controlados, a serem analisados a seguir.

1.2.2 – Retificadores Trifásicos Controlados com Correção do Fator de Potência

As primeiras estruturas retificadoras controladas eram compostas de elementos tiristores, conforme Figura 1.19, operando em baixas freqüências, porém apresentando elevada robustez e confiabilidade, apesar de um leve aumento da complexidade e custos

devido ao circuito de comando de gate. A distorção harmônica das correntes de entrada torna-se maior do que aquela dos retificadores não controlados, entretanto, pode-se regular a tensão de saída. Devido à confiabilidade, simplicidade e eficiência, o retificador trifásico a tiristor é comumente utilizado nos dias atuais para potência bastante elevadas. Entretanto, quando se deseja um barramento CC de saída, a estrutura também apresentará elevados conteúdos harmônicos nas correntes de entrada, um aumento do fator de deslocamento e reduzido fator de potência, não atendendo às normas internacionais.

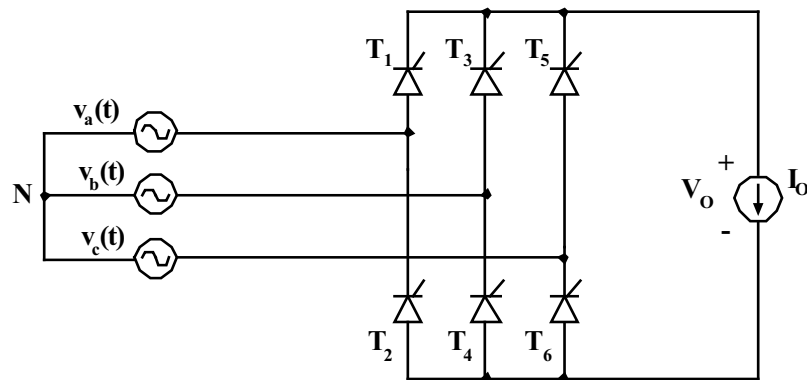


Figura 1.19 – Retificador trifásico a tiristor (Ponte totalmente controlada).

Portanto, as mesmas técnicas apresentadas para os retificadores não controlados, para elevar o fator de potência da estrutura, foram aplicadas para os retificadores à tiristores [7]. Em [31], os autores propuseram uma pequena modificação no conversor de 12 pulsos, destacado anteriormente na Figura 1.13, onde além da ponte retificadora totalmente controlada foram inseridos pequenos indutores na entrada (lado CA) e um transformador de interfase no lado CC, conforme estrutura mostrada na Figura 1.20.

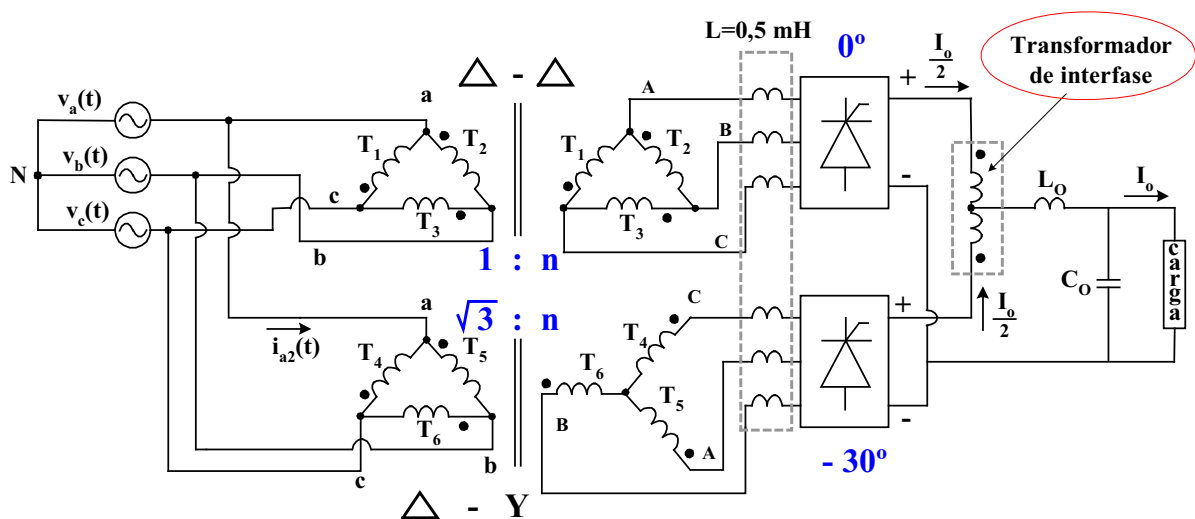


Figura 1.20 – Retificador trifásico de 12 pulsos a tiristor, com transformador de interfase.

O transformador de interfase (de menor volume e peso do que os convencionais) tem a finalidade de tornar as correntes de saída de ambos os retificadores com um formato triangular e operando no modo de condução crítico (MCC). Com uma defasagem de operação adequada imposta para ambas as pontes retificadoras é obtida uma DHT de até 1,0 % nas correntes de entrada (equivale a um retificador de 36 pulsos), mas não se consegue manter a DHT para grandes variações de carga, uma vez que as correntes de saída deixam de operar no modo de condução crítico. Com o surgimento dos transistores de potência, os tiristores começaram a ser substituídos, proporcionando-se a operação dos mesmos em frequências mais elevadas, reduzindo-se volume, peso e custo destas estruturas. Surge então o conceito de retificador trifásico PWM [6 e 10], a ser analisado a seguir.

1.2.2.1 – Retificadores Trifásicos PWM

As técnicas de retificação ativa são as mais promissoras do ponto de vista da qualidade de energia, podendo-se obter fator de potência elevado e DHT reduzida. Estas estruturas são comuns em aplicações de médias potências, mas não são viáveis em aplicações de correntes elevadas devido ao custo efetivo dos componentes eletrônicos utilizados. Em aplicações onde o peso e volume são fatores decisivos, estruturas com correção ativa do fator de potência são empregadas, mas a complexidade e custos obtidos são significativamente aumentados. O desenvolvimento de estratégias de comutação suave e o projeto de uma disposição ótima dos componentes são os desafios preponderantes para que estas topologias sejam aplicadas em potências elevadas.

Na Figura 1.21 é mostrado um retificador trifásico PWM tipo Boost, destinado a suprir cargas do tipo inversor VSI, onde o retificador trifásico PWM pode impor, sob determinadas ações de controle, reduzidas distorções harmônicas para as correntes de entrada e elevado fator de potência para a estrutura [5-6].

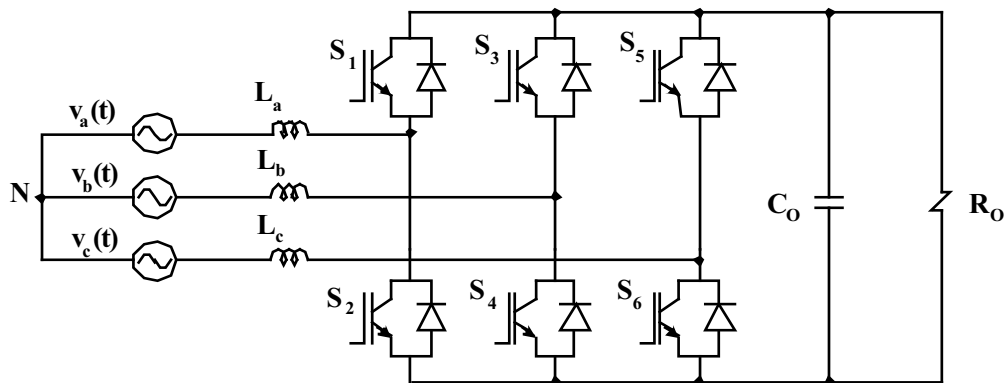


Figura 1.21 – Retificador trifásico PWM, operando em quatro quadrantes.

As técnicas de modelagem e controle aplicadas aos retificadores trifásicos PWM estão divididas em linear e não-linear. Dentre as técnicas lineares, as mais populares são aquelas cujo controle está baseada nas correntes reais de entrada, e aquelas onde o controle é baseado na Transformação de Park. Quanto às técnicas de controle não-lineares, destacam-se: Controle por Histerese, Controle por Modo Deslizante, Controle por Redes Neurais, Lógica Fuzzy, etc.

As técnicas de controle lineares, citadas anteriormente, foram exploradas em um retificador trifásico PWM (cuja estrutura é a mesma apresentada na Figura 1.21, entretanto utilizando-se MOSFETs) de três maneiras distintas [32], comentadas a seguir:

- 1) Controle das correntes reais de entrada (Controle por Valores Médios): É um controle clássico bastante utilizado em retificadores monofásicos, onde o controlador atua diretamente sobre as corrente senoidais de entrada e pode ser implementado tanto na forma analógica como digital;
- 2) Controle das correntes d-q baseado na Transformação de Park: Nesta técnica, ao invés de atuar diretamente sobre as variáveis senoidais de entrada, o controlador atua sobre as variáveis contínuas i_d e i_q obtidas da Transformação de Park, simplificando o controle, o qual deverá ser implementado preferencialmente na forma digital;
- 3) Controle de correntes sem sensores (*Sensorless*) baseado na Transformação de Park: É considerada uma nova técnica de controle para retificadores PWM, na qual as correntes de entrada não são monitoradas. As variáveis i_d e i_q são geradas através de modelagem, tornando o controle simples e de custo reduzido, sendo implementado também de forma digital.

Uma das estratégias mais preferidas no emprego da modulação PWM destas estruturas é a modulação por vetores espaciais (*SVM – Space Vector Modulation*). O seu princípio básico de funcionamento consiste em determinar uma seqüência de vetores que resulte em uma corrente senoidal na entrada. Cada vetor representa um estado topológico da estrutura, sendo que cada estado topológico é resultante de uma combinação específica dos estados (ON, OFF) de cada interruptor controlado [33-34]. Utilizando-se da Transformação de Park, citada em [32], os mesmos autores apresentaram em [34], de uma forma bastante didática, o emprego da modulação Space-Vector PWM em um retificador trifásico bidirecional. Em [35], a modulação Space-Vector PWM também foi aplicada no controle de um retificador trifásico unidirecional com três interruptores ativos, conforme Figura 1.22. Este retificador, além de alimentar uma determinada carga, opera simultaneamente como um filtro ativo

paralelo, específico para eliminar as harmônicas geradas por um retificador convencional de seis pulsos. Entretanto, é necessária condição especial de operação (Corrente de carga deverá ter um valor mínimo especificado em projeto), tendo em vista a característica de fluxo unidirecional de corrente desta estrutura.

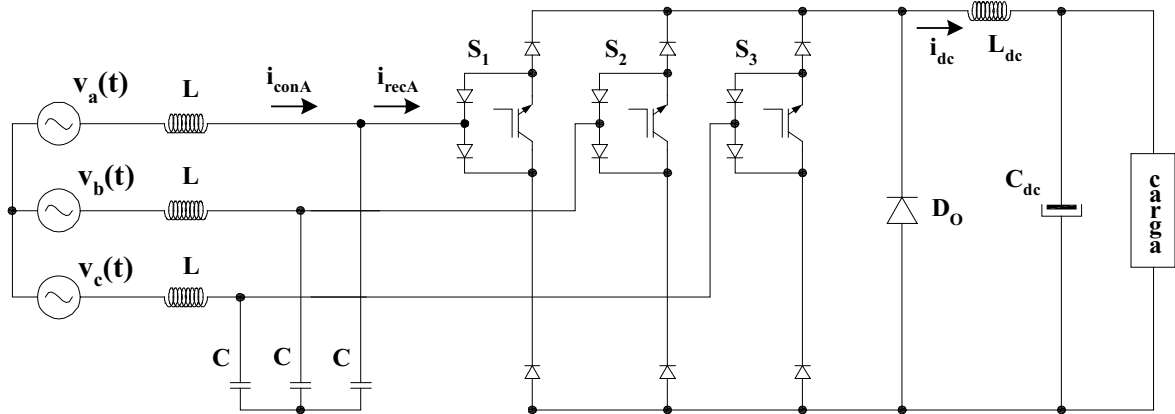


Figura 1.22 – Retificador trifásico PWM, unidirecional em corrente.

As estruturas unidirecionais em corrente são caracterizadas por empregar uma quantidade menor de interruptores controlados e uma quantidade maior de interruptores não-controlados. Em contrapartida, as estruturas bidirecionais em corrente empregam geralmente uma quantidade maior de interruptores controlados e uma quantidade menor de interruptores não-controlados, entretanto, possuem uma flexibilidade maior na correção do Fator de Potência. Com o objetivo de se reduzir os custos dos retificadores trifásicos PWM, principalmente para as aplicações unidirecionais, retificadores trifásicos não controlados, a diodos, são freqüentemente cascateados com conversores reguladores CC-CC PWM, compondo um retificador controlado, conforme discussão do tópico seguinte.

1.2.2.2 - Retificadores Trifásicos Não-Controlados Associados em Cascata com Conversores CC-CC

Esta técnica resulta em menor peso e volume dos elementos magnéticos, devido sua freqüência elevada de operação. Com os avanços tecnológicos dos interruptores, em particular os IGBTs (*Insulated gate bipolar transistor*), foi possível estender o uso destas topologias em aplicações industriais. Na Figura 1.23 tem-se um retificador trifásico a diodos acoplado a um conversor CC-CC PWM boost, operando no modo de condução contínua, com filtro indutivo e capacitivo na entrada.

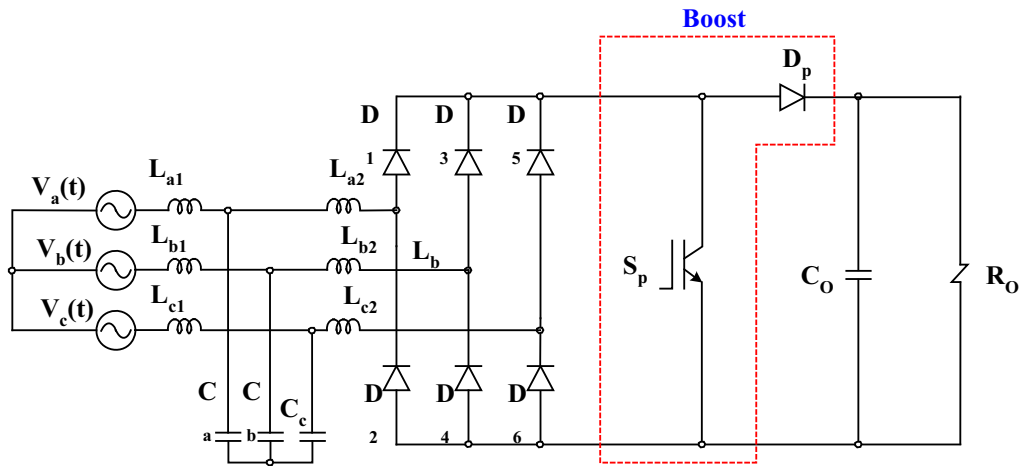


Figura 1.23 – Retificador não controlado associado a conversor CC-CC PWM Boost.

Obviamente, existe também a possibilidade da operação do conversor CC-CC PWM boost no modo de condução descontínua, porém, este modo de operação se limita para aplicações não industriais, devido principalmente aos picos de corrente, aumentando-se os esforços nos interruptores, e ao surgimento de interferência eletromagnética (IEM) associada aos níveis elevados de di/dt . A grande vantagem dessa estrutura, operando em condução contínua, é a DHT reduzida para as correntes de entrada e o fator de potência elevado, atendendo-se plenamente as normas internacionais e, além disso, possibilita regular a tensão CC de saída. Observa-se adicionalmente que os filtros indutivos de entrada (L_{a2} , L_{b2} e L_{c2}) poderão ser deslocados para o lado CC, reduzindo-se o volume destes elementos magnéticos e os custos da estrutura, conforme Figura 1.24, sendo possível a operação do conversor Boost no modo de condução contínua, e, o controle da corrente de entrada, impondo-se Distorção Harmônica Total reduzida e fator de potência elevado [6 e 36].

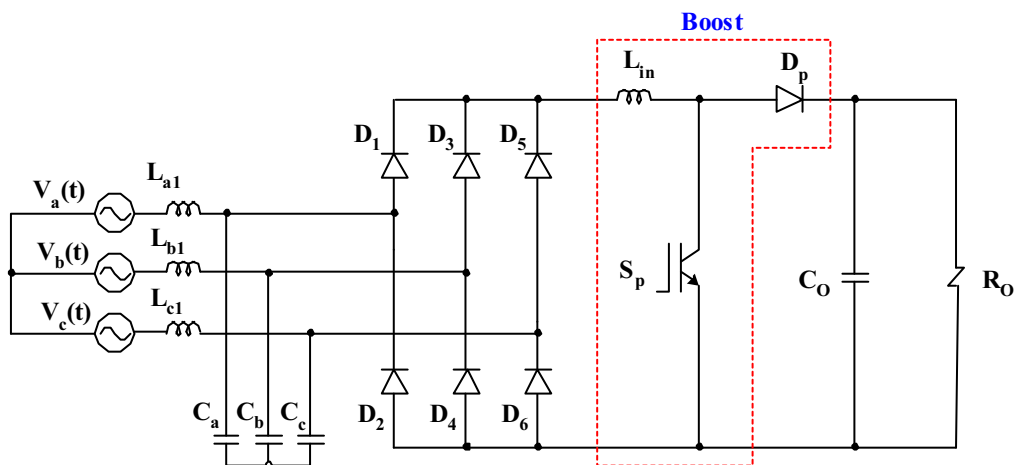


Figura 1.24 – Retificador não controlado associado a conversor CC-CC PWM Boost, filtro no lado CC.

Entretanto, uma vez que a potência processada pelo retificador não controlado é também processada pelo conversor boost, a eficiência da estrutura é comprometida, principalmente para aplicações em potências elevadas (industriais). Portanto, em função da redução da eficiência e considerando-se que a confiabilidade da estrutura também se reduz, para aplicações industriais é proposto o conceito de retificadores trifásicos híbridos.

1.2.3 – Retificadores Trifásicos Híbridos

Os retificadores híbridos são constituídos de um retificador não controlado e um retificador controlado PWM, conforme exemplo na Figura 1.25. O retificador não-controlado opera em baixa frequência e conduz a maior parte da potência ativa entregue para a carga. Enquanto isso, o retificador controlado PWM processa uma pequena parte da potência, operando em frequência elevada.

O grande atrativo desta estrutura é a combinação da robustez e eficiência do retificador não controlado, com a imposição da corrente de entrada com reduzida DHT, através do controle adequado do retificador controlado PWM.

Observa-se que o retificador híbrido não pode ser classificado como um filtro ativo, pelo fato do retificador PWM ativo processar uma pequena parte da potência ativa total e nunca processar apenas potência reativa.

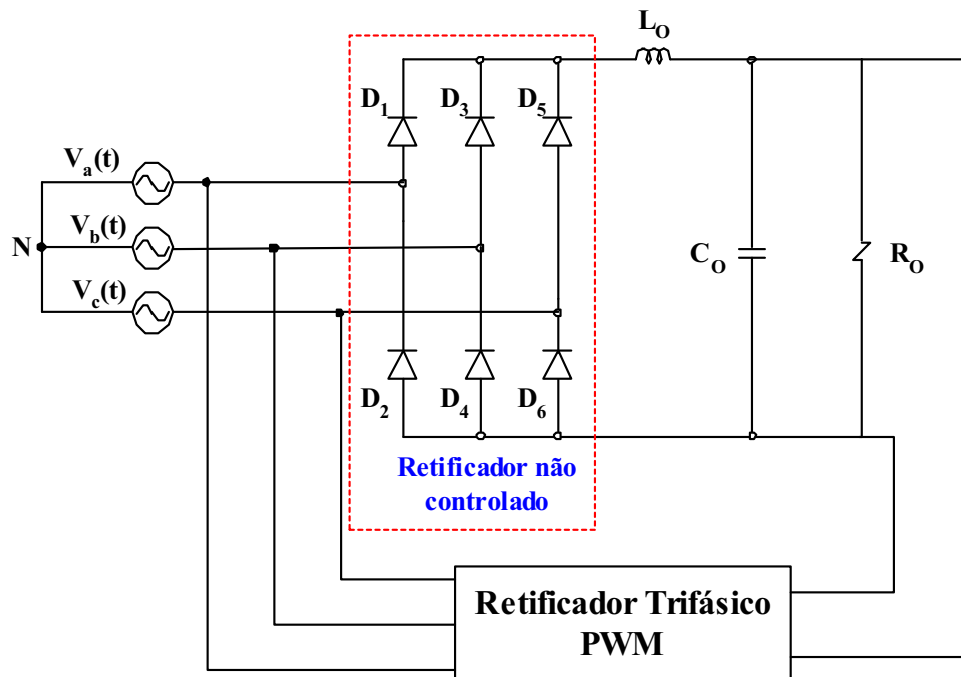


Figura 1.25 – Retificador trifásico híbrido.

O grande desafio em compor um retificador híbrido é obter uma estrutura capaz de garantir simultaneamente as seguintes características:

- ✓ Fator de potência elevado;
- ✓ DHT reduzida das correntes de entrada;
- ✓ Regulação da tensão de saída;
- ✓ Confiabilidade elevada (robustez);
- ✓ Rendimento elevado;
- ✓ Simplicidade de operação e controle;
- ✓ Níveis reduzidos de interferência eletromagnética.

A bidirecionalidade em corrente (característica importante em um retificador trifásico híbrido com correção do Fator de Potência) depende exclusivamente do retificador trifásico controlado, ou seja, se este é bidirecional em corrente (Comentado anteriormente no tópico 1.2.2.1).

Em [10], foi desenvolvido um retificador trifásico híbrido unidirecional em corrente, composto de um retificador de 6-pulsos convencional com um conversor boost em cascata para o controle da tensão de saída, e um retificador trifásico PWM unidirecional conectado em paralelo para impor a corrente de entrada com formato senoidal. Para isso, cada uma das estruturas (controlada e não-controlada) processa 50% da potência total entregue à carga.

Posteriormente, em uma outra aplicação desta mesma estrutura [37], os autores consideraram a hipótese do retificador controlado processar apenas 33% da potência total entregue à carga. Neste caso, devido o retificador controlado ser unidirecional em corrente, a forma de onda da corrente na entrada deixa de ser senoidal ($DHT > 0$), mas com possibilidade de atender às normas reguladoras IEC, tornando-se uma forma de operação vantajosa e viável.

Já para os retificadores híbridos bidirecionais, as correntes de entrada serão sempre senoidais. O que é interessante analisar neste caso é a flexibilidade de se impor os valores de potência aparente processada e de potência média entregue à carga pela estrutura controlada, mantendo uma DHT quase nula.

Como exemplo, foi proposto em [38] um retificador híbrido bidirecional, apresentado na Figura 1.26, cujo ponto de operação escolhido resultou para o retificador controlado uma potência aparente com valor de 30% da potência aparente total processada e potência média de 10% da potência média total entregue à carga. No entanto, a complexidade no controle tende a aumentar devido à maior quantidade de interruptores controlados.

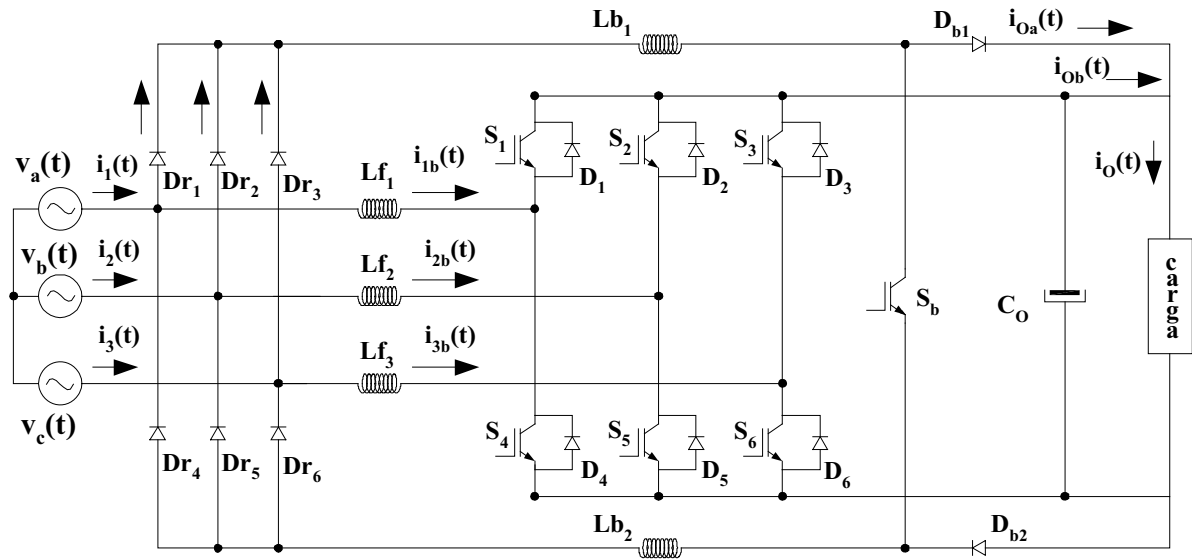


Figura 1.26 – Retificador trifásico híbrido bidirecional em corrente com conversor boost na saída.

Os dois trabalhos a serem abordados na seqüência, apesar de não se enquadrarem totalmente dentro das definições de retificadores híbridos mencionadas anteriormente, são conversores híbridos e sinalizam uma tendência importante que é a associação de estruturas diversas (como por exemplo: Retificadores controlados, inversores, filtros ativos, etc.) com o intuito de melhorar o desempenho da estrutura como um todo.

O retificador trifásico híbrido a ser discutido na seqüência [39], mostrado na Figura 1.27, possui uma aplicação interessante que é a supressão de IEM (Interferência Eletromagnética). É constituído de dois retificadores trifásicos controlados conectados em paralelo, sendo um denominado “Retificador Principal” e o outro “Retificador Auxiliar”.

O retificador principal processa toda a potência ativa entregue à carga e opera com frequência de comutação constante (PWM) de 1,2kHz.

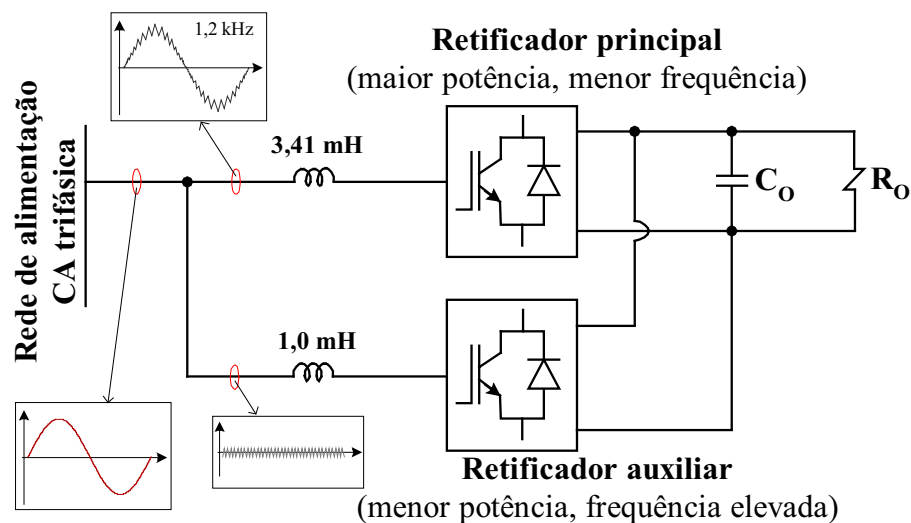


Figura 1.27 – Retificador trifásico PWM, para redução de interferência eletromagnética.

Com isso, pode-se corrigir o fator de potência na entrada e ainda controlar a tensão de saída para potências mais elevadas sem grandes variações (di/dt) de corrente.

O retificador auxiliar por sua vez processa potência muito menor do que aquela processada pelo retificador principal e utiliza a modulação por histerese com uma frequência de comutação bastante elevada. Deste modo, minimiza-se o *ripple* de baixa frequência (1,2kHz), resultando em um retificador trifásico híbrido PWM, com correntes de entrada praticamente senoidais, com uma frequência de comutação de 10 kHz e níveis reduzidos de IEM.

No trabalho analisado em [40] foi proposto um inversor trifásico híbrido composto por um inversor trifásico de corrente (*CSI – Current Source Inverter*) e um inversor trifásico de tensão (*VSI – Voltage Source Inverter*), com as saídas de ambos conectadas em paralelo com a carga (motor de indução trifásico), conforme mostrado na Figura 1.28.

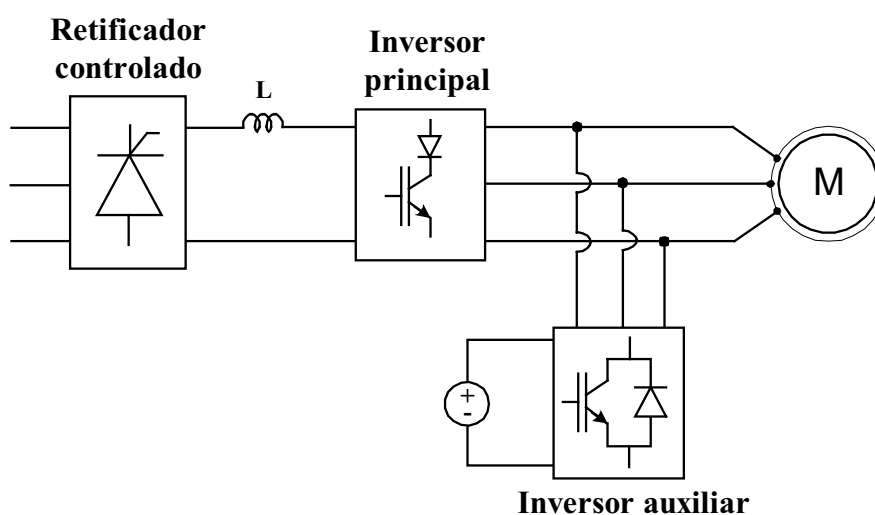


Figura 1.28 – Inversor trifásico híbrido.

O inversor trifásico de corrente (alimentado por um retificador controlado com saída em corrente) é denominado “inversor principal” e processa a maior parte da potência ativa entregue à carga, sendo destacadas a seguir algumas características desta estrutura.

- Possibilita a transferência bidirecional da potência elétrica;
- Responde rapidamente ao comando de mudança de fase da corrente de saída;
- O circuito de potência é mais simples e robusto do que o *VSI*, devido a ausência do diodo de roda livre e a proteção natural de sobrecorrente inerente da indutância elevada na saída do retificador (com malha de controle de corrente). Entretanto, o valor elevado desta indutância resulta para o inversor *CSI* em uma resposta lenta ao comando de mudança de amplitude da corrente de saída;

- A forma de onda da corrente de saída é quadrada (possui o mesmo formato da corrente de entrada de um retificador convencional de 6 pulsos – Figura 1.10) e com a mesma frequência da componente fundamental da corrente entregue à carga, portanto com níveis reduzidos de IEM e de perdas de comutação. Em contrapartida, possui DHT de 30%, predominando componentes harmônicas de ordens menores.

O inversor trifásico de tensão (*VSI*) ocupa a função de “inversor auxiliar” e processa a menor parte da potência ativa entregue à carga (ou somente potência reativa), sendo listadas a seguir algumas de suas características de funcionamento:

- Possibilita uma variação ampla da amplitude e frequência da tensão de saída;
- Responde rapidamente ao comando de mudança de fase e de amplitude da tensão de saída;
- No entanto, esta estrutura é penalizada devido às perdas elevadas de comutação e IEM, que são problemas inerentes da operação em frequências elevadas.

A técnica de controle aplicada para o inversor trifásico híbrido é linear (utiliza-se as componentes d-q obtidas da transformação de Park) e a modulação empregada é o *Space-Vector*. Portanto, dentre as vantagens do inversor trifásico híbrido em relação aos inversores trifásicos *CSI* e *VSI* operando individualmente, destacam-se as seguintes:

- A mudança rápida de amplitude da corrente de saída, proporcionada pelo inversor *VSI*;
- Redução das perdas de comutação e de IEM, uma vez que o inversor *CSI* processa a maior parte da potência ativa entregue à carga;
- Redução das harmônicas de ordens menores nas correntes de saída realizada pelo inversor *VSI*, resultando em correntes com o formato praticamente senoidal.

Nas três estruturas subseqüentes [41-43], o retificador controlado PWM é unidirecional em corrente e é constituído de três retificadores monofásicos SEPIC e Boost. Tais retificadores híbridos são capazes de prover fator de potência elevado e distorção harmônica reduzida nas correntes de entrada.

Estas estruturas são compostas por um retificador trifásico convencional de seis pulsos (Ponte de Graetz), com filtro indutivo na saída e a conexão paralela de retificadores monofásicos SEPIC [41] ou Boost [42-43], em cada fase do retificador, conforme Figuras 1.29 e 1.30.

Estas topologias resultam em estruturas capazes de programar a forma de onda da corrente de entrada, proporcionando condições para a obtenção de fator de potência elevado e Distorção Harmônica Total reduzida nas correntes de entrada do retificador, tendo sido

denominados “Retificadores Trifásicos Híbridos com correção do fator de potência (Three-Phase PFC-HPR – Three-Phase Power-Factor-Correction Hybrid Power Rectifier)”.

As estruturas das Figuras 1.29 e 1.30 foram desenvolvidas com a finalidade de se obter uma corrente de entrada de qualidade elevada sem o uso de transformadores defasadores em grupos de retificadores, os quais apesar da robustez da estrutura, tornam todo o conjunto volumoso e pesado, além de outras desvantagens já mencionadas anteriormente, tais como, a necessidade de se utilizar transformadores de interfase (com complexidade de projeto), em grande parte das aplicações, e filtros para compensar componentes harmônicas de tensão pré-existentes em sistemas desbalanceados [17].

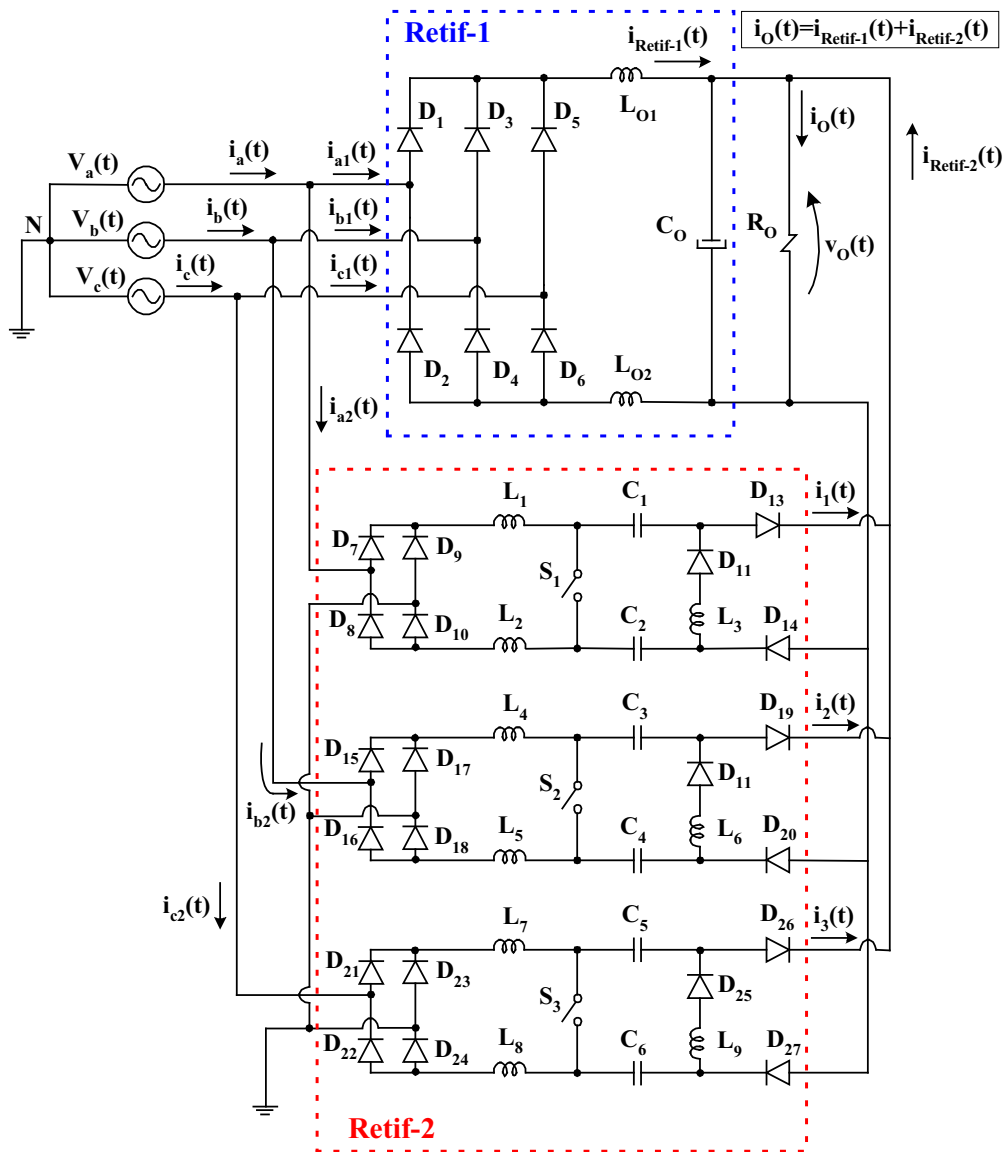


Figura 1.29 – Retificador Híbrido Trifásico com correção do fator de potência (PFC-HPR), com retificadores controlados SEPIC.

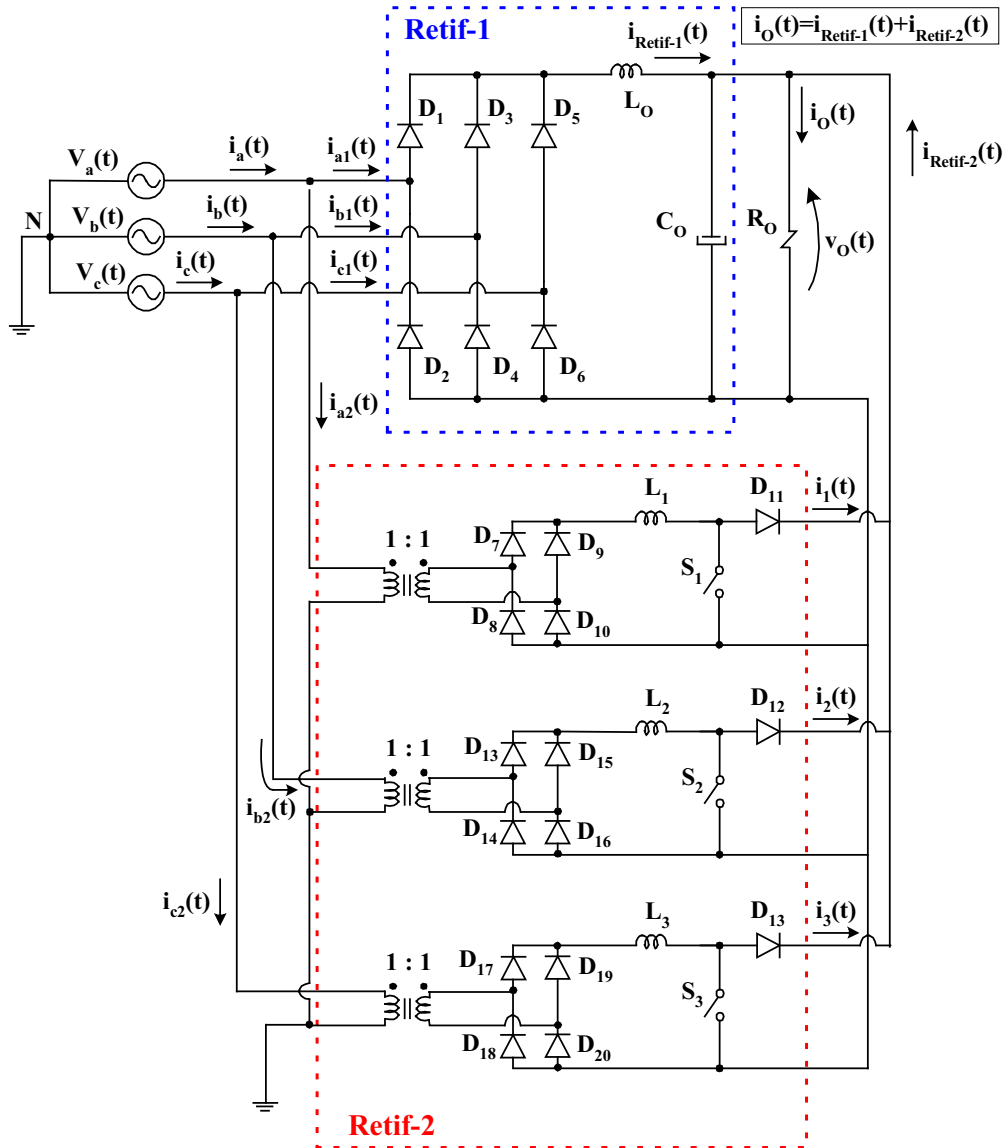


Figura 1.30 – Retificador Híbrido Trifásico com correção do fator de potência (PFC-HPR), com retificadores controlados Boost.

A lógica de controle (analógico) dos Retificadores Híbridos Trifásicos (PFC-HPR) é apresentada em [41-42], os quais operam com pulsos PWM e processam uma pequena fração da potência total. Cada retificador monofásico (SEPIC ou Boost) é sincronizado com a respectiva fase e opera de maneira independente dos demais. Em uma análise global, estes conversores comportam-se como uma fonte de corrente controlada utilizando uma estratégia bastante simples. Impõe-se uma corrente de referência para os conversores SEPIC, ou Boost, de maneira que as correntes drenadas por estes conversores, quando somadas com as correntes drenadas pelo retificador de seis pulsos convencional, resultem em uma corrente mais próxima da senoidal em cada fase da rede de alimentação e, conseqüentemente, reduzindo a DHT e elevando o fator de potência. Desse modo, manipulando-se o formato da corrente de referência de cada SEPIC, ou Boost, pode-se obter a corrente de entrada com 12,

18, 24 pulsos ou mais, inclusive com a possibilidade de se obter fator de potência unitário. No intuito de se comprovar a eficiência dessa estrutura, os autores implementaram um protótipo do retificador híbrido, operando como retificador trifásico de 12 pulsos, para potência de 3,0 kW, em [41] e 6,0 kW em [42]. Recentemente, a mesma estrutura explorada em [42] (Figura 1.32) foi implementada para potência de 2,8 kW, impondo-se uma forma de onda senoidal na entrada através de controle digital e com o uso de microcontrolador, sendo os resultados experimentais preliminares já publicados [43].

1.3 - Motivação e Proposta para o Trabalho

Considerando o retificador proposto da Figura 1.29, operando com corrente de entrada de “ $q.6\pm 1$ ” pulsos, dependendo do valor do índice “ q ” e do valor da potência nominal de saída processada, o conteúdo harmônico ainda existente nas correntes de entrada (por exemplo, $i_a(\omega.t)$), para algumas ordens harmônicas, pode não obedecer os limites estabelecidos pelas normas, como por exemplo a IEC61000-3-2 e IEC61000-3-4. Além disso, a técnica de controle analógico proposta pelos autores [41] resulta em circuitos analógicos envolvendo uma certa complexidade, dificultando a imposição de uma corrente de entrada senoidal e impedindo a desejada programação da DHT para as correntes de entrada.

Neste contexto, objetivando atender plenamente os limites estabelecidos pelas normas internacionais IEC/IEEE, para a corrente de linha de entrada, propõe-se neste trabalho de tese, uma técnica de controle digital modificada para o circuito apresentado na Figura 1.29 (Retificadores monofásicos SEPIC), oferecendo uma maior flexibilidade na implementação, capaz de impor a corrente de entrada dos conversores controlados (por exemplo, $i_{a2}(\omega.t)$), resultando em um fator de potência quase unitário e reduzida potência ativa processada pelo retificador controlado, permitindo ainda ampla programação da desejada DHT das correntes drenadas da rede de alimentação em corrente alternada. Considerando a independência de operação de cada retificador monofásico SEPIC, analisaram-se três técnicas de controle clássico aplicadas na correção ativa do Fator de Potência em estruturas monofásicas operando no modo de condução contínua [44], sendo uma delas posteriormente escolhida para compor a técnica de controle digital proposta.

1.3.1 - Controle por Corrente de Pico

O esquema básico do controle por corrente de pico é mostrado na Figura 1.31, utilizando o conversor boost como exemplo. O interruptor controlado é comandado para a

condução através de um sinal de “clock” operando em frequência constante, e é comandado para o bloqueio através de um sinal “reset” sempre que a soma da rampa externa com a corrente através do interruptor controlado atingir o valor da corrente de referência.

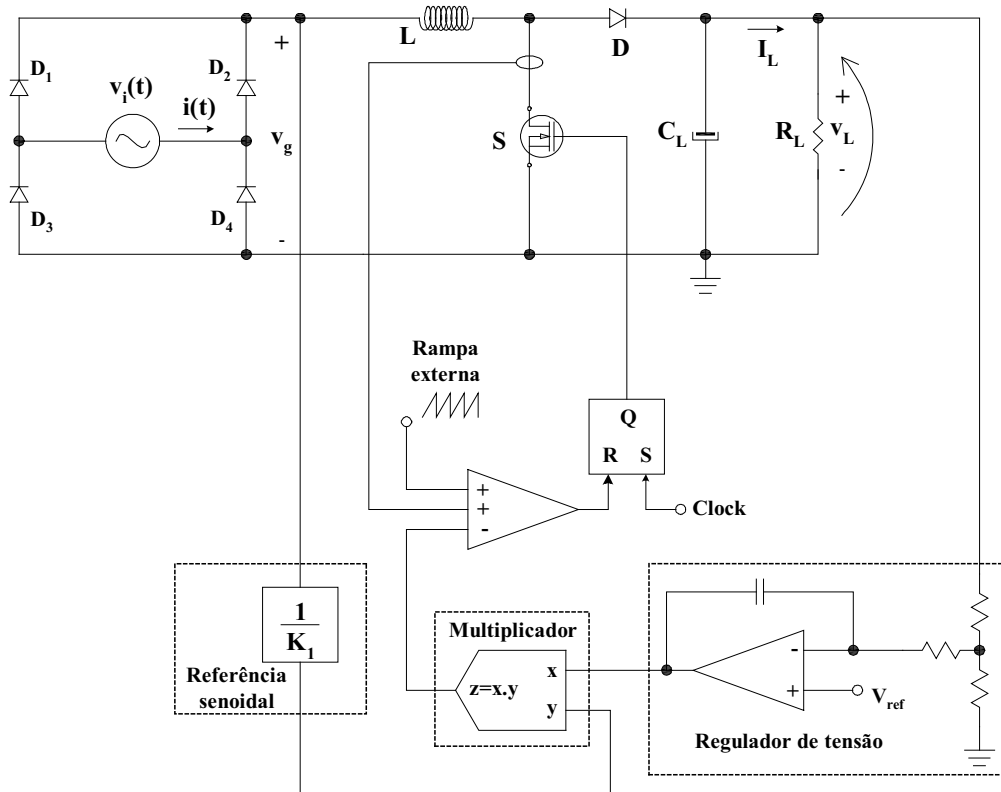


Figura 1.31 – Esquema do controle por corrente de pico aplicado ao conversor boost.

Algumas vantagens e desvantagens desta técnica estão destacadas a seguir:

➤ *Vantagens:*

- Frequência de comutação constante;
- Não necessita de compensador de corrente;
- Constitui-se um verdadeiro limitador de corrente para o interruptor.

➤ *Desvantagens:*

- Presença de oscilações sub-harmônicas na corrente monitorada para razão cíclica maior do que 50%, sendo necessária uma rampa de compensação;
- Acréscimo da distorção harmônica na corrente de entrada para uma tensão de entrada mais elevada e/ou carga reduzida, sendo este problema piorado na presença da rampa de compensação;
- Não possibilita o controle do *ripple* da corrente monitorada em regime transitório, para a operação no modo de condução contínua (MCC).

- O controle é mais susceptível aos ruídos de comutação. A frequência de resposta do controle é elevada (o controle atua sempre no bloqueio do interruptor).

1.3.2 - Controle por Corrente Média

Nesta técnica de controle, mostrada na Figura 1.32, a corrente de entrada é monitorada e posteriormente filtrada pelo compensador de corrente para finalmente ser comparada com o sinal dente de serra, gerando os pulsos PWM para comandar o interruptor principal. Além disso, o compensador de corrente tende a reduzir o erro entre a corrente média de entrada e a referência gerada pela lógica de multiplicação.

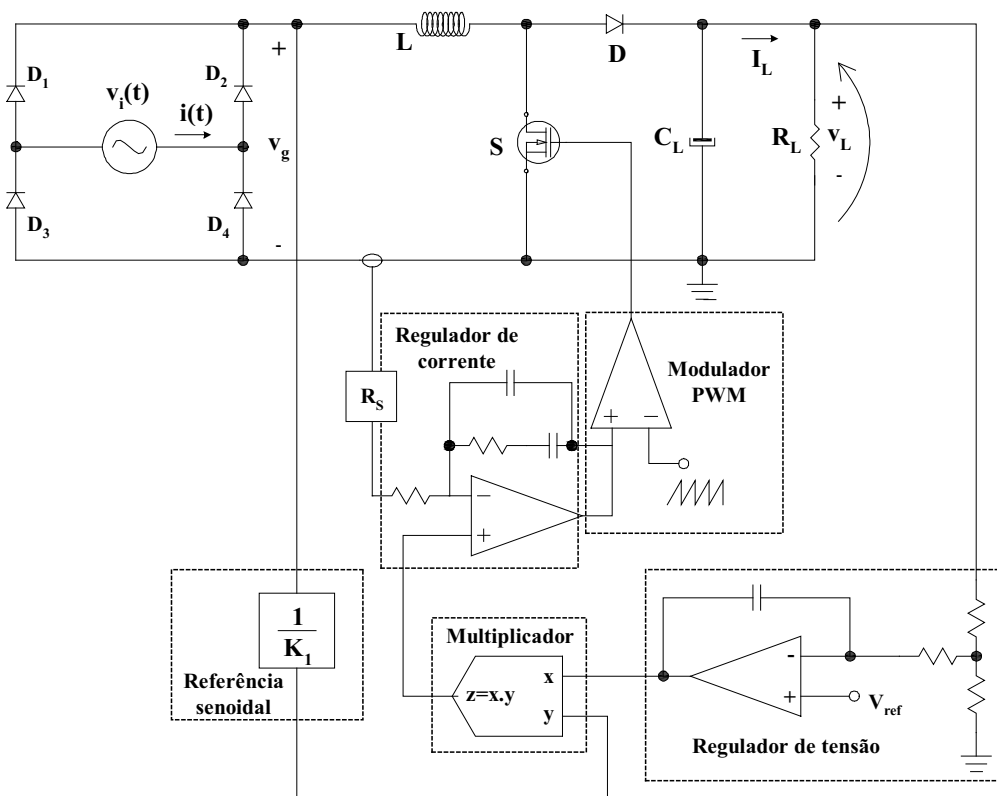


Figura 1.32 – Esquema do controle por corrente média aplicado ao conversor boost.

Na seqüência, são discutidas algumas vantagens e desvantagens desta técnica.

➤ *Vantagens:*

- Frequência de comutação constante;
- Não necessita de rampa de compensação;
- O controle é menos susceptível aos ruídos de comutação, devido à filtragem da corrente de entrada;
- A forma de onda da corrente de entrada possui uma melhor qualidade do que

aquela verificada para o controle por corrente de pico, tendo em vista que perto do cruzamento por zero da tensão de entrada, a razão cíclica se aproxima do valor unitário minimizando o tempo morto da corrente de entrada.

➤ *Desvantagens:*

- A necessidade de um compensador de corrente.

1.3.3 - Controle por Histerese variável (Modulação por Limites de Corrente – MLC)

No controle por histerese, são estabelecidos os limites máximo e mínimo da corrente, fazendo-se a comutação do interruptor controlado em função de tais limites extremos, conforme exemplificado através da Figura 1.33.

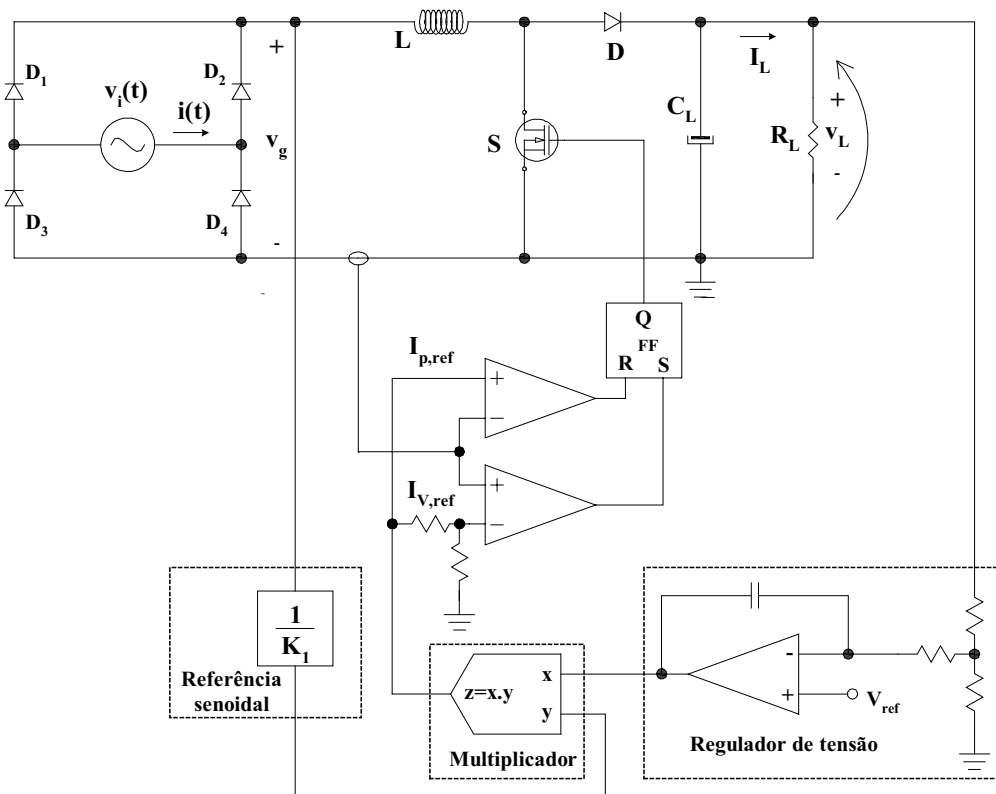


Figura 1.33 – Esquema do controle por histerese variável aplicado ao conversor boost.

Nesta técnica de controle, o interruptor é comandado para a condução quando a corrente através do indutor atinge um valor menor do que o limite (referência) inferior, e por outro lado, é comandado para o bloqueio quando a corrente através do indutor se torna maior do que o limite (referência) superior. Assim, o valor instantâneo da corrente, em regime, é mantido dentro dos limites estabelecidos e o conversor comporta-se como uma fonte de corrente. Tanto a frequência quanto à largura de pulso (razão cíclica) são variáveis,

dependendo dos parâmetros do circuito e dos limites impostos (Largura da banda de histerese).

A seguir, são comentadas as principais vantagens e desvantagens desta técnica.

➤ *Vantagens:*

- Não necessita de compensador de corrente;
- Não necessita de rampa de compensação;
- A forma de onda da corrente de entrada possui uma distorção reduzida, em relação ao sinal de referência;
- Proporciona uma resposta dinâmica melhor do que as técnicas “Controle por Corrente de Pico” e “Controle por Corrente Média”, devido aos atrasos intrínsecos da modulação PWM e tempo de resposta do compensador de corrente;
- Possibilita o controle do *ripple* da corrente monitorada mesmo em regime transitório, pelo fato da largura da banda de histerese ser independente das grandezas do circuito.

➤ *Desvantagens:*

- Frequência de comutação variável;
- O controle usa a informação instantânea da corrente monitorada, portanto, é mais susceptível aos ruídos de comutação.

Dentre as três técnicas analisadas, optou-se pelo “Controle por Histerese”, considerando-se além de suas vantagens, a simplicidade e facilidade de implementação. Quanto às desvantagens destacadas, existem técnicas utilizadas em controle digital que possibilitam minimizar a variação da frequência de comutação e a susceptibilidade do controle aos ruídos de comutação [45-46].

Finalmente, para a implementação da técnica de controle digital proposta, aplicando-se a modulação por histerese, utilizar-se-á um dispositivo programável FPGA e linguagem VHDL, devido suas características de flexibilidade e de processamento concorrente, possibilitando executar todos os procedimentos de controle de forma simultânea.

Neste sentido, o objetivo principal deste trabalho é o aprimoramento e a implementação digital da lógica de controle do Retificador Híbrido Trifásico com Correção do Fator de Potência (PCF-HPR), apresentado em [41], através do uso da Linguagem de descrição de Hardware VHDL (*Hardware Description Language*), e a apresentação dos resultados experimentais.

Neste contexto, a apresentação deste trabalho segue a seguinte estrutura:

1) No capítulo 1, é apresentada uma revisão bibliográfica básica, no intuito de situar o trabalho no contexto geral;

2) No capítulo 2, é apresentado com um pouco mais de detalhe o Retificador Trifásico Híbrido com Correção do Fator de Potência (PCF-HPR) com retificadores controlados SEPIC, através da análise quantitativa, relacionando a DHT imposta para as correntes de entrada com as potências aparente e média processadas pelo retificador controlado, não-controlado e híbrido;

3) No capítulo 3, são apresentadas as análises qualitativa e quantitativa do retificador monofásico SEPIC que compõe o retificador trifásico híbrido, considerando a técnica de modulação por histerese aplicada;

4) No capítulo 4, é apresentada a metodologia de projeto para o Retificador Híbrido Trifásico com Correção do Fator de Potência;

5) No capítulo 5, são apresentados em detalhes os circuitos, de ataque, condicionamento e aquisição de sinais e o funcionamento do código VHDL desenvolvido para a implementação do controle digital em FPGA;

6) No capítulo 6, são apresentados os resultados experimentais e análises.

7) No capítulo 7, são apresentadas as conclusões finais e as propostas de continuidade da pesquisa.

CAPÍTULO 2

2 - Análise Quantitativa do Retificador Trifásico Híbrido com Correção do Fator de Potência (RTH)

2.1 - Introdução

Neste capítulo apresenta-se a análise quantitativa do Retificador Híbrido Trifásico, com correção do Fator de Potência (RTH). O objetivo desta análise é conhecer o valor eficaz das correntes de entrada e o valor médio da tensão e das correntes de saída, bem como as potências média e aparente processadas através de cada estrutura retificadora, controlada e não-controlada e, conseqüentemente, o Fator de Potência (FP), mediante uma DHT (Distorção Harmônica Total) imposta para as correntes de entrada, através de uma lógica de controle apropriada para o retificador controlado, considerando-se o circuito apresentado na Figura 2.1.

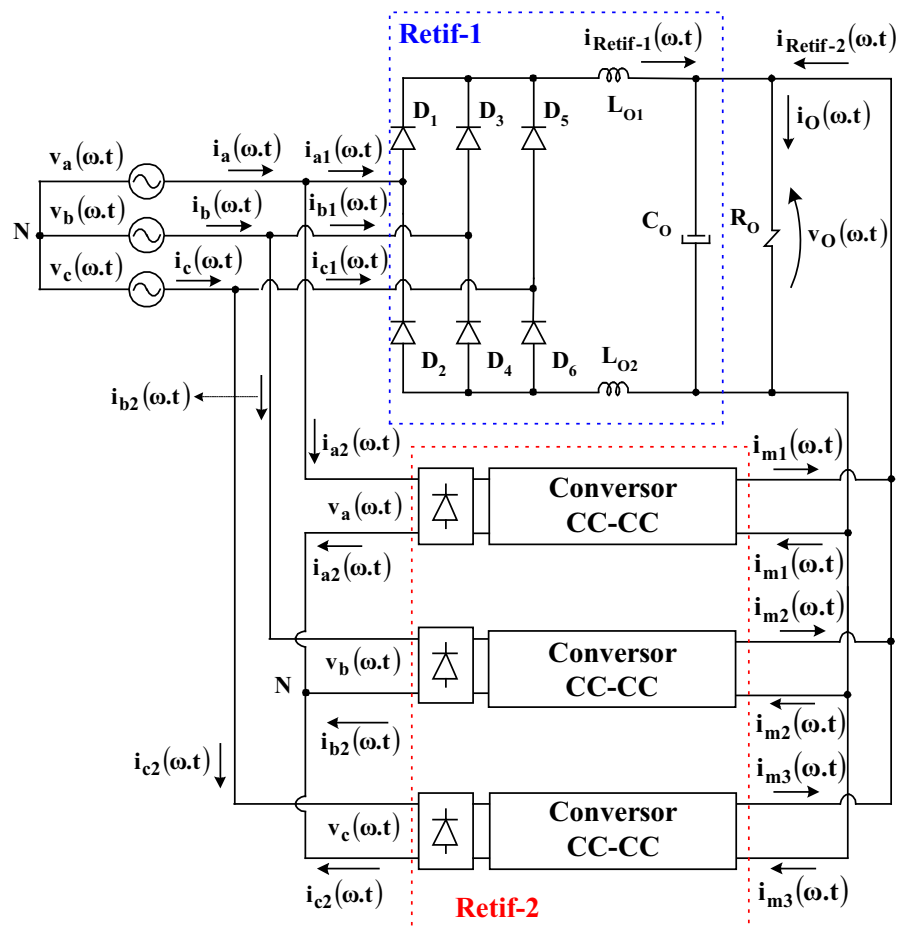


Figura 2.1 – Retificador Trifásico Híbrido com correção do fator de potência (RTH).

2.2 – Descrição da Análise Quantitativa

De acordo com a Figura 2.1, observa-se que a análise é genérica, válida para qualquer conversor CC-CC, com possibilidade de corrente contínua na entrada, para a composição do retificador controlado (Retif-2), incluindo os conversores SEPIC ou Boost, já discutidos no Capítulo 1 [41-43].

Entretanto, observa-se que para aplicação dos conversores retificadores Boost, adequada adaptação entre os valores de projeto da tensão de entrada e da tensão média na carga deverá existir (por exemplo, com o uso de transformadores associados aos retificadores Boost). Portanto, as equações que descrevem o funcionamento do conversor SEPIC não serão discutidas nesta análise. Além disso, pressupõe-se que as indutâncias de saída (L_{O1} e L_{O2}) do retificador não controlado (Retif-1) possuam valores elevados, de modo que o *ripple* da corrente de saída $i_{\text{Retif-1}}(\omega.t)$ possa ser desprezado.

Considera-se inicialmente a inexistência do retificador 2, e, o retificador convencional de seis pulsos, cujas tensões e correntes em cada fase, na entrada, possuem as seguintes formas de onda teóricas, defasadas de 120° , conforme Figura 2.2.

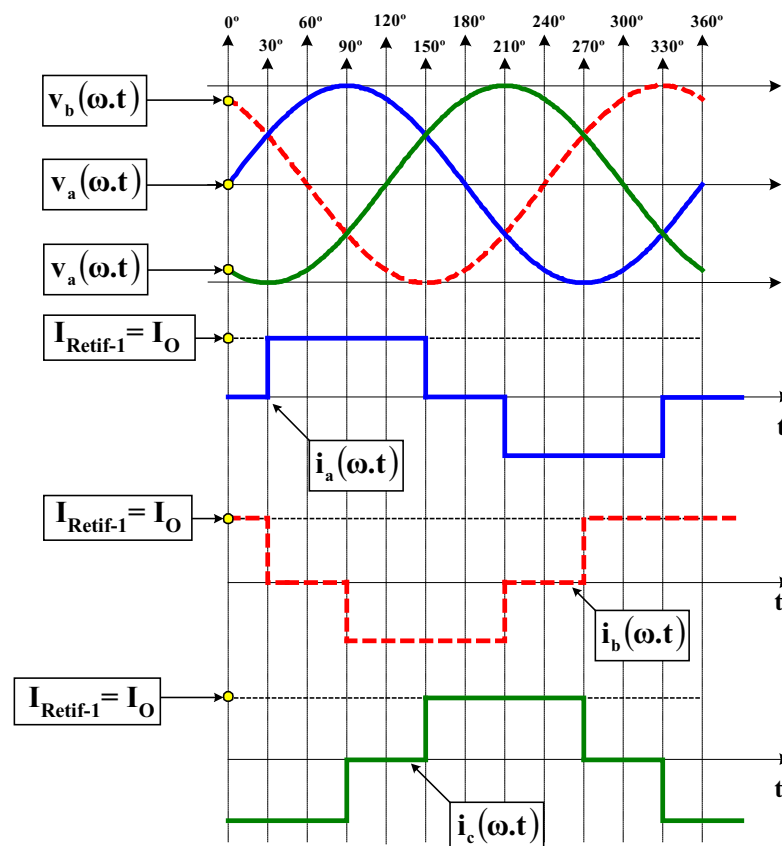


Figura 2.2 – Formas de onda de tensão e corrente na entrada do Retificador Híbrido (RTH) operando como um retificador convencional de seis pulsos (Retificador 2 inoperante).

Conforme as formas de onda do retificador convencional de seis pulsos, (Figura 2.2), a corrente média ($I_{\text{Retif-1}}$) de saída do Retif-1 é igual à corrente média total (I_O) na carga, ($I_{\text{Retif-1}}=I_O$). No entanto, para compor uma corrente de entrada senoidal, cada retificador monofásico SEPIC, pertencente ao Retif-2, deverá conduzir uma parcela da corrente de entrada, de sua respectiva fase, diretamente para a carga e de maneira apropriada. Como exemplo, através da Figura 2.3 visualiza-se a corrente de entrada $i_a(\omega.t)$ da fase “a”, com a composição de duas parcelas $i_{a1}(\omega.t)$ e $i_{a2}(\omega.t)$, representando o funcionamento do circuito mostrado na Figura 2.1.

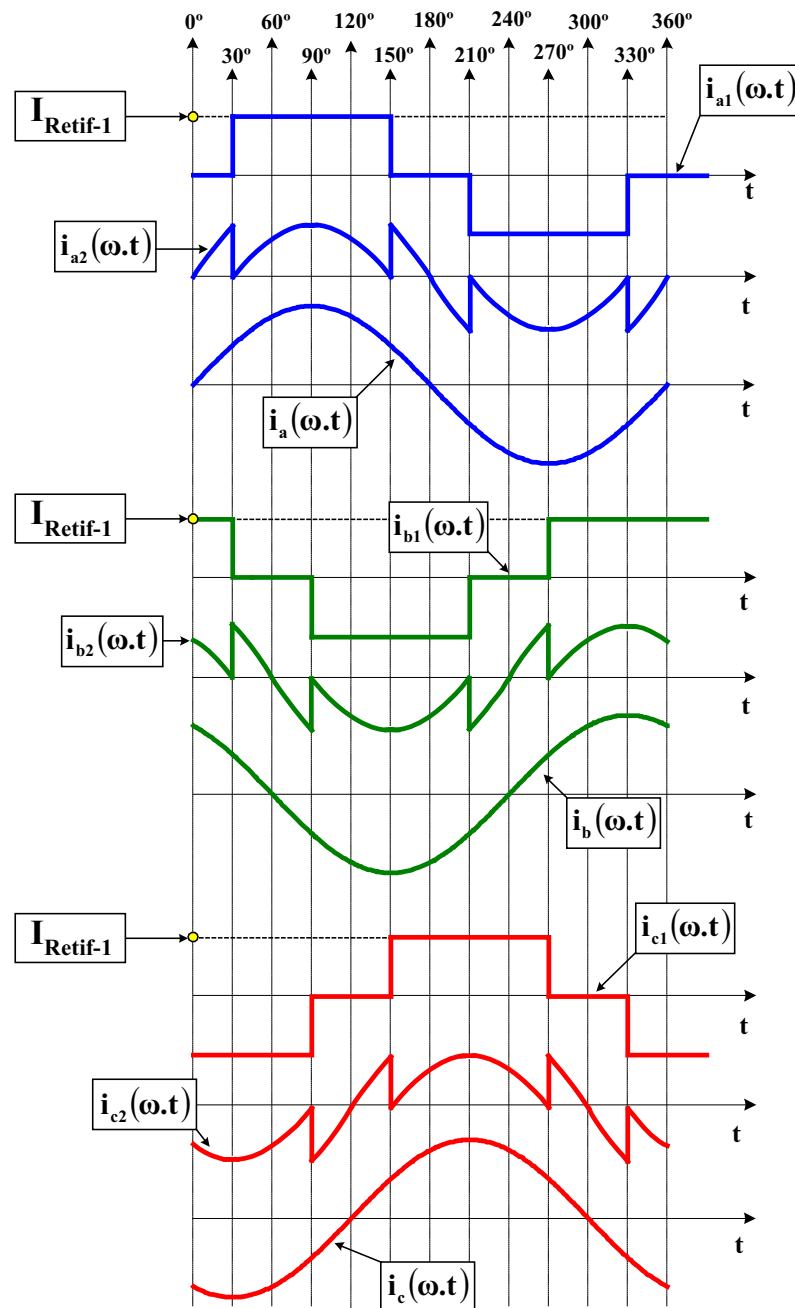


Figura 2.3 – Formas de onda das correntes na entrada do Retificador Híbrido (RTH), impostas como sendo senoidais através do controle adequado do Retif-2.

Desta maneira, a corrente média na carga (I_O) passa a ser composta pela soma das correntes médias de saída de cada retificador, ou seja: $I_O = I_{\text{Retif-1}} + I_{\text{Retif-2}}$.

Para facilitar a compreensão da análise, o circuito do Retificador Trifásico Híbrido com correção do Fator de Potência (RTH) é mostrado novamente, através da Figura 2.4, entretanto, relacionando os valores médios e eficazes das grandezas envolvidas.

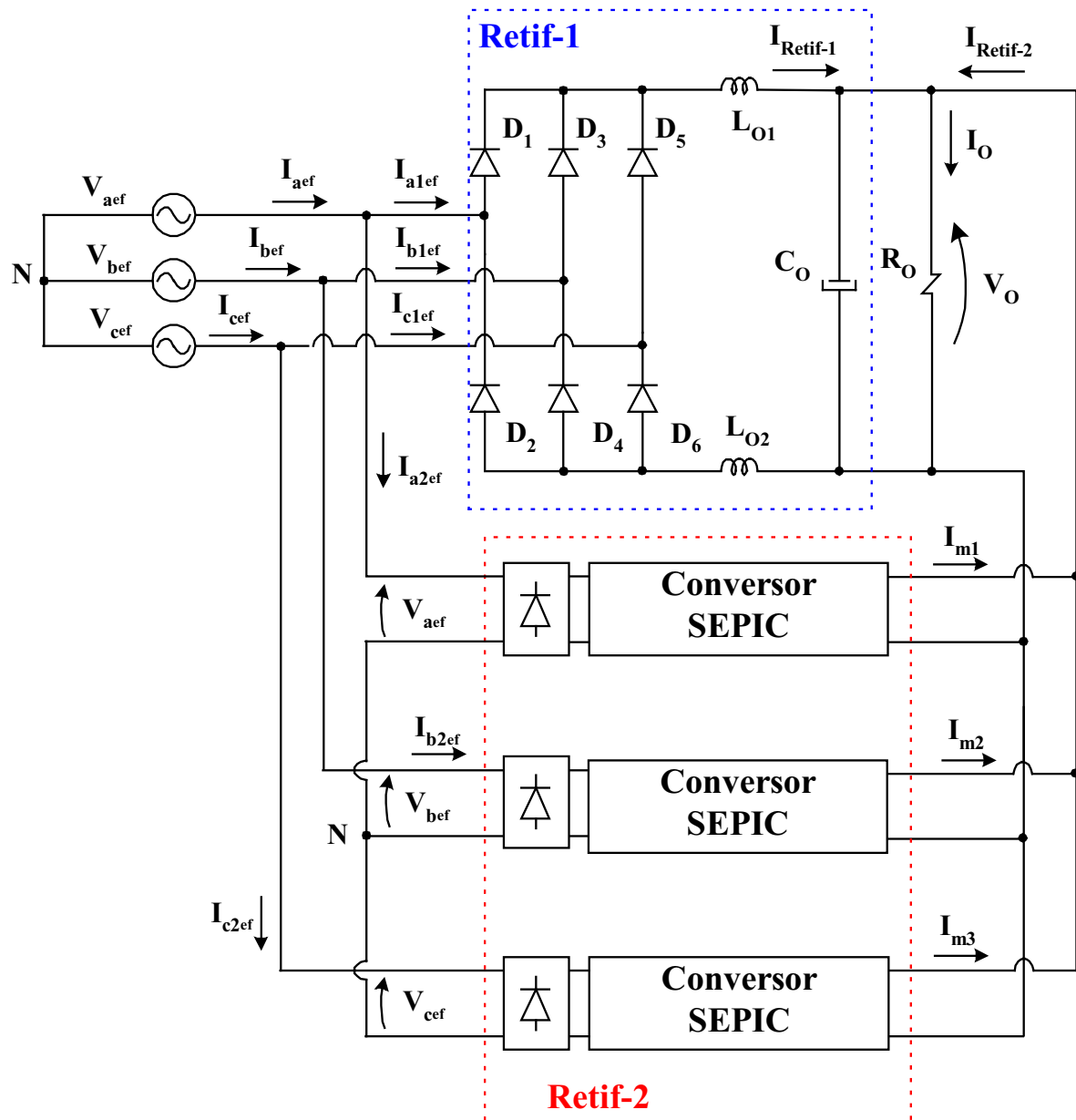


Figura 2.4 – Retificador Híbrido Trifásico com Correção do Fator de Potência (RTH).

Onde:

V_{aef} , V_{bef} e V_{cef} : Valor eficaz da tensão de entrada, nas fases “a”, “b” e “c”;

I_{aef} , I_{bef} e I_{cef} : Valor eficaz da corrente de entrada, nas fases “a”, “b” e “c”;

I_{a1ef} , I_{b1ef} e I_{c1ef} : Valor eficaz da corrente de entrada do retificador não-controlado, nas fases “a”, “b” e “c”;

I_{a2ef} , I_{b2ef} e I_{c2ef} : Valor eficaz da corrente de entrada do retificador controlado, nas fases “a”, “b” e “c”;

I_{m1} , I_{m2} e I_{m3} : Valor médio da corrente de saída do retificador controlado, nas fases “a”, “b” e “c”;

$I_{Retif-1}$: Valor médio da corrente de saída do retificador não controlado (Retif-1);

$I_{Retif-2}$: Valor médio da corrente de saída do retificador controlado (Retif-2);

I_O : Valor médio da corrente de saída através da carga;

V_O : Valor médio da tensão de saída sobre a carga;

P : Valor médio da potência entregue à carga (Potência ativa);

P_{in} : Valor médio da potência requerida da fonte de alimentação;

S : Valor da potência aparente requerida da fonte de alimentação;

η : Rendimento do retificador trifásico híbrido.

Considerando-se um rendimento de valor “ η ” para o retificador trifásico híbrido, obtém-se uma relação entre as potências de entrada (P_{in}) e saída (P), dada através da equação (2.1):

$$P_{in} = \frac{P}{\eta} \quad (2.1)$$

Sendo que:

$$P_{in} = \frac{1}{T} \cdot \int_0^T [v_a(\omega \cdot t) \cdot i_a(\omega \cdot t) + v_b(\omega \cdot t) \cdot i_b(\omega \cdot t) + v_c(\omega \cdot t) \cdot i_c(\omega \cdot t)] d(\omega \cdot t) \quad (2.2)$$

$$P = V_O \cdot I_O = \frac{V_O^2}{R_O} \quad (2.3)$$

Onde:

T : Período da rede em segundos;

R_O : Valor da resistência na carga;

ω : Frequência angular das tensões de entrada, em rd/s.

A potência aparente de entrada é dada pela equação (2.4):

$$S = V_{aef} \cdot I_{aef} + V_{bef} \cdot I_{bef} + V_{cef} \cdot I_{cef} \quad (2.4)$$

Para simplificar a análise, será considerado que as tensões de alimentação possuem um formato senoidal e estão equilibradas.

Portanto:

$$V_{ef} = V_{aef} = V_{bef} = V_{cef} \quad (2.5)$$

$$I_{ef} = I_{aef} = I_{bef} = I_{cef} \quad (2.6)$$

Assim, as equações (2.2), (2.4), (2.5) e (2.6) são reescritas em função de suas componentes harmônicas, conforme definições apresentadas no capítulo 1:

$$P_{in} = 3 \cdot V_{ef} \cdot I_{ef(1)} \cdot \cos(\varphi_1) \quad (2.7)$$

$$S = 3 \cdot V_{ef} \cdot I_{ef} \quad (2.8)$$

$$V_{ef} = \frac{V_1}{\sqrt{2}} \quad (2.9)$$

$$I_{ef} = \sqrt{I_{md}^2 + \sum_{n=1}^{\infty} \frac{I_n^2}{2}} \quad (2.10)$$

Onde:

φ_1 : Ângulo de defasagem entre as componentes fundamentais da tensão e da corrente de entrada;

I_{md} : Valor médio da corrente de entrada;

V_{ef} : Valor eficaz da tensão de entrada monofásica do retificador trifásico híbrido;

I_{ef} : Valor eficaz da corrente de entrada monofásica do retificador trifásico híbrido;

V_1 : Valor de pico da componente fundamental da tensão de entrada do retificador trifásico híbrido;

$I_{ef(1)}$: Valor eficaz da componente fundamental da corrente de entrada do retificador trifásico híbrido;

I_n : Valor de pico da componente harmônica da corrente de entrada para uma frequência de índice “n”;

n : Ordem harmônica.

As tensões instantâneas de entrada (Figura 2.1), são dadas pelas equações (2.11), (2.12) e (2.13), abaixo:

$$v_a(\omega.t) = V_{ef} \cdot \sqrt{2} \cdot \text{sen}(\omega.t) \quad (2.11)$$

$$v_b(\omega.t) = V_{ef} \cdot \sqrt{2} \cdot \text{sen}(\omega.t + 120^\circ) \quad (2.12)$$

$$v_c(\omega.t) = V_{ef} \cdot \sqrt{2} \cdot \text{sen}(\omega.t - 120^\circ) \quad (2.13)$$

Relacionando-se as equações (2.7), (2.8) e (2.10), reescreve-se a definição do Fator de Potência, já apresentada no capítulo 1, conforme equação (2.14):

$$FP = \frac{P_{in}}{S} = \frac{1}{\sqrt{1 + (DHT)^2}} \cdot \cos(\varphi_1) \quad (2.14)$$

Substituindo a equação (2.1) em (2.14) obtém-se a relação entre a potência aparente de entrada e a potência média de saída do retificador trifásico híbrido, através da (2.15):

$$FP.\eta = \frac{P}{S} \quad (2.15)$$

Simplificando (2.15), tem-se:

$$\varepsilon = \frac{P}{S} = FP.\eta = \frac{\cos(\varphi_1).\eta}{\sqrt{1+(DHT)^2}} \quad (2.16)$$

Onde:

ε : Parâmetro auxiliar.

Logo, substituindo-se as equações (2.3) e (2.8) em (2.16), obtém-se (2.17):

$$I_{ef} = \frac{V_O^2}{3.V_{ef}.R_O.\varepsilon} \quad (2.17)$$

A tensão média de saída “ V_O ” é calculada por meio da equação (2.18), na seqüência:

$$V_O = \frac{1}{T} \cdot \int_0^T v_O(\omega.t) d(\omega.t) \quad (2.18)$$

Um período da tensão de saída $v_O(\omega.t)$ corresponde a 60° ($\pi/3$). Conforme Figura 2.2, no intervalo de 90° a 150° , o qual constitui um período da tensão $v_O(\omega.t)$, as tensões de fase com valor mais positivo e mais negativo são $v_a(\omega.t)$ e $v_b(\omega.t)$, respectivamente. Assim, a tensão instantânea de saída é calculada conforme (2.19):

$$v_O(\omega.t) = v_a(\omega.t) - v_b(\omega.t) \quad (2.19)$$

Substituindo (2.11) e (2.12) em (2.19) e fazendo as devidas manipulações matemáticas, obtém-se (2.20) a seguir:

$$v_O(\omega.t) = \frac{\sqrt{3}}{\sqrt{2}} \cdot V_{ef} \cdot [\sqrt{3} \cdot \text{sen}(\omega.t) - \cos(\omega.t)] \quad (2.20)$$

Observa-se que (2.20) expressa a tensão instantânea de saída da ponte retificadora trifásica, no intervalo de 90° a 150° , desconsiderando o efeito do filtro L_O e C_O de saída. Entretanto, isto não interfere no cálculo do valor médio da tensão na carga. Portanto, substituindo (2.20) em (2.18), tem-se (2.21), considerando $T=2.\pi$ e retificador de 6 pulsos:

$$V_O = \frac{6.\sqrt{3}.V_{ef}}{2.\pi.\sqrt{2}} \cdot \int_{\frac{\pi}{2}}^{\frac{5.\pi}{2}} [\sqrt{3} \cdot \text{sen}(\omega.t) - \cos(\omega.t)] d(\omega.t) \quad (2.21)$$

Resolvendo a integral em (2.21), resulta na expressão (2.22):

$$V_O = \frac{V_{ef} \cdot 3 \cdot \sqrt{6}}{\pi} \quad (2.22)$$

Substituindo-se (2.22) em (2.17), obtém-se a corrente eficaz de entrada (I_{ef}), de linha, em função da tensão de entrada (V_{ef}), de linha, e da carga (R_O), com (2.23).

$$I_{ef} = \frac{18 \cdot V_{ef}}{\pi^2 \cdot R_O \cdot \varepsilon} \quad (2.23)$$

Substituindo-se (2.22) em (2.23), obtém-se uma relação direta entre a corrente eficaz de entrada (I_{ef}) e a corrente média de saída (I_O), dada através da (2.24).

$$I_{ef} = \frac{\sqrt{6} \cdot I_O}{\pi \cdot \varepsilon} \quad (2.24)$$

As equações obtidas até o momento são válidas tanto para o retificador híbrido em análise quanto para o retificador comum de seis pulsos (Ponte de Graetz), sendo, portanto, encontradas em literaturas clássicas de eletrônica de potência [47], com algumas aproximações em alguns casos.

Desse modo, (2.24) poderá ser adaptada, para obter uma das relações entre as correntes eficazes de entrada (I_{a1ef} , I_{b1ef} e I_{c1ef}) do retificador não controlado (Retif-1), com a sua corrente média de saída ($I_{Retif-1}$). Como se considerou um sistema equilibrado, analogamente à (2.6), pode-se estabelecer o seguinte:

$$I_{1ef} = I_{a1ef} = I_{b1ef} = I_{c1ef} \quad (2.25)$$

$$I_{2ef} = I_{a2ef} = I_{b2ef} = I_{c2ef} \quad (2.26)$$

Onde:

I_{1ef} : Valor eficaz da corrente de linha de entrada do retificador não controlado;

I_{2ef} : Valor eficaz da corrente de linha de entrada do retificador controlado.

Assim, adaptando (2.24), obtém-se (2.27):

$$I_{1ef} = \frac{\sqrt{6}}{\pi \cdot \varepsilon} \cdot I_{Retif-1} \quad (2.27)$$

A relação entre os valores médios das correntes de saída do retificador híbrido trifásico (Figura 2.4), constituem as seguintes expressões:

$$I_O = I_{Retif-1} + I_{Retif-2} \quad (2.28)$$

$$I_{Retif-2} = I_{m1} + I_{m2} + I_{m3} \quad (2.29)$$

Na Figura 2.3, é importante esclarecer que o formato senoidal das correntes de entrada do retificador trifásico híbrido necessita de uma relação constante entre as correntes de

entrada dos retificadores trifásicos controlado e não controlado nas fases “a”, “b” e “c”, respectivamente. Para uma melhor compreensão disto, serão analisadas com mais detalhes as correntes $i_{a1}(\omega.t)$ e $i_{a2}(\omega.t)$ que compõem $i_a(\omega.t)$, através da Figura 2.5.

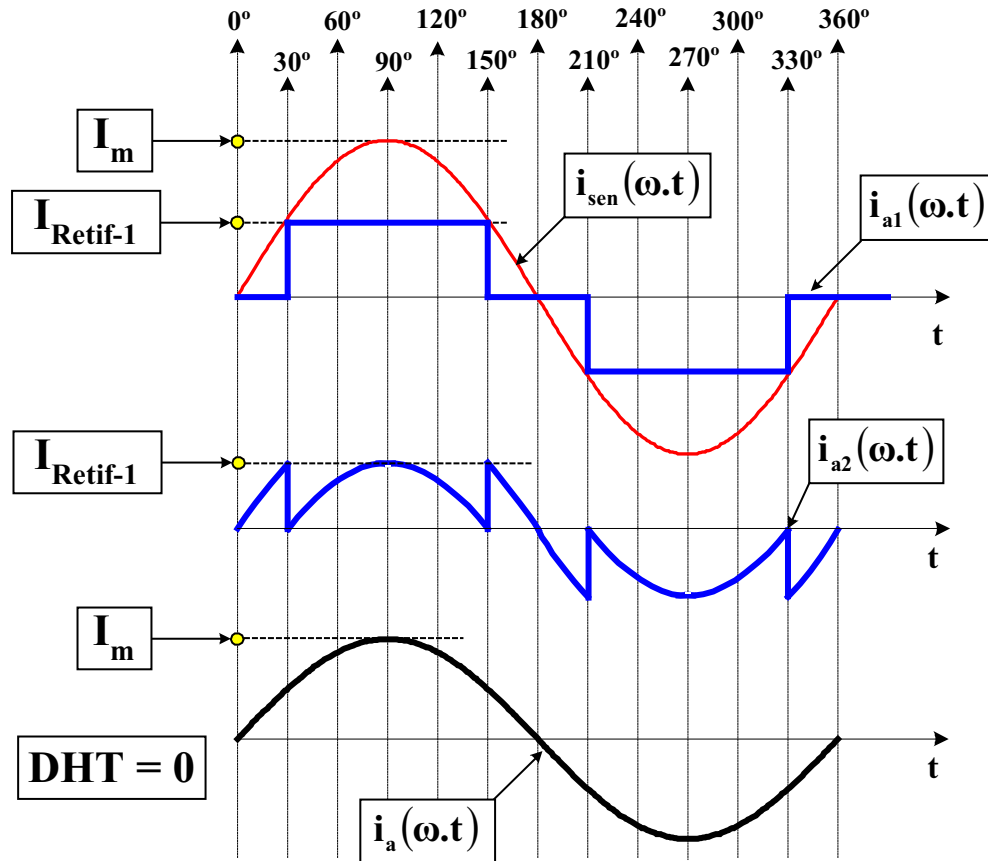


Figura 2.5 – Formas de onda da corrente de entrada do Retificador Híbrido (RTH), na fase “a”, imposta como sendo senoidal através do controle do Retif-2.

Conforme Figura 2.5, a corrente $i_{a2}(\omega.t)$ segue uma corrente de referência, a qual é gerada subtraindo-se a corrente $i_{a1}(\omega.t)$ de uma corrente de referência senoidal $i_{sen}(\omega.t)$ imposta por (2.30):

$$i_{a2}(\omega.t) = i_{sen}(\omega.t) - i_{a1}(\omega.t) \quad (2.30)$$

Sendo que:

$$i_{sen}(\omega.t) = I_m \cdot \text{sen}(\omega.t) \quad (2.31)$$

A relação entre as amplitudes máximas das correntes $i_{sen}(\omega.t)$ e $i_{a1}(\omega.t)$ constitui um parâmetro de controle (K), importante nesta análise, dado por (2.32).

$$K = \frac{I_m}{I_{Retif-1}} \quad (2.32)$$

Assim, (2.31) pode ser reescrita conforme a seguir:

$$i_{sen}(\omega.t) = K \cdot I_{Retif-1} \cdot \text{sen}(\omega.t) \quad (2.33)$$

No caso da Figura 2.5, o parâmetro “K” é igual a 2 e $i_a(\omega.t)$ possui DHT nula. Pode-se observar que para qualquer “K>2” a DHT de $i_a(\omega.t)$ também é nula.

Seguindo o mesmo raciocínio usado para compor $i_a(\omega.t)$, na Figura 2.6 é exemplificada a situação em que “K<2”.

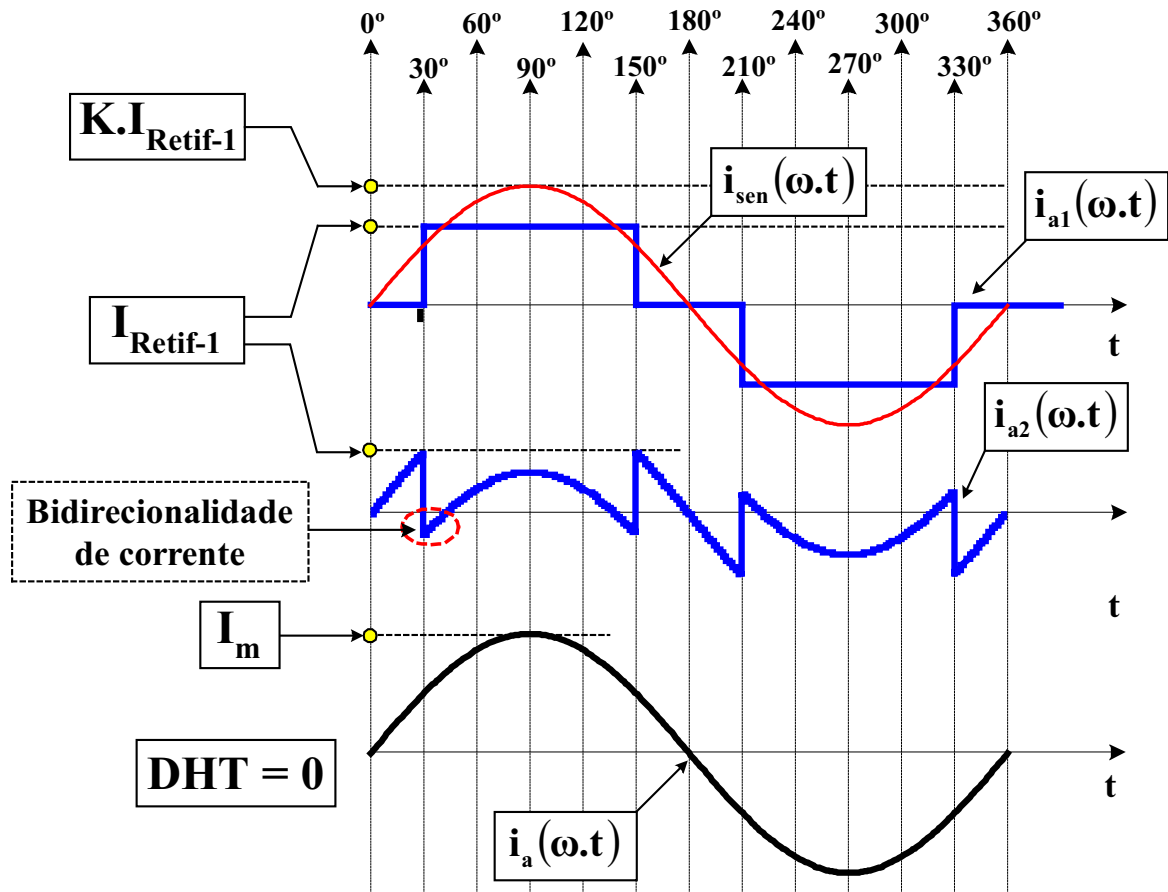


Figura 2.6 – Formas de onda da corrente de entrada do Retificador Híbrido (RTH), na fase “a”, imposta como sendo senoidal através do controle do Retif-2, para $K < 2$.

Na Figura 2.6, a DHT de $i_a(\omega.t)$ continua sendo nula, entretanto nota-se a bidirecionalidade da corrente $i_{a2}(\omega.t)$.

Como os retificadores controlados possuem ponte retificadora com elementos unidirecionais em corrente, esta característica de funcionamento (Figura 2.6) não pode ser implementada através do mesmo.

Desta forma, considerando-se a unidirecionalidade das correntes nos diodos das estruturas controladas, para um parâmetro “K<2”, o formato das correntes $i_{a2}(\omega.t)$ e $i_a(\omega.t)$ resultam conforme Figura 2.7.

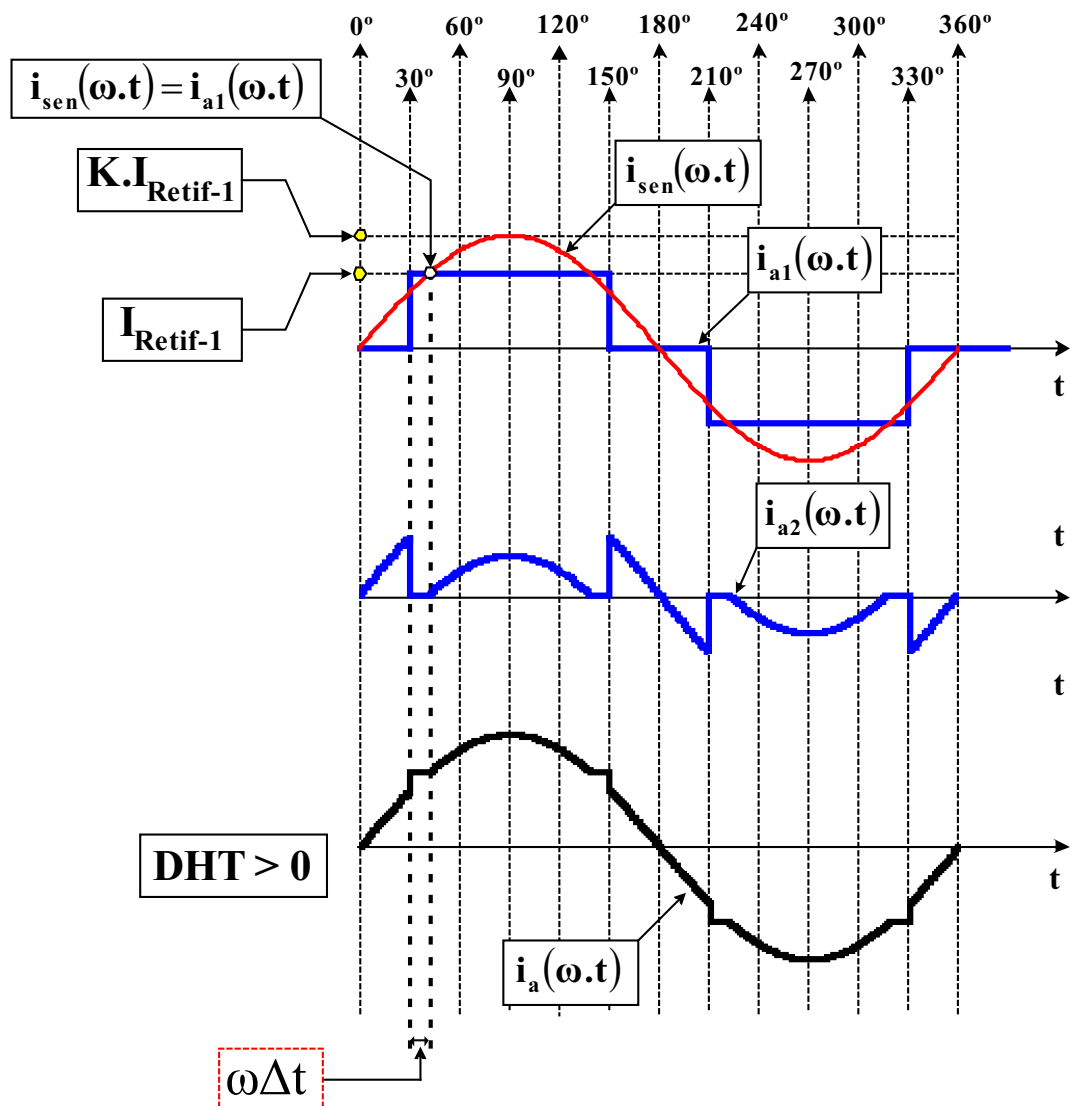


Figura 2.7 – Formas de onda da corrente de entrada do Retificador Híbrido (RTH), na fase “a”, imposta como sendo senoidal através do controle do Retif-2, para $K < 2$.

Analisando Figura 2.7, constata-se que:

A corrente $i_{a2}(\omega.t)$ resulta em uma menor área, a medida em que o fator “K” é reduzido.

Com isso, o valor eficaz (I_{a2ef}) de $i_{a2}(\omega.t)$ também reduz, o que representa uma vantagem, pois o retificador controlado processará um percentual menor da potência nominal do retificador trifásico híbrido, melhorando o seu rendimento.

Em contrapartida, a DHT de $i_a(\omega.t)$ aumenta à medida em que o fator “K” é reduzido, podendo não atender normas reguladoras, tornando-se uma desvantagem.

Portanto, pretende-se desenvolver uma metodologia de projeto que possibilite encontrar um valor “K” que resulte em um carregamento mínimo possível para o retificador

controlado (Retif-2) e uma corrente de entrada $i_a(\omega.t)$ com uma DHT máxima permitida pelas normas reguladoras IEC 61000-3-2 e IEC 61000-3-4.

Conhecendo-se os parâmetros “K” e a “DHT” das correntes, os valores eficazes das correntes de entrada I_{ef} , I_{a1ef} e I_{a2ef} e os valores médios das correntes de saída $I_{Retif-1}$ e $I_{Retif-2}$, poderão ser determinados.

De posse destes valores, calcula-se também as potências aparente e média de cada retificador trifásico, o controlado (Retif-2) e o não controlado (Retif-1).

O passo inicial é decompor em série de Fourier as correntes $i_{a1}(\omega.t)$ e $i_{a2}(\omega.t)$, apresentadas na Figura 2.7.

Posteriormente, somando-se as componentes de Fourier de $i_{a1}(\omega.t)$ e $i_{a2}(\omega.t)$, obtém-se $i_a(\omega.t)$ também em série de Fourier, o que possibilitará determinar um valor de “K” para uma DHT imposta para $i_a(\omega.t)$.

Cabe observar que (2.30) não mais representa matematicamente a corrente $i_{a2}(\omega.t)$ (Figura 2.7), tornando-se necessário encontrar uma outra expressão, que resulte $i_{a2}(\omega.t)=0$ durante a variação angular “ $\omega\Delta t$ ”.

Observa-se ainda que a variável “ $\omega\Delta t$ ” é uma expressão dependente de “K”, obtida da seguinte maneira:

Na Figura 2.7 é destacado o ângulo em que a função $i_{sen}(\omega.t)=i_{a1}(\omega.t)=I_{Retif-1}$. Impondo-se que $i_{sen}(\omega.t)=I_{Retif-1}$ através da equação (2.33), obtém-se o seu ângulo correspondente (ωt), conforme (2.34).

$$\omega.t = \arcsen\left(\frac{1}{K}\right) \quad (2.34)$$

Este ângulo pode também ser representado através da (2.35), abaixo:

$$\omega.t = \omega.\Delta t + \frac{\pi}{6} \quad (2.35)$$

Igualando-se (2.34) e (2.35), obtém-se (2.36):

$$\omega.\Delta t = \left\{ \begin{array}{l} \arcsen\left(\frac{1}{K}\right) - \frac{\pi}{6}, \quad \text{se : } 1 \leq K \leq 2 \\ 0, \quad \text{se : } K > 2 \\ \text{Análise não realizada, se : } K < 1 \end{array} \right\} \quad (2.36)$$

Na seqüência será encontrada a nova expressão matemática de $i_{a2}(\omega.t)$, seguindo o raciocínio apresentado através da Figura 2.8.

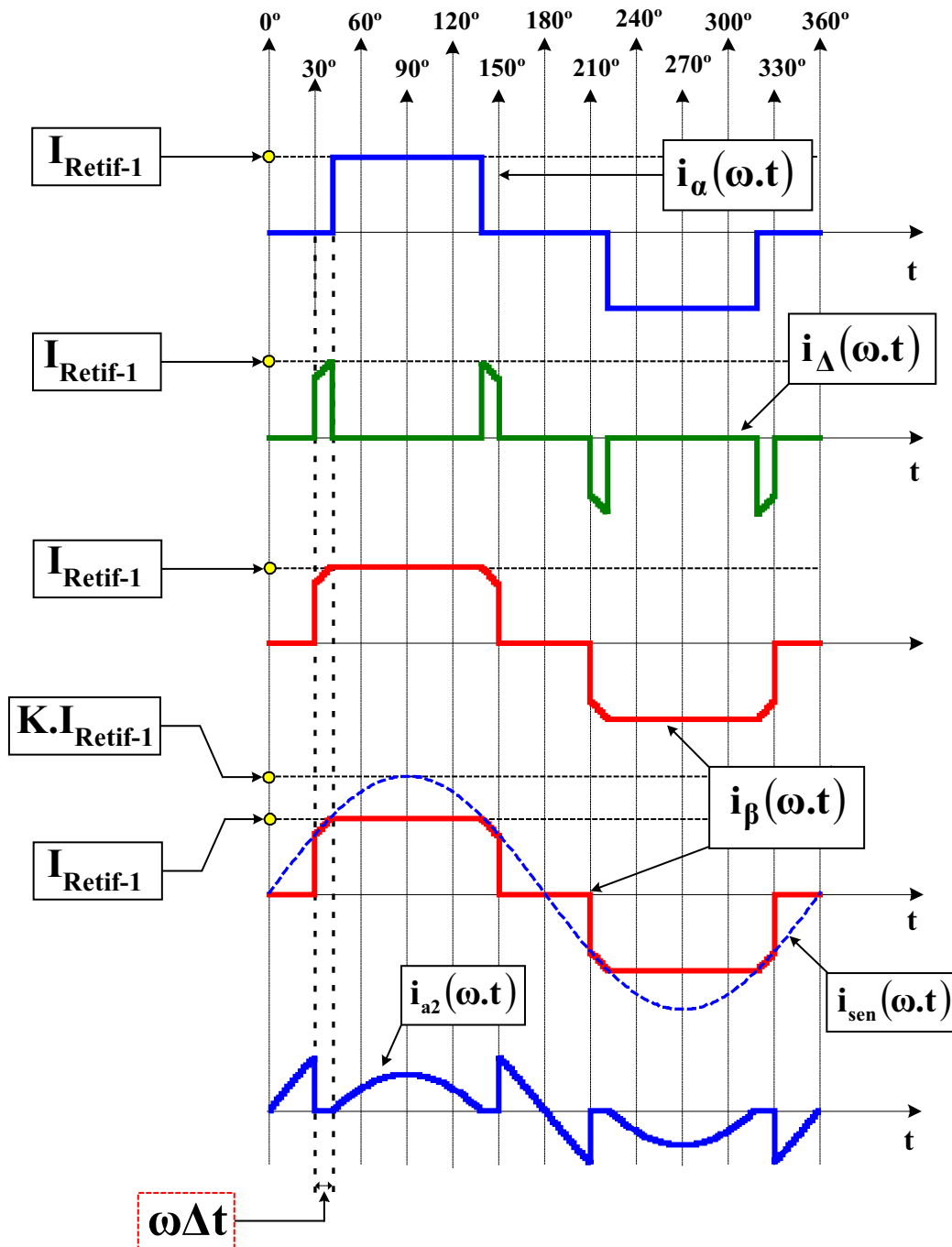


Figura 2.8 – Formas de onda da corrente de entrada do Retificador Híbrido (RTH), na fase “a”, imposta como sendo senoidal através do controle do Retif-2, para $K < 2$.

Da Figura 2.8, obtém-se a nova equação de $i_{a2}(\omega.t)$:

$$i_{a2}(\omega.t) = i_{sen}(\omega.t) - i_{\beta}(\omega.t) \quad (2.37)$$

Sendo que:

$$i_{\beta}(\omega.t) = i_{\alpha}(\omega.t) + i_{\Delta}(\omega.t) \quad (2.38)$$

$$i_{\alpha}(\omega.t) = \left\{ \begin{array}{l} 0, \text{ se } \left\{ \begin{array}{l} \frac{\pi}{6} \leq \omega.t \leq \frac{\pi}{6} + \omega\Delta t; \\ \frac{5.\pi}{6} - \omega\Delta t \leq \omega.t \leq \frac{5.\pi}{6}; \\ \frac{7.\pi}{6} \leq \omega.t \leq \frac{7.\pi}{6} + \omega\Delta t; \\ \frac{11.\pi}{6} - \omega\Delta t \leq \omega.t \leq \frac{11.\pi}{6} \end{array} \right\} \\ i_{a1}(\omega.t), \text{ intervalo } \omega.t \end{array} \right\} \quad (2.39)$$

$$i_{\Delta}(\omega.t) = \left\{ \begin{array}{l} i_{sen}(\omega.t), \text{ se } \left\{ \begin{array}{l} \frac{\pi}{6} \leq \omega.t \leq \frac{\pi}{6} + \omega\Delta t; \\ \frac{5.\pi}{6} - \omega\Delta t \leq \omega.t \leq \frac{5.\pi}{6}; \\ \frac{7.\pi}{6} \leq \omega.t \leq \frac{7.\pi}{6} + \omega\Delta t; \\ \frac{11.\pi}{6} - \omega\Delta t \leq \omega.t \leq \frac{11.\pi}{6} \end{array} \right\} \\ 0, \text{ intervalo } \omega.t \end{array} \right\} \quad (2.40)$$

Substituindo (2.38) em (2.37), tem-se (2.41).

$$i_{a2}(\omega.t) = i_{sen}(\omega.t) - i_{\alpha}(\omega.t) - i_{\Delta}(\omega.t) \quad (2.41)$$

2.2.1 – Decomposição em Série de Fourier das Correntes de Entrada dos Retificadores Controlado e Não Controlado

A corrente de entrada do retificador não controlado (Figura 2.7), $i_{a1}(\omega.t)$, é representada pela seguinte equação:

$$i_{a1}(\omega.t) = \left\{ \begin{array}{l} I_{Retif-1}, \text{ se } : \frac{\pi}{6} \leq \omega.t \leq \frac{5.\pi}{6} \\ -I_{Retif-1}, \text{ se } : \frac{7.\pi}{6} \leq \omega.t \leq \frac{11.\pi}{6} \\ 0, \text{ intervalo } \omega.t \end{array} \right\} \quad (2.42)$$

Decompondo $i_{a1}(\omega.t)$ nos termos constantes A_0 , A_1 e B_1 da Série de Fourier, considerando-se $T=2\pi$, conforme as equações seguintes:

O termo A_0 é determinado por (2.43):

$$A_0 = \frac{1}{T} \cdot \int_0^T i_{a1}(\omega.t) \cdot d(\omega.t) \quad (2.43)$$

Substituindo (2.42) em (2.43), resulta em (2.44):

$$A_0 = \frac{I_{\text{Retif-1}}}{2 \cdot \pi} \cdot \left\{ \int_{\frac{\pi}{6}}^{\frac{5 \cdot \pi}{6}} d(\omega.t) - \int_{\frac{7 \cdot \pi}{6}}^{\frac{11 \cdot \pi}{6}} d(\omega.t) \right\} \quad (2.44)$$

Resolvendo-se (2.44), o termo $A_0=0$, devido o valor médio de $i_{a1}(\omega.t)$ ser nulo.

O termo A_1 é determinado por (2.45):

$$A_1 = \frac{2}{T} \cdot \int_0^T i_{a1}(\omega.t) \cdot \text{sen}(n \cdot \omega.t) \cdot d(\omega.t) \quad (2.45)$$

Substituindo (2.42) em (2.45), obtém-se (2.46):

$$A_1 = \frac{I_{\text{Retif-1}}}{\pi} \cdot \left\{ \int_{\frac{\pi}{6}}^{\frac{5 \cdot \pi}{6}} \text{sen}(n \cdot \omega.t) \cdot d(\omega.t) - \int_{\frac{7 \cdot \pi}{6}}^{\frac{11 \cdot \pi}{6}} \text{sen}(n \cdot \omega.t) \cdot d(\omega.t) \right\} \quad (2.46)$$

Resolvendo (2.46), resulta em (2.47):

$$A_1(n) = \frac{I_{\text{Retif-1}}}{\pi} \cdot F_{A1}(n) \quad (2.47)$$

Onde:

$$F_{A1}(n) = \frac{\cos\left(n \cdot \frac{\pi}{6}\right) - \cos\left(n \cdot \frac{5 \cdot \pi}{6}\right) - \cos\left(n \cdot \frac{7 \cdot \pi}{6}\right) + \cos\left(n \cdot \frac{11 \cdot \pi}{6}\right)}{n} \quad (2.48)$$

n : Ordem harmônica.

O termo B_1 é determinado por (2.49):

$$B_1 = \frac{2}{T} \cdot \int_0^T i_{a1}(\omega.t) \cdot \cos(n \cdot \omega.t) \cdot d(\omega.t) \quad (2.49)$$

Substituindo-se (2.42) em (2.49), obtém-se (2.50):

$$B_1 = \frac{I_{\text{Retif-1}}}{\pi} \cdot \left\{ \int_{\frac{\pi}{6}}^{\frac{5 \cdot \pi}{6}} \cos(n \cdot \omega.t) \cdot d(\omega.t) - \int_{\frac{7 \cdot \pi}{6}}^{\frac{11 \cdot \pi}{6}} \cos(n \cdot \omega.t) \cdot d(\omega.t) \right\} \quad (2.50)$$

$$B_1(n) = \frac{I_{\text{Retif-1}}}{\pi} \cdot F_{B1}(n) \quad (2.51)$$

Sendo que:

$$F_{B1}(n) = \frac{-\operatorname{sen}\left(n \cdot \frac{\pi}{6}\right) + \operatorname{sen}\left(n \cdot \frac{5\pi}{6}\right) + \operatorname{sen}\left(n \cdot \frac{7\pi}{6}\right) - \operatorname{sen}\left(n \cdot \frac{11\pi}{6}\right)}{n} \quad (2.52)$$

Somando-se (2.47) e (2.51), tem-se a soma total dos termos da Série de Fourier, conforme (2.53).

$$i_{a1_Fourier}(n) = \frac{I_{Retif-1}}{\pi} \cdot F_1(n) \quad (2.53)$$

Onde:

$$F_1(n) = F_{A1}(n) + F_{B1}(n) \quad (2.54)$$

A corrente $i_{a1}(\omega.t)$ pode também ser representada por (2.55), aplicando-se o somatório em (2.53), conforme abaixo:

$$i_{a1_Fourier}(\omega.t) = \frac{I_{Retif-1}}{\pi \cdot \varepsilon} \cdot \left\{ \sum_{n=1}^{\infty} F_{A1}(n) \cdot \operatorname{sen}(n \cdot \omega.t) + \sum_{n=1}^{\infty} F_{B1}(n) \cdot \operatorname{cos}(n \cdot \omega.t) \right\} \quad (2.55)$$

Através da (2.53) calcula-se também o valor eficaz da corrente $i_{a1}(\omega.t)$, conforme (2.56).

$$I_{a1ef_Fourier} = \frac{I_{Retif-1}}{\pi \cdot \varepsilon} \cdot \sqrt{\sum_{n=1}^{\infty} \frac{F_1^2(n)}{2}} \quad (2.56)$$

Observa-se que o valor eficaz calculado através da (2.56) é equivalente ao valor eficaz calculado por (2.27). Para que tal equivalência seja verdadeira, é necessário que o parâmetro auxiliar “ ε ” (dado por (2.16)) apareça no denominador de (2.55) e (2.56), uma vez que o mesmo existe em (2.27).

O cálculo da DHT de $i_{a1}(\omega.t)$ é obtido através da (2.57).

$$\text{DHT}_{i_{a1}} = \frac{\sqrt{\sum_{n=2}^{\infty} F_1^2(n)}}{\sum_{n=1}^1 F_1(n)} \quad (2.57)$$

Na seqüência é feita a decomposição da corrente $i_{a2}(\omega.t)$ em Série de Fourier, com $T=2\pi$. Conforme (2.41), $i_{a2}(\omega.t)$ é composta por três equações: $i_{sen}(\omega.t)$, $i_{\alpha}(\omega.t)$ e $i_{\Delta}(\omega.t)$. A função $i_{sen}(\omega.t)$ não precisa ser decomposta por ser uma senóide de 60Hz. Portanto, serão decompostas em Série de Fourier as funções $i_{\alpha}(\omega.t)$ e $i_{\Delta}(\omega.t)$.

Calculando os termos constantes $A_{\alpha 0}$, $A_{\alpha 1}$ e $B_{\alpha 1}$ da Série de Fourier de $i_{\alpha}(\omega.t)$:

O termo $A_{\alpha 0}$ é determinado por (2.58):

$$A_{\alpha 0} = \frac{1}{T} \cdot \int_0^T i_{\alpha}(\omega.t).d(\omega.t) \quad (2.58)$$

Substituindo (2.39) em (2.58), resulta em (2.59):

$$A_{\alpha 0} = \frac{I_{\text{Retif-1}}}{2 \cdot \pi} \cdot \left\{ \begin{array}{cc} \int_{\frac{5 \cdot \pi}{6} - \omega \Delta t}^{\frac{11 \cdot \pi}{6} - \omega \Delta t} d(\omega.t) - \int_{\frac{\pi}{6} + \omega \Delta t}^{\frac{7 \cdot \pi}{6} + \omega \Delta t} d(\omega.t) \end{array} \right\} \quad (2.59)$$

Analogamente à corrente $i_{\alpha 1}(\omega.t)$, $i_{\alpha}(\omega.t)$ também possui valor médio nulo, portanto o termo $A_{\alpha 0}=0$.

O termo $A_{\alpha 1}$ é determinado por (2.60):

$$A_{\alpha 1} = \frac{2}{T} \cdot \int_0^T i_{\alpha}(\omega.t) \cdot \text{sen}(n \cdot \omega.t) \cdot d(\omega.t) \quad (2.60)$$

Levando a equação (2.39) em (2.60), obtém-se (2.61):

$$A_{\alpha 1} = \frac{I_{\text{Retif-1}}}{\pi} \cdot \left\{ \begin{array}{cc} \int_{\frac{5 \cdot \pi}{6} - \omega \Delta t}^{\frac{11 \cdot \pi}{6} - \omega \Delta t} \text{sen}(n \cdot \omega.t) \cdot d(\omega.t) - \int_{\frac{\pi}{6} + \omega \Delta t}^{\frac{7 \cdot \pi}{6} + \omega \Delta t} \text{sen}(n \cdot \omega.t) \cdot d(\omega.t) \end{array} \right\} \quad (2.61)$$

Resolvendo (2.61) resulta em (2.62)

$$A_{\alpha 1}(n, K) = \frac{I_{\text{Retif-1}}}{\pi} \cdot F_{A\alpha}(n, K) \quad (2.62)$$

Sendo que:

$$F_{A\alpha}(n, K) = F_{A1}(n) \cdot \cos(n \cdot \omega \cdot \Delta t) + F_{A2}(n) \cdot \text{sen}(n \cdot \omega \cdot \Delta t) \quad (2.63)$$

Em (2.63), $F_{A\alpha}(n, K)$ está em função de “K” porque o termo $\omega \Delta t$ é dependente de “K” (conforme (2.36)).

O termo $F_{A1}(n)$ é calculado através da (2.48) e o termo $F_{A2}(n)$ é calculado por (2.64).

$$F_{A2}(n) = \frac{-\text{sen}\left(n \cdot \frac{\pi}{6}\right) - \text{sen}\left(n \cdot \frac{5 \cdot \pi}{6}\right) + \text{sen}\left(n \cdot \frac{7 \cdot \pi}{6}\right) + \text{sen}\left(n \cdot \frac{11 \cdot \pi}{6}\right)}{n} \quad (2.64)$$

O termo $B_{\alpha 1}$ é determinado por (2.65):

$$B_{\alpha 1} = \frac{2}{T} \cdot \int_0^T i_{\alpha}(\omega.t) \cdot \cos(n \cdot \omega.t) \cdot d(\omega.t) \quad (2.65)$$

Levando (2.39) em (2.65), obtém-se (2.66):

$$B_{\alpha 1} = \frac{I_{\text{Retif-1}}}{\pi} \cdot \left\{ \int_{\frac{\pi}{6} + \omega \Delta t}^{\frac{5\pi}{6} - \omega \Delta t} \cos(n \cdot \omega \cdot t) \cdot d(\omega \cdot t) - \int_{\frac{7\pi}{6} + \omega \Delta t}^{\frac{11\pi}{6} - \omega \Delta t} \cos(n \cdot \omega \cdot t) \cdot d(\omega \cdot t) \right\} \quad (2.66)$$

Resolvendo (2.66), obtém-se (2.67):

$$B_{\alpha 1}(n, K) = \frac{I_{\text{Retif-1}}}{\pi} \cdot F_{B\alpha}(n, K) \quad (2.67)$$

Sendo que:

$$F_{B\alpha}(n, K) = F_{B1}(n) \cdot \cos(n \cdot \omega \cdot \Delta t) + F_{B2}(n) \cdot \text{sen}(n \cdot \omega \cdot \Delta t) \quad (2.68)$$

Em (2.68), o termo $F_{B1}(n)$ é calculado por (2.52) e $F_{B2}(n)$ é calculado através da (2.69).

$$F_{B2}(n) = \frac{-\cos\left(n \cdot \frac{\pi}{6}\right) - \cos\left(n \cdot \frac{5\pi}{6}\right) + \cos\left(n \cdot \frac{7\pi}{6}\right) + \cos\left(n \cdot \frac{11\pi}{6}\right)}{n} \quad (2.69)$$

Somando-se (2.63) e (2.68), tem-se a soma total dos termos da Série de Fourier, através da (2.70).

$$i_{\alpha_Fourier}(n, K) = \frac{I_{\text{Retif-1}}}{\pi} \cdot F_{\alpha}(n, K) \quad (2.70)$$

Sendo que:

$$F_{\alpha}(n, K) = F_{A\alpha}(n, K) + F_{B\alpha}(n, K) \quad (2.71)$$

Portanto, $i_{\alpha}(\omega \cdot t)$ pode também ser representada por (2.72), desenvolvendo-se (2.70), conforme a seguir:

$$i_{\alpha_Fourier}(\omega \cdot t) = \frac{I_{\text{Retif-1}}}{\pi \cdot \varepsilon} \cdot \left\{ \sum_{n=1}^{\infty} F_{A\alpha}(n, K) \cdot \text{sen}(n \cdot \omega \cdot t) + \sum_{n=1}^{\infty} F_{B\alpha}(n, K) \cdot \cos(n \cdot \omega \cdot t) \right\} \quad (2.72)$$

Na seqüência, utilizando-se (2.70), calcula-se o valor eficaz de $i_{\alpha}(\omega \cdot t)$ conforme (2.73).

$$I_{\alpha_Fourier} = \frac{I_{\text{Retif-1}}}{\pi \cdot \varepsilon} \cdot \sqrt{\sum_{n=1}^{\infty} \frac{F_{\alpha 1}^2(n, K)}{2}} \quad (2.73)$$

Calculando os termos constantes $A_{\Delta 0}$, $A_{\Delta 1}$ e $B_{\Delta 1}$ da Série de Fourier de $i_{\Delta}(\omega \cdot t)$:

O termo $A_{\Delta 0}$ é determinado por (2.74):

$$A_{\Delta 0} = \frac{1}{T} \cdot \int_0^T i_{\Delta}(\omega.t) d(\omega.t) \quad (2.74)$$

Substituindo (2.40) em (2.74), resulta em (2.75):

$$A_{\Delta 0} = \frac{K \cdot I_{\text{Retif-1}}}{2 \cdot \pi} \cdot \left\{ \begin{array}{l} \int_{\frac{\pi}{6}}^{\frac{\pi}{6} + \omega \Delta t} \text{sen}(\omega.t) d(\omega.t) + \int_{\frac{5\pi}{6}}^{\frac{5\pi}{6} - \omega \Delta t} \text{sen}(\omega.t) d(\omega.t) + \\ + \int_{\frac{7\pi}{6}}^{\frac{7\pi}{6} + \omega \Delta t} \text{sen}(\omega.t) d(\omega.t) + \int_{\frac{11\pi}{6}}^{\frac{11\pi}{6} - \omega \Delta t} \text{sen}(\omega.t) d(\omega.t) \end{array} \right\} \quad (2.75)$$

Como $i_{\Delta}(\omega.t)$ também possui valor médio nulo, o termo $A_{\Delta 0} = 0$.

O termo $A_{\Delta 1}$ é determinado por (2.76):

$$A_{\Delta 1} = \frac{2}{T} \cdot \int_0^T i_{\Delta}(\omega.t) \cdot \text{sen}(n \cdot \omega.t) d(\omega.t) \quad (2.76)$$

Substituindo-se (2.40) em (2.76), obtém-se (2.77):

$$A_{\Delta 1} = \frac{K \cdot I_{\text{Retif-1}}}{2 \cdot \pi} \cdot \left\{ \begin{array}{l} \int_{\frac{\pi}{6}}^{\frac{\pi}{6} + \omega \Delta t} Y(n, \omega.t) d(\omega.t) + \int_{\frac{5\pi}{6}}^{\frac{5\pi}{6} - \omega \Delta t} Y(n, \omega.t) d(\omega.t) + \\ + \int_{\frac{7\pi}{6}}^{\frac{7\pi}{6} + \omega \Delta t} Y(n, \omega.t) d(\omega.t) + \int_{\frac{11\pi}{6}}^{\frac{11\pi}{6} - \omega \Delta t} Y(n, \omega.t) d(\omega.t) \end{array} \right\} \quad (2.77)$$

Onde:

$$Y(n, \omega.t) = \text{sen}(\omega.t) \cdot \text{sen}(n \cdot \omega.t) \quad (2.78)$$

Manipulando-se (2.77) devidamente, obtém-se (2.79):

$$A_{\Delta 1}(n, K) = \frac{K \cdot I_{\text{Retif-1}}}{2 \cdot \pi} \cdot F_{\Delta}(n, K) \quad (2.79)$$

Sendo que:

$$F_{\Delta}(n, K) = F_{A\Delta}(n, K) - 4 \cdot C_{\text{inicial}}(K) \quad (2.80)$$

$$F_{A\Delta}(n, K) = M_1(n, K) + M_2(n, K) + M_3(n, K) + M_4(n, K) \quad (2.81)$$

Em (2.80), o termo $C_{\text{inicial}}(n, K)$ representa a condição inicial das integrais desenvolvidas através da (2.77), para $n=1$.

Este termo é escrito com mais detalhes pela (2.82).

$$C_{\text{inicial}}(\mathbf{K}) = \sum_{x=1}^{\infty} C_n(x, \mathbf{K}) \quad (2.82)$$

Onde:

$$C_n(x, \mathbf{K}) = \left\{ \begin{array}{l} \frac{-\text{sen}\left[(x+1)\left(\frac{\pi}{6} + \omega \cdot \Delta t\right)\right] + \text{sen}\left[(x+1)\left(\frac{\pi}{6}\right)\right]}{(x+1)} + \\ \frac{\text{sen}\left[(x-1)\left(\frac{\pi}{6} + \omega \cdot \Delta t\right)\right] + \text{sen}\left[(x-1)\left(\frac{\pi}{6}\right)\right]}{(x-1)} \end{array} \right\} \cdot \text{sen}\left(x, \frac{\pi}{2}\right) \quad (2.83)$$

Os termos $M_1(n, \mathbf{K})$, $M_2(n, \mathbf{K})$, $M_3(n, \mathbf{K})$ e $M_4(n, \mathbf{K})$ existentes em (2.81) são detalhados a seguir.

$$M_1(n, \mathbf{K}) = \left\{ \begin{array}{l} \frac{-\text{sen}\left[(n+1)\left(\frac{\pi}{6} + \omega \cdot \Delta t\right)\right] + \text{sen}\left[(n+1)\left(\frac{\pi}{6}\right)\right]}{(n+1)} + \\ \frac{\text{sen}\left[(n-1)\left(\frac{\pi}{6} + \omega \cdot \Delta t\right)\right] + \text{sen}\left[(n-1)\left(\frac{\pi}{6}\right)\right]}{(n-1)} \end{array} \right\} \quad (2.84)$$

$$M_2(n, \mathbf{K}) = \left\{ \begin{array}{l} \frac{-\text{sen}\left[(n+1)\left(\frac{5\pi}{6}\right)\right] + \text{sen}\left[(n+1)\left(\frac{5\pi}{6} - \omega \cdot \Delta t\right)\right]}{(n+1)} + \\ \frac{\text{sen}\left[(n-1)\left(\frac{5\pi}{6}\right)\right] + \text{sen}\left[(n-1)\left(\frac{5\pi}{6} - \omega \cdot \Delta t\right)\right]}{(n-1)} \end{array} \right\} \quad (2.85)$$

$$M_3(n, \mathbf{K}) = \left\{ \begin{array}{l} \frac{-\text{sen}\left[(n+1)\left(\frac{7\pi}{6} + \omega \cdot \Delta t\right)\right] + \text{sen}\left[(n+1)\left(\frac{7\pi}{6}\right)\right]}{(n+1)} + \\ \frac{\text{sen}\left[(n-1)\left(\frac{7\pi}{6} + \omega \cdot \Delta t\right)\right] + \text{sen}\left[(n-1)\left(\frac{7\pi}{6}\right)\right]}{(n-1)} \end{array} \right\} \quad (2.86)$$

$$M_4(n, K) = \left\{ \begin{array}{l} \frac{-\operatorname{sen}\left[(n+1)\left(\frac{11\pi}{6}\right)\right] + \operatorname{sen}\left[(n+1)\left(\frac{11\pi}{6} - \omega\Delta t\right)\right]}{(n+1)} + \\ + \frac{\operatorname{sen}\left[(n-1)\left(\frac{11\pi}{6}\right)\right] + \operatorname{sen}\left[(n-1)\left(\frac{11\pi}{6} - \omega\Delta t\right)\right]}{(n-1)} \end{array} \right\} \quad (2.87)$$

O termo $B_{\Delta 1}$ resulta em valor nulo, devido à função $i_{\Delta}(\omega.t)$ ser uma função ímpar.

Portanto:

$$i_{\Delta_Fourier}(n, K) = A_{\Delta 1}(n, K) \quad (2.88)$$

Substituindo-se (2.79) em (2.88), tem-se que:

$$i_{\Delta_Fourier}(n, K) = \frac{K \cdot I_{\text{Retif-1}}}{2\pi} \cdot F_{\Delta}(n, K) \quad (2.89)$$

Substituindo-se (2.80) em (2.89) e aplicando o somatório, $i_{\Delta}(\omega.t)$ é também representada através da sua série de Fourier.

$$i_{\Delta_Fourier}(\omega.t) = \frac{K \cdot I_{\text{Retif-1}}}{2\pi \cdot \varepsilon} \cdot \left\{ \begin{array}{l} \sum_{n=1}^{\infty} F_{\Delta\Delta}(n, K) \cdot \operatorname{sen}(n\omega.t) + \\ - 4 \cdot C_{\text{inicial}}(K) \cdot \operatorname{sen}(\omega.t) \end{array} \right\} \quad (2.90)$$

A equação (2.33) pode também ser apresentada da seguinte forma ($n=1$):

$$i_{\text{sen_Fourier}}(\omega.t) = K \cdot I_{\text{Retif-1}} \cdot \operatorname{sen}(n\omega.t) \quad (2.91)$$

Assim, considerando apenas o termo de Fourier de (2.91), obtém a seguinte equação.

$$i_{\text{sen_Fourier}}(K) = K \cdot I_{\text{Retif-1}} \quad (2.92)$$

Na seqüência reescreve-se (2.41) considerando o somatório de suas componentes da série de Fourier.

$$i_{a2_Fourier}(\omega.t) = i_{\text{sen_Fourier}}(\omega.t) - i_{\alpha_Fourier}(\omega.t) - i_{\Delta_Fourier}(\omega.t) \quad (2.93)$$

Para que a proporcionalidade entre as correntes $i_{a1}(\omega.t)$ e $i_{a2}(\omega.t)$ seja mantida, o parâmetro auxiliar “ ε ” também aparece no denominador das equações (2.94), (2.96), (2.97) e (2.98), conforme considerações feitas para (2.55) e (2.56).

Substituindo-se (2.72), (2.90) e (2.91) em (2.93), obtém $i_{a2_Fourier}(\omega.t)$ detalhada em (2.94).

$$i_{a2_Fourier}(\omega.t) = \frac{I_{Retif-1}}{\pi.\varepsilon} \left\{ \begin{array}{l} K.[\pi + 2.C_{inicial}(K)]\text{sen}(\omega.t) + \\ - \sum_{n=1}^{\infty} F_{B\alpha}(n, K).\text{cos}(n.\omega.t) + \\ - \sum_{n=1}^{\infty} \left[F_{A\alpha}(n, K) + \frac{K.F_{A\Delta}(n, K)}{2} \right] \text{sen}(n.\omega.t) \end{array} \right\} \quad (2.94)$$

Reescrevendo (2.93) considerando-se apenas os termos das Séries de Fourier, em função de “n” e “K”.

$$i_{a2_Fourier}(n, K) = i_{sen_Fourier}(K) - i_{\alpha_Fourier}(n, K) - i_{\Delta_Fourier}(n, K) \quad (2.95)$$

Substituindo-se em (2.95) as equações (2.70), (2.89) e (2.92) obtém-se (2.96).

$$i_{a2_Fourier}(n, K) = \frac{I_{Retif-1}}{\pi.\varepsilon} \left\{ K.\pi - F_{\alpha}(n, K) - \frac{K.F_{\Delta}(n, K)}{2} \right\} \quad (2.96)$$

Substituindo (2.80) em (2.96) resulta em (2.97):

$$i_{a2_Fourier}(n, K) = \frac{I_{Retif-1}}{\pi.\varepsilon} \left\{ \begin{array}{l} - F_{\alpha}(n, K) - \frac{K.F_{A\Delta}(n, K)}{2} + \\ + K.[\pi + 2.C_{inicial}(K)] \end{array} \right\} \quad (2.97)$$

Através da (2.97), calcula-se o valor eficaz de $i_{a2_Fourier}(\omega.t)$.

$$I_{a2ef_Fourier} = \frac{I_{Retif-1}}{\pi.\varepsilon} \sqrt{\frac{F_{2_60Hz}^2(K)}{2} + \sum_{n=2}^{\infty} \frac{F_{2_n>1}^2(n, K)}{2}} \quad (2.98)$$

Sendo que:

$$F_{2_60Hz}(K) = K.[\pi + 2.C_{inicial}(K)] - \sum_{n=1}^1 \left\{ F_{\alpha}(n, K) + \frac{K.F_{A\Delta}(n, K)}{2} \right\} \quad (2.99)$$

$$F_{2_n>1}(n, K) = F_{\alpha}(n, K) + \frac{K.F_{A\Delta}(n, K)}{2} \quad (2.100)$$

Onde os termos $F_{\alpha}(n, K)$ e $F_{A\Delta}(n, K)$ que compõem (2.100) são respectivamente calculados por (2.71) e (2.81). A DHT de $i_{a2_Fourier}(\omega.t)$ é calculada através da equação abaixo.

$$DHT_{i_{a2}} = \frac{\sqrt{\sum_{n=2}^{\infty} F_{2_n>1}^2(n, K)}}{F_{2_60Hz}(K)} \quad (2.101)$$

Finalmente, com as correntes $i_{a1}(\omega.t)$ e $i_{a2}(\omega.t)$ decompostas em Séries de Fourier, determina-se a Série de Fourier de $i_a(\omega.t)$, conforme a seguir.

$$i_{a_Fourier}(\omega.t) = i_{a1_Fourier}(\omega.t) + i_{a2_Fourier}(\omega.t) \quad (2.102)$$

Substituindo-se (2.55) e (2.94) em (2.102), obtém-se (2103).

$$i_{a_Fourier}(\omega.t) = \frac{I_{Retif-1}}{\pi.\varepsilon} \left\{ \begin{aligned} & \sum_{n=1}^{\infty} \left[F_{A1}(n) - F_{A\alpha}(n, K) - \frac{K.F_{A\Delta}(n, K)}{2} \right] . \text{sen}(n.\omega.t) + \\ & \sum_{n=1}^{\infty} [F_{B1}(n) - F_{B\alpha}(n, K)] . \text{cos}(n.\omega.t) + \\ & K.[\pi + 2.C_{inicial}(K)] \text{sen}(\omega.t) \end{aligned} \right\} \quad (2.103)$$

Reescrevendo (2.103) considerando-se apenas os termos das Séries de Fourier, em função de “n” e “K”.

$$i_{a_Fourier}(n, K) = i_{a1_Fourier}(n) + i_{a2_Fourier}(n, K) \quad (2.104)$$

Substituindo (2.53) e (2.97) em (2.104), resulta em (2105):

$$i_{a_Fourier}(n, K) = \frac{I_{Retif-1}}{\pi.\varepsilon} \left\{ \begin{aligned} & F_1(n) - F_{\alpha}(n, K) - \frac{K.F_{A\Delta}(n, K)}{2} + \\ & K.[\pi + 2.C_{inicial}(K)] \end{aligned} \right\} \quad (2.105)$$

A partir de (2.105) calcula-se o valor eficaz de $i_{a_Fourier}(\omega.t)$, a seguir.

$$I_{aef_Fourier} = \frac{I_{Retif-1}}{\pi.\varepsilon} \sqrt{\frac{F_{a_60Hz}^2(K)}{2} + \sum_{n=2}^{\infty} \frac{F_{a_n>1}^2(n, K)}{2}} \quad (2.106)$$

Sendo que:

$$F_{a_n>1}(n, K) = F_1(n) - F_{\alpha}(n, K) - \frac{K.F_{A\Delta}(n, K)}{2} \quad (2.107)$$

$$F_{a_60Hz}(K) = K.[\pi + 2.C_{inicial}(K)] + \sum_{n=1}^1 \left\{ F_1(n) - F_{\alpha}(n, K) - \frac{K.F_{A\Delta}(n, K)}{2} \right\} \quad (2.108)$$

A DHT de $i_{a_Fourier}(\omega.t)$ é calculada através da (2.109), aplicando-se as equações (2.107) e (2.108).

$$DHT_{i_a} = \frac{\sqrt{\sum_{n=2}^{\infty} F_{a_n>1}^2(n, K)}}{F_{a_60Hz}(K)} \quad (2.109)$$

2.2.2 – Análise das Potências Média e Aparente em Função de uma DHT Imposta para as Correntes de Entrada

Para que se possa calcular as potências média e aparente processadas por ambos os retificadores, não controlado e controlado, é necessário conhecer inicialmente o valor médio

das correntes de saída ($I_{\text{Retif-1}}$ e $I_{\text{Retif-2}}$) e eficaz de entrada ($I_{a1\text{ef}}$ e $I_{a2\text{ef}}$), respectivamente.

Observa-se que as correntes de entrada ($i_{a1}(\omega.t)$ e $i_{a2}(\omega.t)$) possuem valores médios nulos no período da rede alimentação devido a simetria de suas formas de onda.

Porém as potências médias de entrada serão calculadas através da potência instantânea. A corrente eficaz $I_{a1\text{ef}}$ pode ser calculada através das equações (2.27) e (2.56) e $I_{a2\text{ef}}$ é calculada pela equação (2.98).

No entanto, a solução destas equações depende de que os valores, da corrente “ $I_{\text{Retif-1}}$ ” e do parâmetro de controle “K”, sejam conhecidos.

No intuito de facilitar a compreensão desta análise, escolheu-se um ponto de operação do retificador trifásico híbrido para exemplificar um projeto, cujos dados são apresentados na tabela 2.1.

Tabela 2.1 – Dados de projeto do Retificador Trifásico Híbrido (RTH).

Dados de Projeto	
Potência média nominal de saída	$P = 3,0 \text{ kW}$
Tensão de fase eficaz de alimentação	$V_{\text{ef}} = 127 \text{ V}$
Tensão média de saída *	$V_O = 297 \text{ V}$
Corrente média de saída	$I_O = 10 \text{ A}$
Resistência de carga	$R_O = 29,7 \Omega$
Rendimento	$\eta = 0,95$
Fator de deslocamento entre as componentes fundamentais de tensão e corrente na entrada	$\text{Cos}(\varphi_1) = 1$
DHT das correntes de entrada	$\text{DHT}=0,025 \Rightarrow \text{Caso (a)}$ $\text{DHT}=0 \Rightarrow \text{Caso (b)}$ $\text{DHT}=0,15 \Rightarrow \text{Caso (c)}$

* Calculada através da equação (22).

1) Análise para o caso (a): DHT=0,025.

– O parâmetro K :

Logicamente, a DHT adotada para as correntes de entrada (Tabela 2.1), deverá ser tal que atenda às restrições impostas pelas normas reguladoras internacionais.

Nestes exemplos de projeto adotar-se-ão três diferentes valores (DHT=0,025, DHT=0 e DHT=0,15). Com a escolha da DHT, aplicando-se um método numérico qualquer na equação (2.109), determina-se o valor do parâmetro “K” correspondente, conforme Figura 2.9. Para este projeto (DHT=0,025), o valor encontrado corresponde a $K=1,633$.

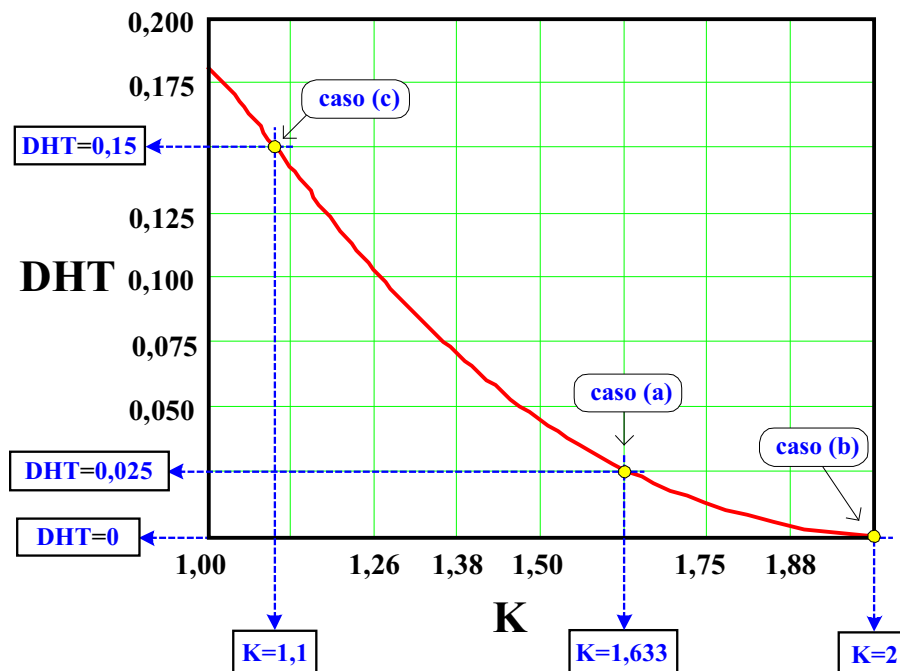


Figura 2.9 – Variação do parâmetro “K” em função da DHT escolhida para as correntes de entrada do retificador trifásico híbrido.

– Valor médio da corrente e da potência de saída do Retif-1:

Inicialmente faz-se a simplificação da (2.106).

$$I_{\text{aef_Fourier}} = \frac{I_{\text{Retif-1}}}{\pi \cdot \varepsilon \cdot \sqrt{2}} \cdot \sqrt{G(K)} \quad (2.110)$$

Sendo que:

$$G(K) = F_{a_{60\text{Hz}}}^2(K) + \sum_{n=2}^{\infty} F_{a_{n>1}}^2(n, K) \quad (2.111)$$

O parâmetro auxiliar “ ε ” {dado pela (2.16)} é reescrito a seguir através da (2.112).

$$\varepsilon = \frac{\cos(\varphi_1) \cdot \eta}{\sqrt{1 + (\text{DHT})^2}} \quad (2.112)$$

Da equação (2.112) e com os dados $\text{Cos}(\varphi_1)=1$, $\eta=0,95$ e $\text{DHT}=0,025$, obtém-se: $\varepsilon=0,949$.

Como $I_{ef} = I_{aef_Fourier}$, igualam-se (2.23) e (2.110) e manipulando-se devidamente a expressão, obtém-se (2.113) que possibilita calcular “ $I_{Retif-1}$ ” em função de “ K ”.

$$I_{Retif-1} = \frac{18 \cdot \sqrt{2} \cdot V_{ef}}{\pi \cdot R_O \cdot \sqrt{G(K)}} \quad (2.113)$$

Da equação (2.113) e com os dados $V_{ef}=127$ V, $R_O=29,7 \Omega$ e $K=1,633$, obtém-se:

$$I_{Retif-1}=6,72 \text{ A.}$$

Assim, com (2.114) determina-se a potência média de saída processada pelo retificador não controlado.

$$P_1 = V_O \cdot I_{Retif-1} \quad (2.114)$$

Pela equação (2.114) e com dados $V_O=297$ V e $I_{Retif-1}=6,72$ A, obtém-se: $P_1=1996$ W.

– Valor eficaz de $i_a(\omega.t)$:

Conhecendo-se o valor $I_{Retif-1}$, calcula-se através da (2.23) ou (2.106) o valor eficaz da corrente de entrada, I_{ef} , do retificador trifásico híbrido. Observa-se que $I_{ef}=I_{aef}=I_{aef_Fourier}$.

Portanto, pela (2.106) e com os dados $I_{Retif-1}=6,72$ A, $\varepsilon=0,949$ e $K=1,633$, obtém-se: $I_{ef}=8,212$ A.

Na Figura 2.10 visualiza-se a forma de onda teórica da corrente de entrada $i_a(\omega.t)$, gerada através da equação (2.103), com $n=400$, sendo:

n : Ordem harmônica.

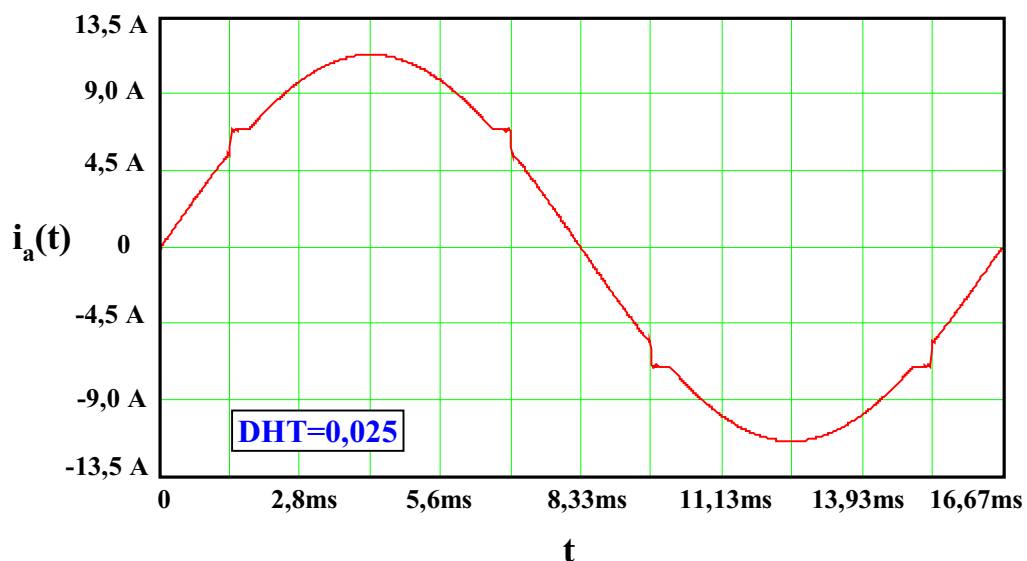


Figura 2.10 – Corrente de entrada do retificador trifásico híbrido, na fase “a”.

A norma técnica que regulamenta a DHT para retificadores trifásicos cujas correntes eficazes de entrada por fase são menores do que 16A é a IEC 61000-3-2.

Na tabela 2.2, apresentam-se os valores admissíveis de cada componente harmônica e aos valores das componentes harmônicas da corrente $i_a(\omega.t)$ (Figura 2.10), para comparação e análise.

Tabela 2.2 – Verificação das componentes harmônicas da corrente de entrada $i_a(\omega.t)$ quanto ao atendimento da Norma Internacional IEC 61000-3-2.

Norma Internacional IEC 61000-3-2		Corrente $i_a(\omega.t)$ apresentada na Figura 2.10 (DHT=2,5%)
Componente harmônica (n)	Valor eficaz máximo admissível (I_n)	Valor eficaz (I_n)
3	2,30	0,08
5	1,14	0,02
7	0,77	0,06
9	0,40	0,07
11	0,33	0,01
13	0,21	0,06
15	0,15	0,06
17	0,13	0,02
19	0,12	0,06
21	0,10	0,04
23	0,10	0,03
25	0,09	0,06
27	0,08	0,02
29	0,08	0,03
31	0,07	0,05
33	0,06	0,01

Na Tabela 2.2 constam apenas as componentes harmônicas ímpares, pois a equação (2.103) que descreve $i_a(\omega.t)$ possui somente termos ímpares, cujos valores são menores do aqueles apresentados na tabela 2.2. Portanto a corrente $i_a(\omega.t)$ visualizada na Figura 2.10 está em conformidade com a norma IEC 61000-3-2. Os valores relacionados na Tabela 2.2 são visualizados graficamente através da Figura 2.11 a seguir:

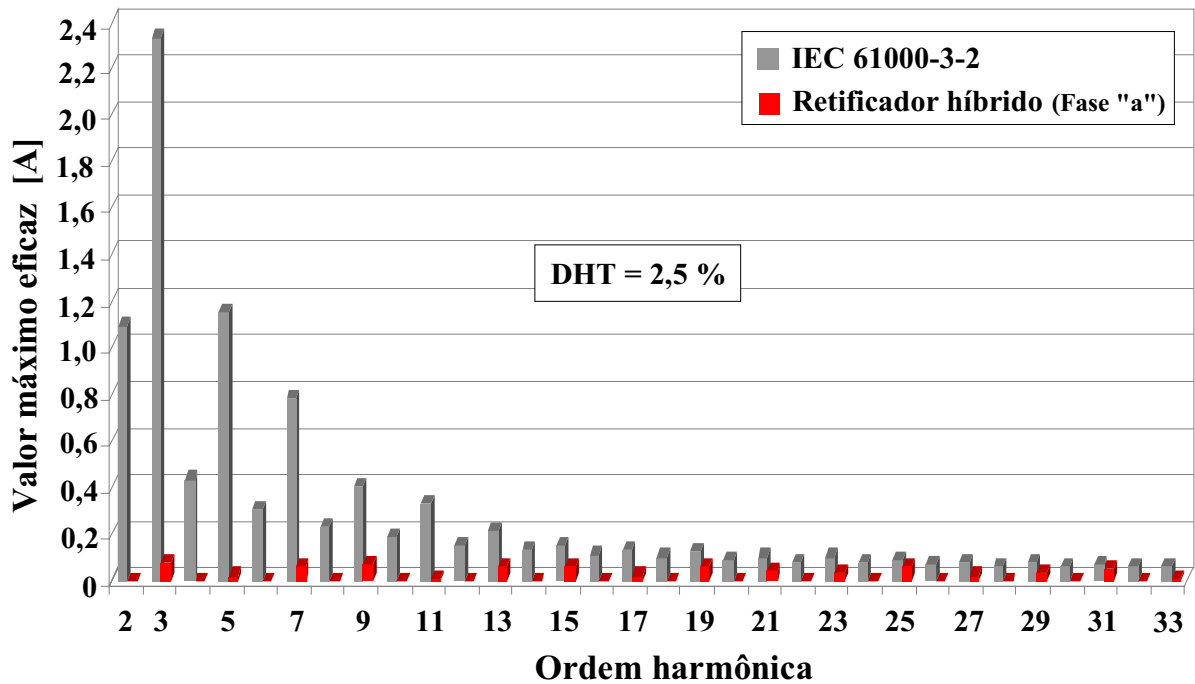


Figura 2.11 – Espectro harmônico para a corrente de entrada $i_a(\omega.t)$ (Valor teórico).

– Valor eficaz de $i_{a1}(\omega.t)$:

Utilizando-se (2.27) ou (2.56) determina-se o valor eficaz da corrente de entrada, I_{a1ef} , do retificador não controlado.

Através da (2.56) e com os dados $I_{Retif-I}=6,72$ A e $\varepsilon=0,949$, obtém-se:

$$I_{a1ef}=5,77 \text{ A.}$$

A forma de onda de $i_{a1}(\omega.t)$ é reconstruída através do somatório em (2.55), sendo a curva apresentada na Figura 2.12.

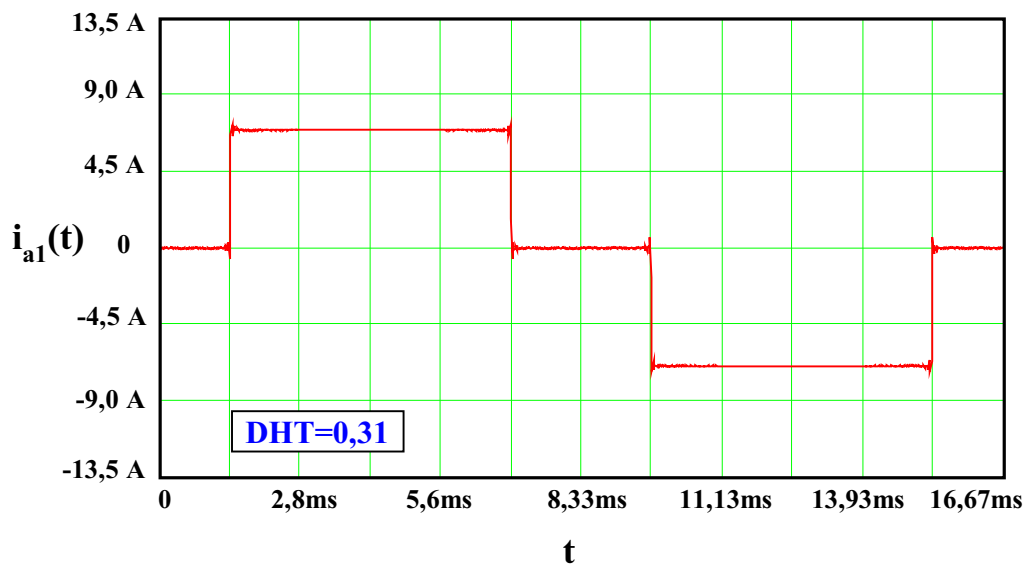


Figura 2.12 – Corrente de entrada do retificador trifásico não controlado, na fase “a”.

– A DHT de $i_{a1}(\omega.t)$:

Calcula-se a DHT de $i_{a1}(\omega.t)$ através da equação (2.57). A DHT de $i_{a1}(\omega.t)$ não depende do valor de DHT escolhida para a corrente de entrada $i_a(\omega.t)$. Depende apenas do valor da indutância de saída ($L_{O1}+L_{O2}$) do retificador não controlado. Considerando-se que esta indutância possua um valor bastante elevado, a DHT de $i_{a1}(\omega.t)$ se manterá em torno de 30%. Neste projeto obteve-se uma DHT de 31%.

– Valor eficaz de $i_{a2}(\omega.t)$:

O valor eficaz da corrente de entrada do retificador monofásico SEPIC₁ é calculado através da (2.98).

Com os dados $I_{Retif-1}=6,72$ A, $\varepsilon=0,949$ e $K=1,633$, obtém-se: $I_{a2ef}=3,14$ A.

Na Figura 2.13 é visualizada a forma de onda da corrente $i_{a2}(\omega.t)$ gerada pela equação (2.94).

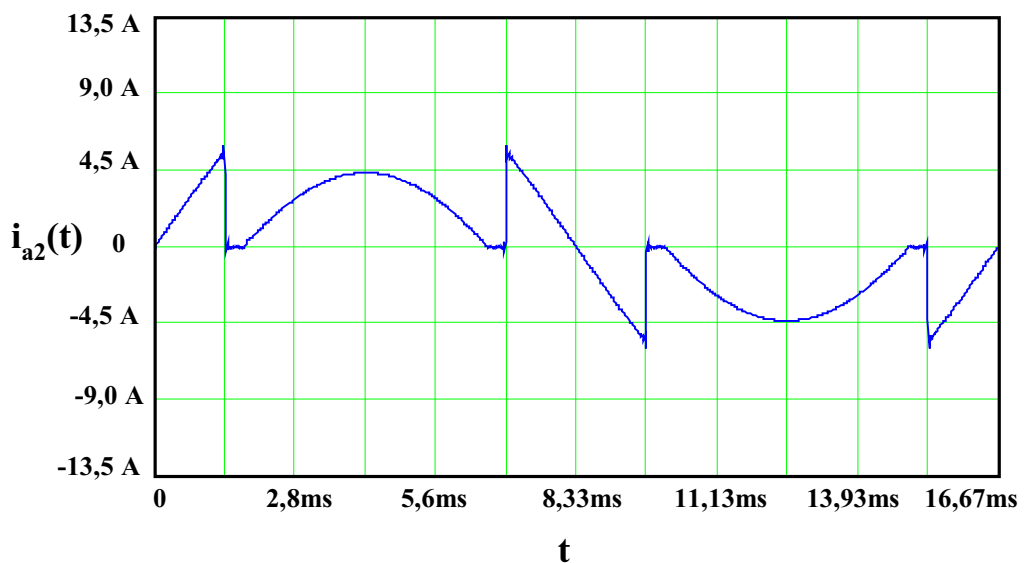


Figura 2.13 – Corrente de entrada do retificador controlado, na fase “a”.

– Valor médio da corrente e potência de saída do Retif-2 :

Pela equação (2.28), com o valor $I_{Retif-1}$ (2.113) e corrente de carga (I_O), calcula-se a corrente média de saída ($I_{Retif-2}$) do retificador controlado.

Assim, com os dados $I_{Retif-1}=6,72$ A e $I_O=10$ A, obtém-se: $I_{Retif-2}=3,38$ A.

De acordo com (2.28) existe uma relação linear entre as correntes médias de saída $I_{Retif-1}$ e $I_{Retif-2}$. Dividindo-se ambas as equações (2.28) e (2.113) pela corrente média total (I_O) obtém-se uma relação normalizada, possibilitando analisar a evolução de $I_{Retif-1}$ e $I_{Retif-2}$ em

termos percentuais, em função da variação do parâmetro “K”, conforme Figura 2.14, dada por (2.115) e (2.116).

$$I_{\text{Retif-1}} \% = \frac{2 \cdot \sqrt{3} \cdot V_{\text{ef}}}{\sqrt{G(K)}} \quad (2.115)$$

$$I_{\text{Retif-2}} \% = 1 - I_{\text{Retif-1}} \% \quad (2.116)$$

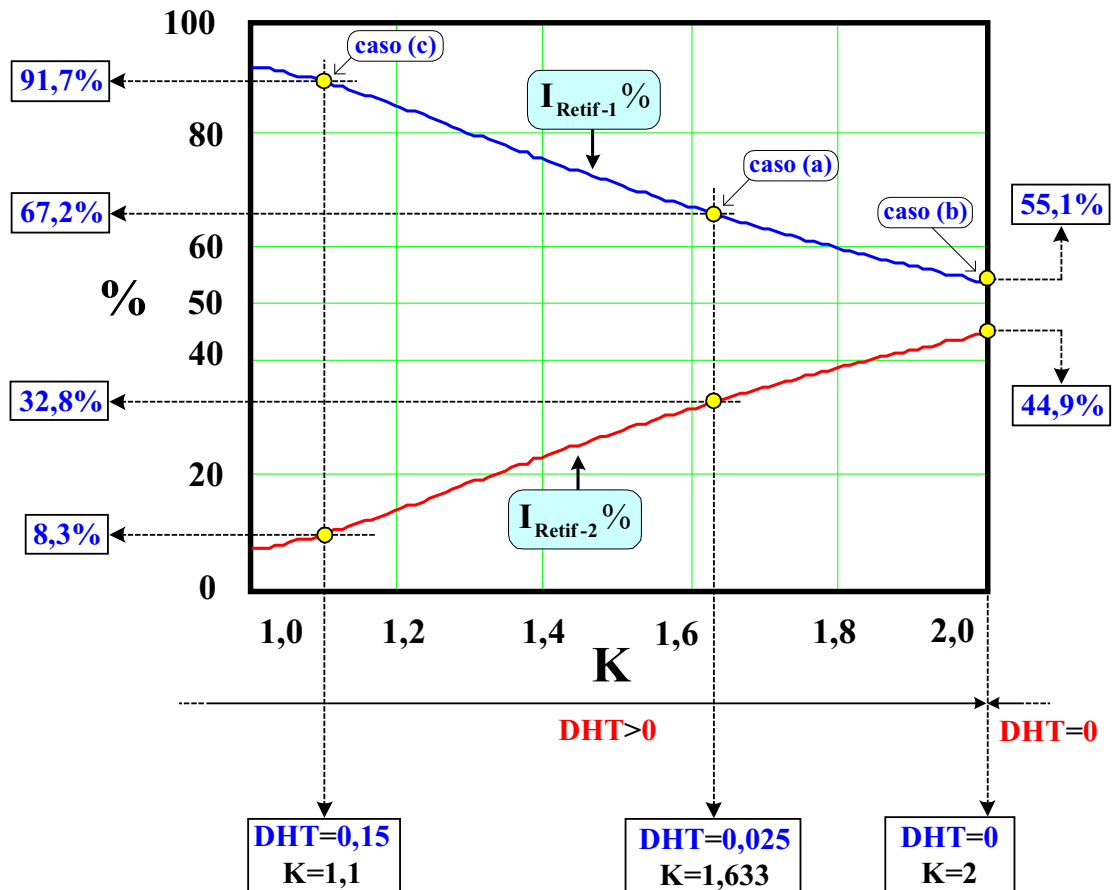


Figura 2.14 – Variação percentual das correntes médias de saída dos retificadores controlado e não controlado, em função do parâmetro “K”.

Logicamente, a região de interesse prático é aquela em que K é entre 1 e 2, minimizando-se a potência processada pelos retificadores controlados, e observando-se o atendimento às normas de limitação de conteúdo harmônico para as correntes de entrada.

Desta forma, para a região de interesse, a relação é linear entre as correntes médias de saída $I_{\text{Retif-1}}$ e $I_{\text{Retif-2}}$, conforme Figura 2.14. Esta condição resulta ainda do fato de que o retificador não controlado impõe o valor médio da tensão de saída do retificador trifásico híbrido conforme (2.22). A medida em que se aumenta a transferência de energia através do retificador controlado (aumento do valor do parâmetro K), e, conseqüentemente, o valor da

corrente média $I_{\text{Retif-2}}$, reduz-se na mesma proporção a corrente média de saída do retificador não controlado, $I_{\text{Retif-1}}$.

Analisando-se de forma conjunta as Figuras 2.9 e 2.14, nota-se que para uma DHT menor do que 3% o parâmetro “K” cresce numa taxa elevada, aumentando-se também o percentual de potência ativa processada pelo retificador controlado. Portanto, deve ser considerada a possibilidade de que o ponto de operação a ser escolhido contemple uma DHT de valor um pouco acima de 3%, desde que a norma seja respeitada. Assim, minimiza-se o carregamento do retificador controlado, melhorando-se a eficiência do conjunto como um todo. No caso desta análise, conforme está destacado na Figura 2.14, o retificador controlado conduz 32,8% para manter a DHT de 2,5%, referente ao caso (a), 44,9% para manter a DHT de 0%, referente ao caso (b), e 8,3% para manter a DHT de 15%, referente ao caso (c), para as correntes de entrada.

Através da (2.117) calcula-se a potência média de saída (P_2) processada pelo retificador controlado.

$$P_2 = V_O \cdot I_{\text{Retif-2}} \quad (2.117)$$

Com dados $V_O=297$ V e $I_{\text{Retif-2}}=3,38$ A, obtém-se: $P_2=1004$ W.

– *Valores médios das correntes e das potências de saída dos retificadores monofásicos SEPIC:*

Sendo um sistema equilibrado ($I_{m1}=I_{m2}=I_{m3}$) pode-se reescrever a (2.29) e calcular o valor médio das correntes de saída de cada retificador monofásico SEPIC, conforme (2.118), a seguir:

$$I_{m1} = \frac{I_{\text{Retif-2}}}{3} \quad (2.118)$$

Com dados $I_{\text{Retif-2}}=3,38$ A, obtém-se: $I_{m1}=1,127$ A.

Conseqüentemente, os retificadores monofásicos controlados processarão o mesmo percentual de potência ativa, ou seja: ($P_{md1}=P_{md2}=P_{md3}$).

Onde:

P_{md1} , P_{md2} e P_{md3} : Potência ativa processada, pelo retificadores monofásicos:
SEPIC₁, SEPIC₂ e SEPIC₃.

Portanto:
$$P_{md1} = \frac{P_2}{3} \quad (2.119)$$

Com dados $P_2=1004$ W, obtém-se: $P_{md1}=334,7$ W.

– *Valores das potências média e aparente de entrada dos retificadores controlado, não controlado e do retificador trifásico híbrido:*

- **Retificador trifásico híbrido:** Para um sistema equilibrado, as potências média (P_{in}) e aparente (S) de entrada são determinadas conforme (2.7) e (2.8), reescritas a seguir:

$$P_{in} = 3 \cdot V_{ef} \cdot I_{ef(1)} \cdot \cos(\varphi_1) \quad (2.120)$$

$$S = 3 \cdot V_{ef} \cdot I_{ef} \quad (2.121)$$

Calculando o valor da potência aparente (S):

Da equação (2.121) e com os dados: $V_{ef}=127$ V e $I_{ef}=8,212$ A, obtém-se: $S=3129$ VA.

Calculando o valor da potência ativa (P_{in}):

Na equação (2.120) o termo $I_{ef(1)}$ representa o valor eficaz da componente fundamental da corrente de entrada $i_a(\omega.t)$.

Deste modo, a equação (2.106) é reescrita considerando apenas a sua componente fundamental, conforme a seguir:

$$I_{aef_Fourier(1)} = \frac{I_{Retif-1}}{\pi \cdot \varepsilon} \cdot \frac{F_{a_60Hz}(K)}{\sqrt{2}} \quad (2.122)$$

Como $I_{ef(1)} = I_{ef_Fourier(1)}$, então substitui-se (2.122) em (2.120).

$$P_{in} = \frac{3 \cdot V_{ef} \cdot I_{Retif-1}}{\pi \cdot \varepsilon \cdot \sqrt{2}} \cdot F_{a_60Hz}(K) \cdot \cos(\varphi_1) \quad (2.123)$$

Da equação (2.123) e com os dados: $V_{ef}=127$ V, $I_{Retif-1}=6,72$ A, $\varepsilon=0,949$, $\cos(\varphi_1)=1$ e $K=1,633$, obtém-se: $P_{in}=3128$ W.

A seguir, na Figura 2.15, é mostrada a curva teórica da variação do Fator de Potência {dado pela equação (2.14)} do retificador trifásico híbrido, onde o seu valor permanece próximo da unidade em toda a faixa de variação do parâmetro de controle “K”, considerando-se $1 \leq K \leq 2$.

A equação (2.14) é reescrita através de (2.124).

$$FP = \frac{P_{in}}{S} = \frac{1}{\sqrt{1 + (DHT)^2}} \cdot \cos(\varphi_1) \quad (2.124)$$

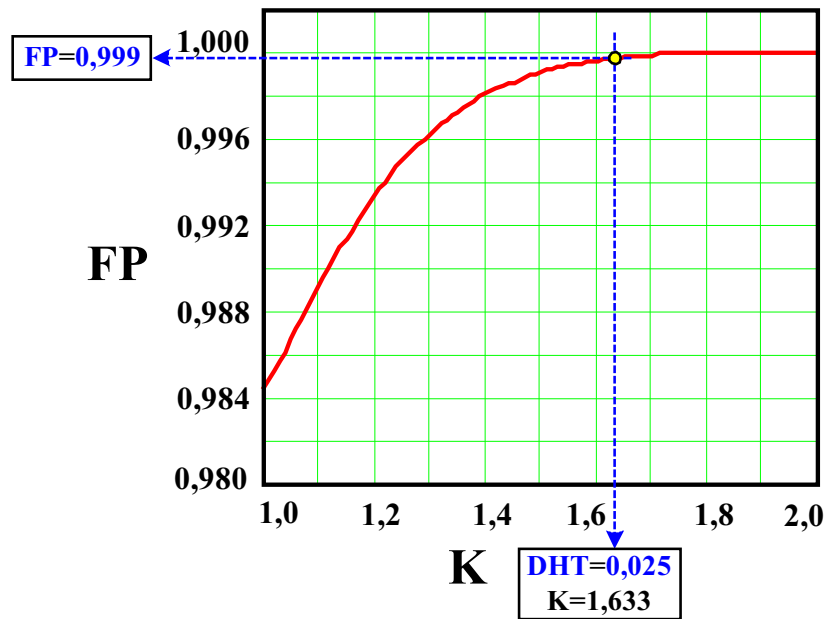


Figura 2.15 – Variação do Fator de Potência do retificador trifásico híbrido, em função do parâmetro “K”.

- Retificador não-controlado: Através das equações (2.7), (2.8) e (2.25), define-se (2.125), para o cálculo da potência aparente (S_1), e (2.126) para o cálculo de potência ativa (P_{in1}).

$$S_1 = 3 \cdot V_{ef} \cdot I_{I_{ef}} \quad (2.125)$$

$$P_{in1} = 3 \cdot V_{ef} \cdot I_{I_{ef}(1)} \cdot \cos(\varphi_1) \quad (2.126)$$

Calculando o valor da potência aparente (S_1):

Da equação (2.126) e com os dados: $V_{ef}=127$ V e $I_{I_{ef}}=5,77$ A, obtém-se: $S_1=2198$ VA.

Calculando o valor da potência ativa (P_{in1}):

Como $I_{I_{ef}(1)} = I_{aI_{ef_Fourier}(1)}$, substitui-se (2.56) em (2.126), considerando apenas a sua componente fundamental.

$$P_{in1} = \frac{3 \cdot V_{ef} \cdot I_{Retif-1}}{\pi \cdot \epsilon \cdot \sqrt{2}} \cdot \sum_{n=1}^1 F_1(n) \cdot \cos(\varphi_1) \quad (2.127)$$

Da equação (2.127) e com os dados: $V_{ef}=127$ V, $I_{Retif-1}=6,72$ A, $\epsilon=0,949$, $\cos(\varphi_1)=1$ e $K=1,633$, obtém-se: $P_{in1}=2102$ W.

Diferentemente do que foi constatado para a Figura 2.15, o Fator de Potência (FP_1) do retificador trifásico não controlado {dado pela (2.128)}, mantém-se constante uma vez que o formato da corrente $i_{a1}(\omega.t)$ não controlada não depende do valor do parâmetro de controle “K”, conforme Figura 2.16.

$$FP_1 = \frac{P_{in1}}{S_1} \quad (2.128)$$

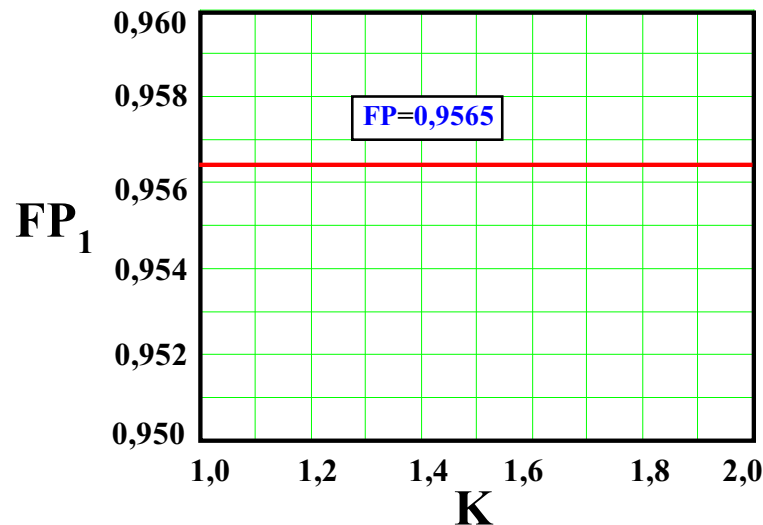


Figura 2.16 – Variação do Fator de Potência do retificador não controlado, em função do parâmetro “K”.

- **Retificador controlado:** Analogamente, pelas equações (2.7), (2.8) e (2.26) define-se (2.129), para o cálculo da potência aparente (S_2), e (2.130) para o cálculo de potência ativa (P_{in2}).

$$S_2 = 3 \cdot V_{ef} \cdot I_{2ef} \quad (2.129)$$

$$P_{in2} = 3 \cdot V_{ef} \cdot I_{2ef(1)} \cdot \cos(\varphi_1) \quad (2.130)$$

Calculando o valor da potência aparente (S_2):

Da equação (2.129) e com os dados: $V_{ef}=127$ V e $I_{2ef}=3,14$ A, obtém-se:

$$S_2=1196 \text{ VA.}$$

Calculando o valor da potência ativa (P_{in2}):

Como $I_{2ef(1)} = I_{a2ef_Fourier(1)}$, substitui-se (2.98) em (2.130), considerando apenas a sua componente fundamental.

$$P_{in2} = \frac{3 \cdot V_{ef} \cdot I_{Retif-1}}{\pi \cdot \epsilon \cdot \sqrt{2}} \cdot F_{2_60Hz}(K) \cdot \cos(\varphi_1) \quad (2.131)$$

Da equação (2.131) e com os dados: $V_{ef}=127$ V, $I_{Retif-1}=6,72$ A, $\epsilon=0,949$, $\cos(\varphi_1)=1$ e $K=1,633$, obtém-se: $P_{in2}=1025$ W.

O Fator de Potência (FP_2) do retificador trifásico controlado (dado pela equação 2.132), varia entre 0,26 (para $K=1$) e 0,94 (para $K=2$), conforme Figura 2.17, devido ao conteúdo harmônico elevado da corrente $i_{a2}(\omega.t)$.

$$FP_2 = \frac{P_{in2}}{S_2} \quad (2.132)$$

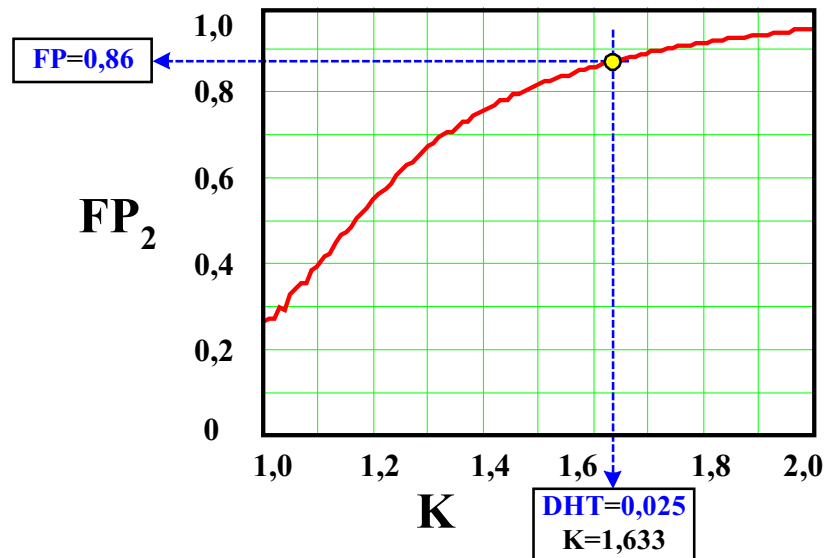


Figura 2.17 – Variação do Fator de Potência do retificador controlado, em função do parâmetro “K”.

Na seqüência (Figura 2.18) as duas curvas, ($P_{in1}\%$) e ($P_{in2}\%$), representam a variação percentual das potências médias de entrada dos retificadores não controlado e controlado, respectivamente, em função do parâmetro “K”.

De forma idêntica às potências médias de saída (mostradas na Figura 2.14), as potências médias de entrada possuem uma relação linear e de mesmo percentual em toda a faixa de variação de “K”.

Em contrapartida o variação percentual das potências aparente de entrada dos retificadores não controlado ($S_1\%$) e controlado ($S_2\%$) variam de forma não linear em relação à potência aparente total de entrada (S), conforme Figura 2.19.

Isto ocorre porque não existe uma combinação linear entre as correntes de entrada $i_{a1}(\omega.t)$ e $i_{a2}(\omega.t)$.

A combinação linear entre $i_{a1}(\omega.t)$ e $i_{a2}(\omega.t)$ implicaria no fato de que a relação entre as equações (2.56) e (2.98) deveria resultar em um valor constante único para todas as componentes harmônicas (exemplo: Equação (2.133)), o que de fato não ocorre. Dividindo (2.56) por (2.98) resulta em:

$$\left. \begin{array}{l} \text{Valor constante para} \\ \text{qualquer } n \geq 1 \end{array} \right\} = \frac{\sqrt{\sum_{n=1}^{\infty} \frac{F_1^2(n)}{2}}}{\sqrt{\frac{F_{2_60Hz}^2(K)}{2} + \sum_{n=2}^{\infty} \frac{F_{2_n>1}^2(n, K)}{2}}} \quad (2.133)$$

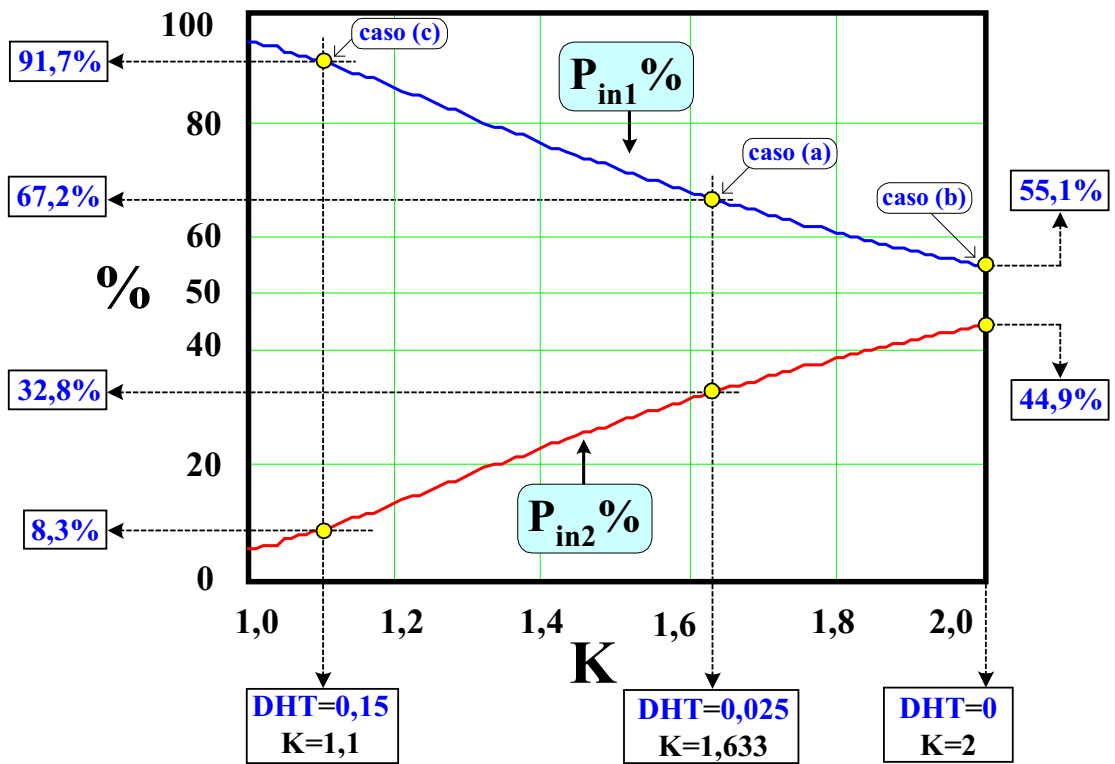


Figura 2.18 – Variação percentual das potências médias de entrada dos retificadores controlado e não controlado, em função do parâmetro “K”.

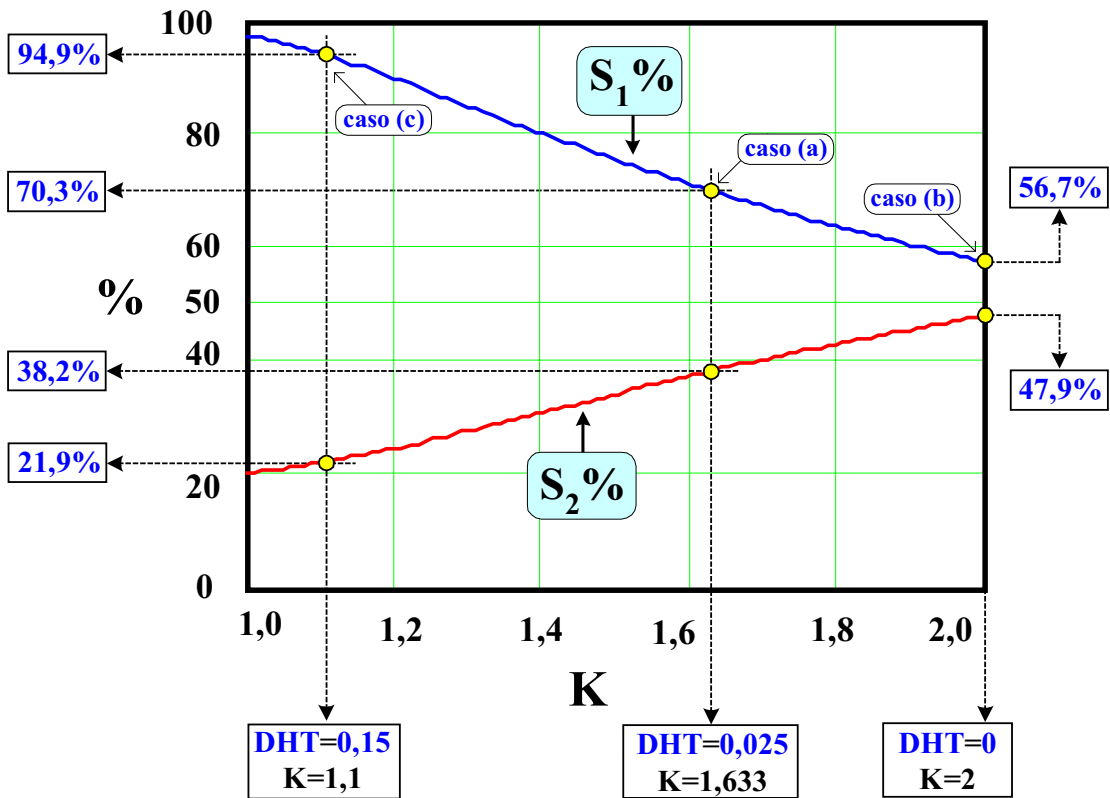


Figura 2.19 – Variação percentual das potências aparente de entrada dos retificadores controlado e não controlado, em função do parâmetro “K”.

Os valores percentuais $P_{in1}\%$, $P_{in2}\%$, $S_1\%$ e $S_2\%$, são determinados da seguinte maneira:

- O valor percentual $P_{in1}\%$, por (2.134) {dividindo-se (2.126) por (2.123)}:

$$P_{in1}\% = 100 \cdot \frac{\sum_{n=1}^1 F_1(n)}{F_{a_60Hz}(K)} \quad (2.134)$$

- O valor percentual $P_{in2}\%$, por (2.135) {dividindo-se (2.131) por (2.123)}:

$$P_{in2}\% = 100 \cdot \frac{F_{2_60Hz}(K)}{F_{a_60Hz}(K)} \quad (2.135)$$

- O valor percentual $S_1\%$, por (2.136) {dividindo-se (2.125) por (2.121)}:

$$S_1\% = 100 \cdot \sqrt{\frac{\sum_{n=1}^{\infty} F_1^2(n)}{F_{a_60Hz}^2(K) + \sum_{n=2}^{\infty} F_{a_n>1}^2(n, K)}} \quad (2.136)$$

- O valor percentual $S_2\%$, por (2.137) {dividindo-se (2.129) por (2.121)}:

$$S_2\% = 100 \cdot \sqrt{\frac{F_{2_60Hz}^2(K) + \sum_{n=2}^{\infty} F_{2_n>1}^2(n, K)}{F_{a_60Hz}^2(K) + \sum_{n=2}^{\infty} F_{a_n>1}^2(n, K)}} \quad (2.137)$$

– *Valor médio e de pico da corrente através dos diodos do retificador não controlado (Retif-1):*

Cada diodo conduz a corrente “ $I_{Retif-1}$ ” durante 120° . Para um sistema em equilíbrio, cada diodo da ponte retificadora conduz o mesmo valor médio da corrente. Portanto, calcula-se a corrente média que circula através do diodo “ D_1 ”, Figura 2.4, conforme a seguir.

$$I_{Dmd} = \frac{1}{2\pi} \cdot \int_{\frac{\pi}{6}}^{\frac{5\pi}{6}} I_{Retif-1} \cdot d(\omega.t) \quad (2.138)$$

Resolvendo (2.138), obtém-se (2.139).

$$I_{Dmd} = \frac{I_{Retif-1}}{3} \quad (2.139)$$

Da equação (2.139) e com os dados: $I_{Retif-1}=6,72$ A, calcula-se: $I_{D1md}=2,24$ A.

– *Esforços máximos de corrente e de tensão sobre diodos do retificador não controlado (Retif-1):*

A equação (2.20) descreve a tensão $v_O(\omega.t) = v_a(\omega.t) - v_b(\omega.t)$ entre a saída da ponte retificadora trifásica de diodos e o filtro da saída do retificador trifásico híbrido no intervalo entre 90° e 150° . Em $\omega.t = 120^\circ$ $v_O(\omega.t)$ atinge o seu valor máximo, o que corresponde à tensão máximo (V_{DPico}) aplicada sobre cada diodo da ponte retificadora, conforme (2.140)

$$V_{DPico} = \sqrt{6} \cdot V_{ef} \quad (2.140)$$

Da equação (2.140) e com os dados: $V_{ef} = 127$ V, calcula-se: $V_{DPico} = 311$ V.

O valor máximo da corrente através do diodo é obtido ajustando o seu valor médio, dividindo-se (2.140) pela (2.22):

$$\frac{V_{DPico}}{V_O} = \frac{\sqrt{6} \cdot V_{ef}}{\frac{3 \cdot \sqrt{6}}{\pi} \cdot V_{ef}} = \frac{\pi}{3} \quad (2.141)$$

Por fim, calcula-se o valor da corrente de pico através dos diodos.

$$I_{DPico} = \frac{\pi}{3} \cdot I_{Retif-1} \quad (2.142)$$

Da equação (2.142) e com os dados: $I_{Retif-1} = 6,72$ A, calcula-se: $I_{DPico} = 7,04$ A.

2) Análise para os casos: (b) DHT=0; (c) DHT=0,15.

Para os casos DHT=0 e DHT=0,15, a tabela 2.3 apresenta de forma resumida todos os parâmetros/variáveis, em função dos valores do exemplo de cálculo para DHT=0,025.

Tabela 2.3 – Comparações de Esforços e Fluxo de Potência, em Função da DHT de Projeto.

Parâmetros/Variáveis	DHT=0,15 K=1,1	DHT=0,025 K=1,633	DHT=0 K=2
Valor médio da corrente de saída do retificador não controlado, calculado através da equação (2.113).	$I_{Retif-1} = 9,17$ A	$I_{Retif-1} = 6,72$ A	$I_{Retif-1} = 5,5$ A.
Valor médio da corrente de saída do retificador controlado, calculado através da equação (2.28).	$I_{Retif-2} = 0,83$ A	$I_{Retif-2} = 3,38$ A	$I_{Retif-2} = 4,5$ A

Parâmetros/Variáveis	DHT=0,15 K=1,1	DHT=0,025 K=1,633	DHT=0 K=2
Valor médio da potência de saída do retificador não controlado, calculado através da equação (2.114).	$P_1=2724 \text{ W}$	$P_1=1996 \text{ W}$	$P_1=1634 \text{ W}$
Valor médio da potência de saída do retificador controlado, calculado através da equação (2.117).	$P_2=246 \text{ W}$	$P_2=1004 \text{ W}$	$P_2=1366 \text{ W}$
Valor médio da corrente de saída de cada retificador monofásico SEPIC, calculado através da equação (2.118).	$I_{m1}=0,28 \text{ A}$	$I_{m1}=1,13 \text{ A}$	$I_{m1}=1,53 \text{ A}$
Valor médio da potência de saída de cada retificador, monofásico SEPIC calculado através da equação (2.119).	$P_{md1}=82 \text{ W}$	$P_{md1}=334,7 \text{ W}$	$P_{md1}=453,8 \text{ W}$
Valor eficaz da corrente de entrada do retificador trifásico híbrido, calculado através da equação (2.106).	$I_{aef}=8,4 \text{ A}$	$I_{aef}=8,21 \text{ A}$	$I_{aef}=8,21 \text{ A}$
Valor eficaz da corrente de entrada do retificador não controlado, calculado através da equação (2.56).	$I_{a1ef}=7,97 \text{ A}$	$I_{a1ef}=5,77 \text{ A}$	$I_{a1ef}=4,73 \text{ A}$
Valor eficaz da corrente de entrada do retificador controlado, calculado através da equação (2.98).	$I_{a2ef}=1,84 \text{ A}$	$I_{a2ef}=3,14 \text{ A}$	$I_{a2ef}=3,93 \text{ A}$
Valor da potência média de entrada processada pelo retificador não controlado, calculado através da equação (2.127).	$P_{in1}=2899 \text{ W}$ (91,7 %)	$P_{in1}=2102 \text{ VA}$ (67,2 %)	$P_{in1}=1725 \text{ W}$ (55,1 %)

Parâmetros/Variáveis	DHT=0,15 K=1,1	DHT=0,025 K=1,633	DHT=0 K=2
Valor da potência média de entrada processada pelo retificador controlado, calculado através da equação (2.131).	$P_{in2}=258\text{ W}$ (8,3 %)	$P_{in2}=1025\text{ W}$ (32,8 %)	$P_{in2}=1403\text{ W}$ (44,9 %)
Valor da potência média de entrada processada pelo retificador híbrido, calculado através da equação (2.123).	$P_{in}=3157\text{ W}$	$P_{in}=3128\text{ W}$	$P_{in}=3128\text{ W}$
Valor da potência aparente processada pelo retificador não controlado, calculado através da equação (2.126).	$S_1=3037\text{ VA}$ (94,9 %)	$S_1=2198\text{ VA}$ (70,3 %)	$S_1=1803\text{ VA}$ (56,7 %)
Valor da potência aparente processada pelo retificador controlado, calculado através da equação (2.129).	$S_2=701\text{ VA}$ (21,9 %)	$S_2=1196\text{ VA}$ (38,2 %)	$S_2=1498\text{ VA}$ (47,9 %)
Valor da potência aparente processada pelo retificador trifásico híbrido calculado através da equação (2.121).	$S=3200\text{ VA}$	$S=3129\text{ VA}$	$S=3128\text{ VA}$
Valor médio da corrente através dos diodos da ponte retificadora da estrutura não controlada, calculado através da equação (2.139).	$I_{D1md}=3,06\text{ A}$	$I_{D1md}=2,24\text{ A}$	$I_{D1md}=1,85\text{ A}$
O fator de potência retificador não controlado, calculado por (2.128).	$FP_1=0,955$	$FP_1=0,956$	$FP_1=0,956$
O fator de potência retificador controlado, calculado por (2.132).	$FP_2=0,370$	$FP_2=0,857$	$FP_2=0,937$
O fator de potência retificador trifásico híbrido, calculado por (2.124).	$FP=0,986$	$FP=0,999$	$FP=1,0$

2.3 – Conclusões

Apresentou-se a análise quantitativa do Retificador Trifásico Híbrido com correção do Fator de Potência, que possibilita conhecer, mediante uma DHT imposta para as correntes de entrada, o valor eficaz das correntes de entrada e o valor médio da tensão e das correntes de saída, assim como as potências média e aparente processadas através de cada estrutura retificadora, controlada e não-controlada.

Devido a tensão de saída do retificador trifásico híbrido variar linearmente e proporcionalmente ao valor eficaz das tensões de alimentação, não é possível regular a tensão de saída através dos retificadores controlados. No entanto, é considerado para esta aplicação que o conversor CC-CC (ou, CC-CA), a ser possivelmente conectado no barramento CC de saída do retificador híbrido, esteja apto a compensar as possíveis variações deste barramento.

Analisando os dados apresentados na tabela 2.3, nota-se que impondo uma DHT nula, caso (b), para as correntes de entrada, resulta em um acréscimo de 25,3% do valor da potência aparente de entrada (S_2), para os conversores chaveados, e um acréscimo de 36,87% do valor da potência média de saída (P_2), em relação ao caso (a) (DHT=0,025), sendo ambas as magnitudes, S_2 e P_2 , processadas pelo retificador controlado (Retif-2), composto pelos três retificadores monofásicos SEPIC.

Conforme comentado anteriormente, observa-se através das Figuras 2.9 e 2.14, que o percentual de energia processado pelo retificador controlado cresce de forma elevada para uma DHT menor do que 3%. Isto implica no aumento de esforços de corrente e tensão no retificador controlado e redução do rendimento total do retificador trifásico híbrido, aumentando-se os custos.

Portanto, a DHT resultante a ser especificada para a estrutura proposta, será sempre aquela que atenda os requisitos das normas que limitam as componentes harmônicas de correntes, para cada caso de projeto e potência ativa a ser processada.

CAPÍTULO 3

3 – Análise do Funcionamento e Projeto do Conversor SEPIC

3.1 – Introdução

Neste capítulo, apresenta-se a análise do funcionamento do conversor SEPIC₁ operando no modo de condução contínua e com modulação por histerese variável, tomando como base os valores das tensões de entrada e saída e da corrente de entrada, previamente definidas através da análise desenvolvida no Capítulo 2.

Além disso, serão apresentadas considerações gerais da modulação por histerese e fundamentação teórica da modulação por histerese digital, empregada para o controle das estruturas chaveadas SEPIC₁.

3.2 – Considerações e Simplificações da Análise

O conversor SEPIC₁ empregado na composição do Retificador Trifásico Híbrido teve o seu circuito levemente alterado, conforme Figura 1.29 (Capítulo 1), objetivando uma simetria no funcionamento da estrutura trifásica como um todo.

Como exemplo, para o retificador monofásico SEPIC₁ conectado na fase “a” (Figura 3.1), o indutor de entrada (L_{in}) e o Capacitor de acumulação (C_E) foram substituídos pelos indutores série (L_1 e L_2) e pelos capacitores série (C_1 e C_2), respectivamente. Além disso, foram acrescentados dois diodos no circuito (D_{11} e D_{13}).

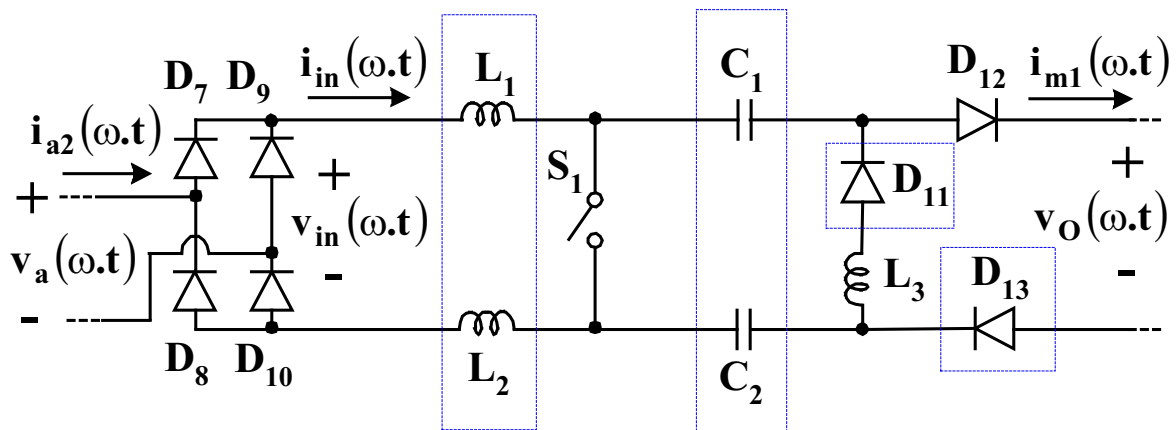


Figura 3.1 – Retificador monofásico SEPIC₁ modificado.

Entretanto, apesar das modificações realizadas, o funcionamento convencional foi preservado. Assim, a análise decorrerá do circuito original equivalente apresentado na Figura 3.2.

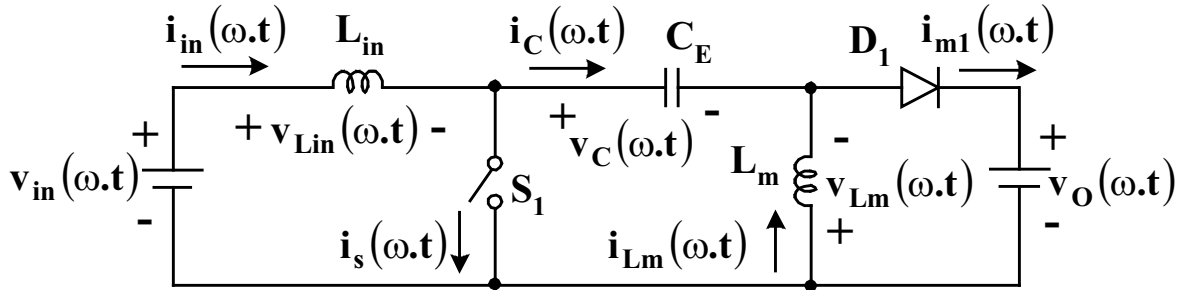


Figura 3.2 – Conversor SEPIC₁, na sua forma convencional.

Inicialmente, será analisado o funcionamento do conversor SEPIC₁ no período da rede CA de alimentação, descrevendo-se as equações para o cálculo dos seguintes valores: Médio, eficaz e de pico das correntes e tensões de entrada e saída, e potência ativa de entrada e de saída. Posteriormente, a partir do tópico 3.4, será apresentada a análise do funcionamento no período de comutação e da modulação por histerese empregada no controle do conversor SEPIC₁. Nesta etapa serão determinados os valores das indutâncias L_{in} e L_m , da capacitância C_E , das frequências máxima e mínima de operação do conversor e dos esforços máximos de tensão e corrente através dos interruptores.

3.3 – Análise no Período da rede CA de Alimentação

As formas de onda da tensão $v_{in}(\omega.t)$ e corrente $i_{in}(\omega.t)$ de entrada do circuito equivalente (Figura 3.2), apresentadas na Figura 3.3, representam as formas de onda retificadas de $v_a(\omega.t)$ e $i_{a2}(\omega.t)$, respectivamente, portanto com os mesmos valores de pico e eficaz.

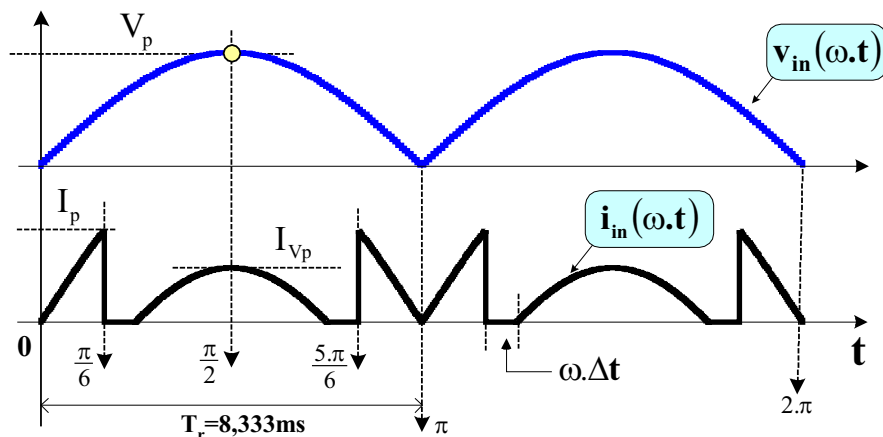


Figura 3.3 – Formas de onda da tensão e corrente de entrada do SEPIC₁.

3.3.1 – Valores de Pico de Entrada

Os valores de pico V_p de $v_{in}(\omega.t)$ e I_p e I_{Vp} de $i_{in}(\omega.t)$ são calculados a partir das equações (3.1), (3.2) e (3.3).

$$V_p = V_{ef} \cdot \sqrt{2} \quad (3.1)$$

$$I_p = \frac{1}{2} \cdot K \cdot \frac{I_{Retif-1}}{\varepsilon} \quad (3.2)$$

$$I_{Vp} = \frac{I_{Retif-1}}{\varepsilon} \cdot (K - 1) \quad (3.3)$$

Onde:

K : Parâmetro de Controle;

ε : Parâmetro auxiliar {dado por (2.16)};

V_p : Valor de pico da tensão de entrada do conversor SEPIC₁;

I_{Vp} : Valor da corrente de entrada quando a tensão $v_{in}(\omega.t)$ for máxima (V_p);

I_p : Valor de pico da corrente de entrada do conversor SEPIC₁;

V_{ef} : Valor eficaz da tensão de entrada monofásica do retificador trifásico híbrido;

$I_{Retif-1}$: Valor médio da corrente de saída do retificador não controlado (Retif-1).

3.3.2 – Valores Eficazes de Entrada

O valor eficaz (I_{inef}) de $i_{in}(\omega.t)$ é determinado por (3.4) {equivalente à equação (2.98) definida no Capítulo 2} considerando-se o valor do parâmetro “ K ” de controle, previamente escolhido. Assim, o valor eficaz “ I_{inef} ” é equivalente ao valor eficaz “ I_{a2ef} ”.

$$I_{inef} = I_{e2ef} \quad (3.4)$$

Sendo que:

$$I_{a2ef} = \frac{I_{Retif-1}}{\pi \cdot \varepsilon} \cdot \sqrt{F_2(K)} \quad (3.5)$$

$$F_2(K) = \frac{F_{2_60Hz}^2(K)}{2} + \sum_{n=2}^{\infty} \frac{F_{2_n>1}^2(n, K)}{2} \quad (3.6)$$

$$i_{2ef(1)} = \frac{I_{Retif-1}}{\pi \cdot \varepsilon \cdot \sqrt{2}} \cdot F_{2_60Hz}(K) \quad (3.7)$$

Onde:

$F_{2_60Hz}(K)$: Valor de pico da componente fundamental da corrente $i_{a2}(\omega.t)$ {definido pela (2.99)};

$F_{2_{n>1}}(n,K)$: Valor de pico das componentes de ordem harmônica $n>1$ da corrente $i_{a2}(\omega.t)$ {definido pela (2.100)};

$I_{2ef(1)}$: Valor eficaz da componente fundamental da corrente $i_{a2}(\omega.t)$.

Quanto ao valor eficaz (V_{ef}) de $v_{in}(\omega.t)$, é um dado de projeto do retificador trifásico híbrido.

3.3.3 – Valores Médios de Entrada

Na seqüência obter-se-ão as equações para o cálculo do valor médio da tensão e da corrente de entrada, $v_{in}(\omega.t)$ e $i_{in}(\omega.t)$, respectivamente.

Aplicando-se a definição do valor médio, obtém-se (3.8) e (3.9) a partir da Figura 3.3.

$$V_{inMd} = \frac{1}{\pi} \cdot \int_0^{\pi} V_p \cdot \text{sen}(\omega.t) \cdot d(\omega.t) \quad (3.8)$$

$$I_{inMd} = \frac{I_{Retif-1}}{\pi \cdot \varepsilon} \cdot \left\{ \begin{array}{l} K \cdot \int_0^{\frac{\pi}{6}} \text{sen}(\omega.t) \cdot d(\omega.t) + \int_{\frac{\pi}{6} + \omega\Delta t}^{\frac{5\pi}{6} - \omega\Delta t} (K \cdot \text{sen}(\omega.t) - 1) \cdot d(\omega.t) + \\ + K \cdot \int_{\frac{5\pi}{6}}^{\pi} \text{sen}(\omega.t) \cdot d(\omega.t) \end{array} \right\} \quad (3.9)$$

Desenvolvendo (3.8) e (3.9) resultam em (3.10) e (3.11) para o cálculo do valor médio de $v_{in}(\omega.t)$ e $i_{in}(\omega.t)$, respectivamente.

$$V_{inMd} = \frac{2 \cdot \sqrt{2}}{\pi} \cdot V_{ef} \quad (3.10)$$

$$I_{inMd} = \frac{I_{Retif-1}}{\pi \cdot \varepsilon} \cdot \left\{ K \cdot \left\{ 2 + \sqrt{3} \cdot [\cos(\omega \cdot \Delta t) - 1] - \text{sen}(\omega \cdot \Delta t) \right\} - 2 \cdot \left(\omega \cdot \Delta t - \frac{\pi}{3} \right) \right\} \quad (3.11)$$

Onde:

I_{inMd} : Valor médio da corrente de entrada do conversor SEPIC₁;

V_{inMd} : Valor médio da corrente de entrada do conversor SEPIC₁;

$\omega\Delta t$: Descontinuidade da corrente $i_{in1}(\omega.t)$ {definida pela (2.36)}.

3.3.4 – Valores Médios de Saída

O valor médio da tensão de saída do SEPIC₁ equivale à tensão média de saída do retificador híbrido, calculada através de (2.22) e representada por (3.12). Cabe ressaltar que as tensões de entrada do retificador híbrido, analisado no Capítulo 2, são equilibradas.

Portanto, o conversor SEPIC₁ fornece um terço da corrente média de saída ($I_{\text{Retif-2}}$) do retificador controlado (Retif-2) para a carga, conforme (2.118), reescrita através da (3.13).

$$V_O = \frac{V_{\text{ef}} \cdot 3 \cdot \sqrt{6}}{\pi} \quad (3.12)$$

$$I_{\text{m1}} = \frac{I_{\text{Retif-2}}}{3} \quad (3.13)$$

Onde:

I_{m1} : Valor médio da corrente de saída do conversor SEPIC₁;

$I_{\text{Retif-2}}$: Valor médio da corrente de saída do retificador controlado (Retif-2);

$I_{\text{Retif-1}}$: Valor médio da corrente de saída do retificador não controlado (Retif-1);

I_O : Valor médio da corrente total de saída do retificador híbrido;

R_O : Resistência de carga;

P : Potência ativa (Potência média) de saída do retificador híbrido.

O valor médio " $I_{\text{Retif-2}}$ " é calculado através da (2.28), representada na seqüência pela (3.14).

$$I_{\text{Retif-2}} = I_O - I_{\text{Retif-1}} \quad (3.14)$$

A corrente média total (I_O) pode ser calculada manipulando a (3.12), resultando em:

$$I_O = \frac{V_{\text{ef}} \cdot 3 \cdot \sqrt{6}}{\pi \cdot R_O} = \frac{\sqrt{6} \cdot \pi}{18} \cdot \frac{P}{V_{\text{ef}}} \quad (3.15)$$

O valor médio " $I_{\text{Retif-1}}$ " foi definido pela equação (2.113), reescrita a seguir pela (3.16).

$$I_{\text{Retif-1}} = \frac{18 \cdot \sqrt{2} \cdot V_{\text{ef}}}{\pi \cdot R_O \cdot \sqrt{G(K)}} = \frac{\sqrt{2} \cdot \pi}{3 \cdot \sqrt{G(K)}} \cdot \frac{P}{V_{\text{ef}}} \quad (3.16)$$

Substituindo-se (3.15) e (3.16) em (3.14), obtém-se $I_{\text{Retif-2}}$ em função da tensão eficaz de entrada (V_{ef}), potência média na carga (P) e do parâmetro de controle (K), conforme (3.17).

$$I_{\text{Retif-2}} = \frac{\pi \cdot \sqrt{2}}{18} \cdot \left(\sqrt{3} - \frac{6}{\sqrt{G(K)}} \right) \cdot \frac{P}{V_{\text{ef}}} \quad (3.17)$$

Finalmente, levando a (3.17) em (3.13), resulta em (3.18) para o cálculo da corrente média de saída do SEPIC₁.

$$I_{\text{m1}} = \frac{\pi \cdot \sqrt{2}}{54} \cdot \left(\sqrt{3} - \frac{6}{\sqrt{G(K)}} \right) \cdot \frac{P}{V_{\text{ef}}} \quad (3.18)$$

3.3.5 – Potência Ativa de Entrada e de Saída

Relacionando as potências de entrada e de saída através de um rendimento “ η_{Sepic} ” considerado para o conversor SEPIC₁, conforme (3.19).

$$P_{\text{in}2a} = \frac{P_{\text{mdl}}}{\eta_{\text{Sepic}}} \quad (3.19)$$

Onde:

$P_{\text{in}2a}$: Valor da potência ativa de entrada do conversor SEPIC₁;

P_{mdl} : Valor da potência média de saída do conversor SEPIC₁;

η_{Sepic} : Rendimento do conversor SEPIC₁.

Aplicando a definição de potência ativa na entrada do conversor SEPIC₁, tem-se a seguinte relação, através da Figura 3.1.

$$P_{\text{in}2a} = \frac{1}{2\pi} \cdot \int_0^{2\pi} v_a(\omega.t) \cdot i_{a2}(\omega.t) \cdot d(\omega.t) = \frac{1}{\pi} \cdot \int_0^{\pi} v_{\text{in}}(\omega.t) \cdot i_{\text{in}}(\omega.t) \cdot d(\omega.t) \quad (3.20)$$

Da definição anterior, descrita em (3.20), optou-se pela relação a seguir:

$$P_{\text{in}2a} = \frac{1}{2\pi} \cdot \int_0^{2\pi} v_a(\omega.t) \cdot i_{a2}(\omega.t) \cdot d(\omega.t) \quad (3.21)$$

Desenvolvendo a equação (3.21), considerando-se a tensão de entrada $v_a(\omega.t)$ puramente senoidal, a potência $P_{\text{in}2a}$ é determinada pela (3.22).

$$P_{\text{in}2a} = V_{\text{ef}} \cdot I_{2\text{ef}(1)} \cdot \cos(\varphi_1) \quad (3.22)$$

Onde:

$I_{2\text{ef}(1)}$: Valor eficaz da componente fundamental da corrente $i_{a2}(\omega.t)$, definida pela (3.7);

φ_1 : Ângulo de defasagem entre as componentes fundamentais da tensão e da corrente de entrada.

O cálculo da potência P_{mdl} é realizado através da equação (3.23), definida anteriormente pela (2.119) no Capítulo 2.

$$P_{\text{mdl}} = V_O \cdot I_{\text{ml}} \quad (3.23)$$

Substituindo (3.12) e (3.18) em (3.23), resulta em:

$$P_{\text{mdl}} = \frac{1}{3} \cdot \left(1 - \frac{2\sqrt{3}}{\sqrt{G(K)}} \right) \cdot P \quad (3.24)$$

3.4 – Análise do Conversor SEPIC₁ durante um Período de Comutação

Este tópico compreende as análises qualitativa e quantitativa do conversor SEPIC₁ [48] (destacado na Figura 3.2), e a fundamentação teórica da modulação por histerese proposta.

3.4.1 – Análise Qualitativa

O conversor SEPIC₁ opera no modo de condução contínua, portanto apresenta duas etapas de funcionamento, e serão analisadas assumindo-se as seguintes simplificações:

- Todos os dispositivos semicondutores e demais componentes do circuito são ideais;
- Os valores das tensões de entrada (V_{in}) e de saída (V_O), assim como da corrente total de carga (I_O) se mantêm constantes durante todo o período (T_s) de comutação e são iguais aos seus valores médios instantâneos. Conseqüentemente, os valores médios das tensões sobre os indutores (L_{in} e L_m) e da corrente através do capacitor de acumulação (C_E) são nulos, caracterizando-se a operação em estado de equilíbrio.
- Todas as equações que aparecem na análise referem-se a um período discreto de comutação, e, portanto estão em função de “ t ”, ao invés de “ $\omega.t$ ” utilizado no período de rede.

3.4.1.1 - Primeira etapa de funcionamento: $t_{ON}(t_0, t_1)$

Inicialmente, em um instante anterior a $t=t_0$, considera-se o capacitor de acumulação C_E carregado com uma tensão igual a V_{in} e o interruptor S_1 bloqueado.

No instante $t=t_0$ o interruptor S_1 é comandado para a condução. O indutor de entrada L_{in} armazena a energia proveniente da rede de alimentação e o capacitor de acumulação C_E transfere a energia armazenada na etapa anterior para o indutor de saída L_m .

A tensão sobre o capacitor C_E é considerada constante e igual a V_{in} , ela representa o valor médio instantâneo da tensão de entrada $v_{in}(t)$.

As correntes $i_{in}(t)$ e $i_{Lm}(t)$ crescem linearmente com uma taxa de variação igual a V_{in}/L_{in} e V_{in}/L_m , respectivamente.

Durante esta etapa, o diodo D_1 permanece bloqueado e, portanto, não há circulação de energia para tensão de saída (V_O). O circuito equivalente desta etapa é mostrado na Figura 3.4.

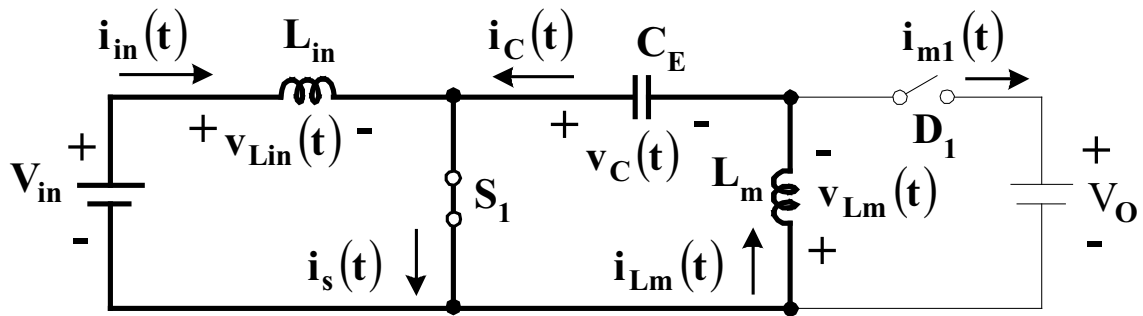


Figura 3.4 – Primeira etapa de funcionamento do conversor SEPIC₁.

No instante $t=t_1$ o interruptor S_1 é comandado para o bloqueio dando início a segunda etapa de funcionamento.

3.4.1.2 – Segunda etapa de funcionamento: $t_{OFF}(t_1, t_2)$

Com o bloqueio do interruptor S_1 no instante $t=t_1$, o diodo D_1 passa a conduzir, transferindo a energia armazenada nos indutores (L_{in} e L_m) para a fonte de tensão de saída (V_O). As correntes $i_{in}(t)$ e $i_{Lm}(t)$ decrescem linearmente com uma taxa de variação igual à V_O/L_{in} e V_O/L_m , respectivamente.

Durante esta etapa o capacitor C_E acumula energia. O circuito equivalente é mostrado na Figura 3.5.

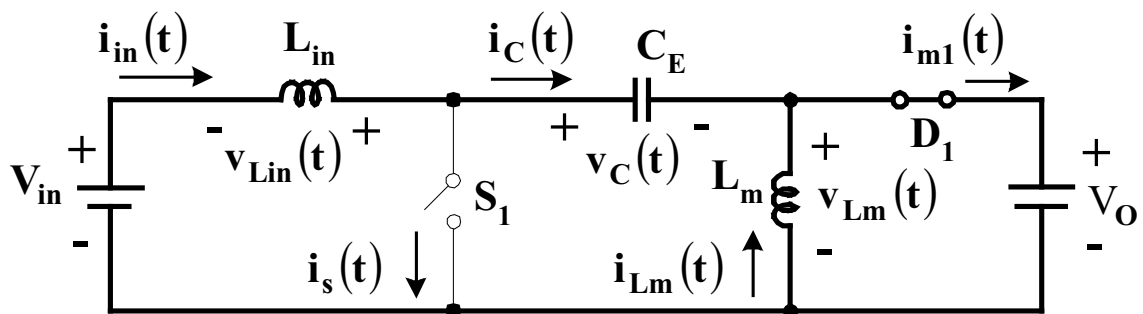


Figura 3.5 – Segunda etapa de funcionamento do conversor SEPIC₁.

No instante $t=t_2$ o interruptor S_1 é novamente comandado para a condução, forçando o bloqueio do diodo D_1 e reiniciando o ciclo de operação através da primeira etapa de funcionamento.

O modo de condução contínua é caracterizado pela habilitação do interruptor S_1 antes que a corrente através do diodo D_1 seja anulada.

As formas de onda das tensões e correntes correspondentes às duas etapas de funcionamento são apresentadas através das Figuras 3.6 e 3.7.

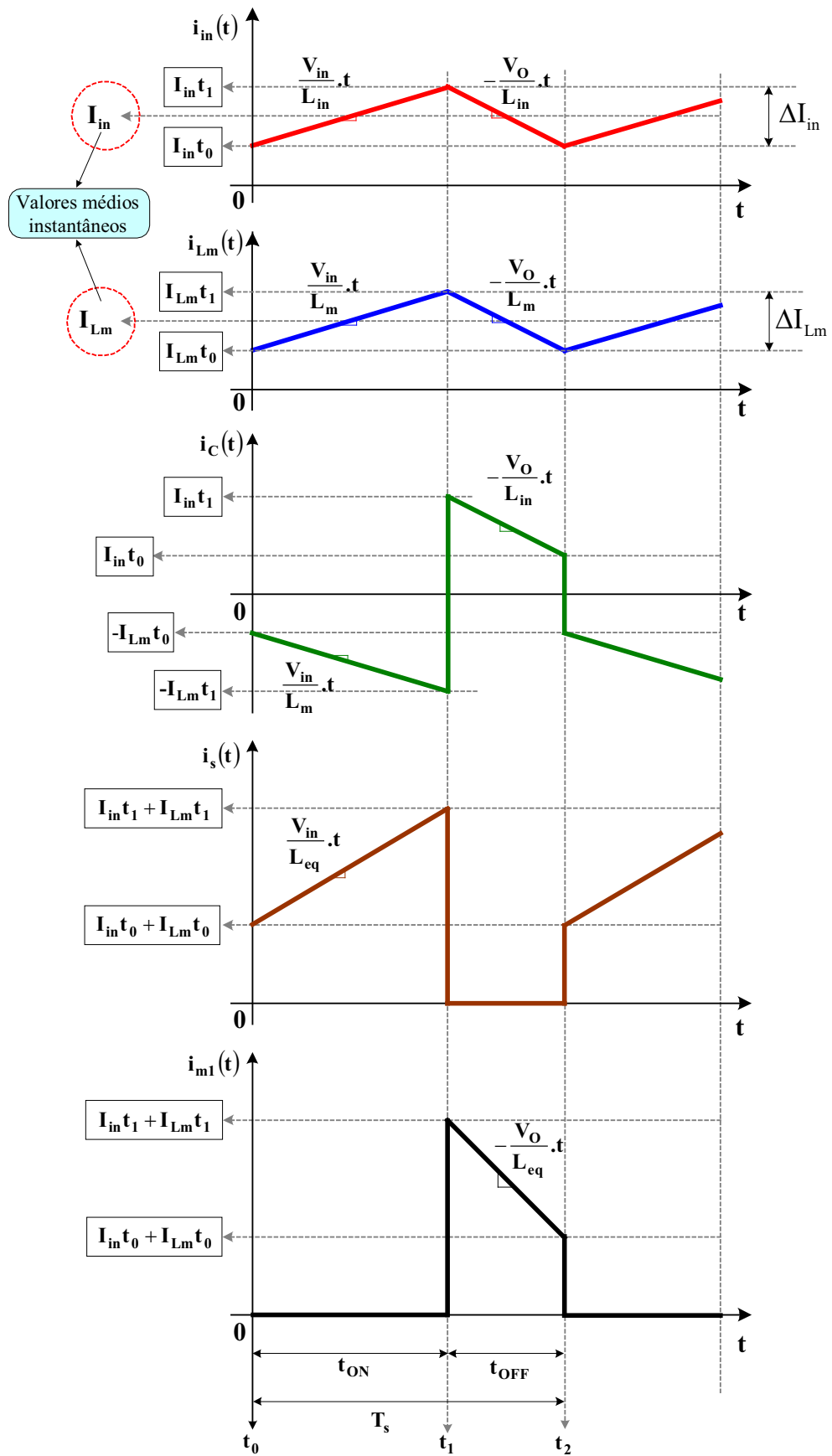


Figura 3.6 – Principais Formas de onda das correntes através do Conversor SEPIC₁.

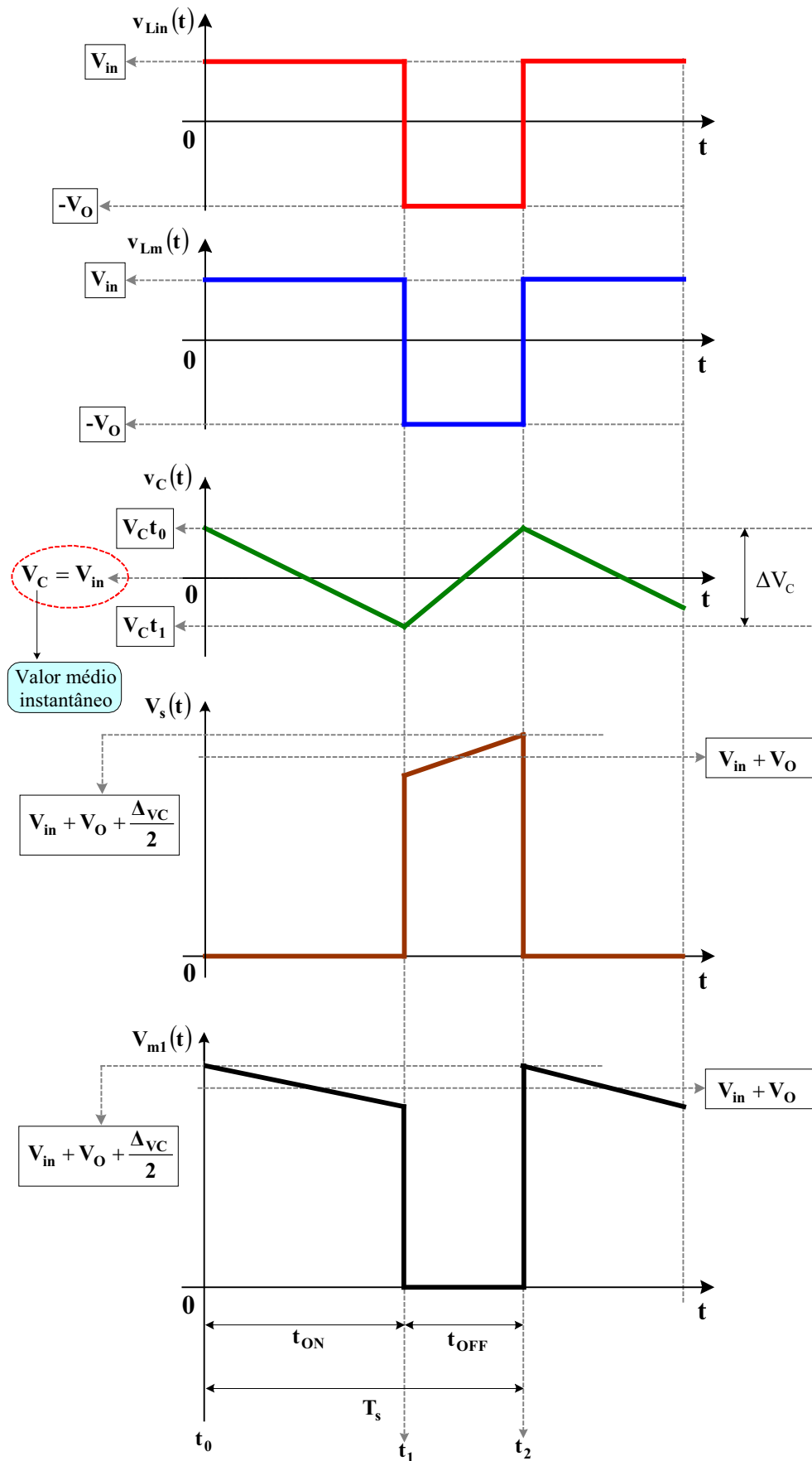


Figura 3.7 – Principais Formas de onda das tensões no Conversor SEPIC₁.

Onde:

V_{in} : Valor médio instantâneo de $v_{in}(t)$;

V_O : Valor médio instantâneo $v_O(t)$ (igual ao valor médio no período de rede);

I_{in} : Valor médio instantâneo de $i_{in}(t)$;

I_{int_0} : Valor inicial de $i_{in}(t)$ (em $t=t_0$);

I_{int_1} : Valor máximo de $i_{in}(t)$ (em $t=t_1$);

ΔI_{in} : Ondulação (*ripple*) de $i_{in}(t)$;

I_{Lm} : Valor médio instantâneo de $i_{Lm}(t)$;

I_{Lmt_0} : Valor inicial de $i_{Lm}(t)$ (em $t=t_0$);

I_{Lmt_1} : Valor máximo de $i_{Lm}(t)$ (em $t=t_1$);

ΔI_{Lm} : Ondulação (*ripple*) de $i_{Lm}(t)$;

V_C : Valor médio instantâneo $v_C(t)$ (igual a V_{in});

V_{Ct_0} : Valor inicial e máximo de $v_C(t)$ (em $t=t_0$);

V_{Ct_1} : Valor de $v_C(t)$ em $t=t_1$;

ΔV_C : Ondulação (*ripple*) de $v_C(t)$.

3.4.1.3 – Influência do Capacitor de Acumulação C_E no funcionamento do SEPIC₁

De acordo com as formas de onda destacadas na Figura 3.7, a tensão sobre o capacitor C_E oscila em torno do seu valor médio instantâneo (V_{in}). A amplitude desta ondulação (ΔV_C) cresce à medida que o valor da capacitância C_E diminui e reduz à medida que o valor da capacitância C_E aumenta. Se a redução de C_E resultar em uma frequência de ressonância (f_c) entre L_m e C_E e/ou entre L_{in} e C_E , com um valor próximo ao da frequência de comutação (f_s), as derivadas de subida da corrente $i_{Lm}(t)$ e/ou de descida da corrente $i_{in}(t)$ deixarão de ter um comportamento quase linear, podendo dificultar o controle destas correntes.

Além disso, tem-se um aumento de esforços de tensão sobre o interruptor principal S_1 e o diodo de saída D_1 . Em contrapartida, se o valor de C_E for aumentado o bastante até que a frequência de ressonância (f_c) entre L_m e C_E e/ou entre L_{in} e C_E se aproxime do valor da frequência da rede (f_r), poderão surgir oscilações de baixa frequência nas correntes $i_{Lm}(t)$ e $i_{in}(t)$ e a injeção de harmônicas na rede.

Uma solução prática adotada neste projeto foi o ajuste dos valores destes elementos de maneira a resultar uma frequência de ressonância localizada entre uma década abaixo da frequência mínima de comutação (f_{smin}) e uma década acima da frequência da rede de alimentação (f_r). Assim, conforme a Figura 3.5, pode-se desprezar a influência da ondulação

da tensão (ΔV_C) na derivada de subida da corrente $i_{Lm}(t)$ (intervalo t_{ON}) e na derivada de descida da corrente $i_{in}(t)$ (intervalo t_{OFF}), facilitando a análise e projeto sem comprometer a precisão. Observa-se que no cálculo dos esforços de tensão $[v_s(t)]$ e $[v_{m1}(t)]$, sobre o interruptor S_1 e o diodo D_1 , respectivamente, a ondulação da tensão (ΔV_C) é considerada, conforme é destacado na Figura 3.7.

3.4.2 – Análise Quantitativa

3.4.2.1 - Primeira etapa de funcionamento: $t_{ON}(t_0, t_1)$

Condições iniciais em $t=t_0$:

$$I_{in}(t_0) = I_{in}t_0$$

$$I_{Lm}(t_0) = I_{Lm}t_0$$

$$I_C(t_0) = I_{Lm}t_0$$

$$I_{m1}(t_0) = 0$$

$$I_s(t_0) = I_{in}t_0 + I_{Lm}t_0$$

$$V_{Lin}(t_0) = V_{in}$$

$$V_{Lm}(t_0) = V_{in}$$

$$V_C(t_0) = V_{in} + \frac{1}{2} \cdot \Delta V_C$$

$$V_{m1}(t_0) = V_{in} + V_O + \frac{1}{2} \cdot \Delta V_C$$

$$V_s(t_0) = 0$$

Condições finais em $t=t_1$:

$$I_{in}(t_1) = I_{in}t_1$$

$$I_{Lm}(t_1) = I_{Lm}t_1$$

$$I_C(t_1) = I_{Lm}t_1$$

$$I_{m1}(t_1) = 0$$

$$I_s(t_1) = I_{in}t_1 + I_{Lm}t_1$$

$$V_{Lin}(t_1) = V_{in}$$

$$V_{Lm}(t_1) = V_{in}$$

$$V_C(t_1) = V_{in} - \frac{1}{2} \cdot \Delta V_C$$

$$V_{m1}(t_1) = V_{in} + V_O - \frac{1}{2} \cdot \Delta V_C$$

$$V_s(t_1) = 0$$

Analisando o circuito apresentado na Figura 3.4, e considerando as condições iniciais relacionadas anteriormente, são obtidas as seguintes equações:

$$V_{in} - v_{Lin}(t) = 0 \quad (3.25)$$

$$v_C(t) + v_{Lm}(t) = 0 \quad (3.26)$$

$$v_{Lin}(t) = L_{in} \cdot \frac{d[i_{in}(t)]}{dt} \quad (3.27)$$

$$v_{Lm}(t) = L_m \cdot \frac{d[i_{Lm}(t)]}{dt} \quad (3.28)$$

$$i_C(t) = -C_E \cdot \frac{d[v_C(t)]}{dt} \quad (3.29)$$

$$i_C(t) = i_{Lm}(t) \quad (3.30)$$

$$i_s(t) = i_{in}(t) + i_{Lm}(t) \quad (3.31)$$

– A equação da corrente através do indutor de entrada (L_{in}):

Substituindo (3.25) em (3.27) e aplicando a transformada de Laplace, obtém-se (3.32):

$$\frac{V_{in}}{s} - L_{in} [s \cdot I_{in}(s) - I_{in}(t_0)] = 0 \quad (3.32)$$

Aplicando a transformada inversa de Laplace em (3.32), resulta na equação (3.33) para o cálculo de $i_{in}(t)$.

$$i_{in}(t) = I_{in} t_0 + \frac{V_{in}}{L_{in}} \cdot t \quad (3.33)$$

– A equação da corrente através do indutor de saída (L_m):

Substituindo (3.29) em (3.30).

$$i_{Lm}(t) = -C_E \cdot \frac{d[v_C(t)]}{dt} \quad (3.34)$$

Substituindo (3.34) em (3.26), e posteriormente a equação resultante em (3.28), obtém-se (3.35).

$$i_{Lm}(t) = -L_m \cdot C_E \cdot \frac{d^2[i_{Lm}(t)]}{dt^2} \quad (3.35)$$

Aplicando a transformada de Laplace em (3.35).

$$i_{Lm}(s) = -L_m \cdot C_E \cdot \left\{ i_{Lm}(s) \cdot s^2 - i_{Lm}(t_0) \cdot s - \frac{d[i_{Lm}(t_0)]}{dt} \right\} \quad (3.36)$$

Manipulando devidamente a equação (3.36) e aplicando a transformada inversa de Laplace obtém-se $i_{Lm}(t)$.

$$i_{Lm}(t) = \frac{V_C t_0}{Z_1} \cdot \text{sen}(\omega_1 \cdot t) + I_{Lm} t_0 \cdot \text{cos}(\omega_1 \cdot t) \quad (3.37)$$

Onde, $V_C t_0$ e $I_{Lm} t_0$ são condições iniciais. A impedância característica Z_1 e a frequência angular ω_1 são dadas por (3.38) e (3.39), respectivamente.

$$Z_1 = \sqrt{\frac{L_m}{C_E}} \quad (3.38)$$

$$\omega_1 = 2 \cdot \pi \cdot f_{c1} = \frac{1}{\sqrt{L_m \cdot C_E}} \quad (3.39)$$

Onde, f_{c1} é a frequência de ressonância entre L_m e C_E .

– A equação da tensão sobre o capacitor de acumulação (C_E):

Substituindo (3.37) em (3.28) e manipulando devidamente a equação e posteriormente levando em (3.26), obtém-se $v_C(t)$ pela seguinte equação.

$$v_C(t) = V_C t_0 \cdot \cos(\omega_1 \cdot t) - I_{Lm} t_0 \cdot Z_1 \cdot \text{sen}(\omega_1 \cdot t) \quad (3.40)$$

– Simplificando as equações para o cálculo de $i_{Lm}(t)$ e $v_C(t)$:

Conforme discutido anteriormente o efeito da ondulação ΔV_C (tensão sobre o capacitor C_E) é desprezado no cálculo da corrente através do indutor L_m , durante esta etapa. Assim, considera-se que a tensão sobre o indutor L_m é constante e igual a V_{in} (valor médio de $v_{in}(t)$ durante o período de comutação). Portanto, aplicando a transformada de Laplace na equação (3.28), resulta em:

$$\frac{V_{in}}{s} - L_m [s \cdot I_{Lm}(s) - I_{Lm}(t_0)] = 0 \quad (3.41)$$

Aplicando a transformada inversa de Laplace em (3.41), resulta na equação (3.42) simplificada para o cálculo de $i_{Lm}(t)$, conforme destacado através da Figura 3.6.

$$i_{Lm}(t) = I_{Lm} t_0 + \frac{V_{in}}{L_m} \cdot t \quad (3.42)$$

Através de equação (3.30), substitui-se (3.42) em (3.29) e obtém-se $v_C(t)$. Em seguida, aplicando-se a transformada de Laplace, resulta em:

$$v_C(s) = -\frac{2 \cdot V_{in}}{2 \cdot s^3 \cdot L_m \cdot C_E} - \frac{I_{Lm} t_0}{C_E \cdot s^2} + \frac{V_C t_0}{s} \quad (3.43)$$

Aplicando a transformada inversa de Laplace na (3.43), obtém-se a equação simplificada para o cálculo de $v_C(t)$.

$$v_C(t) = V_C t_0 - \frac{I_{Lm} t_0}{C_E} \cdot t - \frac{V_{in}}{2 \cdot L_m \cdot C_E} \cdot t^2 \quad (3.44)$$

3.4.2.2 - Segunda etapa de funcionamento: $t_{OFF}(t_1, t_2)$

Condições iniciais em $t=t_1$:

$$I_{in}(t_1) = I_{in} t_1$$

$$I_{Lm}(t_1) = I_{Lm} t_1$$

$$I_C(t_1) = I_{Lm} t_1$$

$$I_{m1}(t_1) = I_{in} t_1 + I_{Lm} t_1$$

$$I_s(t_1) = 0$$

Condições finais em $t=t_2$:

$$I_{in}(t_2) = I_{in} t_0$$

$$I_{Lm}(t_2) = I_{Lm} t_0$$

$$I_C(t_2) = I_{Lm} t_0$$

$$I_{m1}(t_2) = I_{in} t_0 + I_{Lm} t_0$$

$$I_s(t_2) = 0$$

$$\begin{array}{ll}
V_{L_{in}}(t_1) = V_O & V_{L_{in}}(t_2) = V_O \\
V_{L_m}(t_1) = V_O & V_{L_m}(t_2) = V_O \\
V_C(t_1) = V_{in} - \frac{1}{2} \Delta V_C & V_C(t_2) = V_{in} + \frac{1}{2} \Delta V_C \\
V_{m1}(t_1) = 0 & V_{m1}(t_2) = 0 \\
V_s(t_1) = V_{in} + V_O - \frac{1}{2} \Delta V_C & V_s(t_2) = V_{in} + V_O + \frac{1}{2} \Delta V_C
\end{array}$$

Através do circuito apresentado na Figura 3.6, e considerando as condições iniciais relacionadas anteriormente, são obtidas as equações iniciais referentes à segunda etapa de funcionamento.

$$V_{in} + v_{L_{in}}(t) - v_C(t) - V_O = 0 \quad (3.45)$$

$$-V_O + v_{L_m}(t) = 0 \quad (3.46)$$

$$v_{L_{in}}(t) = -L_{in} \cdot \frac{d[i_{in}(t)]}{dt} \quad (3.47)$$

$$v_{L_m}(t) = -L_m \cdot \frac{d[i_{L_m}(t)]}{dt} \quad (3.48)$$

$$i_C(t) = C_E \cdot \frac{d[v_C(t)]}{dt} \quad (3.49)$$

$$i_C(t) = i_{in}(t) \quad (3.50)$$

$$i_{m1}(t) = i_{in}(t) + i_{L_m}(t) \quad (3.51)$$

– A equação da corrente através do indutor de saída (L_m):

Substituindo a equação (3.48) em (3.46) e aplicando a transformada de Laplace, obtém-se (3.52):

$$-\frac{V_O}{s} - L_m [s \cdot I_{L_m}(s) - I_{L_m}(t_1)] = 0 \quad (3.52)$$

Aplicando a transformada inversa de Laplace em (3.52), resulta na equação (3.53) para o cálculo de $i_{L_m}(t)$.

$$i_{L_m}(t) = I_{L_m} t_1 - \frac{V_O}{L_m} \cdot t \quad (3.53)$$

– A equação da tensão sobre o capacitor de acumulação (C_E):

Substituindo (3.50) em (3.47).

$$v_{L_{in}}(t) = -L_{in} \cdot \frac{d[i_C(t)]}{dt} \quad (3.54)$$

Substituindo (3.45) e (3.49) em (3.54) e aplicando a transformada de Laplace, obtém-se:

$$V_C(s) + \frac{(V_O - V_{in})}{s} = -L_{in} \cdot C_E \cdot \left\{ V_C(s) \cdot s^2 - V_C(t_1) \cdot s - \frac{d[V_C(t_1)]}{dt} \right\} \quad (3.55)$$

Fazendo as manipulações necessárias, resulta em:

$$V_C(s) = [V_C(t_1) + V_O - V_{in}] \cdot \frac{s}{s^2 + \omega_2^2} + \frac{I_{in}(t_1)}{C_E \cdot \omega_2} \cdot \frac{\omega_2}{s^2 + \omega_2^2} + \frac{(V_{in} - V_O)}{s} \quad (3.56)$$

Aplicando a transformada inversa de Laplace em (3.56).

$$v_C(t) = (V_C t_1 + V_O - V_{in}) \cdot \cos(\omega_2 \cdot t) + I_{in} t_1 \cdot Z_2 \cdot \text{sen}(\omega_1 \cdot t) + (V_{in} - V_O) \quad (3.57)$$

Na equação (3.57), $V_C t_1$ e $I_{in} t_1$ são condições iniciais. A impedância característica Z_2 e a frequência angular ω_2 são dadas pelas equações (3.58) e (3.59).

$$Z_2 = \sqrt{\frac{L_{in}}{C_E}} \quad (3.58)$$

$$\omega_2 = 2 \cdot \pi \cdot f_{c2} = \frac{1}{\sqrt{L_{in} \cdot C_E}} \quad (3.59)$$

Onde, f_{c2} é a frequência de ressonância entre L_{in} e C_E .

– *A equação da corrente através do indutor de entrada (L_{in}):*

Substituindo (3.49) e desenvolvendo a equação, a corrente $i_C(t)$ é obtida. Finalmente, através da igualdade dada por (3.50), obtém-se $i_{in}(t)$ pela seguinte equação.

$$i_{in}(t) = I_{in} t_1 \cdot \cos(\omega_2 \cdot t) - \frac{(V_C t_1 + V_O - V_{in})}{Z_2} \cdot \text{sen}(\omega_2 \cdot t) \quad (3.60)$$

– *Simplificando as equações para o cálculo de $i_{Lm}(t)$ e $v_C(t)$:*

Analogamente à primeira etapa, o efeito da ondulação ΔV_C (tensão sobre o capacitor C_E) não é considerado no cálculo da corrente através do indutor L_{in} . Deste modo, a tensão sobre o indutor L_{in} se mantém constante e igual à V_O durante o período de comutação. Portanto, aplicando a transformada de Laplace na equação (3.47), resulta em:

$$\frac{V_O}{s} = -L_{in} [s \cdot I_{L_{in}}(s) - I_{L_{in}}(t_1)] = 0 \quad (3.61)$$

Fazendo a transformada inversa de Laplace em (3.61), resulta na equação (3.62) simplificada para o cálculo de $i_{in}(t)$, conforme destacado através da Figura 3.6.

$$i_{in}(t) = I_{in} t_1 + \frac{V_O}{L_{in}} \cdot t \quad (3.62)$$

Através de equação (3.50), substitui-se (3.62) em (3.49) e obtém-se $v_C(t)$. Em seguida, aplicando-se a transformada de Laplace:

$$v_C(s) = -\frac{2.V_O}{2.s^3.L_{in}.C_E} + \frac{I_{in}t_1}{C_E.s^2} + \frac{V_C t_1}{s} \quad (3.63)$$

Aplicando a transformada inversa de Laplace na (3.63), obtém-se a equação simplificada para o cálculo de $v_C(t)$.

$$v_C(t) = V_C t_1 + \frac{I_{in}t_1}{C_E}.t - \frac{V_O}{2.L_{in}.C_E}.t^2 \quad (3.64)$$

A escolha dos valores das indutâncias de entrada (L_{in}) e de saída (L_m) e da capacitância de acumulação (C_E) depende da ondulação (*ripple*) máxima e/ou mínima exigida para as correntes $i_{in}(t)$ e $i_{Lm}(t)$ e tensão $v_C(t)$.

Ao final da primeira etapa em $t=t_1$, calcula-se a ondulação das correntes $i_{in}(t)$ e $i_{Lm}(t)$, e da tensão $v_C(t)$, conforme a seguir:

$$\text{Onde:} \quad t_{ON} = t_1 - t_0 \quad (3.65)$$

Assim, através das figuras 3.6 e 3.7 e com as equações (3.33), (3.42) e (3.44), obtém-se respectivamente as ondulações ΔI_{in} , ΔI_{Lm} e ΔV_C , e os valores de pico $I_{in}t_1$, $I_{Lm}t_1$ e $V_C t_0$, a seguir.

$$\Delta I_{in} = I_{in}t_1 - I_{in}t_0 = \frac{V_{in}}{L_{in}}.t_{ON} \quad (3.66)$$

$$\Delta I_{Lm} = I_{Lm}t_1 - I_{Lm}t_0 = \frac{V_{in}}{L_m}.t_{ON} \quad (3.67)$$

$$\Delta V_C = V_C t_0 - V_C t_1 = \frac{I_{Lm}t_0}{C_E}.t_{ON} + \frac{V_{in}}{2.L_m.C_E}.t_{ON}^2 \quad (3.68)$$

$$I_{in}t_1 = I_{in}t_0 + \frac{V_{in}}{L_{in}}.t_{ON} \quad (3.69)$$

$$I_{Lm}t_1 = I_{Lm}t_0 + \frac{V_{in}}{L_m}.t_{ON} \quad (3.70)$$

$$V_C t_0 = V_{in} + \frac{\Delta V_C}{2} \quad (3.71)$$

As indutâncias de entrada e saída (L_{in} e L_m) e a capacitância de acumulação (C_E) podem ser determinadas manipulando (3.66), (3.67) e (3.68).

$$L_{in} = \frac{V_{in}}{\Delta I_{in}}.t_{ON} \quad (3.72)$$

$$L_m = \frac{V_{in}}{\Delta I_{Lm}} \cdot t_{ON} \quad (3.73)$$

$$C_E = \frac{1}{\Delta V_C} \left(I_{Lm} t_0 \cdot t_{ON} + \frac{V_{in}}{2 \cdot L_m} \cdot t_{ON}^2 \right) \quad (3.74)$$

Observa-se que as ondulações (ΔI_{in} , ΔI_{Lm} e ΔV_C), valores de pico ($I_{in}t_1$, $I_{Lm}t_1$ e V_{Ct_0}) e os valores de L_{in} , L_m e C_E podem também ser calculados através de (3.53), (3.62) e (3.64), referentes à segunda etapa.

O valor de C_E é definido de maneira que qualquer troca de energia entre “ C_E e L_{in} ”, ou “ C_E e L_m ”, ou “ C_E e L_{eqS} ”, ou “ C_E e L_{eqP} ” ocorra em uma frequência de ressonância (f_c) que atenda a seguinte restrição:

$$10 \cdot f_r \leq f_c \leq \frac{f_{smín}}{10} \quad (3.75)$$

Sendo que:

$$L_{eqS} = L_{in} + L_m \quad (3.76)$$

$$L_{eqP} = \frac{L_{in} \cdot L_m}{L_{in} + L_m} \quad (3.77)$$

Onde:

L_{eqS} : Indutância equivalente série entre L_{in} e L_m ;

L_{eqP} : Indutância equivalente paralelo entre L_{in} e L_m ;

f_c : Frequência de ressonância entre C_E e L_{eqS} , e entre C_E e L_{eqP} ;

f_r : Frequência da rede de alimentação;

$f_{smín}$: Frequência mínima de operação do SEPIC₁.

Desenvolvendo (3.75) resulta em:

$$\frac{25}{\pi^2 \cdot f_{smín}^2 \cdot L_{eqP}} \leq C_E \leq \frac{1}{400 \cdot \pi^2 \cdot f_r^2 \cdot L_{eqS}} \quad (3.78)$$

O objetivo da análise desenvolvida anteriormente é viabilizar uma metodologia de projeto para o conversor SEPIC₁. Para isto, é necessário definir um período de funcionamento (a partir de um instante inicial t_0) para que todos os elementos do circuito sejam projetados. Entretanto, uma vez que a tensão de entrada $\{v_{in}(t)\}$ varia de forma senoidal (de 0 até 180 V), as ondulações (ΔI_{in} , ΔI_{Lm} e ΔV_C) e a frequência de comutação (f_s) também variam. Portanto, a escolha do instante inicial t_0 de operação requer um estudo preliminar da modulação por histerese empregada no controle do conversor SEPIC₁, realizado a seguir.

3.5 – Considerações Gerais sobre a Modulação por Histerese

Uma modulação por histerese totalmente digital é caracterizada por usar somente as amostras das variáveis controladas para determinar os estados ON (em condução) e OFF (bloqueado) do interruptor controlado. Esta técnica tem sido bastante aplicada na sua forma padrão, ou seja, o interruptor é imediatamente comandado para a condução sempre que a corrente controlada atingir o limite inferior da banda de histerese, e é comandado para o bloqueio sempre que corrente controlada atingir o limite superior da banda histerese. No entanto, devido ao processo de aquisição, através dos conversores A/D (*Analogical Digital Converter*), a corrente digitalizada não comuta exatamente nos limites inferior e superior da banda de histerese (B_H), tendo em vista que a decisão de comandar o interruptor ao bloqueio ou à condução acontece somente após a aquisição do dado, fato que não ocorre na modulação por histerese analógica, conforme ilustração mostrada na Figura 3.8.

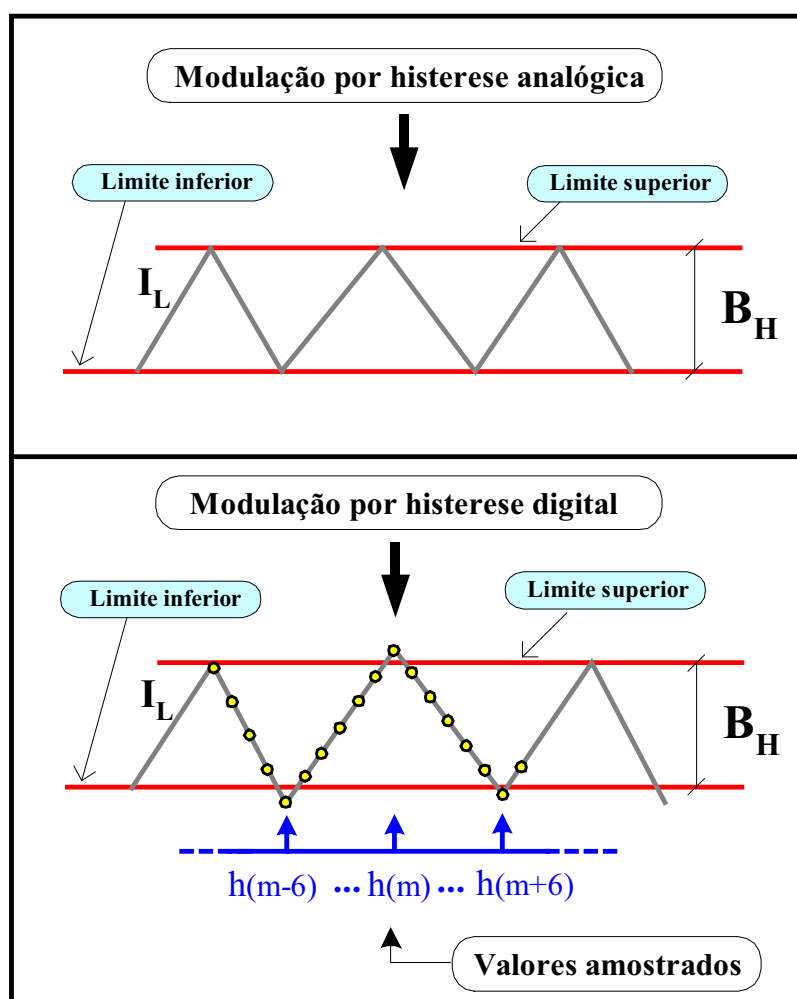


Figura 3.8 – Modulação por histerese analógica e digital, na sua forma convencional.

Assim, além da variação natural da frequência (comportamento intrínseco da modulação por histerese), ocorrem variações adicionais e aleatórias da frequência em função do processo de aquisição.

Devido a estes inconvenientes, as técnicas de modulação PWM têm sido comumente mais utilizadas em implementações com controle digital, mesmo oferecendo uma resposta dinâmica mais lenta devido aos atrasos intrínsecos da modulação e da resposta do regulador de corrente.

Portanto, fazendo uma síntese do que foi comentado anteriormente, os dois maiores problemas que podem afetar o bom desempenho da modulação por histerese totalmente digital são:

1) Variações adicionais da frequência de comutação em função do processo de aquisição. As variações adicionais de frequência podem ser minimizadas empregando-se soluções tecnológicas ou de controle.

As soluções tecnológicas implicam no uso de conversores A/D de capacidade elevada de processamento, com frequência elevada de aquisição, provavelmente acima de 1,0 MHz. Em um sistema de aquisição serial, por exemplo, isto implicaria em sinais de comando para transferência de bits para o FPGA, trafegando em uma frequência acima de 10MHz, requerendo cuidados adicionais no circuito de condicionamento. Uma outra saída seria implementar um sistema de aquisição paralela, onde todos os bits são transferidos para o FPGA em um único pulso de clock. Entretanto, isto aumentaria a quantidade de conexões entre os sistemas de aquisição (A/D) e os barramentos de entrada do FPGA, limitando a possibilidade de aquisição de outros sinais e/ou leitura de sensores.

As soluções de controle [45] são algoritmos que não requerem uma frequência de aquisição muito elevada e conseguem através da análise das derivadas de subida e descida da corrente controlada estimar com uma certa precisão o instante em que a corrente irá atingir os limites inferior ou superior da banda de histerese (B_H).

Assim, a decisão de comandar o interruptor para a condução ou bloqueio não depende exclusivamente do dado amostrado, mas sim da tendência de crescimento ou decréscimo da corrente.

2) Variação natural da frequência de comutação, intrínseca da modulação por histerese. Neste caso, também existem algoritmos bastante simples que possibilitam escolher a frequência de comutação e ainda mantê-la constante [46]. Detalhes desta técnica são apresentados na Figura 3.9 e comentados na seqüência.

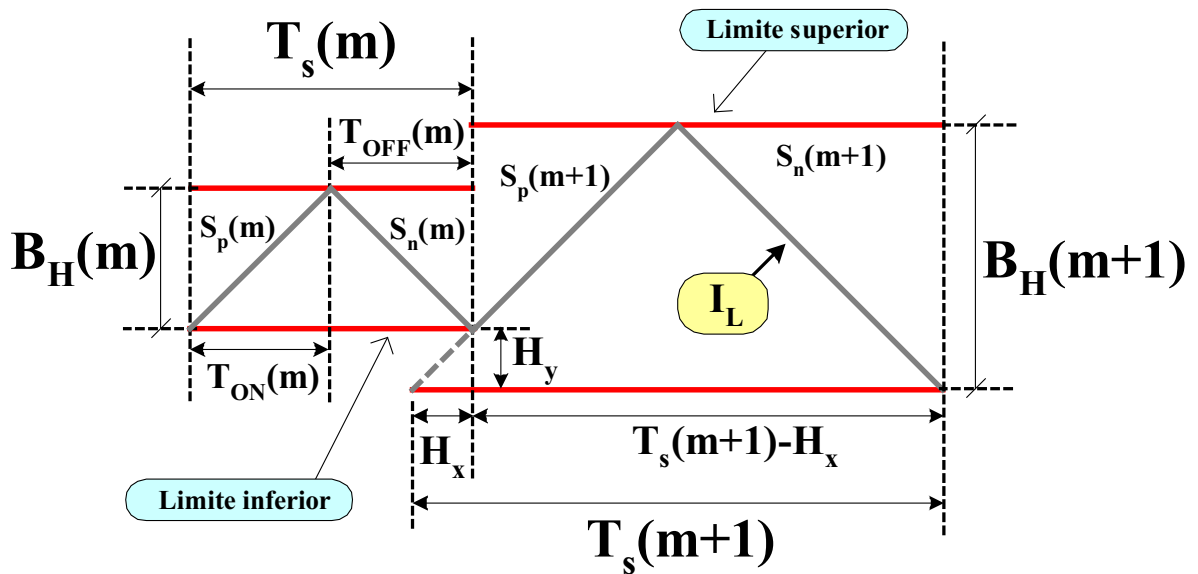


Figura 3.9 – Modulação por histerese digital, com a estabilização da frequência.

Na Figura 3.9, são observados dois períodos de comutação subseqüentes e distintos $\{T_s(m)$ e $T_s(m+1)\}$ de uma corrente I_L sendo modulada por histerese. Ao final do período $T_s(m)$, o controle constata que o período atual $T_s(m)$ é menor do que o período desejado $T_s(m+1)$. Neste mesmo instante, é calculada uma nova largura de banda de histerese $B_H(m+1)$ que resultará um período igual à $T_s(m+1)$.

Onde:

$T_s(m)$: Período de comutação atual;

$B_H(m)$: Banda de histerese (período atual);

$T_{ON}(m)$: Intervalo de tempo de condução do interruptor (período atual);

$T_{OFF}(m)$: Intervalo de tempo de bloqueio do interruptor (período atual);

$S_p(m)$: Derivada de subida da corrente I_L (período atual);

$S_n(m)$: Derivada de descida da corrente I_L (período atual);

$T_s(m+1)$: Período de comutação posterior;

$B_H(m+1)$: Banda de histerese (período posterior);

H_x : Variável de correção para $B_H(m+1)$;

H_y : Metade da diferença entre $B_H(m)$ e $B_H(m+1)$;

$S_p(m+1)$: Derivada de subida da corrente I_L (período posterior);

$S_n(m+1)$: Derivada de descida da corrente I_L (período posterior);

I_L : Corrente modulada por histerese.

Para fins de simplificação e sem comprometer o desempenho desta técnica, os autores [46] consideram que o sistema está em estado de equilíbrio (A tensão média no indutor é

nula), durante cada período de comutação. Além disso, as derivadas de subida e descida da corrente I_L permanecem iguais nos períodos $T_s(m)$ e $T_s(m+1)$. Portanto, $S_p(m) = S_p(m+1)$ e $S_n(m) = S_n(m+1)$. Analisando a Figura 3.9, obtém-se as seguintes equações:

$$S_p(m) = \frac{B_H(m)}{T_{ON}(m)} \quad (3.79)$$

$$S_n(m) = \frac{B_H(m)}{T_{OFF}(m)} \quad (3.80)$$

$$H_y = \frac{B_H(m+1) - B_H(m)}{2} \quad (3.81)$$

$$H_x = \frac{H_y}{S_p(m)} \quad (3.82)$$

Relacionando os triângulos mostrados na Figura 3.9, e manipulando as equações (3.79), (3.80), (3.81) e (3.82), resulta na equação (3.83) que calcula o valor da banda de histerese $B_H(m+1)$ a ser imposta no próximo período de comutação $T_s(m+1)$ desejado. A variável H_x serve para a correção de $B_H(m+1)$, garantindo que o próximo período de comutação resultante seja igual à $T_s(m+1)$.

$$B_H(m+1) = \frac{B_H(m)}{T_s(m)} \cdot \{T_s(m+1) + H_x\} \quad (3.83)$$

É importante salientar que as duas técnicas [45 e 46] mencionadas aqui são adaptativas, onde as ações são definidas no período de comutação atual $T_s(m)$, mas a execução destas ações só ocorre no período posterior $T_s(m+1)$. Para que a técnica de estabilização da frequência (Figura 3.9) tenha um desempenho satisfatório, é necessário que o problema da variação adicional da frequência, causado pelo processo de aquisição, seja resolvido. Com isso, garante-se uma modulação PWM preservando o comportamento dinâmico da modulação por histerese. Com relação ao retificador híbrido, cabe esclarecer que estes algoritmos não foram implementados para o controle da corrente de entrada do conversor SEPIC₁. No entanto, propôs-se uma pequena alteração na modulação por histerese convencional que minimiza um pouco a variação da frequência de comutação em função do processo de aquisição, discutida a seguir.

3.6 – Análise Teórica da Modulação por Histerese Digital Proposta

Nesta proposta, o limite superior da banda de histerese é eliminado e o controle do *ripple* e da variação da frequência da corrente de entrada $i_{in}(t)$ é realizado impondo-se o

intervalo de condução (t_{ON}) de valor fixo. O intervalo de bloqueio (t_{OFF}) é variável e conseqüentemente a freqüência de comutação também é variável. Através da Figura 3.10, tem-se uma visão geral desta técnica de controle, evidenciando a modulação da corrente $i_{in}(t)$ sobre o sinal de referência (Limite inferior).

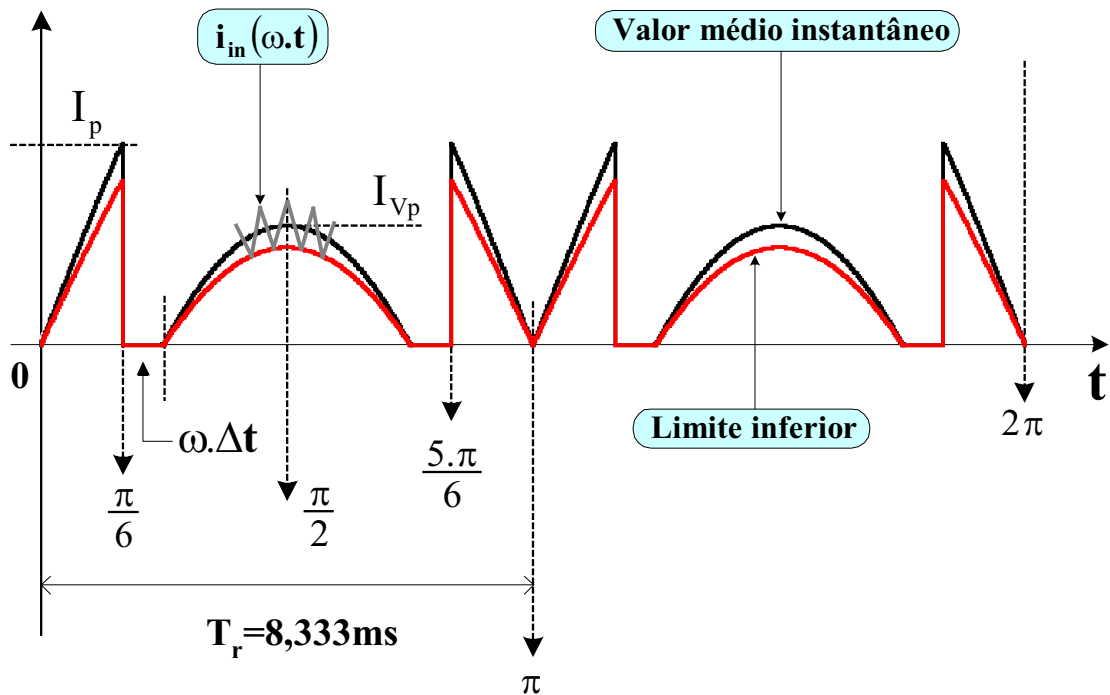


Figura 3.10 – Modulação por histerese com o intervalo t_{ON} fixo.

A seguir, serão apresentadas as análises de variação da freqüência de comutação e da ondulação da corrente de entrada $i_{in}(t)$ (Figura 3.10) do conversor SEPIC₁, considerando o sistema em estado de equilíbrio. Portanto, conforme ilustrada na Figura 3.11, considera-se que a corrente de referência (Limite inferior = $I_{in}t_0$) mantém o seu valor constante durante todo o período de comutação simplificando a análise.

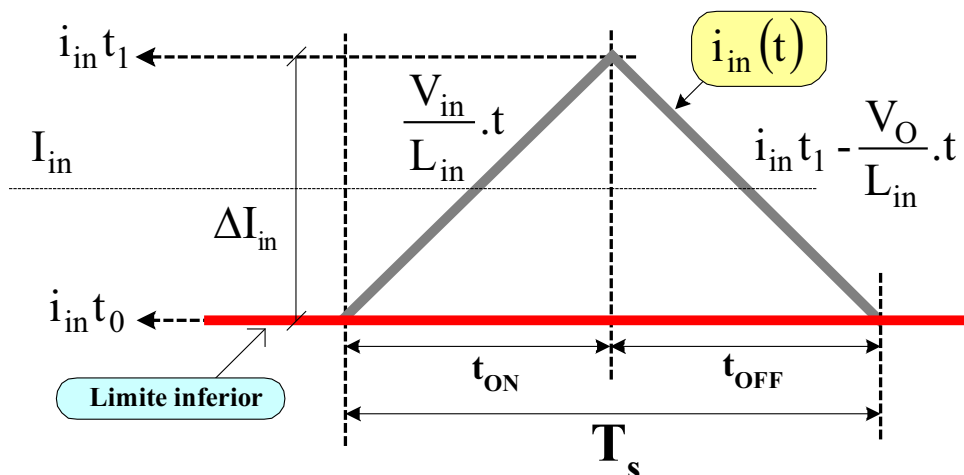


Figura 3.11 – Detalhe da modulação por histerese com o intervalo t_{ON} fixo.

Na Figura 3.11, a evolução de $i_{in}(t)$ no intervalo t_{ON} é definida por (3.33) e no intervalo t_{OFF} por (3.62), sendo reescritas a seguir.

$$\text{Intervalo } t_{ON}: \quad i_{in}(t) = I_{in} t_0 + \frac{V_{in}}{L_{in}} \cdot t \quad (3.84)$$

$$\text{Intervalo } t_{OFF}: \quad i_{in}(t) = I_{in} t_1 - \frac{V_O}{L_{in}} \cdot t \quad (3.85)$$

Através da equação (3.84), em $t=t_0$, $i_{in}(t_0) = I_{in} t_0$, e em $t=t_1$, $i_{in}(t_1) = I_{in} t_1$, calculada pela (3.86).

$$I_{in} t_1 = I_{in} t_0 + \frac{V_{in}}{L_{in}} \cdot t_{ON} \quad (3.86)$$

Em $t=t_2$, pela (3.85), calcula-se $i_{in}(t_2) = I_{in} t_0$, na seqüência.

$$I_{in} t_0 = I_{in} t_1 - \frac{V_O}{L_{in}} \cdot t_{OFF} \quad (3.87)$$

A freqüência de operação do SEPIC₁ é determinada pela (3.88).

$$f_s = \frac{1}{t_{ON} + t_{OFF}} \quad (3.88)$$

Substituindo (3.87) em (3.86), resulta em:

$$t_{OFF} = t_{ON} \cdot \frac{V_{in}}{V_O} \quad (3.89)$$

Substituindo (3.89) em (3.88), tem-se a equação (3.90), na seqüência:

$$f_s = \frac{1}{t_{ON} \left(1 + \frac{V_{in}}{V_O} \right)} \quad (3.90)$$

Na Figura 3.12, plotando a equação (3.90), são obtidos ábacos mostrando a variação da freqüência de comutação (f_s) em função da tensão senoidal de entrada retificada (V_{in}), variando de 0 a 180V, considerando-se alguns valores específicos de t_{ON} e uma tensão de saída (V_O) com o valor médio de 297V.

Analisando a Figura 3.12, verifica-se que a freqüência de comutação varia de forma não-linear e não acentuada, entretanto, a faixa de variação da freqüência varia linearmente em função de t_{ON} .

Dentre as quatro curvas analisadas na Figura 3.12, a faixa de variação máxima da freqüência de comutação é igual 23,6 kHz, correspondente ao intervalo $t_{ON}=16\mu s$.

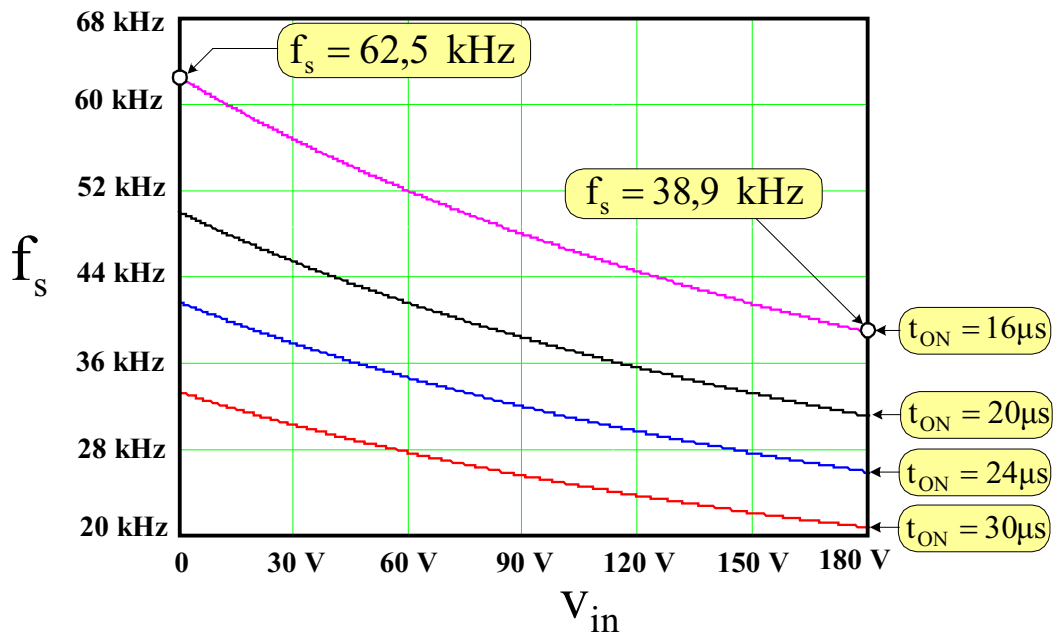


Figura 3.12 – Variação da frequência de comutação para valores específicos de t_{ON} .

Analogamente, considerando a equação (3.66), a ondulação da corrente de entrada do SEPIC₁ é verificada através da Figura 3.13, variando em função da tensão senoidal de entrada retificada (V_{in}), para valores específicos de t_{ON} e uma indutância de entrada (L_{in}) com o valor de 5,0 mH.

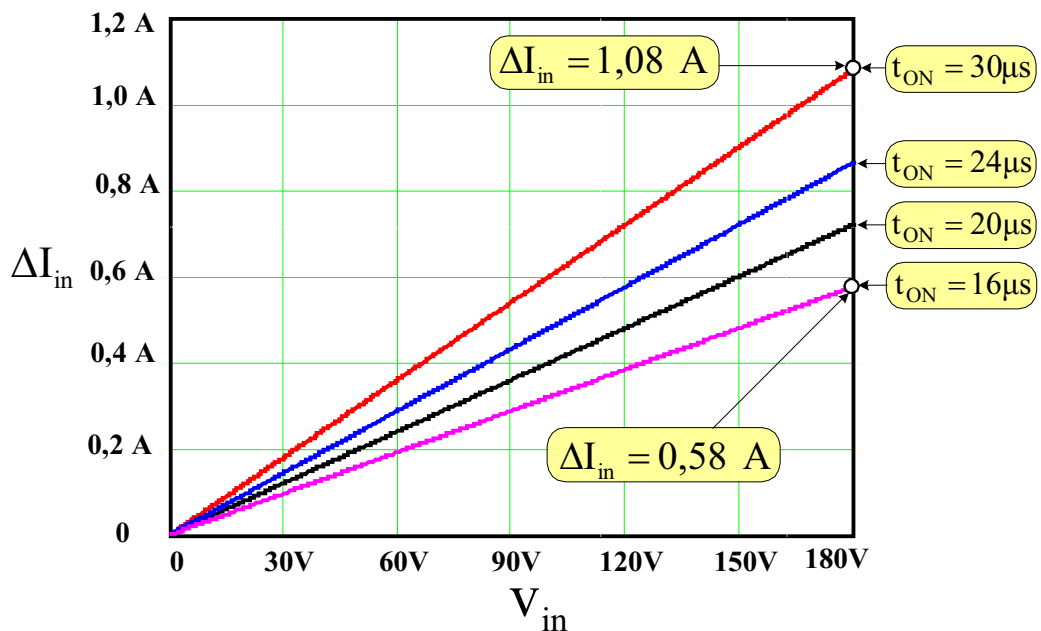


Figura 3.13 – Variação da ondulação da corrente de entrada para valores específicos de t_{ON} .

É observado, através da Figura 3.13, que a ondulação (ΔI_{in}) da corrente de entrada do SEPIC₁ varia linearmente tanto em função da variação de V_{in} quanto em função de t_{ON} .

3.7 – Balanço de Energia no SEPIC₁

Considerando o conversor operando em estado de equilíbrio, no intervalo “t_{on}” (primeira etapa de funcionamento) ocorre o armazenamento de energia nos indutores L_{in} e L_m, e no intervalo “t_{off}” (segunda etapa de funcionamento) essa energia é transferida para a carga. Desse modo, admitindo a inexistência de perdas no conversor durante o período de comutação, tem-se as seguintes relações [49]:

$$V_{in} \cdot (I_{in} + I_{Lm}) \cdot t_{ON} = V_O \cdot (I_{in} + I_{Lm}) \cdot t_{OFF} \quad (3.91)$$

$$I_C = -\frac{1}{T_s} \cdot \int_0^{t_{ON}} i_{Lm}(t) \cdot dt + \frac{1}{T_s} \cdot \int_0^{t_{OFF}} i_{in}(t) \cdot dt = 0 \quad (3.92)$$

Como o valor médio (I_C) da corrente i_C(t) é nulo, então define-se que:

$$I_{Lm} = I_{m1_Inst} \quad (3.93)$$

Onde:

I_{in}: Valor médio de i_{in}(t) durante o período de comutação;

I_{Lm}: Valor médio de i_{Lm}(t) durante o período de comutação.

I_{m1_Inst}: Valor médio instantâneo da corrente de saída do conversor SEPIC₁.

Da equação (3.91) relacionam-se às tensões de saída (V_O) e de entrada (V_{in}) pelo ganho estático {q_{Ts(m)}} no período T_s(m).

$$q_{Ts(m)} = \frac{t_{ON}}{t_{OFF}} = \frac{V_O}{V_{in}} = \frac{V_{ef} \cdot 3 \cdot \sqrt{6}}{V_{ef} \cdot \sqrt{2}} \cong 1,654 \quad (3.94)$$

Observa-se o ganho estático (q_{CA}) no período de rede é dado pela seguinte equação:

$$q_{CA} = \frac{V_O}{V_{ef}} = \frac{V_{ef} \cdot 3 \cdot \sqrt{6}}{V_{ef}} \cong 2,34 \quad (3.95)$$

Desenvolvendo (3.92) obtém-se a relação direta entre as correntes de entrada (I_{in}) e saída (I_{Lm}).

$$\frac{I_{in}}{I_{Lm}} = \frac{t_{ON}}{t_{OFF}} = \frac{V_O}{V_{in}} \cong 1,654 \quad (3.96)$$

A equação (3.96) refere-se ao conversor SEPIC operando de forma autônoma onde a corrente transferida para a carga interfere diretamente no valor da tensão de saída. Entretanto, o conversor SEPIC₁ analisado neste trabalho faz parte de um contexto onde a relação entre as tensões de entrada e saída é imposta através do retificador não controlado (Retif-1) e possui um valor fixo {conforme equações (3.94) e (3.95)}, independente da potência e das correntes

processadas. Portanto, a relação definida por (3.96) não pode ser aplicada ao conversor SEPIC₁, tendo em vista que o ganho estático analisado pela relação das correntes varia em função do parâmetro de controle “K”. No entanto, sabendo-se que o formato da corrente $i_{Lm}(\omega.t)$ é o mesmo da corrente de entrada $i_{in}(\omega.t)$ (no período de rede), diferenciando-se apenas na amplitude, e que o valor médio (I_{LmMD}) de $i_{Lm}(\omega.t)$ é igual ao valor médio da corrente de saída $\{I_{m1}$, calculado pela (3.18)}, também no período de rede, foi possível descrever o comportamento de $i_{Lm}(\omega.t)$ através da seguinte análise:

Sendo que:

$$I_{LmMD} = I_{m1} \quad (3.97)$$

Foi constatado que as relações matemáticas entre o valor médio de $i_{in}(\omega.t)$ pelo valor eficaz e valores de pico, resultam em constantes normalizadas para um valor específico de “K”, descritas a seguir:

O valor eficaz {(3.4)} pelo valor médio {(3.11)}:

$$I_{inef_Norm} = \frac{I_{inef}}{I_{inMd}} \quad (3.98)$$

O valor de pico {(3.2)}, quando $\omega.t=\pi/6$, pelo valor médio {(3.11)}:

$$I_{p_Norm} = \frac{I_p}{I_{inMd}} \quad (3.99)$$

O valor de $i_{in}(\omega.t)$ {(3.3)}, quando $\omega.t=\pi/2$, pelo valor médio {(3.11)}:

$$I_{Vp_Norm} = \frac{I_{Vp}}{I_{inMd}} \quad (3.100)$$

Verificou-se também, que existe uma relação constante entre o valor médio de $i_{in}(\omega.t)$ pelo valor médio de $i_{Lm}(\omega.t)$, para um valor específico de “K”, a seguir:

$$I_{LmMd_Norm} = \frac{I_{LmMd}}{I_{inMd}} \quad (3.101)$$

Onde:

I_{inef_Norm} : Valor normalizado de I_{a2ef} {equação (3.4)};

I_{p_Norm} : Valor normalizado de I_p {equação (3.2)};

I_{Vp_Norm} : Valor normalizado de I_{Vp} {equação (3.3)};

I_{inMD} : Valor médio de $i_{in}(\omega.t)$ no período de rede {equação (3.11)};

I_{LmMD} : Valor médio de $i_{Lm}(\omega.t)$ no período de rede;

$I_{LmMD\ Norm}$: Valor normalizado de I_{LmMD} .

Portanto, com (3.98), (3.99), (3.100) e (3.101) pode-se estabelecer que:

$$\frac{I_{Lmef}}{I_{LmMd}} = \frac{I_{inef}}{I_{inMd}} \quad (3.102)$$

$$\frac{I_{LmP}}{I_{LmMd}} = \frac{I_p}{I_{inMd}} \quad (3.103)$$

$$\frac{I_{LmVp}}{I_{LmMd}} = \frac{I_{Vp}}{I_{inMd}} \quad (3.104)$$

Na seqüência, substituindo (3.101) em (3.102), (3.103) e (3.104), obtêm-se as equações para o cálculo do valor eficaz (I_{Lmef}) e de pico $\{I_{LmP}$ e $I_{LmVp}\}$ da corrente $i_{Lm}(\omega.t)$ no período de rede, respectivamente, a seguir.

$$I_{Lmef} = I_{inef} \cdot I_{LmMd_Norm} \quad (3.105)$$

$$I_{LmP} = I_p \cdot I_{LmMd_Norm} \quad (3.106)$$

$$I_{LmVp} = I_{Vp} \cdot I_{LmMd_Norm} \quad (3.107)$$

Na seqüência, através da Figura 3.14, são apresentadas as formas de onda teóricas da tensão de entrada $v_{in}(\omega.t)$, corrente de entrada $i_{in}(\omega.t)$ e corrente de saída $i_{Lm}(\omega.t)$, no período de rede.

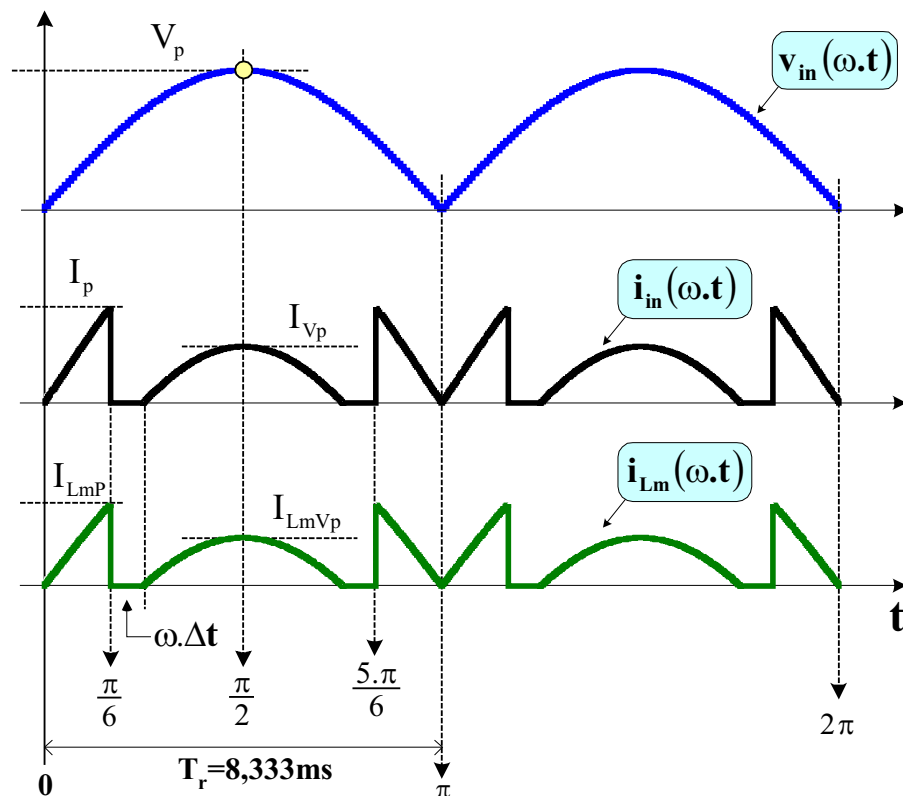


Figura 3.14 – Formas de onda da tensão e corrente de entrada e corrente de saída do SEPIC₁.

3.8 – Refinamento das Equações para o Projeto do SEPIC₁

Neste tópico, as equações obtidas para o conversor SEPIC₁ serão simplificadas, tanto para a análise do funcionamento em um período genérico de comutação quanto para o projeto do conversor operando na condição de esforço máximo.

3.8.1 – Conversor SEPIC₁ Operando em um Período Genérico de Comutação T_s, com o parâmetro K < 2:

As correntes $i_{in}(t)$ e $i_{Lm}(t)$, e a tensão $v_C(t)$ {relacionadas por (3.66), (3.67) e (3.68)} são respectivamente definidas em função dos valores percentuais $\Delta I_{in}\%$, $\Delta I_{Lm}\%$ e $\Delta V_C\%$ e dos valores médios instantâneos I_{in} , I_{Lm} e V_C , no período de comutação T_s, a seguir.

– *Análise da Corrente $i_{in}(t)$ e projeto do indutor L_{in} :*

1) Cálculo da ondulação (*ripple*):

$$\Delta I_{in} = I_{in} \cdot \frac{\Delta I_{in} \%}{100} \quad (3.108)$$

2) Determinando a indutância de entrada:

$$L_{in} = \frac{V_{in} \cdot 100}{\Delta I_{in} \%} \cdot t_{ON} \quad (3.109)$$

3) O valor inicial, em $t=t_0$:

$$I_{in t_0} = I_{in} \cdot \left(1 - \frac{\Delta I_{in} \%}{200}\right) \quad (3.110)$$

4) O valor máximo, em $t=t_1$:

$$I_{in t_1} = I_{in} \cdot \left(1 + \frac{\Delta I_{in} \%}{200}\right) \quad (3.111)$$

5) O valor médio no período de rede {definido por (3.11)}:

$$I_{inMd} = \frac{I_{Retif-1}}{\pi \cdot \varepsilon} \cdot \left\{ K \cdot \left\{ 2 + \sqrt{3} \cdot [\cos(\omega \cdot \Delta t) - 1] - \text{sen}(\omega \cdot \Delta t) \right\} - 2 \cdot \left(\omega \cdot \Delta t - \frac{\pi}{3} \right) \right\} \quad (3.112)$$

6) O valor eficaz no período de rede {definido por (3.4)}:

$$I_{inef} = \frac{I_{Retif-1}}{\pi \cdot \varepsilon} \cdot \sqrt{F_2(K)} \quad (3.113)$$

– *Análise da Corrente $i_{Lm}(t)$ e projeto do indutor L_m :*

1) Cálculo da ondulação (*ripple*):

$$\Delta I_{Lm} = I_{Lm} \cdot \frac{\Delta I_{Lm} \%}{100} \quad (3.114)$$

2) Determinando a indutância de saída:

$$L_m = \frac{V_{in} \cdot 100}{\Delta I_{Lm} \%} \cdot t_{ON} \quad (3.115)$$

3) O valor inicial, em $t=t_0$:

$$I_{Lm} t_0 = I_{Lm} \cdot \left(1 - \frac{\Delta I_{Lm} \%}{200}\right) \quad (3.116)$$

4) O valor máximo, em $t=t_1$:

$$I_{Lm} t_1 = I_{Lm} \cdot \left(1 + \frac{\Delta I_{Lm} \%}{200}\right) \quad (3.117)$$

5) O valor médio no período de rede {definido por (3.18)}:

$$I_{LmMd} = \frac{\pi \cdot \sqrt{2}}{54} \cdot \left(\sqrt{3} - \frac{6}{\sqrt{G(K)}} \right) \cdot \frac{P}{V_{ef}} \quad (3.118)$$

6) Substituindo-se a equação (3.101) em (3.4) calcula-se o valor eficaz:

$$I_{Lmef} = I_{LmMd_Norm} \cdot \frac{I_{Retif-1}}{\pi \cdot \epsilon} \cdot \sqrt{F_2(K)} \quad (3.119)$$

– *Análise da tensão $v_C(t)$ e projeto da capacitância C_E :*

1) Cálculo da ondulação (*ripple*):

$$\Delta V_C = V_{in} \cdot \frac{\Delta V_C \%}{100} \quad (3.120)$$

2) Determinando a capacitância de acumulação:

$$C_E = \frac{100}{\Delta V_C \% \cdot V_{in}} \cdot \left(I_{Lm} t_0 \cdot t_{ON} + \frac{V_{in}}{2 \cdot L_m} \cdot t_{ON}^2 \right) \quad (3.121)$$

3) Restrição para o valor de C_E {(definida pela equação (3.78)}:

$$\frac{25}{\pi^2 \cdot f_{smin}^2 \cdot L_{eqP}} \leq C_E \leq \frac{1}{400 \cdot \pi^2 \cdot f_r^2 \cdot L_{eqS}} \quad (3.122)$$

4) O valor máximo de $v_C(t)$, em $t=t_0$:

$$V_C t_0 = V_{in} \cdot \left(1 + \frac{\Delta V_C \%}{200}\right) \quad (3.123)$$

– Esforços de tensão e de corrente através do interruptor controlado S_1 :

1) A equação da corrente $i_s(t)$ no intervalo t_{ON} (Figura 3.6) é dada a seguir:

$$i_s(t) = i_{in} t_0 + i_{Lm} t_0 + \frac{V_{in}}{L_{eqP}} \cdot t \quad (3.124)$$

Pela relação linear existente entre $i_{in}(t)$ e $i_{Lm}(t)$, descrita pela equação (3.101), reescreve-se (3.124) substituindo-se (3.110) e (3.116), a seguir:

$$i_s(t) = I_{in} \cdot \left\{ 1 - \frac{\Delta I_{in} \%}{200} + I_{LmMd_Norm} \cdot \left(1 - \frac{\Delta I_{Lm} \%}{200} \right) \right\} + \frac{V_{in}}{L_{eqP}} \cdot t \quad (3.125)$$

2) O valor máximo de corrente, em $t=t_1$ {Somando (3.111) com (3.117)}:

$$I_{sPico} = I_{in} \cdot \left\{ 1 + \frac{\Delta I_{in} \%}{200} + I_{LmMd_Norm} \cdot \left(1 + \frac{\Delta I_{Lm} \%}{200} \right) \right\} \quad (3.126)$$

3) O valor máximo de tensão, em $t=t_2$:

$$V_{sPico} = V_{in} \cdot \left(1 + \frac{\Delta V_C \%}{200} \right) + V_O \quad (3.127)$$

4) Simplificando a equação de $i_s(t)$, para o cálculo do valor eficaz e médio:

Com a finalidade de facilitar o cálculo do valor eficaz e médio da corrente $i_s(\omega.t)$, no período de rede, o ripple de $i_s(t)$ (no período de comutação) foi desprezado, conforme Figura 3.15.

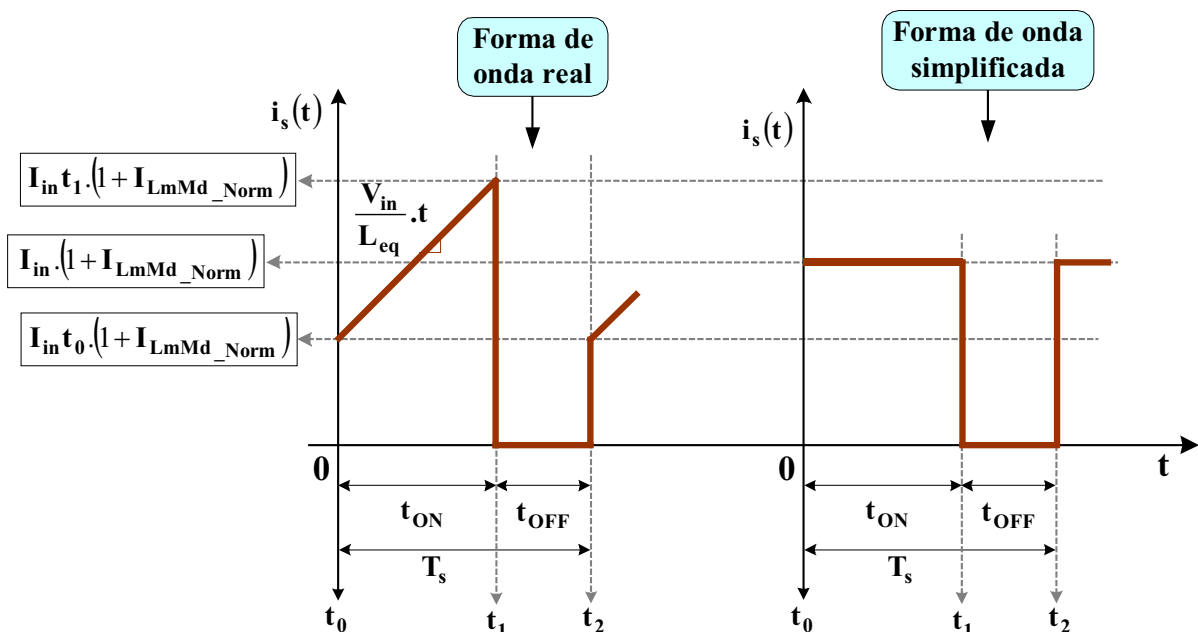


Figura 3.15 – Detalhe da forma de onda da corrente através do interruptor controlado.

Pela forma de onda simplificada de $i_s(t)$, calcula-se o valor eficaz (I_{sef}), a seguir:

$$I_{sef} = \sqrt{\frac{1}{T_s} \cdot \int_0^{t_{ON}} I_{in}^2 \cdot (1 + I_{LmMd_Norm})^2 \cdot dt} \quad (3.128)$$

Resolvendo a integral (3.128) e substituindo a equação (3.90), resulta em:

$$I_{sef} = I_{in} \cdot (1 + I_{LmMd_Norm}) \cdot \sqrt{\frac{1}{1 + \frac{V_{in}}{V_o}}} \quad (3.129)$$

Em (3.129), observa-se que o termo $I_{in} \cdot (1 + I_{LmMd_Norm})$ (constante no período T_s) é o valor eficaz total instantâneo (equivalente a: $I_{in} + I_{Lm}$).

O coeficiente (C_{oef}) do termo $I_{in} \cdot (1 + I_{LmMd_Norm})$, que encontra dentro da raiz, indica o valor percentual da corrente eficaz total $I_{in} \cdot (1 + I_{LmMd_Norm})$ que circula através do interruptor S_1 , no período T_s .

Durante o período da rede de alimentação, este valor percentual (C_{oef}) varia de forma senoidal (Figura 3.14), em função de $v_{in}(\omega.t)$, conforme a seguir:

$$v_{in}(\omega.t) = \sqrt{2} \cdot V_{ef} \cdot \left\{ \begin{array}{ll} \text{sen}(\omega.t), & \text{Se: } 0 \leq \omega.t \leq \pi \\ -\text{sen}(\omega.t), & \text{Se: } \pi \leq \omega.t \leq 2\pi \end{array} \right\} \quad (3.130)$$

Considerando-se $V_{in} = 0,01665 \cdot V_p$ (valor mínimo para a análise), em $(\omega.t) = 0,0053 \cdot \pi$, o coeficiente possui valor máximo (frequência máxima de operação do SEPIC₁):

$$C_{oefMáx} = \sqrt{\frac{1}{1 + 0,01}} = 0,99 \quad (3.131)$$

Pela equação (3.90), obtém-se:

$$f_{smáx} = \frac{1}{1,01 \cdot t_{ON}} \quad (3.132)$$

Para $V_{in} = V_p$, em $(\omega.t) = \frac{1}{2} \cdot \pi$, o coeficiente possui valor mínimo (frequência mínima de operação do SEPIC₁):

$$C_{oefMin} = \sqrt{\frac{1}{1 + 0,6}} = 0,79 \quad (3.133)$$

Analogamente:

$$f_{smín} = \frac{1}{1,6 \cdot t_{ON}} \quad (3.134)$$

Portanto, utilizou-se o valor médio destes dois coeficientes:

$$C_{\text{coefMd}} = \frac{0,99 + 0,79}{2} \cong 0,9 \quad (3.135)$$

A frequência média de operação é calculada a seguir:

$$f_{\text{sMd}} = \frac{1}{1,305 \cdot t_{\text{ON}}} \quad (3.136)$$

Finalmente, faz-se a atualização da equação (3.129).

$$I_{\text{sef}} = I_{\text{in}} \cdot (1 + I_{\text{LmMd_Norm}}) \cdot 0,9 \quad (3.137)$$

Da equação (3.137), como o termo “ $(1 + I_{\text{LmMd_Norm}}) \cdot 0,9$ ” é sempre constante, pode-se substituir o valor eficaz instantâneo I_{in} , da corrente $i_{\text{in}}(t)$, pelo valor eficaz I_{inef} {definido por (3.113)}, da corrente $i_{\text{in}}(\omega.t)$, no período de rede.

Portanto, através da equação (3.138) é calculado o valor eficaz médio da corrente $i_{\text{s}}(\omega.t)$ através do interruptor controlado S_1 .

$$I_{\text{sefMd}} = I_{\text{inef}} \cdot (1 + I_{\text{LmMd_Norm}}) \cdot 0,9 \quad (3.138)$$

Levando (3.113) em (3.138), obtém-se:

$$I_{\text{sefMd}} = 0,9 \cdot (1 + I_{\text{LmMd_Norm}}) \cdot \frac{I_{\text{Retif-1}}}{\pi \cdot \epsilon} \cdot \sqrt{F_2(K)} \quad (3.139)$$

5) Aplicando o mesmo raciocínio para o cálculo do valor médio, multiplica-se a soma de (3.112) com (3.118) pelo coeficiente médio:

$$I_{\text{sMd}} = 0,9 \cdot (I_{\text{inMd}} + I_{\text{LmMd}}) \quad (3.140)$$

– *Esforços de tensão e de corrente através do diodo de saída D_1 :*

1) A equação da corrente $i_{\text{m1}}(t)$ no intervalo t_{OFF} (Figura 3.6):

$$i_{\text{m1}}(t) = i_{\text{in}} t_1 + i_{\text{Lm}} t_1 - \frac{V_{\text{O}}}{L_{\text{eqP}}} \cdot t \quad (3.141)$$

Com as mesmas considerações feitas para a equação (3.124), reescreve-se (3.141), na seqüência:

$$i_{\text{m1}}(t) = I_{\text{in}} \cdot \left\{ 1 + \frac{\Delta I_{\text{in}} \%}{200} + I_{\text{LmMd_Norm}} \cdot \left(1 + \frac{\Delta I_{\text{Lm}} \%}{200} \right) \right\} - \frac{V_{\text{O}}}{L_{\text{eqP}}} \cdot t \quad (3.142)$$

2) O valor máximo da corrente $i_{\text{m1}}(t)$, em $t=t_1$ {definido por (3.126)}:

$$I_{\text{m1Pico}} = I_{\text{sPico}} \quad (3.143)$$

3) O valor máximo de tensão, em $t=t_2$ {definido por (3.127)}:

$$V_{m1Pico} = V_{sPico} \quad (3.144)$$

4) O valor médio no período de rede {definido por (3.18)}:

$$I_{m1} = \frac{\pi \cdot \sqrt{2}}{54} \cdot \left(\sqrt{3} - \frac{6}{\sqrt{G(K)}} \right) \cdot \frac{P}{V_{ef}} \quad (3.145)$$

3.8.2 – Conversor SEPIC₁ Operando na Condição de Esforço máximo

De acordo com os ábacos apresentados nas Figuras 3.12 e 3.13, a frequência mínima de operação e a ondulação máxima das correntes através dos indutores L_{in} e L_m ocorrem quando a tensão de entrada $v_{in}(t)$ possui valor máximo, caracterizando-se um ponto crítico de funcionamento. Além disso, conforme discutido no Capítulo 2, o processamento máximo de potência no SEPIC₁ ocorre para um parâmetro de controle $K=2$.

Portanto, define-se para efeito de projeto o período de comutação iniciando-se no instante $t_0 = 4,167$ ms (ângulo = $\pi/2$) e o parâmetro “ $K=2$ ”, considerando-se as formas de onda teóricas mostradas na Figura 3.16.

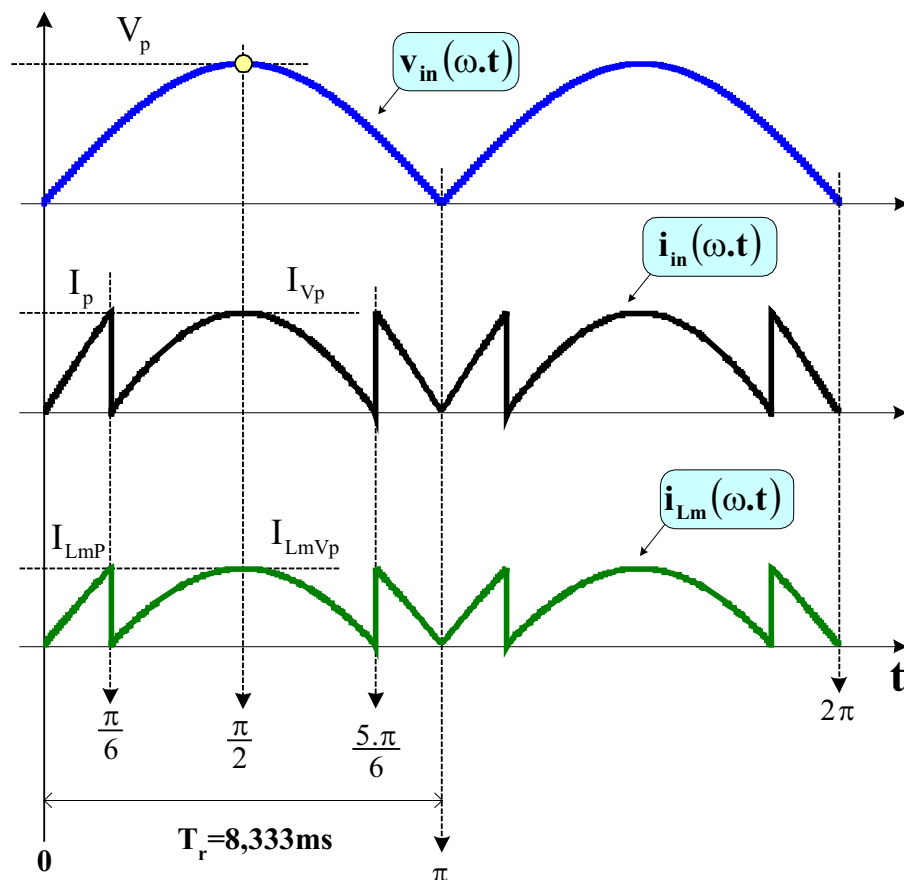


Figura 3.16 – Formas de onda da tensão e corrente de entrada e corrente de saída do SEPIC₁.

Para esta condição de funcionamento, os valores médios instantâneos da tensão de entrada (V_{in}), tensão sobre o capacitor C_E (V_C), corrente de entrada (I_{in}) e corrente de saída (I_{Lm}), são definidos na seqüência.

Para $K=2$, conforme Figura 3.16, observa-se que:

$$I_{in} = I_{Vp} = I_p \quad (3.146)$$

$$I_{Lm} = I_{LmVp} = I_{LmP} \quad (3.147)$$

Pela equação (3.1).

$$V_{in} = V_p = V_{ef} \cdot \sqrt{2} \quad (3.148)$$

$$V_C = V_p = V_{ef} \cdot \sqrt{2} \quad (3.149)$$

Pela (3.16), calcula-se $I_{Retif-1}$:

$$I_{Retif-1} = 0,2357 \cdot \frac{P}{V_{ef}} \quad (3.150)$$

Então, substitui-se (3.150) em (3.3) e define-se ($I_{in}=I_{Vp}$):

$$I_{in} = 0,2357 \cdot \frac{P}{\varepsilon \cdot V_{ef}} \quad (3.151)$$

Da equação (3.118), calcula-se I_{LmMD} .

$$I_{LmMD} = 0,777 \cdot \frac{\pi \cdot \sqrt{2}}{54} \cdot \frac{P}{V_{ef}} \quad (3.152)$$

De (3.11), obtém-se I_{inMD} .

$$I_{inMD} = 0,143 \cdot \frac{P}{\varepsilon \cdot V_{ef}} \quad (3.153)$$

Levando (3.152) e (3.153) em (3.101), resulta em:

$$I_{LmMd_Norm} = 0,447 \cdot \varepsilon \quad (3.154)$$

Substituindo (3.151) e (3.154) em (3.106) define-se ($I_{Lm}=I_{LmP}$):

$$I_{Lm} = 0,1054 \cdot \frac{P}{V_{ef}} \quad (3.155)$$

Onde:

V_{in} : Valor médio de $v_{in}(t)$ durante o período de comutação;

V_C : Valor médio de $v_C(t)$ durante o período de comutação;

I_{in} : Valor médio de $i_{in}(t)$ durante o período de comutação;

I_{Lm} : Valor médio de $i_{Lm}(t)$ durante o período de comutação.

3.8.2.1 – Equações Finais para o Projeto do Conversor SEPIC₁

As principais equações descritas anteriormente (no tópico 3.8.1) foram simplificadas, sendo necessário para o projeto apenas as seguintes variáveis de entrada. São elas: “ $\Delta I_{in}\%$ ”, “ $\Delta I_{Lm}\%$ ”, “ $\Delta V_C\%$ ”, “P”, “ V_{ef} ”, “ ε ” e “ t_{ON} ”.

– *Análise da Corrente $i_{in}(t)$ e projeto do indutor L_{in} :*

1) Cálculo da ondulação (*ripple*) {definida por (3.108)}:

$$\Delta I_{in} = 0,2357 \cdot \frac{\Delta I_{in} \%}{100} \cdot \frac{P}{\varepsilon \cdot V_{ef}} \quad (3.156)$$

2) Determinando a indutância de entrada {definida por (3.109)}:

$$L_{in} = \frac{600 \cdot \varepsilon \cdot V_{ef}^2}{\Delta I_{in} \% \cdot P} \cdot t_{ON} \quad (3.157)$$

3) O valor máximo, em $t=t_1$ {definido por (3.111)}:

$$I_{in} t_1 = 0,2357 \cdot \frac{P}{\varepsilon \cdot V_{ef}} \cdot \left(1 + \frac{\Delta I_{in} \%}{200} \right) \quad (3.158)$$

4) O valor médio no período de rede {definido por (3.112)}:

$$I_{inMd} = 0,143 \cdot \frac{P}{\varepsilon \cdot V_{ef}} \quad (3.159)$$

5) O valor eficaz no período de rede {definido por (3.113)}:

$$I_{inef} = 0,16 \cdot \frac{P}{\varepsilon \cdot V_{ef}} \quad (3.160)$$

– *Análise da Corrente $i_{Lm}(t)$ e projeto do indutor L_m :*

1) Cálculo da ondulação (*ripple*) {definida por (3.114)}:

$$\Delta I_{Lm} = \frac{0,1054}{100} \cdot \left(\Delta I_{Lm} \% \cdot \frac{P}{V_{ef}} \right) \quad (3.161)$$

2) Determinando a indutância de saída {definida por (3.115)}:

$$L_m = \frac{100 \cdot \sqrt{2} \cdot V_{ef}^2 \cdot t_{ON}}{0,1054 \cdot \Delta I_{Lm} \% \cdot P} \quad (3.162)$$

3) O valor máximo, em $t=t_1$ {definido por (3.117)}:

$$I_{Lm} t_1 = 0,1054 \cdot \frac{P}{V_{ef}} \cdot \left(1 + \frac{\Delta I_{Lm} \%}{200} \right) \quad (3.163)$$

4) O valor médio no período de rede {definido por (3.118)}:

$$I_{LmMD} = 0,777 \cdot \frac{\pi \cdot \sqrt{2}}{54} \cdot \frac{P}{V_{ef}} \quad (3.164)$$

5) O valor eficaz no período de rede {definido por (3.119)}:

$$I_{Lmef} = 0,07157 \cdot \frac{P}{V_{ef}} \quad (3.165)$$

– *Análise da tensão $v_C(t)$ e projeto da capacitância C_E :*

1) Cálculo da ondulação (*ripple*) {definida por (3.120)}:

$$\Delta V_C = \sqrt{2} \cdot V_{ef} \cdot \frac{\Delta V_C \%}{100} \quad (3.166)$$

2) Determinando a capacitância de acumulação {definida por (3.121)}:

$$C_E = \frac{10,54}{\sqrt{2}} \cdot \frac{t_{ON} \cdot P}{\Delta V_C \% \cdot V_{ef}^2} \quad (3.167)$$

3) Restrição para o valor de C_E {definida anteriormente pela (3.122)}:

$$\frac{25}{\pi^2 \cdot f_{smin}^2 \cdot L_{eqP}} \leq C_E \leq \frac{1}{400 \cdot \pi^2 \cdot f_r^2 \cdot L_{eqS}} \quad (3.168)$$

4) O valor máximo de $v_C(t)$, em $t=t_0$:

$$V_{Ct_0} = \sqrt{2} \cdot V_{ef} \cdot \left(1 + \frac{\Delta V_C \%}{200} \right) \quad (3.169)$$

– *Esforços de tensão e de corrente através do interruptor controlado S_I :*

1) O valor máximo de corrente, em $t=t_1$ {definido pela (3.126)}:

$$I_{sPico} = 0,2357 \cdot \frac{P}{\varepsilon \cdot V_{ef}} \cdot \left\{ 1 + \frac{\Delta I_{in} \%}{200} + 0,447 \cdot \varepsilon \cdot \left(1 + \frac{\Delta I_{Lm} \%}{200} \right) \right\} \quad (3.170)$$

2) O valor máximo de tensão, em $t=t_2$ {definido pela (3.127)}:

$$V_{sPico} = \sqrt{2} \cdot V_{ef} \cdot \left(1 + \frac{\Delta V_C \%}{200} + \frac{3 \cdot \sqrt{3}}{\pi} \right) \quad (3.171)$$

3) O valor eficaz no período de rede {definido por (3.139)}:

$$I_{sefMd} = 0,144 \cdot (1 + 0,447 \cdot \varepsilon) \cdot \frac{P}{V_{ef} \cdot \varepsilon} \quad (3.172)$$

4) O valor médio no período de rede {definido por (3.140)}

$$I_{sMd} = 0,9 \cdot \left(\frac{0,143}{\varepsilon} + 0,064 \right) \cdot \frac{P}{V_{ef}} \quad (3.173)$$

– *Esforços de tensão e de corrente através do diodo de saída D_1 :*

1) O valor máximo da corrente $i_{m1}(t)$, em $t=t_1$ {definido por (3.170)}:

$$I_{m1Pico} = I_{sPico} = 0,2357 \cdot \frac{P}{\varepsilon \cdot V_{ef}} \cdot \left\{ 1 + \frac{\Delta I_{in} \%}{200} + 0,447 \cdot \varepsilon \cdot \left(1 + \frac{\Delta I_{Lm} \%}{200} \right) \right\} \quad (3.174)$$

2) O valor máximo de tensão, em $t=t_2$ {definido por (3.171)}:

$$V_{m1Pico} = V_{sPico} = \sqrt{2} \cdot V_{ef} \cdot \left(1 + \frac{\Delta V_C \%}{200} + \frac{3 \cdot \sqrt{3}}{\pi} \right) \quad (3.175)$$

3) O valor médio no período de rede {definido por (3.164)}:

$$I_{m1} = I_{LmMD} = 0,777 \cdot \frac{\pi \cdot \sqrt{2}}{54} \cdot \frac{P}{V_{ef}} \quad (3.176)$$

3.9 – Conclusões

Neste capítulo, apresentou-se a análise completa do funcionamento do conversor SEPIC₁ operando no modo de condução contínua e com modulação por histerese variável, considerando-se os valores das tensões e correntes de entrada e saída previamente definidas no estudo do retificador trifásico híbrido (desenvolvido no Capítulo 2).

Restringindo-se a faixa de valores para o capacitor de acumulação C_E , foi possível desconsiderar a influência da ondulação da tensão (ΔV_C) sobre as correntes de entrada e de saída, resultando em equações simplificadas e comumente encontradas em literaturas de Eletrônica de Potência [48].

Devido ao contexto no qual o conversor SEPIC₁ está inserido, o comportamento da estrutura foi alterado, não podendo ser aplicada, por exemplo, a análise de ganho estático, dependendo do ponto de operação (valor do parâmetro “K”) escolhido para o retificador trifásico híbrido.

A técnica de modulação por histerese digital empregada para o controle do conversor SEPIC₁ elimina a comparação da corrente controlada com limite superior, reduzindo-se as variações adicionais da frequência de comutação. Durante a análise, verificou-se que o ponto crítico de operação do conversor ocorre quando a tensão de entrada atinge o seu valor máximo, implicando na frequência mínima de comutação e ondulação máxima das correntes de entrada e de saída, sendo portanto definido como ponto de projeto.

Por fim, fez-se um refinamento das equações para o projeto do SEPIC₁, considerando-se a condição de esforço máximo da estrutura (parâmetro $K=2$), a serem utilizadas na metodologia de projeto do retificador híbrido, no Capítulo 4.

CAPÍTULO 4

4 – Metodologia de Projeto para o Retificador Trifásico Híbrido

4.1 – Introdução

Neste capítulo apresenta-se a metodologia de projeto, passo a passo, para o retificador trifásico híbrido com base nos equacionamentos e restrições discutidas através das análises desenvolvidas nos capítulos 2 e 3, com as seguintes considerações:

1) No dimensionamento dos esforços de corrente através dos interruptores e fios condutores do circuito será admitida uma queda de 15% ($0,85.V_{ef}$) na tensão de entrada de alimentação. Já no dimensionamento dos esforços de tensão sobre os interruptores do circuito admite-se um acréscimo de 15% ($1,15.V_{ef}$) na tensão de entrada de alimentação.

2) No projeto do retificador não controlado (Retif-1), considera-se que o mesmo esteja processando a potência média total (P) entregue à carga {o retificador controlado (Retif-2) encontra-se desligado}.

Assim, a sua corrente média de saída ($I_{Retif-1}$) corresponde à corrente média total na carga (I_o), conforme equação (4.1).

$$I_{Retif-1} = \frac{P}{V_o} \quad (4.1)$$

Substituindo a equação (2.22) em (4.1), obtém-se:

$$I_{Retif-1} = \frac{\pi}{3\sqrt{6}} \cdot \frac{P}{0,85.V_{ef}} \quad (4.2)$$

Levando (4.2) em (2.135) e em (2.138), resultam nas equações para o cálculo das correntes média e de pico, respectivamente, através de cada diodo da ponte retificadora trifásica, a seguir.

$$I_{Dmd} = \frac{\pi}{9\sqrt{6}} \cdot \frac{P}{0,85.V_{ef}} \quad (4.3)$$

$$I_{DPico} = \frac{\pi^2}{9\sqrt{6}} \cdot \frac{P}{0,85.V_{ef}} \quad (4.4)$$

3) O retificador monofásico SEPIC₁ é dimensionado para operar na condição de esforço máximo. Neste caso, as correntes de entrada do retificador híbrido possuem DHT nula (parâmetro de controle K=2). Considera-se também um deslocamento nulo entre as

componentes fundamentais das tensões e corrente de entrada do retificador híbrido $\{\cos(\varphi_1)=0^\circ\}$, portanto o Fator de Potência (FP) é unitário. Assim, a determinação do parâmetro auxiliar “ ε ” {calculado pela equação (2.16)} é simplificada {conforme equação (4.5)}, tornando o seu valor igual ao rendimento teórico (η) estimado para o retificador trifásico híbrido.

$$\varepsilon = \eta \quad (4.5)$$

4) A escolha do ponto de operação do retificador trifásico híbrido (escolha do valor da DHT e do parâmetro K) deverá resultar em correntes de entrada cujo conteúdo harmônico esteja em conformidade com as normas reguladoras IEC. Por fim, o cálculo das potências processadas na saída e entrada das estruturas controlada e não controlada, referentes ao ponto de operação escolhido, será realizado para análise. Nesta etapa, o fator de deslocamento também é considerado nulo $\{\cos(\varphi_1)=0^\circ\}$. Deste modo, o Fator de Potência (FP) é determinado somente em função da DHT da corrente de entrada.

4.2 – Projeto do Retificador não Controlado (Retif-1)

- Primeiro passo: Definir os dados de projeto para o retificador trifásico híbrido:
 - Potência média (P) na carga;
 - Rendimento teórico estimado (η);
 - Tensão eficaz por fase (V_{ef}) de alimentação.

Dados de projeto:

- ➔ $V_{ef} = 127 \text{ V}$;
- ➔ $P = 3000 \text{ W}$;
- ➔ $\eta = 0,95$.

Observa-se que a tensão média na carga (V_O) está em função de V_{ef} , conforme equação (4.6) {definida em (2.22)}.

$$V_O = \frac{V_{ef} \cdot 3 \cdot \sqrt{6}}{\pi} \quad (4.6)$$

Da equação (4.6), obtém-se: $V_O=297 \text{ V}$.

- Segundo passo: Com a potência média na carga (P) e a tensão eficaz por fase (V_{ef}) definidas, calculam-se os esforços máximos de corrente e tensão sobre os diodos que compõem a ponte retificadora trifásica:

- Valor médio máximo de corrente, conforme (4.7) {definida por (4.3)}:

$$I_{Dmd} = \frac{\pi}{9\sqrt{6}} \cdot \frac{P}{0,85 \cdot V_{ef}} \quad (4.7)$$

De (4.7), obtém-se: $I_{Dmd}=4,0$ A.

- Valor máximo de corrente, conforme (4.8) {definida por (4.4)}:

$$I_{DPico} = \frac{\pi^2}{9\sqrt{6}} \cdot \frac{P}{0,85 \cdot V_{ef}} \quad (4.8)$$

De (4.8), obtém-se: $I_{DPico}=12,5$ A.

- Valor máximo de tensão, conforme (4.9) {definida por (2.136)}:

$$V_{DPico} = \sqrt{6} \cdot 1,15 \cdot V_{ef} \quad (4.9)$$

De (4.9), obtém-se: $V_{DPico}=358$ V.

- ➔ Escolha do componente: Especificou-se para os diodos de entrada do Retif-1 (D_1, D_2, D_3, D_4, D_5 e D_6) a ponte retificadora trifásica à diodos SKD 2508 (Semikron) com $V_{Don}=2,2$ V, onde V_{Don} é a queda de tensão em cada diodo, em condução, da ponte retificadora trifásica.

4.3 – Projeto do Retificador Controlado (Retif-2)

- Terceiro passo: Definir os seguintes dados para o circuito e operação do conversor SEPIC₁:
 - Frequência mínima de operação (f_{smin});
 - Valor percentual máximo (“ $\Delta I_{in}\%$ ”) da ondulação (*ripple*) da corrente de entrada $i_{in}(t)$;
 - O valor percentual máximo (“ $\Delta I_{Lm}\%$ ”) da ondulação (*ripple*) da corrente de saída $i_{Lm}(t)$;
 - O valor percentual máximo (“ $\Delta V_C\%$ ”) da ondulação (*ripple*) da tensão $v_C(t)$ sobre a capacitância de acumulação C_E .

Dados de projeto para o retificador monofásico SEPIC₁:

➔ $V_{ef} = 127$ V;

- $P = 3000 \text{ W}$;
- $\eta = 0,95$;
- $f_{\text{smin}} = 27,4 \text{ kHz}$;
- $\Delta I_{\text{in}}\% = 14 \%$;
- $\Delta I_{\text{Lm}}\% = 33 \%$;
- $\Delta V_{\text{C}}\% = 14 \%$.

Observa-se que a potência ativa máxima processada pelos três SEPICs em conjunto é de aproximadamente 1350 W, na condição de DHT=0 (K=2), e, todos os esforços e parâmetros de cada SEPIC estão relacionados com a potência média total de saída do retificador trifásico híbrido.

- Quarto passo: Calcular o intervalo de tempo de condução do interruptor controlado S_1 do conversor SEPIC₁, conforme (4.10) {definido por (3.134)}:

$$t_{\text{ON}} = \frac{1}{1,6 \cdot f_{\text{smin}}} \quad (4.10)$$

De (4.10), obtém-se: $t_{\text{ON}} = 22,8 \text{ us}$.

- Quinto passo: Calcular as indutâncias de entrada (L_{in}) e de saída (L_{m}), respectivamente, através das equações (4.11) e (4.12) {definidas por (3.157) e (3.162)}:

$$L_{\text{in}} = \frac{600 \cdot \eta \cdot V_{\text{ef}}^2}{\Delta I_{\text{in}}\% \cdot P} \cdot t_{\text{ON}} \quad (4.11)$$

De (4.11), obtém-se: $L_{\text{in}} = 5,0 \text{ mH}$.

$$L_{\text{m}} = \frac{100 \cdot \sqrt{2} \cdot V_{\text{ef}}^2 \cdot t_{\text{ON}}}{0,1054 \cdot \Delta I_{\text{Lm}}\% \cdot P} \quad (4.12)$$

De (4.12), calcula-se: $L_{\text{m}} = 5,0 \text{ mH}$.

- Sexto passo: Determinar a capacitância de acumulação C_{E} , através de (4.13) {conforme (3.167)}:

$$C_{\text{E}} = \frac{10,54}{\sqrt{2}} \cdot \frac{t_{\text{ON}} \cdot P}{\Delta V_{\text{C}}\% \cdot V_{\text{ef}}^2} \quad (4.13)$$

Com (4.13), calcula-se: $C_{\text{E}} = 2,2 \text{ }\mu\text{F}$.

- Verificar se o valor de C_{E} calculado atende à restrição estabelecida pela (4.14) {definida por (3.168)}. Se a restrição não for atendida, retornar ao terceiro passo e

redefinir um ou mais parâmetros de acordo com a conveniência do projeto.

$$\frac{25}{\pi^2 \cdot f_{\text{smin}}^2 \cdot L_{\text{eqP}}} \leq C_E \leq \frac{1}{400 \cdot \pi^2 \cdot f_r^2 \cdot L_{\text{eqS}}} \quad (4.14)$$

Sendo que:

f_r : Freqüência da rede de alimentação (60 Hz);

$$L_{\text{eqS}} = L_{\text{in}} + L_m \quad (4.15)$$

$$L_{\text{eqP}} = \frac{L_{\text{in}} \cdot L_m}{L_{\text{in}} + L_m} \quad (4.16)$$

Logo, com os dados $L_{\text{in}}=5,0$ mH e $L_m=5,0$ mH, obtém-se:

$$L_{\text{eqS}}=10 \text{ mH} \text{ e } L_{\text{eqP}}=2,5 \text{ mH.}$$

Portanto, através de (4.14), verifica-se que a restrição para o valor de C_E é atendida ($1,36 \mu\text{F} \leq C_E \leq 7,0 \mu\text{F}$).

- Sétimo passo: Calcular os esforços máximos de tensão e corrente através de cada diodo da ponte retificadora monofásica de entrada do conversor SEPIC₁.
 - O valor de pico da corrente, através de (4.17) {definida por (3.158)}:

$$I_{\text{DPico1}\phi_1} = 0,2357 \cdot \frac{P}{\eta \cdot 0,85 \cdot V_{\text{ef}}} \cdot \left(1 + \frac{\Delta I_{\text{in}} \%}{200} \right) \quad (4.17)$$

De (4.17), calcula-se: $I_{\text{DPico1}\phi_1}=7,4$ A

- Tendo em vista que cada diodo conduz a corrente $i_{\text{in}}(\omega.t)$ durante meio semiciclo da tensão de alimentação, o valor médio da corrente que circula através dos mesmos corresponde à metade do valor médio da corrente que circula através do indutor de entrada L_{in} , conforme equações (4.18) {definida por (3.159)}:

$$I_{\text{DMd1}\phi} = 0,0715 \cdot \frac{P}{\eta \cdot 0,85 \cdot V_{\text{ef}}} \quad (4.18)$$

De (4.18), calcula-se: $I_{\text{DMd1}\phi}=2,1$ A.

- O valor de pico da tensão, através de (4.19):

$$V_{\text{DPico1}\phi_1} = \sqrt{2} \cdot 1,15 \cdot V_{\text{ef}} \quad (4.19)$$

De (4.19), calcula-se: $V_{\text{DPico1}\phi_1}=206,5$ V.

→ Escolha do componente: Especificou-se para os diodos de entrada dos retificadores monofásicos: SEPIC₁ (D₇, D₈, D₉ e D₁₀), SEPIC₂ (D₁₄, D₁₅, D₁₆ e D₁₇) e SEPIC₃ (D₂₁, D₂₂, D₂₃ e D₂₄) a ponte retificadora monofásica à diodos GBU8J (Fairchild Semiconductor), com $V_{D_{on}}=1,0$ V, onde $V_{D_{on}}$ é a queda de tensão em cada diodo, em condução, da ponte retificadora monofásica..

▪ Oitavo passo: Calcular os esforços máximos de tensão e corrente através do interruptor controlado S₁.

– O valor de pico da corrente, através de (4.20) {definida por (3.170)}:

$$I_{sPico} = 0,2357 \cdot \frac{P}{\eta \cdot 0,85 \cdot V_{ef}} \cdot \left\{ 1 + \frac{\Delta I_{in} \%}{200} + 0,447 \cdot \eta \cdot \left(1 + \frac{\Delta I_{Lm} \%}{200} \right) \right\} \quad (4.20)$$

De (4.20), calcula-se: $I_{sPico}=10,8$ A.

– O valor de pico da tensão, através de (4.21) {definida por (3.171)}:

$$V_{sPico} = \sqrt{2} \cdot 1,15 \cdot V_{ef} \cdot \left(1 + \frac{\Delta V_C \%}{200} + \frac{3 \cdot \sqrt{3}}{\pi} \right) \quad (4.21)$$

De (4.21), calcula-se: $V_{sPico}=563,4$ V.

– O valor eficaz da corrente, através de (4.22) {definida por (3.172)}:

$$I_{sefMd} = 0,144 \cdot (1 + 0,447 \cdot \eta) \cdot \frac{P}{0,85 \cdot V_{ef} \cdot \eta} \quad (4.22)$$

De (4.22), calcula-se: $I_{sefMD}=6,0$ A.

– O valor médio da corrente, através de (4.23) {definida por (3.173)}:

$$I_{sMd} = 0,9 \cdot \left(\frac{0,143}{\eta} + 0,064 \right) \cdot \frac{P}{0,85 \cdot V_{ef}} \quad (4.23)$$

De (4.23), calcula-se: $I_{sMD}=5,4$ A.

→ Escolha do componente: Especificou-se para os interruptores controlados dos retificadores monofásicos: SEPIC₁ (S₁), SEPIC₂ (S₂) e SEPIC₃ (S₃), o IGBT HGTG7N60A4D (Fairchild Semiconductor) com diodo ultra-rápido encapsulado em paralelo e com

$V_{CEon}=2,2$ V, onde V_{CEon} é a queda de tensão no IGBT, em condução.

- Nono passo: Determinar os esforços máximos de corrente e tensão sobre o diodo de saída D_1 .
 - O valor de pico da corrente (I_{m1Pico}), calculado também através de (4.21): Portanto:
 $I_{m1Pico} = I_{sPico}$. $I_{m1Pico}=10,8$ A.
 - O valor de pico da tensão (V_{m1Pico}), calculado também por (4.22):
 Assim: $V_{m1Pico} = V_{sPico}$. $V_{sPico}=563,4$ V.
 - O valor médio da corrente, por (4.24) {definida por (3.176)}:

$$I_{m1} = 0,777 \cdot \frac{\pi \cdot \sqrt{2}}{54} \cdot \frac{P}{0,85 \cdot V_{ef}} \quad (4.24)$$

De (4.24), calcula-se: $I_{m1}=1,8$ A.

- ➔ Escolha do componente: Especificou-se para os diodos de saída dos retificadores monofásicos: SEPIC₁ (D_{11} , D_{12} e D_{13}), SEPIC₂ (D_{18} , D_{19} e D_{20}) e SEPIC₃ (D_{25} , D_{26} e D_{27}), o diodo do tipo ultra-rápido RHRP860 (Fairchild Semiconductor), com $V_{Don}=1,7$ V e $C_j=25$ pF, onde V_{Don} é a queda de tensão no diodo, em condução.

4.4 – Escolha do Ponto de Operação do Retificador Trifásico Híbrido

O ponto de operação do retificador trifásico híbrido é determinado de acordo com o fluxograma apresentado na Figura 4.1, considerando os dados nominais de projeto, apresentados na Tabela 4.1.

Tabela 4.1 – Dados de projeto e ponto de operação do retificador trifásico híbrido.

	Valores especificados
Dados de projeto	$P = 3000$ W
	$V_{ef} = 127$ V
	$\eta = 0,95$
	$\cos(\varphi_1)=0^\circ$
Ponto de operação	$K = 1,633$

Este fluxograma é um resumo de toda a análise discutida no Capítulo 2.

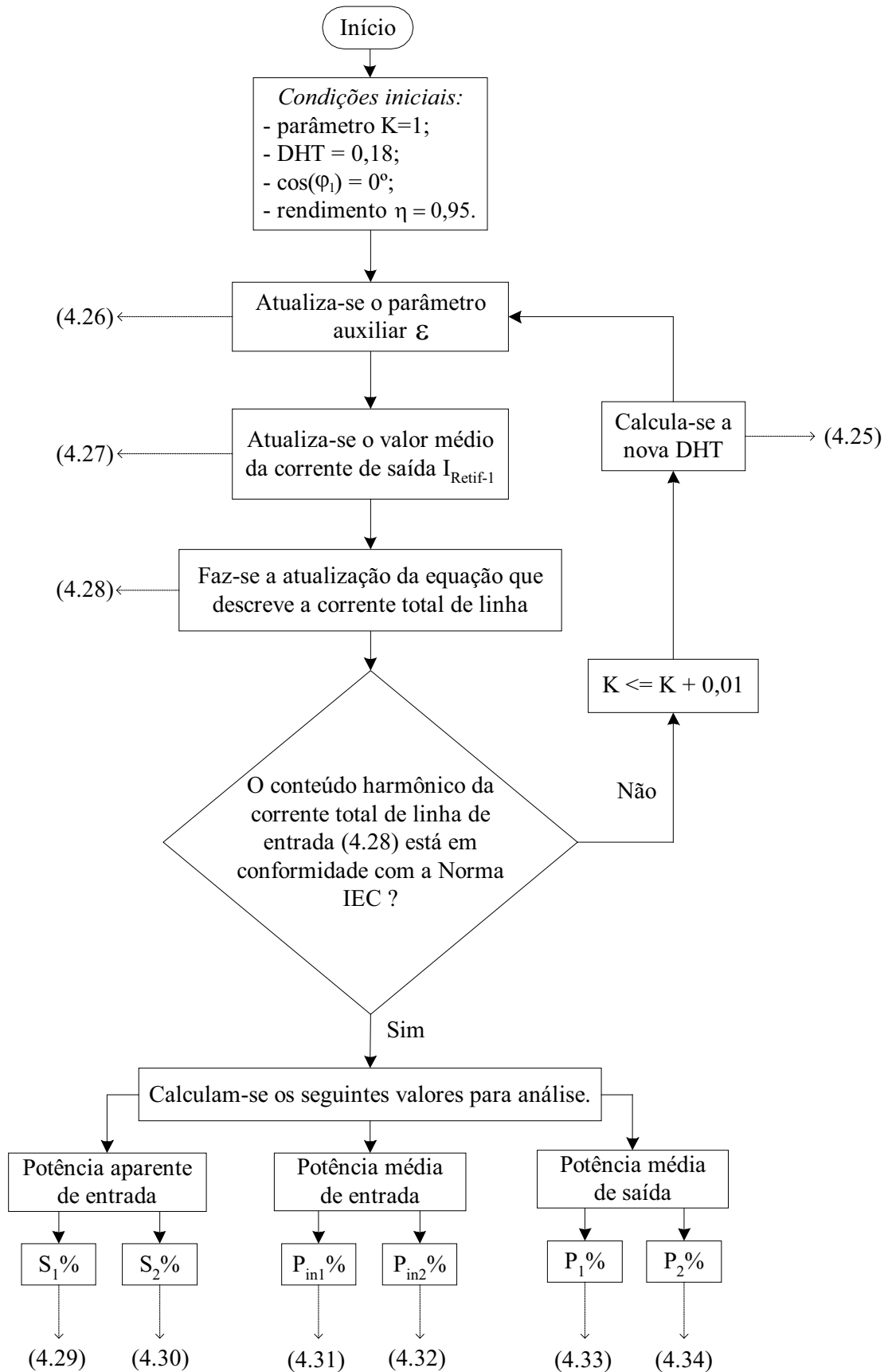


Figura 4.1 – Escolha do ponto de operação do retificador trifásico híbrido.

Através do fluxograma mostrado na Figura 4.1, obteve-se os seguintes dados relativos ao ponto de operação escolhido:

DHT_{ia}	= 0,025	{determinado por (4.25)}
ε	= 0,95	{determinado por (4.26)}
$I_{Retif-1}$	= 6,72 A	{determinado por (4.27)}
I_{aef}	= 8,21 A	{determinado por (4.28)}
$S_1\%$	= 70,3 %	{determinado por (4.29)}
$S_2\%$	= 38,2 %	{determinado por (4.30)}
$P_{in1}\%$	= 67,2 %	{determinado por (4.31)}
$P_{in2}\%$	= 32,8 %	{determinado por (4.32)}
$P_1\%$	= 67,2 %	{determinado por (4.33)}
$P_2\%$	= 32,8 %	{determinado por (4.34)}

As equações indicadas na Figura 4.1 são comentadas na seqüência:

- O cálculo da DHT (Figura 4.2), por (4.25) {definida por (2.109)}:

$$DHT_{i_a} = \frac{\sqrt{\sum_{n=2}^{\infty} F_{a_{n>1}}^2(n, K)}}{F_{a_{60Hz}}(K)} \quad (4.25)$$

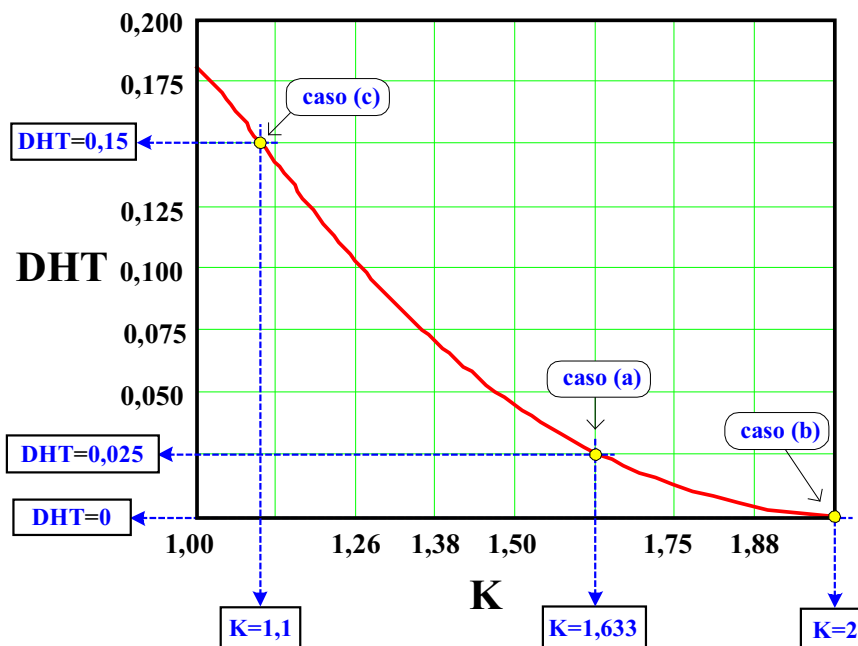


Figura 4.2 – Variação do parâmetro “K” em função da DHT escolhida para as correntes de entrada do retificador trifásico híbrido.

- O cálculo do parâmetro auxiliar “ ε ”, por (4.26) {definida através da (2.16)}:

$$\varepsilon = \frac{\cos(\varphi_1)\eta}{\sqrt{1 + (\text{DHT})^2}} \quad (4.26)$$

- Determinando a corrente média de saída do retificador não controlado $I_{\text{Retif-1}}$, através de (4.27) {definida por (3.16)}:

$$I_{\text{Retif-1}} = \frac{\sqrt{2}\cdot\pi}{3\sqrt{F_{2_60\text{Hz}}^2(K) + \sum_{n=2}^{\infty} F_{2_n>1}^2(n,K)}} \cdot \frac{P}{V_{\text{ef}}} \quad (4.27)$$

- O cálculo do valor eficaz da corrente total de linha de entrada $i_a(\omega.t)$, através de (4.28) {definida por (2.106)}:

$$I_{\text{aef_Fourier}} = \frac{I_{\text{Retif-1}}}{\pi\cdot\varepsilon} \sqrt{\frac{F_{a_60\text{Hz}}^2(K)}{2} + \sum_{n=2}^{\infty} \frac{F_{a_n>1}^2(n,K)}{2}} \quad (4.28)$$

- Os valores percentuais das potências aparente de entrada $S_{1\%}$ (Retif-1) e $S_{2\%}$ (Retif-2), conforme Figura 4.3, determinados por (4.28) e (4.29) {definidas através de (2.136) e (2.137)}:

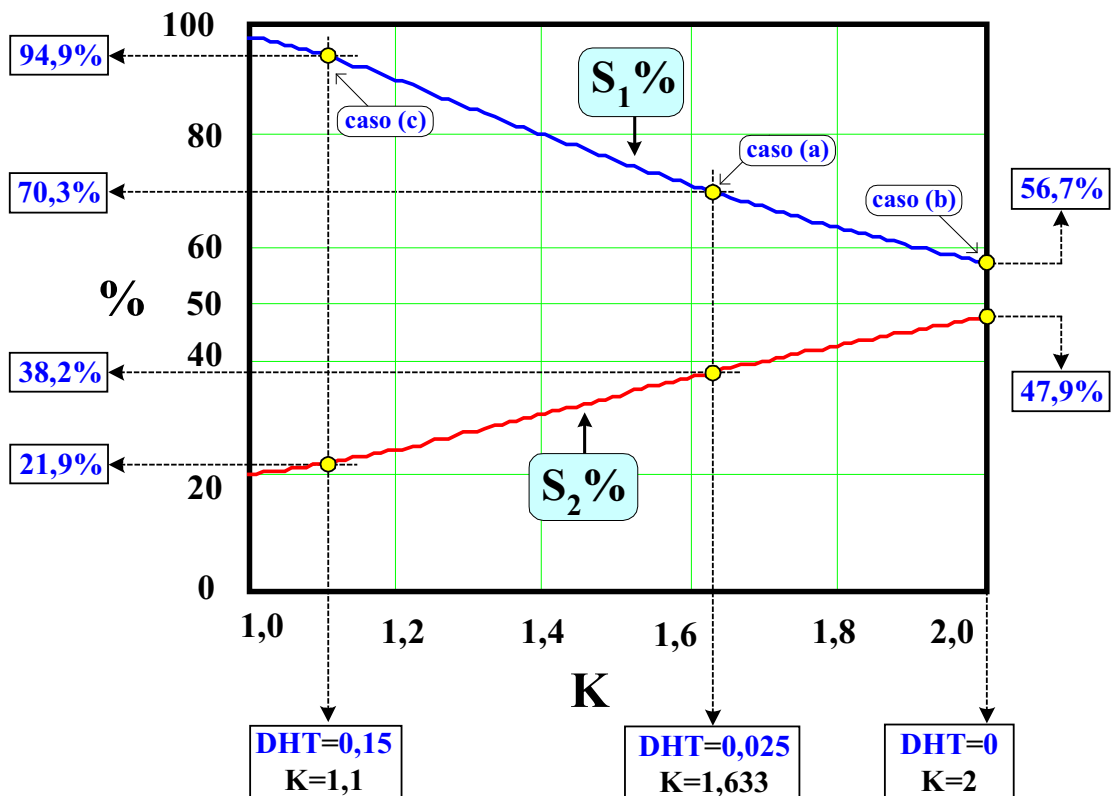


Figura 4.3 – Variação percentual das potências aparente de entrada dos retificadores controlado e não controlado, em função do parâmetro “K”.

$$S_1 \% = 100. \sqrt{\frac{\sum_{n=1}^{\infty} F_1^2(n)}{F_{a_60Hz}^2(K) + \sum_{n=2}^{\infty} F_{a_n>1}^2(n, K)}} \quad (4.29)$$

$$S_2 \% = 100. \sqrt{\frac{F_{2_60Hz}^2(K) + \sum_{n=2}^{\infty} F_{2_n>1}^2(n, K)}{F_{a_60Hz}^2(K) + \sum_{n=2}^{\infty} F_{a_n>1}^2(n, K)}} \quad (4.30)$$

- Os valores percentuais das potências médias de entrada $P_{in1}\%$ (Retif-1) e $P_{in2}\%$ (Retif-2), conforme Figura 4.4, determinados por (4.30) e (4.31) {definidas através de (2.134) e (3.135)}:

$$P_{in1} \% = 100. \frac{\sum_{n=1}^1 F_1(n)}{F_{a_60Hz}(K)} \quad (4.31)$$

$$P_{in2} \% = 100. \frac{F_{2_60Hz}(K)}{F_{a_60Hz}(K)} \quad (4.32)$$

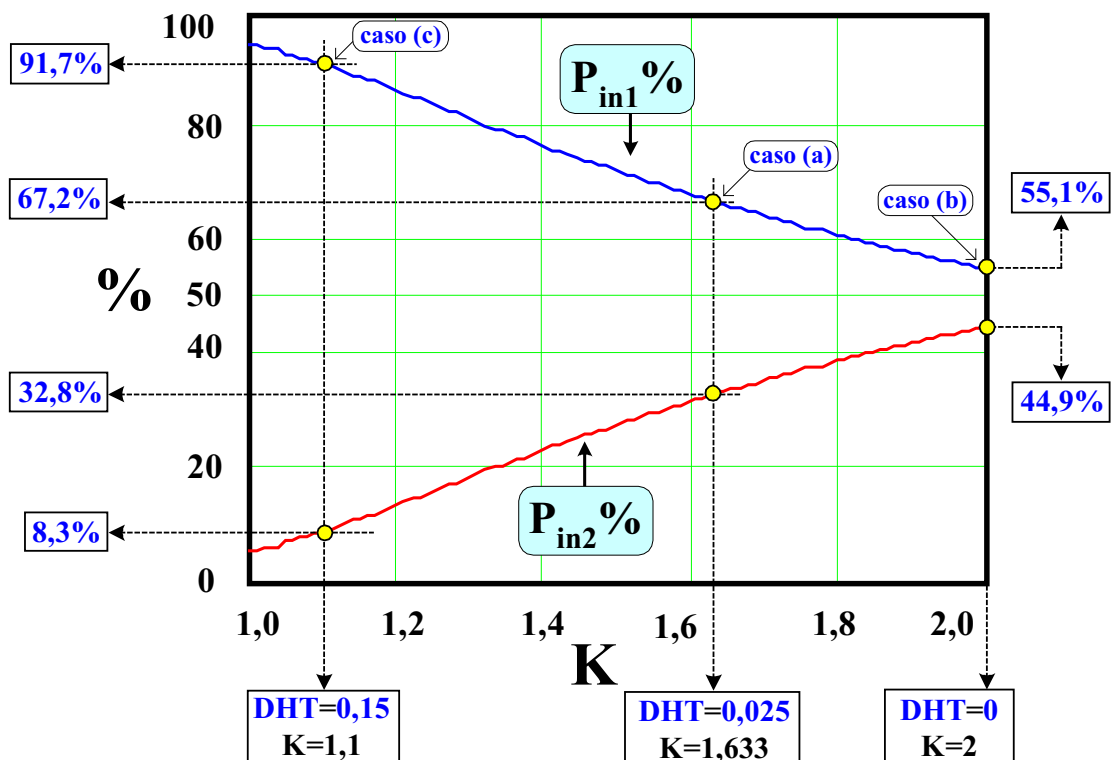


Figura 4.4 – Variação percentual das potências médias de entrada dos retificadores controlado e não controlado, em função do parâmetro “K”.

- Os valores percentuais das potências médias de saída $P_{1\%}$ (Retif-1) e $P_{2\%}$ (Retif-2), conforme Figura 4.5, determinados pelas equações (4.33) e (4.34) {definidas através de (2.115) e (2.116)}:

$$P_{1\%} = 100 \cdot \frac{2 \cdot \sqrt{3} \cdot V_{ef}}{\sqrt{F_{a_{60Hz}}^2(K) + \sum_{n=2}^{\infty} F_{a_{n>1}}^2(n, K)}} \quad (4.33)$$

$$P_{2\%} = 100 - P_{1\%} \quad (4.34)$$

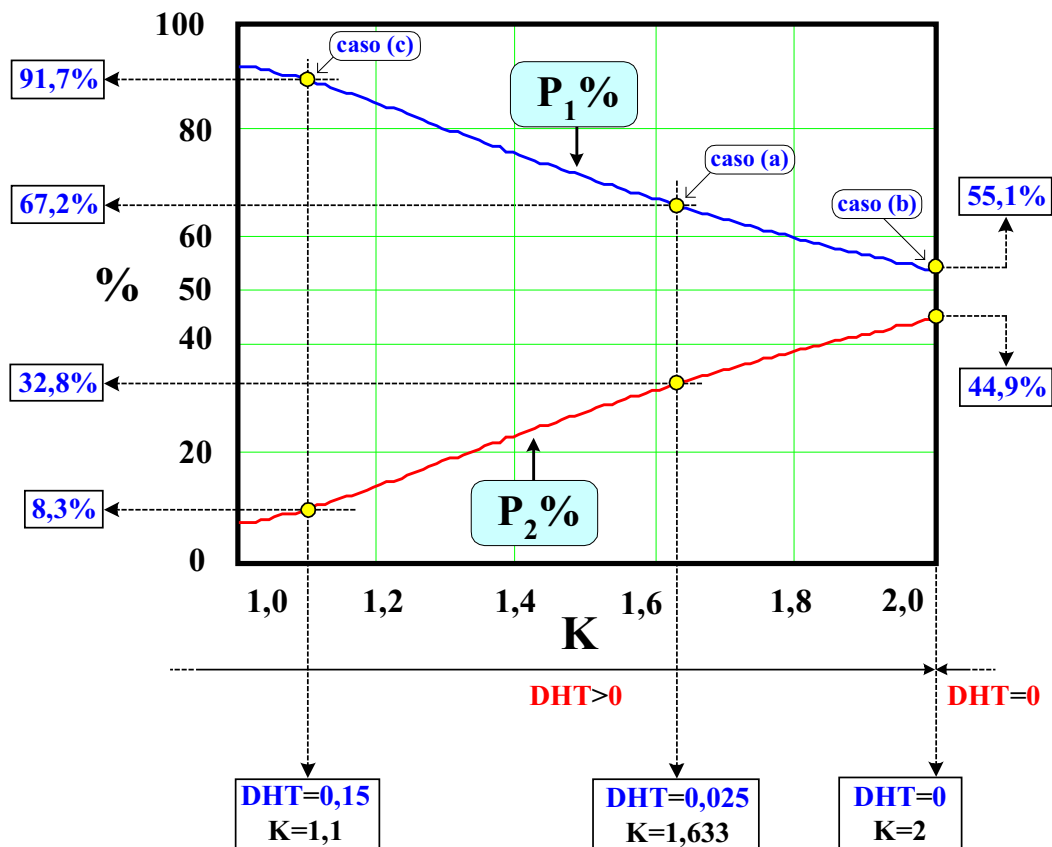


Figura 4.5 – Variação percentual das correntes médias de saída dos retificadores controlado e não controlado, em função do parâmetro “K”.

4.5 – Cálculo do Filtro de Saída do Retificador Não controlado

O critério utilizado para o projeto do filtro de saída foi somente a restrição das ondulações da corrente através do indutor de saída L_O e da tensão sobre o capacitor C_O em paralelo com a carga R_O , considerando o retificador trifásico híbrido operando em regime permanente. Em uma análise de regime transitório (variação da carga, por exemplo) poderá ser necessário ajustar os valores de L_O e C_O visando limitar as variações da tensão na carga. O circuito equivalente do filtro de saída é visualizado através da Figura 4.6.

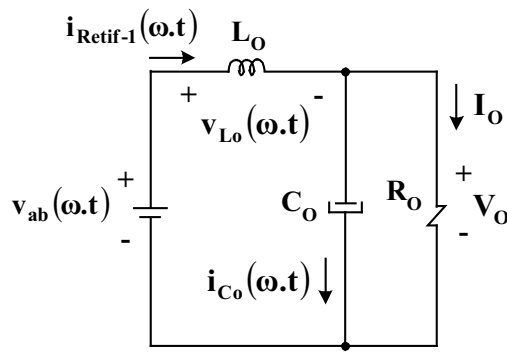


Figura 4.6 – Filtro de saída do Retificador Híbrido Trifásico.

Os dados de projeto são os mesmos definidos no item 4.2, considerando que a corrente total de carga circula através do filtro de saída (O retificador controlado Retif-2 encontra-se desligado).

Dados de projeto:

$$\rightarrow V_{ef} = 127 \text{ V};$$

$$\rightarrow P = 3000 \text{ W}.$$

4.5.1 – O Cálculo do Indutor de Saída

O funcionamento do circuito (Figura 4.6) foi analisado no intervalo “ $\omega.t$ ” entre 90° e 150° . Portanto a tensão $V_{ab}(\omega.t)$ (tensão de saída da ponte retificadora trifásica) é dada pela seguinte equação, a qual foi inicialmente definida por (2.20):

$$v_{ab}(\omega.t) = \frac{\sqrt{3}}{\sqrt{2}} \cdot V_{ef} \cdot [\sqrt{3} \cdot \text{sen}(\omega.t) - \cos(\omega.t)] \quad (4.35)$$

Nas equações que definem a tensão $v_{L_o}(\omega.t)$ e corrente $i_{\text{Retif-1}}(\omega.t)$ através do indutor L_o , as ondulações da corrente e tensão na carga são desprezadas, considerando-se somente os seus valores médios, I_o e V_o , conforme a seguir:

$$v_{L_o}(\omega.t) = v_{ab}(\omega.t) - V_o \quad (4.36)$$

$$v_{L_o}(\omega.t) = L_o \cdot \frac{d[i_{\text{Retif-1}}(\omega.t)]}{dt} \quad (4.37)$$

Substituindo-se (4.7) e (4.35) em (4.36) obtém $v_{L_o}(\omega.t)$ de forma simplificada.

$$v_{L_o}(\omega.t) = V_{ef} \cdot \left\{ \frac{\sqrt{3}}{\sqrt{2}} \cdot [\sqrt{3} \cdot \text{sen}(\omega.t) - \cos(\omega.t)] - \frac{3 \cdot \sqrt{6}}{\pi} \right\} \quad (4.38)$$

A forma de onda de $v_{L_o}(\omega.t)$ é visualizada através da Figura 4.7.

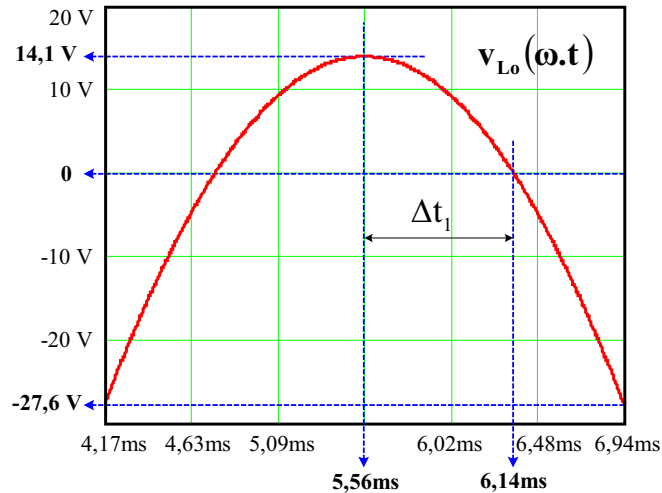


Figura 4.7 – Tensão sobre o indutor de filtro de saída L_O .

Levando (4.38) em (4.37) e aplicando a transformada de Laplace, obtém-se a equação que descreve $i_{\text{Retif-1}}(\omega.t)$, conforme Figura 4.8.

$$i_{\text{Retif-1}}(\omega.t) = -\frac{\sqrt{3} \cdot V_{\text{ef}}}{\sqrt{2} \cdot \omega \cdot L_O} \cdot \left\{ \sqrt{3} \cdot \cos(\omega.t) + \text{sen}(\omega.t) + \frac{\omega}{30 \cdot \pi} \cdot (180 \cdot t - 1) \right\} + I_{\text{Retif-1}}(\omega.t_1) \quad (4.39)$$

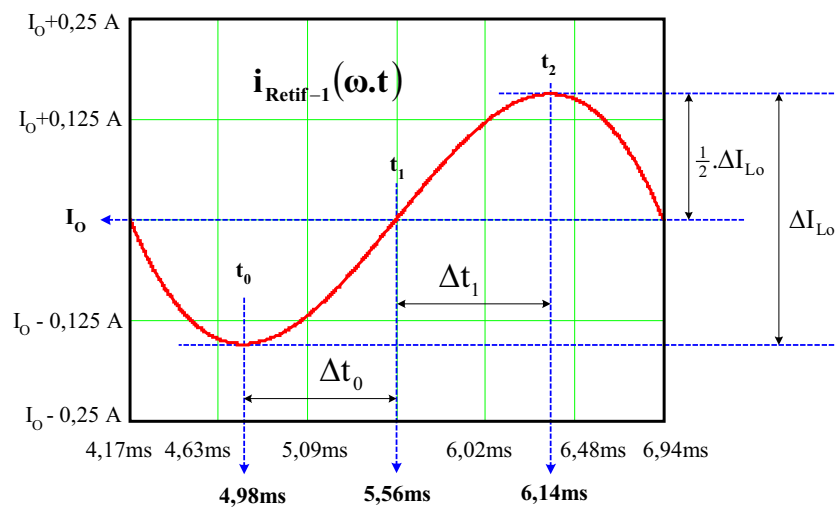


Figura 4.8 – Corrente através do indutor de filtro de saída L_O .

A ondulação da corrente $i_{\text{Retif-1}}(\omega.t)$ e a indutância L_O são calculadas durante o intervalo de tempo $\Delta t_1(t_1, t_2)$, tendo em vista que $\Delta t_1 = \Delta t_0$, conforme destacado na Figura 4.8.

Assim, em $t=t_1$, $i_{\text{Retif-1}}(\omega.t_1)=I_O$.

Então:

$$\frac{\Delta I_{L_O}}{2} = I_{\text{Retif-1}}(\omega.t_2) - I_O \quad (4.40)$$

$$\Delta t_1 = \frac{7 \cdot \pi}{72 \cdot \omega} \quad (4.41)$$

$$t_1 = \frac{2 \cdot \pi}{3 \cdot \omega} \quad (4.42)$$

$$t_2 = t_1 + \Delta t_1 \quad (4.43)$$

A partir de (4.39) calcula-se L_O , definindo-se um valor percentual da ondulação ΔI_{L_O} em relação ao valor médio da corrente na carga (I_O).

$$\Delta I_{L_O} = \frac{\Delta I_{L_O} \%}{100} \cdot I_O = \frac{\Delta I_{L_O} \%}{100} \cdot \frac{P \cdot \pi}{3 \cdot \sqrt{6} \cdot V_{ef}} \quad (4.44)$$

Finalmente:

$$L_O = -\frac{1800 \cdot V_{ef}^2}{\pi \cdot \omega \cdot \Delta I_{L_O} \% \cdot P} \cdot \left\{ \sqrt{3} \cdot \cos(\omega \cdot t_2) + \text{sen}(\omega \cdot t_2) + \frac{\omega}{30 \cdot \pi} \cdot (180 \cdot t_2 - 1) \right\} \quad (4.45)$$

Utilizando (4.45) e com os dados: $V_{ef}=127$ V, $P=3000$ W, $\Delta I_{L_O}\%=3,5\%$, $\omega=2 \cdot \pi \cdot 60$ e $t_2=6,366$ ms, define-se: $L_O=44$ mH.

4.5.2 – O Cálculo do Capacitor de Saída

O capacitor do filtro de saída é determinado em função da ondulação de corrente ΔI_{L_O} , através do indutor L_O e da ondulação de tensão ΔV_{C_O} considerada durante o intervalo de tempo $\Delta t_0 + \Delta t_1 = 2 \cdot \Delta t_1$, conforme (4.46).

$$C_O = \frac{\Delta I_{L_O}}{\Delta V_{C_O}} \cdot 2 \cdot \Delta t_1 \quad (4.46)$$

A ondulação ΔV_{C_O} é definida em função do seu valor percentual $\Delta V_{C_O} \%$ (em relação à tensão de saída V_O). Portanto:

$$\Delta V_{C_O} = \frac{3 \cdot \sqrt{6} \cdot V_{ef}}{\pi} \cdot \frac{\Delta V_{C_O} \%}{100} \quad (4.47)$$

Substituindo (4.40), (4.44) e (4.47) em (4.46), resulta na equação simplificada para o cálculo de C_O .

$$C_O = \frac{\pi^2}{27} \cdot \frac{\Delta I_{L_O} \% \cdot P \cdot \Delta t_1}{\Delta V_{C_O} \% \cdot V_{ef}^2} \quad (4.48)$$

Com dados: $V_{ef}=127$ V, $P=3000$ W, $\Delta I_{L_O}\%=3,5 \%$, $\Delta V_{C_O}\%=0,3 \%$ e $\Delta t_1=810$ μ s, define-se: $C_O=680$ μ F.

4.6 – Projeto dos Núcleos Magnéticos para os Indutores

O núcleo magnético tem como objetivo propiciar um caminho adequado para o fluxo magnético. Dentre os tipos de materiais utilizados na construção dos núcleos destacam-se o ferrite e as lâminas de ferro-silício. Para operações em frequências reduzidas as lâminas de ferro-silício são mais adequadas, entretanto, aumentando-se a frequência de operação, a sua

aplicação torna-se impraticável devido o aumento das perdas por histerese e correntes parasitas, e a conseqüente elevação da temperatura. Os núcleos de ferrite são indicados para freqüências mais elevadas de operação, no entanto, com algumas desvantagens em relação às lâminas de ferro silício, tais como uma densidade de fluxo reduzida de saturação (0,3 T) e menor resistência mecânica.

4.6.1 – Projeto dos Núcleos para os Indutores de Entrada e de Saída do SEPIC₁

A metodologia utilizada para o cálculo do elemento magnético, a seção de fio e o número de espiras para os indutores de entrada (L_1 e L_2) do SEPIC₁ é mesma adotada para o indutor de saída (L_3) [50]. A diferença está no valor eficaz e valor de pico da corrente que circula através destes indutores. A seguir, apresenta-se os passos utilizados no projeto do núcleo de ferrite e quantidade de espiras para os indutores L_1 , L_2 e L_3 .

Observa-se que $L_1=L_2=1/2.L_{in}$ e $L_3=L_m$, conforme definido no Capítulo 3.

Passo 1) Calcula-se a seção do fio condutor de cobre (cm^2), através de (4.49).

$$S_{Cond} = \frac{I_{ef}}{J} \quad (4.49)$$

Onde:

S_{Cond} : Seção do fio condutor de cobre (cm^2);

I_{ef} : Corrente eficaz que circula através do fio condutor de cobre (cm^2);

J : Densidade de corrente do fio condutor (A/cm^2).

Observa-se que como o fio estará sujeito a elevadas freqüências, podendo sofrer o efeito de condução superficial (efeito “skin”), faz-se a análise conforme mostra o passo 2.

Passo 2) Análise da influência do efeito Skin, conforme a seguir:

Passo 2) Calcula-se o raio R_{Cond} (cm^2) da seção do fio condutor de cobre:

$$R_{Scond} = \sqrt{\frac{S_{Cond}}{\pi}} \quad (4.50)$$

Calcula-se a profundidade do raio R_{skin} (cm^2), referente à penetração da corrente em função da freqüência máxima de comutação ($f_{smáx}$):

$$R_{skin} = \frac{7,5}{\sqrt{f_{smáx}}} \quad (4.51)$$

Se $R_{\text{Cond}} > R_{\text{skin}}$, então há a necessidade de se utilizar cabos trançados de fios de cobre (fio litz). Neste caso, calcula-se a quantidade (Q_{litz}) de condutores a serem utilizados através de (4.52).

$$Q_{\text{litz}} = \frac{S_{\text{Cond}}}{\pi \cdot R_{\text{skin}}^2} \quad (4.52)$$

Caso contrário, utiliza-se o fio comum.

Passo 3) Através de (4.53) obtém-se o produto da área da perna central do núcleo (A_e) pela área da janela do carretel (A_w), em (cm^4):

$$A_e \cdot A_w = \frac{L \cdot K_c \cdot I_{\text{ef}} \cdot I_{\text{pico}} \cdot 10^4}{B \cdot J} \quad (4.53)$$

Onde:

K_c : Coeficiente de ajuste dos indutores na área A_w ;

L : Valor da indutância (H);

B : Densidade de fluxo do núcleo (T);

I_{pico} : Corrente de pico através do fio condutor de cobre (A);

A_e : Área da perna central do núcleo, fornecida pelo fabricante (cm^2);

A_w : Área da janela do carretel, fornecida pelo fabricante (cm^2).

Do catálogo do fabricante Thornton escolhe-se um núcleo de ferrite, cujo produto das áreas $A_e \cdot A_w$ seja maior do que o produto das áreas obtido através da equação (4.53). Caso contrário, escolhe-se um outro núcleo de ferrite com dimensões superiores e refaz-se o projeto.

Passo 4) Calcula-se o número de espiras do fio condutor de cobre, através de (4.54).

$$N_e = \frac{L \cdot I_{\text{pico}} \cdot 10^4}{B \cdot A_e} \quad (4.54)$$

Onde:

N_e : Número de espiras.

Passo 5) Calcula-se o entreferro (cm) de acordo com (4.55):

$$L_g = \frac{\mu_0 \cdot A_e \cdot N_e^2 \cdot 10^{-2}}{L} \quad (4.55)$$

Onde:

L_g : Entreferro.

Logo, determina-se o núcleo dos indutores de entrada L_1 e L_2 , com os seguintes dados:

$$\begin{aligned} L_1=L_2 &= 2,5 \text{ mH;} \\ I_{ef} &= 4,68 \text{ A} \quad \{\text{determinado por (4.56)}\}. \\ I_{pico} &= 7,4 \text{ A} \quad \{\text{determinado por (4.17)}\}. \\ f_{smin} &= 27,4 \text{ kHz} \\ K_c &= 1,35 \\ J &= 450 \text{ A/cm}^2 \\ \mu_0 &= 4 \cdot \pi \cdot 10^{-7} \\ B &= 0,35 \text{ T} \end{aligned}$$

O valor eficaz da corrente através dos indutores L_1 e L_2 é determinado por (4.56) {definida no capítulo 3 por (3.160)}:

$$I_{inef} = 0,16 \cdot \frac{P}{\eta \cdot 0,85 \cdot V_{ef}} \quad (4.56)$$

Com dados: $V_{ef}=127 \text{ V}$, $P=3000 \text{ W}$ e $\eta=0,95$, obtém-se: $I_{ef}=I_{inef}=4,68 \text{ A}$.

- O produto $A_e \cdot A_w$ calculado pela equação (4.53) é de $7,42 \text{ cm}^4$. Do catálogo do fabricante Thornton escolheu-se o núcleo de ferrite tipo IP12 EE 55/20, para o indutor de entrada do SEPIC₁, cujo produto das áreas $A_e \cdot A_w$ corresponde à $8,85 \text{ cm}^4$.

Assim, os parâmetros de projeto para o indutor de entrada do SEPIC₁ são apresentados na Tabela 4.2.

Tabela 4.2 – Parâmetros do indutor de entrada do SEPIC₁.

Descrição dos parâmetros do indutor	Valores especificados
Número de espiras	$N_e=150$ (fio comum)
Comprimento médio de uma espira	$L_e=10,7 \text{ cm}$
Entreferro	$L_g=0,4 \text{ cm}$
Condutor de cobre	17 AWG
Resistividade do condutor pela seção transversal	$\rho/S_{Cond}=0,000222 \text{ } \Omega/\text{cm}^2$
Volume magnético efetivo do núcleo	$V_{EE}=42,5 \text{ cm}^3$

Passo 6) Cálculo das perdas no cobre (efeito Joule) dos enrolamentos e perdas magnéticas (no núcleo):

As perdas no cobre são calculadas pela seguinte expressão:

$$P_{w\text{Cond}} = \rho \cdot N_e \cdot \frac{L_e}{S_{\text{Cond}}} \cdot I_{\text{inef}}^2 \quad (4.57)$$

Com dados: $I_{\text{inef}}=4,68$ A, $\rho/S_{\text{Cond}}=0,000222$ Ω/cm^2 , $L_e=10,7$ cm e $N_e=150$ espiras, obtém-se: $P_{\text{Cond}}= 5,84$ W.

As perdas de potência no núcleo (P_{wEE}) são basicamente devidas à histerese do material e variam diretamente com a frequência de comutação e com a variação da densidade de fluxo (ΔB em Tesla). A variação da densidade de fluxo é determinada a seguir:

$$\Delta B = \frac{L_{\text{in}} \cdot \Delta I_{\text{in}}}{N_e \cdot A_e} \quad (4.58)$$

Com dados: $L_{\text{in}}=2,5$ mH, $\Delta I_{\text{in}}=0,82$ A, $N_e=150$ e $A_e=3,54$ cm^2 , obtém-se:

$$\Delta B=0,039$$
 T.

Os parâmetros “ β ”, “ K_H ” e “ K_F ” que compõem a equação (4.59) representam características do material ferrite. Tipicamente os valores de β variam entre 2,4 e 2,8 [8 e 49]. Já os demais parâmetros possuem valores referenciais fixos para núcleos da Thornton ($K_H=4 \cdot 10^{-5}$ e $K_F=4 \cdot 10^{-10}$) [50].

$$P_{wEE} = \Delta B^\beta \cdot (K_H \cdot f_s + K_F \cdot f_s^2) V_{EE} \quad (4.59)$$

Onde:

β : Expoente de perdas no núcleo;

f_s : Frequência de comutação;

K_H : Coeficiente de perdas por histerese;

K_F : Coeficiente de perdas por correntes parasitas (Foucault).

Com dados: $\Delta B=0,039$ T, $\beta=2,6$, $K_H=4 \cdot 10^{-5}$, $K_F=4 \cdot 10^{-10}$, $f_s=f_{\text{smáx}}=43,86$ kHz e $V_{EE}=42,5$ cm^3 , Calcula-se:

$$P_{wEE}=0,029$$
 W.

Assim, as perdas totais em cada indutor de entrada são:

$$P_{w\text{total}} = P_{w\text{Cond}} + P_{wEE} \quad (4.60)$$

$$P_{w\text{total}}=5,86$$
 W.

Passo 7) Cálculo da elevação da temperatura no núcleo escolhido:

As perdas totais (efeito Joule + magnéticas) no indutor geram aquecimento e conseqüentemente uma determinada elevação da temperatura acima do ambiente ao qual este está submetido.

Inicialmente determina-se a resistência térmica do núcleo na seqüência.

$$R_{th_{n\u00facleo}} = 23.(A_e.A_w)^{-37} \quad (4.61)$$

Com os dados $A_e.A_w=8,85 \text{ cm}^4$, calcula-se: $R_{th_{n\u00facleo}}=10,26 \text{ }^\circ\text{C/W}$.

Finalmente, pela equa\u00e7\u00e3o seguinte, calcula-se a eleva\u00e7\u00e3o da temperatura no n\u00facleo.

$$\Delta T = R_{th_{n\u00facleo}} \cdot P_{wtotal} \quad (4.62)$$

Com os dados $R_{th_{n\u00facleo}}=10,26 \text{ }^\circ\text{C/W}$ e $P_{wtotal}=5,86 \text{ W}$, obt\u00eam-se: $\Delta T=60,1 \text{ }^\circ\text{C}$.

De forma semelhante, determina-se o n\u00facleo do indutor de sa\u00edda, com os seguintes dados:

$$\begin{aligned} L_3 &= 5,0 \text{ mH;} \\ I_{ef} &= 2,0 \text{ A} && \{\text{determinado por (4.63)}\}. \\ I_{pico} &= 3,0 \text{ A} && \{\text{determinado por (4.64)}\}. \\ f_{smin} &= 27,4 \text{ kHz} \\ K_c &= 1,6 \\ J &= 450 \text{ A/cm}^2 \\ \mu_0 &= 4. \pi.10^{-7} \text{ H/m} \\ B &= 0,35 \text{ T} \end{aligned}$$

O valor eficaz e valor de pico da corrente atrav\u00e9s do indutor L_3 s\u00e3o determinados por (4.63) e (4.64) {definidas no cap\u00edtulo 3 por (3.163) e (3.165)}:

$$I_{Lmef} = 0,07157. \frac{P}{0,85.V_{ef}} \quad (4.63)$$

$$I_{Lmt1} = 0,1054. \frac{P}{0,85.V_{ef}} \cdot \left(1 + \frac{\Delta I_{Lm} \%}{200}\right) \quad (4.64)$$

Com dados: $V_{ef}=127 \text{ V}$, $\Delta I_{Lm} \% = 33 \%$ e $P=3000 \text{ W}$, obt\u00eam-se:

$$I_{ef}=I_{Lnef}=2,0 \text{ A.}$$

$$I_{pico}=I_{Lnt1}=3,0 \text{ A.}$$

- O produto $A_e.A_w$ calculado atrav\u00e9s da equa\u00e7\u00e3o (4.53) corresponde a $3,05 \text{ cm}^4$. Analogamente, do cat\u00e1logo do fabricante Thornton escolheu-se o n\u00facleo de ferrite tipo IP12 EE 42/20, para o indutor de sa\u00edda L_3 , cujo produto das \u00e1reas $A_e.A_w$ \u00e9 $8,85 \text{ cm}^4$.

Assim, os parâmetros de projeto para o indutor de saída do SEPIC₁ são apresentados na Tabela 4.3.

Tabela 4.3 – Parâmetros do indutor de saída do SEPIC₁.

Descrição dos parâmetros do indutor	Valores especificados
Número de espiras	$N_e=122$ (fio comum)
Comprimento médio de uma espira	$L_e=10,7$ cm
Entreferro	$L_g=0,13$ cm
Condutor de cobre	20 AWG
Resistividade do condutor pela seção transversal	$\rho/S_{\text{Cond}}=0,000445$ Ω/cm^2
Volume magnético efetivo do núcleo	$V_{EE}=42,5$ cm^3

Portanto, com os dados anteriores determinam-se as perdas e elevação de temperatura no indutor de saída do conversor SEPIC₁, relacionadas a seguir:

$$\begin{aligned}
 P_{w\text{Cond}} &= 1,74 \text{ W} && \{\text{determinado por (4.57)}\}. \\
 \Delta B &= 0,095 \text{ T} && \{\text{determinado por (4.58)}\}. \\
 P_{wEE} &= 0,235 \text{ W} && \{\text{determinado por (4.59)}\}. \\
 P_{w\text{total}} &= 2,0 \text{ W} && \{\text{determinado por (4.60)}\}. \\
 R_{t\text{núcleo}} &= 10,26 \text{ }^\circ\text{C/W} && \{\text{determinado por (4.61)}\}. \\
 \Delta T &= 20,27 \text{ }^\circ\text{C} && \{\text{determinado por (4.62)}\}.
 \end{aligned}$$

Neste projeto, verificou-se que a contribuição das perdas magnéticas nos núcleos (Indutores: L_1 , L_2 e L_3) na elevação da temperatura é mínima.

As perdas totais nos indutores L_1 , L_2 e L_3 são:

$$P_{w\text{IndSEPIC1}} = 7,86 \text{ W} \quad \{ \text{Indutores } L_1, L_2 \text{ e } L_3 \}$$

4.6.1 – Projeto dos Núcleos dos Indutores de Saída do Retificador Não-controlado

Em geral o núcleo dos pequenos transformadores e indutores de baixa frequência é feito com lâminas de ferro-silício padronizadas e isoladas eletricamente (objetivando limitar as perdas por correntes de Foucault), chamadas de E e I, em virtude de seu formato especial.

Todas as dimensões das lâminas E e I são em função da largura (a) do tronco central [51], conforme Figura 4.9.

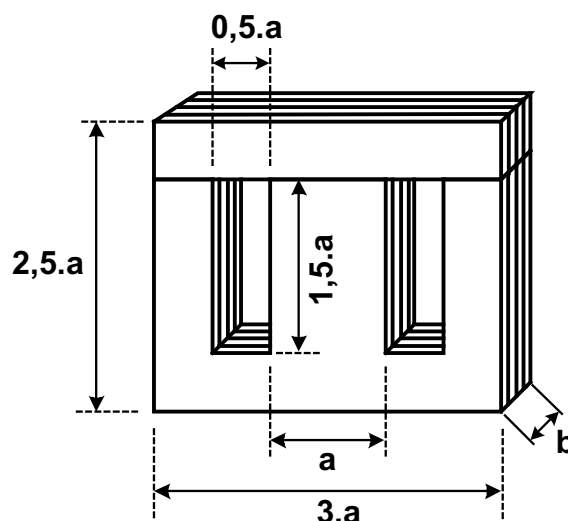


Figura 4.9 – Núcleo laminado de ferro-silício do indutor de filtro de saída L_O .
Na Figura 4.10 são destacadas algumas grandezas características importantes do núcleo laminado, utilizadas no projeto do indutor, como:

- A área da janela (A_w) em função de (a), pois dela dependerá o número de espiras e a seção dos condutores que irão constituir a bobina do indutor;
- A espessura (b) resultante do empilhamento das lâminas;
- O peso de cada centímetro da espessura (b) e o volume total do núcleo;
- A área da seção da perna central (A_e) do núcleo por onde circulará o fluxo máximo.

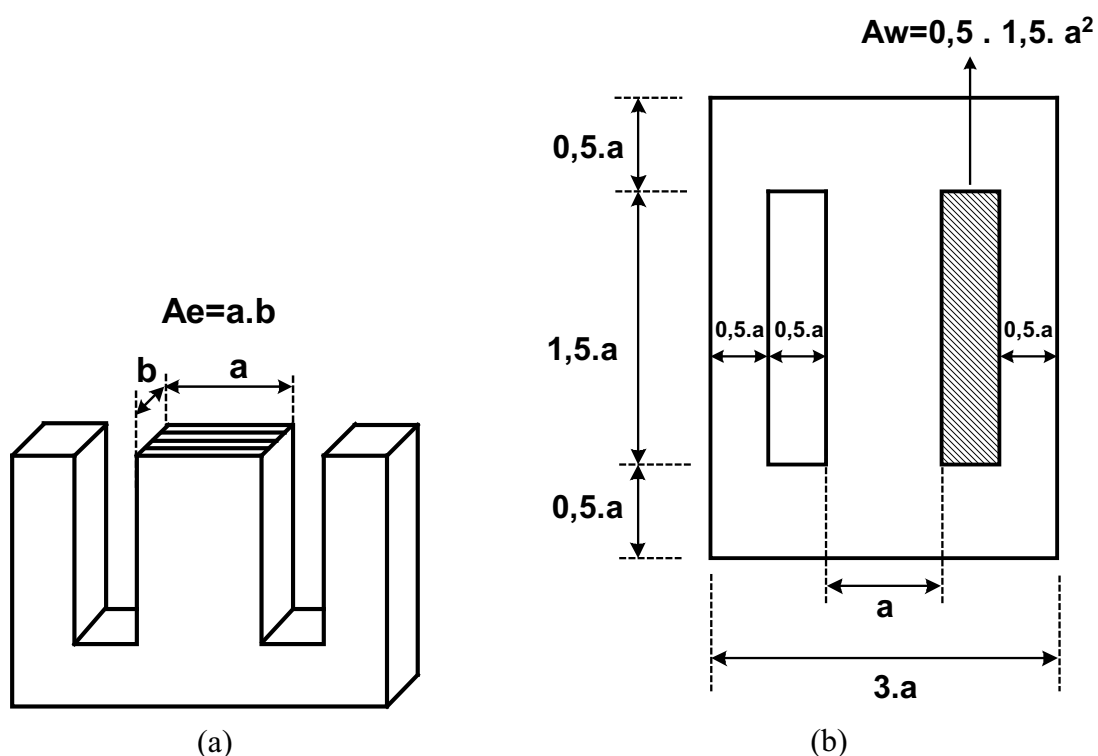


Figura 4.10 – Detalhes do núcleo laminado de ferro-silício do indutor de filtro de saída L_O .

A seguir será apresentada a metodologia de projeto passo a passo do núcleo laminado de ferro-silício:

Passo 1) Cálculo da área da perna central (A_e) do núcleo:

$$A_e = a.b.K_s \quad (4.65)$$

Onde:

K_s : Coeficiente de empilhamento das lâminas de ferro-silício.

Passo 2) Determinando o comprimento médio do caminho magnético (L_{Fe}) do núcleo:

$$L_{Fe} = 6,5.a \quad (4.66)$$

Passo 3) Cálculo da relutância do ferro-silício (R_{eFe}):

$$R_{eFe} = \frac{L_{Fe}}{\mu_{Fe} \cdot A_e} \cdot 10^2 \quad (4.67)$$

Onde:

μ_{Fe} : Permeabilidade magnética do ferro-silício ($\mu_{Fe} = 7,692 \cdot 10^{-3}$ H/m).

Passo 4) Cálculo da área do entreferro (A_{Lg}):

$$A_{Lg} = 2.a.b.K_s \quad (4.68)$$

Passo 5) Cálculo da relutância do entreferro (R_{eLg}):

$$R_{eLg} = \frac{L_g}{\mu_0 \cdot A_{Lg}} \cdot 10^2 \quad (4.69)$$

Onde:

μ_0 : Permeabilidade magnética do ar ($\mu_0 = 4.\pi.10^{-7}$ H/m).

Passo 6) Cálculo da relutância total núcleo:

$$R_{etotal} = R_{eFe} + R_{eLg} \quad (4.70)$$

Passo 7) Determinando a quantidade de espiras:

$$N_e = \sqrt{L.R_{etotal}} \quad (4.71)$$

Passo 8) Cálculo da área da janela (A_w) para a acondicionamento das espiras:

$$A_w = 0,75.a^2 \quad (4.72)$$

Passo 9) Calcula-se a seção do fio condutor de cobre (cm^2) {definida por (4.49)}:

$$S_{Cond} = \frac{I_{Retif-l(eficaz)}}{J} \quad (4.73)$$

Onde:

S_{Cond} : Seção do fio condutor de cobre (cm^2);

$I_{\text{Retif-1(eficaz)}}$: Corrente eficaz que circula através do fio condutor de cobre (cm^2);

J : Densidade de corrente do fio condutor (A/cm^2).

Devido a ondulação da corrente de saída do retificador não controlado ser praticamente uma senóide, pode-se aproximar o cálculo do valor eficaz da corrente $i_{\text{Retif-1}}(\omega.t)$ {definida por (4.39)} pela seguinte equação:

$$I_{\text{Retif-1(eficaz)}} = I_{\text{Retif-1}} + \frac{\Delta I_{L_o}}{2.\sqrt{2}} \quad (4.74)$$

Substituindo (4.2) e (4.44) em (4.74) resulta em:

$$I_{\text{Retif-1(eficaz)}} = \frac{\pi}{3.\sqrt{6}} \cdot \frac{P}{0,85.V_{\text{ef}}} \cdot \left(1 + \frac{\Delta I_{L_o} \%}{200.\sqrt{2}} \right) \quad (4.75)$$

Passo 10) Verifica-se a necessidade do uso de fio litz, através de (4.50), (4.51) e (4.52):

Passo 11) Verificação da possibilidade de enrolamento (P_{oss}) das espiras no núcleo:

$$P_{\text{oss}} = \frac{A_w}{N_e \cdot S_{\text{Cond}}} \quad (4.76)$$

→ Condição para a implementação: $P_{\text{oss}} \geq 3$

Esta condição é um procedimento prático adotado por autores de bibliografias específicas (projeto de núcleos de ferro-silício) visando garantir que as espiras do condutor escolhido sejam devidamente alojadas na janela do núcleo [51].

Passo 12) Cálculo da área frontal efetiva (A_{Lam}) da chapa de ferro-silício (cm^2):

$$A_{\text{Lam}} = 6.a^2 \quad (4.77)$$

Passo 13) Calcula-se o volume efetivo ($V_{\text{núcleo}}$) do núcleo (cm^3):

$$V_{\text{núcleo}} = 6.a^2 \cdot b.K_s \quad (4.78)$$

Passo 14) Cálculo do peso do núcleo ($P_{\text{esoNúcleo}}$) (g):

$$P_{\text{esoNúcleo}} = V_{\text{núcleo}} \cdot P_{\text{EspFe}} \quad (4.79)$$

Onde:

P_{EspFe} : Peso específico do ferro-silício ($P_{\text{EspFe}}=7,8 \text{ g/cm}^3$).

Passo 15) Determinando as perdas por efeito Joule no núcleo (W):

$$P_{\text{wNúcleo}} = P_{\text{esoNúcleo}} \cdot P_{\text{wEspFe}} \cdot 10^{-3} \quad (4.80)$$

Onde:

P_{wEspFe} : Perda específica de potência no ferro-silício ($P_{\text{wEspFe}}=1,6 \text{ W/kg}$).

Passo 16) Cálculo do comprimento médio (L_e) das espiras (cm):

$$L_e = a \cdot \left(2 + \frac{\pi}{2} \right) + 2 \cdot b \quad (4.81)$$

Passo 17) Substituindo-se (4.75) em (4.57), calcula-se a potência dissipada no cobre (P_{wCond}):

$$P_{\text{wCond}} = \rho \cdot N_e \cdot \frac{L_e}{S_{\text{Cond}}} \cdot I_{\text{Re.tif-1(eficaz)}}^2 \quad (4.82)$$

Passo 18) Determinando as perdas totais no indutor (W):

$$P_{\text{wtotal}} = P_{\text{wNúcleo}} + P_{\text{wCond}} \quad (4.83)$$

Passo 19) Análise da elevação da temperatura (ΔT):

- a) Nos transformadores e indutores resfriados a ar, o espaço existente entre o núcleo e as bobinas, não é suficiente para uma transmissão adequada de calor.

Deste modo, as calorias (energia transformada em calor) produzidas no núcleo serão transmitidas ao ar pelas superfícies do núcleo existentes externamente às bobinas.

Já as calorias produzidas pelas bobinas serão transmitidas ao ar pela sua superfície externa ao núcleo.

- b) O coeficiente de adução (K_a) é a quantidade de watts cedidos para o ar, por cada metro quadrado de superfície por cada grau centígrado de elevação da temperatura.

Para o núcleo de ferro pode ser considerado $K_{a\text{Fe}}=12 \text{ W/m}^2 \text{ }^\circ\text{C}$. Isto significa que a irradiação de 12 watts por metro quadrado de superfície resulta em uma elevação de temperatura de $1,0 \text{ }^\circ\text{C}$.

Para as bobinas pode ser considerado $K_{aCond}=20 \text{ W/m}^2 \text{ }^\circ\text{C}$. Analogamente, a irradiação de 20 watts por metro quadrado de superfície resulta em uma elevação de temperatura de $1,0 \text{ }^\circ\text{C}$.

Na seqüência são dadas as equações para o cálculo das áreas externas em contato com o ar para a retirada de calor do núcleo e das bobinas.

- Calculando a área externa ($A_{extNúcleo}$) para a retirada de calor do núcleo de ferro-silício (m^2):

$$A_{extNúcleo} = (9.a^2 + 11.a.b) \cdot 10^{-4} \quad (4.84)$$

- Calculando a área externa ($A_{extCond}$) para a retirada de calor da bobina (m^2):

$$A_{extCond} = 3 \cdot \left[a^2 \cdot \left(1 + \frac{\pi}{4} \right) + a.b \right] \cdot 10^{-4} \quad (4.85)$$

- A resistência térmica ($R_{thNúcleo}$) e a elevação da temperatura ($\Delta T_{Núcleo}$) do núcleo são calculadas através das equações a seguir:

$$R_{thNúcleo} = \frac{1}{A_{extNúcleo} \cdot K_{aFe}} \quad (4.86)$$

$$\Delta T_{Núcleo} = R_{thNúcleo} \cdot P_{wNúcleo} \quad (4.87)$$

- A resistência térmica (R_{thCond}) e a elevação da temperatura (ΔT_{Cond}) das bobinas são calculadas com as equações a seguir:

$$R_{thCond} = \frac{1}{A_{extCond} \cdot K_{aCond}} \quad (4.88)$$

$$\Delta T_{Cond} = R_{thCond} \cdot P_{wCond} \quad (4.89)$$

O indutor (L_O) do filtro de saída do retificador não controlado é constituído por dois indutores (L_{O1} e L_{O2}) conectados em série.

Portanto o projeto do núcleo de ferro-silício refere-se a metade da indutância L_O . Assim, $L_{O1}=L_{O2}=\frac{1}{2} \cdot L_O$.

Escolheu-se a chapa de ferro-silício do tipo 4HS-450 (Fabricante Tessin) com a largura da perna central igual “a” igual 4,5 cm, para compor os indutores L_{O1} e L_{O2} , considerando os parâmetros listados na Tabela 4.4:

Tabela 4.4 – Parâmetros dos indutores de saída do retificador não controlado.

Descrição dos parâmetros dos indutores	Valores especificados
Valor das indutâncias	$L_{O1}=L_{O2} = 22 \text{ mH}$
Valor eficaz da corrente de saída {Determinado por (4.75)}	$I_{\text{Retif-1(eficaz)}} = 12,0 \text{ A}$
Largura da perna central do núcleo	$a = 4,5 \text{ cm}$
Espessura do núcleo	$b = 5,5 \text{ cm}$
Entreferro	$L_g = 0,15 \text{ cm}$
Coefficiente de empilhamento das chapas	$K_s = 0,9$
Densidade superficial de corrente	$J = 450 \text{ A/cm}^2$
Permeabilidade magnética do ar	$\mu_0 = 4 \cdot \pi \cdot 10^{-7} \text{ H/m}$
Permeabilidade magnética do ferro-silício	$\mu_{\text{Fe}} = 7,692 \cdot 10^{-3} \text{ H/m}$
Indução magnética	$B = 1,0 \text{ T}$

Percorrendo os dezenove passos de projeto, descritos anteriormente, resultam os seguintes dados utilizados na construção dos indutores L_{O1} e L_{O2} , conforme Tabela 4.4.

Tabela 4.4 – Parâmetros calculados para os indutores de saída do retificador não controlado.

Descrição dos parâmetros calculados	Equação utilizada	Valores calculados
Área da perna central	(4.65)	$A_e = 22,27 \text{ cm}^2$
Caminho magético	(4.6)	$L_{\text{Fe}} = 29,25 \text{ cm}$
Relutância do ferro-silício	(4.67)	$R_{e\text{Fe}} = 17.070 \text{ 1/H}$
Área do entreferro	(4.68)	$A_{L_g} = 44,55 \text{ cm}^2$
Relutância do entreferro	(4.69)	$R_{eL_g} = 267.940 \text{ 1/H}$
Relutância total	(4.70)	$R_{\text{etotal}} = 285.010 \text{ 1/H}$
Quantidade de espiras	(4.71)	$N_e = 80$
Área da janela	(4.72)	$A_w = 15,20 \text{ cm}^2$
Seção do condutor AWG 12	(4.73)	$S_{\text{Cond}} = 0,033092 \text{ cm}^2$
Condutor AWG 12 (Dado do fabricante)	-	$\rho/S_{\text{Cond}} = 0,000070 \text{ } \Omega/\text{cm}^2$

Possibilidade de enrolamento	(4.76)	$P_{oss} = 5,79$
Área frontal efetiva	(4.77)	$A_{Lam} = 121,50 \text{ cm}^2$
Volume do núcleo	(4.78)	$V_{Núcleo} = 601,43 \text{ cm}^3$
Peso do núcleo	(4.79)	$P_{esoNúcleo} = 3,91 \text{ kg}$
Perdas no núcleo	(4.80)	$P_{wNúcleo} = 6,25 \text{ W}$
Comprimento da espira	(4.81)	$L_e = 27,07 \text{ cm}$
Perdas no condutor	(4.82)	$P_{wCond} = 21,61 \text{ W}$
Perdas totais no indutor	(4.83)	$P_{wTotal} = 27,86 \text{ W}$
Área externa do núcleo	(4.84)	$A_{extNúcleo} = 0,0455 \text{ m}^2$
Área externa da bobina	(4.85)	$A_{extCond} = 0,0183 \text{ m}^2$
Resistência térmica do núcleo	(4.86)	$R_{thNúcleo} = 1,83 \text{ }^\circ\text{C/W}$
Varição da temperatura no núcleo	(4.87)	$\Delta T_{Núcleo} = 11,47 \text{ }^\circ\text{C}$
Resistência térmica da bobina	(4.88)	$R_{thCond} = 2,74 \text{ }^\circ\text{C/W}$
Varição da temperatura da bobina	(4.89)	$\Delta T_{Cond} = 59,12 \text{ }^\circ\text{C}$

Tendo em vista que os indutores (L_{O1} e L_{O2}) estão conectados em série, as perdas totais são somadas, a seguir:

$$P_{wTotal}(L_O) = 55,72 \text{ W.}$$

4.7 – Circuito Snubber para o Interruptor Principal do SEPIC₁

Durante a entrada em condução e/ou bloqueio de interruptores de potência, controlados ou não, tais como MOSFET, IGBT e diodos, ocorre a troca de energia entre as capacitâncias intrínsecas ou encapsuladas destes dispositivos com as indutâncias parasitas do circuito (trilhas na placa de circuito impresso, por exemplo).

Devido aos valores reduzidos destas indutâncias e capacitâncias envolvidas, ocorrem oscilações (ruídos de modo diferencial) de corrente e de tensão em frequências elevadas (podendo chegar à GHz), resultando em esforços elevados de tensão sobre tais interruptores e Interferência eletromagnética (IEM). Devido a dificuldade em se medir corretamente todos os elementos parasitas envolvidos, um circuito snubber foi projetado empiricamente

utilizando-se como ponto inicial de projeto a frequência de oscilação da tensão sobre o interruptor principal IGBT.

Optou-se pelo emprego de duas topologias bastante comuns, o RC (snubber de amortecimento) e o RCD (snubber de grampeamento).

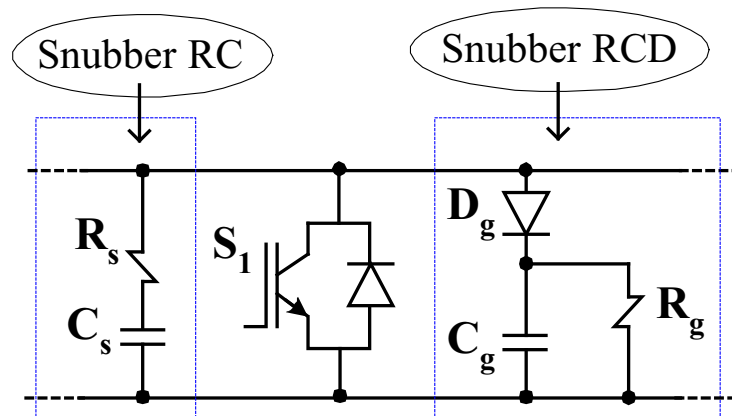


Figura 4.11 – Snubbers RC e RCD utilizados no interruptor controlado do SEPIC₁.

A seguir na Figura 4.11 são apresentados os dois circuitos snubbers utilizados [52]. Observa-se que na implementação prática os circuitos snubbers são posicionados o mais próximo possível do interruptor, ao contrário do que possivelmente possa aparentar a Figura 4.11.

Dados do snubber:

- ➔ Snubber RC: $R_s=370 \Omega$ e $C_s=500 \text{ pF}$;
- ➔ Snubber RCD: $R_g=80 \text{ k}\Omega$, $C_g=82 \text{ nF}$ e $D_g=1\text{N}5408$.

A frequência média de operação (f_{sMd}) é calculada através de (4.90) {definida por (3.136)}.

$$f_{sMd} = \frac{1}{1,3 \cdot t_{ON}} \quad (4.90)$$

Da equação (4.90) e com os dados: $T_{ON}=22,8 \text{ us}$, calcula-se: $f_{sMd}=33,74 \text{ kHz}$.

A tensão de pico sobre o interruptor (V_{sPico}) é determinada pela equação (4.91) {definida por (3.171)}.

$$V_{sPico} = \sqrt{2} \cdot V_{ef} \cdot \left(1 + \frac{\Delta V_C \%}{200} + \frac{3 \cdot \sqrt{3}}{\pi} \right) \quad (4.91)$$

Da equação (4.91) e com os dados: $V_{ef}=127 \text{ V}$ e $\Delta V_C\%=14 \%$, calcula-se:

$$V_{sPico}=489,25 \text{ V}.$$

O snubber RC proporciona o amortecimento da oscilação sem a preocupação de limitar totalmente os valores de pico, resultando em uma menor potência dissipada (P_{wRC}), calculada por (4.92).

A dissipação de potência no RC é determinada pelo valor da capacitância C_s . Usualmente, no cálculo da potência dissipada no capacitor aparece o coeficiente $\frac{1}{2}$, entretanto para esta aplicação, em algumas publicações [52] considera-se a dissipação de potência pela resistência R_s tanto na carga quanto na descarga da capacitância C_s , conforme equação (4.92).

$$P_{wRC} = C_s \cdot V_{sPico}^2 \cdot f_{sMd} \quad (4.92)$$

Logo, da equação (4.92) e com os dados: $f_{sMd}=33,74$ kHz, $V_{sPico}=489,25$ V e $C_s=500$ pF, calcula-se: $P_{wRC}=4,04$ W.

O snubber RCD faz somente o grampeamento dos picos de tensão, uma vez que a topologia empregada não possui capacidade de amortecimento. A potência dissipada no RCD é determinada por (4.93).

$$P_{wRCD} = \frac{V_{sPico}^2}{R_g} \quad (4.93)$$

De (4.93) e com os dados: $V_{sPico}=489,25$ V e $R_g=80$ k Ω , calcula-se: $P_{wRCD}=3,0$ W.

Assim, a potência total dissipada pelo snubber é: $P_{wSnubber}=7,04$ W.

4.8 – Cálculo Térmico dos Semicondutores

O cálculo térmico de um componente tem como finalidade assegurar que a sua temperatura de junção permaneça dentro do valor limite estipulado pelo fabricante [50]. Geralmente, a temperatura máxima de junção (T_j) para um transistor de potência (IGBT e MOSFET, por exemplo) é igual a $T_j=150$ °C e para um diodo pode alcançar até $T_j=175$ °C.

O cálculo térmico em regime permanente é definido conforme a seguir (Figura 4.12):

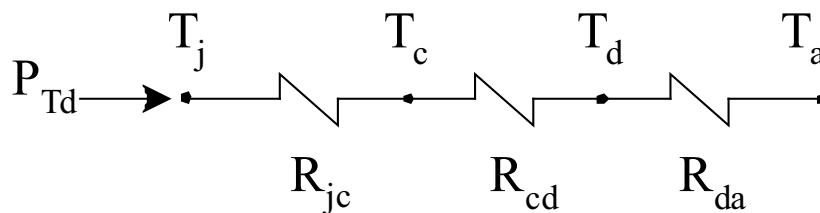


Figura 4.12 – Diagrama geral para o cálculo térmico de semicondutores.

Onde:

T_j : Temperatura da junção (°C);

T_c : Temperatura do encapsulamento ($^{\circ}\text{C}$);

T_d : Temperatura do filme de ar que circunda o dissipador ($^{\circ}\text{C}$);

T_a : Temperatura do ambiente ($^{\circ}\text{C}$);

R_{jc} : Resistência térmica junção-cápsula ($^{\circ}\text{C}/\text{W}$), dado fornecido pelo fabricante;

R_{cd} : Resistência térmica de contato entre o componente e o dissipador ($^{\circ}\text{C}/\text{W}$), geralmente em torno de $0,2^{\circ}\text{C}/\text{W}$;

R_{da} : Resistência térmica entre o filme de ar que circunda o dissipador e o ambiente ($^{\circ}\text{C}/\text{W}$);

P_{Td} : Potência térmica dissipada pelo semicondutor (W).

Assim, calculando-se o valor da resistência térmica R_{da} através de (4.94), define-se o tipo e dimensões do dissipador a ser empregado.

$$T_j - T_a = P_{Td} \cdot (R_{jc} + R_{cd} + R_{da}) \quad (4.94)$$

4.8.1 – Cálculo Térmico dos Semicondutores do Retificador Monofásico SEPIC₁

O circuito do retificador monofásico SEPIC₁ é composto dos seguintes semicondutores, já definidos anteriormente:

- ➔ Três diodos de potência RURP860;
- ➔ Um interruptor controlado IGBT HGTP7N60A4D;
- ➔ Uma ponte retificadora monofásica de diodos GBU8J.

O diodo RHRP860 é um dispositivo ultra-rápido durante a comutação devido o valor reduzido de sua capacitância de junção ($C_j=25$ pF). Portanto as suas perdas de comutação são desprezíveis (aproximadamente $200 \mu\text{W}$).

Já as suas perdas em condução serão consideradas e calculadas na seqüência, multiplicando-se a tensão de junção do dispositivo ($V_{Don}=1,7$ V) pelo valor médio da corrente {definida por (3.176)}.

$$P_{TdDiodo} = V_{Don} \cdot 0,777 \cdot \frac{\pi \cdot \sqrt{2}}{54} \cdot \frac{P}{V_{ef}} \quad (4.95)$$

Com os dados: $V_{Don}=1,7$ V, $P=3000$ W e $V_{ef}=127$ V, calcula-se: $P_{TdDiodo}=3,02$ W.

Tendo em vista que o valor médio da corrente que circula através dos três diodos é o mesmo, a potência total dissipada é: $P_{3TdDiodo}=9,06$ W.

Assim, com os dados do fabricante ($T_j=150^{\circ}\text{C}$, $R_{jc}=2,0^{\circ}\text{C}/\text{W}$ e $R_{cd}=0,2^{\circ}\text{C}/\text{W}$), obtém-se através de equação (4.94) os seguintes dados:

Diodos RURP860

$P_{3TdDiodo}$	=	9,06 W	{Valor calculado}
T_j	=	150 °C	{Dado fabricante}
T_c	=	131,88 °C	{Valor calculado}
T_d	=	130,07 °C	{Valor calculado}
R_{jd}	=	2,2 °C/W	($R_{jd} = R_{jc} + R_{cd}$) {Dado fabricante}

O IGBT HGTG7N60A4D (Fairchild Semiconductor) possui perdas por efeito Joule tanto em condução quanto no bloqueio, e, portanto serão calculadas.

O diodo encapsulado em antiparalelo é um dispositivo ultra-rápido, portanto as suas perdas por recuperação reversa são desprezíveis. Os dados fornecidos pelo fabricante são relacionados na seqüência.

Dados do fabricante: $T_j=150$ °C; $R_{jc}=1,0$ °C/W; $R_{cd}=0,2$ °C/W; $V_{CEon}=2,2$ V; $t_r=7,0$ ns; $t_f=85,0$ ns.

Onde:

V_{CEon} : Tensão coletor-emissor do dispositivo em condução (V);

t_r : Intervalo de tempo de subida da corrente durante a entrada em condução (s);

t_f : Intervalo de tempo de descida da corrente durante o bloqueio(s).

As perdas em condução são calculadas pelo produto de V_{CEon} com a corrente média (I_{sMd}) no período de rede {definida por (3.173)}.

$$P_{IGBTcond} = V_{CEon} \cdot 0,9 \cdot \left(\frac{0,143}{\eta} + 0,064 \right) \cdot \frac{P}{V_{ef}} \quad (4.96)$$

Com os dados: $V_{CEon}=2,2$ V, $\eta=0,95$, $P=3000$ W e $V_{ef}=127$ V, calcula-se: $P_{IGBTcond}=10,03$ W.

As perdas de comutação são determinadas através do produto da corrente média (I_{sMd}) pela tensão (V_{sPico}) sobre o interruptor bloqueado, durante o intervalo (t_r+t_f), em um período médio de comutação ($1,3 \cdot T_{ON}$), conforme (4.97).

$$P_{IGBTcom} = \frac{(t_r + t_f)}{1,3 \cdot T_{ON}} \cdot P \cdot \sqrt{2} \cdot 0,9 \cdot \left(\frac{0,143}{\eta} + 0,064 \right) \cdot \left(1 + \frac{\Delta V_C \%}{200} + \frac{3 \cdot \sqrt{3}}{\pi} \right) \quad (4.97)$$

Com os dados: $T_{ON}=22,8$ μ s, $t_r=7,0$ ns, $t_f=85,0$ ns, $\eta=0,95$, $P=3000$ W e $\Delta V_C \%=14$ %, calcula-se: $P_{IGBTcom}=6,93$ W.

Portanto, as perdas totais no IGBT são: $P_{TdIGBT}=10,03 + 6,93 = 16,96$ W. Com os dados fornecidos pelo fabricante obtém-se:

IGBT HG7N60A4D

P_{TdIGBT}	=	16,96 W	{Valor calculado}
T_j	=	150 °C	{Dado fabricante}
T_c	=	133,04 °C	{Valor calculado}
T_d	=	129,65 °C	{Valor calculado}
R_{jd}	=	1,2 °C/W	($R_{jd} = R_{jc} + R_{cd}$) {Dado fabricante}

No caso da ponte retificadora monofásica de diodos GBU8J, o fabricante já fornece as perdas totais do dispositivo, entretanto não fornece a resistência térmica R_{jc} , impedindo o cálculo da resistência junção-dissipador (R_{jd}). Na seqüência apresentam-se os dados disponíveis para este dispositivo:

Ponte retificadora GBU8J

$P_{TdGBU8J}$	=	6,9 W	{ Dado fabricante }
T_j	=	150 °C	{Dado fabricante}
T_c	=		{Não calculado}
T_d	=		{Não calculado}
R_{jd}	=	R_{jd_GBU8J}	{Não fornecido pelo fabricante}

É importante conhecer a diferença de temperatura (ΔT) entre o filme de ar que circunda o dissipador (T_d) e o ambiente (T_a), para a qual a resistência térmica do dissipador foi tabelada pelo fabricante.

No caso deste projeto (Fabricante HS dissipadores), os valores de resistência térmica R_{da} referem-se a uma $\Delta T = T_d - T_a = 75$ °C. Assim, adotando que $T_a = 30$ °C, calcula-se $T_d = 105$ °C.

Portanto, atualiza-se os dados (T_j , T_c e T_d) para os componentes conforme na seqüência.

Diodos RURP860

$P_{3TdDiodo}$	=	9,06 W	{Valor calculado}
T_j	=	124,93 °C	{Valor calculado}
T_c	=	106,81 °C	{Valor calculado}
T_d	=	105 °C	{Valor adotado}
R_{jd}	=	2,2 °C/W	($R_{jd} = R_{jc} + R_{cd}$) {Dado fabricante}

IGBT HG7N60A4D

$P_{T_d\text{IGBT}}$	=	16,96 W	{Valor calculado}
T_j	=	125,35 °C	{Valor calculado}
T_c	=	108,40 °C	{Valor calculado}
T_d	=	105 °C	{Valor adotado}
R_{jd}	=	1,2 °C/W	($R_{jd} = R_{jc} + R_{cd}$) {Dado fabricante}

Ponte retificadora GBU8J

$P_{T_d\text{GBU8J}}$	=	6,9 W	{Dado fabricante}
T_j	=	125 °C	{Valor estimado}
T_d	=	105 °C	{Valor adotado}
R_{jd}	=	R_{jd_GBU8J}	{Não fornecido pelo fabricante}

Com o valor de T_d agora conhecido, para a ponte retificadora GBU8J, é possível determinar o valor de R_{jd_GBU8J} , com (4.98).

$$R_{jd_GBU8J} = \frac{T_j - T_d}{P_{T_d\text{GBU8J}}} \quad (4.98)$$

Com os dados: $T_j=125$ °C, $T_d=105$ °C e $P_{T_d\text{GBU8J}}=6,9$ W, calcula-se:

$$R_{jd_GBU8J}=2,89 \text{ °C/W.}$$

Assim, o diagrama esquemático para o cálculo de R_{da} é apresentado a seguir pela Figura 4.13.

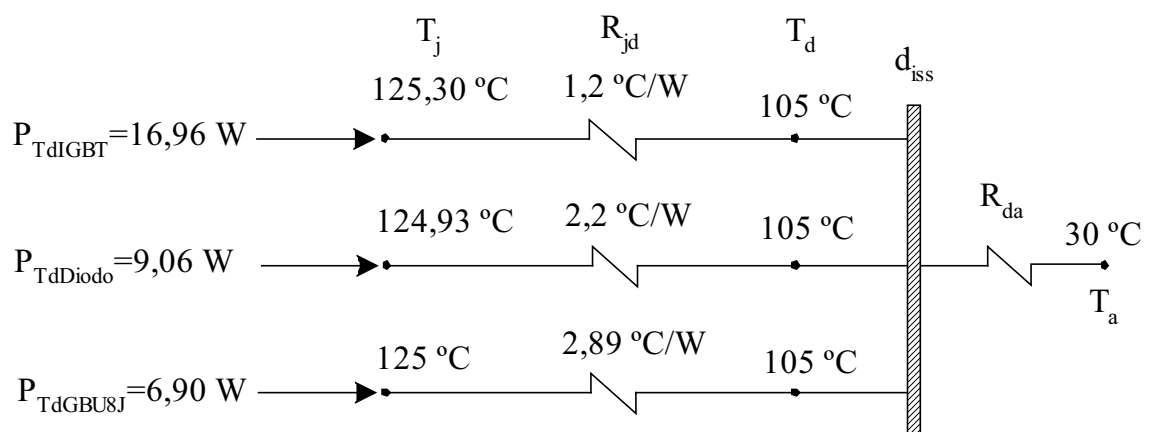


Figura 4.13 – Diagrama aproximado para o cálculo térmico de semicondutores.

Considerando a menor temperatura de junção ($T_j=124,93$ °C), o diagrama anterior é simplificado de seguinte maneira:

Calcula-se a resistência junção-dissipador equivalente (R_{jd_eq}) por (4.99) e soma-se todas as potências (P_{T_d}), conforme Figura 4.14.

$$\frac{1}{R_{jd_eq}} = \frac{1}{1,2} + \frac{1}{2,2} + \frac{1}{2,89} \quad (4.99)$$

Resultando em : $R_{jd_eq}=0,612 \text{ } ^\circ\text{C/W}$.

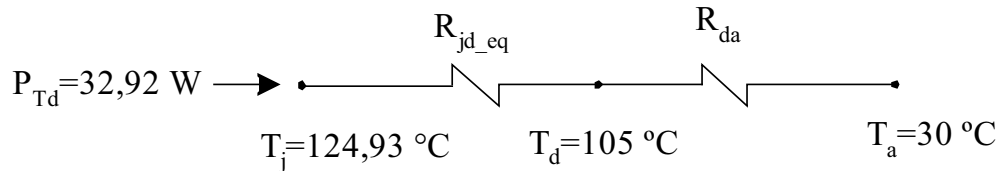


Figura 4.14 – Diagrama simplificado para o cálculo térmico de semicondutores.

Adequando a equação (4.94) ao diagrama da Figura 4.14, calcula-se a resistência R_{da} para o dissipador a ser utilizado para o retificador monofásico SEPIC₁.

$$R_{da} = \frac{T_j - T_a}{P_{Td}} - R_{jd_eq} \quad (4.100)$$

Com os dados: $T_j=124,93 \text{ } ^\circ\text{C}$, $T_a=30 \text{ } ^\circ\text{C}$, $R_{jd_eq}=0,612 \text{ } ^\circ\text{C/W}$ e $P_{Td}=32,92 \text{ W}$, calcula-se: $R_{da}=2,27 \text{ } ^\circ\text{C/W}$.

Portanto, o dissipador a ser empregado deverá ter uma resistência térmica com valor menor do que o valor calculado ($2,27 \text{ } ^\circ\text{C/W}$).

4.8.2 – Cálculo Térmico dos Semicondutores do Retificador Trifásico Não-Controlado

O retificador não-controlado (Retif-1) possui somente um componente semicondutor a ponte trifásica de diodos SKD 25/08 (encapsulado), especificada anteriormente com os seguintes dados fornecidos pelo fabricante Semikron: $T_j=150 \text{ } ^\circ\text{C}$; $R_{jc}=1,75 \text{ } ^\circ\text{C/W}$; $R_{cd}=0,15 \text{ } ^\circ\text{C/W}$, $V_{Don}=2,2 \text{ V}$ e perdas totais ($P_{TdSKD25}$) para um corrente de saída de $10,0 \text{ A}$ ($P_{TdSKD25}=20,0 \text{ W}$).

Ponte retificadora trifásica de diodos SKD 25/08

$P_{TdSKD25}$	=	20,0 W	{Dado fabricante}
T_j	=	150 °C	{Dado fabricante}
T_c	=	115 °C	{Valor calculado}
T_d	=	112 °C	{Valor calculado}
R_{jd}	=	1,9 °C/W	($R_{jd} = R_{jc} + R_{cd}$) {Dado fabricante}

Analogamente às considerações feitas para o cálculo térmico dos elementos do SEPIC₁ ($\Delta T = T_d - T_a = 75 \text{ }^\circ\text{C}$), adota-se que $T_a = 30 \text{ }^\circ\text{C}$, calcula-se $T_d = 105 \text{ }^\circ\text{C}$. Assim, atualizam-se os dados (T_j , T_c e T_d) conforme a seguir.

Ponte retificadora trifásica de diodos SKD 25/08

P_{T_dSKD25}	=	20,0 W	{Dado fabricante}
T_j	=	143 $^\circ\text{C}$	{Valor calculado}
T_c	=	108 $^\circ\text{C}$	{Valor calculado}
T_d	=	105 $^\circ\text{C}$	{Valor calculado}
R_{j_d}	=	1,9 $^\circ\text{C/W}$ ($R_{j_d} = R_{j_c} + R_{c_d}$)	{Dado fabricante}

Desta forma, através da equação (4.98) e com os dados: $T_d = 105 \text{ }^\circ\text{C}$, $T_a = 30 \text{ }^\circ\text{C}$ e $P_{T_d} = 20,0 \text{ W}$, calcula-se: $R_{d_a} = 3,75 \text{ }^\circ\text{C/W}$.

4.9 – Perdas Totais no Retificador Trifásico Híbrido

→ Retificador não controlado (Retif-1):

P_{T_dSKD25}	=	20,0 W	{Ponte retificadora trifásica de diodos SKD 25/08}
$P_{Total(L_O)}$	=	55,72 W	{Perdas nos indutores do filtro de saída}
$P_{wRetif-1}$	=	75,72 W	{Perdas totais no Retif-1}

→ Retificador controlado (Retif-2):

P_{T_d}	=	32,92 W	{Perdas totais no dissipador}
$P_{wIndSEPIC1}$	=	7,86 W	{Perdas no indutores L_1 , L_2 e L_3 }
$P_{wSnubber}$	=	7,04 W	{Perdas nos snubbers RC e RCD}
$P_{wSEPIC1}$	=	47,82 W	{Perdas totais no SEPIC ₁ }
$P_{wRetif-2}$	=	143,46 W	{Perdas totais no Retif-2}

→ Retificador trifásico híbrido (RTH):

P_{wRTH}	=	219,18 W	{Perdas totais no RTH}
------------	---	----------	------------------------

Cabe salientar que o cálculo das perdas realizado considera condições extremas de operação (O Retif-1 conduzindo a potência total e o Retif-2 opera com o parâmetro $K=2$), fato este que não ocorrerá na operação da estrutura.

No resultados experimentais, apresentados no Capítulo 6, será observado que as perdas totais não ultrapassam 180 W (82,12 % do valor calculado).

4.10 – Parâmetros Projetados para o Circuito do Retificador Trifásico Híbrido

Nas Figuras 4.14 e 4.15 são destacados os circuitos dos retificadores não controlado (Retif-1) e controlado (Retif-2: Em detalhe o retificador monofásico SEPIC₁), respectivamente.

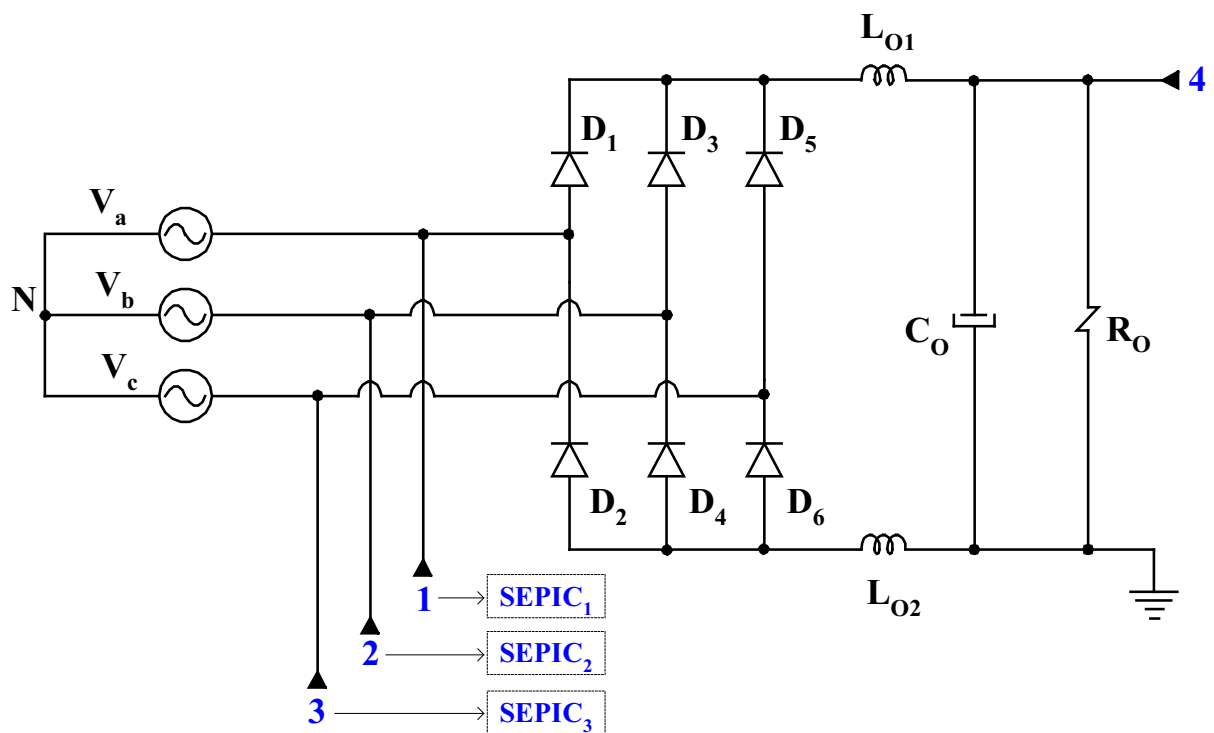


Figura 4.14 – Retificador trifásico de 6 pulsos não controlado (Retif-1).

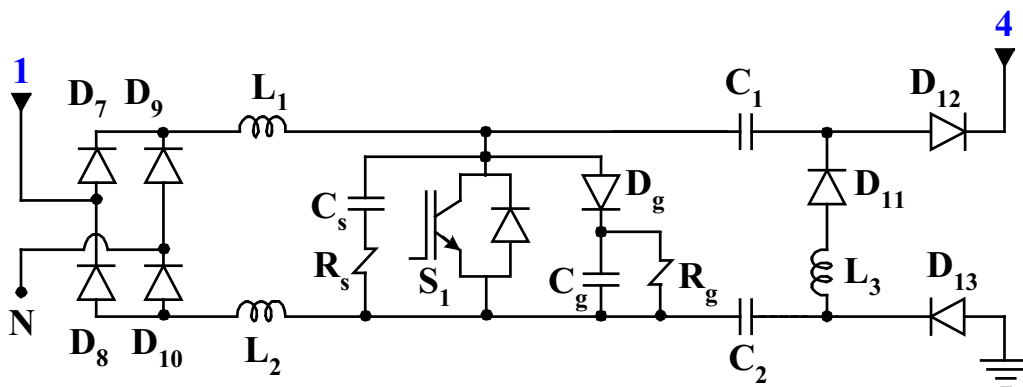


Figura 4.15 – Retificador monofásico SEPIC₁ (Retif-2).

Na Tabela 4.5 são mostrados os parâmetros projetados para o circuito do retificador híbrido (destacado nas Figuras 4.14 e 4.15), conforme metodologia de projeto desenvolvida neste capítulo.

Tabela 4.5 – Parâmetros do circuito do retificador trifásico híbrido.

Parâmetros do Circuito			
	Descrição	Simbologia	Valor
Retif-1	Ponte retificadora trifásica à diodos	D_1, D_2, D_3, D_4, D_5 e D_6	SKD2508 / $V_{Don}=2,2$ V (Semikron)
	Indutores de filtro na carga	L_{O1} e L_{O2}	22 mH /4HS-450 (Tessin)
	Capacitor de filtro na carga	C_O	680 μ F /450V
	Resistência de carga	R_O	29,7 Ω
	Retif-2	Ponte retificadora monofásica à diodos	D_7, D_8, D_9 e D_{10}
Interruptor controlado		S_1	HGTG7N60A4D / $V_{CEon}=2,2$ V (Fairchild Semiconductor)
Interruptores não controlados		D_{11}, D_{12} e D_{13}	RHRP860 / $V_{Don}=1,7$ V e $C_j=25$ pF (Fairchild Semiconductor)
Indutores de entrada		L_1 e L_2	2,5 mH /EE 55/20
Indutor de saída		L_3	5,0 mH /EE 55/20
Capacitores de acumulação		C_1 e C_2	4,4 μ F /400V
Snubber RC		C_s e R_s	$R_s=370$ Ω /5W, $C_s=500$ pF /1,6kV
Snubber RCD		D_g, C_g e R_g	$R_g=80$ k Ω /5W, $C_g=82$ nF /1,1 kV $D_g=1N5408$ / $V_{RRM}=1,0$ kV

4.11 – Conclusões

Neste capítulo foi discutida a metodologia detalhada de projeto para o retificador trifásico híbrido, tomando como base os equacionamentos e restrições desenvolvidas nos capítulos 2 e 3.

O retificador não controlado (Retif-1) foi projetado para processar toda a potência entregue à carga e o retificador controlado (Retif-2) foi projetado para operar com o parâmetro de controle $K=2$. Além disso, foi considerada especificamente para o cálculo dos interruptores (diodos e IGBTs) a hipótese de variação das tensões de alimentação em $\pm 15\%$, o que causa também a variação dos esforços de corrente em $\pm 15\%$. Com estas restrições, foi possível adequar as equações utilizadas, requerendo uma quantidade mínima de parâmetros e dados de entrada, facilitando o projeto.

O ponto de operação escolhido para o retificador híbrido (com $K=1,633$) foi propositalmente analisado em detalhes no Capítulo 2. Portanto, neste capítulo, o assunto foi abordado de uma forma resumida.

CAPÍTULO 5

5 – Controle Digital, Implementado Através de VHDL, para Imposição das Formas de Onda das Correntes de Entrada do Retificador Trifásico Híbrido

5.1 – Introdução

Neste capítulo, inicialmente, será discutido o funcionamento dos circuitos analógicos (Aquisição de correntes e sensores de corrente e de tensão) utilizados na interface entre o circuito de potência e o Dispositivo Lógico Programável FPGA (*Field Programmable Gate Array*). Na seqüência, uma visão geral do funcionamento da estratégia (algoritmo) de controle implementado através da Linguagem de descrição de Hardware VHDL (*Hardware Description Language*) e por fim a descrição detalhada do seu funcionamento analisando os seus sub-programas. A ferramenta de síntese e o dispositivo programável da família Spartan2e (XC2S200E) utilizado para a implementação em FPGA foi adquirido junto à Xilinx (Versão 6.3.03i/Spartan2e).

Com o intuito de destacar a importância deste dispositivo e demais ferramentas de auxílio aplicadas em processamento digital de sinais e controle, no apêndice A é apresentada uma abordagem sucinta sobre Dispositivos Lógicos Programáveis PLD (*Programmable Logic Device*) e linguagem de descrição de hardware, em particular o FPGA e VHDL, e suas principais vantagens em relação aos sistemas digitais convencionais e a outros dispositivos lógicos programáveis utilizados em acionamento e controle.

5.2 – Aspectos Gerais da Lógica de Controle Proposta

Para o desenvolvimento da estratégia de controle digital proposto, utilizando dispositivo FPGA e linguagem VHDL, é necessário fazer a amostragem das correntes de entrada $i_{in1}(\omega.t)$, $i_{in2}(\omega.t)$ e $i_{in3}(\omega.t)$ dos conversores SEPIC₁, SEPIC₂ e SEPIC₃, respectivamente, e da corrente de saída $i_{Retif-1}(\omega.t)$ do retificador não controlado e, adicionalmente, é necessário monitorar as tensões de entrada $v_a(\omega.t)$ na fase “a”, $v_b(\omega.t)$ na fase “b” e $v_c(\omega.t)$ na fase “c”, e as correntes de entrada $i_{a1}(\omega.t)$, $i_{b1}(\omega.t)$ e $i_{c1}(\omega.t)$ do retificador não-controlado, de acordo com a ilustração apresentada na Figura 5.1.

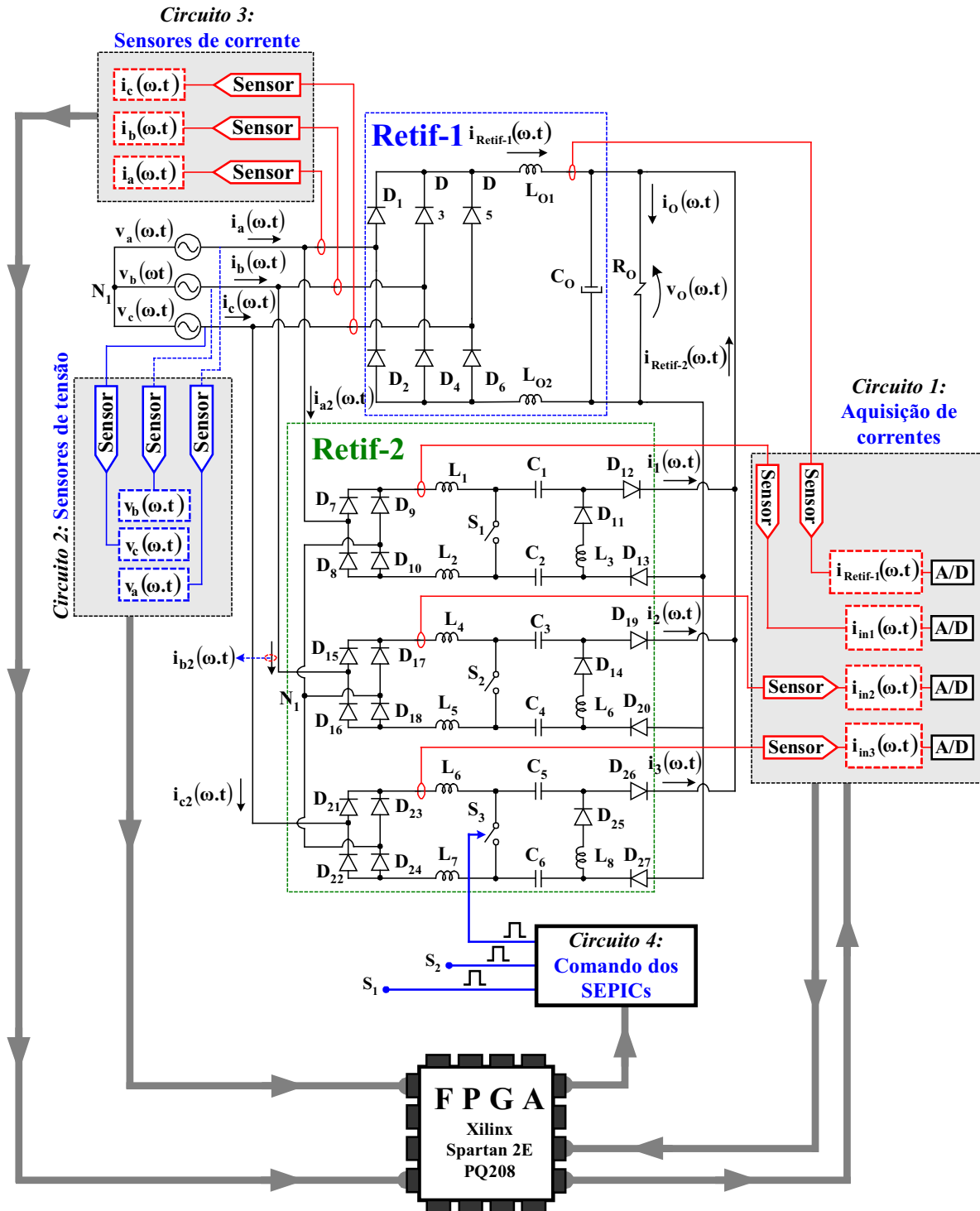


Figura 5.1 – Esquema geral do controle digital proposto.

Portanto, os circuitos analógicos implementados para proporcionar a interface entre o sistema de controle presente no dispositivo FPGA e o circuito de potência estão divididos em quatro categorias, sendo discutidos a seguir:

- ✓ *Circuito 1 (Aquisição de correntes)*: Compreende três circuitos idênticos para as correntes $i_{in1}(\omega.t)$, $i_{in2}(\omega.t)$ e $i_{in3}(\omega.t)$ e um circuito semelhante para a corrente

- $i_{\text{Retif-1}}(\omega.t)$, confeccionados em quatro placas independentes;
- ✓ Circuito 2 (*Sensores de tensão*): É constituído de três circuitos idênticos para as tensões $v_a(\omega.t)$, $v_b(\omega.t)$ e $v_c(\omega.t)$, confeccionados em uma única placa;
 - ✓ Circuito 3 (*Sensores de corrente*): É composto de três circuitos idênticos para as correntes $i_{a1}(\omega.t)$, $i_{b1}(\omega.t)$ e $i_{c1}(\omega.t)$, confeccionados em uma única placa;
 - ✓ Circuito 4 (*Circuito de comando dos SEPICs*): Compreende três circuitos idênticos para comandar os conversores SEPIC₁, SEPIC₂ e SEPIC₃, confeccionados em três placas independentes.

Tendo em vista que cada retificador monofásico SEPIC opera de maneira independente e idêntica aos demais, conectados em suas respectivas fases, “a”, “b” ou “c”, foi possível implementar o controle digital também de maneira independente para cada fase, simplificando o entendimento e a construção do código VHDL. Deste modo, serão abordados neste capítulo somente os circuitos e lógicas VHDL implementadas para compor o controle da fase “a”, conforme o esquema apresentado na Figura 5.2, contendo um pouco mais de detalhes.

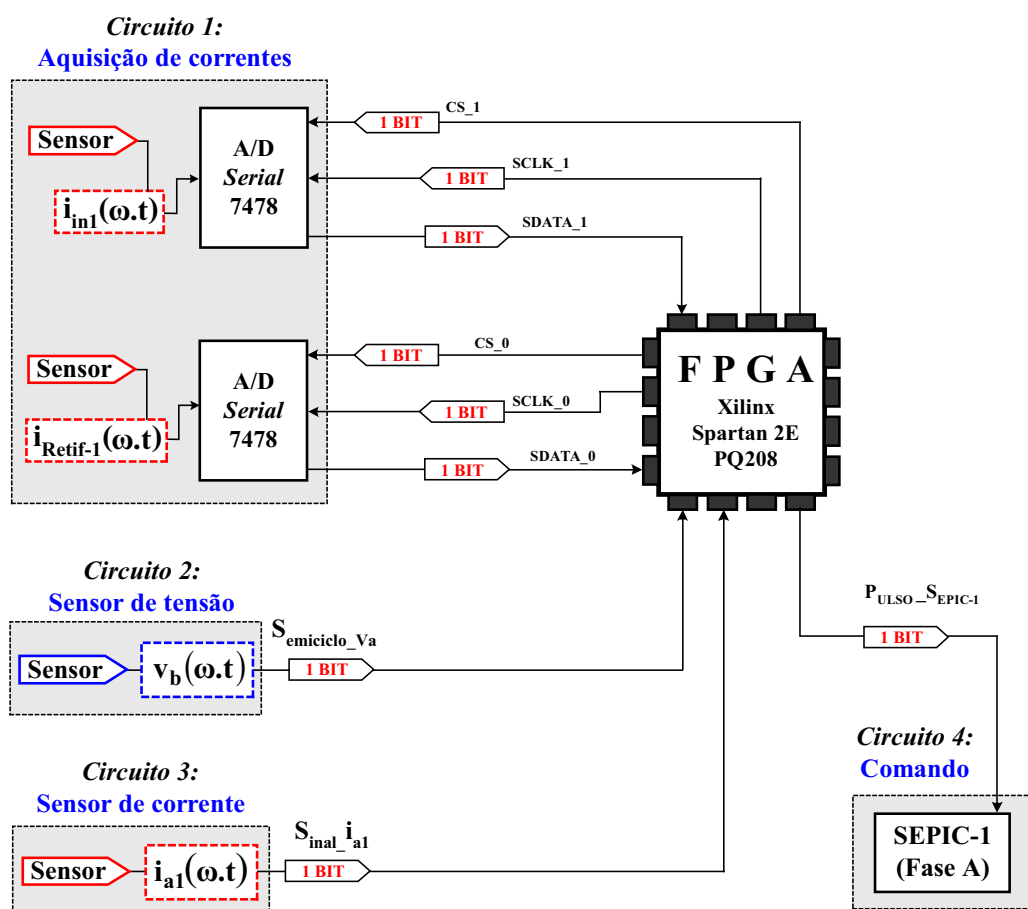


Figura 5.2 – Detalhe do esquema do controle digital para a fase “a”.

Antes de abordar a lógica de controle digital propriamente dita, serão discutidos nos quatro sub-tópicos seguintes, os circuitos de interface 1, 2, 3 e 4, destacados na Figura 5.2.

5.2.1 – Circuito de Aquisição das Correntes

A aquisição das correntes $i_{in1}(\omega.t)$ e $i_{Retif-1}(\omega.t)$ é realizada através dos circuitos mostrados nas Figuras 5.3 e 5.4, respectivamente. Ambos os circuitos funcionam de maneira idêntica e são subdivididos em três estágios: Sensor de corrente, condicionamento e conversão do dado analógico para digital.

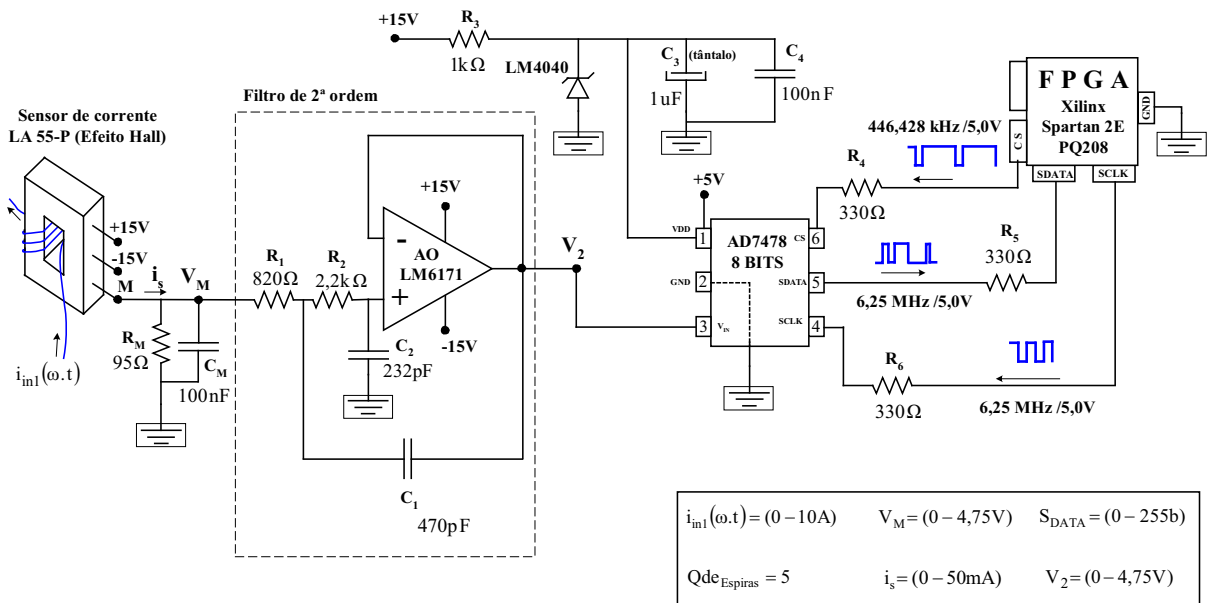


Figura 5.3 – Detalhe do circuito de aquisição da corrente $i_{in1}(\omega.t)$.

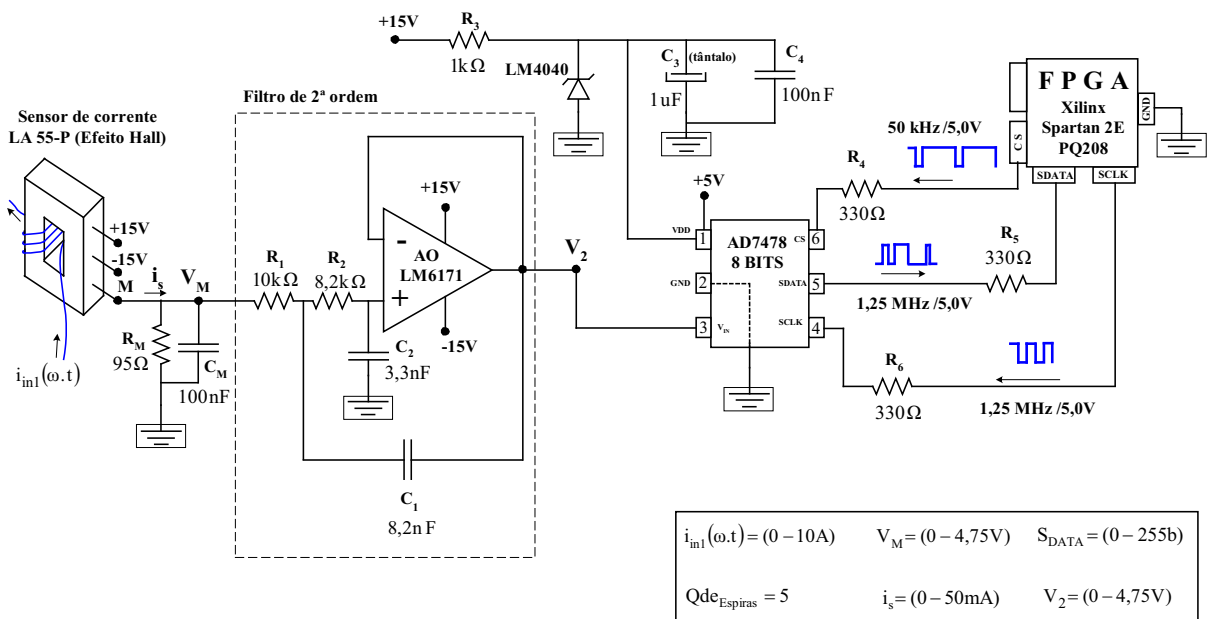


Figura 5.4 – Detalhe do circuito de aquisição da corrente $i_{Retif-1}(\omega.t)$.

1) Sensor de corrente: Para amostrar as correntes $i_{in1}(\omega.t)$ e $i_{Retif-1}(\omega.t)$ são empregados sensores de corrente que operam através do efeito “Hall”, tipo LA-55-P do fabricante LEM. A opção pelo uso deste componente deve-se a algumas vantagens oferecidas, como: Isolação galvânica entre o primário e secundário (com uma capacidade de isolação de até 2,5 kV), uma relação linear excelente entre o primário e secundário (variação de no máximo 0,15%), corrente de offset de saída praticamente nula (no máximo 200uA), tempo de resposta menor do 1,0us, ampla faixa de variação de frequência (0 até 200kHz), imunidade elevada para ruídos externos, capacidade elevada de corrente (0 a 50A) e a possibilidade de controlar a sensibilidade do sensor através do enrolamento externo das espiras.

A relação de conversão do primário para o secundário é, respectivamente, de 1 para $K_n \cdot 1000$, onde K_n é a quantidade de espiras enroladas. No secundário do sensor é conectado uma resistência R_M em paralelo variando de 10Ω a 160Ω convertendo a corrente de saída (i_s) em um valor de tensão V_M adequado para o circuito de condicionamento.

2) Condicionamento: No condicionamento da tensão V_M é utilizado o amplificador operacional ultra-rápido LM6171BIN, produzido pelo fabricante National Semiconductors, para compor um filtro ativo passa-baixas de segunda ordem (*anti-aliasing*) com ganho unitário (0 dB).

O filtro foi calculado em uma frequência de corte menor do que a metade frequência de aquisição (f_{aq}), evitando que ruídos de comutação seja interpretado como sendo um dado verdadeiro e conseqüentemente uma ação incorreta do sistema de controle.

No entanto, as ondulações (*ripple*) de ambas as correntes amostradas $\{i_{in1}(\omega.t)$ e $i_{Retif-1}(\omega.t)\}$ não são filtradas, uma vez que a o controle por histerese empregado necessita do formato original destes sinais. A tensão (V_2), após o filtro anti-aliasing, é conectada no pino 3 de entrada do conversor A/D.

O filtro de segunda ordem mostrado na Figura 5.3 possui um pólo sintonizado na frequência de 100 kHz e o outro pólo sintonizado na frequência de 500 kHz. De acordo com a margem de ganho (em dB) mostrada na Figura 5.5, o ganho do filtro começa a ser atenuado a partir de 100 kHz, e a partir de 500 kHz a atenuação cresce para -40dB/década .

Conforme Figura 5.6, a margem de fase é de $25,6^\circ$ em 100 kHz. Portanto, o filtro *anti-aliasing* (Figura 5.3) foi projetado para manter o ganho do sinal de saída V_2 em relação ao sinal de entrada V_M em “0 dB”, com uma defasagem máxima de $25,6^\circ$, para frequências de até 100 kHz.

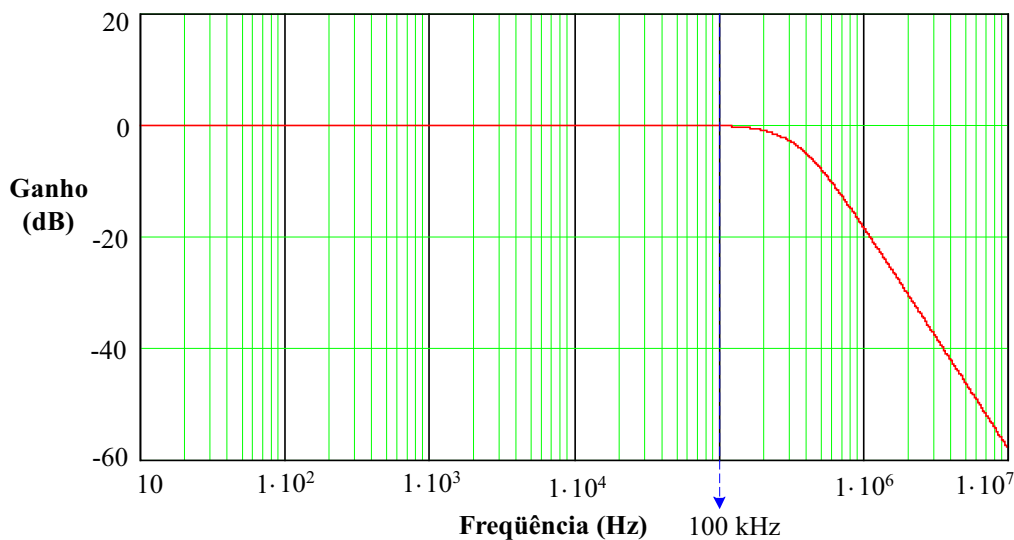


Figura 5.5 – Margem de ganho do sinal V_2 em relação a V_M do filtro *anti-aliasing* mostrado na Figura 5.3.

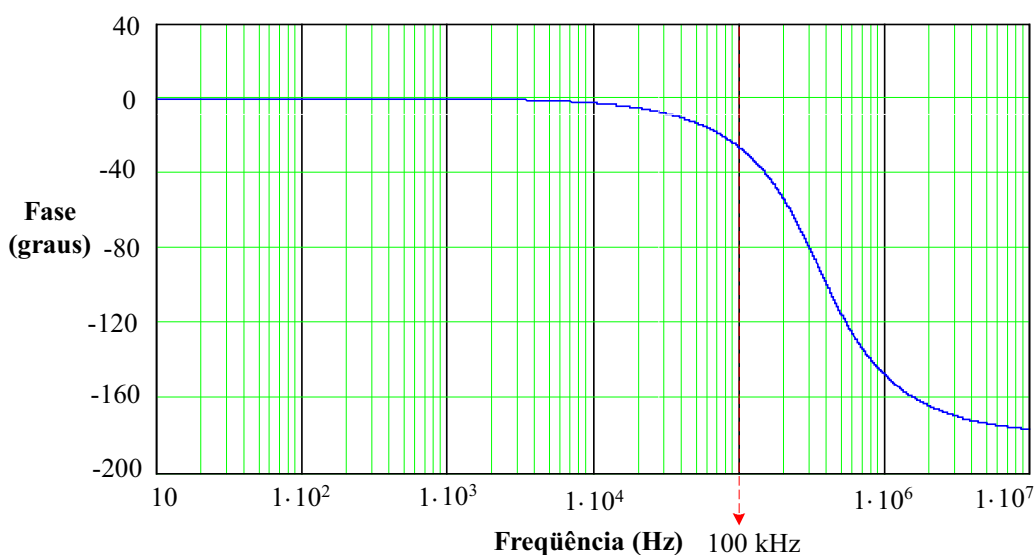


Figura 5.6 – Defasagem (atraso) do sinal V_2 em relação a V_M do filtro *anti-aliasing* mostrado na Figura 5.3.

Analogamente, o filtro de segunda ordem mostrado na Figura 5.4 possui o primeiro pólo sintonizado na frequência de 1,94 kHz e o segundo pólo sintonizado na frequência de 5,88 kHz.

Conforme Figura 5.7, o ganho do filtro começa a ser atenuado a partir de 1,94 kHz, e a partir de 5,88 kHz a atenuação aumenta para -40dB/década . De acordo com a Figura 5.8, a margem de fase na frequência do primeiro pólo (1,94 kHz) é de $49,3^\circ$.

Assim, o filtro *anti-aliasing*, destacado Figura 5.4, foi projetado para manter o ganho do sinal V_2 em relação ao sinal V_M em “0 dB”, com uma defasagem máxima de $49,3^\circ$, para frequências de até 1,94 kHz.

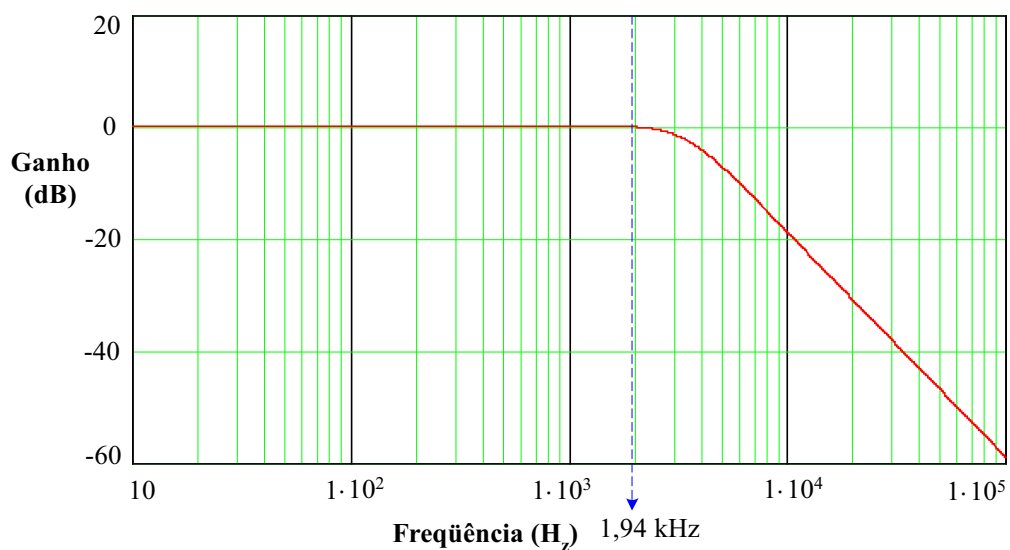


Figura 5.7 – Margem de ganho do sinal V_2 em relação a V_M do filtro *anti-aliasing* mostrado na Figura 5.4.

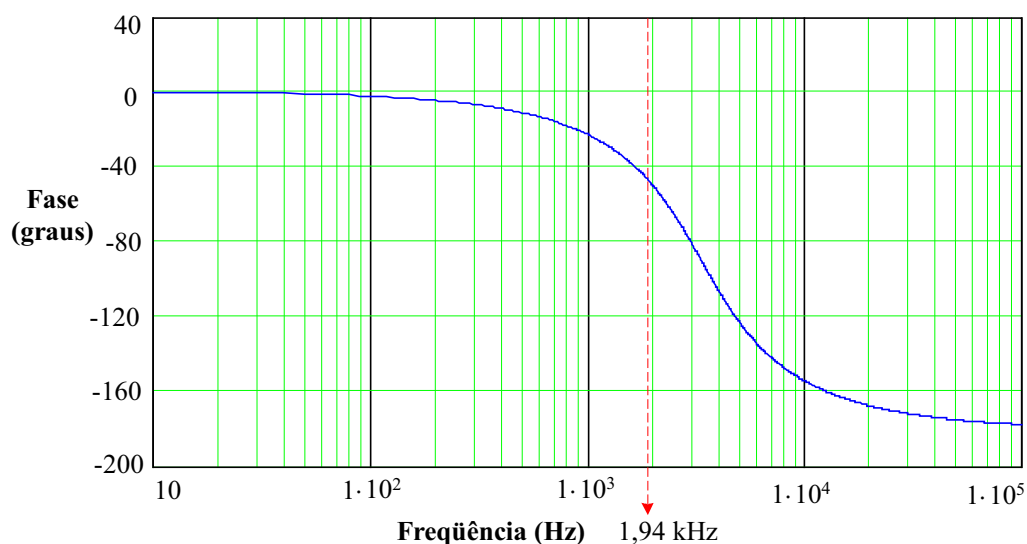


Figura 5.8 – Defasagem (atraso) do sinal V_2 em relação a V_M do filtro *anti-aliasing* mostrado na Figura 5.4.

3) Conversão do dado analógico para digital: Em função da técnica de modulação por histerese escolhida para o controle do conversor SEPIC₁, torna-se necessário o emprego de um conversor analógico-digital de conversão rápida.

Desse modo, optou-se pelo conversor serial, o A/D7478 de 8 bits fabricado pela Analog Devices. Este dispositivo possibilita a conversão do dado analógico para digital e a transferência do dado digital para o FPGA a cada 1,0 μ s ($f_{aq}=1\text{MSPS}$), o que é seu limite de operação.

No entanto, foi possível empregar uma frequência de aquisição menor ($f_{aq}=446,428$ kHz para a corrente $i_{in1}(\omega.t)$ e $f_{aq}=50$ kHz para a corrente $i_{Retif-1}(\omega.t)$). A frequência de

aquisição da corrente $i_{in1}(\omega.t)$ é bem mais elevada tendo em vista que a variação deste sinal se dá na frequência de comutação (acima de 25kHz).

Em contrapartida, a frequência de aquisição da corrente $i_{Retif-1}(\omega.t)$ pode ser menor, uma vez que a variação de $i_{Retif-1}(\omega.t)$ ocorre na frequência de 360Hz (Ondulação natural de 6 pulsos).

Duas características importantes deste conversor A/D são destacadas: A primeira, é que o sinal analógico de entrada poderá ser condicionado em uma faixa de variação entre 0 e 5,0 V, diferentemente de alguns conversores A/D que possuem faixa menores (por exemplo: 0 e 2,5 V), e a segunda, é que o sinal de referência (V_{REF}), também de 5,0 V, é regulado internamente pelo dispositivo, sem a necessidade de uma alimentação externa com esta finalidade.

Tais características diminuem a susceptibilidade à ruídos e erros de quantização do dado digitalizado.

O processo de aquisição e transferência de dados para o FPGA depende de um protocolo de comunicação desenvolvido em linguagem VHDL para tal finalidade. Existem três sinais lógicos (“0” ou “1”) envolvidos, sendo comentados a seguir:

- O sinal “CS”, gerado pelo FPGA é enviado para o conversor A/D. Este sinal comanda a aquisição do dado analógico e determina a frequência de aquisição (f_{aq}) empregada;
- O sinal “SCLK”, gerado pelo FPGA é enviado para o conversor A/D, comandando a transferência do dado digitalizado bit a bit para o FPGA;
- O sinal “SDATA” é o dado de saída digitalizado pelo conversor A/D, sendo transferido para o FPGA bit a bit, sob o comando do sinal “SCLK”.

Maiores detalhes do protocolo de aquisição e transferência de dados para o FPGA serão apresentados no item 5.3.2.

As grandezas i_s , V_M , V_2 e SDATA destacados na Figura 5.3, analogamente para a Figura 5.4, estão relacionados entre si de forma linear e são calculados pelas equações (5.1), (5.2), (5.3) e (5.4), respectivamente.

$$i_s = \frac{i_{in1}(\omega.t)}{1000} \cdot Q_{de_Espiras} \quad (5.1)$$

$$V_M = R_M \cdot i_s \quad (5.2)$$

$$V_2 = V_M \quad (5.3)$$

$$SDATA = \frac{V_2}{V_{REF}} \cdot 255 \quad (5.4)$$

5.2.2 – Circuito do Sensor de Tensão

O sensor de tensão (mostrado na Figura 5.9) gera um pulso, na frequência da rede alimentação (60 Hz), denominado “ $S_{\text{semiciclo_}V_a}$ ” (valor lógico “0” ou “1”), com a finalidade identificar a transição entre os semiciclos positivo e negativo da tensão de entrada $v_a(\omega.t)$.

Com este sinal ($S_{\text{semiciclo_}V_a}$), é realizado o sincronismo da corrente imposta para o retificador SEPIC₁ com a rede de alimentação, através da estratégia de controle desenvolvida em VHDL para prover a correção adequada do Fator de Potência para a fase “a” (Maiores detalhes serão apresentados no item 5.3.5).

O circuito utilizado (Figura 5.9) é composto de um divisor resistivo e um filtro ativo passa-baixas de segunda ordem (utilizando o amplificador operacional ultra-rápido LM6171BIN) para condicionar a tensão da rede conectada na entrada positiva do amplificador operacional comum UA741CN (fabricante ST *Microelectronics*).

O sinal de saída do amplificador operacional é retificado e em seguida isolado através do opto-acoplador 6N136.

Este componente disponibiliza na saída uma corrente de até 16mA e é relativamente lento, possui um atraso de sinal de 800ns, fato que não causa nenhum problema para esta aplicação.

Na saída do opto-acoplador é conectado um *buffer* de tensão (fabricado pela *Philips*) com quatro canais independentes e por fim um divisor resistivo para garantir que o sinal de entrada no FPGA não exceda 5,0 V, valor máximo admitido por este dispositivo.

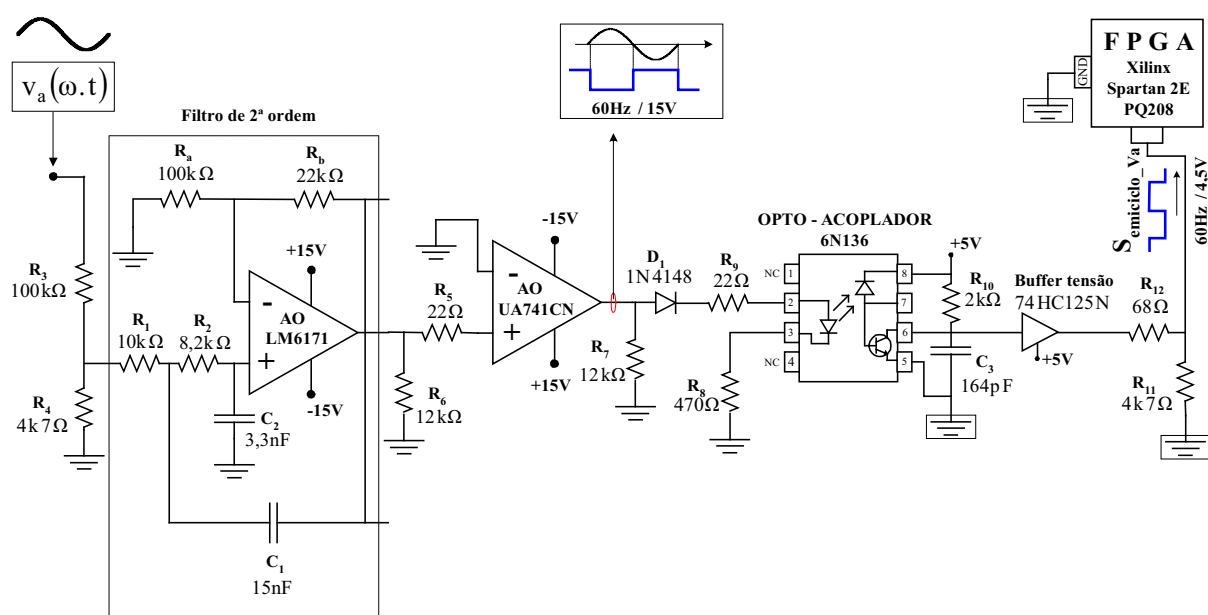


Figura 5.9 – Detalhe do circuito do sensor da tensão de entrada $v_a(\omega.t)$.

5.2.3 – Circuito do Sensor de Corrente

O objetivo do sensor de corrente, mostrado na Figura 5.10, é identificar os intervalos aonde a corrente de entrada do retificador não-controlado ($i_{a1}(\omega.t)$) é nula, durante o período de rede. O circuito gera um pulso na frequência de 120 Hz, denominado “ I_{a1_sensor} ”, através do qual é imposto, via estratégia de controle, o formato adequado da corrente $i_{a2}(\omega.t)$ de entrada do retificador monofásico SEPIC₁. Maiores detalhes da aplicação do pulso “ I_{a1_sensor} ” serão apresentados posteriormente no item 5.3.4.

Analogamente aos circuitos de aquisição de correntes (item 5.2.1), é utilizado um sensor de efeito *Hall* para obter a amostra da corrente de entrada $i_{a1}(\omega.t)$. A corrente de saída i_s , no secundário do sensor *Hall*, segue inicialmente através de um filtro passa-baixas (idêntico ao filtro utilizado no sensor de tensão – Figura 5.9), e em seguida é retificada por um retificador de precisão composto por dois amplificadores operacionais ultra-rápidos LM617BN, resultando na corrente i_1 aplicada no terminal de entrada negativa do comparador UA741CN.

A mesma corrente i_1 circula através de um divisor de tensão com uma constante RC de atraso, gerando a corrente i_2 aplicada no terminal positivo do comparador UA741CN. Comparando-se estas duas correntes (i_1 e i_2) e retificando o sinal de saída do comparador UA741CN, é finalmente obtido o “ I_{a1_sensor} ”, conforme curvas teóricas mostradas na Figura 5.11.

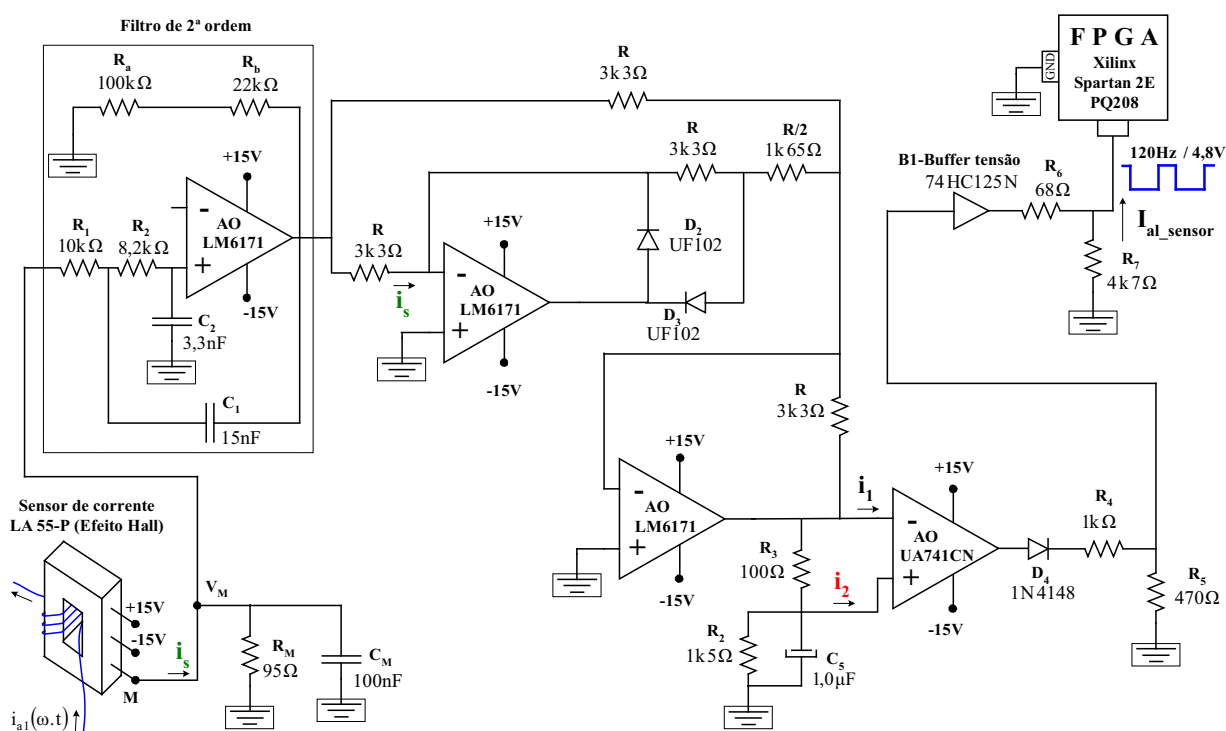


Figura 5.10 – Detalhe do circuito do sensor da corrente de entrada $i_{a1}(\omega.t)$.

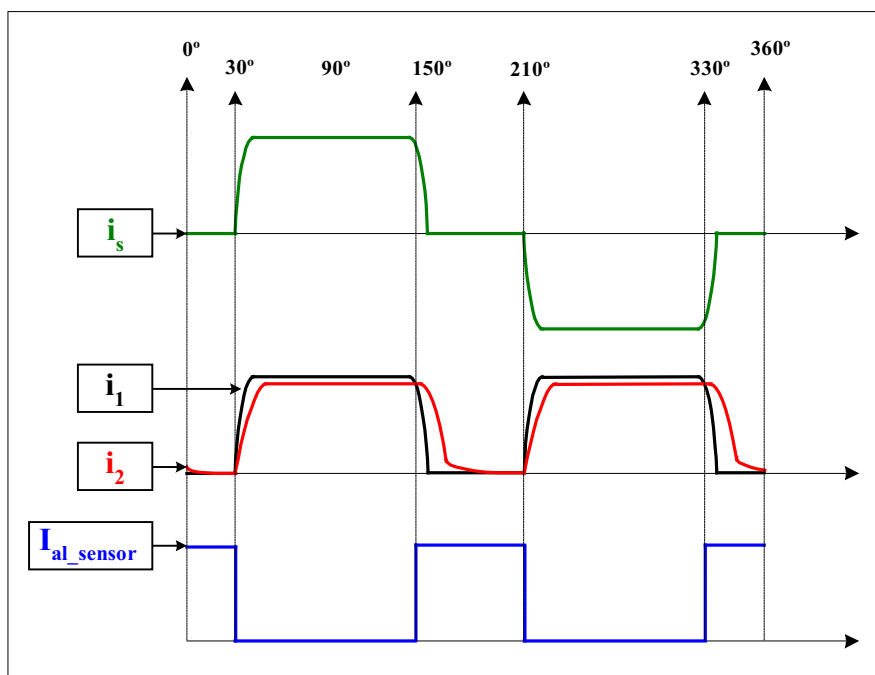


Figura 5.11 – Detalhe das formas de onda geradas pelo sensor da corrente de entrada $i_{a1}(\omega.t)$.

É observado que a corrente $i_{a1}(\omega.t)$, representada pela corrente amostrada i_s (Figura 5.11), possui derivadas lentas tanto na descida quanto na subida do sinal. Para que haja uma compensação adequada da corrente $i_{a1}(\omega.t)$, é necessário que o sensor de corrente identifique o instante em que a corrente $i_{a1}(\omega.t)$ começa a sua transição de subida ou descida. Por esta razão, gerou-se o sinal i_2 a partir de i_1 com uma pequena defasagem entre eles para fins de comparação e obtenção do pulso “ I_{al_sensor} ”. Entretanto, foi detectado que a presença de ruídos resulta na distorção dos sinais i_1 , i_2 e I_{al_sensor} e conseqüentemente na distorção da corrente de entrada $i_a(\omega.t)$, sendo necessário portanto uma filtragem adequada.

5.2.4 – Circuito de Comando do SEPIC₁

O pulso de comando “ P_{ulso_SEPIC1} ” do retificador monofásico SEPIC₁ é gerado pelo FPGA com uma amplitude de 3,3 V, sendo insuficiente para acionar um interruptor de potência (Mosfet ou IGBT) e, além disso, a referência do FPGA deverá ser isolada da referência do circuito de ataque, visando a proteção do dispositivo programável. Conforme Figura 5.12, é utilizado o opto-acoplador HCPL 3180 de velocidade elevada podendo ser operado em frequências de até 250kHz, com atraso de sinal de 200ns no máximo. Este circuito integrado tem a vantagem de reunir várias funções em um único componente, tais como: Isolação, *buffer* de corrente e de tensão, e possibilita o acionamento de 10 à 20V. No entanto, necessita de uma corrente de entrada de no mínimo 10 mA. Por esta razão utilizou-se

o CI 74HC125N, alimentado em 5,0 V, para fornecer a corrente necessária para o HCPL 3180.

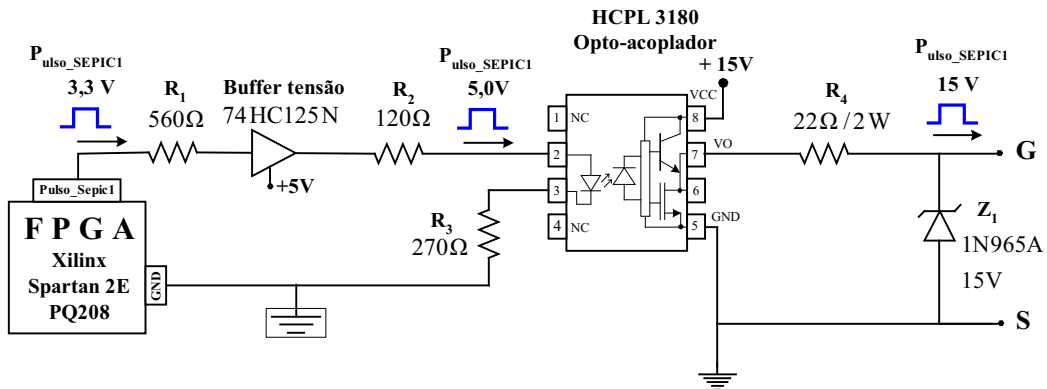


Figura 5.12 – Circuito de comando para o retificador monofásico SEPIC₁.

5.3 – Descrição do Código VHDL para a Obtenção dos Pulsos de Comando do SEPIC-1

5.4.1 – Uma Visão Geral do Código VHDL Proposto

A concepção da lógica de controle digital proposta, descrita na forma comportamental em VHDL, está baseada na reconstrução da equação (2.41), detalhada na Figura 2.8 (Capítulo 2) e representada pela equação (5.5).

$$i_{a2}(\omega.t) = i_{sen}(\omega.t) - i_{\alpha}(\omega.t) - i_{\Delta}(\omega.t) \quad (5.5)$$

Em (5.5), os termos $i_{a2}(\omega.t)$, $i_{\alpha}(\omega.t)$ e $i_{\Delta}(\omega.t)$ foram redefinidos para padronizar e viabilizar a construção do código VHDL, conforme a seguir:

- A corrente $i_{a2}(\omega.t)$ teve a sua nomenclatura mudada para $R_{ef_SEPIC1}(\omega.t)$, denominada como a “Corrente de referência para o SEPIC₁”.
- Os termos $i_{\alpha}(\omega.t)$ e $i_{\Delta}(\omega.t)$ incorporaram os sinais auxiliares “ C_{ontrol_Ia1} ” e “ C_{ontrol_Ise1} ”, mostrados respectivamente em (5.6) e (5.7). O termo $i_{sen}(\omega.t)$ manteve a sua forma original, conforme (5.8) na seqüência.

$$i_{\alpha}(\omega.t) = i_{Retif-1}(\omega.t) \cdot C_{ontrol_Ia1} \quad (5.6)$$

$$i_{\Delta}(\omega.t) = (1 - C_{ontrol_Ise1}) \cdot I_{Retif-1} \cdot sen(\omega.t) \quad (5.7)$$

$$i_{sen}(\omega.t) = K \cdot I_{Retif-1} \cdot sen(\omega.t) \quad (5.8)$$

Substituindo (5.6), (5.7) e (5.8) em (5.5) e agrupando os termos comuns, resultou na equação (5.9).

$$R_{ef_SEPIC1}(\omega.t) = K.I_{Retif-1}.sen(\omega.t).C_{ontrol_I_{sen}} - i_{Retif-1}(\omega.t).C_{ontrol_I_{a1}} \quad (5.9)$$

Onde:

$R_{ef_SEPIC1}(\omega.t)$: Corrente de referência para o SEPIC₁;

K : Parâmetro de Controle;

$I_{Retif-1}$: Valor médio da corrente de saída do retificador não controlado;

$i_{Retif-1}(\omega.t)$: Valor instantâneo da corrente de saída do retificador não controlado;

$sen(\omega.t)$: Sinal senoidal de amplitude unitária;

$C_{ontrol_I_{sen1}}$: Sinal lógico auxiliar (de valor '0' ou '1'), insere a descontinuidade na corrente de referência $R_{ef_SEPIC1}(\omega.t)$ para valores de $K < 2$ {conforme equação (2.36), no Capítulo 2};

$C_{ontrol_I_{a1}}$: Sinal lógico auxiliar (de valor '0' ou '1'), identifica se a corrente de entrada do retificador não controlado é nula, por exemplo a corrente $i_{a1}(\omega.t)$ na fase "a".

Conforme discutido no tópico 5.2.2, a aquisição e das correntes $i_{in1}(\omega.t)$ e $i_{Retif-1}(\omega.t)$ é realizada empregando quantização de 8 bits. Assim, considerando os termos da equação (5.9) com valores já digitalizados, obtém-se (5.10) que foi utilizada na construção do código VHDL, cujo esquema é apresentado na Figura 5.9.

$$R_{ef_SEPIC1}(n) = K.I_{Retif-1}(n).I_{sen_unit}(n).C_{ontrol_I_{sen}} - i_{Retif-1}(n).C_{ontrol_I_{a1}} \quad (5.10)$$

Onde:

n : Índice de uma seqüência de dados;

$R_{ef_SEPIC1}(n)$: Corrente de referência para o SEPIC₁ (variável de 8 bits);

K : Parâmetro de Controle (constante de 8 bits);

$I_{Retif-1}(n)$: Valor médio da corrente de saída do Retif-1 (variável de 8 bits);

$i_{Retif-1}(n)$: Valor instantâneo da corrente de saída do Retif-1 (variável de 8 bits);

$I_{sen_unit}(n)$: Sinal senoidal de amplitude unitária (variável de 8 bits);

$C_{ontrol_I_{sen1}}$: Sinal lógico auxiliar de 1 bit;

$C_{ontrol_I_{a1}}$: Sinal lógico auxiliar de 1 bit.

A estratégia de controle desenvolvida, é composta por 5 sub-programas, descritos em linguagem VHDL, sendo que cada sub-programa gera um componente (circuito digital) a ser devidamente alocado no dispositivo FPGA. Os componentes gerados foram denominados, "A" (*Protocolo de aquisição*), "B" (*Gera a senóide de referência*), "C" (*Controle da corrente de referência*) "D" (*Gera a corrente de referência para o SEPIC₁*), e "E" (*Modulador histerese*), conforme o diagrama mostrado na Figura 5.13.

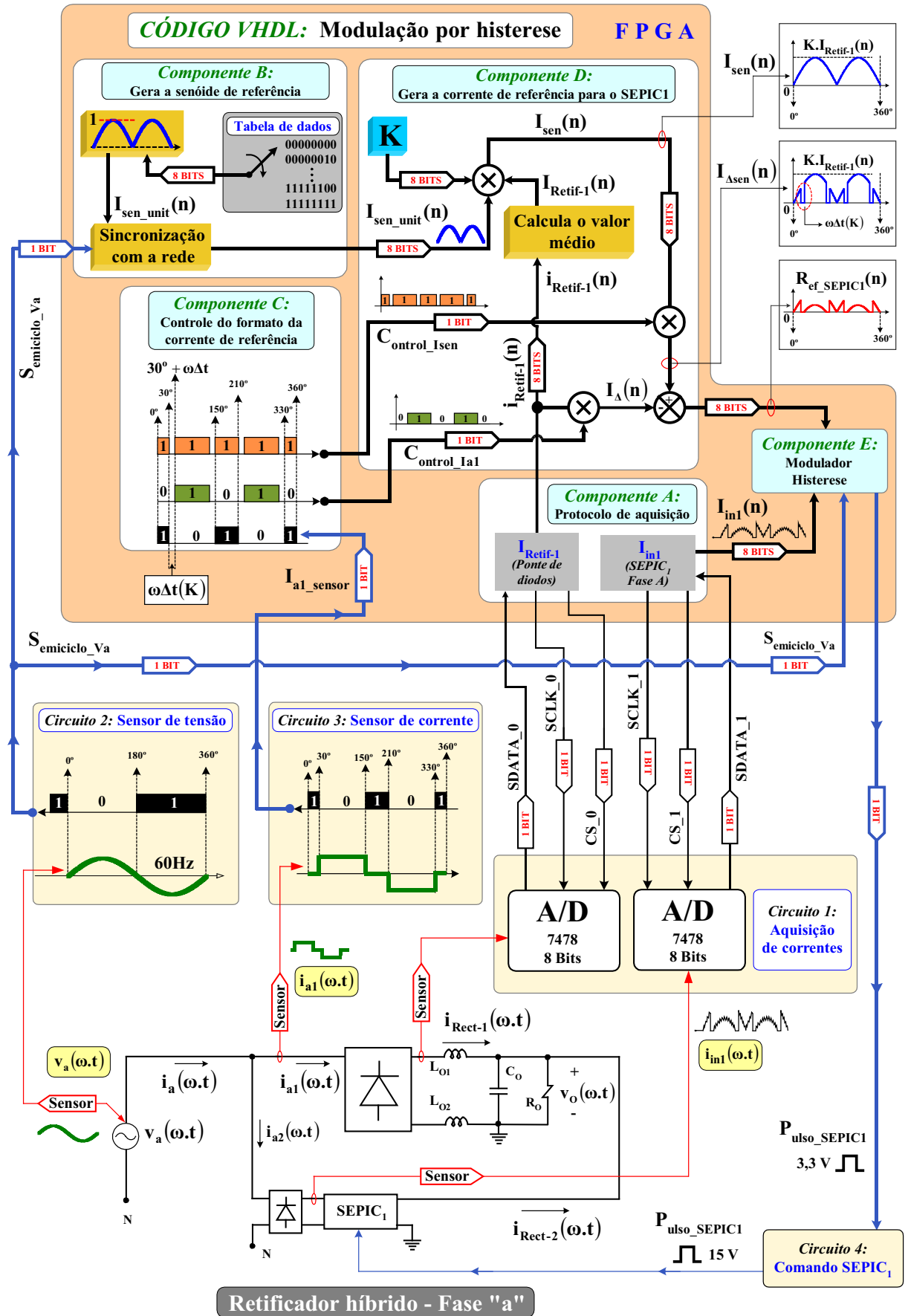


Figura 5.13 – Uma visão geral da estratégia de controle proposta.

Os quatro circuitos auxiliares para interface do retificador híbrido (Sensor de tensão, sensor de correntes, aquisição de correntes e comando SEPIC₁) com o dispositivo FPGA estão também representados na Figura 5.13, dando uma visão completa e detalhada do esquema de controle desenvolvido para a fase “a”. Cabe esclarecer que o código VHDL é ativado e desativado externamente por dois seletores manuais SW1 e SW2 (ON, OFF) disponíveis no módulo FPGA, que geram respectivamente os sinais lógicos $C_{\text{mdo_Aquisição}}$ (Comando Aquisição) e $C_{\text{mdo_SEPIC}}$ (Comando SEPIC). O sinal $C_{\text{mdo_Aquisição}}$ ativa simultaneamente os componentes “A”, “B”, “C” e “D”. A partir de então, a corrente de referência $R_{\text{ef_SEPIC}_1}(n)$ e a corrente de entrada $I_{\text{inl}}(n)$ do SEPIC₁ serão geradas e estarão disponíveis para o componente “E”. Entretanto, os pulsos de comando para o SEPIC₁ só serão gerados a partir do instante em que o componente “E” (Modulador Histerese) for ativado pelo sinal $C_{\text{mdo_SEPIC}}$. A seguir será realizada uma descrição detalhada das funções de cada componente, “A”, “B”, “C”, “D” e “E”, respectivamente, nos tópicos 5.3.2 até 5.3.6.

5.3.2 – Componente A: Protocolo de Aquisição de Correntes

O componente “A” (protocolo de aquisição) tem a finalidade de comandar a aquisição das correntes $i_{\text{Retif-1}}(\omega.t)$ e $i_{\text{inl}}(\omega.t)$ e de fazer a transferência dos dados digitalizados pelos conversores A/D serial (Figuras 5.3 e 5.4), para o FPGA de forma simultânea. Em seguida os dados digitais $i_{\text{Retif-1}}(n)$ e $i_{\text{inl}}(n)$ de 8 bits serão transferidos para os componentes “C” e “D”, respectivamente, para o devido processamento.

As lógicas de aquisição das correntes $i_{\text{Retif-1}}(\omega.t)$ e $i_{\text{inl}}(\omega.t)$ são idênticas, portanto, será abordada somente a lógica de aquisição da corrente $i_{\text{inl}}(\omega.t)$.

De acordo com a figura 5.14, a rotina de aquisição de dados é subdividida em etapas, descritas a seguir. Cada etapa contempla um ou mais estados, denominados S_0 , S_1 , S_2 e S_3 :

- *Início*: Nesta etapa, o componente “A”, encontra-se desligado. Os sinais CS_1 e o trem de pulsos SCLK_1 possuem estado lógico “0”. Ao final desta etapa, na transição do estado S_0 para S_1 , o componente “A” é ativado através do sinal $C_{\text{mdo_aquisição}}$. O sinal CS_1 assume o estado lógico “1” levando o conversor A/D para o modo de espera (T_{espera}) e o trem de pulsos SCLK_1 também é ativado.

- *Aquisição e conversão de dados A/D*: Após um intervalo de tempo de 360 nanossegundos ($T_{\text{espera}}=360\text{ns}$), o sinal CS_1 é comandado para o estado lógico “0”, na transição do estado S_1 para o estado S_2 , dando início à aquisição do dado analógico. A aquisição do dado só ocorre de fato se no instante em que o sinal CS_1 assumir o valor “0” o sinal SCLK_1 estiver em estado lógico “1”. Por esta razão estes dois sinais encontram-se defasados. Após o

término da aquisição do dado analógico, tem-se o início da digitalização deste dado, realizada durante o estado S_2 .

- *Transferência de dados para o FPGA*: Esta etapa tem início ainda no estado S_2 . A partir do instante em que o sinal CS_1 assume o estado lógico “0”, a cada transição negativa do sinal $SCLK_1$ (estado lógico “1” para “0”) ocorre a transferência do bit disponível no canal de saída $SDATA_1$ do A/D para o FPGA. Entretanto, os quatro bits transferidos durante o estado S_2 possuem sempre valor lógico “0” e são descartados. Desta forma, a transferência de dados válidos para o FPGA tem início na transição do estado S_2 para S_3 , a partir da qual o dado digital é transferido bit a bit, do mais significativo (D_7) para o menos significativo (D_0), para o FPGA sob o comando do trem de pulsos $SCLK_1$.

Neste exemplo, são mostradas a digitalização e transferência do número 63 para o FPGA. Após o término da transferência do dado menos significativo (D_0), o sinal lógico CS_1 assume novamente o estado lógico “1”, na transição do estado S_3 para S_1 , comandando o conversor A/D para o modo de espera até o próximo comando de aquisição.

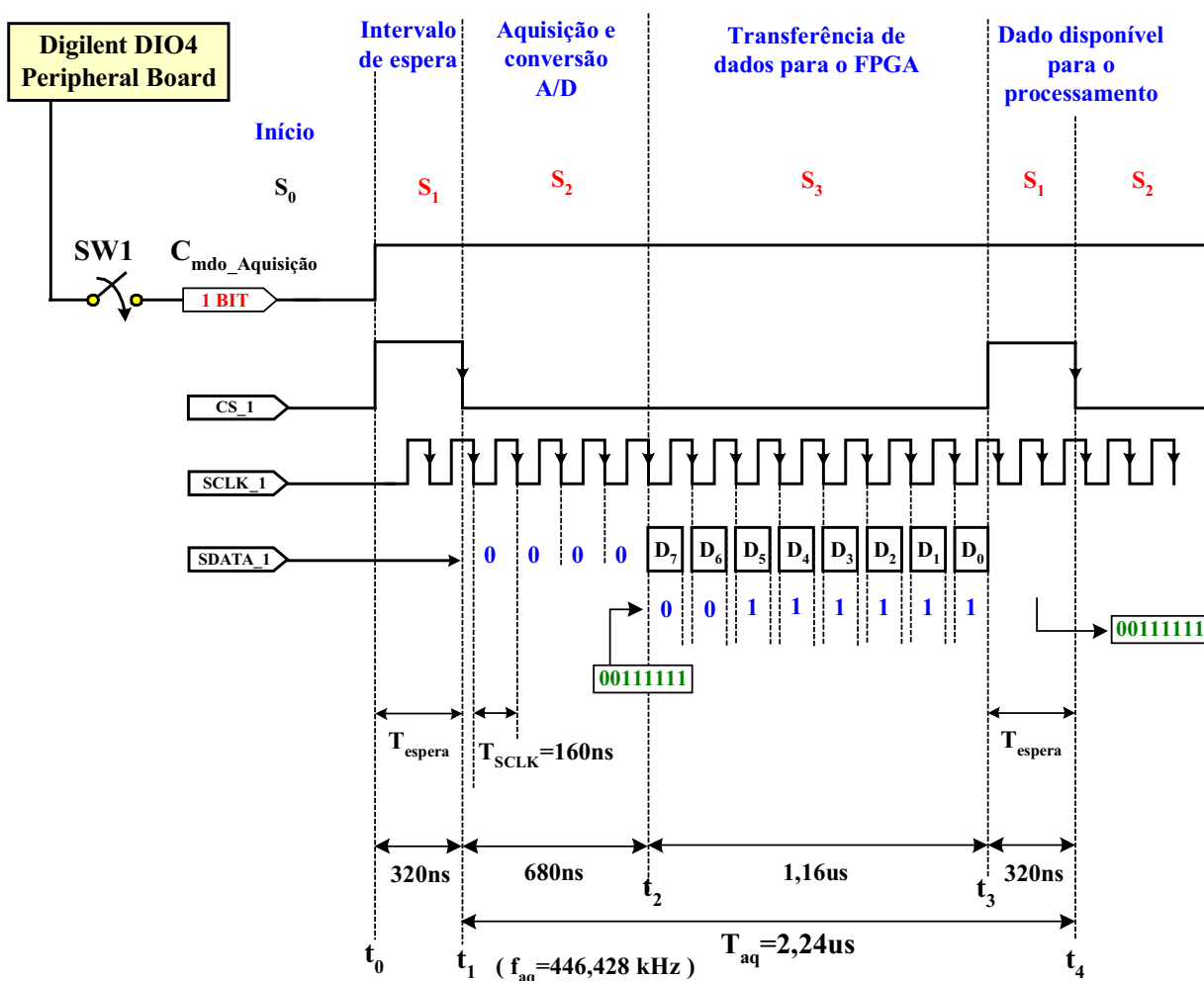


Figura 5.14 – Lógica de aquisição das correntes.

- *Dado disponível para o processamento:* Nesta etapa (estado S_1), o dado digital está disponível no FPGA para o processamento.

É importante mencionar que o funcionamento de todo o código VHDL está vinculado a um oscilador (pulso de clock) de frequência de 50MHz (Período de 20ns).

Portanto, todos os intervalos de tempo que se deseja controlar, tais como: Modo de espera (T_{espera}), período do trem de pulsos SCLK_1 (T_{SCLK}) e período de aquisição (T_{aq}), deverão ser múltiplos de 20ns.

Isto implica na necessidade de se fazer ajustes de algumas grandezas, como por exemplo, a frequência de comutação (f_s) e frequência de aquisição (f_{aq}).

Existem duas restrições que devem ser obedecidas durante a construção do protocolo de aquisição para que o conversor A/D 7478 funcione corretamente, descritas a seguir:

- O período do SCLK_1 (T_{SCLK}) deve ser escolhido entre 50ns e 100us;
- O intervalo de espera (T_{espera}) não poderá ser menor do que 50ns.

5.3.3 – Componente B: Gera a senóide de referência

O componente “B” tem como função gerar um sinal senoidal $S_{en_unit}(n)$ com uma amplitude unitária de 8 bits (representação fracionária) e transferir este sinal para o componente “D” devidamente sincronizado com a rede de alimentação.

Este sinal foi gerado inicialmente na forma analógica através de um software matemático.

Posteriormente, fez-se amostras a cada 20us totalizando 417 valores discretos, durante o semiciclo positivo da senóide $\{sen(\omega.t)\}$. Estes valores foram convertidos em 8 bits, resultando em uma tabela de dados a qual foi inserida no código VHDL.

Assim, com uma lógica de seleção apropriada e com o uso de contadores lógicos, o componente “B” seleciona um novo valor nesta tabela de dados, a cada intervalo de 20us, possibilitando a reconstrução da função $sen(\omega.t)$ dentro do dispositivo FPGA.

Conforme discutido no tópico 5.2.3, o sensor de tensão gera o sinal “ $S_{semiciclo_Va}$ ” com nível lógico “0” quando a tensão $v_a(\omega.t)$ está no semiciclo positivo e nível lógico “1” para $v_a(\omega.t)$ no semiciclo negativo.

Portanto, o sinal $S_{semiciclo_Va}$ tem a função de zerar todos os contadores lógicos e reiniciar a seleção de dados da tabela a cada transição positiva e negativa do sinal $S_{semiciclo_Va}$, proporcionando a sincronização correta do sinal $S_{en_unit}(n)$ com a rede.

5.3.4 – Componente C: Controle do Formato da Corrente de Referência para o SEPIC₁

O componente “C” tem como objetivo identificar os intervalos de tempo nos quais a corrente de entrada $i_{a1}(\omega.t)$ do retificador não controlado é nula, analisando-se as bordas de subida e descida do pulso “ I_{a1_sensor} ” (obtido através do sensor de corrente do circuito mostrado na Figura 5.10), e gerar dois sinais lógicos auxiliares “ $C_{control_Isen1}$ ” e “ $C_{control_Ia1}$ ” que são combinados com o propósito de controlar o formato do sinal de referência de corrente $R_{ef_SEPIC1}(n)$ para o componente “D” (será discutido no tópico 5.3.5).

A largura destes sinais lógicos auxiliares, “ $C_{control_Isen1}$ ” e “ $C_{control_Ia1}$ ”, depende do intervalo de descontinuidade “ $\omega.\Delta t(K)$ ” (varia em função do parâmetro “K”), calculado pela equação (2.36) apresentada no capítulo 2. Assim, conforme Figuras 5.13 e 5.15, o sinal “ $C_{control_Ia1}$ ” receberá sinal lógico “1” se $\{30^\circ + \omega.\Delta t(K)\} < \omega.t < \{150^\circ - \omega.\Delta t(K)\}$ ou se $\{210^\circ + \omega.\Delta t(K)\} < \omega.t < \{330^\circ - \omega.\Delta t(K)\}$, senão “ $C_{control_Ia1}$ ” receberá sinal lógico “0”.

Adicionalmente, o sinal “ $C_{control_Isen1}$ ” receberá sinal lógico “0” se $30^\circ < \omega.t < \{30^\circ + \omega.\Delta t(K)\}$, ou se $\{150^\circ - \omega.\Delta t(K)\} < \omega.t < 150^\circ$, ou se $210^\circ < \omega.t < \{210^\circ + \omega.\Delta t(K)\}$, ou se $\{330^\circ - \omega.\Delta t(K)\} < \omega.t < 330^\circ$, senão, receberá sinal lógico “1”.

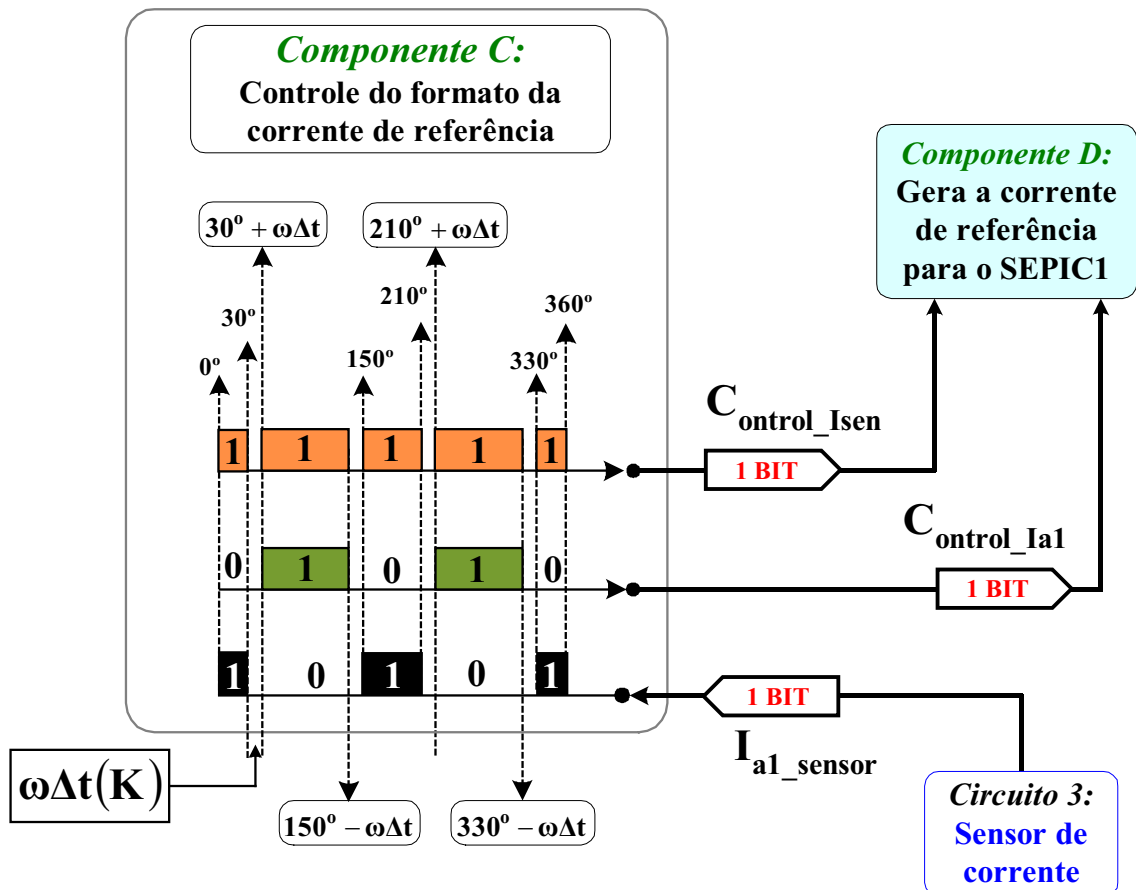


Figura 5.15 – Esquema geral de funcionamento do componente “E” (Modulador Histerese).

5.3.5 – Componente D: Gera a Corrente de Referência para o SEPIC₁

O componente “D” tem a função de gerar a corrente de referência para o conversor SEPIC₁. Esta lógica é representada pela equação (5.13), onde os sinais de entrada são: A corrente instantânea $i_{\text{Retif-1}}(n)$ de saída do retificador não controlada (gerada pelo componente “A”), o sinal senoidal $I_{\text{sen_unit}}(n)$ de amplitude unitária (gerada pelo componente “B”) e os sinais lógicos $C_{\text{control_Isen1}}$ e $C_{\text{control_Ia1}}$ (gerados pelo componente “C”), os quais são processados para compor o sinal de saída $R_{\text{ef_SEPIC1}}(n)$.

Conforme ilustrado na Figura 5.13, a corrente $i_{\text{Retif-1}}(n)$ ao entrar no componente “D”, tem o seu valor médio $I_{\text{Retif-1}}(n)$ calculado e multiplicado pelo parâmetro de controle “K” e pela senóide $I_{\text{sen_unit}}(n)$, sincronizada com a rede. Isto resulta no sinal senoidal $I_{\text{sen}}(n)$ com a sua amplitude corrigida. Em seguida, é multiplicado pelo sinal lógico $C_{\text{control_Isen1}}$ gerando o sinal $I_{\Delta\text{sen}}(n)$, com a descontinuidade $\omega \cdot \Delta t(K)$ já inserida. Retomando a corrente $i_{\text{Retif-1}}(n)$, após sair do componente “A”, ao entrar no componente “D” é multiplicada pelo sinal lógico $C_{\text{control_Ia1}}$, resultando no sinal $I_{\Delta}(n)$. Finalmente, subtraindo o sinal $I_{\Delta}(n)$ de $I_{\Delta\text{sen}}(n)$ obtém-se o sinal corrente de referência $R_{\text{ef_SEPIC1}}(n)$ para o SEPIC₁.

5.3.6 – Componente E: Modulador Histerese

Tomando como referência a análise teórica apresentada no Capítulo 3, tratar-se-à neste tópico da lógica implementada para realização da modulação por histerese digital, aplicada no controle do retificador monofásico SEPIC₁.

Conforme Figuras 5.13 e 5.16, o componente “E” recebe três sinais: A corrente de referência $R_{\text{ef_SEPIC1}}(n)$, gerada pelo componente “D”, a corrente de entrada $I_{\text{in1}}(n)$ do SEPIC₁ a ser controlada, gerada pelo componente “A”, e o sinal lógico $S_{\text{emicro_Va}}$, gerado pelo sensor de tensão de entrada. O sinal $S_{\text{emicro_Va}}$ é utilizado para que a partida e o desligamento do SEPIC₁ ocorra somente nos instantes em que a tensão de entrada $v_a(\omega.t)$ cruzar por zero. Esta ação preserva a integridade do sistema devido os níveis reduzidos de energia envolvidos nesta condição de operação.

Na Figura 5.16, é observado que ao comandar o seletor SW2 para a posição ON, o sinal $C_{\text{mdo_SEPIC}}$ assume o estado lógico “1” e ativa o componente “E”. Entretanto, a lógica de modulação só começa a funcionar assim que ocorre a transição (de “1” para “0”) do sinal $S_{\text{emicro_Va}}$, garantindo a partida do SEPIC₁ no instante em $v_a(\omega.t)$ é nula. O $P_{\text{ulso_SEPIC1}}$ é gerado impondo-se a modulação por histerese da corrente de entrada $I_{\text{in1}}(n)$ em torno do sinal de referência $R_{\text{ef_SEPIC1}}(n)$.

Componente E: Modulador Histerese

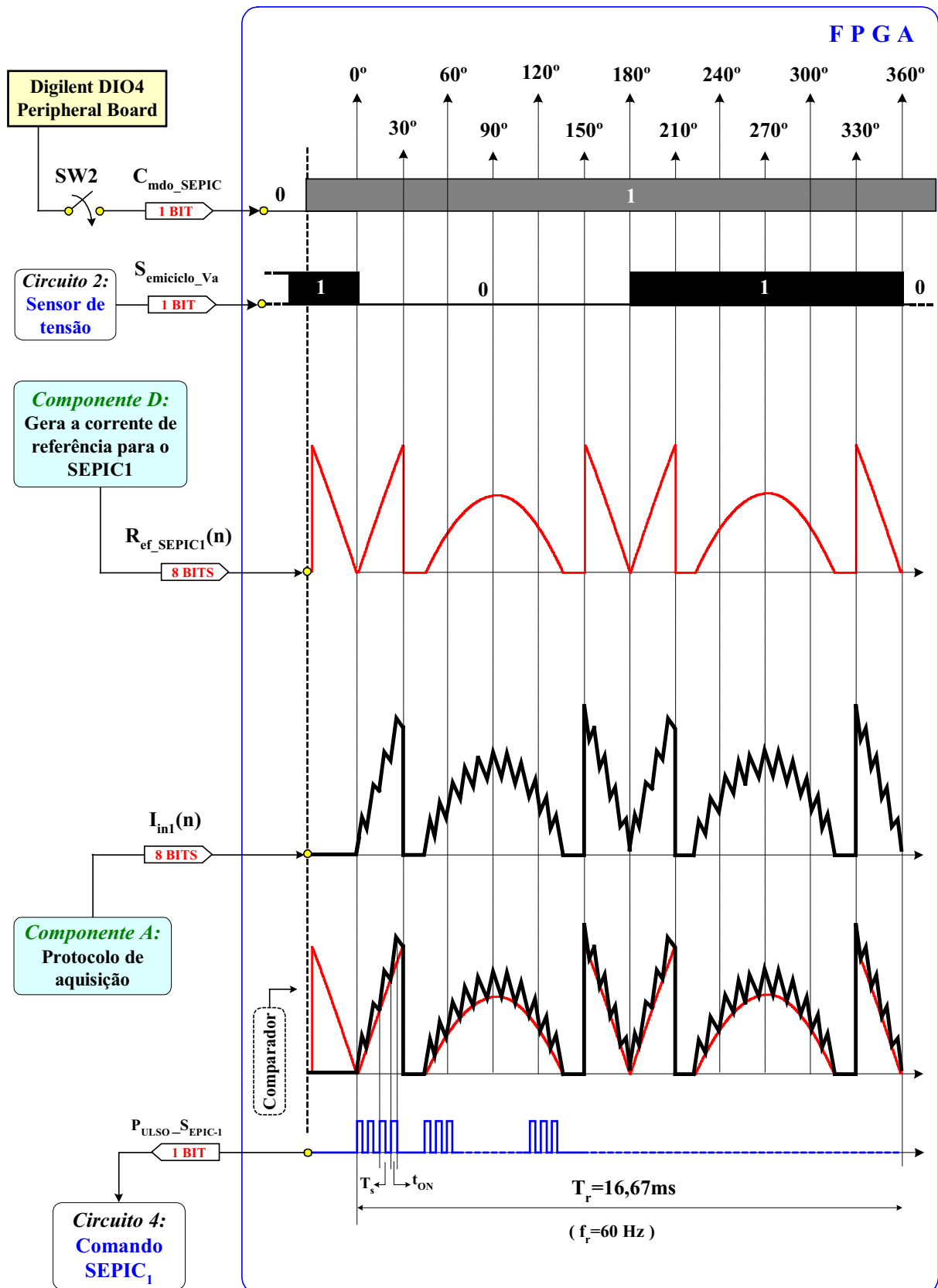


Figura 5.16 – Esquema geral de funcionamento do componente “E” (Modulador Histerese).

A lei de controle da modulação por histerese é composta pelos estados E_0, E_1, E_2, E_3, E_4 , detalhados na Figura 5.17.

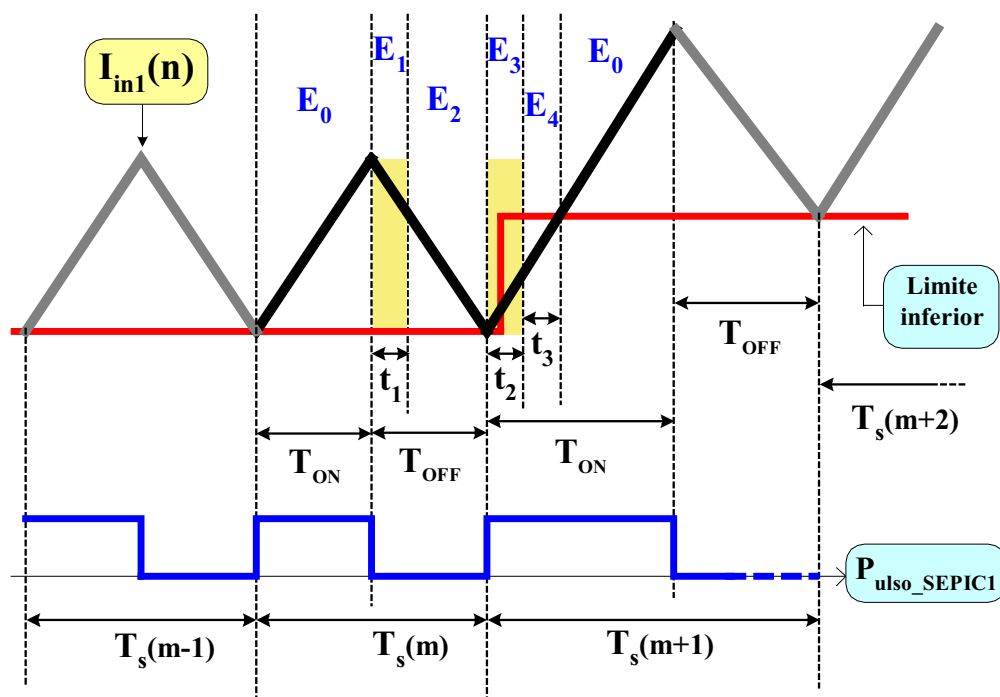


Figura 5.17 – Detalhe de funcionamento da modulação por histerese digital proposta.

O intervalo de tempo T_{ON} ocorre durante o estado E_0 e o P_{ulso_SEPIC1} recebe sinal lógico “1”. Este intervalo de tempo é controlado através de um contador lógico crescente, que determina exatamente o instante da transição para o estado E_1 , evitando erros do comparador associados ao processo de aquisição, conforme discutido no Capítulo 3. Nos estados E_1 e E_3 ocorrem as transições de comutação ON para OFF (P_{ulso_SEPIC1} recebe sinal lógico “0”) e OFF para ON (P_{ulso_SEPIC1} recebe sinal lógico “1”), respectivamente. Neste estados, não existe atuação do comparador, os intervalos de tempo são controlados por contadores lógicos, com o objetivo de evitar uma atuação inadequada do controle devido à presença de ruídos de comutação. O intervalo de tempo T_{OFF} ocorre durante o estado E_2 . Este intervalo de tempo é controlado pelo comparador dentro da seguinte lógica: Se $I_{in1}(n) \geq R_{ef_SEPIC1}(n)$, P_{ulso_SEPIC1} receberá sinal lógico “0”, senão, se $I_{in1}(n) < R_{ef_SEPIC1}(n)$, P_{ulso_SEPIC1} receberá sinal lógico “1” e o estado muda para E_3 . Finalmente, o estado E_4 tem a função de verificar se o $R_{ef_SEPIC1}(n)$ teve o seu valor alterado durante o estado E_3 , dentro da seguinte lógica: Se $I_{in1}(n) \geq R_{ef_SEPIC1}(n)$, o estado muda para E_0 , senão, se $I_{in1}(n) < R_{ef_SEPIC1}(n)$, o estado E_4 é mantido. O P_{ulso_SEPIC1} recebe somente sinal lógico “1” no estado E_4 . Assim, o comportamento dinâmico inerente da modulação por histerese analógica é perfeitamente garantido.

A seguir, na Figura 5.18, é mostrada a máquina de estados que descreve o funcionamento do modulador na sua forma completa, incluindo os estados E_{OFF} e E_{Start} .

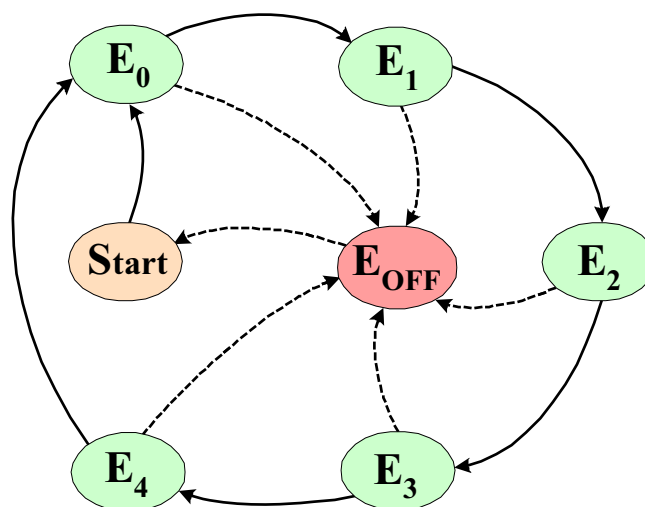


Figura 5.18 – Funcionamento da máquina de estados do componente “E” (Modulador Histerese).

Na ocorrência de uma sobrecorrente no SEPIC, o funcionamento da máquina de estados do modulador histerese é interrompido e o sistema assume o estado E_{OFF} (Desligado). Nesta condição, o P_{ulso_SEPIC1} recebe sinal lógico “0”. O procedimento para o restabelecimento do sistema é desativar o componente “E” através do seletor manual externo SW2 (ON, OFF). Assim, o sinal lógico C_{mdo_SEPIC} recebe valor “0” e a máquina de estados do modulador assume o estado de espera E_{Start} , até que seja ativado novamente.

5.4 – Otimização da Estratégia de Controle

A estratégia de controle detalhada anteriormente, foi devidamente avaliada em testes experimentais e o seu objetivo alcançado. No entanto, entendeu-se que seria possível e viável otimizá-la.

Deste modo, serão apresentadas neste tópico algumas modificações implementadas para o código VHDL, que simplificou tanto o software quanto o hardware empregado no controle do retificador híbrido (Figura 5.19).

Na versão anterior (Figura 5.13) foi mostrado que todo o código está baseado nas expressões matemáticas (5.9) e (5.10). Assim, a otimização do código está relacionada com a simplificação destas equações. A equação (5.9) é redefinida pela (5.11).

$$R_{ef_SEPIC1}(\omega.t) = K \cdot I_{Retif-1} \cdot S_{inal_Ref1_unit}(\omega.t) \quad (5.11)$$

Sendo que:

$$S_{\text{inal_Ref1_unit}}(\omega.t) = \begin{cases} \text{sen}(\omega.t) - \frac{1}{K}, & \text{se : } \begin{cases} \frac{\pi}{6} + \omega.\Delta t \leq \omega.t \leq \frac{5.\pi}{6} - \omega.\Delta t; \\ \frac{2.\pi}{3} + \omega.\Delta t \leq \omega.t \leq \frac{11.\pi}{6} - \omega.\Delta t \end{cases} \\ \text{sen}(\omega.t), & \text{intervalo } \omega.t \end{cases} \quad (5.12)$$

Onde:

$R_{\text{ef_SEPIC1}}(\omega.t)$: Corrente de referência para o SEPIC₁;

$S_{\text{inal_Ref1_unit}}(\omega.t)$: Sinal de referência com amplitude unitária;

K : Parâmetro de Controle;

$I_{\text{Retif-1}}$: Valor médio da corrente de saída do retificador não controlado.

Com a substituição da expressão $\text{sen}(\omega.t)$ {em (5.9)} pela expressão $S_{\text{inal_Ref1_unit}}(\omega.t)$, os sinais auxiliares “ $C_{\text{ontrol_Ia1}}$ ” e “ $C_{\text{ontrol_Ise1}}$ ” foram descartados, tendo em vista que o formato da referência de corrente para o SEPIC₁ já está implícito na expressão $S_{\text{inal_Ref1_unit}}(\omega.t)$. Na seqüência a equação (5.11) é reescrita pela (5.13), considerando os seus termos com valores digitalizados em 8 bits, utilizada na otimização do código comportamental da estratégia de controle, cujo funcionamento é ilustrado na Figura 5.19.

$$R_{\text{ef_SEPIC1}}(n) = K.I_{\text{Retif-1}}(n).S_{\text{inal_Ref1_unit}}(n) \quad (5.13)$$

Onde:

$R_{\text{ef_SEPIC1}}(n)$: Corrente de referência para o SEPIC₁ (variável de 8 bits);

$S_{\text{inal_Ref1_unit}}(n)$: Sinal de referência com amplitude unitária (variável de 8 bits);

K : Parâmetro de Controle (constante de 8 bits);

$I_{\text{Retif-1}}(n)$: Valor médio da corrente de saída do Retif-1 (variável de 8 bits).

Com a eliminação dos sinais auxiliares “ $C_{\text{ontrol_Ia1}}$ ” e “ $C_{\text{ontrol_Ise1}}$ ”, o componente “ C ” (no código VHDL) e o circuito sensor de corrente discutido no tópico 5.2.3, foram desativados. As lógicas que compõem os componentes “ A ”, “ B ” e “ E ” não tiveram modificações em relação ao esquema anterior (Figura 5.13). No entanto, observa-se que os 417 valores de 8 bits que compõem a “tabela de dados” no componente “ B ” são amostras da equação (5.12) $\{S_{\text{inal_Ref1_unit}}(\omega.t)\}$ e não mais da senóide $\{\text{sen}(\omega.t)\}$. O componente “ D ” realiza duas funções bastante simples: Inicialmente a corrente $i_{\text{Retif-1}}(n)$ é filtrada, para eliminar o *ripple* de 360Hz, e depois o valor de saída do filtro $I_{\text{Retif-1}}(n)$ é multiplicado pelo parâmetro “ K ” e pelo sinal $S_{\text{inal_Ref1_unit}}(n)$, resultando na corrente de referência $R_{\text{ef_SEPIC1}}(n)$ para o SEPIC₁.

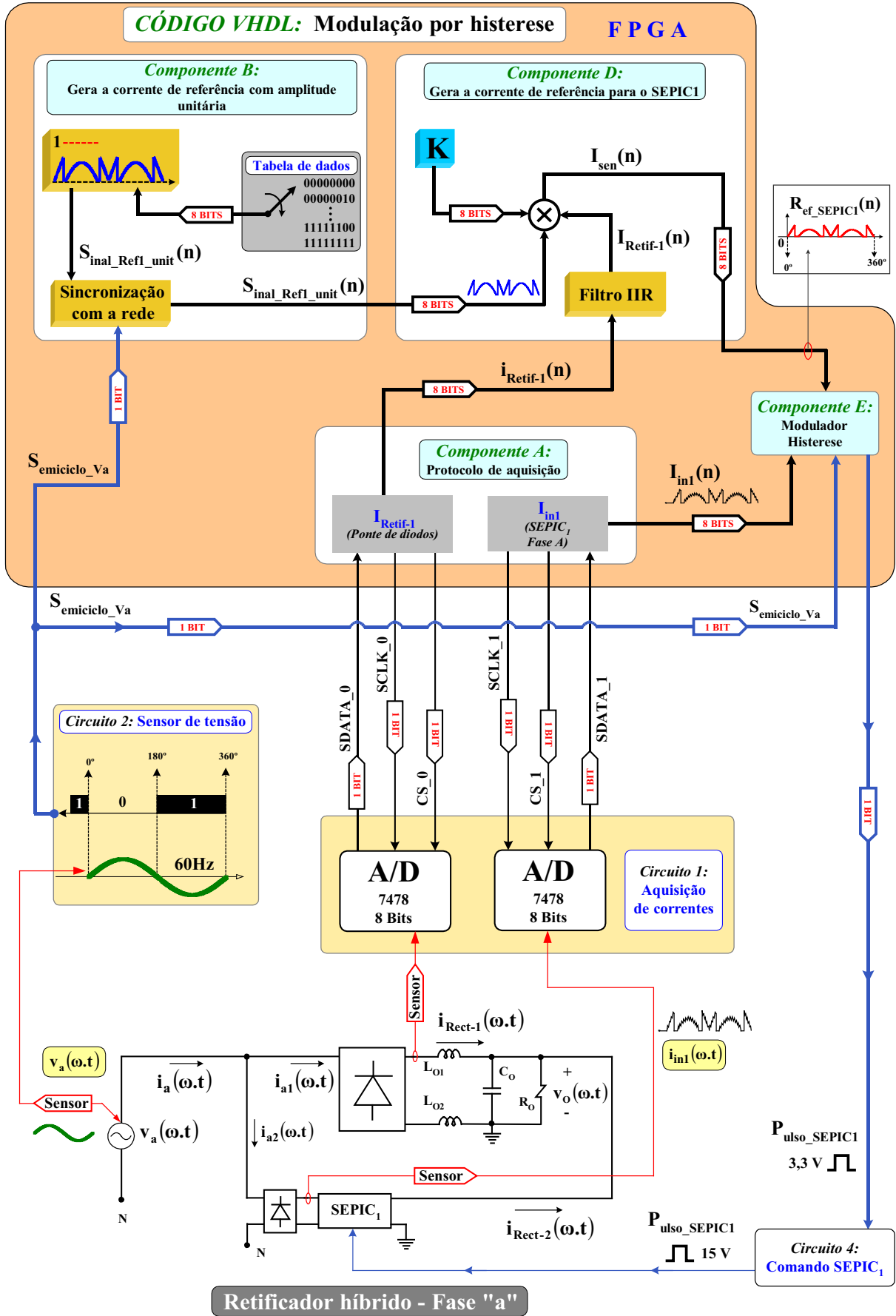


Figura 5.19 – Uma visão geral da estratégia de controle, simplificada.

O componente “D” foi inteiramente desenvolvido com os núcleos parametrizáveis de somadores, registradores e multiplicadores presentes na biblioteca *System Generator*, conforme Figura 5.20. Esta biblioteca permite o projetista desenvolver lógicas e filtros digitais no ambiente MatLaB/Simulink simplesmente conectando os núcleos parametrizáveis para compor um diagrama de blocos previamente definido. Por fim, é gerado um arquivo com extensão *ngc*, contendo a lógica desenvolvida, o qual é adicionado aos demais arquivos que compõem o código VHDL, possibilitando acessá-lo dentro do ambiente de desenvolvimento da Xilinx como um componente do tipo *Black Box* (permite somente o acesso às entradas e saídas definidas no ambiente MatLaB/Simulink). Para gerar o componente *Black Box* é necessário definir uma taxa de amostragem (período de aquisição) base, onde as entradas deverão ser múltiplas desta “taxa de amostragem base”, e informá-la na biblioteca *System Generator*, assim como o período do oscilador (pulso de clock) disponível no dispositivo FPGA (neste caso 20ns).

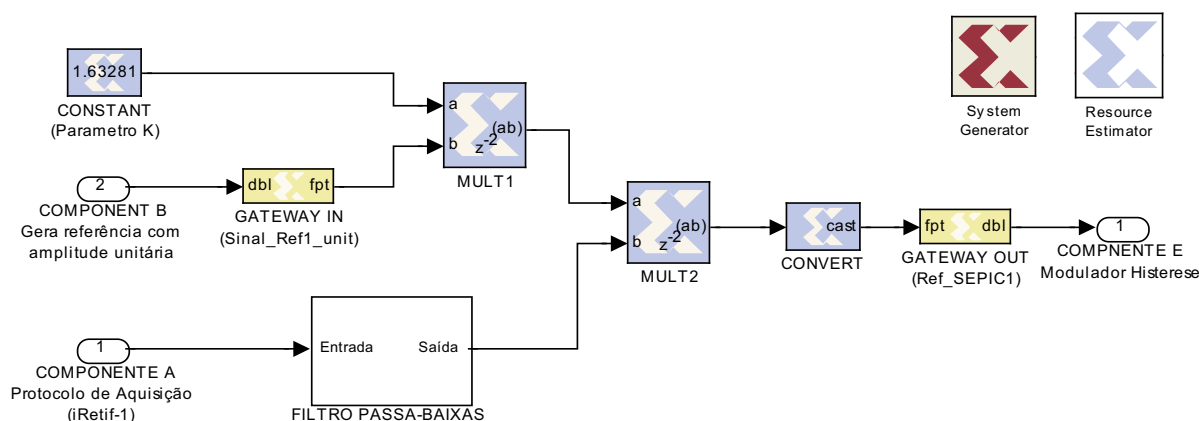


Figura 5.20 – Componente “D”: Gera a corrente de referência para o SEPIC₁.

Na Figura 5.20, o parâmetro “K” é definido no bloco constante (*CONSTANT*) com um período de amostragem de 20 μ s e uma resolução de 8 bits, sendo um bit inteiro e sete bits fracionários, resultando em um valor decimal de $K=1,63281$.

O sinal de referência $S_{\text{inal_Ref1_unit}}(n)$, é gerado pelo componente “B” com um período de amostragem de 20 μ s (definido no tópico 5.3.3) e uma resolução de 8 bits inteiros, sendo portanto necessária a sua conversão para 8 bits fracionários para que se torne de fato um sinal com amplitude unitária, realizada pelo bloco de entrada (*GATEWAY IN*).

A corrente $i_{\text{Retif-1}}(n)$ é gerada pelo componente “A” também com um período de amostragem de 20 μ s (conforme definido no tópico 5.2.1). O filtro digital passa-baixas aparece no componente “D” como um sub-componente e será analisado em detalhes

posteriormente. Os dois blocos multiplicadores (*MULT1* e *MULT2*) foram definidos para mostrar os resultados com precisão total, sem limitar a quantidade de bits dos seus resultados de saída.

No entanto, o bloco de conversão de dados (*CONVERT*) limita o valor de saída em 8 bits inteiros, resultando em uma precisão suficiente para o sinal gerado “*R_{ef_SEPIC1}*”, destacado bloco de saída (*GATEWAY OUT*). Finalmente, o sinal *R_{ef_SEPIC1}(n)* (corrente de referência para o *SEPIC₁*) é enviado para o componente “*E*”.

A descrição em linguagem VHDL (código fonte) dos componentes “*A*”, “*B*”, “*D*” e “*E*”, (Figura 5.19) é apresentada em detalhes Apêndice B.

5.4.1 – Filtro Digital

A função de transferência $H(z)$ de um filtro digital genérico, com uma entrada $X(z)$ e uma saída $Y(z)$ é descrito através da equação (5.14).

$$H(z) = \frac{Y(z)}{X(z)} = \frac{b_0 + b_1 z^{-1} + b_2 z^{-2} \dots + b_M z^{-M}}{1 + a_1 z^{-1} + a_2 z^{-2} \dots + a_N z^{-N}}, \quad N \geq M \quad (5.14)$$

Manipulando a equação (5.14) obtém-se a expressão diferenças da saída $Y(z)$ conforme (5.15)

$$Y(z) = \begin{cases} b_0 \cdot X(z) + b_1 \cdot z^{-1} \cdot X(z) + b_2 \cdot z^{-2} \cdot X(z) + \dots + b_M \cdot z^{-M} \cdot X(z) + \\ - a_1 \cdot z^{-1} \cdot Y(z) - a_2 \cdot z^{-2} \cdot Y(z) - \dots - a_N \cdot z^{-N} \cdot Y(z) + \end{cases} \quad (5.15)$$

Este sistema é representado pelo diagrama mostrado na Figura 5.21, utilizando-se da forma direta de realização, ou seja, da mesma forma que se interpreta a equação a diferenças (5.15) que representa o filtro digital.

Na representação direta, os numeradores e denominadores da função de transferência são realizados usando quantidades separadas de elementos de atraso, onde os elementos de atraso são representados por z^{-1} e representam o atraso relativo a um período de amostragem.

Estes elementos são implementados usando-se estruturas de memória, usualmente registradores.

Dependendo da aplicação e/ou tamanho do sistema, é conveniente aplicar formas de realização em diagrama de blocos mais otimizadas (por exemplo: Forma canônica e paralela), que reduzem a quantidade de elementos de atraso z^{-1} e de erros de truncamento, evitando que o sistema se torne instável (pólo fora do círculo unitário).

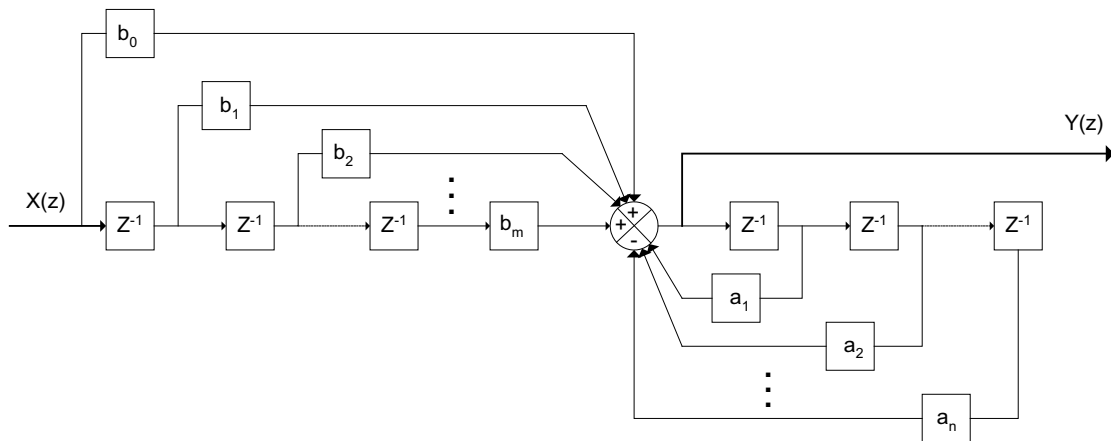


Figura 5.21 – Diagrama de blocos da realização direta do filtro digital genérico.

Uma análise mais detalhada de $H(z)$ mostra duas possibilidades de implementação do filtro digital [53], discutidas na sequência. Para facilitar a análise será considerado um sistema $H_1(z)$ de primeira ordem, definido por (5.16) e a saída $Y_1(z)$ pela (5.17). O sistema $H_1(z)$ é uma condição particular de $H(z)$:

$$H_1(z) = \frac{Y_1(z)}{X_1(z)} = \frac{b_0 + b_1 z^{-1}}{1 + a_1 z^{-1}} \quad (5.16)$$

$$Y_1(z) = b_0 \cdot X_1(z) + b_1 \cdot z^{-1} \cdot X_1(z) - a_1 \cdot z^{-1} \cdot Y_1(z) \quad (5.17)$$

- 1) Quando existe pelo menos um pólo não nulo de $H_1(z)$ {significa que coeficiente a_1 no denominador da equação (5.16) é maior do que zero}. Neste caso, a resposta do sistema $H_1(z)$ ao impulso unitário resulta em uma quantidade infinita de termos, calculada pela equação (5.18). Um sistema com tal característica é denominado de “resposta ao impulso infinita” (**IIR – Infinite Impulse Response**).

$$h_1(n) = \{b_0 \cdot \delta(n) + b_1 \cdot \delta(n-1)\} \cdot (-a_1)^n \cdot u(n) \quad (5.16)$$

Sendo que:

$$\delta(n) = \begin{cases} 1, & n = 0 \\ 0, & n \neq 0 \end{cases} \quad (5.17)$$

$$u(n) = \begin{cases} 1, & n \geq 0 \\ 0, & \text{senão} \end{cases} \quad (5.18)$$

Onde:

$h_1(n)$: Sequência resposta ao impulso unitário, do sistema $H_1(z)$;

$\delta(n)$: Sequência impulso unitário;

$u(n)$: Sequência degrau unitário.

Simplificando a equação (5.16), obtém-se:

$$h_1(n) = b_0 \cdot (-a_1)^n \cdot u(n) + b_1 \cdot (-a_1)^{n-1} \cdot u(n-1) \quad (5.19)$$

A equação diferença da saída $Y_1(z)$, definida pela (5.17), pode ser também representada da seguinte maneira:

$$y_1(n) = b_0 \cdot x_1(n) + b_1 \cdot x_1(n-1) - a_1 \cdot y_1(n-1) \quad (5.20)$$

- 2) Quando o sistema $H_1(z)$ não possui pólos não nulos {significa que o coeficiente a_1 no denominador da equação (5.16) é nulo}. Para este caso, a resposta do sistema $H_1(z)$ ao impulso unitário resulta em uma quantidade finita de termos, conforme equação (5.21). Portanto, este sistema é denominado de “resposta ao impulso finita” (**FIR – Finite Impulse Response**).

$$h_1(n) = b_0 \cdot \delta(n) + b_1 \cdot \delta(n-1) \quad (5.21)$$

Simplificando (5.21), resulta em:

$$h_1(n) = b_0 + b_1 \quad (5.22)$$

A equação diferença da saída $Y_1(z)$ para o filtro “FIR” é definida a seguir :

$$y_1(n) = b_0 \cdot x_1(n) + b_1 \cdot x_1(n-1) \quad (5.23)$$

Fazendo uma comparação entre (5.20) e (5.23), e com o auxílio da Figura 5.21, é verificado que o filtro “IIR” {equação (5.20)} possibilita realimentar as amostras anteriores da entrada {exemplo: $x_1(n-1)$ } e as amostras anteriores da saída {exemplo: $y_1(n-1)$ }. Já o filtro “FIR” {equação (5.23)} possibilita realimentar somente as amostras anteriores da entrada { $x_1(n-1)$ }. O filtro “IIR” geralmente resulta em um sistema de menor ordem do que o filtro “FIR”, entretanto, o acesso aos valores de saída do filtro deverá ser garantido para a realimentação.

O projeto do filtro digital passa-baixas (sub-componente destacado na Figura 5.20) foi desenvolvido diretamente no plano discreto usando a ferramenta de projeto de filtros digitais FDAtool, presente no ambiente MatLaB/Simulink. Dentre as topologias de filtros que a FDAtool disponibiliza para o projeto, foi escolhido um sistema “IIR” do tipo *Butterworth* e de primeira ordem, equivalente ao $H_1(z)$ definido pela equação (5.16). A frequência de corte deste filtro é de 36Hz com a taxa de amostragem configurada como sendo 50kHz, sintonizada com os demais elementos que integram o componente “D”. Para a realização deste filtro foram utilizados 3 multiplicadores (coeficientes: a_1 , b_0 e b_1), 2 somadores (ADDSUB1 e ADDSUB2), 2 registradores (elementos de atraso: DELAY1 e DELAY2) e 2 estruturas de

conversão de dados (CONVERT1 e CONVERT2), conforme destacado na Figura 5.22. As estruturas de conversão de dados são importantes para que o laço de realimentação não cause a instabilidade do filtro.

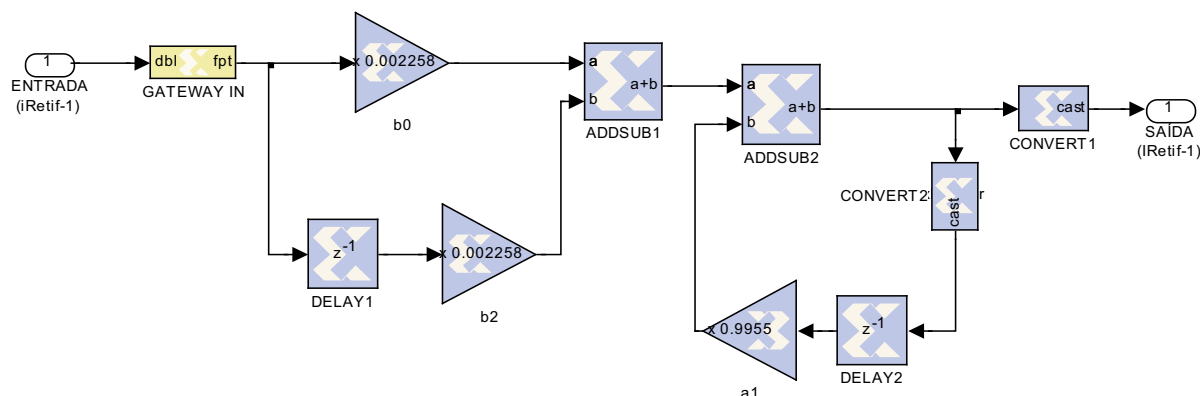


Figura 5.22 – Diagrama de blocos da realização direta do filtro digital IIR.

A tabela 5.1 mostra os coeficientes do filtro e a sua configuração aritmética em ponto fixo.

Tabela 5.2 – Resumo do Protocolo de partida, operação em regime e desligamento do Retificador Trifásico Híbrido (RTH).

Valores calculados pelo FDAtool		Valores implementados		
Coeficiente	Valor coeficiente	Valor coeficiente (aproximado)	Nº de bits	Posição do ponto fracionário
a ₁	- 0,9954833984375	- 0,9955	16	16
b ₀	0,00225830078125	0,0022583	16	16
b ₁	0,00225830078125	0,0022583	16	16

Portanto, o valor de saída filtro é dado pela equação diferença (5.20), sendo reescrita a seguir pela (5.24), com os coeficientes calculados.

$$y(n) = 0,0022583 \cdot x(n) + 0,0022583 \cdot x(n-1) + 0,9955 \cdot y(n-1) \quad (5.24)$$

Sabe-se que:

$$i_{\text{Retif-1}}(n) \leftarrow x(n);$$

$$I_{\text{Retif-1}}(n) \leftarrow y(n).$$

Então, atualizando (5.24), obtém-se a equação (5.25) padronizada com o diagrama mostrado na Figura 5.19:

$$I_{\text{Retif-1}}(n) = 0,0022583.i_{\text{Retif-1}}(n) + 0,0022583.i_{\text{Retif-1}}(n-1) + 0,9955.I_{\text{Retif-1}}(n-1) \quad (5.25)$$

Finalmente, atualizando a equação (5.19) com os coeficientes da Tabela 5.1, resulta na equação (5.26) para análise da resposta ao impulso do filtro projetado.

$$h_1(n) = 0,0022583.(0,9955)^n .u(n) + 0,0022583.(0,9955)^{n-1} .u(n-1) \quad (5.26)$$

Nas Figuras 5.23 e 5.24, são mostradas respectivamente a margem de ganho e margem de fase do filtro digital implementado.

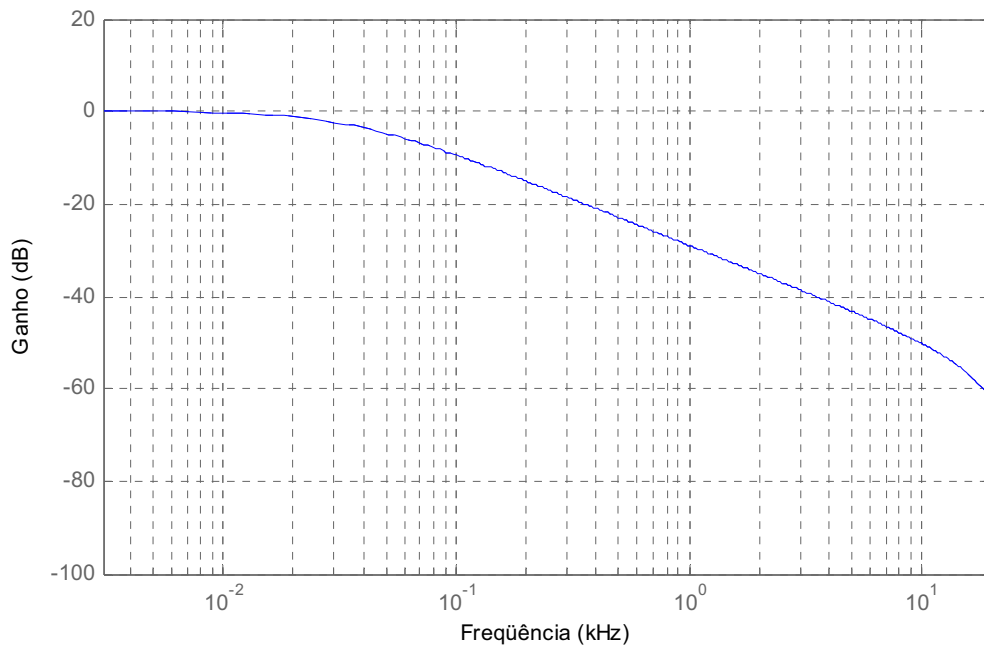


Figura 5.23 – Margem de ganho do filtro digital IIR.

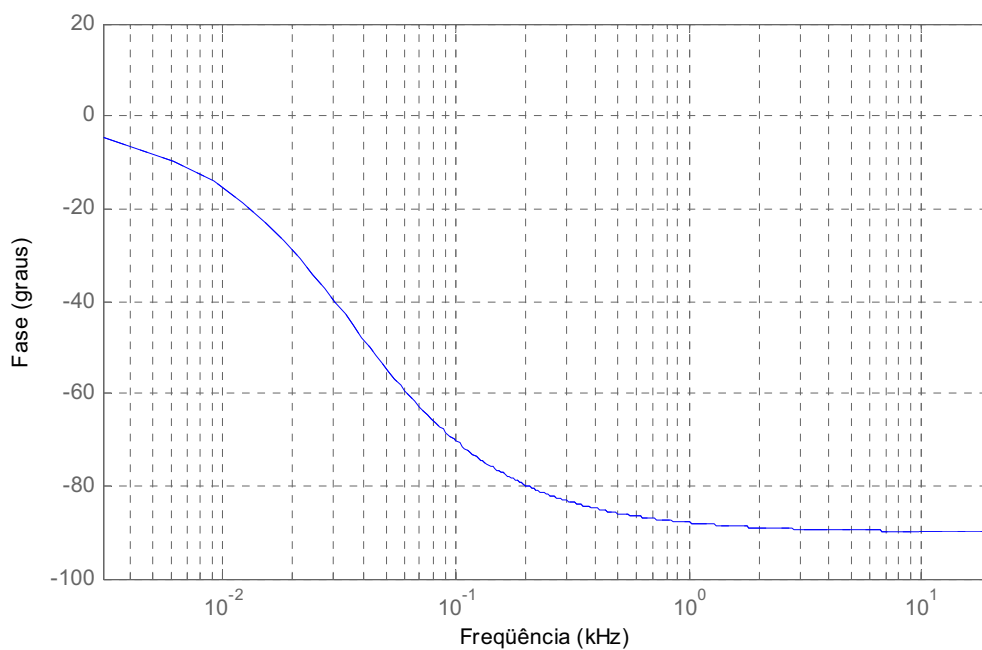


Figura 5.24 – Margem de fase do filtro digital IIR.

Por ser um filtro de primeira ordem, verifica-se que o ganho (Figura 5.23) é atenuado em 20dB/década e a fase (Figura 5.24) se estabiliza em -90° .

5.5 – Acionamento do Retificador Trifásico Híbrido

Considerando o acionamento direto do retificador trifásico híbrido pela rede de alimentação, é apresentado um resumo do funcionamento da estrutura e dos componentes que constituem o código VHDL (Figura 5.19), nas condições de partida, regime e desligamento, conforme descrito na Tabela 5.2

Tabela 5.2 – Resumo do Protocolo de partida, operação em regime e desligamento do Retificador Trifásico Híbrido (RTH).

		Partida			Regime	Desligamento	
		Primeira etapa (t_0, t_1)	Segunda etapa (t_1, t_2)	Terceira etapa (t_2, t_3)	Quarta etapa (t_3, t_4)	Quinta etapa (t_4, t_5)	Sexta etapa (t_5, t_6)
Retificadores	RTH	Desligado	Desligado	Em operação	Em operação	Desligado	Desligado
	Retif-1	Desligado	Em operação	Em operação	Em operação	Em operação	Desligado
	Retif-2	Desligado	Desligado	Em operação	Em operação	Desligado	Desligado
FPGA (Componentes)	A	Ativado	Ativado	Ativado	Ativado	Ativado	Desativado
	B	Ativado	Ativado	Ativado	Ativado	Ativado	Desativado
	D	Ativado	Ativado	Ativado	Ativado	Ativado	Desativado
	E	Desativado	Desativado	Ativado	Ativado	Desativado	Desativado

LEGENDA – Tabela 5.2

RTH	Retificador Trifásico Híbrido	A	Protocolo de aquisição
Retif-1	Retificador Trifásico não-controlado	B	Gera senóide de referência
Retif-2	Retificador monofásico SEPIC1	D	Gera a corrente de referência para o SEPIC1
		E	Modulador histerese

O protocolo de partida e desligamento é dividido em etapas, conforme a seguir:

Primeira etapa (t_0, t_1): Inicialmente, o retificador trifásico híbrido está desligado. No instante t_0 , os componentes “A”, “B” e “D” são ativados por meio do sinal $C_{mdo_aquisição}$ (gerado pelo seletor manual SW1). Nesta etapa o componente “A” faz o ajuste de *offset* das correntes $i_{Retif}(n)$ e $I_{in1}(n)$ digitalizadas (idealmente com valor nulo “00000000”),

considerando os primeiros cem valores monitorados. A partir deste instante, o Retif-1 poderá ser comandado para a condução.

Segunda etapa (t_1, t_2): No instante t_1 , o Retif-1 é comandado manualmente para a condução através de um contator trifásico comum. Nesta etapa, não há a correção do Fator de Potência na fase “a”, pois o Retif-2 encontra-se desligado. A partir do instante t_2 , com o Retif-1 em regime, o Retif-2 poderá ser comandado para a condução.

Terceira etapa (t_2, t_3): No instante t_2 , o componente “E” é ativado através do sinal $C_{\text{mdo_SEPIC}}$ (gerado pelo seletor manual SW2), dando início à emissão de pulsos de comando e da operação do SEPIC₁. Após o transitório de partida, no instante t_3 , o retificador trifásico híbrido atinge a condição de regime, fazendo a correção do Fator de Potência na fase “a”.

Quarta etapa (t_3, t_4): O retificador trifásico híbrido opera em regime, até que no instante t_4 , por decisão do operador, é comandado o seu desligamento, iniciando-se pelo Retif-2 (SEPIC₁), conforme descrito na etapa seguinte.

Quinta etapa (t_4, t_5): No instante t_4 , o componente “E” é desativado através do sinal $C_{\text{mdo_SEPIC}}$, resultando no desligamento do Retif-2. Portanto, o Retif-1 volta a processar toda a potência entregue à carga, até que seja comandado o seu desligamento.

Sexta etapa (t_5, t_6): No instante t_5 , o Retif-1 é desligado e os componentes “A”, “B” e “D” são desativados por meio do sinal $C_{\text{mdo_aquisição}}$, finalizando a operação do retificador trifásico híbrido.

5.6 – Conclusões

Apresentou-se neste capítulo a descrição da lógica de controle para a imposição das correntes de entrada do Retificador Trifásico Híbrido com correção do Fator de Potência (RTH), baseando-se nas análises teóricas desenvolvidas nos Capítulos 2 e 3.

A implementação digital desta lógica de controle, utilizando-se da Linguagem de descrição de Hardware VHDL (*Hardware Description Language*), foi discutida de forma detalhada. Ressalta-se que todo o código VHDL foi construído visando a sua aplicação prática através de dispositivos lógicos programáveis FPGA (*Field Programmable Gate Array*), para comando do Retificador Trifásico Híbrido (RTH).

Na primeira versão do controle implementada (Figura 5.13) haviam sete sensores de corrente, dos quais três eram aplicados na detecção de nível das correntes de entrada do retificador não controlado. Na segunda versão (Figura 5.19), a estratégia de controle foi otimizada, eliminando-se estes três sensores de corrente, considerando-se que eventuais desequilíbrios entre as tensões de entrada não alterem de forma significativa os instantes de comutação dos diodos da ponte retificadora de seis pulsos. Caso contrário, a corrente controlada e não controlada de cada fase na entrada perderão o sincronismo entre si, e conseqüentemente a DHT da corrente total de fase será aumentada.

A disponibilidade de bibliotecas que permitem o desenvolvimento do código em VHDL através do aplicativo MatLaB/Simulink resulta em maior segurança e facilidade para o projetista, uma vez que toda a parte aritmética envolvida é realizada através núcleos parametrizáveis de fácil manuseio e entendimento. O uso do dispositivo FPGA torna a técnica de modulação por histerese viável para implementação, por ser utilizado apenas um contador e comparador simples, controlando uma máquina de estados comum (Figuras 5.17 e 5.18). Adicionalmente, a aplicação de técnicas digitais com o uso de FPGAs, para o acionamento e controle de conversores em eletrônica de potência, permite ao projetista uma maior flexibilidade durante as fases de projeto, implementação em bancada e em fase posterior, devido à possibilidade de se testar parâmetros, alterando-se apenas algumas linhas do programa. Desta forma, utilizam-se poucos componentes e dispositivos em laboratório, evitando-se a confecção de placas, levando-se à redução de tempo, espaço e custos para o desenvolvimento de protótipos para validação da proposta.

Finalmente, no Capítulo 6 apresentar-se-ão os resultados experimentais obtidos para o retificador híbrido, considerando-se a versão otimizada do controle digital proposta e analisada neste capítulo.

CAPÍTULO 6

6 – Principais Resultados Experimentais para o Retificador Trifásico Híbrido (RTH)

6.1 – Introdução

Neste capítulo apresentam-se as formas de onda e demais resultados obtidos na implementação prática do protótipo do Retificador Trifásico Híbrido, com controle digital e modulação por histerese variável, utilizando dispositivo FPGA e, análises para os principais resultados apresentados.

6.2 – Protótipo Implementado

Considerando a lógica de controle digital implementada no Capítulo 5 com base nas análises teóricas discutidas nos Capítulos 2 e 3, construiu-se o protótipo do retificador trifásico híbrido para uma potência de 3,0 kW, cujas fotos da estrutura são mostradas na seqüência. Inicialmente têm-se uma visão geral da estrutura através da Figuras 6.1.

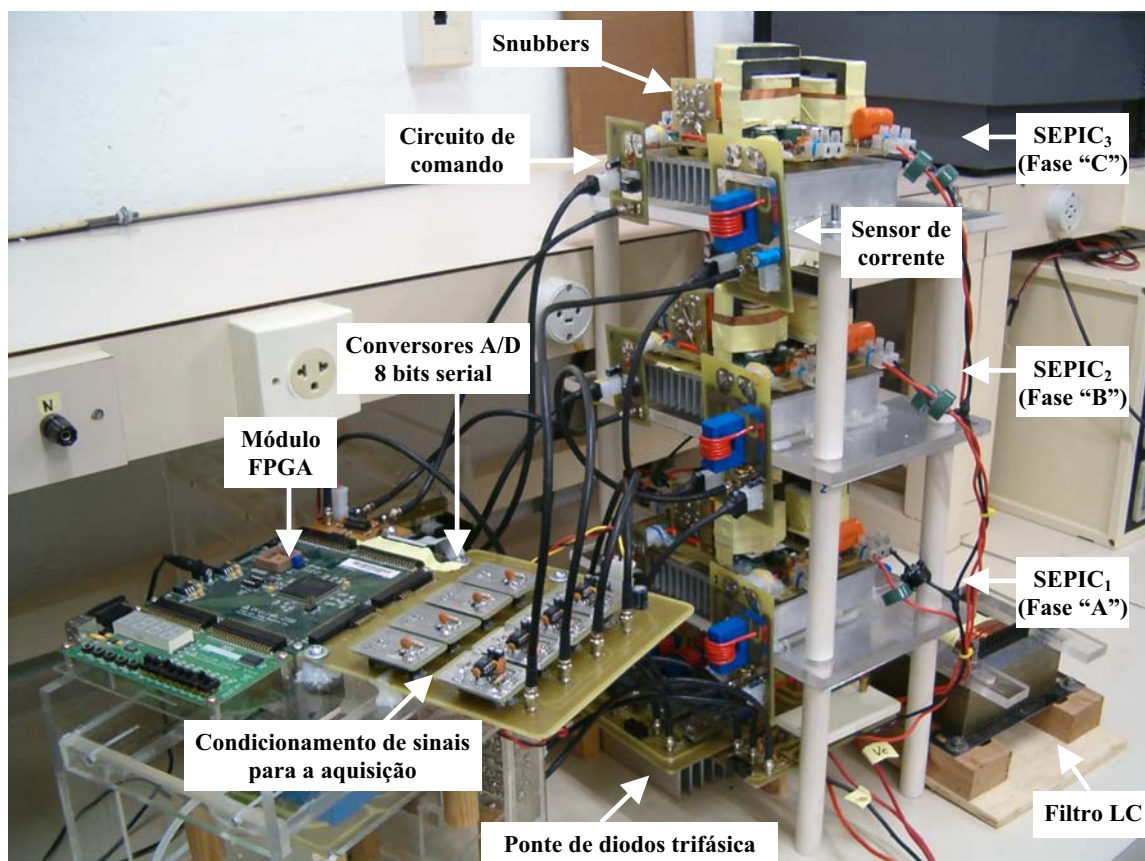


Figura 6.1 – Vista geral do protótipo implementado para o Retificador Trifásico Híbrido.

Na Figura 6.2, tem-se uma vista superior do protótipo do retificador monofásico SEPIC₁ conectado na fase “a”. Estão sinalizados no lado direito da figura os pontos de conexão dos circuitos de comando e do sensor da corrente de entrada $i_{in1}(\omega.t)$, mostrados em detalhes nas Figuras 6.3 e 6.4, respectivamente. Os circuitos snubbers foram conectados na posição perpendicular ao plano de montagem do SEPIC₁, junto ao interruptor controlado.

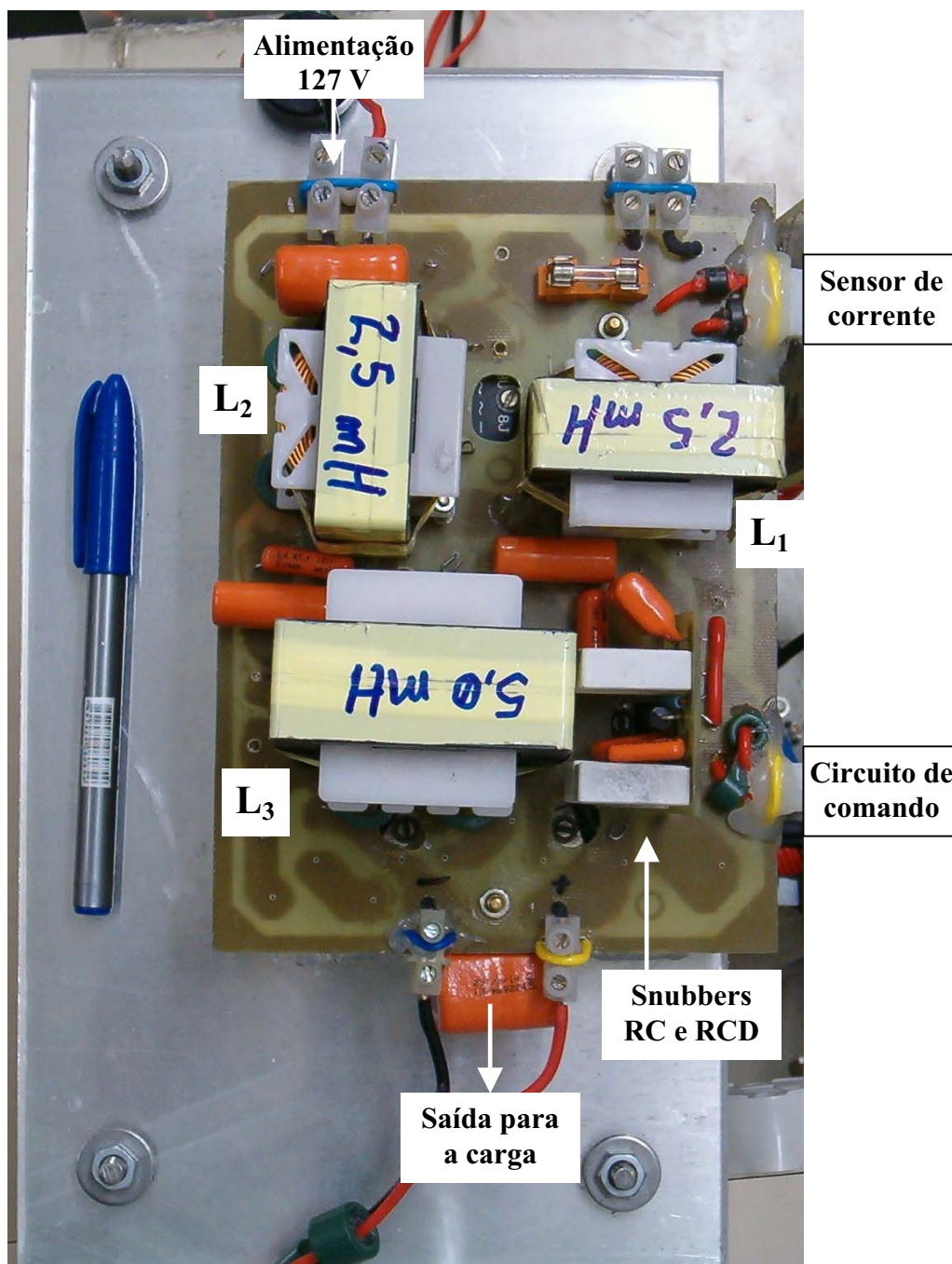


Figura 6.2 – Vista superior do retificador monofásico SEPIC₁, na fase “a”.

O circuito esquemático (comando do SEPIC₁) referente à Figura 6.3, foi descrito no Capítulo 5 (detalhes no tópico 5.3.4, Figura 5.8).

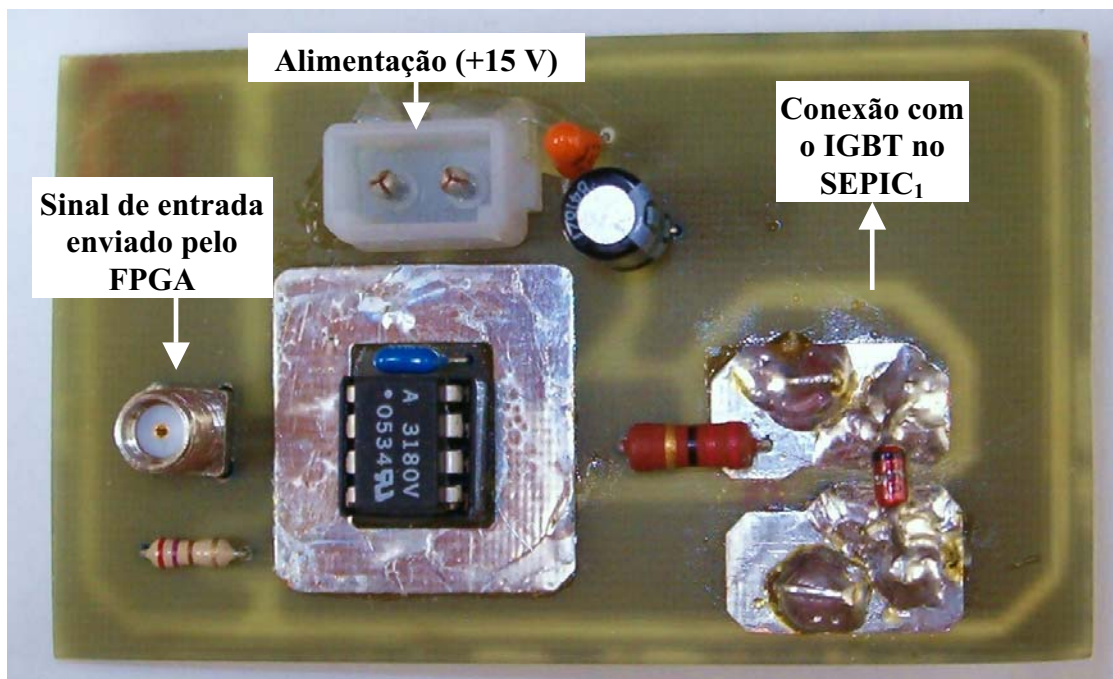


Figura 6.3 – Detalhe do circuito comando do SEPIC₁.

O sensor de corrente de efeito “Hall” (comentado no tópico 5.3.1, no Capítulo 5) é sensibilizado com cinco espiras, resultando em uma relação de transformação de 1,0 A no primário para 50 mA no secundário. A corrente que sai do secundário circula pela resistência de $95\ \Omega$ (em paralelo) e produz um sinal de tensão V_{M1} (entre 0 e 4,75 V) que é enviado para o circuito de condicionamento de sinal.

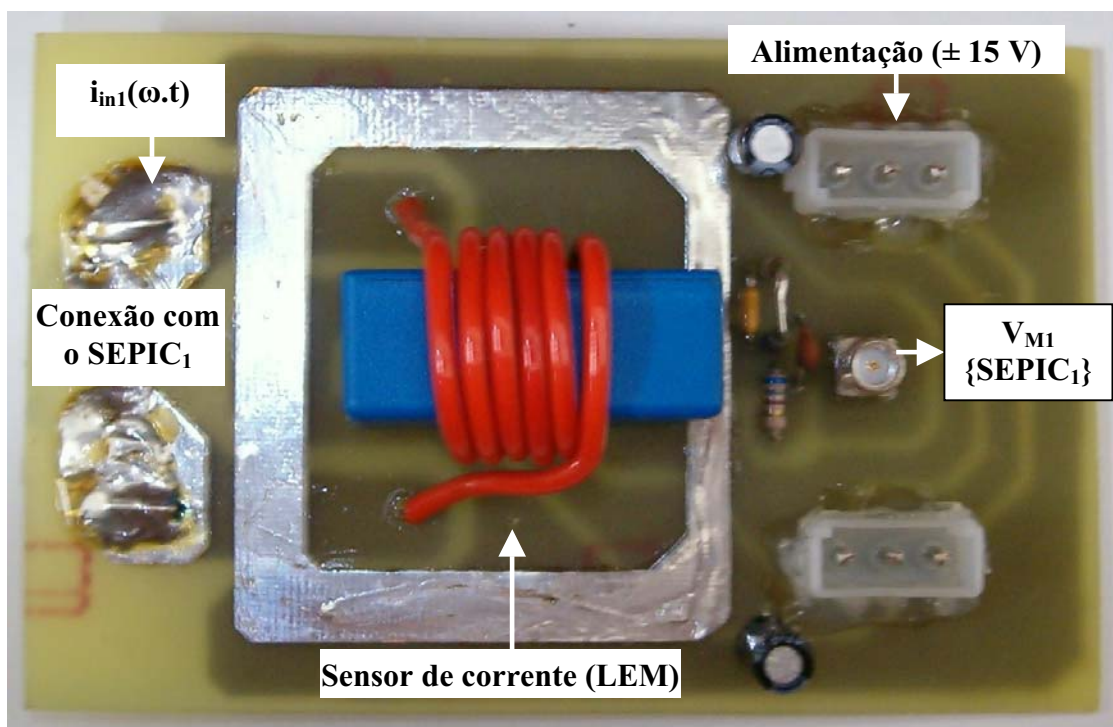


Figura 6.4 – Detalhe do circuito sensor de corrente.

Na Figura 6.5 são visualizados os quatro canais para o condicionamento (filtro analógico) e aquisição dos sinais enviados pelos sensores de corrente (por exemplo, o sensor mostrado na Figura 6.4).

Os sinais de tensão V_{M1} , V_{M2} e V_{M3} representam as correntes $i_{in1}(\omega.t)$, $i_{in2}(\omega.t)$ e $i_{in3}(\omega.t)$ de entrada de cada SEPIC e o sinal V_{M4} representa a corrente de saída $i_{Retif-1}(\omega.t)$ do retificador não controlado. A análise do funcionamento deste circuito foi realizada em detalhes no Capítulo 5 (tópico 5.3.1).

Observa-se que o tipo de montagem apresentado na Figura 6.5 resulta em facilidade na manutenção, pelo fato dos circuitos de condicionamento e de conversão A/D terem sido confeccionados de forma modular, posicionados um nível acima da placa base e com uma conexão apropriada.

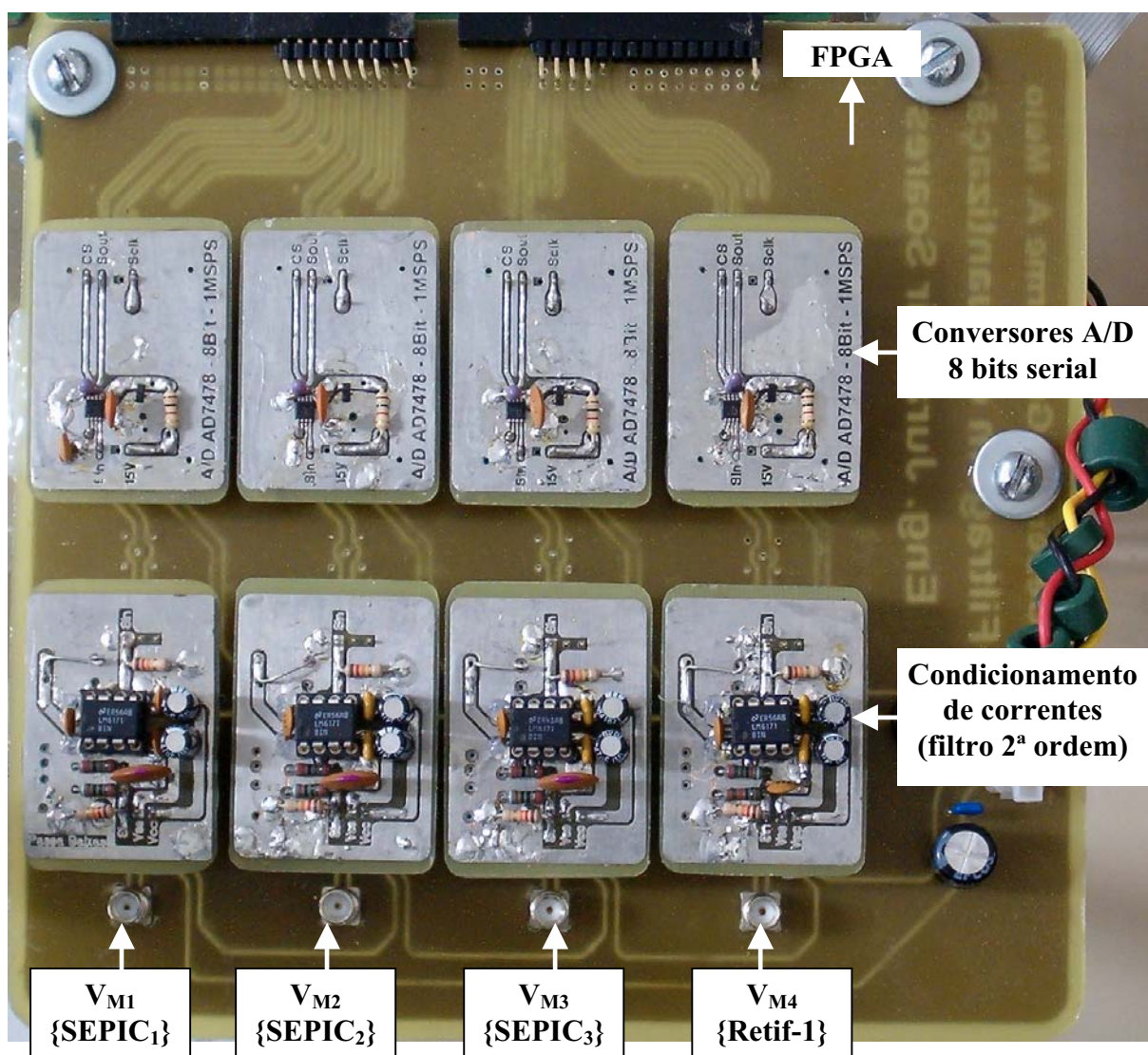


Figura 6.5 – Vista superior dos quatro canais de condicionamento e aquisição de correntes.

Na Figura 6.6 é apresentado em detalhes o canal para o condicionamento e aquisição do sinal V_{MI} , segmentado em duas placas. O sinal V_{MI} , após ser filtrado pelo circuito de condicionamento {Figura 6.6(a)} e digitalizado pelo A/D {Figura 6.6(b)}, é enviado para o FPGA através do protocolo de aquisição de dados.

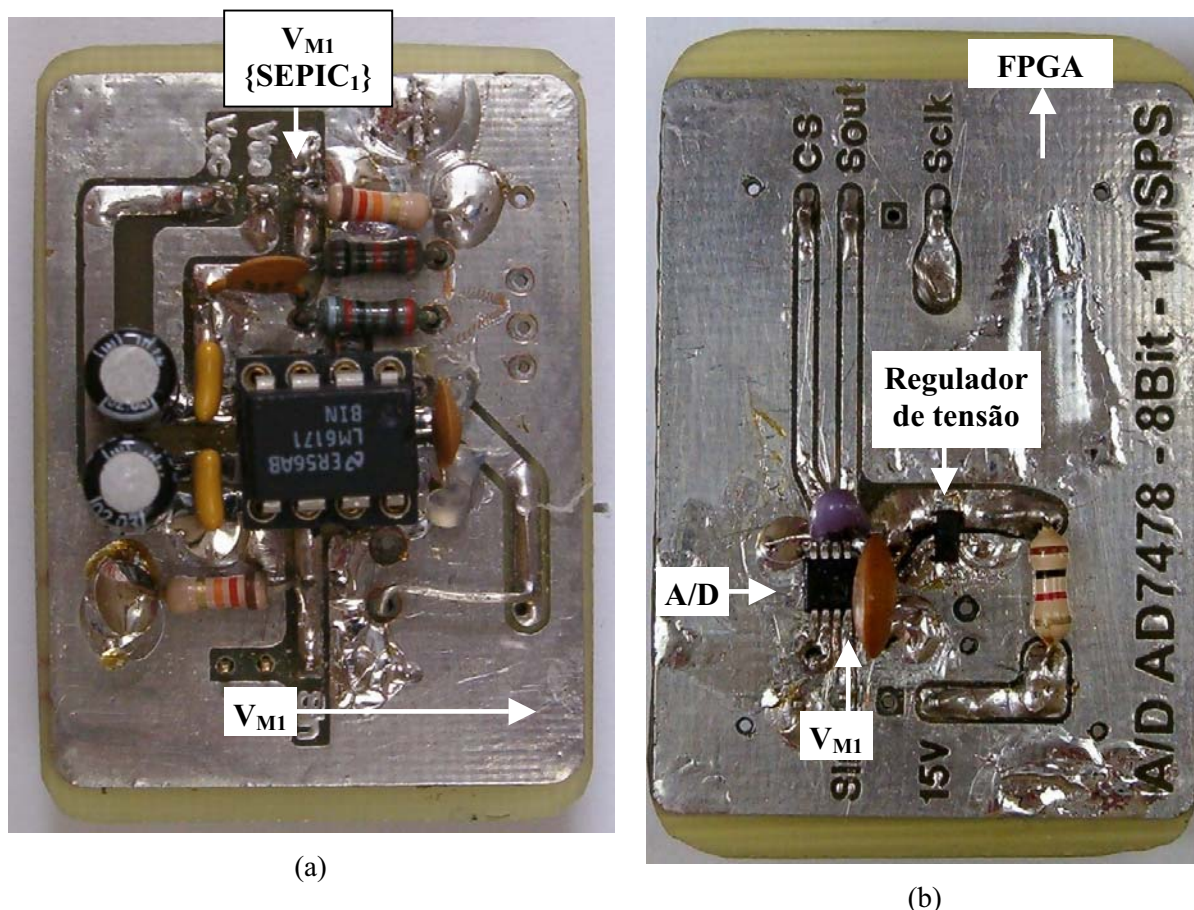


Figura 6.6 – Detalhe do circuito de condicionamento (a) e de aquisição de correntes (b).

Na Figura 6.7 é mostrado o dispositivo FPGA instalado em um módulo de desenvolvimento (Módulo principal) dedicado às aplicações experimentais em laboratório. Além do módulo principal, existe o módulo auxiliar que contém alguns acessórios, tais como:

- Seletores manuais (*ON*, *OFF*) que permitem ao usuário iniciar ou interromper o funcionamento do código VHDL, comandar a visualização instantânea de dados referentes à operação do sistema, através dos *displays*, e também identificar a ocorrência de um evento através da sinalização dos *leds*.

Os pulsos de comando dos SEPIC_s, não são enviados diretamente para o “circuito de comando” (Figura 6.3), passam inicialmente pelo *buffer* 74HC125N (circuito anexo ao

módulo principal - FPGA) para garantir a corrente de 10 mA requerida pelo *drive* de ataque (CI-3180, mostrado na Figura 6.3) e com isso evitar possíveis danos ao FPGA.

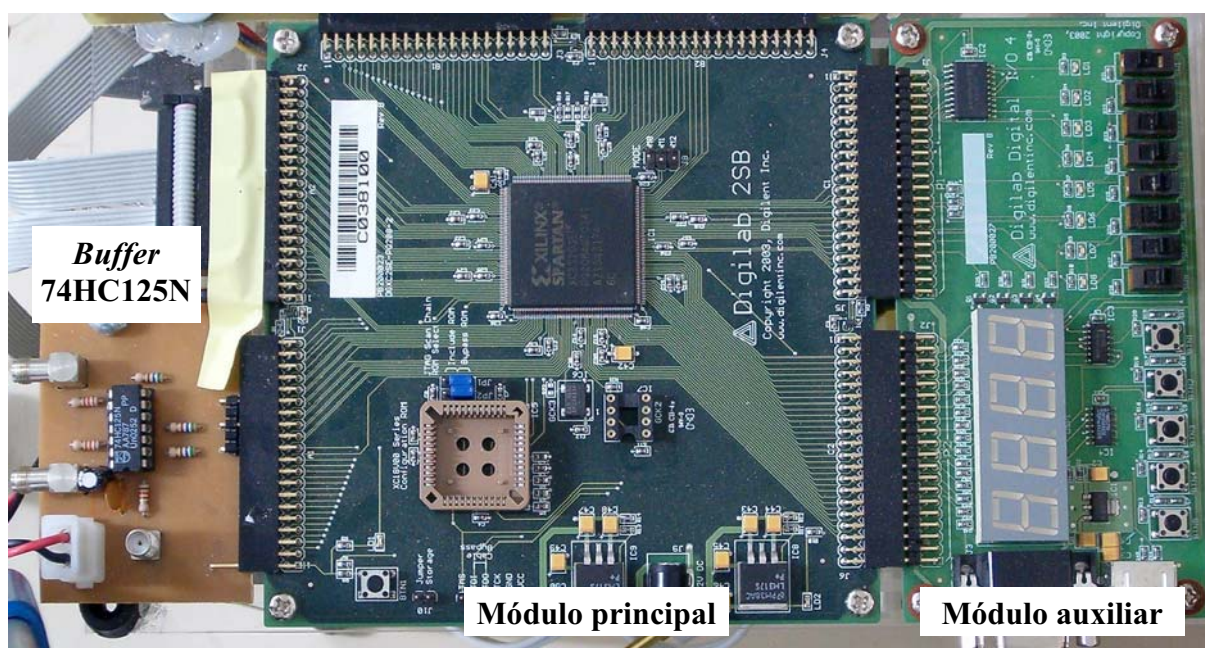


Figura 6.7 – Vista superior do módulo FPGA da Xilinx (Spartan2e).

Na Figura 6.8, é visualizada a montagem do retificador não controlado de 6 pulsos (módulo retificador SKD2508), e dos sensores de tensão e de corrente. Os sensores de corrente são idênticos ao circuito mostrado na Figura 6.4, e foram montados juntos em um módulo fixado sobre a placa de potência principal.

Em função da otimização da estratégia de controle (abordada no Capítulo 5), os três sensores utilizados na detecção de nível das correntes de entrada do retificador não controlado foram desativados, permanecendo em funcionamento somente o sensor da corrente de saída $i_{\text{Retif-1}}(\omega.t)$, que gera o sinal de tensão V_{M4} para a aquisição (conforme Figura 6.5).

Os sensores de tensão foram implementados utilizando-se divisores resistivos, com uma disposição física próxima ao ponto de alimentação da placa. Os sinais de tensão monitorados (V_A , V_B e V_C) são enviados para o “circuito de condicionamento das tensões de entrada” (mostrado na Figura 6,9). Este circuito possui três estágios distintos de funcionamento, na seguinte ordem:

- Filtro ativo passa-baixas (de 2ª ordem);
- Gera um pulso na frequência da rede para identificar o semiciclo da respectiva tensão;
- Isola o pulso gerado através de um opto-acoplador.

Após serem isolados, os pulsos “ $S_{\text{semiciclo_Va}}$ ”, “ $S_{\text{semiciclo_Vb}}$ ” e “ $S_{\text{semiciclo_Vc}}$ ”, são enviados para o FPGA.

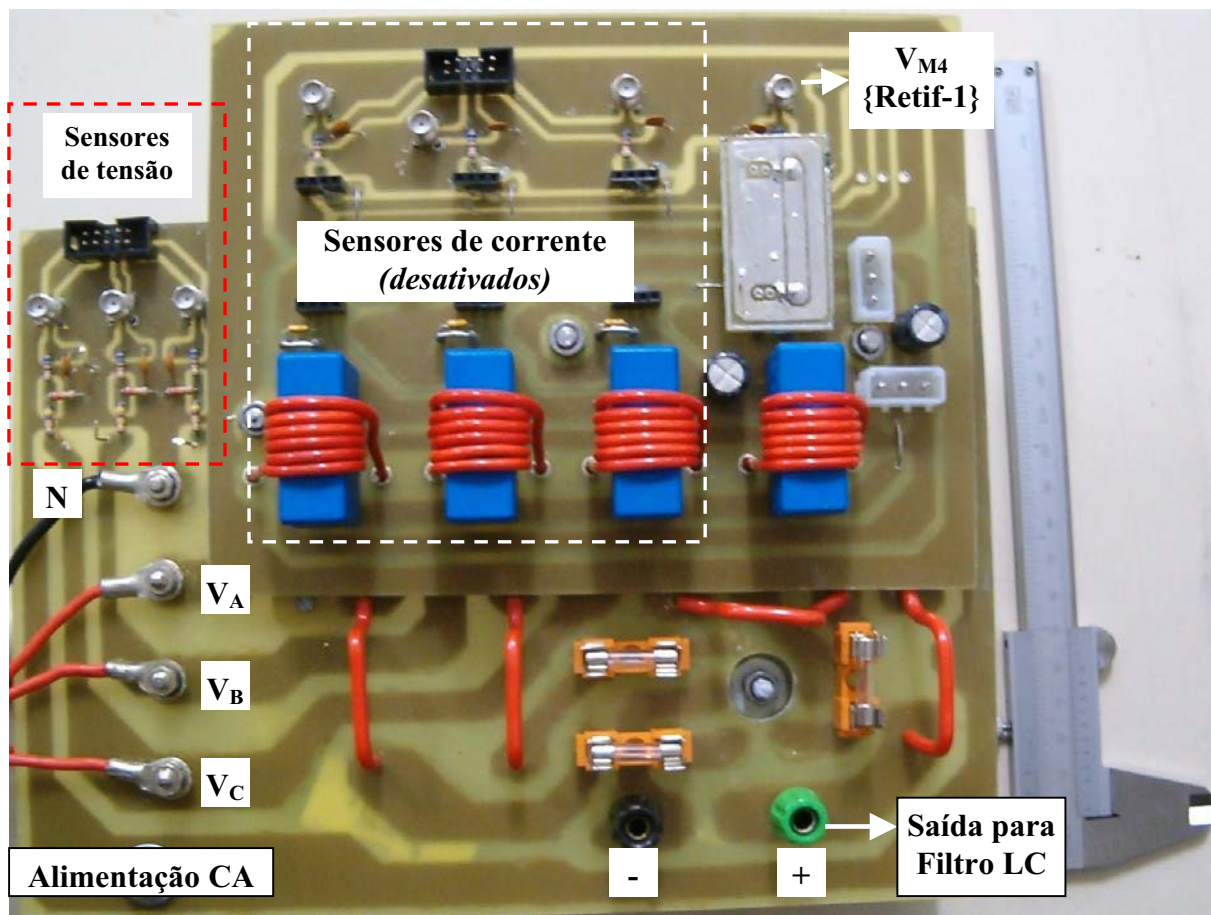


Figura 6.8 – Módulo retificador de seis pulsos, sensores de tensão e sensores de corrente.

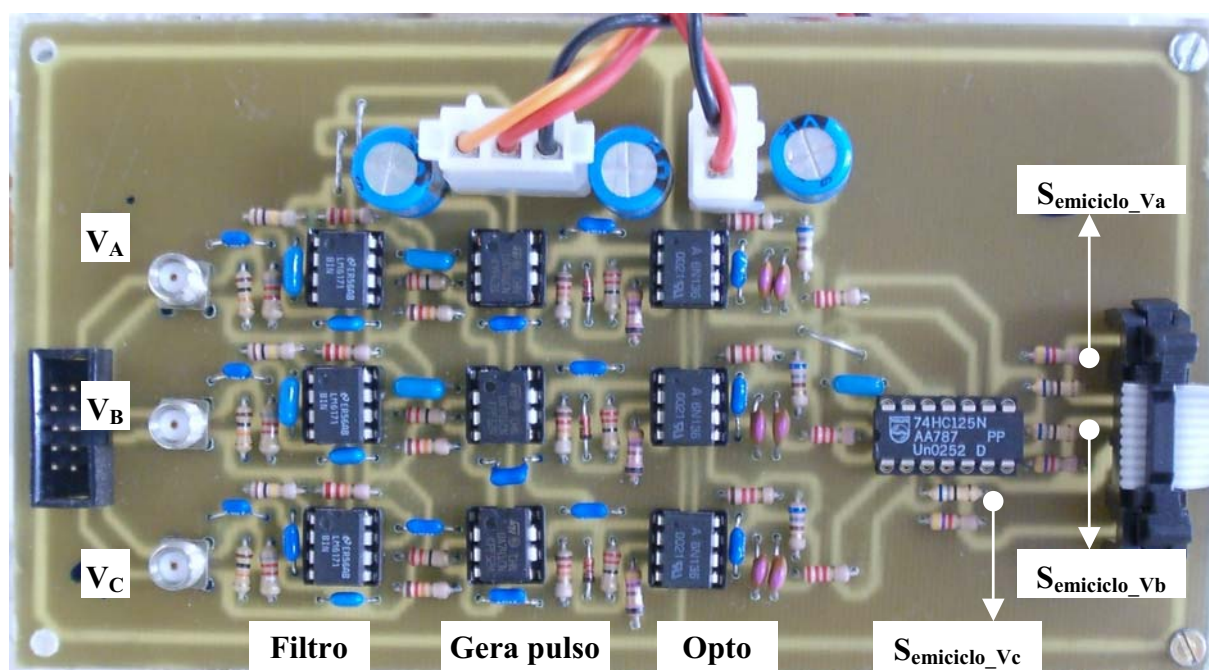


Figura 6.9 – Detalhe do circuito de condicionamento das tensões de entrada para a sincronização do sistema de controle com a rede.

O filtro LC de saída do retificador híbrido é mostrado na Figura 6.10. Na parte superior da figura são visualizados os pontos positivo e negativo de conexão com a saída da ponte retificadora à diodos (mostrada na Figura 6.8). Os indutores foram montados sobre um base de madeira de modo que o ajuste do entreferro possa ser realizado facilmente.

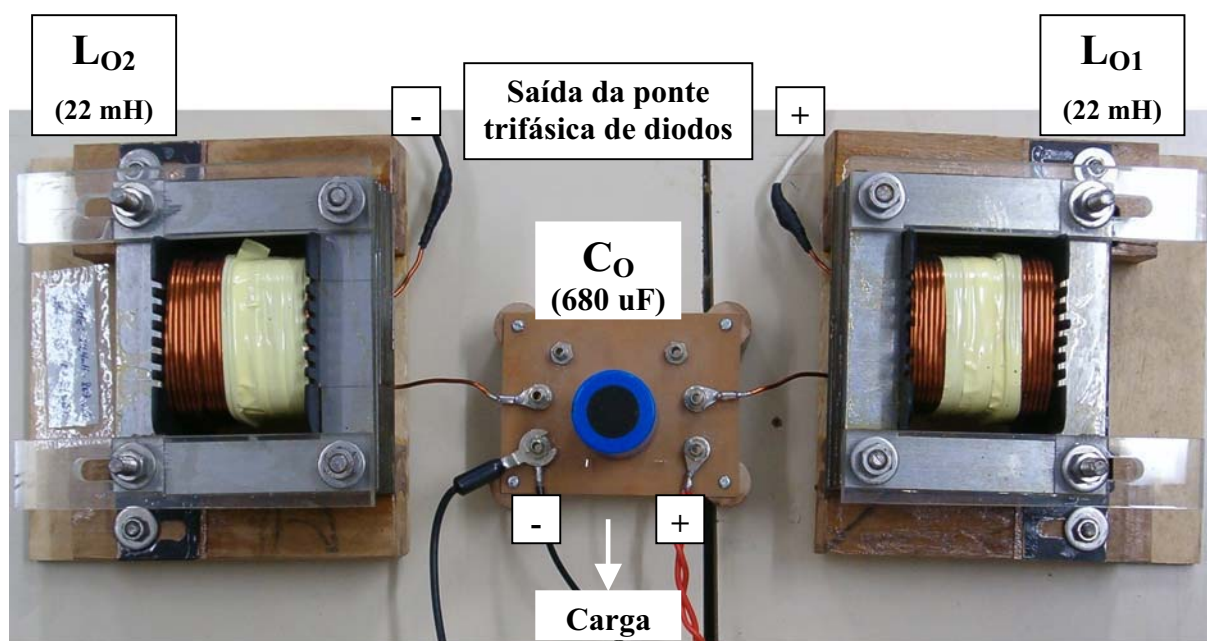
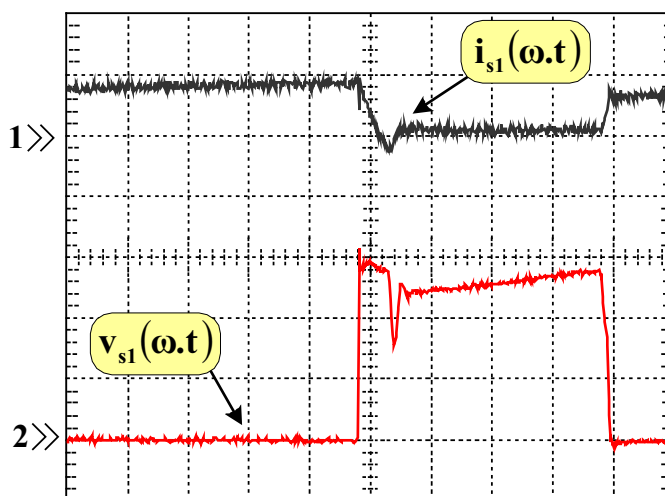


Figura 6.10 – Detalhe do filtro LC de saída do retificador trifásico híbrido.

6.3 – Principais Resultados Experimentais

As formas de onda mostradas a partir da Figura 6.11 até 6.31 constituem os principais resultados experimentais das fases “a”, “b” e “c” do retificador trifásico híbrido. Todos os resultados foram adquiridos através de um osciloscópio digital da Tektronix e analisados através do software Wavestar também da Tektronix. Foram utilizados ainda dois medidores digitais da Yokogawa, sendo um trifásico (4 fios) conectado na entrada e um monofásico conectado na saída (carga) do retificador híbrido, possibilitando a verificação instantânea do Fator de potência e rendimento do retificador híbrido. Na Figura 6.11 têm-se as formas de onda da tensão e corrente através do interruptor controlado (S_1) do retificador monofásico SEPIC₁, mostrando em detalhe a ação dos dois circuitos snubbers empregados. O snubber RCD não consegue um bom amortecimento da oscilação da corrente, entretanto atua muito bem no grampeamento da tensão sobre o interruptor. O amortecimento das oscilações é realizado com o snubber RC. Neste caso, a capacitância do RC poderá ser reduzida, devido à ação prévia do grampeador, minimizando perdas. Esta característica, inclusive, é ressaltada

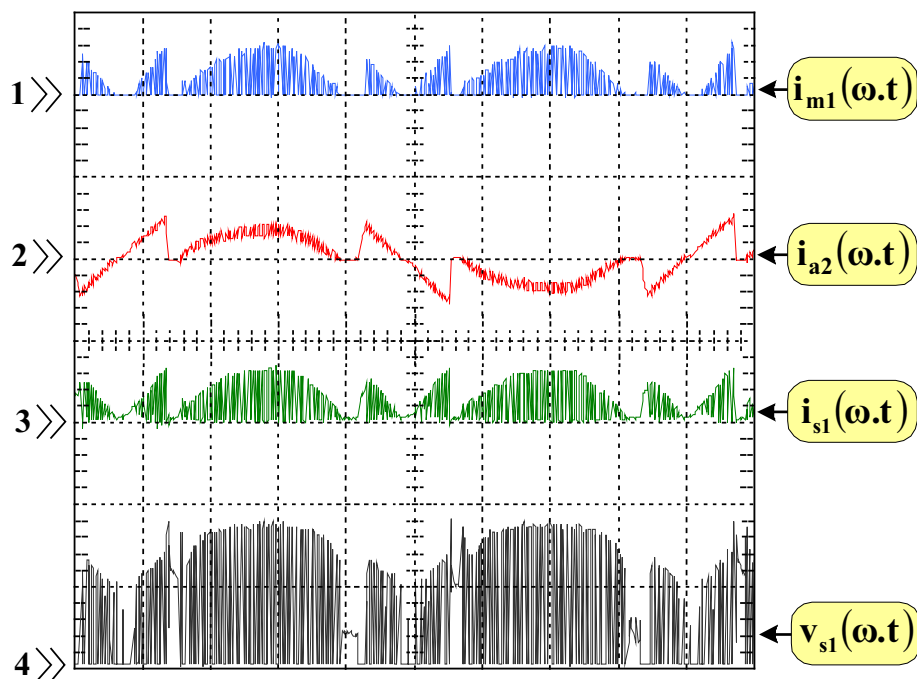
pelos autores de um trabalho [51] onde foi explorada a aplicação simultânea dos snubbers RC e RCD em um conversor flyback.



100V/div; 5A/div; 3μs/div.

Figura 6.11 – Detalhe da comutação do interruptor S_1 com o amortecimento e grampeamento da tensão pela ação dos circuitos snubbers RC e RCD.

A seguir na Figura 6.12 são apresentadas as formas de onda da tensão $\{v_{s1}(\omega.t)\}$ e corrente $\{i_{s1}(\omega.t)\}$ através do interruptor (S_1), a corrente de entrada $\{i_{a2}(\omega.t)\}$ e a corrente de saída $\{i_{m1}(\omega.t)\}$ do retificador monofásico SEPIC₁, no período da tensão de alimentação.



200V/div; 5A/div; 2ms/div.

Figura 6.12 – Comutação do interruptor S_1 no período da tensão de alimentação.

Durante os testes experimentais, o retificador híbrido foi alimentado por um variavolt trifásico (Tensão eficaz de linha: 0 a 240V) com capacidade para suprir até 9,0 kVA. A característica indutiva do variavolt fez com que as derivadas das correntes de entrada do retificador controlado (Retif-2) se tornassem mais lentas. Tal fato pode ser verificado através da Figura 6.12, onde os intervalos de subida e descida da corrente $i_{a2}(\omega.t)$ são razoavelmente grandes. Devido a ação do controle na tentativa de impor o valor desejado da corrente após o cruzamento por zero, resultou em grandes intervalos de condução (T_{ON}) e conseqüentemente distorções na corrente $i_{s1}(\omega.t)$ e tensão $v_{s1}(\omega.t)$ sobre o interruptor S_1 . Este problema também é visível nas formas de onda das correntes das demais fases “b” e “c”, a serem discutidas na seqüência.

Considerando o retificador trifásico híbrido operando com carga nominal (3,0 kW) e parâmetro $K=1,633$, para o controle, verificou-se que o retificador não controlado (Retif-1) processa 68,0 % da potência total na carga e o retificador controlado (Retif-2) processa os 32,0 % restantes. Para esta condição de operação (carga nominal), na Figura 6.13 é mostrada a corrente de entrada $i_{a1}(\omega.t)$ do Retif-1 com um valor eficaz igual a 5,65 A e uma DHT de 29,34 %. Em destaque na Figura 6.14 são observados os valores eficazes das harmônicas ímpares não-triplas {preponderantes em $i_{a1}(\omega.t)$ } acima dos limites estabelecidos pela norma IEC 61000-3-2

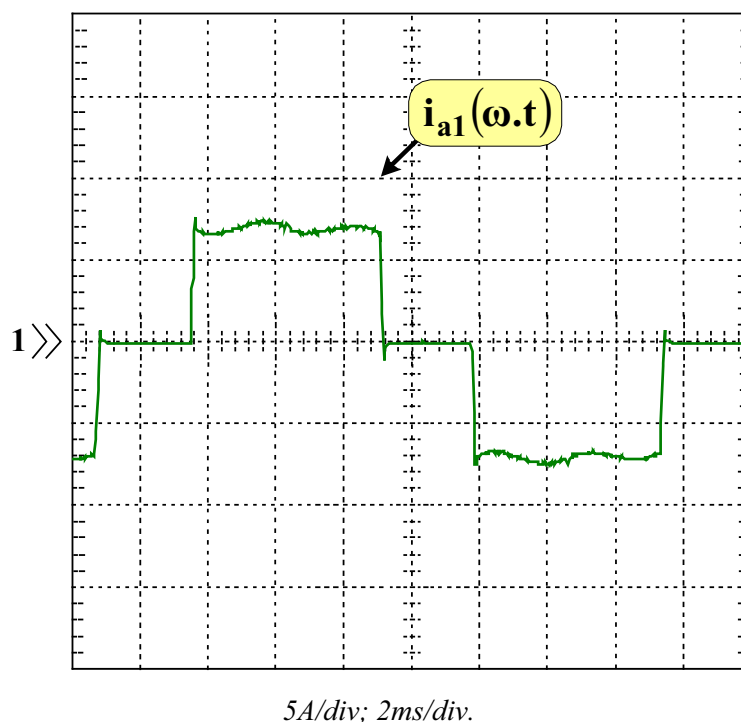


Figura 6.13 – Detalhe da forma de onda corrente de entrada de linha, na fase “a”, para o retificador trifásico não controlado.

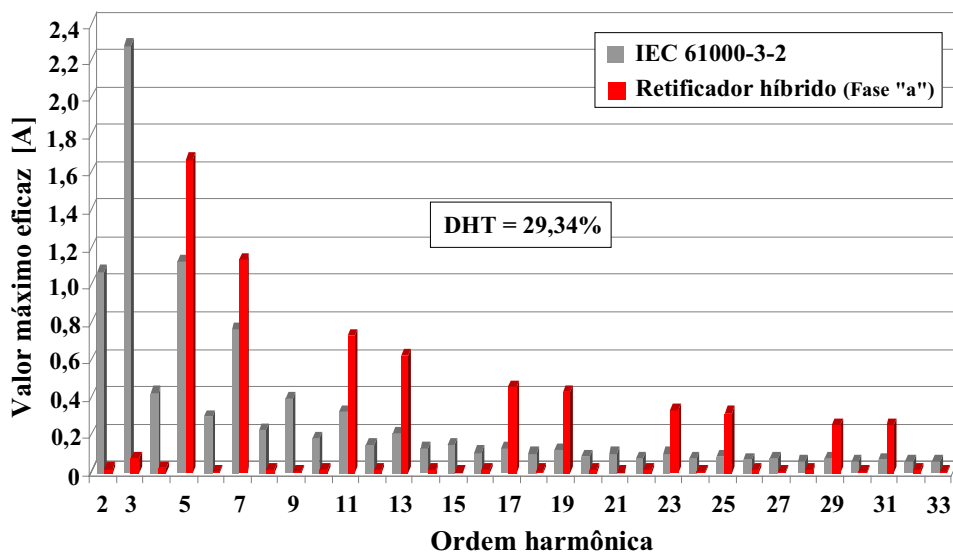


Figura 6.14 – Espectro harmônico para a corrente de entrada $i_{a1}(\omega.t)$.

Na Figura 6.15, é mostrada a corrente de entrada $i_{a2}(\omega.t)$ do retificador monofásico SEPIC₁ (na fase “a”), com um valor eficaz igual a 3,15 A, imposta pela lógica de controle digital para compor a corrente total de entrada $i_a(\omega.t)$ e reduzir a amplitude das componentes harmônicas de $i_{a1}(\omega.t)$, destacadas anteriormente, na condição de potência nominal na carga.

Complementando as observações feitas para a Figura 6.12, nota-se uma tendência da corrente $i_{a2}(\omega.t)$ (mostrada em detalhe na Figura 6.15) em se manter nula após o cruzamento por zero devido a influência do varivolt utilizado na alimentação.

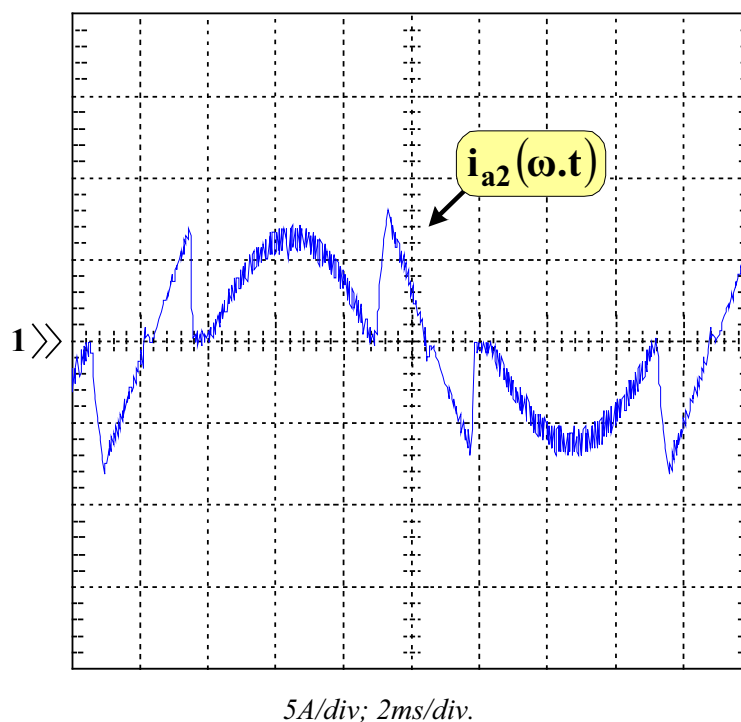
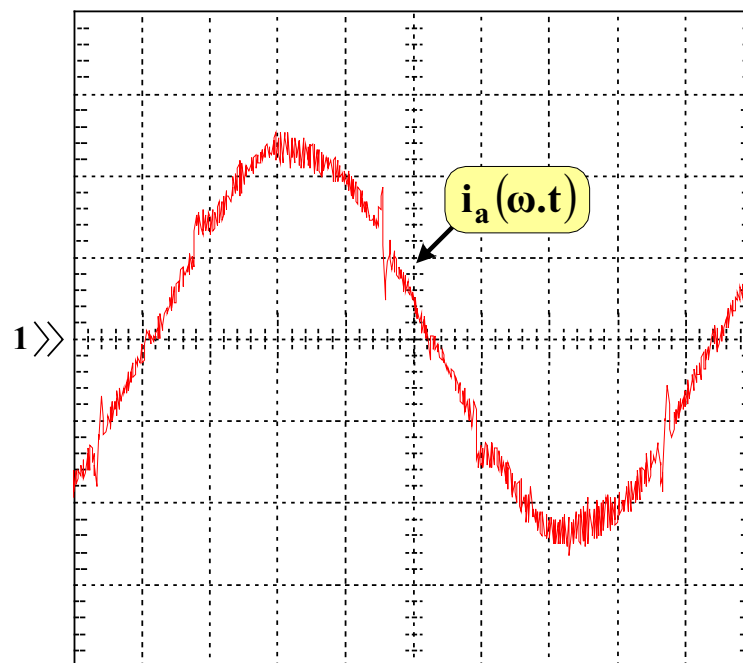


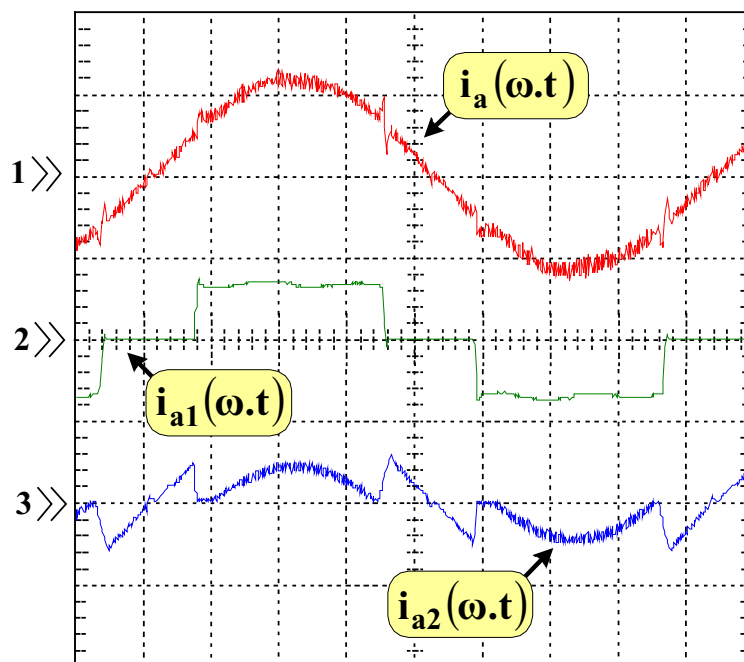
Figura 6.15 – Detalhes da forma de onda corrente de entrada, na fase “a”, para o retificador monofásico SEPIC₁.

Nas Figuras 6.16 e 6.17, é apresentada a corrente total de entrada $i_a(\omega.t)$ na fase “a” do retificador híbrido, composta pelas correntes não-controlada $i_{a1}(\omega.t)$ e controlada $i_{a2}(\omega.t)$, resultando em uma DHT de 4,03%, para condição de carga nominal.



5A/div; 2ms/div.

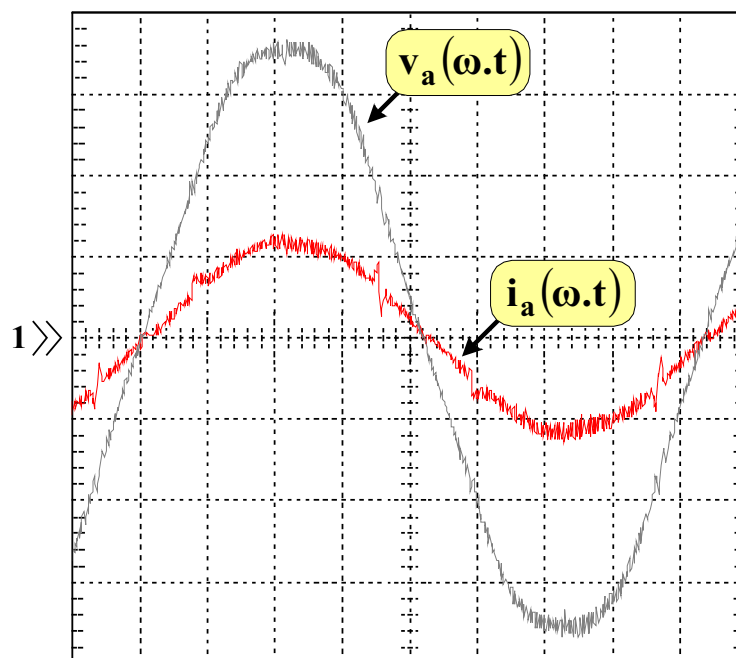
Figura 6.16 – Detalhes da forma de onda corrente de entrada de linha, na fase “a”, para o retificador trifásico híbrido.



10A/div; 2ms/div.

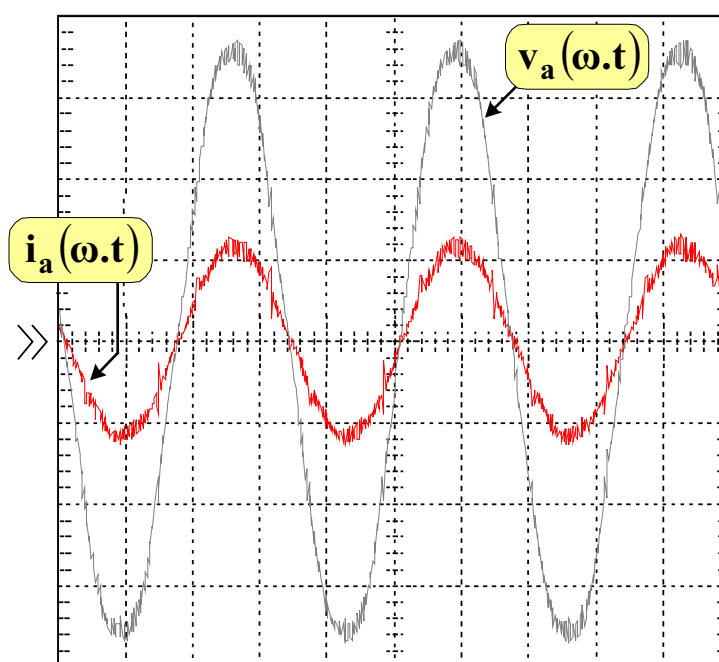
Figura 6.17 – Detalhes da composição da forma de onda corrente de entrada de linha, na fase “a”, para o retificador trifásico híbrido.

Nas Figuras 6.18 e 6.19, são mostradas as formas de onda da tensão e corrente de entrada na fase “a” com uma defasagem de $6,3^\circ$. Esta defasagem corresponde a um intervalo de tempo de $270 \mu\text{s}$ aproximadamente, o que é incompatível com o tempo de resposta do sensor de tensão da entrada e da lógica de sincronismo imposta através do código VHDL.



50V/div; 10A/div; 2ms/div

Figura 6.18 – Detalhes das formas de onda da corrente e tensão de entrada de linha, na fase “a”, para o retificador trifásico híbrido, carga nominal.



50V/div; 10A/div; 5ms/div

Figura 6.19 – Formas de onda da corrente e tensão de entrada de linha, na fase “a”, para o retificador trifásico híbrido, em alguns ciclos da rede de alimentação, carga nominal.

Portanto, atribui-se em princípio este atraso à pequena distorção da corrente $i_{a2}(\omega.t)$ após o cruzamento por zero, conforme observação feita anteriormente para a Figura 6.15.

É importante enfatizar que foi verificado para a tensão de entrada $v_a(\omega.t)$ uma DHT=2,71%.

Contudo, isto não causou nenhum problema na imposição da forma de onda da corrente $i_a(\omega.t)$ uma vez que é utilizada uma referência senoidal interna, resultando ainda em um Fator de Potência quase unitário de 0,99.

Analisando os resultados das formas de onda das correntes de entrada de linha, através do Software Wavestar da Tektronix, mostrados simultaneamente nas Figuras 6.20 e 6.21, foi confirmada uma DHT=4,03% para $i_a(\omega.t)$, DHT=4,18% para $i_b(\omega.t)$ e DHT=4,54% para $i_c(\omega.t)$, conforme espectro harmônico apresentado nas Figuras 6.22, 6.23 e 6.24, respectivamente.

Portanto, considerando os valores eficazes das correntes de linha processadas ($I_{aef}=8,25$ A, $I_{bef}=8,16$ A e $I_{cef}=8,05$ A) pelo protótipo implementado, pode-se concluir que a norma IEC 61000-3-2 é obedecida até a 23ª harmônica, sem qualquer filtro adicional na entrada, sendo um bom resultado preliminar.

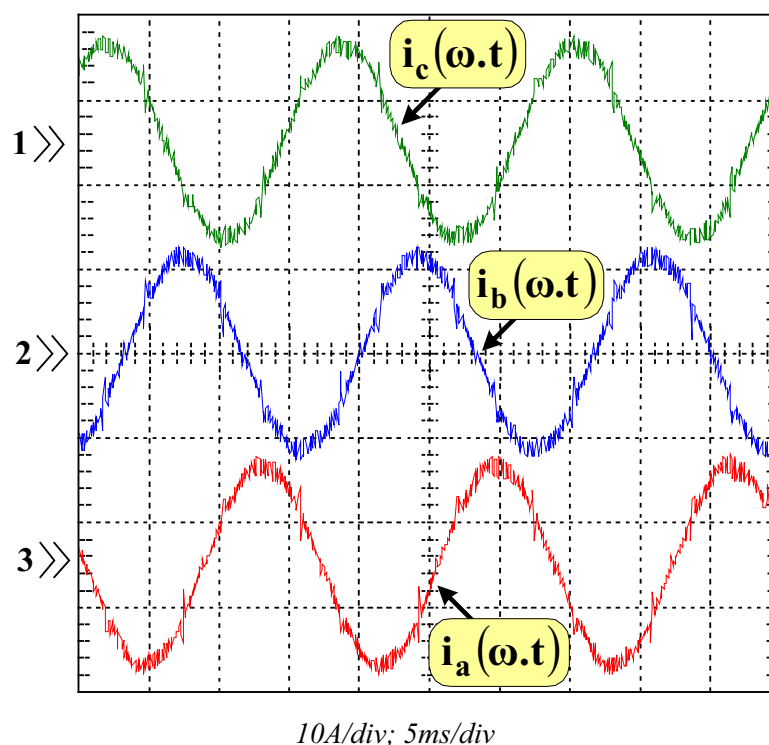


Figura 6.20 – Formas de onda das correntes de entrada de linha nas fases “a”, “b” e “c”, para o retificador trifásico híbrido, carga nominal.

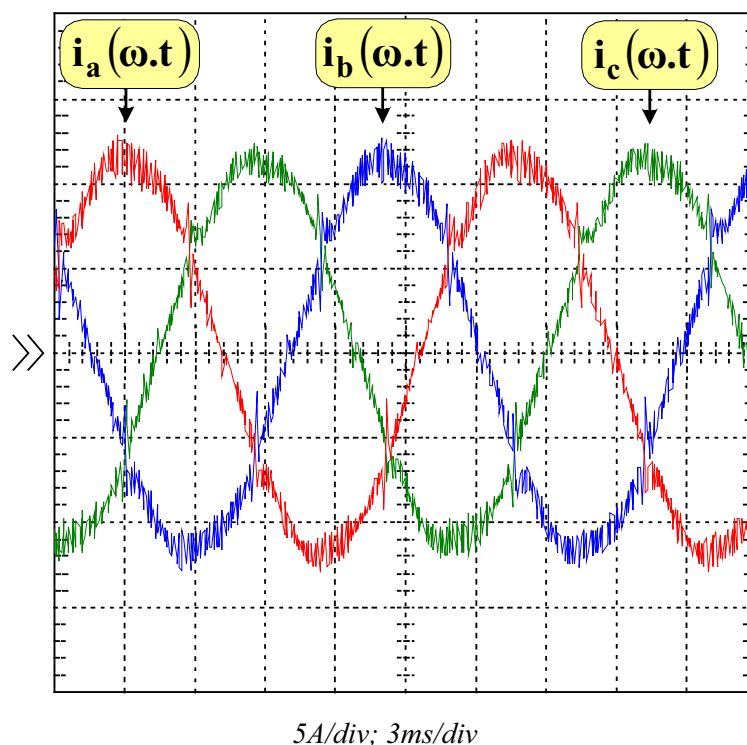


Figura 6.21 – Destaque da defasagem de 120° das correntes de entrada de linha nas fases “a”, “b” e “c”, para o retificador trifásico híbrido, carga nominal.

Observa-se que as correntes apresentadas nas Figuras 6.20 e 6.21 são as mesmas, entretanto, na Figura 6.21 é enfatizada a defasagem de 120° entre as correntes de entrada nas fases “a”, “b” e “c”.

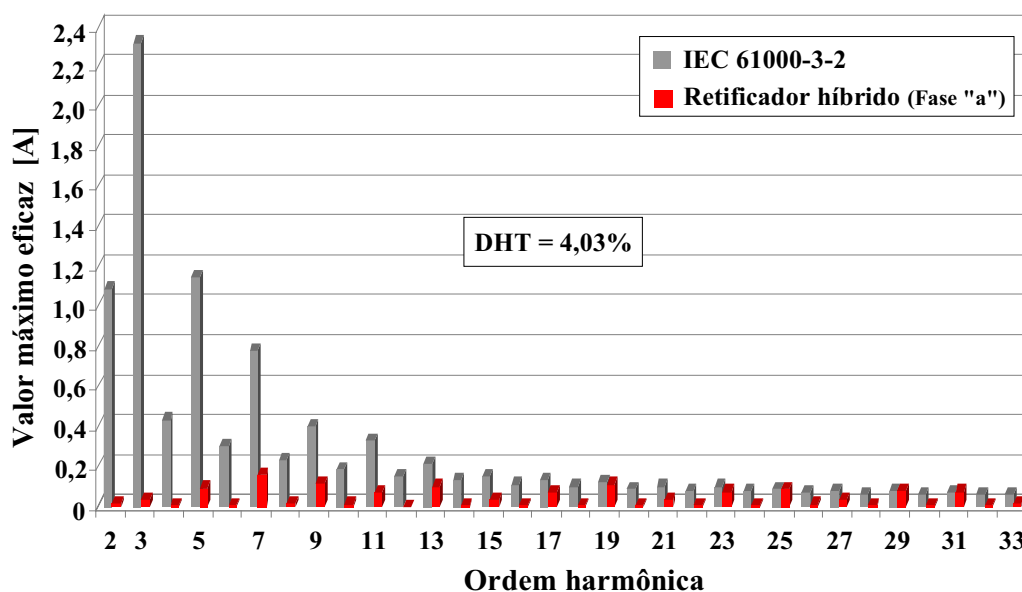


Figura 6.22 – Espectro harmônico para a corrente de entrada $i_a(\omega.t)$.

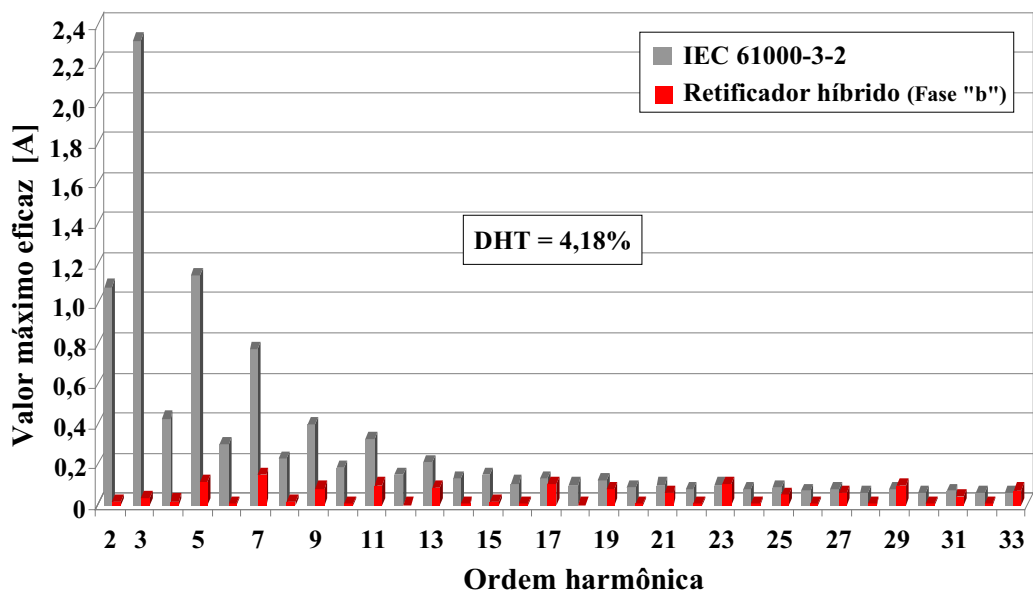


Figura 6.23 – Espectro harmônico para a corrente de entrada $i_b(\omega.t)$.

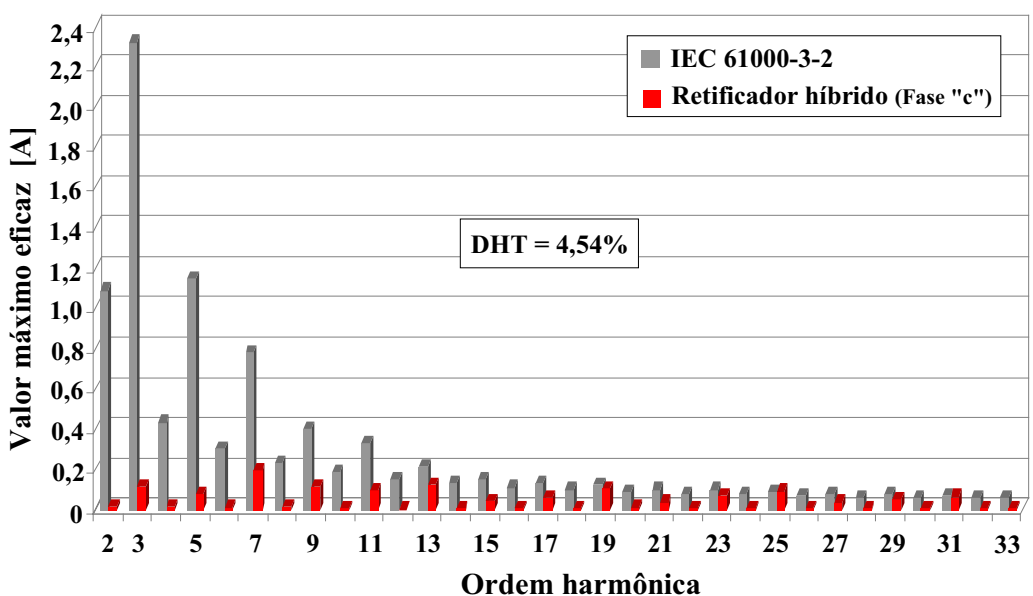


Figura 6.24 – Espectro harmônico para a corrente de entrada $i_c(\omega.t)$.

Algumas harmônicas que excedem o limite da norma (exemplo: 25^a, 29^a e 33^a) são decorrentes das diferenças das taxas de crescimento e/ou decrescimentos das correntes $i_{a1}(\omega.t)$ e $i_{a2}(\omega.t)$ durante os seus intervalos de transição. Isto resulta em distorções na corrente total de entrada $i_a(\omega.t)$. Estas distorções serão melhor avaliadas assim que o retificador híbrido for alimentado diretamente da rede CA ou através de uma outra fonte que não interfira nas derivadas das correntes {principalmente na $i_{a2}(\omega.t)$ }, como é o caso do varivolt. Com base nestes resultados, considera-se desnecessário apresentar para as fases “b” e “c” os mesmos detalhes mostrados nas Figuras 6.13 até 6.19 para a fase “a”.

No intuito de avaliar o desempenho da técnica de controle digital proposta para o retificador trifásico híbrido, operando em regime permanente, considerando outros valores de carga diferentes da potência nominal, verificou-se a DHT das correntes de entrada e o atendimento à norma IEC61000-3-2, também para os seguintes níveis de potência: 83,33% ($P=2,5\text{ kW}$), 50% ($P=1,5\text{ kW}$) e 20% ($P=0,6\text{ kW}$) da potência nominal.

Com os resultados experimentais obtidos para estes três níveis de potência, mostrados respectivamente nas Figuras 6.25, 6.26 e 6.27, e analisados através do software Wavestar, concluiu-se que as amplitudes das componentes harmônicas das correntes de entrada das fases “a”, “b” e “c” encontradas estão em conformidade com a norma IEC61000-3-2.

Observou-se um acréscimo da DHT das correntes de entrada com a redução da potência processada pelo retificador híbrido, entretanto, há um decréscimo das amplitudes das componentes harmônicas, facilitando o atendimento à norma nesta condição de operação.

Assim, considera-se necessário apresentar para cada nível de potência (83,33%, 50% e 20%) o espectro harmônico para apenas uma única fase das correntes de entrada (aquela que possui a maior DHT), respectivamente, mostrados nas Figuras 6.28 até 6.30.

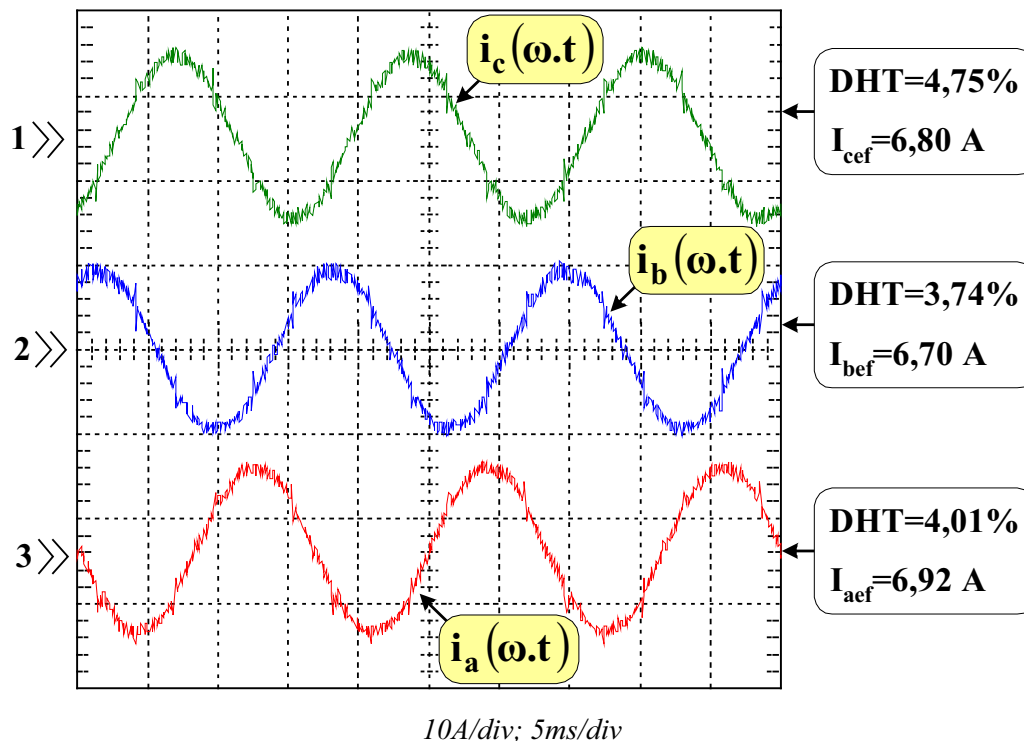


Figura 6.25 – Formas de onda das correntes de entrada de linha nas fases “a”, “b” e “c”, em 83,33% da potência nominal.

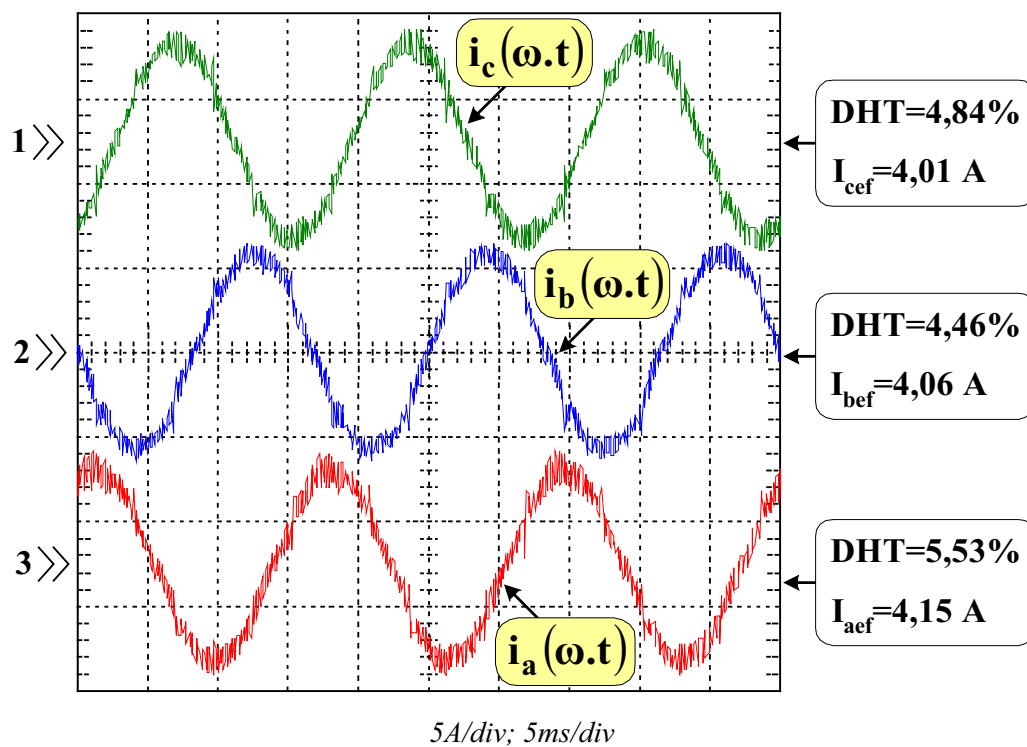


Figura 6.26 – Formas de onda das correntes de entrada de linha nas fases “a”, “b” e “c”, em 50% da potência nominal.

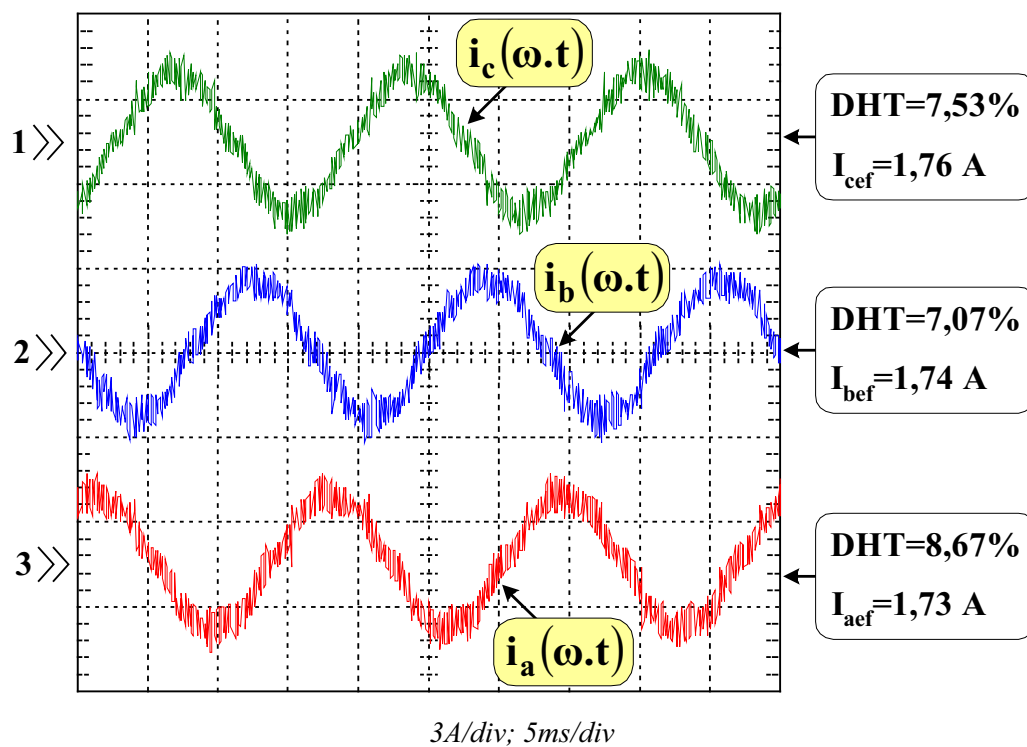


Figura 6.27 – Formas de onda das correntes de entrada de linha nas fases “a”, “b” e “c”, em 20% da potência nominal.

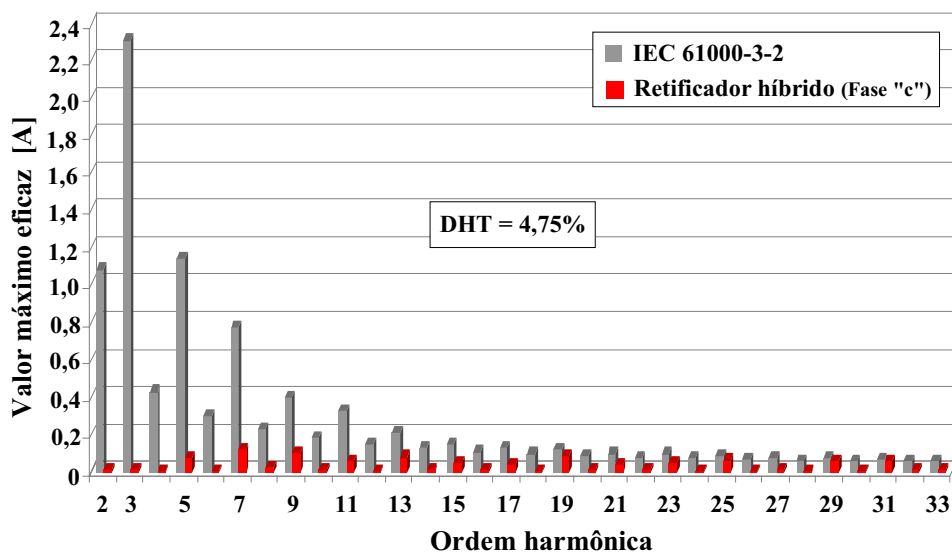


Figura 6.28 – Espectro harmônico para a corrente de entrada $i_c(\omega.t)$, em 83,33% da potência nominal.

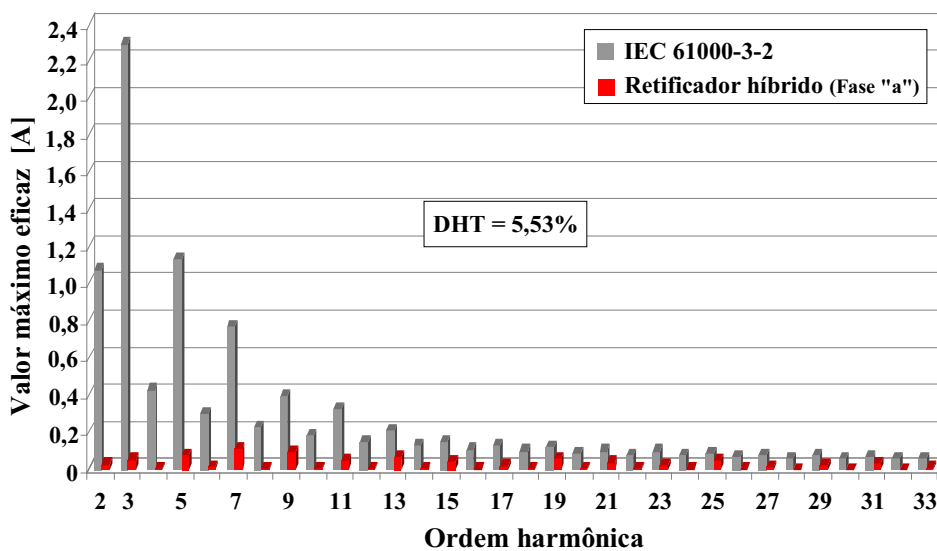


Figura 6.29 – Espectro harmônico para a corrente de entrada $i_a(\omega.t)$, em 50% da potência nominal.

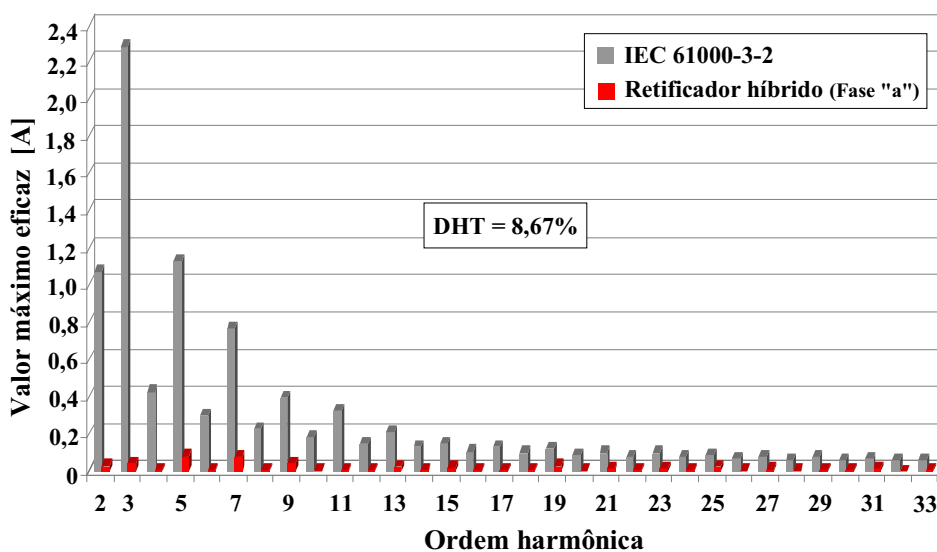


Figura 6.30 – Espectro harmônico para a corrente de entrada $i_a(\omega.t)$, em 20% da potência nominal.

O valor médio (V_O) da tensão de saída $\{v_O(\omega.t)\}$ depende diretamente do valor eficaz (V_{ef}) da tensão de entrada de fase $\{v_a(\omega.t)\}$ apresentada nas Figura 6.18 e 6.19.

Assim, com “ V_{ef} ” igual a 131 V, resultou em “ V_O ” igual a 298,7 V, conforme mostrado na Figura 6.31. O ganho estático é de 2,28, valor um pouco menor do que o teórico (definido no Capítulo 3).

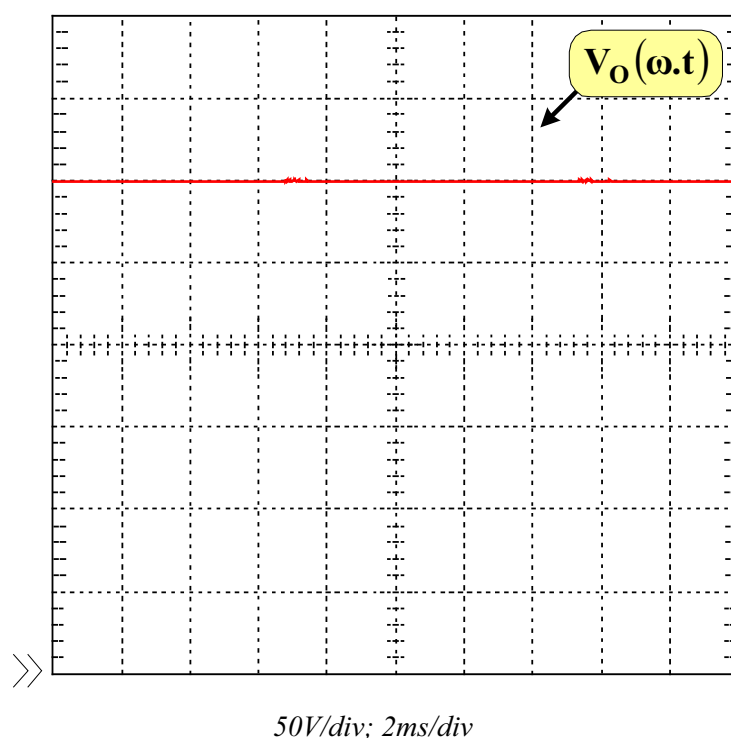


Figura 6.31 – Forma de onda da tensão de saída do retificador híbrido.

As formas de onda apresentadas nas Figuras 6.32 e 6.33 referem-se a corrente de saída $\{i_{Retif-1}(\omega.t)\}$ do retificador não-controlado (Retif-1) e a corrente total de saída $\{i_O(\omega.t)\}$ do retificador híbrido, com valores médios de corrente de 6,83 A e 10,05 A, respectivamente, considerando-se uma carga resistiva (R_O) de 29,7 Ω .

Portanto, pela relação linear existente entre as correntes médias de saída do retificador híbrido, o retificador controlado (Retif-2) processa apenas 32% da potência ativa total entregue à carga (equivale a uma corrente média igual a 3,22 A).

Este percentual está de acordo com o previsto na metodologia de projeto apresentada no Capítulo 4.

Fazendo o produto dos valores médios da corrente e tensão na carga (destacadas nas Figuras 6.31 e 6.33) resultou em uma potência de 3002 W processada na condição nominal de operação.

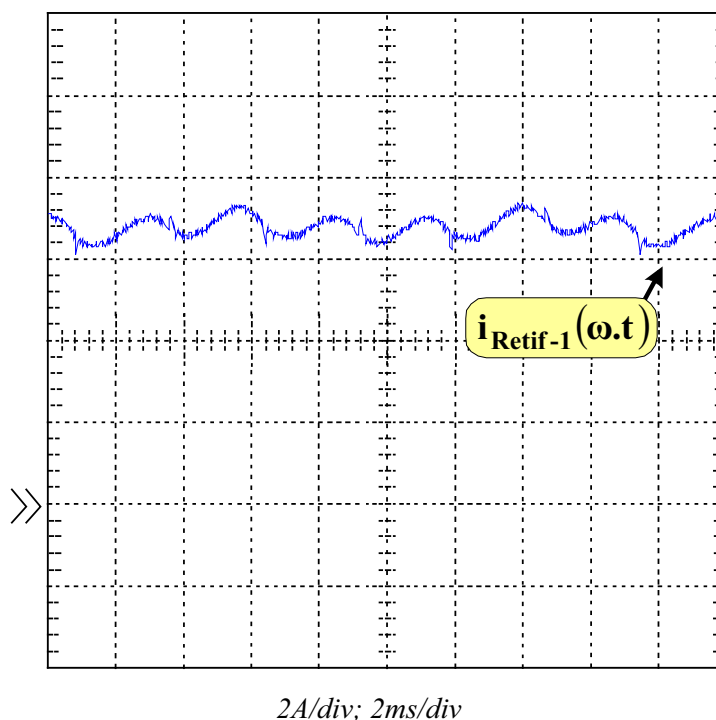


Figura 6.32 – Forma de onda da corrente de saída do retificador não-controlado (Retif-1).

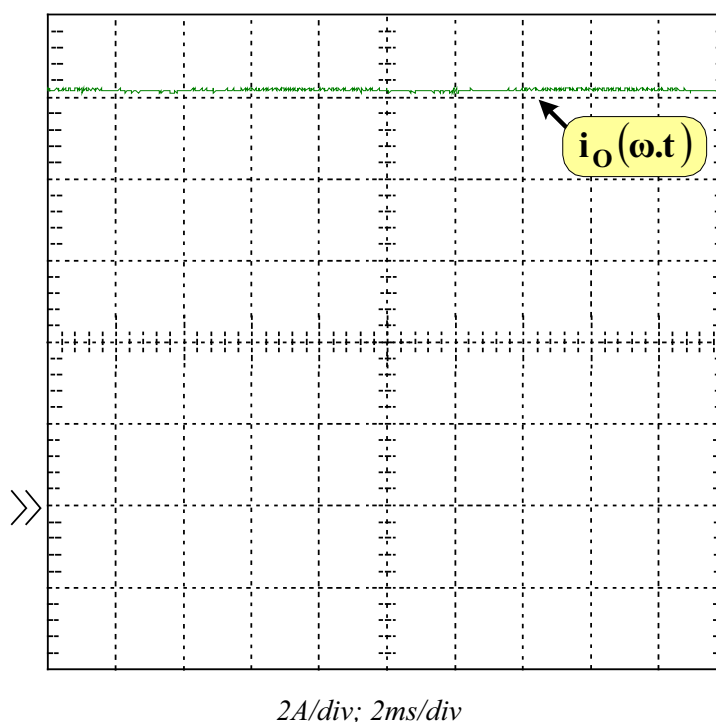


Figura 6.33 – Forma de onda da corrente de saída do retificador híbrido.

6.4 – Análise do Rendimento

Para avaliar o rendimento do retificador trifásico híbrido, fez-se a aquisição de dados para seis valores de potência na carga incluindo a potência nominal.

Os seis valores de potência escolhidos para a análise do rendimento são:

- 3000 W (100,0 %);
- 2500 W (83,33 %);
- 2000 W (66,67 %);
- 1500 W (50,0 %);
- 1000 W (33,33 %);
- 500 W (16,67 %).

Inicialmente, considerou-se o retificador não-controlado (Retif-1) fornecendo a potência total para a carga (o retificador controlado “Retif-2” encontra-se desligado).

Para a análise desta condição de operação foram adquiridos experimentalmente (para os seis valores de potência escolhidos) os valores de quatro parâmetros importantes, incluindo o rendimento, os quais são definidos a seguir e mostrados na Tabela 6.1.

Onde:

P : Valor médio da potência entregue à carga (Potência ativa);

S_{Rn} : Valor da potência aparente requerida da fonte de alimentação do Retif-1 fornecendo a potência total para a carga (o retificador controlado “Retif-2” encontra-se desligado);

η_{Rn} : Rendimento do Retif-1 fornecendo a potência total para a carga;

FP_{Rn} : Fator de potência na entrada (na fase “a”) do Retif-1 fornecendo a potência total para a carga;

DHT_{Rn} : Distorção harmônica total da corrente $i_{a1}(\omega.t)$ do Retif-1 fornecendo a potência total para a carga.

Tabela 6.1 – Parâmetros analisados para o retificador não-controlado (Retif-1) fornecendo a potência total para a carga.

P (W)	S_{Rn} (VA)	η_{Rn} (%)	FP_{Rn}	DHT_{Rn} (%)
500	530	96,16	0,959	Medição não realizada.
1000	1050	98,04	0,957	
1500	1590	98,04	0,958	
2000	2120	98,52	0,957	
2500	2650	97,28	0,959	
3000	3190	98,04	0,959	29,34

Conforme apresentado na Tabela 6.1, e destacado na Figura 6.34, o rendimento do “Retif-1” é elevado, superior a 96 % mesmo para um percentual reduzido de carga. Observa-

se que tanto a distorção harmônica (DHT_{Rn}) quanto o fator de potência (FP_{Rn}) mantêm-se praticamente constantes mediante as variações de carga. Portanto, em conformidade com a análise teórica discutida no Capítulo 2.

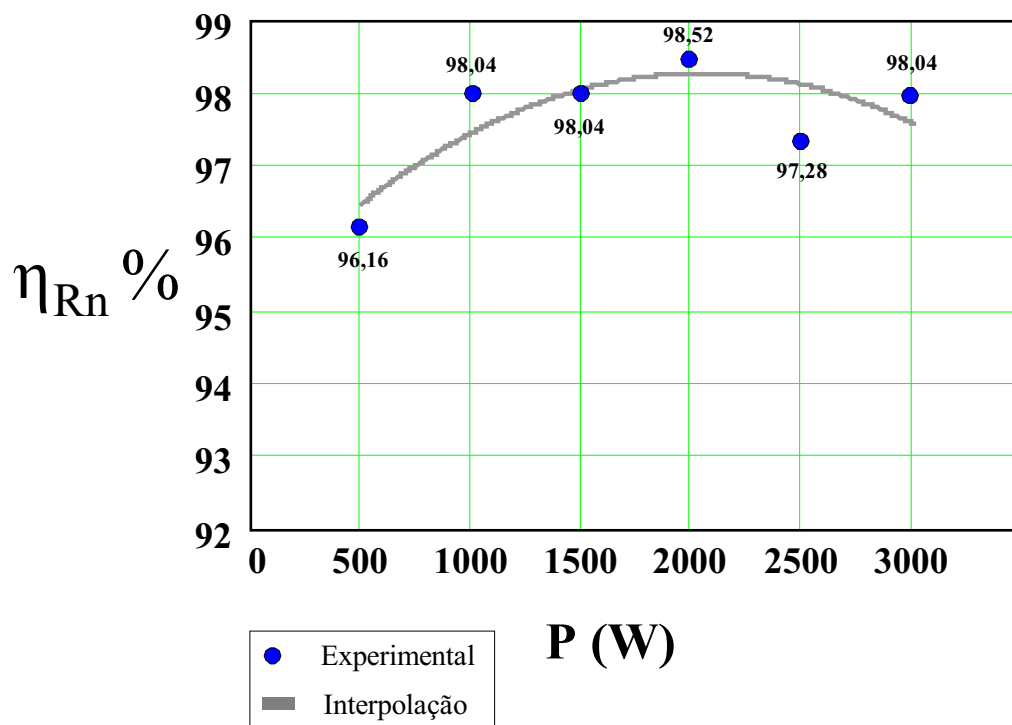


Figura 6.34 – Rendimento experimental do retificador não controlado em função da potência média fornecida para a carga.

Posteriormente, considerando o retificador trifásico híbrido em operação, foram adquiridos experimentalmente os valores dos mesmos parâmetros apresentados na Tabela 6.1, entretanto, agora referentes ao retificador híbrido, os quais são mostrados na Tabela 6.2.

Tabela 6.2 – Parâmetros analisados para o retificador trifásico híbrido.

P (W)	S (VA)	η (%)	FP	DHT_{ia} (%)
500	570	90,91	0,960	10,35
1000	1100	92,60	0,985	6,62
1500	1620	93,75	0,990	5,53
2000	2150	93,90	0,993	4,98
2500	2670	94,36	0,993	4,75
3000	3200	94,34	0,994	4,03

Onde:

P : Valor médio da potência entregue à carga (Potência ativa);

S : Valor da potência aparente requerida da fonte de alimentação;

η : Rendimento do retificador trifásico híbrido;

FP : Fator de potência na entrada do retificador híbrido, na fase “a”;

DHT_{ia} : Distorção Harmônica Total na corrente $i_a(\omega.t)$.

Com os dados apresentados na Tabela 6.2, é mostrada na Figura 6.35 a curva de rendimento do retificador trifásico híbrido desconsiderando-se as perdas nos circuitos auxiliares (aquisição de correntes, sensores de correntes e tensões e comando do SEPICs), resultando em 94,34 % com a potência nominal. As perdas de potência nos circuitos auxiliares correspondem à 20 W (0,67 % da potência nominal). Adicionalmente, observa-se através da Tabela 6.2 que valor da DHT_{ia} reduz (conseqüentemente, aumenta-se o fator de potência) a medida em que o valor da potência processada pela carga é aumentado.

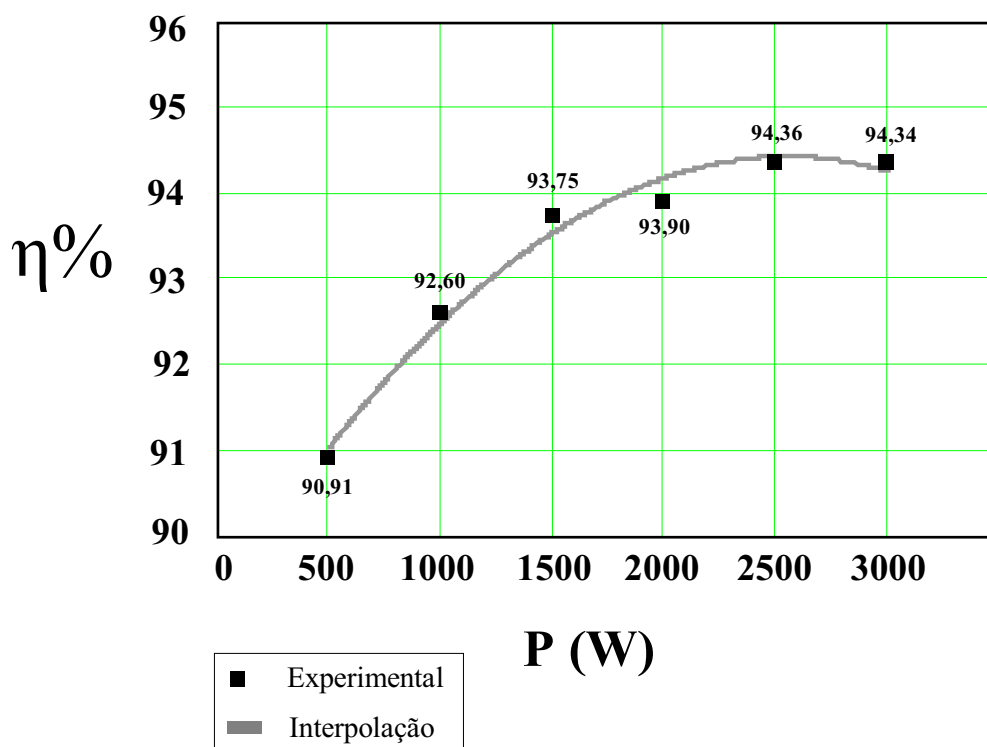


Figura 6.35 – Rendimento experimental do retificador trifásico híbrido, desconsiderando-se as perdas nos circuitos auxiliares.

Incorporando as perdas dos circuitos auxiliares, uma nova curva de rendimento para o retificador híbrido é apresentada na Figura 6.36, obtendo-se um rendimento de 93,75 % para o retificador híbrido operando com a carga nominal.

É observado que na condição nominal de operação estas perdas não interferem significativamente no rendimento global da estrutura, conforme é destacado na Figura 6.37, onde são confrontados os pontos levantados para as três condições analisadas.

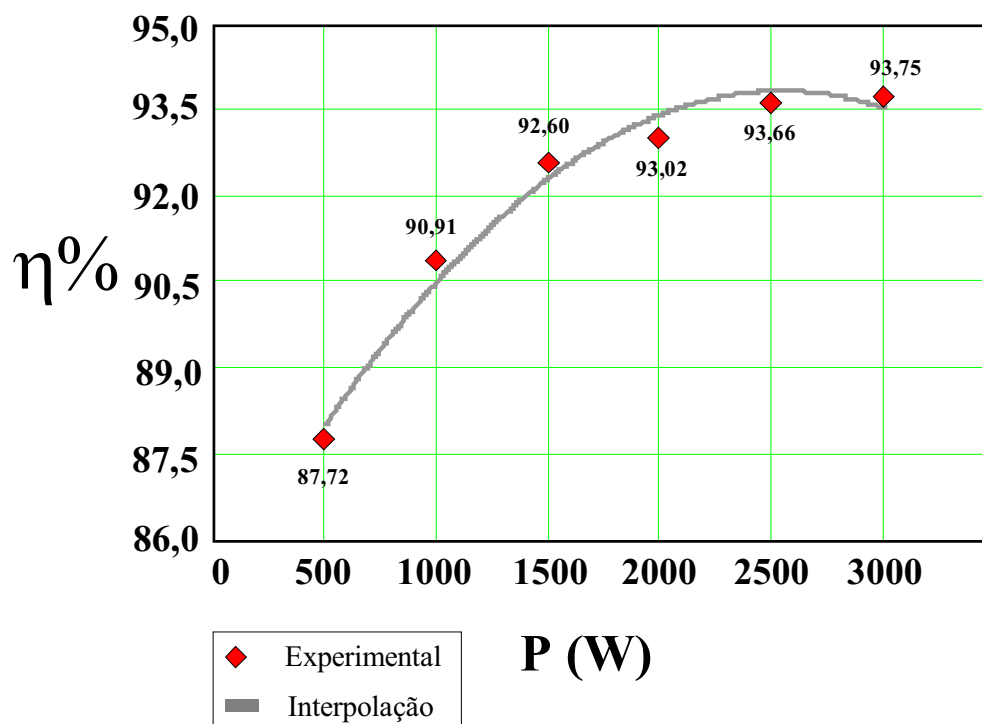
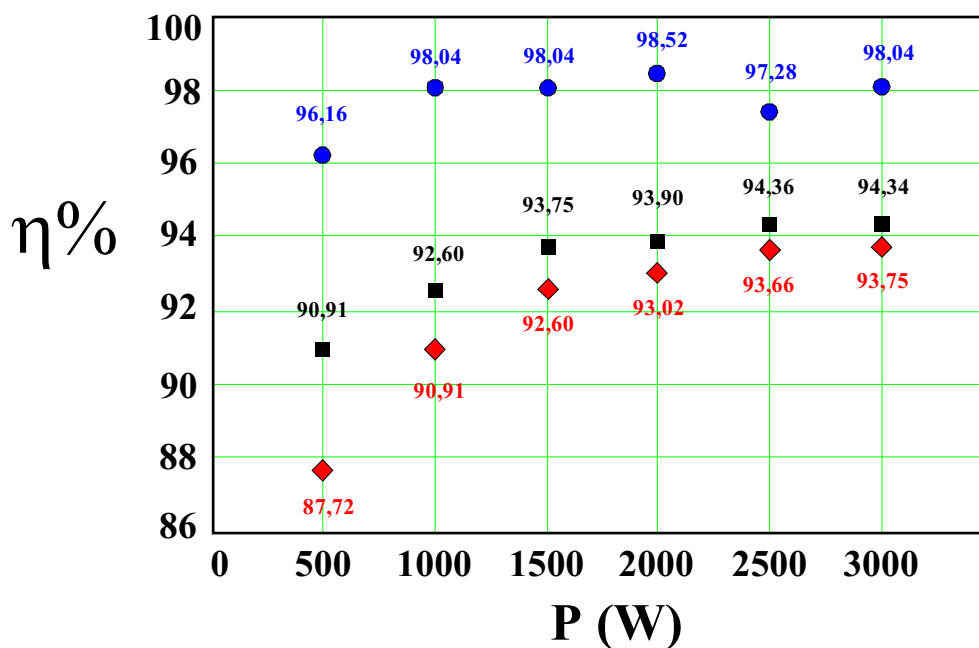


Figura 6.36 – Rendimento global experimental do retificador trifásico híbrido, incorporando as perdas nos circuitos auxiliares.



- Rendimento experimental do Retif-1 operando sem correção ativa do fator de potência (Retif-2 desligado).
- Rendimento experimental do retificador trifásico híbrido desconsiderando a potência consumida pelos circuitos auxiliares.
- ◆ Rendimento experimental do retificador trifásico híbrido.

Figura 6.37 – Rendimento experimental do retificador não controlado e do retificador trifásico híbrido, fornecendo a potência total para a carga.

As potências aparente “ S_{Rn} ” e “ S ”, mostradas respectivamente nas tabelas 6.1 e 6.2, possuem uma relação direta com a potência média na carga (P), conforme a equação (2.15) definida no Capítulo 2. Assim, os valores experimentais “ S_{Rn} ” e “ S ” podem ser analisados conforme (6.1) e (6.2).

$$S_{Rn} = \frac{P}{\eta_{Rn} \cdot FP_{Rn}} \quad (6.1)$$

$$S = \frac{P}{\eta \cdot FP} \quad (6.2)$$

Com o objetivo de verificar graficamente o comportamento de “ S_{Rn} ” e “ S ”, obteve-se uma relação normalizada (S_{Norm}) dividindo-se (6.1) por (6.2), resultando em (6.3).

$$S_{Norm} = \frac{S_{Rn}}{S} = \frac{\eta}{\eta_{Rn}} \cdot \frac{FP}{FP_{Rn}} \quad (6.3)$$

Através da equação (6.3) e com os dados das Tabelas 6.1 e 6.2, é obtida a curva experimental normalizada, mostrada na Figura 6.38. Esta curva demonstra que o rendimento do retificador trifásico híbrido, com valores não muito elevados (mostrado na Tabela 6.2), comparando-se com o rendimento elevado do retificador não controlado (mostrado na Tabela 6.1), é compensado pela elevação do seu fator de potência (FP) à medida em que o valor da potência média na carga (P) é aumentado. Com isso, o valor da potência aparente (S) é reduzido de maneira que na potência média (P) nominal os valores “ S_{Rn} ” e “ S ” tornam-se praticamente iguais.

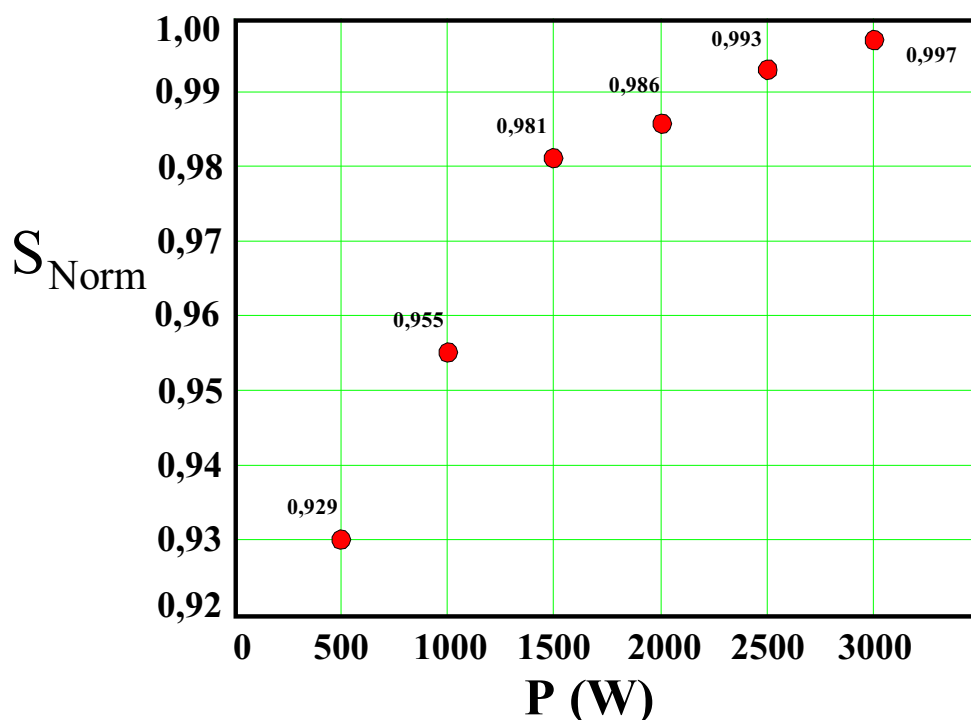


Figura 6.38 – Relação normalizada entre as potências aparente “ S ” e S_{Rn} ”.

Entretanto, impondo-se que a potência “S” seja menor do que “S_{Rn}”, na potência nominal (P), obtém-se a seguinte restrição através de (6.3), conforme (6.4).

$$\frac{\eta}{\eta_{Rn}} \cdot \frac{FP}{FP_{Rn}} > 1 \quad (6.4)$$

Manipulando (6.4), resulta em (6.5).

$$\eta > \eta_{Rn} \cdot \frac{FP_{Rn}}{FP} \quad (6.5)$$

Portanto, para atender este propósito ($S < S_{Rn}$), o rendimento (η) do retificador trifásico híbrido deverá obedecer a restrição estabelecida por (6.5).

As curvas de rendimento individuais do retificador não controlado (Retif-1) e do retificador controlado (Retif-2), considerando o retificador híbrido em operação, não foram levantadas. Entretanto, observa-se que o rendimento (η_{Rn}) do Retif-1 fornecendo a potência total para carga (Figura 6.34) não apresenta grandes variações. Tomando como referência o seu rendimento médio ($\eta_1=0,977$) do Retif-1, é possível fazer uma estimativa do rendimento (η_2) do Retif-2, conforme descrito a seguir:

Conforme definido no Capítulo 2, o rendimento total do retificador híbrido é calculado conforme equação (6.6).

$$\eta = \frac{P}{P_{in}} \quad (6.6)$$

Sendo que:

$$P_{in} = P_{in1} + P_{in2} \quad (6.7)$$

$$P_{in1} = \frac{I_{Retif-1} \% \cdot P}{\eta_1} \quad (6.8)$$

$$P_{in2} = \frac{(1 - I_{Retif-1} \%) \cdot P}{\eta_2} \quad (6.9)$$

Onde:

η : Rendimento do retificador trifásico híbrido;

η_1 : Rendimento médio do Retif-1, com o Retif-2 desligado;

η_2 : Rendimento do Retif-2;

P_{in} : Valor médio da potência requerida da fonte de alimentação;

P_{in1} : Valor médio da potência de entrada requerida pelo Retif-1;

P_{in2} : Valor médio da potência de entrada requerida pelo Retif-2;

$I_{Retif-1} \%$: Valor percentual da corrente média de saída do Retif-1;

$P_{wRetif-1}$: Perdas totais no Retif-1;

$P_{wRetif-2}$: Perdas totais no Retif-2;

$P_{wSEPIC1}$: Perdas totais no retificador monofásico SEPIC₁;

P_{wRTH} : Perdas totais no retificador trifásico híbrido.

Substituindo as equações (6.8) e (6.9) em (6.7), e posteriormente em (6.5), obtém-se a expressão matemática para o cálculo aproximado do rendimento do retificador Retif-2, conforme (6.10).

$$\eta_2 = \frac{\eta_1 \cdot (1 - I_{Retif-1} \%)}{\eta_1 - \eta_1 \cdot I_{Retif-1} \%} \quad (6.10)$$

A seguir, será calculado o rendimento η_2 , para o retificador híbrido processando a potência nominal, desconsiderando-se a potência consumida pelos circuitos auxiliares (Figura 6.35). Assim, da equação (6.10) e com os dados: $\eta=0,9434$, $\eta_1=0,977$ e $I_{Retif-1}\%=0,68$, obtém-se: $\eta_2=0,879$. Com este resultado estimam-se as perdas totais do Retif-2, pela equação (6.11).

$$P_{wRetif-2} = (1 - I_{Retif-1} \%) \cdot P \cdot \left(\frac{1}{\eta_2} - 1 \right) \quad (6.11)$$

Da equação (6.11) e com os dados: $\eta_2=0,879$, $P=3002$ W e $I_{Retif-1}\%=0,68$, obtém-se: $P_{wRetif-2}=132,24$ W. Como o sistema é equilibrado, as perdas no retificador monofásico SEPIC₁ resulta em: $P_{wSEPIC1}=44,08$ W. As perdas totais medidas para o retificador híbrido são de $P_{wRTH}=180$ W. Portanto, as perdas totais estimadas o Retif-1 é de $P_{wRetif-1}=47,76$ W.

Na seqüência, é mostrado na Tabela 6.3 os principais resultados teóricos (destacados na Tabela 2.3, no Capítulo 2) e experimentais (fase “a”) para fins comparação e validação da análise teórica realizada no Capítulo 2, considerando o parâmetro de controle $K=1,633$.

Tabela 6.3 – Análise comparativa de resultado teóricos e experimentais.

Dados analisados	Resultados teóricos (Tabela 2.3)	Resultados experimentais
$I_{Retif-1}$	6,72 A	6,83 A
$I_{Retif-2}$	3,38 A	3,22 A
I_{a1ef}	5,77 A	5,65 A
I_{a2ef}	3,14 A	3,15 A
I_{aef}	8,21 A	8,25 A
DHT_{ia}	2,5 %	4,03 %

Onde:

$I_{\text{Retif-1}}$: Valor médio da corrente de saída $i_{\text{Retif-1}}(\omega.t)$, no Retif-1;

$I_{\text{Retif-2}}$: Valor médio da corrente de saída $i_{\text{Retif-2}}(\omega.t)$, no Retif-2;

I_{aef} : Valor eficaz da corrente de entrada $i_a(\omega.t)$, no retificador trifásico híbrido;

I_{a1ef} : Valor eficaz da corrente de entrada $i_{\text{a1}}(\omega.t)$, no Retif-1;

I_{a2ef} : Valor eficaz da corrente de entrada $i_{\text{a2}}(\omega.t)$, no Retif-2;

DHT_{ia} : Distorção Harmônica Total na corrente $i_a(\omega.t)$.

Dentre os dados listados na Tabela 6.3, o único item que resultou em valores com divergência significativa é a DHT_{ia} .

Em complemento ao que foi comentado para a Figura 6.20, isto ocorreu devido a ausência de um sincronismo adequado entre as correntes $i_{\text{a1}}(\omega.t)$ e $i_{\text{a2}}(\omega.t)$, causando a sobreposição destas correntes nos intervalos de entrada e bloqueio dos diodos da ponte retificadora de seis pulsos (Retif-1), e, distorção harmônica presente na tensão de alimentação.

6.5 – Conclusões

Os resultados experimentais e suas análises foram apresentadas, considerando a aplicação do controle digital proposto para o retificador trifásico híbrido, capaz de impor reduzida DHT para as correntes de linha de entrada, resultando em um Fator de Potência elevado para o conversor. O controle digital usando a modulação por histerese variável foi implementado através de um dispositivo programável FPGA, usando linguagem VHDL.

Foi verificado através dos resultados experimentais analisados que o valor máximo da DHT para as correntes de linha de entrada não ultrapassou 4,54%, para a potência nominal, resultando em um Fator de Potência quase unitário ($FP=0,99$), apesar de ter sido constatada uma distorção de 2,71% para a tensão de entrada. O atendimento à norma IEC61000-3-2 também foi mantido para o retificador trifásico híbrido processando outros valores de carga diferentes da potência nominal, em regime permanente.

Na análise do rendimento do retificador híbrido, foi constatado que a maioria das perdas de potência ocorre no retificador controlado (Retif-2), cerca de 73,47% do total. O rendimento atual de 87,9 % de cada retificador monofásico SEPIC poderá ser aumentado com uma escolha mais criteriosa dos interruptores (diodos, IGBTs e Mosfets) e um projeto otimizado dos circuitos snubbers e indutores.

Por fim, realizou-se a análise comparativa entre os principais resultados teóricos e práticos, conforme Tabela 6.3, concluindo-se que a metodologia de projeto e de escolha do ponto de operação da estrutura está bem fundamentada. Entretanto, entende-se que é necessário fazer adequações na estratégia de sincronismo entre a corrente controlada e a corrente não controlada, tendo em vista que as componentes harmônicas que tendem a extrapolar os limites da norma são decorrentes dos picos de correntes gerados pela sobreposição indevida destas correntes.

Conclusões Gerais

Foi proposta e analisada neste trabalho uma técnica de controle digital com modulação por histerese variável utilizando-se um dispositivo FPGA (*Field Programmable Gate Array*) e VHDL (*Hardware Description Language*), aplicada em um retificador trifásico híbrido com o propósito de obtenção de uma DHT reduzida para as correntes de entrada e Fator de Potência de entrada quase unitário. Em uma análise global, o objetivo foi estabelecer uma alternativa versátil e viável para o processamento de energia CA-CC para aplicações industriais, sem fazer uso de técnicas tradicionais com arranjos volumosos, pesados e complexos de transformadores, transformadores de interfase e reatores bloqueadores de harmônicas, ou retificadores trifásicos PWM que resultam em um aumento de custos no processamento de potências elevadas.

Através da decomposição das correntes de entrada do retificador híbrido, em séries de Fourier, usando relações matemáticas do próprio circuito, definiu-se uma metodologia que estabelece uma relação entre a DHT (**D**istorção **H**armônica **T**otal) imposta para as correntes de entrada, e as potências média e aparente de entrada e saída processadas pelos retificadores controlado e não-controlado. Portanto, o objetivo principal da análise teórica apresentada foi a obtenção de um valor máximo de DHT para as correntes de entrada, cujo conteúdo harmônico estivesse em conformidade com os limites impostos pelas normas internacionais, e, conseqüentemente, um valor mínimo de potência processada pelo retificador controlado.

Dentre as vantagens do retificador trifásico híbrido analisado, são destacados os benefícios econômicos desta topologia, a qual é extremamente viável para instalações de potências médias e elevadas devido a sua qualidade e eficiência. Além disso, a melhoria de instalações existentes é factível, uma vez que a conexão paralela com o *link* CC pode ser facilmente realizada. A potência total ativa processada através dos retificadores monofásicos SEPIC representam uma fração menor da potência ativa total de saída, totalizando 32,0 % neste projeto. Os retificadores paralelos, constituídos por conversores SEPIC, operam no modo de condução contínua e modulação por histerese variável, com frequência de operação entre 27,4 kHz e 43,86 kHz, oferecendo volume e peso reduzido para o retificador trifásico híbrido. Adicionalmente, usando a técnica de controle digital proposta, implementada em dispositivo FPGA, possibilita-se uma flexibilidade importante e facilidades para impor uma forma de onda especificada e desejável para as correntes de entrada, incluindo formas de onda senoidais, através do código VHDL, constituindo-se uma estrutura com DHT verdadeiramente programável para as correntes de entrada.

Como continuidade do trabalho propõe-se alguns testes de desempenho do sistema implementado e algumas modificações na estratégia de controle visando tornar a estrutura mais atrativa comercialmente.

1) Testes de desempenho propostos:

- Fazer o acionamento do retificador trifásico híbrido diretamente na rede de alimentação, usando o protocolo de partida e desligamento, previsto no Capítulo 5, e avaliar melhor o sincronismo entre as correntes controlada e não controlada na entrada.
- Fazer variação abrupta (degrau) de carga, para verificar o desempenho da técnica de modulação empregada.
- Avaliar o possível aumento da DHT nas correntes de entrada e o atendimento à norma IEC, mediante à desequilíbrios das tensões de alimentação.

2) Modificações na estratégia de controle:

- Verificar a possibilidade de sincronizar o sistema com a rede de alimentação monitorando-se apenas uma fase. Neste caso, elimina-se dois sensores de tensão.
- Avaliar outras formas de onda para o SEPIC, de maneira que, mesmo resultando o acréscimo da amplitude das componentes harmônicas de menor ordem (até 10ª, por exemplo) para a corrente total de entrada, seja possível o atendimento à norma IEC e ainda reduzir a potência processada pelo retificador controlado para um percentual menor de 30 %.
- Avaliar a possibilidade de impor o controle para o SEPIC sem o monitoramento das correntes de entrada, ou pelo menos simplifica-lo. Neste caso pode ser necessário adotar uma outra técnica de controle.

Referências

- [1] WILSON, T. G. The evolution of power electronics. **IEEE Transactions on Power Electronics**, New York, v.15, n.3, p. 439-446, 2000.
- [2] STAUB, A. O.; OWEN, E. L. Solid-state motor controllers. **IEEE Transactions on Industry Applications**, New York, v.IA-22, n.6, p. 1113-1120, 1986.
- [3] JAHNS, T. M.; OWEN, E. L. AC adjustable-speed drives at the millennium: How did we get here?. **IEEE Transactions on Industry Applications**, New York, v.16, n.1, p. 17-25, 2001.
- [4] SIEBERT, A.; TROEDSON, A.; EBNER S. AC to DC power conversion now and in the future. **IEEE Transactions on Industry Applications**, New York, v.38, n.4, p. 934-940, 2002.
- [5] SINGH, B.; SINGH, B. N.; CHANDRA, A.; et al. A review of three-phase improved power quality AC-DC converters. **IEEE Transactions on Industrial Electronics**, New York, v.51, n.3, p. 641-660, 2004.
- [6] KOLAR, J. W.; ERTL, H. Status of the techniques of three-phase rectifier systems with low effects on the mains. In: INTERNATIONAL TELECOMMUNICATIONS ENERGY CONFERENCE - INTELEC, 21, 1999, Copenhagen. **Proceedings ...** Copenhagen: IEEE, 1999.
- [7] SINGH, B.; GAIROLA, S.; SINGH, B. N.; et al. Multipulse AC-DC converters for improving power quality: A review. **IEEE Transactions on Power Electronics**, New York, v.23, n.1, p. 261-281, 2008.
- [8] ERICKSON, R. W.; MAKSIMOVIC, D. **Fundamentals of power electronics**. 2. ed. Verlag: Springer, 2001. 912p.
- [9] CANESIN, C. A. **Correção ativa do fator de potência**: Ilha Solteira: UNESP/FE. 2000. 117p. (Apostila da disciplina ministrada na pós-graduação).
- [10] ALVES, R. L.; FONT, C. H. I.; BARBI, I. Novel unidirectional hybrid three-phase rectifier system employing boost topology. In: PESC'05. POWER ELECTRONICS SPECIALISTS CONFERENCE, 36, 2005, Recife. **Proceedings ...** Recife: IEEE, 2005, p. 487-493.

- [11] INTERNATIONAL ELECTROTECHNICAL COMMISSION. **IEC 61000-3-2**: limits for harmonic current emissions (input current ≤ 16 A per phase). Geneva: IEC, 1998. 49p.
- [12] INTERNATIONAL ELECTROTECHNICAL COMMISSION. **IEC 61000-3-4**: limits for emission of harmonic current in low-voltage power supply systems for equipment with rated current greater than 16 A. Geneva: IEC, 1998. 29p.
- [13] INSTITUTE OF ELECTRICAL AND ELECTRONICS ENGINEERS . **IEEE 519**: recommended practices and requirements for harmonic control in electrical power systems. New York: IEEE, 1992.
- [14] RAY, W. F.; DAVIS, R. M.; WEATHERHOGG, I. D. The three-phase bridge rectifier with a capacitive load. In: INTERNATIONAL CONFERENCE ON POWER ELECTRONICS AND VARIABLE-SPEED DRIVERS, 3, 1988, London. **Proceedings ...** London: IEEE, 1988. p. 153-156.
- [15] PAICE, D. A.; SPREADBURY, R. J. Calculating and controlling harmonics caused by power converters. In: INDUSTRY APPLICATION SOCIETY CONFERENCE - IAS, 2, 1989, San Diego. **Proceedings ...** San Diego: IEEE, 1989. p. 456-463.
- [16] RICE, D. E. A detailed analysis of six-pulse converter harmonic currents. **IEEE Transactions on Industrial Electronics**, New York, v.30, n.2, p. 294-304, 1994.
- [17] PAICE, D. A. **Power electronic converter harmonics**: multipulse methods for clean power. Piscataway: IEEE, 1995. 202p.
- [18] NIERMANN, C. New rectifier circuits with low mains pollution and additional low cost inverter for energy recovery. In: EUROPEAN CONFERENCE ON POWER ELECTRONICS AND APPLICATIONS - EPE, 3, 1989, Aachen. **Proceedings ...** Aachen: IEEE, 1989. p. 1131-1136.
- [19] FILHO, W. C. P.; BARBI, I. A single stage high power factor 3 phase 60V/100A power supply using a line-side interphase transformer and an isolated push-pull converter. In: APPLIED POWER ELECTRONICS CONFERENCE AND EXPOSITION - APEC, 13, 1998, Anaheim. **Proceedings...** Anaheim: IEEE, 1998. p. 1114-1119.
- [20] CARLOS A.; MUÑOZ B.; BARBI, I. A new high power factor three-phase diode rectifier. In: IECON'95. INDUSTRIAL ELECTRONICS, CONTROL, AND INSTRUMENTATION, 21, 1995, Orlando. **Proceedings...** Orlando: IEEE, 1995. p. 451-456.

- [21] CARLOS A.; MUÑOZ B.; BARBI, I. Comparative analysis between two proposed uses of the line inter-phase transformer in 12 pulse three phase rectifiers. In: I INTERNATIONAL POWER ELECTRONICS CONGRESS - CIEP, 5, 1996, Cuernavaca. **Proceedings...** Cuernavaca: IEEE, 1996. p. 212-216.
- [22] GONG, G.; HELDWEIN, M. L.; DROFENIK, U.; MINO, K.; KOLAR, J. W. Comparative evaluation of three-phase high power factor AC-DC converter concepts for application in future more electric aircrafts. In: APPLIED POWER ELECTRONICS CONFERENCE AND EXPOSITION - APEC, 10, 1994, Orlando. **Proceedings...** Orlando: IEEE, 1994. p. 1152-1159.
- [23] MINO, K.; GONG, G.; KOLAR, J. W. Novel hybrid 12-pulse boost-type rectifier with controlled output voltage. **IEEE Transactions on Aerospace and Electronic Systems**, New York, v.41, n.3, p. 1008-1018, 2005.
- [24] CHOI, S.; ENJETI, P. N.; PITEL, I. J. Polyphase transformer arrangements with reduced KVA capacities for harmonic current reduction in rectifiers-type utility interface. **IEEE Transactions on Power Electronics**, New York, v.11, n.5, p. 680-690, 1996.
- [25] MARTINIUS, S.; HALIMI, B.; DAHONO, P. A. A Transformer connection for multipulse rectifier application. In: INTERNATIONAL CONFERENCE ON POWER SYSTEM TECHNOLOGY - POWERCON, 2, 2002, Kunming. **Proceedings...** Kunming: IEEE, 2002. p. 1021-1024.
- [26] LEE, B. S.; ENJETI, P. N.; PITEL, I. J. A new 24-pulse diode rectifier system for AC motor drives provides clean power utility interface with low kVA components. In: INDUSTRY APPLICATIONS CONFERENCE - IAS, 31, 1996, San Diego. **Proceedings...** San Diego: IEEE, 1996. p. 1024-1031.
- [27] RENDUSARA, D. A.; JOUANNE, A.; ENJETI, P. N.; PAICE, D. A. Design considerations for six pulse and twelve pulse diode rectifier systems operating under voltage unbalance and pre-existing voltage distortion with some corrective measures. In: INDUSTRY APPLICATIONS CONFERENCE - IAS, 30, 1995, Orlando. **Proceedings...** Orlando: IEEE, 1995. p. 2549-2556.

- [28] RENDUSARA, D. A.; JOUANNE, A.; ENJETI, P. N.; PAICE, D. A. design considerations for 12-Pulse diode rectifier systems operating under voltage unbalance and pre-existing voltage distortion with some corrective measures. **IEEE Transactions on Industry Applications**, New York, v.32, n.6, p. 293-1303, 1996.
- [29] SEIXAS, F. J. M. DE. **Conversores CA-CC de 12 kW com elevado fator de potência utilizando autotransformador com conexão diferencial de múltiplos pulsos**. 2001. 205f. Tese (Doutorado em Engenharia Elétrica) - Faculdade de engenharia elétrica, Universidade Federal de Santa Catarina - UFSC, Florianópolis, 2001.
- [30] SEIXAS, F. J. M. DE.; BARBI, I. A new 12kW three-phase 18-pulse high power factor AC-DC converter with regulated output voltage for rectifier units. In: INTERNATIONAL TELECOMMUNICATIONS ENERGY CONFERENCE - INTELEC, 21, 1999, Copenhagen. **Proceedings ...** Copenhagen: IEEE, 1999. 8p.
- [31] TANAKA, T.; KOSHIO, N.; AKAGI, H. A novel method of reducing the supply current harmonics of a 12-pulse thyristor rectifier with an interphase reactor. In: INDUSTRY APPLICATIONS CONFERENCE - IAS, 31, 1996, San Diego. **Proceedings...** San Diego: IEEE, 1996. p. 1256-1262.
- [32] BATISTA, F. A. B.; FONT, C. H. I.; BARBI, I. Comparison of control techniques applied to boost-type bidirectional three-phase PWM rectifier. In: CONFERÊNCIA INTERNACIONAL EM APLICAÇÕES INDUSTRIAIS - INDUSCON, 6, 2006, Recife. **Anais ...** Recife: Induscon, 2006.
- [33] SKAVARENINA, T. L. **The power electronics handbook**. Boca Raton: CRC, 2002. 494p.
- [34] FONT, C. H. I.; BATISTA, F. A. B.; ALVES, R. L.; BARBI, I. Modulation techniques for a bidirectional three-phase switch-mode PWM rectifier. In: CONFERÊNCIA INTERNACIONAL EM APLICAÇÕES INDUSTRIAIS - INDUSCON, 6, 2006, Recife. **Anais ...** Recife: Induscon, 2006.
- [35] SALO, M. A three-switch current-source PWM rectifier with active filter function. In: POWER ELECTRONICS SPECIALISTS CONFERENCE - PESC, 36, 2005, Recife. **Proceedings ...** Recife: IEEE, 2005. p. 2230-2236.

- [36] PRASAD, A. R.; ZIOGAS, P. D.; MANIAS, S. An active power factor correction technique for three-phase diode rectifiers. In: POWER ELECTRONICS SPECIALISTS CONFERENCE- PESC, 20, 1989, Milwaukee. **Proceedings ...** Milwaukee: IEEE, 1989. p. 58-66.
- [37] ALVES, R. L.; BARBI, I. A new hybrid high power factor three-phase unidirectional rectifier. In: INTERNATIONAL SYMPOSIUM ON INDUSTRIAL ELECTRONICS - ISIE, 2006, Montreal. **Proceedings ...** Montreal: IEEE, 2006. p. 1046-1051.
- [38] FONT, C. H. I.; BARBI, I. A new high power factor bidirectional hybrid three-phase rectifier. In: APPLIED POWER ELECTRONICS CONFERENCE AND EXPOSITION - APEC, 21, 2006, Dallas. **Proceedings...** Dallas: IEEE, 2006. p. 1300-1306.
- [39] SATO, Y.; KAWAMURA, K.; MORIMOTO, H.; NEZU, K. Hybrid PWM rectifiers to reduce electromagnetic interference. In: INDUSTRY APPLICATIONS CONFERENCE - IAS, 37, 2002, Pittsburgh. **Proceedings...** Pittsburgh: IEEE, 2002. p. 2141-2146.
- [40] TRZYNADLOWSKI, A. M. A hybrid, current-source/voltage-source power inverter circuit. **IEEE Transactions on Power Electronics**, New York, v.16, n.6, p. 866-871, 2001.
- [41] FREITAS, L. C. G.; SIMÕES, M. G.; CANESIN, C. A.; FREITAS, L. C. A novel programmable PFC based hybrid rectifier for ultra clean power application. In: POWER ELECTRONICS SPECIALISTS CONFERENCE - PESC, 35, 2004, Aachen. **Proceedings ...** Aachen: IEEE, 2004. p. 2172-2177.
- [42] FREITAS, L. C. G.; SIMÕES, M. G.; CANESIN, C. A.; FREITAS, L. C.; COELHO, E. A. A. Programmable PFC based hybrid multipulse power rectifier for utility interface of power electronic converters. In: POWER ELECTRONICS SPECIALISTS CONFERENCE - PESC, 36, 2005, Recife. **Proceedings ...** Recife: IEEE, 2005. p. 2237-2243.
- [43] FREITAS, L. C. G.; VICENZI, F., FREITAS, M. A. A., FERNANDES, E. R., MENDONÇA, R. G. Programmable PFC based hybrid multipulse power rectifier with sinusoidal input line current imposed by digital controller. In: APPLIED POWER ELECTRONICS CONFERENCE AND EXPOSITION - APEC, 22, 2007, Anaheim. **Proceedings...** Anaheim: IEEE, 2007. p. 1356-1361.

- [44] ROSSETTO, L.; SPIAZZI, G. Control techniques for power factor correction converters. In: POWER ELECTRONICS AND MOTOR CONTROL – PEMC, 6, 1994, Warsaw. **Proceedings...** Warsaw: IEEE, 1994. p. 1310-1318. Disponível em: <<http://www.dei.unipd.it/~pel/Articoli/1994/Pemc/Pemc94.pdf>>. Acesso em: 30 set. 2008.
- [45] STEFANUTTI, W.; MATTAVELLI, P. Fully digital hysteresis modulation with switching-time prediction. **IEEE Transactions on Industry Applications**, New York, v.42, n.3, p. 763-769, 2006.
- [46] SONAGLIONI, L. Predictive digital hysteresis current control. In: INDUSTRY APPLICATIONS CONFERENCE - IAS, 30, 1995, Orlando. **Proceedings...** Orlando: IEEE, 1995. p. 1879-1886.
- [47] AHMED, A. **Eletrônica de Potência**: São Paulo: Prentice Hall, 2000. 479p.
- [48] MARTINS, D. C.; OLIVEIRA, A. H.; BARBI, I. Retificador trifásico isolado com correção do fator de potência empregando o conversor CC-CC sepic em condução contínua. **Eletrônica de Potência**, Campinas, v.6, n.1, p. 8-15, 2001.
- [49] BARBI, I.; MARTINS, D. **Eletrônica de Potência**: conversores CC-CC básicos não-isolados. Florianópolis: Ed. do Autor, 2000. 377p.
- [50] BARBI, I. **Eletrônica de Potência**: projeto de fontes chaveadas. Florianópolis: Ed. do Autor, 2001. 334p.
- [51] MARTIGNONI, A. **Transformadores**. São Paulo: [s.n], 2001. 307p.
- [52] RIDDLEY, R. Flyback Converter Snubber Design. **Switching Power Magazine**, Roswell, p.1-7, 2005. Disponível em: <<http://www.switchingpowermagazine>>. Acesso em: 17 mai. 2007.
- [53] OPPENHEIM, A. W.; SCHAFER, R. W. **Discrete-time signal processing**. New Jersey: Prentice Hall, 1999. 870p.
- [54] BROWN, S.; VRANESIC, Z. **Fundamentals of digital logic with VHDL design**. 2.ed. New York: McGraw-Hill, 2005. 939p.
- [55] ZAGHETO, A.; PRADO, A. C.; TAVARES, A. **Sistemas digitais**. Rio de Janeiro: UFRJ – Departamento de engenharia eletrônica e de computação. (Apostila do curso) Disponível em: <http://www.gta.ufrj.br/grad/01_1/pld>. Acesso em: 01 fev. 2009.

[56] LEONG, P. H W. Recent trends in FPGA architectures and applications. In: INTERNATIONAL CONFERENCE ON INFORMATION AND COMMUNICATION TECHNOLOGY IN ELECTRICAL SCIENCES - DELTA, 4, 2008, Hong Kong. **Proceedings...** Hong Kong: IEEE, 2008. p. 137-141.

[57] MONMASSON, E.; CIRSTEAN, M. N. FPGA design methodology for industrial control systems – A review. **IEEE Transactions on Power Electronics**, New York, v.54, n.4, p. 1824-1842, 2007.

[58] MATAR, M.; ABDEL-RAHMAN, M.; SOLIMAN, A. FPGA-based real-time digital simulation. In: INTERNATIONAL CONFERENCE ON POWER SYSTEMS TRANSIENTS- IPST, 6, 2005, Montreal. **Proceedings...** Montreal: IEEE, 2005.

[59] ORDONEZ, E. D. M.; PEREIRA, F. D.; PENTEADO, C. G.; PERICINI, R. A. **Projeto, desempenho e aplicações de sistemas digitais em circuitos programáveis (FPGAs)**. Pompéia: Bless, 2003. 239p.

[60] PERRY, D. L. **VHDL: programming by example**. 4.ed. New York: McGraw-Hill, 2002. 497p.

APÊNDICE A

A – Dispositivos Lógicos Programáveis FPGA com Uso da Linguagem de Descrição de Hardware VHDL

O acionamento e controle de dispositivos, utilizando circuitos digitais, implementados de forma convencional, consiste no fato de que a idéia seja expressa através de tabelas verdade, para circuitos combinatoriais, ou em forma de diagramas de estado, para o caso de circuitos seqüenciais. Por fim, esta idéia resulta em diagramas esquemáticos, como: Portas lógicas, pinos de conexões, barramentos, etc. Este tipo de abordagem traz algumas dificuldades na fase de projeto, em se tratando de circuitos mais complexos, no que diz respeito à simulação e prototipagem, dentre as quais destacam-se:

- ✓ Manuseio de uma grande quantidade de dados técnicos de dispositivos (datasheets);
- ✓ Necessidade de várias placas de testes (proto-boards) para simular um único circuito, trazendo problemas de arranjo físico dessas placas e conexões adequadas;
- ✓ As placas de circuito impresso ou a confecção dos dispositivos de controle integrado (chips) podem demandar muito tempo para serem confeccionadas.

Além desses problemas, em uma adaptação futura do projeto já concluído, há a necessidade de se refazer toda a confecção de placas ou chips, demandando tempo e custos.

Com o rápido desenvolvimento dos recursos de concepção de circuitos integrados e de softwares, tornou-se possível efetuar simulações de circuitos digitais em computadores, utilizando-se apenas o esquemático (CAD – *Computer Aided Design*), reduzindo-se o tempo de desenvolvimento do projeto.

Numa época mais recente, se destacaram os dispositivos com lógica programável (PLD – *Programmable Logic Device*) [54 e 55]. Tais dispositivos usam tecnologia CMOS e possuem internamente centenas (ou milhares) de portas lógicas, flip-flops e registradores interligados, que permitem aos usuários implementar circuitos mais complexos sem a necessidade dos custos elevados envolvidos na fabricação das estruturas empregando diretamente o manuseio do silício.

As conexões entre esses elementos (portas lógicas, flip-flops e registradores) são programáveis e/ou reprogramáveis, utilizando-se uma Linguagem de Descrição de Hardware

(HDL - *Hardware Description Language*), que será discutida posteriormente de uma forma mais detalhada.

Os PLDs, devido a sua estrutura interna, podem ser classificados basicamente em duas categorias, conforme a Figura A.1:

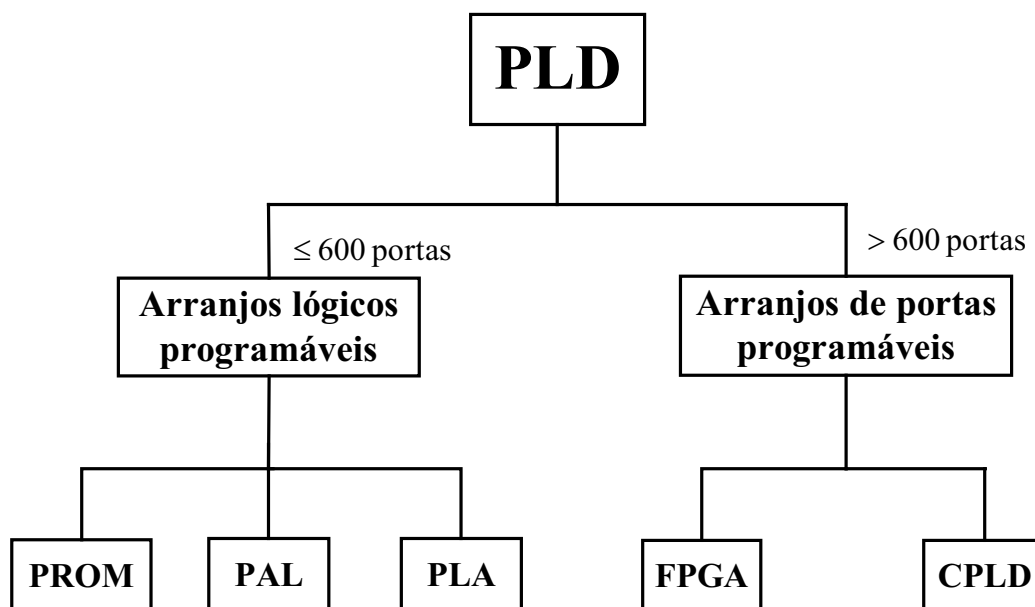


Figura A.1 – Classificação básica dos dispositivos PLDs.

A.1 – Arranjos lógicos programáveis

Dispositivos em “arranjos lógicos programáveis” consiste de um circuito com estrutura interna baseada em um conjunto de portas AND-OR (o conjunto de portas AND e OR são denominados “arranjos”). Estes dispositivos oferecem até 600 portas lógicas programáveis, e são divididos em três grupos:

- PROM (*Programmable Read-Only Memory*): Memória somente de leitura programável;
- PLA (*Programmable Logic Array*): Arranjo lógico programável;
- PAL (*Programmable Array Logic*): Lógica de arranjo programável.

A.1.1 – PROM (Memória somente de leitura programável)

A memória PROM pode ser considerada um PLD no caso da mesma ser utilizada para implementar funções lógicas. Uma PROM, é uma memória apenas de leitura que pode ser gravada uma vez pelo projetista através da queima dos fusíveis internos. A PROM possui uma estrutura AND-OR, com a matriz AND fixa e a matriz OR programável, conforme mostrada na Figura A.2.

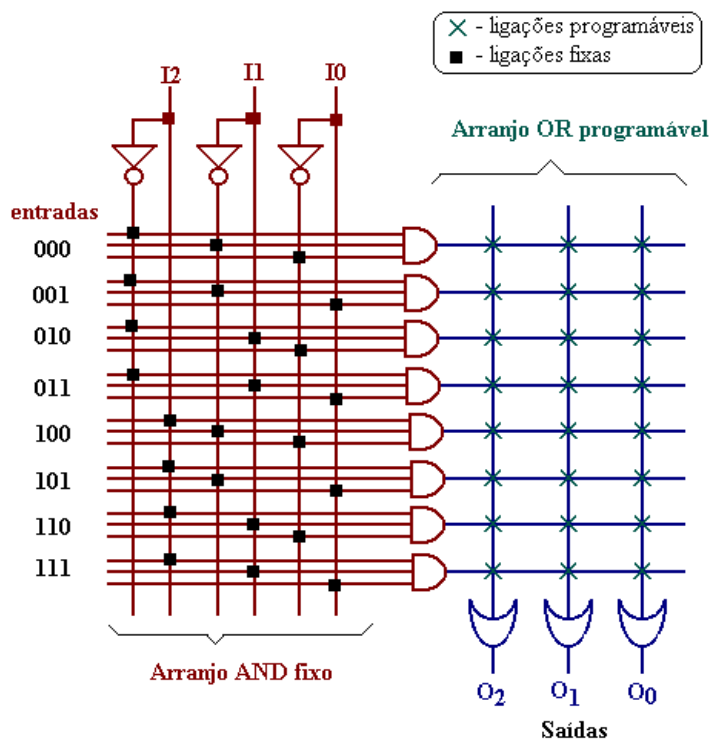


Figura A.2 – Circuito lógico digital ilustrando o funcionamento de uma PROM.

A.1.2 – PLA (Arranjo lógico programável)

O dispositivo PLA tem maior flexibilidade para a execução das funções lógicas do que a PROM, pois tanto a matriz (arranjo) de portas AND quanto a matriz de portas OR são programáveis, conforme mostrado na Figura A.3.

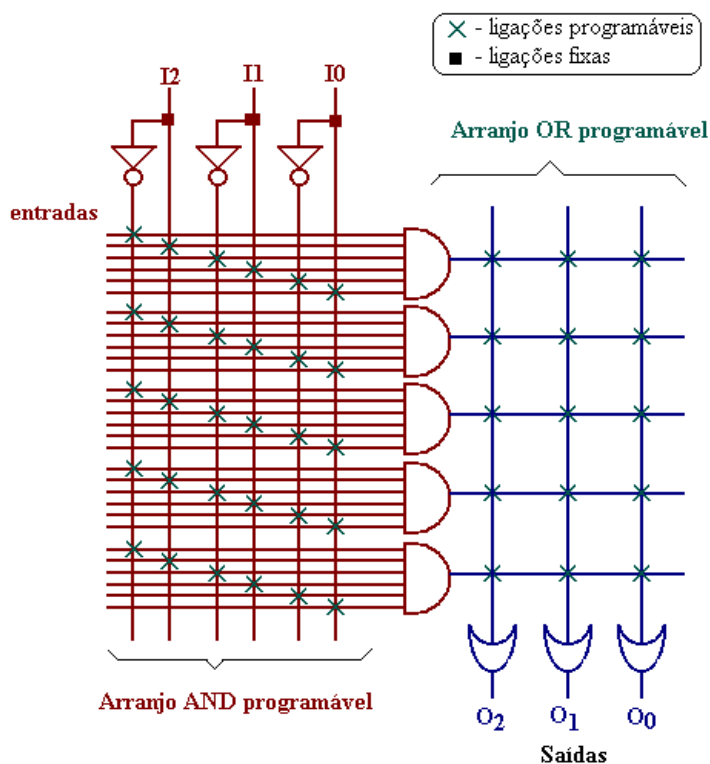


Figura A.3 – Circuito lógico digital ilustrando o funcionamento de um PLA.

A.1.3 – PAL (Lógica de arranjo programável)

O PAL possui uma arquitetura simples, combina o baixo custo de produção e facilidade de programação da PROM com a flexibilidade do PLA, resultando em um componente mais rápido, de menor custo e tamanho do que o PLA. O dispositivo PAL (mostrado na Figura A.4) é constituído basicamente uma matriz AND programável e uma matriz OR fixa.

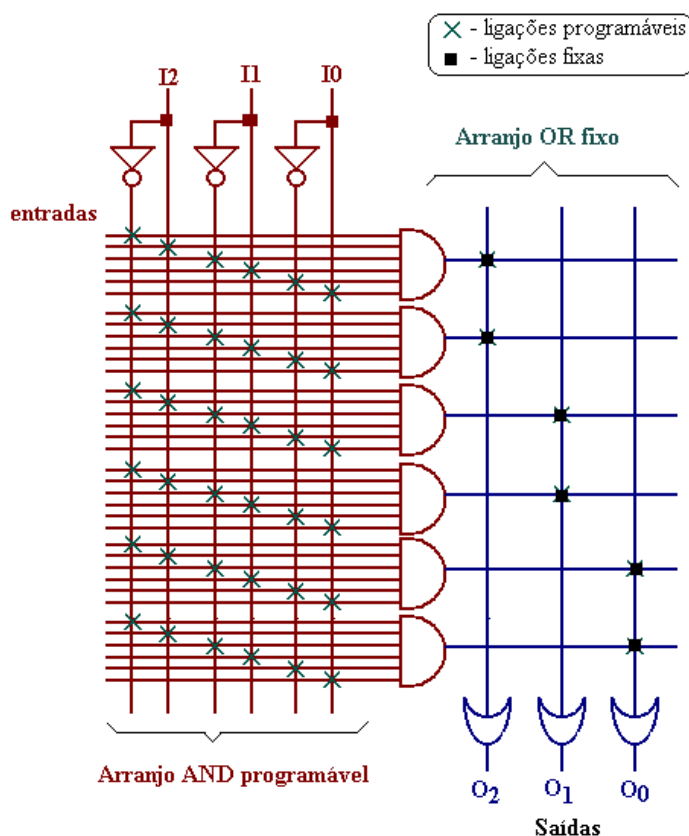


Figura A.4 – Circuito lógico digital ilustrando o funcionamento de um PAL.

A.2 – Arranjos de portas programáveis

Nesta categoria, os dispositivos são constituídos por várias estruturas repetidas denominadas “células lógicas”. Estes dispositivos dispõem de mais de 600 portas lógicas programáveis e se destacam em dois grupos (Figura A.1):

- FPGA (*Field Programmable Gate Array*): Arranjo de portas programáveis em campo;
- CPLD (*Complex Programmable Logic Device*): Arranjo de portas programáveis em campo. O CPLD também é conhecido como EPLD (*Erasable Programmable Logic Device*).

As “células lógicas” são interconectadas através dos “barramentos”, que são conexões físicas (trilhas metalizadas) disponíveis no *chip*. Dependendo do tipo do PLD envolvido (FPGA e CPLD), de sua complexidade e de seu fabricante, há diversos recursos e modos de conexão desses barramentos.

A.2.1 – Arquitetura e características de funcionamento do CPLD e FPGA

Ambos dispositivos lógicos programáveis, muitas vezes, são produzidos pelos mesmos fabricantes. Porém, existem muitas diferenças entre as tecnologias associadas.

A diferença fundamental entre um CPLD e um FPGA está na concepção dos barramentos. Um CPLD é composto por barramentos contínuos, enquanto que um FPGA, por barramentos segmentados. Nas Figuras A.5 e A.6, são mostrados exemplos (de forma simplificada) das arquiteturas dos dispositivos CPLD e FPGA, respectivamente. Em ambas as Figuras, é destacada a conexão entre os elementos A, B e C, localizados em três células lógicas distintas.

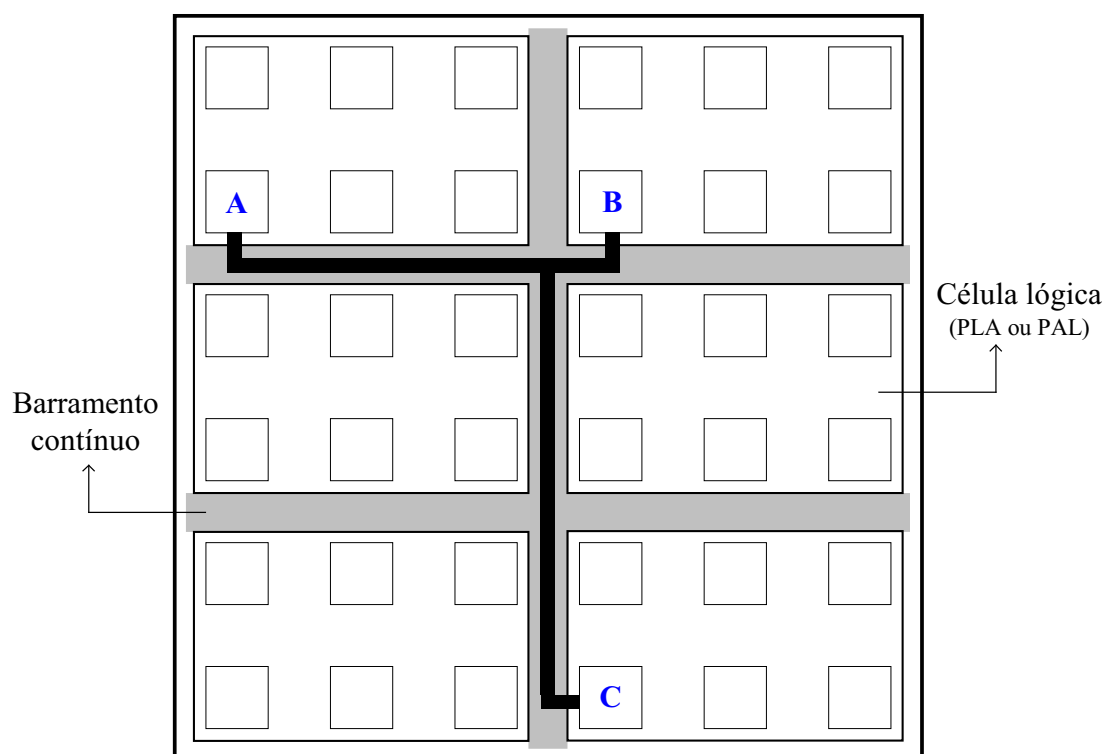


Figura A.5 – Representação simplificada da arquitetura de um PLD.

O barramento contínuo (no CPLD) é constituído por linhas de metal de comprimento uniforme que atravessam o integrado no comprimento e na largura (vertical x horizontal). Portanto, a resistência e a capacitância de todas as interconexões possuem valores fixos, fazendo

com que os intervalos de propagação (*delay*) entre quaisquer duas células lógicas do dispositivo sejam constantes.

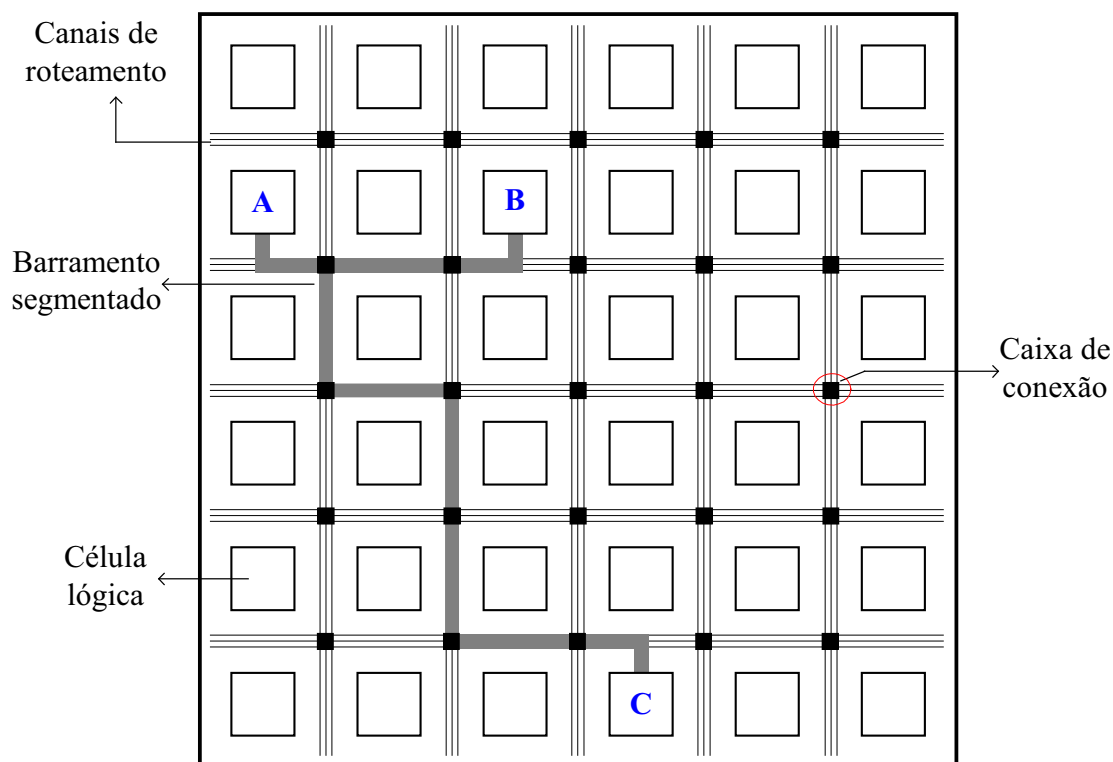


Figura A.6 – Representação simplificada da arquitetura de um FPGA.

O barramento segmentado (no FPGA) é constituído por vários segmentos de metal que também atravessam o integrado nas direções horizontal e vertical. Entretanto, estes segmentos podem ser conectados de diversas maneiras através das “caixas de conexão” SB (*Switch Box*) programáveis existentes entre eles. Assim, o número de segmentos requeridos para conexão entre duas células não é constante ou previsível, depende fortemente da disposição das células e das múltiplas possibilidades de interconexão entre elas.

Como não é possível conhecer, antes do roteamento (interconexão das células), o número de segmentos requeridos para conexão entre células, não é possível quantizar os atrasos de propagação. O atraso de uma dada estrutura lógica é função de um atraso devido ao barramento que varia de caso a caso mais o atraso da estrutura.

Na Figura A.6, é observado que cada célula lógica do FPGA contém um único elemento. Em contrapartida, o CPLD (Figura A.5) contém vários elementos por célula lógica e, portanto, uma quantidade bem menor de células do que o FPGA. Cada célula lógica do CPLD é similar a um dispositivo de arranjo lógico programável (PLA ou PAL).

A menor granularidade (menor quantidade de células) do CPLD, juntamente com sua estrutura de conexão contínua, facilita sua programação, possibilita melhor desempenho do

sistema (atraso de propagação fixo) e permite melhor utilização das células lógicas para certas aplicações. A estrutura contínua permite ainda que pequenas modificações na lógica sejam feitas sem degradação no desempenho.

Como o FPGA depende fortemente do roteamento, estas mesmas modificações poderiam acarretar numa queda sensível de desempenho devido à necessidade de um novo roteamento. Por outro lado, a maior granularidade e recursos de roteamento do FPGA resulta em maior flexibilidade para implementar funções aritméticas e projetos grandes e complexos, enquanto que o CPLD está restrito a projetos bem menores.

Entretanto, a arquitetura dos FPGAs mais modernos (por exemplo os FPGAs da família Virtex-5), por ser constituída de grande quantidade de camadas de metal, resulta em maior densidade de conexões programáveis, minimizando os problemas de roteamento comumente encontrados nas famílias mais antigas [56].

O FPGA, tipicamente, é baseado em RAM (*Random Access Memory*). Isto significa que precisa ser reconfigurado (reprogramado) após cada corte do suprimento de energia.

O CPLD é baseado em EEPROM (*Electrically Erasable Programmable Read-Only Memory*), portanto não precisa ser reprogramado a cada corte do suprimento de energia.

A.2.2 – Dispositivos FPGAs e Linguagem VHDL

Por definição, FPGAs são circuitos programáveis compostos por um conjunto de células lógicas ou blocos lógicos alocados em forma de uma matriz.

Os blocos lógicos podem ser utilizados como blocos de construção para se implementar qualquer tipo de funcionalidade desejada, desde máquinas de estado de baixa complexidade até microprocessadores completos. Em geral, a funcionalidade e o roteamento destes blocos são configuráveis via *software*. A arquitetura básica de um FPGA pode variar de fabricante para fabricante, de família para família ou até em uma mesma família pode existir variações, mas alguns elementos fundamentais são mantidos desde o seu surgimento no mercado, na década de 80, do século XX [56, 57 e 59]. Estes elementos fundamentais são destacados na Figura A.7 e listados a seguir:

- CLB (*Configurable Logic Block*): bloco lógico configurável. O CLB representa cada célula lógica destacada na Figura A.6;
- IOB (*In/Out Block*): bloco de entrada e saída, localizado na periferia dos FPGAs, são responsáveis pela interface com o ambiente;
- SB (*Switch Box*): caixa de conexão, responsável pela interconexão entre os CLBs, através dos canais de roteamento.

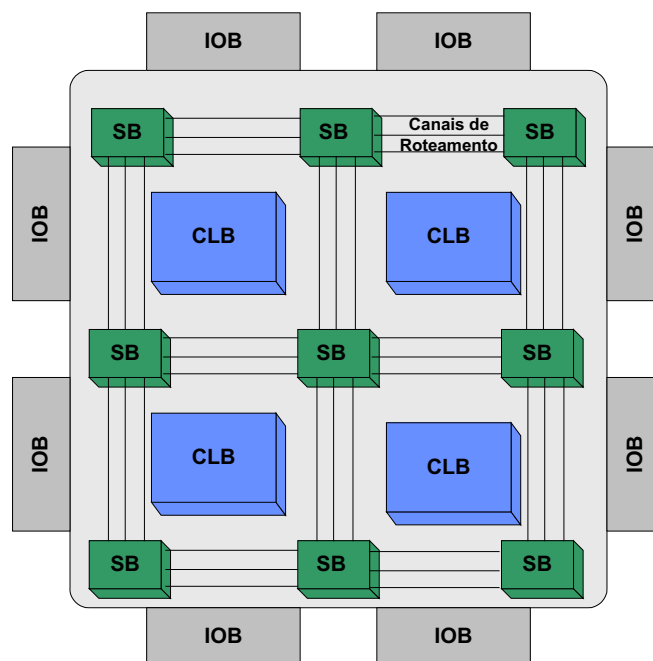


Figura A.7 – Representação dos elementos básicos de um FPGA.

Nos últimos anos a quantidade de portas lógicas disponíveis num FPGA tem crescido num ritmo muitíssimo acelerado, possibilitando a implementação de arquiteturas cada vez mais complexas. Adicionalmente, alguns dispositivos FPGAs, de acordo com a sua evolução, podem possuir recursos lógicos adicionais, tais como: unidades lógicas aritméticas, blocos de memórias, blocos de codificadores/decodificadores de padrões de sinais, blocos otimizados de multiplicadores, e até mesmo processadores.

Alguns exemplos de aplicações utilizando FPGAs incluem: Previsão de tempo: HDTV e CATV; Consumo: Decodificador de áudio, vídeo games e sistemas de karaokê; Transportes: Sistemas de Estrada de Ferro; Industrial: Controle e acionamento de fontes chaveadas, equipamentos de teste e medidas, equipamentos médicos, controle remoto, robótica; Comunicação de Dados: Multiplexadores, roteadores, modems, vídeo conferência; Telecomunicação: Interfaces, compressor de dados, controlador de *voice-mail*; Militar: Sistemas de Computadores, comunicação e controle de fogo; Computadores: Interfaces de Memórias, controladores, co-processadores, multimídias e gráficos; Periféricos: Controladores de disco, vídeo, FAX, máquinas registradoras, modems terminais, impressoras, *scanners*, dentre outros. Atualmente, o uso de FPGAs se destaca na área de processos embarcados, onde um processador é interligado a um sistema maior com o objetivo de auxiliar no controle e execução de tarefas. É necessário salientar, que a utilização de FPGAs é uma tecnologia relativamente nova, portanto a cada dia novas aplicações são implementadas.

Há vários parâmetros para se medir o desempenho de circuitos digitais em FPGAs, sendo que os principais são: a ocupação espacial, que determina quantos componentes são necessários para implementar o circuito e o desempenho temporal, que determina o tempo de atraso do sinal (informação) através do circuito. Ao implementar um circuito digital deseja-se que o espaço utilizado e o tempo de execução sejam os menores possíveis. Isto é, o circuito projetado deve ser rápido e ocupar pouco espaço na pastilha. Contudo, satisfazer simultaneamente estes dois critérios nem sempre é possível, seja qual for a tecnologia de projeto para circuitos digitais empregada.

Os dispositivos FPGAs, atualmente, ainda são menos requisitados em aplicações industriais do que os DSPs (*Digital Signal Processing*). Devido o FPGA ter um custo de compra ainda elevado, comparando-se com o DPS, a sua consolidação no mercado tende a ser mais lenta. Entretanto, existem trabalhos ressaltando algumas vantagens do FPGA sobre o DSP [58]. O DSP usa arquiteturas especiais para acelerar cálculos repetitivos. A característica mais importante, especialmente útil em processamento digital de sinal e simulação de sistema de potência, é a habilidade de realizar uma ou mais operações de multiplicação em um único ciclo. Além disso, o DSP possui arquiteturas de memórias de múltiplo acesso que permitem o processador carregar simultaneamente vários operandos, tais como, amostra de dados e coeficientes, em paralelo com uma instrução em andamento. Embora o DSP seja um processador matemático especializado, e consiga realizar múltiplas instruções em um único ciclo de clock, o seu processo como um todo é seqüencial (ou série), tornando-se menos eficiente para algoritmos que dependem de duas ou mais avaliações simultâneas. Além disso, consegue processar geralmente um único canal de entrada (dado externo amostrado) por vez. Os DSPs mais modernos já possuem unidades paralelas, conseguem processar até dois canais de dados simultaneamente.

O FPGA por sua vez, permite que operações distintas como, a aquisição de vários dados, cálculos matemáticos e avaliação de dados ocorram simultaneamente.

Os dispositivos FPGAs mais recentes já dispõem internamente de blocos DSP melhorando o desempenho em operações lógicas, como: deslocamento (defasagem), adição, multiplicação, multiplicações complexas, etc. Isto possibilita implementar filtros, transformadas e operações em ponto flutuante mais eficientemente [56]. Neste sentido torna-se viável a substituição de circuitos convencionais implementados em eletrônica de potência.

Para a programação e posterior implementação da tecnologia via FPGA, é necessário utilizar alguma linguagem que seja capaz de modelar a estrutura e/ou o comportamento de um *hardware*, sendo esta linguagem, denominada de linguagem de descrição de *hardware* (*HDL*).

Existem dois aspectos importantes para a descrição de um *hardware* que uma HDL pode facilitar: o verdadeiro comportamento abstrato e a estrutura do *hardware*. O comportamento abstrato significa que uma linguagem de descrição de *hardware* é estruturada de maneira a facilitar a descrição abstrata do comportamento do *hardware* para propósitos de especificação, sendo o comportamento modelado e representado em vários níveis de abstração durante o projeto. Já a estrutura de *hardware*, possibilita o modelamento de uma estrutura de *hardware* em uma linguagem de descrição independente do comportamento do circuito. Desta forma, pode-se programar em HDL, o comportamento do circuito ou os seus elementos e interligações que o mesmo deve conter. As linguagens de descrição de *hardware* proporcionam uma interface comum entre as equipes de desenvolvimento de sistemas e entre ferramentas de desenvolvimento, permitindo uma forma de intercâmbio de informações comum em todos os níveis de desenvolvimento do projeto. Além disso, a implantação de um sistema em HDL possibilita a incorporação de melhorias em projetos de longa vida útil. Alguns exemplos de linguagens HDL são: VHDL, VERILOG, AHDL, Handel-C, SDL, ISP, dentre outras.

A linguagem VHDL é uma linguagem padronizada para descrever componentes digitais, permitindo a transferência de componentes ou projetos para qualquer tecnologia em construção de *hardware* existente ou que ainda será desenvolvida. A linguagem VHDL firmou-se como padrão internacional, e desta forma, toda ferramenta comercial de síntese de circuitos aceita ao menos um subconjunto do VHDL. A utilização desta linguagem manifestou-se em diversos aspectos do projeto, desde a documentação do sistema, simulação em diversos níveis, simplifica a migração tecnológica até a reutilização de recursos já programados.

O surgimento da VHDL se fez necessário devido ao rápido avanço tecnológico alcançado pelas indústrias de circuito integrado, tendo como ápice a tecnologia de alta velocidade VHSIC (*Very High Speed Integrated Circuit*), o que permitia uma maior integração e conseqüentemente uma maior complexidade de circuitos contidos numa mesma pastilha. Algumas vantagens da utilização desta linguagem estão na redução do tempo e custo de desenvolvimento; maior nível de abstração; projetos independentes da tecnologia e na facilidade de atualização dos projetos. Além disso, o VHDL foi adotado como uma linguagem padrão IEEE (*Institute of Electrical and Electronics Engineers*), facilitando a migração de código entre diversas ferramentas comerciais de simulação e assegurando o sucesso da linguagem.

Em VHDL existem duas formas para descrição de circuitos digitais: a estrutural e a comportamental. A forma estrutural, que remete à estrutura do *hardware*, é uma descrição

idêntica ao circuito esquemático, utilizando-se de bibliotecas específicas do software (Portas AND, OR, NAND, etc.). Já a forma comportamental, não está vinculada a um circuito e sim a uma idéia a ser implementada. Portanto, a descrição comportamental é uma forma trivial de programação, como a linguagem C++, por exemplo, dando mais liberdade ao projetista na busca de uma otimização do projeto. Esta metodologia facilita a descrição de circuitos onde a estrutura interna não está disponível, mas o seu funcionamento e comportamento podem ser interpretados. No entanto, é comum a utilização de ambas as maneiras para o projeto de um sistema mais complexo. Em relação à programação via comportamento, tem-se a vantagem da redução do número de elementos que o projetista deve gerenciar e que o projeto pode ser desenvolvido sem levar em consideração informações sobre a estrutura final, a tecnologia alvo e os detalhes de implementação. Além disso, VHDL foi desenvolvida para modelar todos os níveis de um projeto, podendo descrever desde transistores de baixo-nível até sistemas altamente complexos. Esta linguagem pode suportar rotinas matemáticas extremamente complexas e permite a descrição da estrutura de um sistema através de subsistemas e como os mesmos estão interconectados.

Dentro do VHDL, se destacam as metodologias de projeto do tipo *bottom-up* ou *top-down*. A metodologia é denominada de *bottom-up* quando o projetista implementa o sistema a partir de componentes básicos, como por exemplo, portas lógicas e transistores, ou através de componentes primitivos presentes em bibliotecas. Esta metodologia usualmente requer uma fase anterior de projeto onde o sistema é subdividido em pequenos blocos. A metodologia de projeto *top-down* pode ser considerada como a metodologia de projeto mais tradicional, onde o projetista implementa o sistema a partir de sua especificação funcional e somente depois é utilizado algum processo de síntese para obter os detalhes finais de implementação.

A descrição do projeto *top-down* codificada, utilizando VHDL, pode ser simulada utilizando um determinado conjunto de estímulos. Uma vez constatada a funcionalidade do projeto, a descrição em VHDL pode ser sintetizada para a tecnologia alvo e este circuito também pode ser simulado a fim de verificar a validade do modelo em *hardware*.

Um dos principais benefícios da utilização de metodologias de projeto do tipo *top-down*, em conjunto com códigos de descrição de hardware, está no fato de que todo o processo de desenvolvimento pode ser efetuado em um formato comum, num nível de abstração elevado e possibilita a utilização de ferramentas de automação de projetos de forma eletrônica (EDA – *Electronic Design Automation*) desenvolvidas por outros fabricantes, no intuito de facilitar a concepção e implementação do projeto [59 e 60].

APÊNDICE B

B – Código VHDL – Modulação por histerese

Componente: “Gerenciador Controle”

```

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

entity gerenciador_controle is
  Port ( Clk_in_gerCont : in std_logic:=0';
         Sclk_1_gerCont : out std_logic:=0';
         Sclk_2_gerCont : out std_logic:=0';
         Sclk_3_gerCont : out std_logic:=0';
         Sclk_gerCont : out std_logic:=0';
         CS_Sepic_1_gerCont : out std_logic:=0';
         CS_Sepic_2_gerCont : out std_logic:=0';
         CS_Sepic_3_gerCont : out std_logic:=0';
         CS_IRetifl_gerCont : out std_logic:=0';
         D_in_gerCont : in std_logic:=0';
         D_in_1_gerCont : in std_logic:=0';
         D_in_2_gerCont : in std_logic:=0';
         D_in_3_gerCont : in std_logic:=0';
         SW5_Aquisicao_gerCont : in std_logic:=0';
         PulsoSEPIC_1_gerCont : out std_logic:=0';
         PulsoSEPIC_2_gerCont : out std_logic:=0';
         PulsoSEPIC_3_gerCont : out std_logic:=0' );
end gerenciador_controle;

architecture Behavioral of gerenciador_controle is
  component aquisicao_gerenciador
    Port ( Clk_in_gerAq : in std_logic:=0';
          Sclk_1_gerAq : out std_logic:=0';
          Sclk_2_gerAq : out std_logic:=0';
          Sclk_3_gerAq : out std_logic:=0';
          Sclk_gerAq : out std_logic:=0';
          CS_Sepic_1_gerAq : out std_logic:=0';
          CS_Sepic_2_gerAq : out std_logic:=0';
          CS_Sepic_3_gerAq : out std_logic:=0';
          CS_IRetifl_gerAq : out std_logic:=0';
          D_in_gerAq : in std_logic:=0';
          D_in_1_gerAq : in std_logic:=0';
          D_in_2_gerAq : in std_logic:=0';
          D_in_3_gerAq : in std_logic:=0';
          dado_gerAq : out std_logic_vector(7 downto 0):="00000000";
          dado_1_gerAq : out std_logic_vector(7 downto 0):="00000000";
          dado_2_gerAq : out std_logic_vector(7 downto 0):="00000000";
          dado_3_gerAq : out std_logic_vector(7 downto 0):="00000000";
          SW4_SEPICs_gerCont : in std_logic:=0';
          Semiciclo_Va_gerCont : in std_logic:=0';
          Semiciclo_Vb_gerCont : in std_logic:=0';
          Semiciclo_Vc_gerCont : in std_logic:=0';
          SW5_Aquisicao_gerAq : in std_logic:=0' );
  end component;
  component gerenciador_offset_aquisicao

```

```

Port (   gerOffset_Clk: in std_logic:=0';
        gerOffset_IRetifl : in std_logic_vector(7 downto 0):="00000000";
        gerOffset_SW5_Aquisicao: in std_logic:=0';
        gerOffset_In1 : in std_logic_vector(7 downto 0):="00000000";
        gerOffset_In1_offset : out std_logic_vector(7 downto 0):="00000000";
        gerOffset_In2 : in std_logic_vector(7 downto 0):="00000000";
        gerOffset_In2_offset : out std_logic_vector(7 downto 0):="00000000";
        gerOffset_In3 : in std_logic_vector(7 downto 0):="00000000";
        gerOffset_In3_offset : out std_logic_vector(7 downto 0):="00000000" );
end component;
component gerenciador_GeraRefSEPIC
  Port (   clk_gerRef : in std_logic:=0';
          Iretifl_gerRef : in std_logic_vector(7 downto 0):="00000000";
          Isin_1_gerRef : in std_logic_vector (7 downto 0):="00000000";
          Isin_2_gerRef : in std_logic_vector (7 downto 0):="00000000";
          Isin_3_gerRef : in std_logic_vector (7 downto 0):="00000000";
          IsenRef_1_gerRef : out std_logic_vector(8 downto 0):="000000000";
          IsenRef_2_gerRef : out std_logic_vector(8 downto 0):="000000000";
          IsenRef_3_gerRef : out std_logic_vector(8 downto 0):="000000000" );
end component;
component Sinal_sin_gerenciador
  Port (   Clk_in_gerSin: in std_logic:=0';
          Semiciclo_Va_gerSin: in std_logic:=0';
          Semiciclo_Vb_gerSin: in std_logic:=0';
          Semiciclo_Vc_gerSin: in std_logic:=0';
          SW5_Aquisicao_gerSin: in std_logic:=0';
          Isin_1_gerSin : out std_logic_vector (7 downto 0):="00000000";
          Isin_2_gerSin : out std_logic_vector (7 downto 0):="00000000";
          Isin_3_gerSin : out std_logic_vector (7 downto 0):="00000000" );
end component;
component Modulador_Histerese_gerenciador
  port(   Clk_Mod_gerHist: in std_logic:=0';
          Iin_1_gerHist : in std_logic_vector (7 downto 0):="00000000";
          Iin_2_gerHist : in std_logic_vector (7 downto 0):="00000000";
          Iin_3_gerHist : in std_logic_vector (7 downto 0):="00000000";
          Ref_Sin_1_gerHist : in std_logic_vector (8 downto 0):="000000000";
          Ref_Sin_2_gerHist : in std_logic_vector (8 downto 0):="000000000";
          Ref_Sin_3_gerHist : in std_logic_vector (8 downto 0):="000000000";
          On_Sp1_gerHist: in std_logic:=0';
          On_Sp2_gerHist: in std_logic:=0';
          On_Sp3_gerHist: in std_logic:=0';
          PulsoSEPIC_1_gerHist: out std_logic:=0';
          PulsoSEPIC_2_gerHist: out std_logic:=0';
          PulsoSEPIC_3_gerHist: out std_logic:=0' );
end component;
component Barramento_Va_Vb_Vc
  Port (   Clk_in: in std_logic:=0';
          Clk_20us: out std_logic:=0';
          On_sp1: out std_logic:=0';
          On_sp2: out std_logic:=0';
          On_sp3: out std_logic:=0';
          SW5_Aquisicao: in std_logic:=0';
          SW4_SEPICs: in std_logic:=0';
          Semiciclo_Va: in std_logic:=0';
          Semiciclo_Vb: in std_logic:=0';
          Semiciclo_Vc: in std_logic:=0';
          Semiciclo_Va_out: out std_logic:=0';
          Semiciclo_Vb_out: out std_logic:=0';
          Semiciclo_Vc_out: out std_logic:=0' );
end component;

```

```

Signal Sinal_dado: std_logic_vector(7 downto 0):="00000000";
Signal Sinal_dado_1: std_logic_vector(7 downto 0):="00000000";
Signal Sinal_dado_2: std_logic_vector(7 downto 0):="00000000";
Signal Sinal_dado_3: std_logic_vector(7 downto 0):="00000000";
Signal Sinal_In1_Offset: std_logic_vector(7 downto 0):="00000000";
Signal Sinal_In2_Offset: std_logic_vector(7 downto 0):="00000000";
Signal Sinal_In3_Offset: std_logic_vector(7 downto 0):="00000000";
Signal Sinal_Isin_1: std_logic_vector(7 downto 0):="00000000";
Signal Sinal_Isin_2: std_logic_vector(7 downto 0):="00000000";
Signal Sinal_Isin_3: std_logic_vector(7 downto 0):="00000000";
Signal Sinal_Ref_Sin_1: std_logic_vector(8 downto 0):="000000000";
Signal Sinal_Ref_Sin_2: std_logic_vector(8 downto 0):="000000000";
Signal Sinal_Ref_Sin_3: std_logic_vector(8 downto 0):="000000000";
Signal Sinal_On_sp1: std_logic:= '0';
Signal Sinal_On_sp2: std_logic:= '0';
Signal Sinal_On_sp3: std_logic:= '0';
Signal Sinal_Semiciclo_Va: std_logic:= '0';
Signal Sinal_Semiciclo_Vb: std_logic:= '0';
Signal Sinal_Semiciclo_Vc: std_logic:= '0';
begin

Inst_aquisicao_gerenciadord : aquisicao_gerenciadord port map
(
  Clk_in_gerAq      => Clk_in_gerCont,
  Clk_200ns_gerAq  => Sinal_Clk_200ns,
  Sclk_1_gerAq     => Sclk_1_gerCont,
  Sclk_2_gerAq     => Sclk_2_gerCont,
  Sclk_3_gerAq     => Sclk_3_gerCont,
  Sclk_gerAq       => Sclk_gerCont,
  CS_Sepic_1_gerAq => CS_Sepic_1_gerCont,
  CS_Sepic_2_gerAq => CS_Sepic_2_gerCont,
  CS_Sepic_3_gerAq => CS_Sepic_3_gerCont,
  CS_IRetifl_gerAq => CS_IRetifl_gerCont,
  D_in_gerAq       => D_in_gerCont,
  D_in_1_gerAq     => D_in_1_gerCont,
  D_in_2_gerAq     => D_in_2_gerCont,
  D_in_3_gerAq     => D_in_3_gerCont,
  dado_gerAq       => Sinal_dado,
  dado_1_gerAq     => Sinal_dado_1,
  dado_2_gerAq     => Sinal_dado_2,
  dado_3_gerAq     => Sinal_dado_3,
  SW5_Aquisicao_gerAq => SW5_Aquisicao_gerCont );

Inst_gerenciadord_offset_aquisicao: gerenciadord_offset_aquisicao port map
(
  gerOffset_SW5_Aquisicao => SW5_Aquisicao_gerCont,
  gerOffset_Clk          => Clk_in_gerCont,
  gerOffset_IRetifl      => Sinal_dado,
  gerOffset_In1          => Sinal_dado_1,
  gerOffset_In2          => Sinal_dado_2,
  gerOffset_In3          => Sinal_dado_3,
  gerOffset_In1_offset   => Sinal_In1_Offset,
  gerOffset_In2_offset   => Sinal_In2_Offset,
  gerOffset_In3_offset   => Sinal_In3_Offset );

Inst_gerenciadord_GeraRefSEPIC: gerenciadord_GeraRefSEPIC port map
(
  clk_gerRef      => Sinal_Clk_fs,
  Isin_1_gerRef   => Sinal_Isin_1,
  Isin_2_gerRef   => Sinal_Isin_2,
  Isin_3_gerRef   => Sinal_Isin_3,
  Iretifl_gerRef  => Sinal_dado,
  IsenRef_1_gerRef => Sinal_Ref_Sin_1,

```

```

        IsenRef_2_gerRef => Sinal_Ref_Sin_2,
        IsenRef_3_gerRef => Sinal_Ref_Sin_3 );
Inst_Sinal_sin_gerenciador: Sinal_sin_gerenciador port map
(
    Clk_in_gerSin      => Clk_in_gerCont,
    Semiciclo_Va_gerSin => Sinal_Semiciclo_Va,
    Semiciclo_Vb_gerSin => Sinal_Semiciclo_Vb,
    Semiciclo_Vc_gerSin => Sinal_Semiciclo_Vc,
    SW5_Aquisicao_gerSin => SW5_Aquisicao_gerCont,
    SW4_SEPICs        => SW4_SEPICs_gerCont,
    Isin_1_gerSin     => Sinal_Isin_1,
    Isin_2_gerSin     => Sinal_Isin_2,
    Isin_3_gerSin     => Sinal_Isin_3 );

Inst_Modulador_Histerese_gerenciador: Modulador_Histerese_gerenciador port map
(
    Clk_Mod_gerHist    => Clk_in_gerCont,
    Iin_1_gerHist     => Sinal_Iin1_Offset,
    Iin_2_gerHist     => Sinal_Iin2_Offset,
    Iin_3_gerHist     => Sinal_Iin3_Offset,
    On_Sp1_gerHist    => Sinal_On_sp1,
    On_Sp2_gerHist    => Sinal_On_sp2,
    On_Sp3_gerHist    => Sinal_On_sp3,
    Ref_Sin_1_gerHist => Sinal_Ref_Sin_1,
    Ref_Sin_2_gerHist => Sinal_Ref_Sin_2,
    Ref_Sin_3_gerHist => Sinal_Ref_Sin_3,
    PulsoSEPIC_1_gerHist => PulsoSEPIC_1_gerCont,
    PulsoSEPIC_2_gerHist => PulsoSEPIC_2_gerCont,
    PulsoSEPIC_3_gerHist => PulsoSEPIC_3_gerCont );

Inst_Barramento_Va_Vb_Vc: Barramento_Va_Vb_Vc port map
(
    Clk_in           => Clk_in_gerCont,
    Clk_20us        => Sinal_Clk_fs,
    On_sp1          => Sinal_On_sp1,
    On_sp2          => Sinal_On_sp2,
    On_sp3          => Sinal_On_sp3,
    SW5_Aquisicao    => SW5_Aquisicao_gerCont,
    SW4_SEPICs      => SW4_SEPICs_gerCont,
    Semiciclo_Va    => Semiciclo_Va_gerCont,
    Semiciclo_Vb    => Semiciclo_Vb_gerCont,
    Semiciclo_Vc    => Semiciclo_Vc_gerCont,
    Semiciclo_Va_out => Sinal_Semiciclo_Va,
    Semiciclo_Vb_out => Sinal_Semiciclo_Vb,
    Semiciclo_Vc_out => Sinal_Semiciclo_Vc );
end Behavioral;

```

Componente: "aquisicao_gerenciador"

```

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

entity aquisicao_gerenciador is
    Port ( Clk_in_gerAq : in std_logic:=0';
          Sclk_1_gerAq : out std_logic:=0';
          Sclk_2_gerAq : out std_logic:=0';
          Sclk_3_gerAq : out std_logic:=0';
          Sclk_gerAq   : out std_logic:=0';
          CS_Sepic_1_gerAq : out std_logic:=0';
          CS_Sepic_2_gerAq : out std_logic:=0';
          CS_Sepic_3_gerAq : out std_logic:=0';

```



```

    CS_IRetifl_gerAq : out std_logic:=0';
    D_in_gerAq : in std_logic:=0';
    D_in_1_gerAq : in std_logic:=0';
    D_in_2_gerAq : in std_logic:=0';
    D_in_3_gerAq : in std_logic:=0';
    dado_gerAq : out std_logic_vector(7 downto 0):="00000000";
    dado_1_gerAq : out std_logic_vector(7 downto 0):="00000000";
    dado_2_gerAq : out std_logic_vector(7 downto 0):="00000000";
    dado_3_gerAq : out std_logic_vector(7 downto 0):="00000000";
    SW5_Aquisicao_gerAq : in std_logic:=0' );
end aquisicao_gerenciador;

architecture Behavioral of aquisicao_gerenciador is

component aquisicao
  Port ( Clk_in: in std_logic:=0';
        SW5_Aquisicao: in std_logic:=0';
        D_in: in std_logic:=0';
        CS_8bits : out std_logic:=0';
        Sclk : out std_logic:=0';
        TipoAquisicao : in std_logic:=0';
        dado : out std_logic_vector(7 downto 0):="00000000" );
end component;

begin

Inst_aquisicao_Iret1 : aquisicao port map
  (   TipoAquisicao => '0',
      Clk_in       =>   Clk_in_gerAq,
      SW5_Aquisicao =>   SW5_Aquisicao_gerAq,
      D_in         =>   D_in_gerAq,
      CS_8bits     =>   CS_IRetifl_gerAq,
      Sclk         =>   Sclk_gerAq,
      dado         =>   dado_gerAq );

Inst_aquisicao_Sepic1 : aquisicao port map
  (   TipoAquisicao => '1',
      Clk_in       =>   Clk_in_gerAq,
      SW5_Aquisicao =>   SW5_Aquisicao_gerAq,
      D_in         =>   D_in_1_gerAq,
      CS_8bits     =>   CS_Sepic_1_gerAq,
      Sclk         =>   Sclk_1_gerAq,
      dado         =>   dado_1_gerAq );

Inst_aquisicao_Sepic2 : aquisicao port map
  (   TipoAquisicao => '1',
      Clk_in       =>   Clk_in_gerAq,
      SW5_Aquisicao =>   SW5_Aquisicao_gerAq,
      D_in         =>   D_in_2_gerAq,
      CS_8bits     =>   CS_Sepic_2_gerAq,
      Sclk         =>   Sclk_2_gerAq,
      dado         =>   dado_2_gerAq );

Inst_aquisicao_Sepic3 : aquisicao port map
  (   TipoAquisicao => '1',
      Clk_in       =>   Clk_in_gerAq,
      SW5_Aquisicao =>   SW5_Aquisicao_gerAq,
      D_in         =>   D_in_3_gerAq,
      CS_8bits     =>   CS_Sepic_3_gerAq,
      Sclk         =>   Sclk_3_gerAq,
      dado         =>   dado_3_gerAq );
end Behavioral;

```

Componente: “aquisicao” Obs: Referenciado no Capítulo 5 como *Componente “A”*

```

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

entity aquisicao is
  Port ( Clk_in: in std_logic:=0';
        SW5_Aquisicao: in std_logic:=0';
        D_in: in std_logic:=0';
        CS_8bits : out std_logic:=0';
        Sclk : out std_logic:=0';
        TipoAquisicao : in std_logic:=0';
        dado : out std_logic_vector(7 downto 0):="00000000" );
end aquisicao;

architecture Behavioral of aquisicao is

  type estados2 is (S0,S1,S2,S3,S4,S5,S6,S7,S8,S9,S10,S11,off);
  signal Aquis : estados2;

  type estados1 is (start,Son,Soff,Soff_1,Son_1,Son_2,Son_3);
  signal estado : estados1;

  Signal Sinal_Sclk: std_logic:=0';
  Signal Sinal_CS_8bits: std_logic:=0';

Begin

process(Clk_in)
  variable cont: integer range 0 to 63 :=0;
  variable cont_sclk: integer range 0 to 63 :=0;
  variable ValorCont1, ValorCont2 : integer:=0;
  variable ValorEspera : integer:=0;
  constant ValorAq : integer:=12;
begin

if(Clk_in'event and Clk_in='1') then
  if SW5_Aquisicao='0' then estado<=start; end if;
case estado is

  when start => Sclk<='0'; CS_8bits<='0'; cont:=0; cont_sclk:=0;
                Sinal_Sclk<='0'; Sinal_CS_8bits<='0';

-----
-- Escolhe a frequência de aquisição
-----
Taq=2.Tclock.ValorCont1.{ValorAq+ValorEspera} => Taq=Período de aquisição
-----

  if TipoAquisicao='1' then ValorCont1:=4; ValorCont2:=2; ValorEspera:=2;

                        else ValorCont1:=20; ValorCont2:=10; ValorEspera:=13;

  end if;

  if SW5_Aquisicao='1' then estado<=Son; end if;

when Son => Sclk<='1'; CS_8bits<='0'; Sinal_Sclk<='1'; Sinal_CS_8bits<='0';

  cont:=cont+1;

```

```

if cont=ValorCont1 then cont:=0; estado<=Soff; end if;

if SW5_Aquisicao='0' then estado<=start; end if;

when Soff => Sclk<='0'; CS_8bits<='0'; Sinal_Sclk<='0'; Sinal_CS_8bits<='0';

cont:=cont+1;

if cont=ValorCont1 then cont:=0; cont_sclk:=cont_sclk+1;
  if cont_sclk=ValorAq then estado<=Son_1; cont_sclk:=0; else estado<=Son;
  end if;
end if;

if SW5_Aquisicao='0' then estado<=start; end if;

when Son_1 => Sclk<='1'; CS_8bits<='0'; Sinal_Sclk<='1'; Sinal_CS_8bits<='0';

cont:=cont+1;

if cont=ValorCont2 then estado<=Son_2; end if;

if SW5_Aquisicao='0' then estado<=start; end if;

when Son_2 => Sclk<='1'; CS_8bits<='1'; Sinal_Sclk<='1'; Sinal_CS_8bits<='1';

cont:=cont+1;

if cont=ValorCont1 then estado<=Soff_1; cont:=0; end if;

if SW5_Aquisicao='0' then estado<=start; end if;

when Soff_1 => Sclk<='0'; CS_8bits<='1'; Sinal_Sclk<='0'; Sinal_CS_8bits<='1'; cont:=cont+1;

  if cont=ValorCont1 then cont:=0; cont_sclk:=cont_sclk+1;
  if cont_sclk=ValorEspera then estado<=Son_3; cont_sclk:=0; else estado<=Son_2;
  end if;
end if;

if SW5_Aquisicao='0' then estado<=start; end if;

when Son_3 => Sclk<='1'; CS_8bits<='1'; Sinal_Sclk<='1'; Sinal_CS_8bits<='1';

cont:=cont+1;

if cont=ValorCont2 then estado<=Son; end if;

if SW5_Aquisicao='0' then estado<=start; end if;

when others => null;

end case;

end if;

end process;

process(Sinal_Sclk,Sinal_CS_8bits)
  variable D : std_logic_vector(7 downto 0):="00000000";
  variable D_in_temp : std_logic:='0';
  variable D15,D14,D13,D12,D11,D10,D9,D8,D7,D6,D5,D4 : std_logic:='0';

```

```

variable dado_temp : std_logic_vector(7 downto 0):="00000000";
begin

if(Sinal_Sclk'event and Sinal_Sclk='0') then

  if Sinal_CS_8bits='0' then

    D_in_temp:=D_in;

    case Aquis is

      when S0 => D15:=D_in_temp; Aquis <= S1;
      when S1 => D14:=D_in_temp; Aquis <= S2;
      when S2 => D13:=D_in_temp; Aquis <= S3;
      when S3 => D12:=D_in_temp; Aquis <= S4;
      when S4 => D11:=D_in_temp; Aquis <= S5;
      when S5 => D10:=D_in_temp; Aquis <= S6;
      when S6 => D9:=D_in_temp; Aquis <= S7;
      when S7 => D8:=D_in_temp; Aquis <= S8;
      when S8 => D7:=D_in_temp; Aquis <= S9;
      when S9 => D6:=D_in_temp; Aquis <= S10;
      when S10 => D5:=D_in_temp; Aquis <= S11;
      when S11 => D4:=D_in_temp;

      dado_temp:=(D11&D10&D9&D8&D7&D6&D5&D4);

      dado<=dado_temp;

      Aquis <= off;

      when off =>
      when others => null;
    end case;
  else Aquis <= S0;
end if;
end if;
end process;
end Behavioral;

```

Componente: "Barramento Va Vb Vc"

```

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

entity Barramento_Va_Vb_Vc is
  Port (
    Clk_in: in std_logic:= '0';
    Clk_20us: out std_logic:= '0';
    On_sp1: out std_logic:= '0';
    On_sp2: out std_logic:= '0';
    On_sp3: out std_logic:= '0';
    SW5_Aquisicao: in std_logic:= '0';
    SW4_SEPICs: in std_logic:= '0';
    Semiciclo_Va: in std_logic:= '0';
    Semiciclo_Vb: in std_logic:= '0';
    Semiciclo_Vc: in std_logic:= '0';
    Semiciclo_Va_out: out std_logic:= '0';
    Semiciclo_Vb_out: out std_logic:= '0';
    Semiciclo_Vc_out: out std_logic:= '0' );
end Barramento_Va_Vb_Vc;
architecture Behavioral of Barramento_Va_Vb_Vc is

```

```

type estados1 is (Start_1,S1_ON);
signal Estado1 : estados1;
type estados2 is (Start_2,S2_ON);
signal Estado2 : estados2;
type estados3 is (Start_3,S3_ON);
signal Estado3 : estados3;
type estados4 is (Start,S_ON,S_OFF);
signal GeraClock : estados4;
signal Semiciclo_Va_temp: std_logic:=0';
signal Semiciclo_Vb_temp: std_logic:=0';
signal Semiciclo_Vc_temp: std_logic:=0';
begin

process(Clk_in)
  variable j: integer range 0 to 511 :=0;
begin

if(Clk_in'event and Clk_in='1') then

  if SW5_Aquisicao='0' then GeraClock<=Start; end if;

case GeraClock is

  when Start =>  j:=0;  Clk_20us<='0';

    if SW5_Aquisicao='1' then GeraClock<=S_ON; end if;

  when S_ON =>      Clk_20us<='1';    j:=j+1;

    if j=500 then j:=0; GeraClock<=S_OFF; end if;

    if SW5_Aquisicao='0' then GeraClock<=Start; end if;

  when S_OFF =>      Clk_20us<='0';    j:=j+1;

    if j=500 then j:=0; GeraClock<=S_ON; end if;

    if SW5_Aquisicao='0' then GeraClock<=Start; end if;

end case;
  Semiciclo_Va_temp<=Semiciclo_Va;
  Semiciclo_Vb_temp<=Semiciclo_Vb;
  Semiciclo_Vc_temp<=Semiciclo_Vc;
  Semiciclo_Va_out<=Semiciclo_Va_temp;
  Semiciclo_Vb_out<=Semiciclo_Vb_temp;
  Semiciclo_Vc_out<=Semiciclo_Vc_temp;
end if;
end process;

process (Semiciclo_Va_temp,Semiciclo_Vb_temp,Semiciclo_Vc_temp)
begin
if(Semiciclo_Va_temp'event and Semiciclo_Va_temp='1') then

  if SW4_SEPICs='0' then Estado1<=Start_1; end if;

case Estado1 is

  when Start_1 =>  On_sp1<='0';

    if SW4_SEPICs='1' then Estado1<=S1_ON;end if;

```

```

when S1_ON => On_sp1<='1';

    if SW4_SEPICs='0' then Estado1<=Start_1; end if;

end case;

end if;

if(Semiciclo_Vb_temp'event and Semiciclo_Vb_temp='1') then

    if SW4_SEPICs='0' then Estado2<=Start_2; end if;

case Estado2 is

when Start_2 => On_sp2<='0';

    if SW4_SEPICs='1' then Estado2<=S2_ON; end if;

when S2_ON => On_sp2<='1';

    if SW4_SEPICs='0' then Estado2<=Start_2; end if;

end case;

end if;

if(Semiciclo_Vc_temp'event and Semiciclo_Vc_temp='1') then

    if SW4_SEPICs='0' then Estado3<=Start_3; end if;

case Estado3 is

when Start_3 => On_sp3<='0';

    if SW4_SEPICs='1' then Estado3<=S3_ON; end if;

when S3_ON => On_sp3<='1';

    if SW4_SEPICs='0' then Estado3<=Start_3; end if;

end case;

end if;

end process;

end Behavioral;

```

Componente: "gerenciador_gerarefsepic" Obs: no Capítulo 5 Componente "D"

```

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

entity gerenciador_GeraRefSEPIC is
    Port ( clk_gerRef : in std_logic:= '0';
          Iretif1_gerRef : in std_logic_vector(7 downto 0):="00000000";
          Isin_1_gerRef : in std_logic_vector (7 downto 0):="00000000";
          Isin_2_gerRef : in std_logic_vector (7 downto 0):="00000000";
          Isin_3_gerRef : in std_logic_vector (7 downto 0):="00000000";
          IsenRef_1_gerRef : out std_logic_vector(8 downto 0):="0000000000";
          IsenRef_2_gerRef : out std_logic_vector(8 downto 0):="0000000000";
          IsenRef_3_gerRef : out std_logic_vector(8 downto 0):="0000000000" );
end gerenciador_GeraRefSEPIC;

```

```

architecture Behavioral of gerenciador_GeraRefSEPIC is
attribute box_type : string;
component gerarefsepic10_clk_wrapper

  Port ( ce : in std_logic:= '1';
         clk : in std_logic:= '0';
         Isen1 : in std_logic_vector(7 downto 0):="00000000";
         Isen2 : in std_logic_vector(7 downto 0):="00000000";
         Isen3 : in std_logic_vector(7 downto 0):="00000000";
         Iretif1 : in std_logic_vector(7 downto 0):="00000000";
         IsenRef1 : out std_logic_vector(8 downto 0):="000000000";
         IsenRef2 : out std_logic_vector(8 downto 0):="000000000";
         IsenRef3 : out std_logic_vector(8 downto 0):="000000000" );
end component;

attribute box_type of gerarefsepic10_clk_wrapper : component is "black_box";
begin
Inst_gerarefsepic_clk_wrapper: gerarefsepic10_clk_wrapper port map
(
  ce      => '1',
  clk     => clk_gerRef,
  Isen1   => Isin_1_gerRef,
  Isen2   => Isin_2_gerRef,
  Isen3   => Isin_3_gerRef,
  Iretif1 => Iretif1_gerRef,
  IsenRef1 => IsenRef_1_gerRef,
  IsenRef2 => IsenRef_2_gerRef,
  IsenRef3 => IsenRef_3_gerRef );
end Behavioral;

```

Componente: "gerenciador_offset_aquisicao"

```

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

entity gerenciador_offset_aquisicao is
  Port ( gerOffset_Clk : in std_logic:= '0';
         gerOffset_IRetif1 : in std_logic_vector(7 downto 0):="00000000";
         gerOffset_SW5_Aquisicao : in std_logic:= '0';
         gerOffset_Iin1 : in std_logic_vector(7 downto 0):="00000000";
         gerOffset_Iin1_offset : out std_logic_vector(7 downto 0):="00000000";
         gerOffset_Iin2 : in std_logic_vector(7 downto 0):="00000000";
         gerOffset_Iin2_offset : out std_logic_vector(7 downto 0):="00000000";
         gerOffset_Iin3 : in std_logic_vector(7 downto 0):="00000000";
         gerOffset_Iin3_offset : out std_logic_vector(7 downto 0):="00000000" );
end gerenciador_offset_aquisicao;

architecture Behavioral of gerenciador_offset_aquisicao is
  component Offset_aquisicao
  Port ( Clk_Offset : in std_logic:= '0';
        SW5_Aquisicao : in std_logic:= '0';
        Iin : in std_logic_vector(7 downto 0):="00000000";
        IRetif1 : in std_logic_vector(7 downto 0):="00000000";
        Iin_offset : out std_logic_vector(7 downto 0):="00000000" );
  end component;
begin
  Inst_Offset_aquisicao_Sepic1 : Offset_aquisicao port map
  (
    Clk_Offset      => gerOffset_Clk,
    SW5_Aquisicao   => gerOffset_SW5_Aquisicao,

```

```

        Iin           => gerOffset_Iin1,
        IRetifl      => gerOffset_IRetifl,
        Iin_offset   => gerOffset_Iin1_offset );

Inst_Offset_aquisicao_Sepic2 : Offset_aquisicao port map
(
    Clk_Offset      => gerOffset_Clk,
    SW5_Aquisicao    => gerOffset_SW5_Aquisicao,
    Iin             => gerOffset_Iin2,
    IRetifl         => gerOffset_IRetifl,
    Iin_offset      => gerOffset_Iin2_offset );

Inst_Offset_aquisicao_Sepic1 : Offset_aquisicao port map
(
    Clk_Offset      => gerOffset_Clk,
    SW5_Aquisicao    => gerOffset_SW5_Aquisicao,
    Iin             => gerOffset_Iin3,
    IRetifl         => gerOffset_IRetifl,
    Iin_offset      => gerOffset_Iin3_offset );
end Behavioral;

```

Componente: "Offset_aquisicao"

```

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

entity Offset_aquisicao is
Port (
    Clk_Offset : in std_logic:= '0';
    SW5_Aquisicao : in std_logic:= '0';
    Iin : in std_logic_vector(7 downto 0):="00000000";
    IRetifl : in std_logic_vector(7 downto 0):="00000000";
    Iin_offset : out std_logic_vector(7 downto 0):="00000000" );
end Offset_aquisicao;

architecture Behavioral of Offset_aquisicao is
    type estados is (Stemp,Son);
    signal Estado_offset : estados;
    type estados4 is (Start_4,S4_ON,S4_OFF);
    signal Estado4 : estados4;
    signal Aquis_partida : std_logic:= '0';
begin

    process(Clk_Offset)
        variable Iin_offset_var : std_logic_vector(7 downto 0):="00000000";
        variable Iin_var : std_logic_vector(7 downto 0):="00000000";
        variable IRetifl_var : std_logic_vector(7 downto 0):="00000000";
        variable dif1, dif2 : std_logic_vector(7 downto 0):="00000000";
        variable j: integer range 0 to 1023 :=0;
    begin

        if(Clk_Offset'event and Clk_Offset='1') then
            Iin_var:=Iin;
            IRetifl_var:=IRetifl;
            if SW5_Aquisicao='0' then Estado4<=Start_4; end if;

        case Estado4 is

        when Start_4 =>
            Aquis_partida<='0'; j:=0;

            if SW5_Aquisicao='1' then Estado4<=S4_OFF; end if;

```



```

when S4_OFF =>      Aquis_partida<='0';    j:=j+1;

    if j=1000 then j:=0; Estado4<=S4_ON; end if;

    if SW5_Aquisicao='0' then Estado4<=Start_4; end if;

when S4_ON =>      Aquis_partida<='1';

    if SW5_Aquisicao='0' then Estado4<=Start_4; end if;

end case;

    if Aquis_partida='0' then Estado_offset<=Stemp; end if;

case Estado_offset is

when Stemp =>

    if IRetifl_var>Iin_var then dif1:=IRetifl_var-Iin_var; dif2:="00000000";
    elsif Iin_var>IRetifl_var then dif2:=Iin_var-IRetifl_var; dif1:="00000000";
    else dif1:="00000000"; dif2:="00000000";
    end if;

    if Aquis_partida='1' then Estado_offset<=Son; end if;

when Son =>

    if Iin_var<dif2 then Iin_offset_var:="00000000"; else Iin_offset_var:=Iin_var+dif1-dif2;
    end if;
    if Aquis_partida='0' then Estado_offset<=Stemp; end if;

when others =>. null;

end case;

    Iin_offset<=Iin_offset_var;

end if;
end process;
end Behavioral;

```

Componente: "Modulador_Histerese_gerenciator"

```

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

entity Modulador_Histerese_gerenciator is
port(   Clk_Mod_gerHist: in std_logic:=0';
        Iin_1_gerHist : in std_logic_vector (7 downto 0):="00000000";
        Iin_2_gerHist : in std_logic_vector (7 downto 0):="00000000";
        Iin_3_gerHist : in std_logic_vector (7 downto 0):="00000000";
        Ref_Sin_1_gerHist : in std_logic_vector (8 downto 0):="000000000";
        Ref_Sin_2_gerHist : in std_logic_vector (8 downto 0):="000000000";
        Ref_Sin_3_gerHist : in std_logic_vector (8 downto 0):="000000000";
        On_Sp1_gerHist: in std_logic:=0';
        On_Sp2_gerHist: in std_logic:=0';
        On_Sp3_gerHist: in std_logic:=0';
        PulsoSEPIC_1_gerHist: out std_logic:=0';
        PulsoSEPIC_2_gerHist: out std_logic:=0';
        PulsoSEPIC_3_gerHist: out std_logic:=0' );
end Modulador_Histerese_gerenciator;

```

```

architecture Behavioral of Modulador_Histerese_gerenciador is
component Modulador_Histerese
port( Clk_Mod: in std_logic:=0';
      Iin : in std_logic_vector (7 downto 0):="00000000";
      Ref_Sin : in std_logic_vector (8 downto 0):="000000000";
      Pulso_SEPIC: out std_logic:=0';
      On_Sp: in std_logic:=0' );
end component;
begin
Inst_Modulador_Histerese1 : Modulador_Histerese port map
( Clk_Mod => Clk_Mod_gerHist,
  Iin => Iin_1_gerHist,
  Ref_Sin => Ref_Sin_1_gerHist,
  Pulso_SEPIC => PulsoSEPIC_1_gerHist,
  On_Sp => On_Sp1_gerHist );
Inst_Modulador_Histerese2 : Modulador_Histerese port map
( Clk_Mod => Clk_Mod_gerHist,
  Iin => Iin_2_gerHist,
  Ref_Sin => Ref_Sin_2_gerHist,
  Pulso_SEPIC => PulsoSEPIC_2_gerHist,
  On_Sp => On_Sp2_gerHist );
Inst_Modulador_Histerese3 : Modulador_Histerese port map
( Clk_Mod => Clk_Mod_gerHist,
  Iin => Iin_3_gerHist,
  Ref_Sin => Ref_Sin_3_gerHist,
  Pulso_SEPIC => PulsoSEPIC_3_gerHist,
  On_Sp => On_Sp3_gerHist );
end Behavioral;

```

Componente: "Modulador_Histerese" Obs: No Capítulo 5 : Componente "D"

```

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

entity Modulador_Histerese is
port( Clk_Mod: in std_logic:=0';
      Control_Isin: in std_logic:=0';
      Iin : in std_logic_vector (7 downto 0):="00000000";
      Ref_Sin : in std_logic_vector (8 downto 0):="000000000";
      Pulso_SEPIC: out std_logic:=0';
      On_Sp: in std_logic:=0' );
end Modulador_Histerese;
architecture Behavioral of Modulador_Histerese is

type estados2 is (SP2_Start,SP2_On,SP2_On_Pulso,SP2_Off,
                 SP2_transicao_Off_0, SP2_transicao_On_1, SP2_OverCurrent);
signal Gate_Sepic : estados2;
signal Sinal_Clock : std_logic:=0';
type estados4 is (Start,S_ON,S_OFF);
signal GeraClock : estados4;
begin

process(Clk_Mod)
variable j: integer range 0 to 511 :=0;
variable On_Sp_var : std_logic:=0';
begin
if(Clk_Mod'event and Clk_Mod='1') then On_Sp_var:=On_Sp;

```

```

    if On_Sp_var='0' then GeraClock<=Start; end if;

case GeraClock is

when Start => Sinal_Clock<='0'; j:=0;

    if On_Sp='1' then GeraClock<=S_ON; end if;

when S_ON => Sinal_Clock<='1'; j:=j+1;

    if j=6 then j:=0; GeraClock<=S_OFF; end if;
    if On_Sp='0' then GeraClock<=Start; end if;

when S_OFF => Sinal_Clock<='0'; j:=j+1;

    if j=6 then j:=0; GeraClock<=S_ON; end if;

    if On_Sp='0' then GeraClock<=Start; end if;
end case;

end if;
end process;

process(Sinal_Clock)
    constant Iin_Pico : std_logic_vector (8 downto 0):="010101010";
    variable On_Sp_var : std_logic:= '0';
    variable Iin_var : std_logic_vector (8 downto 0):="000000000";
    variable Ref_Sin_temp : std_logic_vector (8 downto 0):="000000000";
    variable cont_Off: integer range 0 to 300:=0;
    variable cont_On: integer range 0 to 2000:=0;
    constant Ton : integer:=60;
begin

if(Sinal_Clock'event and Sinal_Clock='1') then On_Sp_var:=On_Sp;

    Iin_var:=(0&Iin);

    if Ref_Sin_temp>"010100000" then Ref_Sin_temp:="010100000"; else Ref_Sin_temp:=Ref_Sin;
    end if;

    if On_Sp_var='0' then Gate_Sepic<=SP2_Start; end if;

case Gate_Sepic is

when SP2_Start => Pulso_SEPIC<='0'; Gate_Sepic<=SP2_Start;

    if On_Sp_var='1' then Gate_Sepic<=SP2_On_Pulso; end if;

when SP2_On => Pulso_SEPIC<='1'; Gate_Sepic<=SP2_On; cont_On:=0;

    if Iin_var>=Ref_Sin_temp then Gate_Sepic<=SP2_On_Pulso; cont_Off:=0;
    end if;

    if On_Sp_var='0' then Gate_Sepic<=SP2_Start; end if;

    if Iin_var>=Iin_Pico then Gate_Sepic<=SP2_OverCurrent; Pulso_SEPIC<='0'; end if;

when SP2_On_Pulso => Pulso_SEPIC<='1'; Gate_Sepic<=SP2_On_Pulso; cont_On:=cont_On+1;

    if cont_On>=Ton then Gate_Sepic<=SP2_transicao_Off_0; cont_Off:=0; end if;

```

```

    if On_Sp_var='0' then Gate_Sepic<=SP2_Start; end if;

    if Iin_var>=Iin_Pico then Gate_Sepic<=SP2_OverCurrent; Pulso_SEPIC<='0'; end if;

when SP2_transicao_Off_0 => Pulso_SEPIC<='0'; Gate_Sepic<=SP2_transicao_Off_0; cont_On:=0;
    cont_Off:=cont_Off+1;

    if cont_Off=15 then Gate_Sepic<=SP2_Off; end if;

    if On_Sp_var='0' then Gate_Sepic<=SP2_Start; end if;

    if Iin_var>=Iin_Pico then Gate_Sepic<=SP2_OverCurrent; Pulso_SEPIC<='0'; end if;

when SP2_Off => Pulso_SEPIC<='0'; Gate_Sepic<=SP2_Off;

    if Iin_var<=Ref_Sin_temp then Gate_Sepic<=SP2_transicao_On_1; cont_Off:=0; end if;

    if On_Sp_var='0' then Gate_Sepic<=SP2_Start; end if;

    if Iin_var>=Iin_Pico then Gate_Sepic<=SP2_OverCurrent; Pulso_SEPIC<='0';
end if;

when SP2_transicao_On_1 => Pulso_SEPIC<='1'; Gate_Sepic<=SP2_transicao_On_1; cont_Off:=0;
    cont_On:=cont_On+1;

    if cont_On=20 then Gate_Sepic<=SP2_On; end if;

    if On_Sp_var='0' then Gate_Sepic<=SP2_Start; end if;

    if Iin_var>=Iin_Pico then Gate_Sepic<=SP2_OverCurrent; Pulso_SEPIC<='0'; end if;
when SP2_OverCurrent => Pulso_SEPIC<='0'; Gate_Sepic<=SP2_OverCurrent;

    if On_Sp_var='0' then Gate_Sepic<=SP2_Start; end if;

    when others => null;
end case;
end if;
end process;
end Behavioral;

```

Componente: "Sinal_sin_gerenciator"

```

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

entity Sinal_sin_gerenciator is
Port ( Clk_in_gerSin: in std_logic:= '0';
    Semiciclo_Va_gerSin: in std_logic:= '0';
    Semiciclo_Vb_gerSin: in std_logic:= '0';
    Semiciclo_Vc_gerSin: in std_logic:= '0';
    SW5_Aquisicao_gerSin: in std_logic:= '0';
    Isin_1_gerSin : out std_logic_vector (7 downto 0):="00000000";
    Isin_2_gerSin : out std_logic_vector (7 downto 0):="00000000";
    Isin_3_gerSin : out std_logic_vector (7 downto 0):="00000000" );
end Sinal_sin_gerenciator;

architecture Behavioral of Sinal_sin_gerenciator is

component SenoRef

```

```

Port ( Clk_in: in std_logic:=0';
      Semiciclo_Va: in std_logic:=0';
      SW5_Aquisicao: in std_logic:=0';
      Isin_1 : out std_logic_vector (7 downto 0):="00000000" );
end component;

begin

Inst_SenoRef1 : SenoRef port map
(   Clk_in      =>   Clk_in_gerSin,
    Semiciclo_Va =>   Semiciclo_Va_gerSin,
    SW5_Aquisicao =>   SW5_Aquisicao_gerSin,
    Isin_1      =>   Isin_1_gerSin );

Inst_Sen Inst_SenoRef2 : SenoRef port map
(   Clk_in      =>   Clk_in_gerSin,
    Semiciclo_Va =>   Semiciclo_Vb_gerSin,
    SW5_Aquisicao =>   SW5_Aquisicao_gerSin,
    Isin_1      =>   Isin_2_gerSin );

Inst_SenoRef3 : SenoRef port map
(   Clk_in      =>   Clk_in_gerSin,
    Semiciclo_Va =>   Semiciclo_Vc_gerSin,
    SW5_Aquisicao =>   SW5_Aquisicao_gerSin,
    Isin_1      =>   Isin_3_gerSin );

end Behavioral;

```

Componente: “SenoRef” Obs: Referenciado no Capítulo 5 como *Componente “B”*

```

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

entity SenoRef is
Port ( Clk_in: in std_logic:=0';
      Semiciclo_Va: in std_logic:=0';
      SW5_Aquisicao: in std_logic:=0';
      Isin_1 : out std_logic_vector (7 downto 0):="00000000" );
end SenoRef;

architecture Behavioral of SenoRef is
signal Sinal_20us : std_logic:=0';
type estados2 is (Start_2,S0,S1,SONpos);
signal Estado2 : estados2;
type estados4 is (Start,S_ON,S_OFF);
signal GeraClock : estados4;
begin

process(Clk_in)
variable j: integer range 0 to 511 :=0;
begin
if(Clk_in'event and Clk_in='1') then

if SW5_Aquisicao='0' then GeraClock<=Start; end if;

case GeraClock is

when Start => Sinal_20us<='0'; j:=0;

if SW5_Aquisicao='1' then GeraClock<=S_ON; end if;

```

```

when S_ON => Sinal_20us<='1'; j:=j+1;

    if j=500 then j:=0; GeraClock<=S_OFF; end if;

    if SW5_Aquisicao='0' then GeraClock<=Start; end if;

when S_OFF =>      Sinal_20us<='0';

    j:=j+1;

    if j=500 then j:=0; GeraClock<=S_ON; end if;

    if SW5_Aquisicao='0' then GeraClock<=Start; end if;
end case;

end if;

end process;

process (Sinal_20us)
    variable Isin : std_logic_vector (7 downto 0):="00000000";
    variable periodo1,periodo2 : integer range 0 to 418:=0;
    variable periodo : integer range 0 to 417:=0;
begin

if(Sinal_20us'event and Sinal_20us='1') then

    if SW5_Aquisicao='0' then Estado2<=Start_2; end if;

case Estado2 is

when Start_2 =>

    if SW5_Aquisicao='1' then Estado2<=S0; end if;

when S0 =>

    if Semiciclo_Va='1' then Estado2<=S1; end if;

when S1 =>

    if Semiciclo_Va='0' then Estado2<=SONpos; periodo:=0; periodo1:=0; periodo2:=0; end if;

when SONpos =>

case periodo is
when 0    => Isin:="00000001";
when 1    => Isin:="00000010";
when 2    => Isin:="00000100";
when 3    => Isin:="00000110";
when 4    => Isin:="00001000";
when 5    => Isin:="00001010";
when 6    => Isin:="00001100";
when 7    => Isin:="00001110";
when 8    => Isin:="00010000";
when 9    => Isin:="00010010";
when 10   => Isin:="00010100";
when 11   => Isin:="00010110";

```

when	12	=>	Isin:="00011000";
when	13	=>	Isin:="00011001";
when	14	=>	Isin:="00011011";
when	15	=>	Isin:="00011101";
when	16	=>	Isin:="00011111";
when	17	=>	Isin:="00100001";
when	18	=>	Isin:="00100011";
when	19	=>	Isin:="00100101";
when	20	=>	Isin:="00100111";
when	21	=>	Isin:="00101001";
when	22	=>	Isin:="00101011";
when	23	=>	Isin:="00101100";
when	24	=>	Isin:="00101110";
when	25	=>	Isin:="00110000";
when	26	=>	Isin:="00110010";
when	27	=>	Isin:="00110100";
when	28	=>	Isin:="00110110";
when	29	=>	Isin:="00111000";
when	30	=>	Isin:="00111010";
when	31	=>	Isin:="00111100";
when	32	=>	Isin:="00111101";
when	33	=>	Isin:="00111111";
when	34	=>	Isin:="01000001";
when	35	=>	Isin:="01000011";
when	36	=>	Isin:="01000101";
when	37	=>	Isin:="01000111";
when	38	=>	Isin:="01001001";
when	39	=>	Isin:="01001010";
when	40	=>	Isin:="01001100";
when	41	=>	Isin:="01001110";
when	42	=>	Isin:="01010000";
when	43	=>	Isin:="01010010";
when	44	=>	Isin:="01010100";
when	45	=>	Isin:="01010101";
when	46	=>	Isin:="01010111";
when	47	=>	Isin:="01011001";
when	48	=>	Isin:="01011011";
when	49	=>	Isin:="01011101";
when	50	=>	Isin:="01011110";
when	51	=>	Isin:="01100000";
when	52	=>	Isin:="01100010";
when	53	=>	Isin:="01100100";
when	54	=>	Isin:="01100101";
when	55	=>	Isin:="01100111";
when	56	=>	Isin:="01101001";
when	57	=>	Isin:="01101011";
when	58	=>	Isin:="00000101";
when	59	=>	Isin:="00000100";
when	60	=>	Isin:="00000100";
when	61	=>	Isin:="00000100";
when	62	=>	Isin:="00000100";
when	63	=>	Isin:="00000100";
when	64	=>	Isin:="00000011";
when	65	=>	Isin:="00000011";
when	66	=>	Isin:="00000011";
when	67	=>	Isin:="00000011";
when	68	=>	Isin:="00000011";
when	69	=>	Isin:="00000010";
when	70	=>	Isin:="00000010";
when	71	=>	Isin:="00000010";

when	72	=>	Isin:="00000010";
when	73	=>	Isin:="00000010";
when	74	=>	Isin:="00000001";
when	75	=>	Isin:="00000001";
when	76	=>	Isin:="00000001";
when	77	=>	Isin:="00000001";
when	78	=>	Isin:="00000001";
when	79	=>	Isin:="00000010";
when	80	=>	Isin:="00000011";
when	81	=>	Isin:="00000101";
when	82	=>	Isin:="00000111";
when	83	=>	Isin:="00001000";
when	84	=>	Isin:="00001010";
when	85	=>	Isin:="00001011";
when	86	=>	Isin:="00001101";
when	87	=>	Isin:="00001110";
when	88	=>	Isin:="00010000";
when	89	=>	Isin:="00010001";
when	90	=>	Isin:="00010011";
when	91	=>	Isin:="00010100";
when	92	=>	Isin:="00010110";
when	93	=>	Isin:="00010111";
when	94	=>	Isin:="00011001";
when	95	=>	Isin:="00011010";
when	96	=>	Isin:="00011100";
when	97	=>	Isin:="00011101";
when	98	=>	Isin:="00011111";
when	99	=>	Isin:="00100000";
when	100	=>	Isin:="00100001";
when	101	=>	Isin:="00100011";
when	102	=>	Isin:="00100100";
when	103	=>	Isin:="00100110";
when	104	=>	Isin:="00100111";
when	105	=>	Isin:="00101000";
when	106	=>	Isin:="00101010";
when	107	=>	Isin:="00101011";
when	108	=>	Isin:="00101100";
when	109	=>	Isin:="00101110";
when	110	=>	Isin:="00101111";
when	111	=>	Isin:="00110000";
when	112	=>	Isin:="00110001";
when	113	=>	Isin:="00110011";
when	114	=>	Isin:="00110100";
when	115	=>	Isin:="00110101";
when	116	=>	Isin:="00110110";
when	117	=>	Isin:="00111000";
when	118	=>	Isin:="00111001";
when	119	=>	Isin:="00111010";
when	120	=>	Isin:="00111011";
when	121	=>	Isin:="00111101";
when	122	=>	Isin:="00111110";
when	123	=>	Isin:="00111111";
when	124	=>	Isin:="01000000";
when	125	=>	Isin:="01000001";
when	126	=>	Isin:="01000010";
when	127	=>	Isin:="01000011";
when	128	=>	Isin:="01000100";
when	129	=>	Isin:="01000110";
when	130	=>	Isin:="01000111";
when	131	=>	Isin:="01001000";

when	132	=>	Isin:="01001001";
when	133	=>	Isin:="01001010";
when	134	=>	Isin:="01001011";
when	135	=>	Isin:="01001100";
when	136	=>	Isin:="01001101";
when	137	=>	Isin:="01001110";
when	138	=>	Isin:="01001111";
when	139	=>	Isin:="01010000";
when	140	=>	Isin:="01010001";
when	141	=>	Isin:="01010010";
when	142	=>	Isin:="01010011";
when	143	=>	Isin:="01010100";
when	144	=>	Isin:="01010100";
when	145	=>	Isin:="01010101";
when	146	=>	Isin:="01010110";
when	147	=>	Isin:="01010111";
when	148	=>	Isin:="01011000";
when	149	=>	Isin:="01011001";
when	150	=>	Isin:="01011010";
when	151	=>	Isin:="01011010";
when	152	=>	Isin:="01011011";
when	153	=>	Isin:="01011100";
when	154	=>	Isin:="01011101";
when	155	=>	Isin:="01011101";
when	156	=>	Isin:="01011110";
when	157	=>	Isin:="01011111";
when	158	=>	Isin:="01100000";
when	159	=>	Isin:="01100000";
when	160	=>	Isin:="01100001";
when	161	=>	Isin:="01100010";
when	162	=>	Isin:="01100010";
when	163	=>	Isin:="01100011";
when	164	=>	Isin:="01100100";
when	165	=>	Isin:="01100100";
when	166	=>	Isin:="01100101";
when	167	=>	Isin:="01100110";
when	168	=>	Isin:="01100110";
when	169	=>	Isin:="01100111";
when	170	=>	Isin:="01100111";
when	171	=>	Isin:="01101000";
when	172	=>	Isin:="01101000";
when	173	=>	Isin:="01101001";
when	174	=>	Isin:="01101001";
when	175	=>	Isin:="01101010";
when	176	=>	Isin:="01101010";
when	177	=>	Isin:="01101011";
when	178	=>	Isin:="01101011";
when	179	=>	Isin:="01101100";
when	180	=>	Isin:="01101100";
when	181	=>	Isin:="01101100";
when	182	=>	Isin:="01101101";
when	183	=>	Isin:="01101101";
when	184	=>	Isin:="01101110";
when	185	=>	Isin:="01101110";
when	186	=>	Isin:="01101110";
when	187	=>	Isin:="01101111";
when	188	=>	Isin:="01101111";
when	189	=>	Isin:="01101111";
when	190	=>	Isin:="01101111";
when	191	=>	Isin:="01110000";

when	192	=>	Isin:="01110000";
when	193	=>	Isin:="01110000";
when	194	=>	Isin:="01110000";
when	195	=>	Isin:="01110001";
when	196	=>	Isin:="01110001";
when	197	=>	Isin:="01110001";
when	198	=>	Isin:="01110001";
when	199	=>	Isin:="01110001";
when	200	=>	Isin:="01110001";
when	201	=>	Isin:="01110001";
when	202	=>	Isin:="01110010";
when	203	=>	Isin:="01110010";
when	204	=>	Isin:="01110010";
when	205	=>	Isin:="01110010";
when	206	=>	Isin:="01110010";
when	207	=>	Isin:="01110010";
when	208	=>	Isin:="01110010";
when	209	=>	Isin:="01110010";
when	210	=>	Isin:="01110010";
when	211	=>	Isin:="01110010";
when	212	=>	Isin:="01110010";
when	213	=>	Isin:="01110010";
when	214	=>	Isin:="01110010";
when	215	=>	Isin:="01110010";
when	216	=>	Isin:="01110001";
when	217	=>	Isin:="01110001";
when	218	=>	Isin:="01110001";
when	219	=>	Isin:="01110001";
when	220	=>	Isin:="01110001";
when	221	=>	Isin:="01110001";
when	222	=>	Isin:="01110000";
when	223	=>	Isin:="01110000";
when	224	=>	Isin:="01110000";
when	225	=>	Isin:="01110000";
when	226	=>	Isin:="01110000";
when	227	=>	Isin:="01101111";
when	228	=>	Isin:="01101111";
when	229	=>	Isin:="01101111";
when	230	=>	Isin:="01101110";
when	231	=>	Isin:="01101110";
when	232	=>	Isin:="01101110";
when	233	=>	Isin:="01101101";
when	234	=>	Isin:="01101101";
when	235	=>	Isin:="01101101";
when	236	=>	Isin:="01101100";
when	237	=>	Isin:="01101100";
when	238	=>	Isin:="01101011";
when	239	=>	Isin:="01101011";
when	240	=>	Isin:="01101011";
when	241	=>	Isin:="01101010";
when	242	=>	Isin:="01101010";
when	243	=>	Isin:="01101001";
when	244	=>	Isin:="01101001";
when	245	=>	Isin:="01101000";
when	246	=>	Isin:="01101000";
when	247	=>	Isin:="01100111";
when	248	=>	Isin:="01100111";
when	249	=>	Isin:="01100110";
when	250	=>	Isin:="01100101";
when	251	=>	Isin:="01100101";

when	252	=>	Isin:="01100100";
when	253	=>	Isin:="01100100";
when	254	=>	Isin:="01100011";
when	255	=>	Isin:="01100010";
when	256	=>	Isin:="01100010";
when	257	=>	Isin:="01100001";
when	258	=>	Isin:="01100000";
when	259	=>	Isin:="01011111";
when	260	=>	Isin:="01011111";
when	261	=>	Isin:="01011110";
when	262	=>	Isin:="01011101";
when	263	=>	Isin:="01011100";
when	264	=>	Isin:="01011100";
when	265	=>	Isin:="01011011";
when	266	=>	Isin:="01011010";
when	267	=>	Isin:="01011001";
when	268	=>	Isin:="01011000";
when	269	=>	Isin:="01011000";
when	270	=>	Isin:="01010111";
when	271	=>	Isin:="01010110";
when	272	=>	Isin:="01010101";
when	273	=>	Isin:="01010100";
when	274	=>	Isin:="01010011";
when	275	=>	Isin:="01010010";
when	276	=>	Isin:="01010001";
when	277	=>	Isin:="01010000";
when	278	=>	Isin:="01001111";
when	279	=>	Isin:="01001110";
when	280	=>	Isin:="01001110";
when	281	=>	Isin:="01001101";
when	282	=>	Isin:="01001011";
when	283	=>	Isin:="01001010";
when	284	=>	Isin:="01001001";
when	285	=>	Isin:="01001000";
when	286	=>	Isin:="01000111";
when	287	=>	Isin:="01000110";
when	288	=>	Isin:="01000101";
when	289	=>	Isin:="01000100";
when	290	=>	Isin:="01000011";
when	291	=>	Isin:="01000010";
when	292	=>	Isin:="01000001";
when	293	=>	Isin:="01000000";
when	294	=>	Isin:="00111110";
when	295	=>	Isin:="00111101";
when	296	=>	Isin:="00111100";
when	297	=>	Isin:="00111011";
when	298	=>	Isin:="00111010";
when	299	=>	Isin:="00111001";
when	300	=>	Isin:="00110111";
when	301	=>	Isin:="00110110";
when	302	=>	Isin:="00110101";
when	303	=>	Isin:="00110100";
when	304	=>	Isin:="00110010";
when	305	=>	Isin:="00110001";
when	306	=>	Isin:="00110000";
when	307	=>	Isin:="00101110";
when	308	=>	Isin:="00101101";
when	309	=>	Isin:="00101100";
when	310	=>	Isin:="00101011";
when	311	=>	Isin:="00101001";

when	312	=>	Isin:="00101000";
when	313	=>	Isin:="00100110";
when	314	=>	Isin:="00100101";
when	315	=>	Isin:="00100100";
when	316	=>	Isin:="00100010";
when	317	=>	Isin:="00100001";
when	318	=>	Isin:="00100000";
when	319	=>	Isin:="00011110";
when	320	=>	Isin:="00011101";
when	321	=>	Isin:="00011011";
when	322	=>	Isin:="00011010";
when	323	=>	Isin:="00011000";
when	324	=>	Isin:="00010111";
when	325	=>	Isin:="00010101";
when	326	=>	Isin:="00010100";
when	327	=>	Isin:="00010010";
when	328	=>	Isin:="00010001";
when	329	=>	Isin:="00001111";
when	330	=>	Isin:="00001110";
when	331	=>	Isin:="00001100";
when	332	=>	Isin:="00001011";
when	333	=>	Isin:="00001001";
when	334	=>	Isin:="00001000";
when	335	=>	Isin:="00000110";
when	336	=>	Isin:="00000101";
when	337	=>	Isin:="10010001";
when	338	=>	Isin:="10001111";
when	339	=>	Isin:="10001101";
when	340	=>	Isin:="10001100";
when	341	=>	Isin:="10001010";
when	342	=>	Isin:="10001001";
when	343	=>	Isin:="10000111";
when	344	=>	Isin:="10000101";
when	345	=>	Isin:="10000100";
when	346	=>	Isin:="10000010";
when	347	=>	Isin:="10000000";
when	348	=>	Isin:="01111111";
when	349	=>	Isin:="01111101";
when	350	=>	Isin:="01111011";
when	351	=>	Isin:="01111010";
when	352	=>	Isin:="01111000";
when	353	=>	Isin:="01110110";
when	354	=>	Isin:="01110101";
when	355	=>	Isin:="01110011";
when	356	=>	Isin:="01110001";
when	357	=>	Isin:="01101111";
when	358	=>	Isin:="01101110";
when	359	=>	Isin:="01101100";
when	360	=>	Isin:="01101010";
when	361	=>	Isin:="01101000";
when	362	=>	Isin:="01100111";
when	363	=>	Isin:="01100101";
when	364	=>	Isin:="01100011";
when	365	=>	Isin:="01100001";
when	366	=>	Isin:="01100000";
when	367	=>	Isin:="01011110";
when	368	=>	Isin:="01011100";
when	369	=>	Isin:="01011010";
when	370	=>	Isin:="01011000";
when	371	=>	Isin:="01010111";

```

when 372 => Isin:="01010101";
when 373 => Isin:="01010011";
when 374 => Isin:="01010001";
when 375 => Isin:="01001111";
when 376 => Isin:="01001101";
when 377 => Isin:="01001100";
when 378 => Isin:="01001010";
when 379 => Isin:="01001000";
when 380 => Isin:="01000110";
when 381 => Isin:="01000100";
when 382 => Isin:="01000010";
when 383 => Isin:="01000001";
when 384 => Isin:="00111111";
when 385 => Isin:="00111101";
when 386 => Isin:="00111011";
when 387 => Isin:="00111001";
when 388 => Isin:="00110111";
when 389 => Isin:="00110101";
when 390 => Isin:="00110011";
when 391 => Isin:="00110010";
when 392 => Isin:="00110000";
when 393 => Isin:="00101110";
when 394 => Isin:="00101100";
when 395 => Isin:="00101010";
when 396 => Isin:="00101000";
when 397 => Isin:="00100110";
when 398 => Isin:="00100100";
when 399 => Isin:="00100010";
when 400 => Isin:="00100000";
when 401 => Isin:="00011111";
when 402 => Isin:="00011101";
when 403 => Isin:="00011011";
when 404 => Isin:="00011001";
when 405 => Isin:="00010111";
when 406 => Isin:="00010101";
when 407 => Isin:="00010011";
when 408 => Isin:="00010001";
when 409 => Isin:="00001111";
when 410 => Isin:="00001101";
when 411 => Isin:="00001011";
when 412 => Isin:="00001001";
when 413 => Isin:="00001000";
when 414 => Isin:="00000110";
when 415 => Isin:="00000100";
when 416 => Isin:="00000010";
when 417 => Isin:="00000000";

end case;
  if Semiciclo_Va='1' then periodo1:=periodo1+1; periodo:=periodo1; periodo2:=0; end if;

  if Semiciclo_Va='0' then periodo2:=periodo2+1; periodo:=periodo2; periodo1:=0; end if;

  if SW5_Aquisicao='0' then Estado2<=Start_2; end if;

  Isin_1<=Isin;
end case;
end if;
end process;
end Behavioral;

```