

UNIVERSIDADE ESTADUAL PAULISTA "JÚLIO DE MESQUITA FILHO"
FACULDADE DE ENGENHARIA DE ILHA SOLTEIRA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA

Tese de Livre Docência

Desenvolvimento de Projetos de Circuitos Integrados Analógicos
utilizando Processo CMOS.

Nobuo Oki

Tese de Livre Docência do candidato ao
concurso para obtenção do Título de Livre
Docente junto ao Departamento de Engenharia
Elétrica, FEIS-UNESP.

1210001244



ILHA SOLTEIRA - S.P.
JULHO DE 2001

30403022

CIRCUITOS LINEARES E NÃO-LINEARES

Proc. 040/2001 - NPD 123/01

UNESP - "CAMPUS DE ILHA SOLTEIRA"	
SERVIÇO TÉCNICO DE BIBLIOTECA E DOCUMENTAÇÃO	
DATA DE CHEGADA	DATA DE TOMPO
02/10/01	30/10/01
RECEBIDO DE	TERMINO
Ailza	Te. 1244
AQUISIÇÃO	CLASSIFICAÇÃO
Ilhaçã	
Auto	
R\$ 10,00	



Resumo

Esta tese é uma compilação dos principais trabalho de pesquisa desenvolvida pelo docente nos últimos 6 anos. Nela são abordados aspectos de projeto de circuitos integrados analógicos. São apresentados o projeto de um conversor analógico-digital de 8 bits usando modo corrente de tecnologia CMOS; o projeto de um arranjo de estruturas analógicas programáveis usando modo corrente e tecnologia CMOS; e a proposta de uma rede neural de base radial (função gaussiana) e sua implementação utilizando tecnologia BiCMOS. Em cada um dos projetos são apresentados o princípio de funcionamento da proposta, os blocos fundamentais, simulações usando o programa SPICE e também, em alguns casos, resultados experimentais obtidos.



Abstract

This thesis is a overview about the research developed in this last 6 years. In it is covered several aspects about the analog integrated circuits design: the design of the a 8 bits analog-digital converter using current mode and CMOS technology; the design of field programmable analog array using current mode and CMOS technology; and a design of radial basis neural networks based in gaussian function and it implementation in BiCMOS technology. These designs are presented through the SPICE simulation and in some case, experimental results are showed.



Índice

Introdução	1
Capítulo1-Conversores Analógicos-Digitais utilizando Modo Corrente e Processo CMOS	4
1.1 Introdução	4
1.2 Conversor Analógico- Digital (A/D) Proposto	6
1.2.1 Comparadores de Corrente	8
1.2.1.1 Resultados Experimentais Obtidos	9
1.2.2 Correntes de Referência	11
1.2.2.1 Transistor Bipolar Lateral no Processo CMOS	11
1.3 Resultados Experimentais Obtidos	16
1.4 Conclusões	20
Capítulo2- Arranjo de Estruturas Analógicas Programáveis em Modo Corrente	21
2.1 Introdução	21
2.2 Proposta de um Arranjo de Estruturas Analógicas Programáveis	21
2.3 Célula Analógica Configurável	22
2.3.1 Arquitetura da Célula Analógica Configurável	22
2.3.2 Topologia da Célula Analógica Configurável Proposta	24
2.3.3 Implementação da Célula Analógica Configurável	28
2.3.4 Resultados e Simulações da Célula Analógica Configurável Implementada	32



2.3.5 Circuito de Polarização	33
2.3.6 Lógica da Programação	35
2.4 Exemplo do Arranjo de Estruturas Analógicas Programáveis atuando como Filtro	38
2.5 Conclusões	42

Capítulo 3- Implementação de Redes Neurais usando Processo

BiCMOS	43
3.1 Introdução	43
3.2 Redes Neurais com Função de Base Radial	43
3.2.1 Fundamentos Teóricos das RNFBR	44
3.2.2 Funções Radiais	45
3.2.2.1 Função Gaussiana	45
3.2.2.2 Função Secante Hiperbólica Quadrática	46
3.2.3 Processo de Aprendizado	46
3.2.3.1 Método Clássico	47
3.2.3.2 Método de Moody-Darken	48
3.2.3.3 Método do Gradiente Descendente	48
3.3 Implementação Eletrônica de RNFBR	49
3.3.1 Implementação Eletrônica de Redes Neurais	49
3.3.2 Revisão da Literatura	50
3.3.3 Circuito Proposto	52
3.3.3.1 Par Diferencial	52
3.3.4 A Diferença como Aproximação da Derivada	54
3.3.5 Simulações com o Circuito Proposto	55
3.4 Implementação do Circuito FBR utilizando Amplificadores Operacionais de Transcondutância (OTA)	58
3.4.1 Princípio de Funcionamento do OTA	58
3.4.2 O OTA Linearizado	62
3.4.3 O Circuito FBR com OTA's	63
3.4.4 Resultados Experimentais	65



3.5 Aplicações	68
3.5.1 Aproximação de Funções usando RNFBR	69
3.5.1.1 Aproximação da Função Senoidal	69
3.5.1.2 Aproximação da Função Sinc	72
3.5.2 Linearização de Termistor	75
3.6 Implementação da Rede Neural de Base Radial (RNBR) usando Tecnologia BiCMOS	80
3.6.1 Configuração Proposta	80
3.6.2 Resultados de Simulação da Rede Neural Proposta	83
3.7 Conclusões	86
 Conclusões Gerais	 87
 Referências Bibliográficas	 88



Índice de Figuras

Fig. 1.1	Diagrama de Blocos do Conversor A/D	7
Fig. 1.2	Comparador de Corrente Regenerativo	8
Fig. 1.3	Leiaute e Fotografia do Circuito Implementado	9
Fig. 1.4	Resultados de Simulação do Comparador de Corrente	10
Fig. 1.5	Resultado Experimental do Comparador de Corrente Fabricado	10
Fig. 1.6	Transistor Bipolar Lateral Parasita em Processo CMOS poço N	11
Fig. 1.7	Leiaute de um Transistor Bipolar Lateral (LPNP) e seu Símbolo	12
Fig. 1.8	Leiaute de Fotografia de um transistor LPNP formado por multiemissores	13
Fig. 1.9	Transistor LPNO com Coletor Duplo	13
Fig. 1.10	Fonte de Corrente com Alta Resistência de Saída	14
Fig. 1.11	Circuito de teste do transistor LPNP	14
Fig. 1.12	Curva do Transistor LPNP e da Fonte de Corrente Cascodee	16



Fig. 1.13	Microfotografia do Circuito Integrado	16
Fig. 1.14	Configuração para obtenção da Característica de Transferência	17
Fig. 1.15	Circuito utilizado nos testes	17
Fig. 1.16	Sinal de entrada e o sinal reconstituído	18
Fig. 1.17	Sinal reconstituído apresentando 3 bits de resolução	18
Fig. 1.18	Erro de não linearidade a) Integral; b) Diferencial	19
Fig. 2.1	Arquitetura do FPAA proposto	22
Fig. 2.2	Espelho de corrente cascode dobrado	25
Fig. 2.3	Integrador usando o espelho de corrente cascode dobrado	25
Fig. 2.4	Programação do integrador variando-se β	28
Fig. 2.5	Topologia proposta para a célula analógica configurável	28
Fig. 2.6	a) Circuito Esquemático do primeiro estágio, b) circuito esquemático dos demais estágios que compõem a célula analógica configurável	29
Fig. 2.7	Circuito de Polarização	35
Fig. 2.8	Registrador de Programação	35
Fig. 2.9	Subseções do Circuito de Controle	37
Fig. 2.10	Configuração Biquadrática composta de 3 integradores	38
Fig. 2.11	Implementação da Configuração Biquadrática usando as células	40
Fig. 2.12	Programação de ω_0 do circuito biquadrático	41
Fig. 2.13	Programação de Q do circuito biquadrático	41
Fig. 3.1	Gráfico da função gaussiana com parâmetros $c=0$, $b=1$ e $w=1$	46
Fig. 3.2	Gráfico da função SHQ com parâmetros $c=0$, $b=1$ e $w=1$	46



Fig. 3.3	Diagrama esquemático de uma RNFBR	47
Fig. 3.4	Esquema simplificado do par diferencial bipolar	53
Fig. 3.5	Curva característica do par diferencial bipolar	53
Fig. 3.6	Curva de transcondutância do par diferencial bipolar	54
Fig. 3.7	Circuito básico proposto para implementação de FBR	55
Fig. 3.8	Curva característica do circuito FBR básico obtida de simulação	56
Fig. 3.9	Variação de centro do circuito FBR básico simulado	56
Fig. 3.10	Variação na amplitude da FBR simulada	57
Fig. 3.11	Variação da largura da função com relação a mudança em R4	57
Fig. 3.12	Símbolo usado para o OTA	59
Fig. 3.13	Esquema simplificado do OTA	59
Fig. 3.14	Diagrama esquemático do OTA LM13600N	60
Fig. 3.15	Curva característica do OTA LM13600N obtida por simulação	61
Fig. 3.16	Ampliação da curva anterior mostrando a região quase linear	61
Fig. 3.17	OTA linearizado	62
Fig. 3.18	Curva característica simulada do OTA LM13600N linearizado	63
Fig. 3.19	Diagrama completo do circuito FBR	63
Fig. 3.20	Curva típica da resposta do circuito FBR	64
Fig. 3.21	Resposta do circuito FBR para correntes de polarização i_{b3} variando entre 20 μA e 100 μA	65
Fig. 3.22	Saída da FBR para uma entrada triangular	66
Fig. 3.23	Curva experimental obtida para o circuito FBR	66
Fig. 3.24	Comparação entre a FBR experimental e uma	



	gaussiana teórica com $c=0$, $b=0.4669$ e $w=1.3$	67
Fig. 3.25	Comparação entre a FBR experimental e uma SHQ teórica com $c=0$, $b=0.77$ e $w=1.3369$	67
Fig. 3.26	Diagrama esquemático básico da RNFBR utilizada	68
Fig. 3.27	FBR's encontradas na aproximação de senóide	70
Fig. 3.28	Função senoidal (o) versus a aproximação da rede teórica (*)	70
Fig. 3.29	Função senoidal (curva lisa) e a aproximação experimental (curva com ruído).	71
Fig. 3.30	Curva experimental na tela do osciloscópio digital	71
Fig. 3.31	Resultado da aproximação de senóide (experimental versus teórico).	72
Fig. 3.32	Gráfico do Erro (diferença ponto-a-ponto entre a curva experimental e a ideal).	72
Fig. 3.33	Gráfico da função sinc	73
Fig. 3.34	FBR's obtidas no aprendizado da função sinc	74
Fig. 3.35	Função sinc teórica e a aproximação da rede	74
Fig. 3.36	Curvas experimentais na tela do osciloscópio digital. Onda triangular na entrada (acima) e saída da rede (abaixo).	75
Fig. 3.37	Diagrama da ponte com termistor	76
Fig. 3.38	Resposta da ponte com termistor	76
Fig. 3.39	Inversa da resposta do termistor	77
Fig. 3.40	Gráfico da rede simulada e os pontos (o) usados na fase de aprendizado da função inversa	77
Fig. 3.41	FBR's teóricas encontradas na simulação	78
Fig. 3.42	Curva experimental do conjunto Ponte-RNFBR	79
Fig. 3.43	Gráfico do erro percentual entre a resposta experimental e a ideal	79

Fig. 3.44	Diagrama Esquemático da Rede Neural de Base Radial Projetada	80
Fig. 3.45	Bloco Gerador da Função Gaussiana	81
Fig. 3.46	Amplificador Operacional de Transcondutância	81
Fig. 3.47	Fonte de Corrente Programável	82
Fig. 3.48	Conversor Tensão-Corrente	82
Fig. 3.49	Geração da Gaussiana	83
Fig. 3.50	Variação do Centro da Gaussiana	84
Fig. 3.51	Variação do Ganho da Gaussiana	84
Fig. 3.52	Variação da Largura da Gaussiana	84



Índice de Tabelas

Tab. 1.1	Relação entre LPNP e LPNP 32	15
Tab. 1.2	Resultados do Conversor A/D implementado	19
Tab. 2.1	Comparação das Estruturas de Integradores	24
Tab. 2.2	Estados de programação do primeiro estágio	30
Tab. 2.3	Estados de programação dos demais estágios da célula analógica configurável	31
Tab. 2.4	Parâmetros de programação da célula programada como integrador	33
Tab. 3.1	Parâmetros da RNFBR que aproxima uma senóide 2	69
Tab. 3.2	Parâmetros da RNFBR que aproxima uma função Sinc	73
Tab. 3.3	Parâmetros da RNFBR usadas na linearização de termistor	78



Abreviaturas

A/D	Analógico/Digital
AMS	Austria Mikro Systeme International AG
BCD	(<i>Binary Coded Decimal</i>) binário codificado em decimal
B_i	i-ésimo bit
BICMOS	Tecnologia com estruturas Bipolares e CMOS na mesma pastilha
CAC	Célula Analógica Configurável
Ck	Sinal de <i>clock</i> – relógio para sincronismo
CMOS	(<i>Complementary Metal Oxide Semiconductor</i>) MOS complementar
CMRR	Fator de Rejeição de Modo Comum
D/A	Conversor Digital/Analógico
DNL	(<i>Differential Nonlinearity</i>) não-linearidade diferencial
FAPESP	Fundação de Amparo à Pesquisa no Estado de São Paulo
FBR	Função de Base Radial
φ_E	Excesso de Fase
FPAA	Arranjo de Estruturas Analógicas Programáveis
FPGA	Arranjo de Estruturas Digitais Programáveis
FS	(<i>Full Scale</i>) escala completa (ou fundo de escala)
I_{in}	Corrente analógica de entrada
INL	(<i>Integral Nonlinearity</i>) não-linearidade integral



Iref	Corrente de referência
L	Comprimento do canal do transistor MOS (distância entre fonte e dreno)
LPNP	Transistor bipolar lateral PNP
LSB	(<i>Least Significant Bit</i>) bit menos significativo
MOS	(<i>Metal Oxide Semiconductor</i>) estrutura metal-óxido-semicondutor
MSB	(<i>Most Significant Bit</i>) bit mais significativo
NMOS	MOS canal N
OTA	Amplificador Operacional de Transcondutância
PL	Lógica de Programação
PMOS	MOS canal P
PMU	Programa Multi-Usuário
PR	Registrador de Programação
PW	Palavra binária
RNA	Rede Neural Artificial
RNFBR	Rede Neural com Função de Base Radial
RW	Registro binário
SHQ	Função Secante Hiperbólica Quadrática
SPICE	(Simulation Program Integrated Circuit Emphasis) Software de simulação
W	Largura do canal do transistor MOS



Introdução

A área de projetos de circuitos integrados apresentou um crescimento vertiginoso nas últimas décadas. Tal crescimento deveu-se a vários fatores entre eles o desenvolvimento da indústria de semicondutores que aperfeiçoou as técnicas de fabricação levando a dimensões cada vez mais reduzidas os dispositivos semicondutores; o desenvolvimento de modelos de dispositivos cada vez mais precisos o que possibilitou a simulação de circuitos complexos com precisão; o desenvolvimento de ferramentas computacionais cada vez mais amigáveis e poderosas que permitiram o projeto e simulação de sistemas com níveis de complexidade maiores; e finalmente a criatividade dos diversos projetistas que contribuíram com projetos que fizeram com que esta área do conhecimento se tornasse umas das principais atividades econômicas das nações desenvolvidas.

Em termos gerais a área de projetos de circuitos integrados divide-se em duas grandes sub-áreas distintas: a digital e a analógica. Na sub-área digital os esforços concentraram-se no desenvolvimento de microcomputadores e das memórias semicondutoras. A sub-área de projetos de circuitos integrados digitais encontra-se em pleno desenvolvimento e concentra-se na busca de projetos de microcomputadores de velocidades e capacidades de memórias cada vez maiores. O crescimento da demanda pela transmissão de dados digitais na forma de documentos, de imagens e de voz com advento das fibras ópticas é outro fator importante para incremento de sua importância.

Na sub-área analógica o crescimento da telefonia celular abriu um segmento do mercado de microeletrônica bastante importante, o de circuitos analógicos de rádio frequência. Outro segmento importante de projetos de circuitos integrados analógicos é o de conversores analógicos-digitais, devido a necessidade de se converter sinais contínuos existentes no mundo físico real, em sinais digitais possíveis de serem processados usando técnicas digitais e também, a dos conversores digitais analógicos que permitem o processo inverso.

Na atualidade com o aumento da complexidade dos sistemas principalmente com o crescimento da comunicação móvel há necessidade de que em uma mesma pastilha haja

tanto circuitos digitais como circuitos analógicos trabalhando de forma integrada. Assim os denominados circuitos mesclados (*mixed circuits*) possuem importância crescente no mercado da microeletrônica.

Do ponto de vista geral houve um crescimento bastante acentuado dos projetos de circuitos integrados digitais devido ao grande impacto econômico causado pela disseminação do uso dos microcomputadores nos mais diversos campos; ao grande desenvolvimento das técnicas de processamento digital de sinais; e à grande demanda de transmissão de dados digitais. Por outro lado os projetos de circuitos integrados analógicos, apesar de haver crescido de maneira menos acentuada do ponto de vista tecnológico, são imprescindíveis pois eles permitem uma interface entre o mundo físico real e as técnicas digitais através dos conversores analógicos-digitais e digitais-analógicos; e são essenciais em circuitos de rádio frequência e de *front end* onde frequências elevadas são usadas.

Outra área de pesquisa que teve um desenvolvimento acentuado nestas últimas décadas ligada a inteligência artificial, foi o estudo e aplicações de redes neurais. Nascida na década de 40 e 50, teve um desenvolvimento acelerado e durante a década de 60 permaneceu estagnada. Com os trabalhos de Kohonen^[1], Hopfield^[2] e Carpenter^[3] na década de 80 esta área de pesquisa teve um crescimento acelerado. Devido as suas características de processamento paralelo e complexidade reduzida dos elementos de processamento umas das alternativas de sua implementação foi as técnicas de projeto de circuitos integrados analógicos.

O docente tem trabalhado nestas áreas de pesquisa nos últimos anos e esta tese de livre docência procurará sintetizar e sistematizar os diversos trabalhos desenvolvidos pelo docente, na forma de trabalho individual, de orientação e de trabalho em grupo. Procurar-se-á abordar os trabalhos do docente em projetos de circuitos integrados analógicos na implementação de redes neurais artificiais utilizando circuitos integrados lineares convencionais e técnicas de projeto de circuitos integrados analógicos; o desenvolvimento de conversores analógicos-digitais. e de arranjos de estruturas analógicas configuráveis utilizando tecnologia CMOS.

A apresentação desta tese será portanto dividida em três partes distintas: na primeira serão abordados os trabalhos desenvolvidos com relação ao projeto de conversores analógicos-digitais utilizando modo corrente e processo CMOS; na segunda parte o



trabalho relacionado com o desenvolvimento de arranjos de estruturas analógicas configuráveis usando o modo corrente é descrita; e na terceira e última parte serão descritos os trabalhos abordando a implementação de redes neurais artificiais utilizando circuitos integrados lineares comerciais e técnicas de projetos de circuitos integrados analógicos utilizando processo BiCMOS. Cada um destes tópicos serão abordados como sendo um capítulo desta tese.



Capítulo I

Conversores Analógicos-Digitais utilizando Modo Corrente e Processo CMOS^[4]

1.1. Introdução

Conversores analógicos-digitais são blocos fundamentais em projetos de circuitos integrados analógicos pois eles permitem a transformação de sinais analógicos existentes no mundo físico real para o formato digital. Esta transformação possibilita o uso das técnicas digitais, que tiveram um avanço bastante acentuado nas últimas décadas, no tratamento destes sinais.

Diversas técnicas foram desenvolvidas para este fim, tendo como principais parâmetros de medida de desempenho a resolução, a frequência de amostragem e dissipação de potência. Geralmente estas características são otimizadas sempre em detrimento de outras, como por exemplo, pode-se obter alta frequência de amostragem dissipando-se alta potência em conversores *flash* ou alta resolução em conversores sigma-delta ou de aproximação sucessiva, sacrificando-se a frequência de amostragem. Idealmente procura-se configurações capazes de otimizar todas as características. Com o surgimento dos computadores portáteis e sistemas de comunicações móveis, novos parâmetros de desempenho surgiram, tais como necessidade de funcionamento em baixas tensões de alimentação e de baixo consumo, além das já existentes.

Devido a necessidade de integração de sistemas mais complexos outra exigência foi o desenvolvimento de circuitos mistos, onde em um mesmo circuito integrado há circuitos digitais e analógicos. Como a tecnologia CMOS é a mais adequada para desenvolvimento de circuitos digitais devido a sua alta densidade de integração, baixo consumo e capacidade de trabalho com baixa tensão de alimentação, há necessidade de circuitos analógicos, principalmente de conversores analógicos digitais, que trabalhem utilizando a mesma tecnologia e que seja compatível com o processo digital.

Para satisfazer estes requisitos novas técnicas de processamento de sinais foram desenvolvidas. O processamento em modo corrente permite a implementação de circuitos em baixa tensão de alimentação e de alta frequência. A seguir será descrita uma implementação de um conversor analógico-digital (A/D) usando a técnica de processamento em modo corrente usando a tecnologia CMOS e o processo digital. Esta implementação permite o projeto de conversores A/D de alta frequência e baixa tensão de alimentação.



1.2 Conversor Analógico-Digital (A/D) Proposto

Os conversores A/D clássicos são implementados utilizando o algoritmo *flash* quando se deseja frequências altas de amostragem. O inconveniente deste algoritmo é a necessidade de um número elevado de comparadores, sendo necessários 2^n comparadores onde n é o número de bits do conversor. Assim torna-se inviável a implementação de conversores com n maior que 8. Por outro lado quando se deseja alta resolução pode-se optar pelo algoritmo de aproximação sucessiva, que possui o inconveniente de trabalhar com baixa frequência de amostragem.

Visando contornar este problema propôs-se a implementação de um conversor A/D utilizando um algoritmo, que é uma mescla do algoritmo *flash* e do algoritmo de aproximação sucessiva e que necessita de um número reduzido de comparadores e que possui alta frequência de amostragem. O algoritmo proposto foi implementado em modo corrente, pois baseia-se em soma e subtração de correntes, operações que podem ser efetuadas com facilidade em corrente, e foi utilizado para sua fabricação a tecnologia CMOS de $0,8\mu\text{m}$ da AMS, poço n , com duplo polissilício e duas camadas de metal.

O algoritmo pode ser descrito adotando-se a seguinte notação:

I_{in}	corrente analógica de entrada
I_{ref}	corrente de referência
$B_0, B_1, B_2, \dots, B_{n-1}$	são os bits de saída do conversor A/D
$\overline{B}_0, \overline{B}_1, \overline{B}_2, \dots, \overline{B}_{n-1}$	são os bits de saída complementar
$\Leftrightarrow$	comparação

Utilizando-se esta notação pode-se descrever o algoritmo da seguinte forma:

Bit 1 = 1 se $I_{in} \geq I_{ref}/2$;

Bit 2 = 1 se $I_{in} + \bar{B}_0 \cdot I_{ref}/4 \geq I_{ref}/2 + B_0 \cdot I_{ref}/4$;

Bit 3 = 1 se $I_{in} + \bar{B}_0 \cdot I_{ref}/4 + \bar{B}_1 \cdot I_{ref}/8 \geq I_{ref}/2 + B_0 \cdot I_{ref}/4 + B_1 \cdot I_{ref}/8$;

Bit n = 1 se $I_{in} + \bar{B}_0 \cdot I_{ref}/4 + \bar{B}_1 \cdot I_{ref}/8 + \dots + \bar{B}_{n-2} \cdot I_{ref}/2^n \geq I_{ref}/2 + B_0 \cdot I_{ref}/4 + B_1 \cdot I_{ref}/8 + \dots + B_{n-2} \cdot I_{ref}/2^n$;

Para implementação deste algoritmo utiliza-se a topologia mostrada na Fig. 1.1 que é composta de blocos básicos, tais como comparadores de correntes (comp1, comp2,...compn), chaves de corrente composta de dois transistores e fontes de referência em corrente ($I_{ref}/2$, $I_{ref}/4$, $I_{ref}/8$,... $I_{ref}/2^n$).

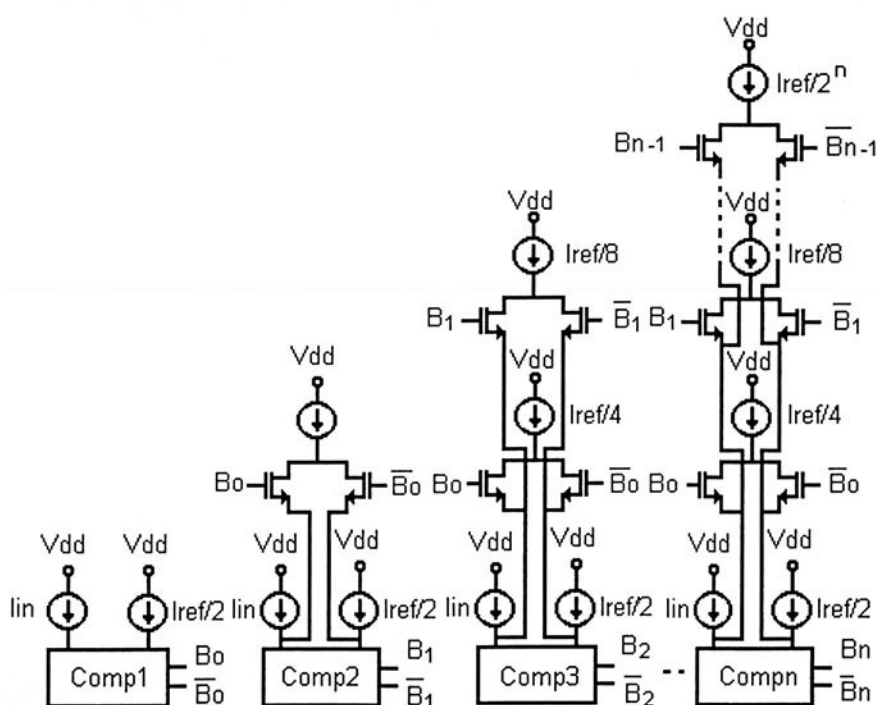


Fig. 1.1 Diagrama em Blocos de um conversor A/D de n bits utilizando o algoritmo proposto.

Para o funcionamento do conversor os blocos críticos são os comparadores de corrente e as fontes de referência em corrente. Cada um destes blocos será visto com mais detalhes nas seções apresentadas a seguir. Após o detalhamento destes blocos serão apresentados os resultados experimentais obtidos da implementação desta configuração utilizando o processo CMOS de $0,8\mu\text{m}$ com duplo polissilício e poço N.

1.2.1 Comparadores de Corrente^[5]

A função do comparador de corrente é permitir a comparação entre um sinal de entrada em corrente com um sinal de referência, também em corrente, e fornecer na saída um sinal na forma binária. Para execução desta função existem diversas propostas na literatura, sendo no entanto as configurações que apresentam comportamento regenerativo as mais indicadas quando se deseja trabalhar em altas frequências, como é o caso das aplicações em conversores A/D. Uma proposta de implementação de um comparador usando comportamento regenerativo é mostrada na Fig. 2. Este circuito é uma adaptação de um comparador de tensão ^[6] que utiliza um sistema de *reset* e de regeneração com dois pulsos de *clock* não sobrepostos. Nele foi removido o par diferencial de entrada que atua como um conversor tensão-corrente e injetado diretamente a corrente de modo que este comparador possui características semelhantes ao do comparador de tensão descrito em ^[6].

O comparador da Fig.1.2 foi projetado e simulado para funcionamento compatível com as necessidades do conversor A/D de oito bits utilizando as regras de processo da tecnologia CMOS de 0.8 μ m da ASM e submetido a fabricação através do projeto multi-usuário da FAPESP. Os resultados obtidos foram publicados^[5] e são apresentados de forma resumida a seguir.

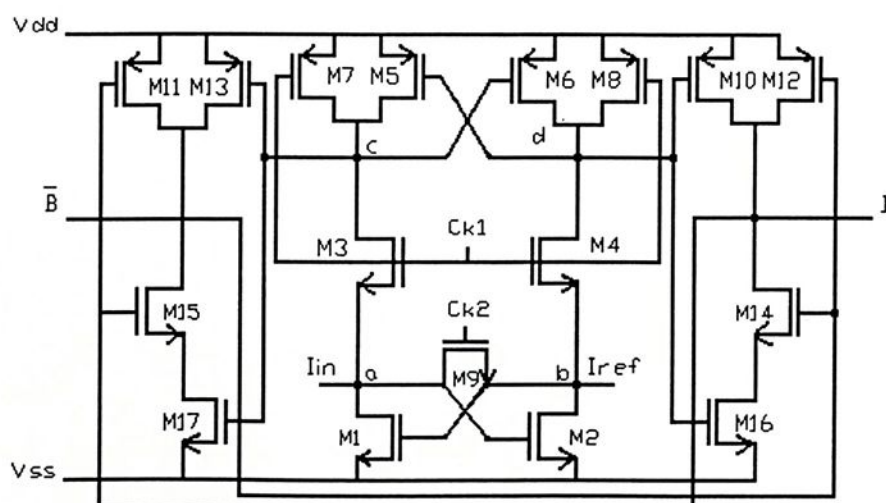
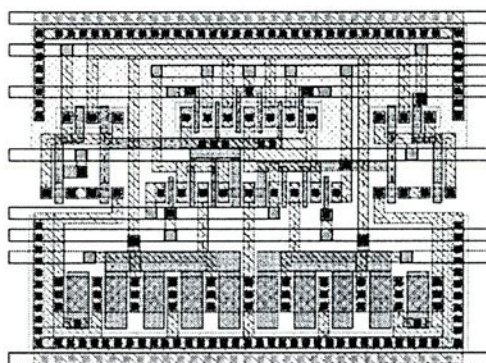


Fig. 1.2 Comparador de Corrente Regenerativo

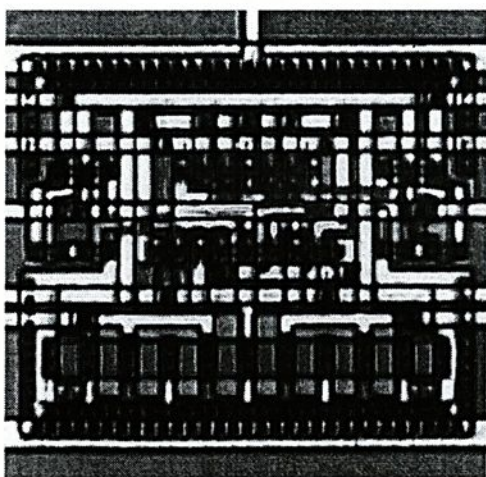
1.2.1.1 Resultados Experimentais Obtidos.

O comparador de corrente mostrado na Fig.1.2 foi fabricado visando a obtenção de faixa dinâmica compatível com o conversor A/D proposto, ou seja, com capacidade de comparação de correntes na faixa de $2\mu\text{A}$ à $256\mu\text{A}$. Para se conseguir esta faixa dinâmica foi necessário a otimização das dimensões dos transistores o que foi feito com auxílio de simulações utilizando o software SPICE.

O leiaute e a fotografia do circuito implementado são mostrados nas Figs. 1.3a e b. Os resultados de simulação, o circuito de teste e os resultados experimentais obtidos são apresentados nas Figs. 1.4 e 1.5. Verifica-se uma discrepância bastante acentuada entre os resultados de simulação e os resultados experimentais obtidos devido a existência de *offset* de entrada dos circuitos e dificuldades de medições em frequências maiores.



a)



b)

Fig. 1.3 a) Leiaute e b) fotografia do circuito implementado.

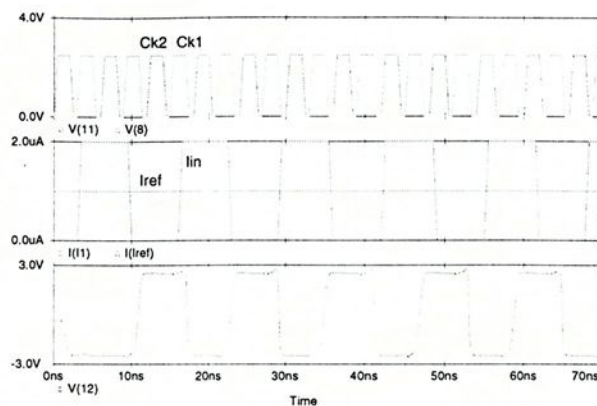
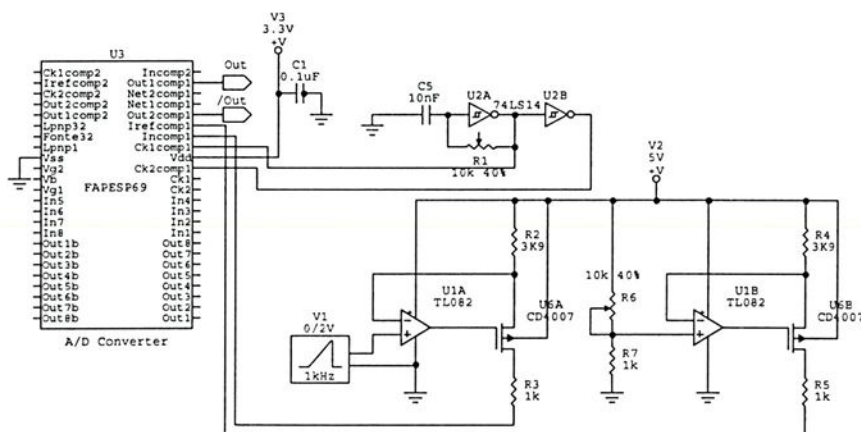
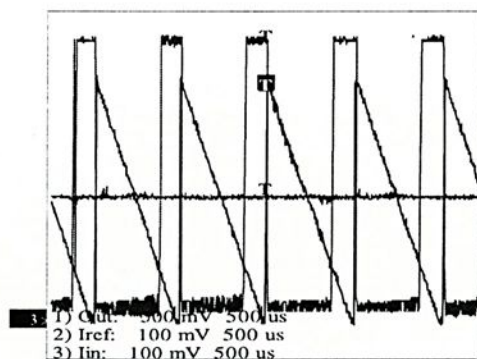


Fig. 1.4 Resultados de Simulação do Comparador de *Corrente*. Saída do comparador Frequência de clock 143 MHz; Sinal de entrada de $2\mu\text{A}$ a 72 MHz e fonte de referência de $1\mu\text{A}$.



a)



b)

Fig. 1.5. Resultado Experimental do Comparador de *Corrente* Fabricado.
a) Circuito de Teste; b) Corrente de Referência no ponto intermediário da dente de serra.

1.2.2 Correntes de Referência

Outro bloco importante na implementação do conversor A/D proposto são as correntes de referência. Pode-se, utilizando-se o processo CMOS convencional, construir as correntes de referência de dois modos distintos: com múltiplos de transistores MOS ^[7] ou através de transistores bipolares laterais parasitas disponíveis neste processo^[8]. Optou-se pela exploração do transistor bipolar lateral devido a economia de área que ele deve proporcionar e também pelo melhor casamento das correntes de referências que é um fator limitante na determinação da resolução do conversor A/D proposto. A seguir será descrito a obtenção do transistor bipolar lateral e a forma de construção da corrente de referência, bem como resultados obtidos através de simulação e também resultados experimentais.

1.2.2.1 Transistor Bipolar Lateral no Processo CMOS

Em princípio há duas possibilidades para implementação do transistor bipolar lateral dependendo o processo escolhido, podendo ser um transistor bipolar lateral NPN caso o processo possua poço P ou um transistor bipolar lateral PNP caso o poço do processo seja do tipo N. Como o processo disponível através do Projeto Multi-usuário da FAPESP utiliza poço N descreve-se a seguir o transistor bipolar lateral PNP (LPNP).

Este transistor é obtido do processo convencional e surge como sendo um transistor bipolar parasita formado entre o dreno e a fonte do transistor MOS. A Fig. 1.6 ilustra a presença deste transistor no processo CMOS poço N.

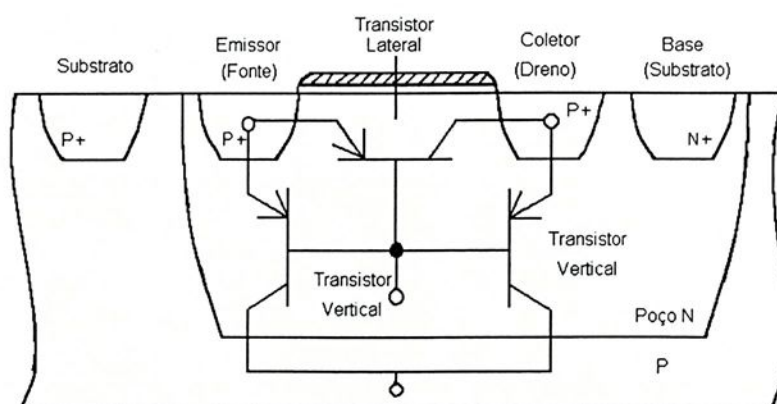


Fig. 1.6. Transistor Bipolar Lateral Parasita em Processo CMOS poço N.

O leiaute do transistor LPNP é mostrado na Fig. 1.7. O transistor é formado por uma difusão de contato de área mínima, cercada por polissilício (porta) formando a base que é em seguida cercada por contatos de coletor. O símbolo utilizado para representação é também apresentado na Fig. 1.7.

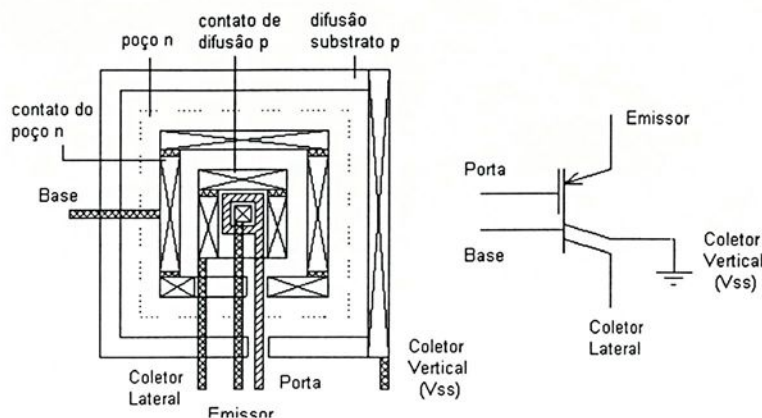
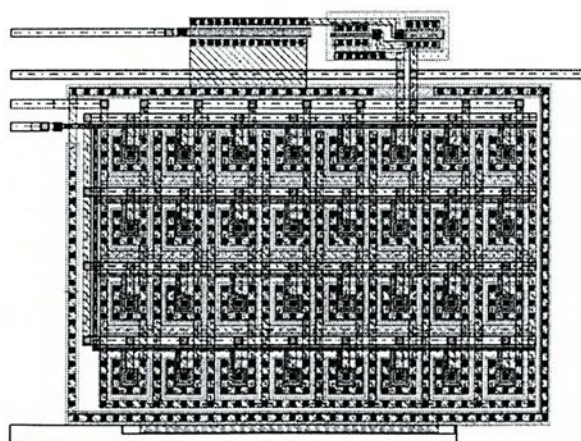
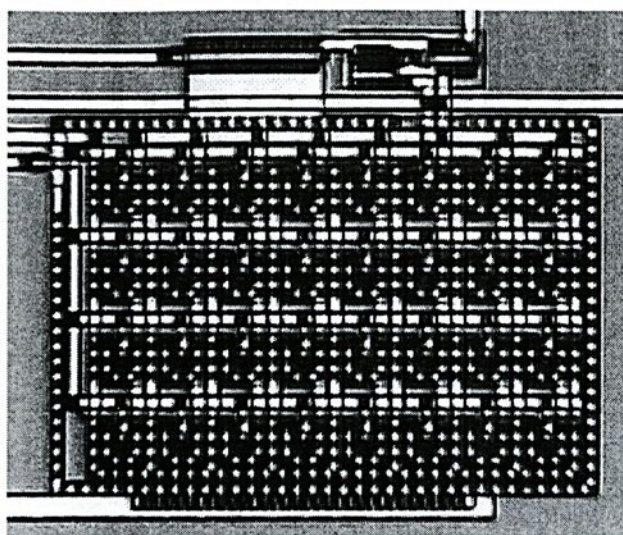


Fig. 1.7 Leiaute de um transistor bipolar lateral PNP (LPNP) e seu símbolo.

A largura mínima da base do transistor bipolar lateral é determinada pelo comprimento mínimo do canal do transistor PNP e a área mínima de seu emissor, pelo tamanho mínimo de contato. Isto melhora a eficiência do dispositivo, pois reduz a relação entre a corrente de coletor lateral e a corrente de coletor vertical. Outra técnica utilizada para melhorar esta eficiência é através do uso de configurações multiemissores, conforme mostrado na Fig. 1.8.



a)



b)

Fig. 1.8 a) Leiaute e b) fotografia de um transistor LPNP formado por multiemissores.

O polissilício pode ser usado também para dividir o implante p^+ em duas regiões atuando como coletores laterais^[9]. Esta técnica permite a obtenção de correntes de referências simétricas o que reduz o número de fontes de valores iguais pela metade quando comparada aos transistores MOS. A Fig. 1.9 mostra o leiaute desta proposta.

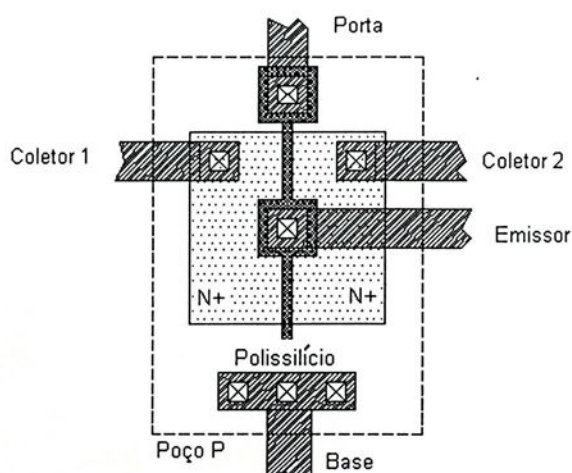


Fig. 1.9 Transistor LPNP com Coletor Duplo.

Para implementação das correntes de referências utilizou-se, associado aos transistores bipolares LPNP, espelhos de corrente MOS visando aumentar sua resistência de entrada. A corrente de referência utilizada é mostrada na Fig. 1.10.

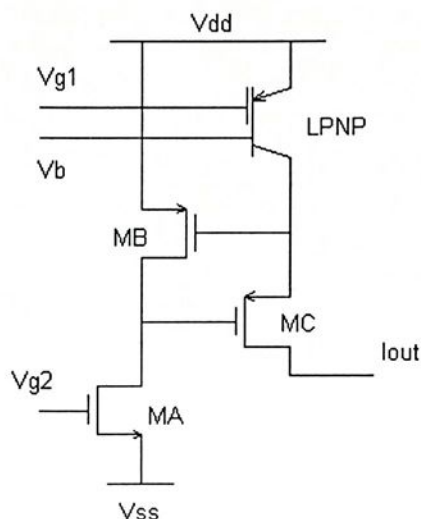


Fig. 1.10. Fonte de Corrente com Alta Resistência de Saída.

Para geração de correntes de referências necessárias a configuração do conversor A/D proposto foram utilizados transistores bipolares LPNP e os testes efetuados mostraram a viabilidade deste dispositivo para este fim. Visando caracterizar o corrente de referência implementada foi montado o circuito mostrado na Fig. 1.11.

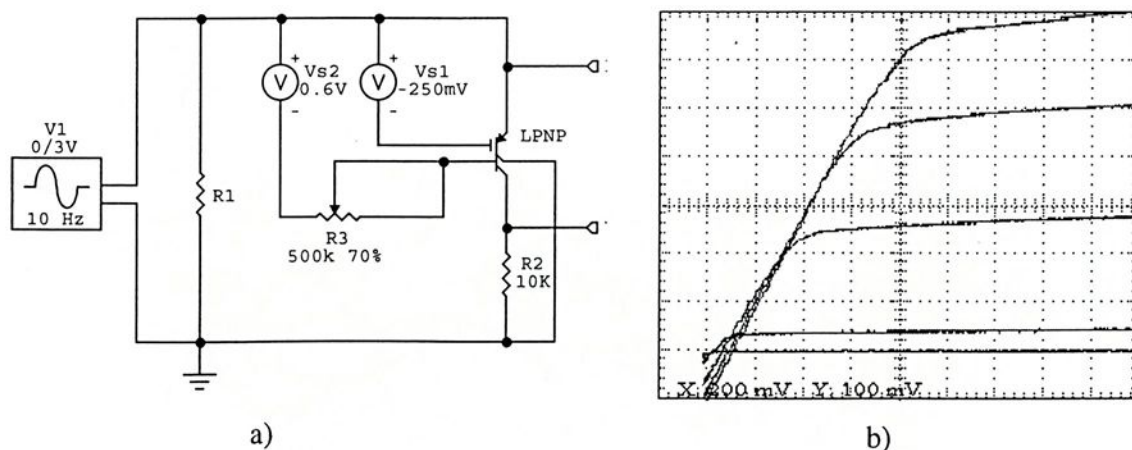


Fig. 1.11 Circuito de teste do transistor LPNP. a) Circuito de teste; b) Curva característica.

Verifica-se da Fig. 1.11b que o transistor atua como um fonte de corrente. Considerando-se um transistor LPNP32 com 32 transistores em paralelo e efetuando um teste semelhante ao efetuado anteriormente obtêm-se a Tab. 1.1 que permite relacionar as correntes dos transistores e a geração de seus múltiplos.

I_C LPNP (μA)	I_C LPNP32 (μA)	LPNP x LPNP32
36,7	1,15	31,91
78,9	2,46	32,07
124,3	4,02	30,92
161,6	5,58	28,96

Tabela 1.1 Relação entre LPNP e LPNP 32.

Verifica-se da Tab. 1.1 que a relação entre as correntes dos transistores é próxima de 32, sendo que a relação entre os transistores diminui com o aumento da corrente de coletor. Este fato ocorre pelo fato de haver um único poço para os 32 transistores que compõe o transistor LPNP32 e assim fatores como resistência entre a base efetiva e a difusão de contato de poço (que forma a base) e a fuga de corrente para o substrato (provocado pelos transistores verticais com maior área de coletor, para poços maiores) podem ser os responsáveis pelo desvio da relação. Portanto para fontes de referências maiores deve-se trabalhar com correntes menores (entre $1\mu A$ e $8\mu A$) para obter uma boa relação entre as diversas correntes de referência.

Para comparação do efeito da configuração cascode no desempenho da corrente de referência foi testado a corrente de referência composta apenas do transistor bipolar lateral e outra com a inclusão do cascode. O resultado é mostrado na Fig. 1.12 onde verifica-se que a corrente de referência com o cascode fica estabilizada com o aumento da tensão de saída.

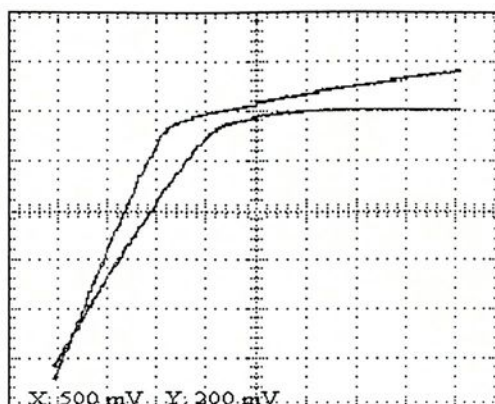


Fig. 1.12 Curva do transistor LPNP e da fonte de corrente com cascode.

1.3 Resultados Experimentais Obtidos

O conversor A/D proposto foi implementado usando o processo CMOS de $0,8\mu\text{m}$ com duplo polissilício, duplo metal e poço N. A microfotografia do circuito integrado é mostrado na Fig. 1.13. A área total do circuito é de $6,76\text{mm}^2$ ($2600\mu\text{m} \times 2600\mu\text{m}$) tendo sido encapsulado em uma estrutura DIP de 48 pinos.

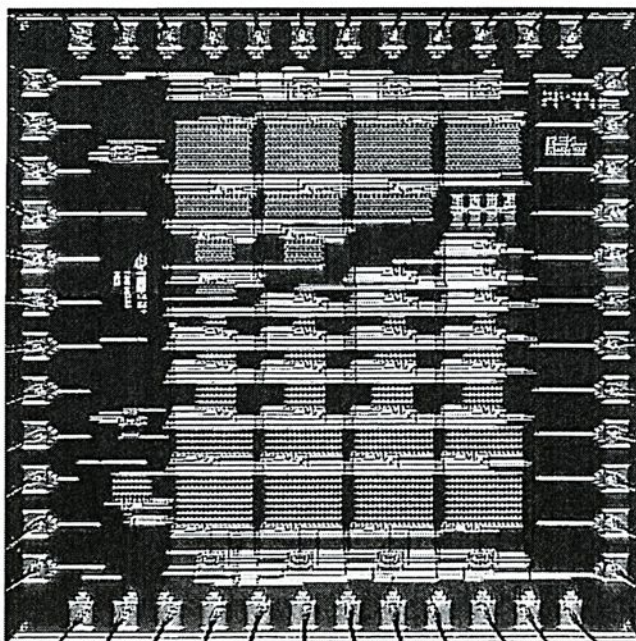


Fig. 1.13 Microfotografia do Circuito Integrado.

Para a caracterização do conversor A/D foi utilizado um gerador de função, uma placa de aquisição de dados, o software Labview e um osciloscópio, além do circuito de teste.

Para verificação da característica de transferência, a saída do conversor A/D foi aplicada a entrada de um conversor D/A, sendo aplicada a entrada do conversor A/D, uma rampa. Subtraindo-se a rampa de entrada do sinal de saída do conversor D/A obtêm-se o erro de conversão. Este esquema é ilustrado através da Fig. 1.14.

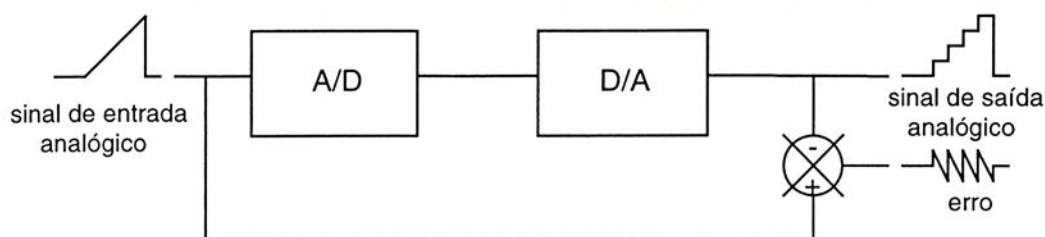


Fig. 1.14 Configuração para obtenção da característica de transferência.

Para realização das medidas e testes do conversor A/D foi montado um circuito com o conversor tensão-corrente, tensões de referência, reguladores de tensão, gerador de *clock* e um conversor D/A. A Fig. 1.15 mostra o diagrama esquemático do circuito de teste.

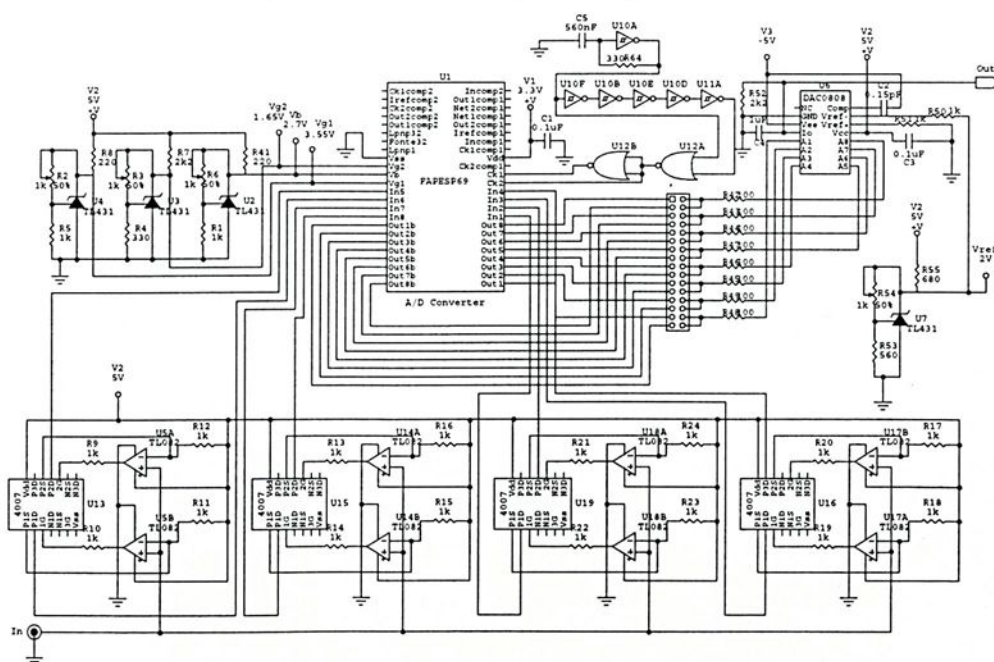


Fig. 1.15 Circuito utilizado nos testes.

A Fig. 1.16 mostra o sinal de saída do conversor A/D de 8 bits reconstituído pelo conversor D/A, para um sinal de entrada de 1kHz e a frequência de *clock* de 3MHz. O sinal reconstituído mostra que apenas os dois primeiros bits da parte mais significativa do conversor A/D apresentaram resultados.

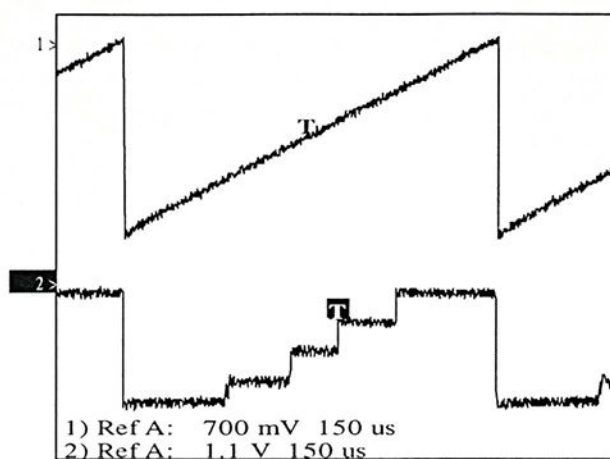


Fig 1.16. Sinal de entrada e o sinal reconstituído.

Através da atuação na polarização das correntes de referência observa-se que pode-se aumentar o número de degraus na saída do conversor D/A. O novo sinal reconstituído apresenta 3 bits de resolução como mostra a Fig. 1.17.

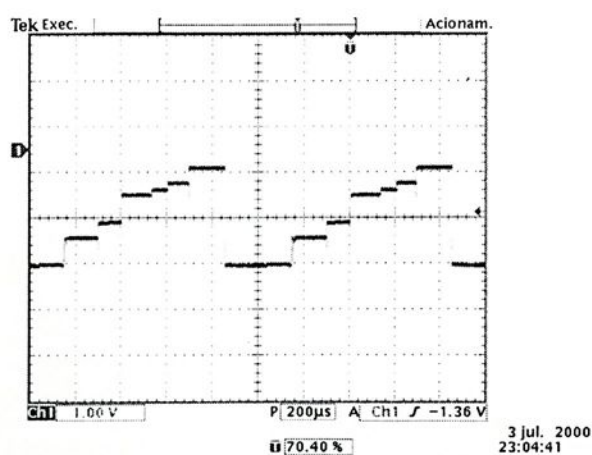


Fig. 1.17 Sinal reconstituído apresentando 3 bits de resolução.

Este resultado mostra que a provável causa da perda dos demais bits deva-se ao desvio dos valores das correntes de referência.

Outras medidas efetuadas foram o erro de não linearidade integral (INL) e o erro de não linearidade diferencial (DNL) para diversas aquisições. Estes resultados são mostrados na Fig. 1.18.

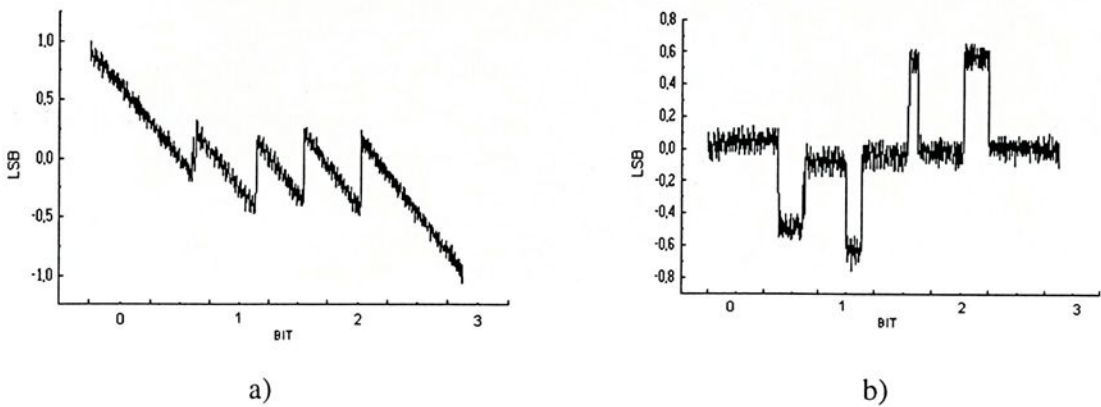


Fig. 1.18 Erro de não linearidade a) Integral (INL); b) Diferencial (DNL).

A Tab. 1.2 mostra um resumo das características e dos resultados obtidos na avaliação do conversor A/D de 8 bits .

Resolução	8 bits
Nº efetivo de bits	3 bits
Sinal de entrada	0 a 256µA
DNL	0.8
INL	1.1
Tensão de alimentação	±1,65V, ou 3.3V
Consumo de potência	340mW
Área do Conversor	3,96mm ²
Área da pastilha (total)	6,76mm ²
Máxima frequência de clock	120MHz (simulação)

Tab. 1.2 Resultados do Conversor A/D implementado.

1.4 Conclusões

Neste capítulo foi apresentado um novo algoritmo para implementação de um conversor A/D usando modo corrente e tecnologia CMOS. Os principais blocos que compõe este conversor foram analisados e apresentadas propostas de implementação bem como resultados experimentais obtidos do circuito fabricado utilizando um processo CMOS de 0,8 μ m com duplo polissilício e duplo metal. Um conversor A/D de 8 bits usando este algoritmo foi também fabricado e os resultados experimentais obtidos.

Os resultados experimentais mostraram perda de bits devido aos descasamentos das correntes de referências e *offset* dos comparadores de corrente. Outro problema detectado nesta implementação foi a necessidade de conversores tensão-corrente de precisão para geração do sinal de entrada. Apesar dos problemas encontrados os resultados obtidos mostram o funcionamento do algoritmo proposto. Refinamentos dos blocos propostos são necessários para verificação mais precisa do potencial desta configuração.



Capítulo II

Arranjo de Estruturas Analógicas Programáveis em Modo Corrente^[10].

2.1 Introdução

Os arranjos de estruturas lógicas programáveis (Field-Programmable Gate Array - FPGA) são atualmente largamente empregadas no projeto de sistemas digitais. Isto deve-se ao seu reduzido tempo de desenvolvimento de protótipos, sendo competitivo quando se deseja um pequeno volume de produção. Os arranjos de estruturas analógicas programáveis (Field-Programmable Analog Array - FPAA) por outro lado são menos comuns, mas existem tentativas de sua implementação^[11-13]. Durante a realização do programa de pós-doutorado foi estudada uma proposta de implementação de uma estrutura analógica programável destinada ao projeto de filtros analógicos que será detalhada a seguir. Este capítulo será dividido nas seguintes partes. Inicialmente será feita uma apresentação da arquitetura proposta; em seguida será feita o detalhamento dos principais blocos desta estrutura; os resultados obtidos através de simulação serão então apresentados. Encerrando este capítulo um exemplo do uso deste arranjo de estruturas analógicas para implementação de um filtro contínuo é demonstrado.

2.2 Proposta de um Arranjo de Estruturas Analógicas Programáveis (FPAA)

Um dos aspectos importantes para determinação do arranjo de estruturas analógicas programáveis mais adequada consiste na definição de sua granularidade. A granularidade e o desempenho do arranjo são conflitantes, pois uma baixa granularidade implica melhor uso da área de silício, mas diminui a flexibilidade do arranjo. Por outro lado alta granularidade acarreta aumento da flexibilidade, mas aumenta os problemas de roteamento e introduz resistências e capacitâncias parasitas devido a necessidade de mais chaves de programação, o que diminui o desempenho dos circuitos analógicos. Este fator influencia o projeto das células analógicas configuráveis (CAC) bem como a arquitetura geral do

arranjo. A configuração proposta consiste de CAC conectados através de chaves a outros 8 CACs vizinhos e a si próprio. Apesar de possuir limitações na sua conectividade este arranjo reduz o número de chaves no caminho do sinal.

A arquitetura do FPAA proposto é mostrado na Fig. 2.1 e consiste de um arranjo modular de células. Cada uma das células é composta de três sub-células: A célula analógica configurável (CAC), o registrador de programação (PR) e a lógica de programação (PL).

O circuito da célula analógica configurável CAC foi desenvolvida e será discutida na seção 2.2. Sua função pode ser programada digitalmente usando uma palavra binária (FW). As características da função também pode ser programada através de outra palavra binária (PW). A conectividade entre as CACs é configurada através de outro registro binário (RW). A saída de cada CAC é conectada as células vizinhas mais próximas. As palavras de controle para cada CAC são armazenadas no seu respectivo registrador de programação (PR). Todos os registradores de programação são conectados em série e eles atuam como um registrador de deslocamento que pode ser carregado com as palavras de programação desejada através de um único pino externo, o que simplifica o processo de programação.

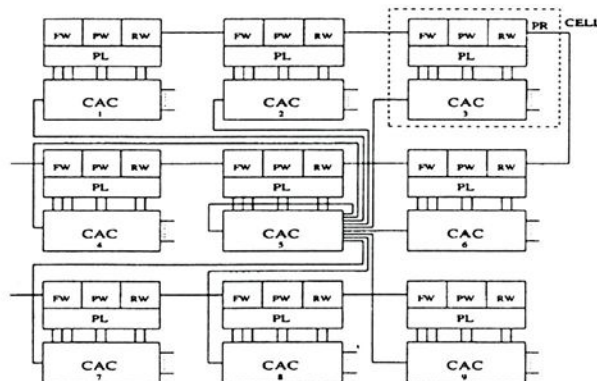


Fig. 2.1 Arquitetura do FPAA proposto.

2.3 Célula Analógica Configurável

2.3.1 Arquitetura da Célula Analógica Configurável

Os blocos fundamentais em sistemas de processamento de sinais tais como filtros e conversores de dados, são os integradores, amplificadores, atenuadores e comparadores.

Portanto no projeto da CAC é necessário ter-se em mente uma estrutura configurável que possa implementar estes. Além disso a frequência de ganho unitário do integrador do ganho e do amplificador/atenuador precisa ser programável.

O esforço inicial foi na procura de uma arquitetura apropriada para satisfazer estes requisitos. Optou-se ainda pela escolha da estrutura diferencial para obtenção de alta rejeição de modo comum (CMRR) e alta rejeição quanto a variação da fonte de alimentação (PSRR). Outra escolha foi o modo corrente de processamento de sinal devido aos seguintes fatores:

- Este modo de processamento é adequado para fontes de alimentação baixas;
- Ele oferece blocos fundamentais simples, pois a base de seus circuitos é o espelho de corrente o que permite a implementação de amplificadores e integradores com ganhos e frequências de ganho unitário programáveis;
- Ele possui resposta em frequência de banda larga devido as características de baixa impedância de seus circuitos;
- Ele permite a implementação em processo CMOS digital padrão, tornando simples a integração dos arranjos de estruturas analógicas programáveis (FPAA) com seu equivalente digital (FPGA) em sistemas mistos.

Partindo-se de espelhos de corrente é possível a proposição de integradores, amplificadores ou atenuadores de forma simples. Além destes blocos é possível a implementação de inversão de sinais, escalonamento de sinais e soma. Estas funções podem ser combinadas em estruturas mais complexas para obtenção de filtros e conversão de dados.

Para determinação do integrador em modo corrente existem várias propostas que devem ser consideradas. Basicamente este integrador pode ser dos seguintes tipos: integrador simples, integrador cascode com grande excursão ou integrador cascode dobrado (*folded cascode*)^[14-15]. Como parâmetros de desempenho para escolha da configuração mais adequada para o integrador em modo corrente deve-se considerar a resposta em frequência, a faixa dinâmica, o excesso de fase e a possibilidade de programação de todos estes fatores. A Tab. 2.1 compara as diferentes estruturas de integradores.

Analisando-se a Tab. 2.1 percebe-se que a estrutura simples tem pequeno ganho de tensão, melhor característica de linearidade e baixa tensão de polarização, mas no entanto

sua baixa impedância de saída pode causar sérios problemas quando houver variação na carga. As estruturas de integrador cascode com grande excursão possuem alto ganho e alto valor de impedância de saída, entretanto requer circuitos de polarização complexos o que ocasiona sintonia de corrente. Possui também necessidade de alta tensão de polarização. A estrutura de integrador cascode dobrado possui as vantagens do circuito cascode em termos de ganho e impedância de saída altos, sendo mais facilmente polarizado. Pode ainda trabalhar com baixa tensão de alimentação e com boa faixa dinâmica^[14-15].

Tipo de Espelho	Ganho	ϕ_E	Sensitividade a Carga	Configuração	Necessidade de Polarização
Simples	Baixo	Pequeno	Alta	Fácil	Pequena
Cascode	Alto	Grande	Baixa	Fácil	Muito Alta
Cascode Dobrado	Alto	Grande	Baixa	Difícil	Alta

Tabela 2.1 Comparação das Estruturas de Integradores.

2.3.2 Topologia da Célula Analógica Configurável Proposta

Baseando-se na análise feita anteriormente, escolheu-se dois circuitos básicos para a célula analógica configurável: o espelho de corrente cascode dobrado e o integrador cascode dobrado mostrados na Fig. 2.2 e 2.3, respectivamente. O espelho de corrente da Fig. 2 é uma topologia bem conhecida, onde a corrente injetada em Mni é espelhada em Mno. A corrente de polarização é fornecida por Mpi e Mpo. Para reduzir a impedância de entrada do espelho de corrente, um transistor (Mc) na configuração porta comum é utilizado, reduzindo a resistência de entrada do espelho de corrente por um fator de g_{mc}/g_{oc} . A polarização de Mc é fornecida por Mpc e Mnc.

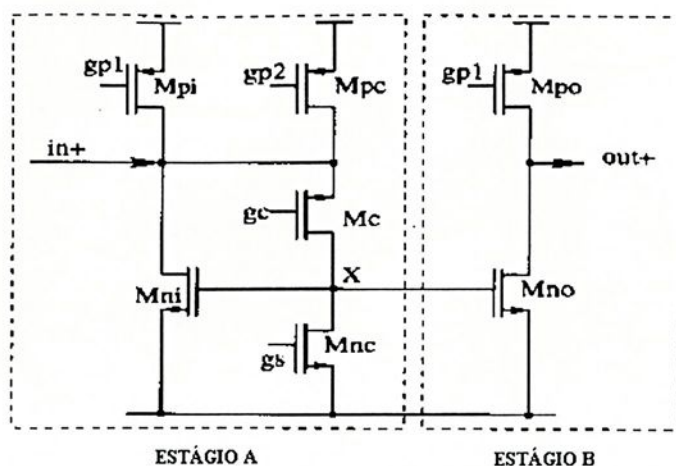


Fig. 2.2 Espelho de corrente cascode dobrado

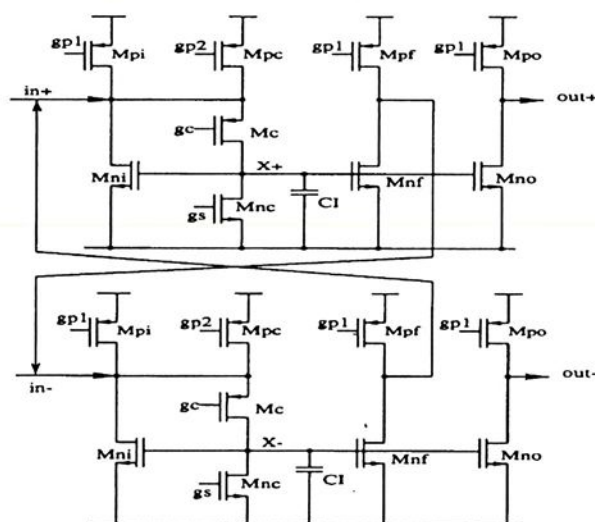


Fig 2.3 Integrador usando o espelho de corrente cascode dobrado.

O circuito amplificador/atenuador pode ser construído usando este espelho de corrente e um número variável de estágios A e B. Considerando a capacitância do nó X como sendo C_p e que a relação do espelho de corrente seja de 1:1, a função de transferência deste espelho de corrente é dada por

$$A_d = \frac{sC_p(g_{oni} + g_{opi}) - g_{mni}g_{mc}}{s^2C_p^2 + sC_pg_{mc} + g_{mc}g_{mni}} \quad \text{Eq. 2.1}$$

onde g_{mni} e g_{mc} são as transcondutância de Mni e MC respectivamente, e g_{oni} e g_{opi} são as condutâncias de saída de Mni e Mpi.

Notando que o denominador desta função de transferência é um sistema de segunda ordem com dois polos, pode-se determiná-los como sendo

$$P_{1,2} = \begin{cases} -\frac{\omega_o}{Q} \pm \frac{\omega_o}{Q} \sqrt{1 - 4Q^2} & \text{if } Q < \frac{1}{2} \\ -\frac{\omega_o}{Q} \pm j \frac{\omega_o}{Q} \sqrt{4Q^2 - 1} & \text{if } Q > \frac{1}{2} \end{cases}$$

onde

$$\omega_o = \frac{\sqrt{g_{mni}g_{mc}}}{C_p}$$

e

$$Q = \sqrt{\frac{g_{mni}}{g_{mc}}}$$

Chamando a corrente que passa através de Mpi e Mni de I_1 e a que passa por Mpc e Mnc de I_2 , verifica-se que para aumentar ω_o é necessário que I_1 e I_2 sejam aumentados. Portanto escolheu-se I_1 e I_2 com valores de $30\mu A$.

O integrador cascode dobrado mostrado na Fig. 2.3 ^[14] possui bastante semelhança com o espelho de corrente da Fig. 3.2. Os transistores Mni e Mc atuam como diodos na entrada, o capacitor é usado para integrar o sinal de entrada e o transistor Mno fornece a corrente de saída. A topologia diferencial completa é usada. A saída do estágio intermediário Mn_f/Mp_f é realimentada para entrada do diferencial do outro lado para cancelar o sinal de modo comum, mantendo o ganho diferencial inalterado.

Desprezando-se os efeitos de ordem superior, com C_1 como sendo a capacitância do integrador, o ganho diferencial do integrador é dado por

$$A_d = -\frac{g_{mni}}{g_{onc}} \frac{1 - sC_1(g_{oni} + g_{opi})/g_{mni}}{1 + sC_1/g_{onc}} \quad \text{Eq. 2.2}$$

A frequência de ganho unitário do integrador é

$$\omega_o = \frac{g_{mni}}{C_I} \quad \text{Eq. 2.3}$$

Note que os transistores Mni, Mnf e Mno são de dimensões iguais, bem como os transistores Mpi, Mpf e Mpo. A Eq. 2 indica que o ganho pode ser aumentado através do decréscimo de g_{onc} . Isto pode ser conseguido diminuindo-se o valor de I_2 (corrente através de Mnc) quando a célula analógica programável CAC opera como um integrador. A Eq. 2.3 indica que ω_o pode ser sintonizada através de g_{mni} e C_I . Desde que é mais fácil sintonizar g_{mni} , faz-se C_I constante. Determina-se que a capacitância C_I pode assumir apenas dois valores, dependendo da faixa de frequência que se deseja atuar. Na faixa acima de 10kHz escolhe-se C_I igual a 100pF e na faixa abaixo de 10MHz, C_I deve ter valor de 10pF. Formas de ajustes em passos e ajustes finos para g_{mni} são propostos com precisão razoável. Para ajustes em passos, g_{mni} é multiplicado por um valor inteiro β . Isto é feito através do escalonamento de todos os transistores do integrador pelo fator β . O ajuste fino é obtido variando a corrente de polarização em pequenos passos.

Simulações do integrador demonstram a possibilidade de programação da frequência de ganho unitário com mostra a Fig. 2.4. Esta figura mostra a sintonia de diferentes valores de ω_o através da escolha de diferentes valores de β ($\beta=1,2,4,8$).

As características da célula analógica configurável CAC determinará o desempenho dos circuitos implementados com ela. Um dos fatores principais em relação a esta célula é o excesso de fase. Erros de fase levam a filtros com fatores de qualidade imprecisos. Idealmente deseja-se filtros com fatores de qualidade infinitos, portanto procura-se diminuir os erros de fase dos integradores e minimizar os erros na banda de passagem.

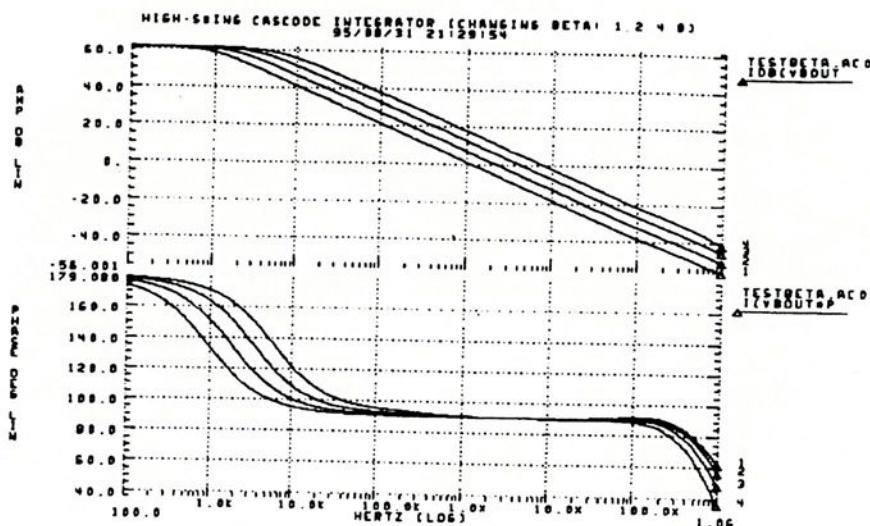


Fig.2.4 Programação do integrador variando-se β .

2.3.3 Implementação da Célula Analógica Configurável (CAC).

A Fig. 2.5 mostra a arquitetura proposta para célula analógica configurável. Ela consiste de n estágios conectados em paralelos sendo que as entradas (in^+/in^-), as saídas (out^+/out^-) e os nós de integração (x^+/x^-) são ligadas através de conexões físicas. O número de estágios (n) pode variar entre 1 a 10. O aumento indiscriminado de estágios para aumentar a faixa programável pode levar a valores parasitas elevados nos nós de conexões.

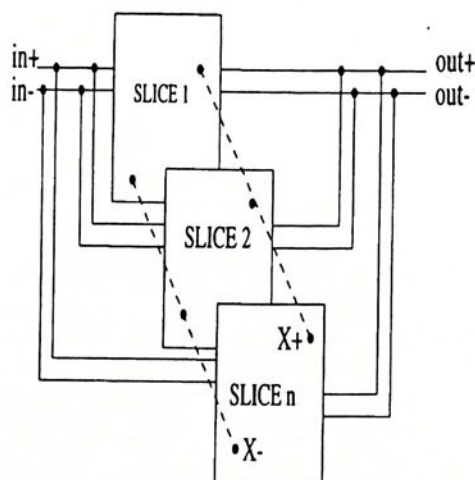


Fig. 2.5 Topologia proposta para a célula analógica configurável.

Os estágios que compõem a célula são mostrados na forma de circuitos na Fig. 2.6. Verifica-se que o primeiro circuito (Fig. 2.6a) é ligeiramente diferente dos demais (Fig. 2.6b). A diferença está na ausência das chaves S_{li} no primeiro estágio. Isto é feito para diminuir a complexidade do circuito lógico de programação, como será demonstrado em seção posterior. Cada circuito consiste de 5 ramos estruturalmente semelhantes, sendo eles M_{ni}/M_{pi} , M_{nf}/M_{pf} , M_{no1}/M_{po1} , M_{no2}/M_{po2} e M_{no3}/M_{po3} . Todos os transistores canal n destes 5 ramos possuem dimensões idênticas. O mesmo ocorrendo para os transistores canal p . Ignorando-se os ramos M_{no2}/M_{po2} e M_{no3}/M_{po3} , verifica-se que os circuitos mostrados nas Figs. 2.6a e 2.6b possuem semelhanças com o integrador da Fig. 2.3. Se o

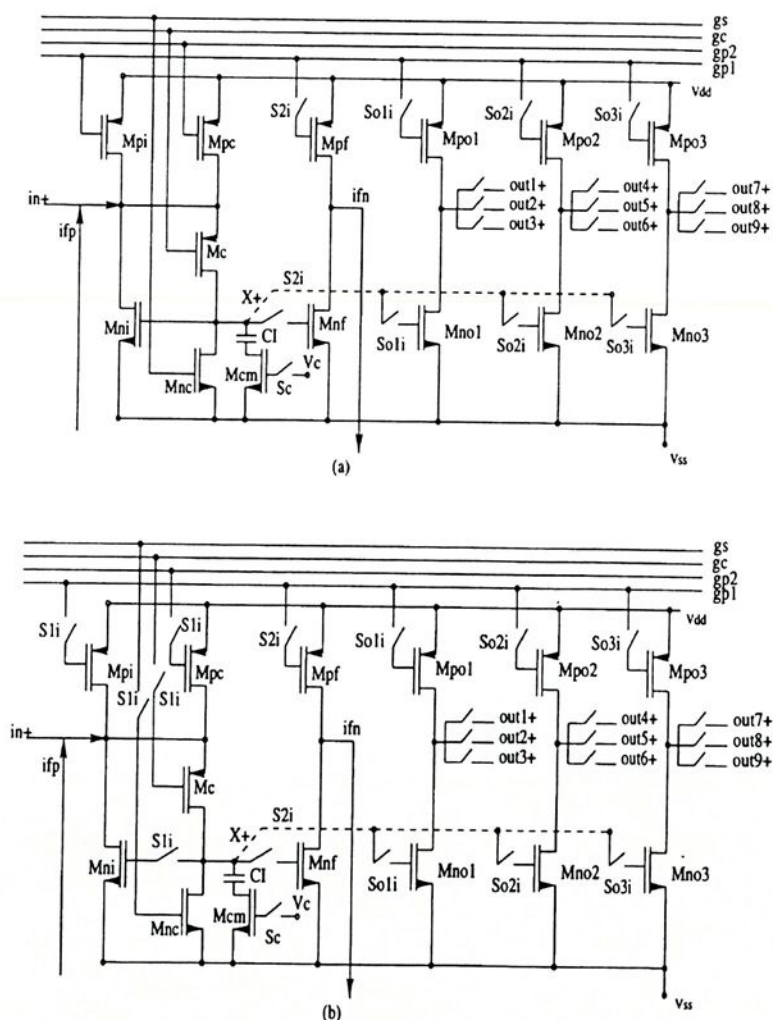


Fig. 6. a) circuito esquemático do primeiro estágio, b) circuito esquemático dos demais estágios que compõe a célula analógica configurável.

ramo composto pelos transistores M_{nf}/M_{pf} for omitido, o circuito torna-se semelhante ao espelho de corrente da Fig. 2. Os ramos M_{no2}/M_{po2} e M_{no3}/M_{po3} são necessários quando se deseja mais que uma saída. A célula analógica programável quando implementada com o circuitos mostrados na Fig. 6 pode então ser configurada como um espelho de corrente ou como um integrador com até 3 saídas.

A célula analógica configurável pode ser programada em termos de funcionalidade bem como em termos de parâmetros de desempenho. A programação da funcionalidade e destes parâmetros pode ser feita através da ativação de determinados ramos e do número de estágios. Todos os ramos são inicialmente desativados. Um ramo desativado tem todos os seus transistores cortados. Note que nenhuma porta de transistor é deixada flutuante, pois todo o transistor que estiver cortado tem sua porta conectada a alimentação apropriada. O processo de ativação dos ramos será descrita no próximo parágrafo. Para construir um amplificador de corrente com um ganho igual a m , o ramos do primeiro estágio M_{ni}/M_{pi} , $M_{nc}/M_{pc}/M_{pc}$ e M_{no1}/M_{po1} do primeiro estágio devem ser ativados. Nas restantes $m-1$ células, somente os ramos M_{no1}/M_{po1} são ativados. Os ramos M_{no2}/M_{po2} e M_{no3}/M_{po3} podem ser ativados em todos os estágios, dependendo apenas do número de saídas desejadas. Para um atenuador com perda de $1/m$ os ramos M_{ni}/M_{pi} , $M_{nc}/M_{pc}/M_{pc}$ e M_{no1}/M_{po1} do primeiro estágio são os únicos ramos ativados. Nos outros $m-1$ estágios somente os ramos M_{ni}/M_{pi} são selecionados. No integrador, a frequência de ganho unitário ω_0 pode ser sintonizada através do fator β . Este fator corresponde ao número de estágios ativados. Neste caso todos os ramos dos estágios necessários são ativados, exceto os ramos de saída, M_{no2}/M_{po2} e M_{no3}/M_{po} , que são acionados apenas quando necessários. As Tabs. 2.2 e 2.3 resumem os estados de programação da célula analógica configurável.

Função	Estágio A	Estágio B	Estágio C
Integrador	ligado	ligado	ligado
Amplificador	ligado	desligado	ligado
Atenuador	ligado	desligado	ligado

Tab. 2.2 Estados de programação do primeiro estágio.

Função	Estágio A	Estágio B	Estágio C
Integrador	ligado	ligado	ligado
Amplificador	desligado	desligado	ligado
Atenuador	ligado	desligado	desligado

Tab. 2.3 Estados de programação dos demais estágios da célula analógica configurável

Esta estrutura da célula analógica configurável oferece um compromisso entre flexibilidade e eficiência do uso de área. As chaves de programação adicionam elementos parasitas a célula. Quando a chave encontra-se no caminho do sinal, ela adiciona nós adicionais, e como as chaves possuem capacitâncias parasitas, assim como resistência finita, ela introduz pelo menos um polo no sistema a cada nó. Assim deve-se colocar um número mínimo de chaves no caminho do sinal. Para obter esta configuração, os caminhos do sinal são conectados. Note que as entradas (in^+/in^-), as saídas (out^+/out^-) e os nós de integração (x^+/x^-) dos estágios da célula são conectados fisicamente. Uma das características desta estrutura é que as chaves usadas para ativação e desativação dos estágios ou partes deles, estão no caminho da polarização. Enquanto os transistores M_{pi} , M_{pf} , M_{po} , M_{pc} , M_c e M_{nc} podem ser controlados através das linhas de polarização, o mesmo não ocorre para os transistores M_{ni} , M_{nf} e M_{no} . Para ativá-los ou desativá-los, a chave precisa estar conectada a porta ou a fonte. A chave estará então no caminho do sinal e havendo uma queda de tensão finita sobre ela, com uma queda no desempenho em frequência do circuito. Por outro lado, se a chave é conectada a porta de M_{ni} , M_{nf} e M_{no} , ela conduz corrente próxima de zero. Logo, esta última opção foi empregada para ativar os transistores M_{ni} , M_{nf} e M_{no} . A estrutura proposta possui apenas poucas chaves no caminho do sinal. As análises e simulações indicam que o impacto destas chaves no caminho do sinal possuem efeito desprezíveis na faixa de frequência de interesse. O transistor M_{cm} da Fig. 2.6 possui duas funções, atua como um resistor ativo que introduz um zero para compensar o erro de fase do integrador e ao mesmo tempo que atua também, como uma chave para conectar o capacitor no nó de integração quando a célula atua como um integrador ou o desconecta caso não se deseje implementar o integrador.

Os registradores de controle determinam as conexões de uma dada célula analógica com as células vizinhas. Cada célula possui três saídas que podem ser ativadas ou não de acordo com a necessidade. Como mostra a Fig. 2.6 as saídas são controladas através de

So1i, So2i e So3i. Ainda a primeira saída está conectada a out1, out2 e out3, a segunda saída a out4, out5 e out6 e a terceira a out7, out8 e out9. Para ilustrar onde as saídas ($i=1,2,\dots,9$) são conectadas, considere a célula CAC5 da Fig. 2.1 como exemplo: as saídas out1, out2 e out3 estão conectadas as entradas das três células da parte superior, CAC1, CAC2 e CAC3 na Fig.2.1; as saídas out4 e out6 estão conectadas as entradas das células CAC4 e CAC6, vizinhas a esquerda e a direita da célula CAC5; a saída out5 é conectada a entrada da própria célula e as saídas out7, out8 e out9 estão conectadas as células da parte inferior, CAC7, CAC8 e CAC9. A existência das chaves no caminho do sinal não afeta significativamente o desempenho do circuito em termos de frequência. Considerando as chaves de dimensões de $24\mu\text{m}/2\mu\text{m}$ em um processo CMOS de $2\mu\text{m}$ foram feitas simulações que demonstram este fato.

Optou-se por conexões parciais entre as células, pois a escolha de conexões globais acarretaria problemas de interconexão e introduziria capacitâncias parasitas que degradaria a resposta em frequência do circuito a ser implementado.

2.3.4 Resultados e Simulações da Célula Analógica Configurável Implementada

O arranjo de estruturas analógicas programáveis proposta foi projetada par um processo CMOS de $2\mu\text{m}$ da ORBIT. Demonstrou-se através de simulação que este arranjo pode operar sobre uma faixa de frequências compreendidas entre 30kHz a 10MHz. As células individuais foram simuladas. Simulações da célula, atuando como integrador, demonstraram a programabilidade da frequência de ganho unitário (Fig.2.4). Para ilustrar a programabilidade de ω_0 escolheu-se diferentes valores de β ($\beta=1,2,4,8$). Note que enquanto há a variação de ω_0 , o ganho permanece constante e o excesso de fase é menor que 1%.

A tabela 2.4 fornece os parâmetros de programação para cobrir a faixa de frequência de interesse. Para cada caso, o excesso de fase também é apresentado. Por exemplo, para construir um integrador com ganho de frequência unitário de 1,04MHz, 5 estágios de uma célula devem ser ativados e uma corrente de polarização de $3\mu\text{A}$ deve ser usada. O valor da capacitância escolhida para este exemplo é de 10pF, que pode ser implementada usando a capacitância de porta de um transistor NMOS. Como pode ser verificado da tabela, diferentes casos cobrindo uma larga faixa de frequências podem ser implementados usando

apenas dois valores de capacitores (10pF e 100pF). Deve ser notado também que a compensação da célula é projetada de modo que a razão de aspecto do transistor de compensação, M_{cm} (Fig. 2.6) é a mesma para os extremos de frequências coberto por um valor de capacitância. Assim, somente dois valores distintos de razão de aspecto de transistores são necessários: $70\mu m/2\mu m$ e $6\mu m/2\mu m$ para as capacitâncias de 100pF e 10pF, respectivamente. Usando a tecnologia de $2\mu m$, a área da célula é de $2mm^2$ (com $\beta=10$ e os dois capacitores de integração), valor estimado a partir do leiaute. Para uma tecnologia de $0,5\mu m$ a área da célula seria de $0,2mm^2$, o que permitiria a integração de pelo menos 100 células em um único circuito integrado de área de $0,5 \times 1cm^2$.

Cap (pF)	Nº de Estágios	Transistor de Compensação	Ib(μm)	f _o	Vc(V)	φ _E (graus)
100	1	70/2	3	39,81k	0	-0,04
100	1	70/2	15	74,43k	0	-0,37
100	1	70/2	30	95,5k	0	-0,27
100	5	70/2	3	172,99k	1,5	0,54
100	5	70/2	15	360,17k	1,5	0,63
100	5	70/2	30	469,96k	1,5	0,77
10	1	6/2	3	248,37k	-0,2	-0,29
10	1	6/2	15	521,34k	-0,2	0,15
10	1	6/2	30	706,27k	-0,2	-0,79
10	5	6/2	3	1,04M	1,5	-0,81
10	5	6/2	15	2,23M	1,2	-0,37
10	5	6/2	30	3,13M	1,0	0,4
10	10	6/2	3	3,13M	-0,45	-0,77
10	10	6/2	15	5,9M	0	-0,74
10	10	6/2	30	7,15M	0,5	-0,07

Tabela 2.4 Parâmetros de programação da célula programada como integrador.

2.3. 5 Circuito de Polarização

A sintonia fina dos parâmetros do integrador , por exemplo de ω_o , é obtida através da variação do corrente de polarização. A precisão da corrente é fundamental. É importante também que as tensões dreno-fonte dos transistores que compõe a célula não mudem com a

variação da corrente de polarização, de modo que todos os transistores operem na região de saturação na faixa de variação da corrente de polarização. Estes requisitos são satisfeitos utilizando-se o circuito de polarização especial mostrado na Fig. 2.7. Os amplificadores operacionais são utilizados neste circuito não necessitam ter alto desempenho, devendo possuir um ganho razoável e boa margem de fase para evitar instabilidade. Portanto utiliza-se pares diferenciais simples para sua implementação.

A precisão da corrente de referência é garantida pelo uso de uma resistência de precisão, R , que pode ser externa. A tensão através de R é determinada por V_{dd} e V_{ref} . Esta corrente de referência é espelhada para o estágio B. O ganho de corrente do espelho é determinado pelo número de transistores M_{nxi} ($i=1,2,\dots,k$) que são chaveados de forma apropriada quando necessários. Note que M_{px} e M_{py} são réplicas de M_{pi} da célula e M_{nz} é uma réplica de M_{ni} . De modo similar, M_{pc} , M_c e M_{nc} são réplicas de M_{pc} , M_c e M_{nc} da célula (Figs. 2.6a e 2.6b), respectivamente. A corrente de polarização injetada em M_{px} gerará uma tensão apropriada, g_{p1} , e também garantirá uma tensão de dreno de M_{px} de V_{ref} , devido a ação do amplificador operacional. Quando g_{p1} alimenta alguns dos transistores M_{pi} , M_{pf} e M_{po} da célula, suas correntes serão iguais a corrente de polarização de M_{px} e as suas tensões dreno-fonte terão valores próximos de $V_{dd}-V_{ref}$. De forma semelhante, g_{p2} , f_c e g_s são gerados para manter M_{pc} , M_c e M_{nc} na região de saturação para todos os valores possíveis de corrente de polarização. Na seção 2.3.2, a corrente I_2 através do ramo $M_{pc}/M_c/M_{nc}$ da célula possui valor diferente quando a célula estiver implementando um integrador ou um espelho de corrente. Para permitir isto, um controle é incorporado ao circuito de polarização, para evitar a introdução de chaves adicionais na célula. O transistor M_{ny2} é chaveado para controlar a corrente através do ramo de transistores $M_{pc}/M_c/M_{nc}$. Ou seja o transistor M_{ny2} é fechado somente quando a célula estiver configurada para atuar como amplificador ou atenuador de corrente. Isto é essencial para aumentar a largura de banda do atenuador ou do amplificador. A palavra que determina a função da célula (FW) no registrador de programação (PR) é responsável pela identificação do valor de I_2 . A palavra que determina o parâmetro (PW), por outro lado, pode variar o valor da corrente de polarização, I_1 através do chaveamento dos transistores M_{nxi} .

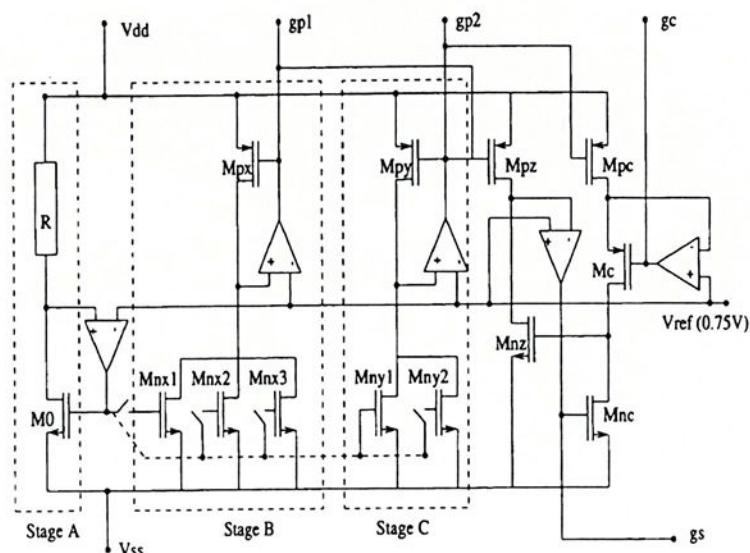


Fig. 2.7 Circuito de Polarização.

2.3.6 Lógica da Programação

A funcionalidade e os parâmetros da célula são definidas por uma lógica de programação (PL), mostrada na Fig. 2.8. O circuito de controle é bastante simples. A Fig. 2.9 apresenta as diferentes partes do circuito de controle. O controle é feito por bits fornecidos pelo registrador de programação (PR).

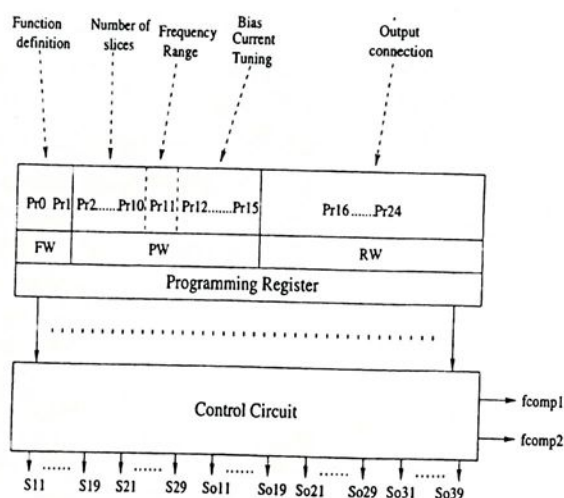


Fig. 2.8 Registrador de Programação.

O registrador de programação (PR) de cada célula possui 25 bits de informação como descrito na Fig.2.8. A palavra que define a função da célula (FW) é composta de dois bits, Pr0 e Pr1. O decodificador 2:3, mostrado na Fig. 2.9a gera três sinais, f_{int} , f_{amp} e f_{atm} , correspondendo ao integrador, ao amplificador e ao atenuador, respectivamente. A palavra de determina os parâmetros (PW) é composta de 9 bits (Pr2, Pr3,..., Pr10) para programação do número de estágios a ser ativados na célula. Note que o primeiro estágio não possui chaves como mostra a Fig. 2.6a. As chaves S2i do primeiro estágio são controladas pelo sinal f_{int} , gerados pelos bits Pr0 e Pr1. Desde que o ramo Mpf/Mnf fornecem um aumento de ganho, ele é acionado pelas chaves S2i somente quando a célula for configurada como um integrador. As chaves So1i, So2i e So3i do primeiro estágio são controladas pelos bits Pr16 a Pr24 que serão descritos posteriormente.

Os bits Pr2 a Pr10 são responsáveis pela ativação dos estágios 2 a 10, respectivamente. O sinais, s1i, s2i, so1i, so2i e so3i ($i=2,3,...,10$), controlam as chaves S1i, S2i, So2i e So3i, respectivamente, do segundo ao décimo estágio. Por exemplo, as chaves, S1i permanecem desativadas quando a célula é configurada como um amplificador. Logo $\overline{f_{amp}}$ é usada como uma das entradas de uma porta E com Pri ($i=2,3,...,10$) sendo a outra, para gera os sinais de controle para as chaves S1i. De modo similar, f_{int} junto com Pri ($i=2,3, ...,10$) gera os sinais de controle para as chaves S2i (Fig. 2.9b). A palavra que define os parâmetros (PWW) também determina a escolha do valor da capacitância dependendo da faixa de frequência desejada. Os sinais f_{comp1} e f_{comp2} são utilizados para a escolha de um dos valores de capacitância. Estes sinais são gerados usando um bit, Pr11 e f_{int} como mostra a Fig.2.9c. Os bits Pr12 a Pr15 são usados para programação da corrente de polarização, I_1 . O número de bits usado para este fim, determina a resolução da sintonia fina. Estes bits acionam os transistores Mxi que atuam com chaves, como mostrado na Fig. 2.7. Com 6 bits usados para programação desta corrente, é possível obter-se 16 níveis de corrente distintos. A saída $\overline{f_{int}}$ é empregada para fechar o transistor Mny2 do circuito de polarização (Fig.2.7), aumentando a corrente I_2 que passa através do ramo Mpc/Mc/Mnc da célula para aumentar a largura de banda do atenuador ou do amplificador. O registrador PW possui 14 bits.

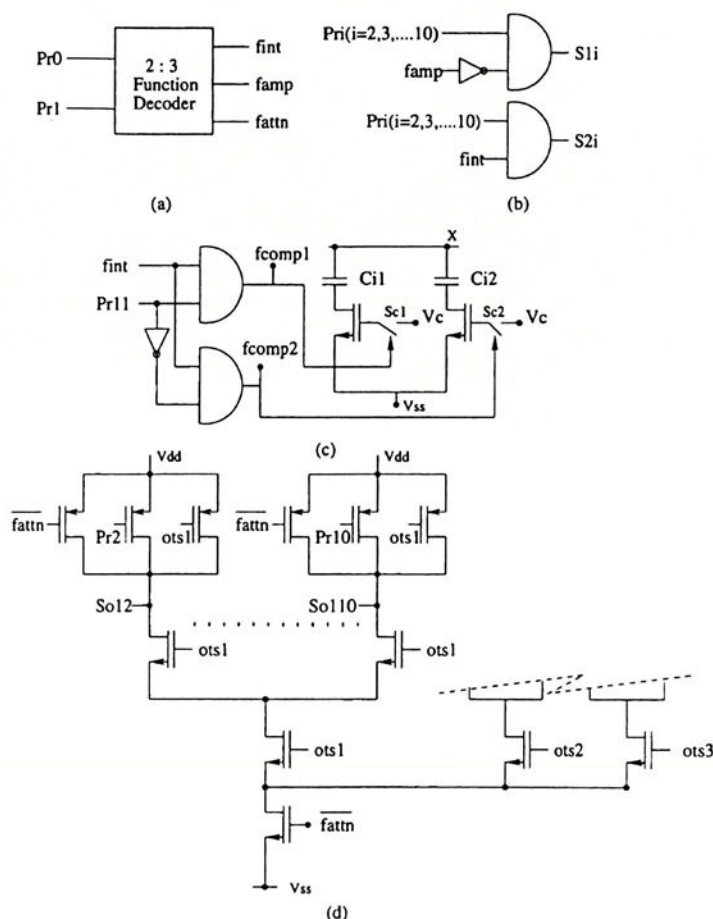


Fig. 2.9 Subseções do Circuito de Controle.

A palavra que determina o roteamento (RW) é composta de 9 bits, $Pr16$ a $Pr24$, que são usados para determinação das conexões entre as diversas células e as saídas dada célula. Cada saída é conectada a entrada de três células vizinhas. Os bits $Pr16$, $Pr17$ e $Pr18$ configuram a conexão de uma saída, contudo, seu um dele é ativado, a primeira saída é uma saída válida e assim $ots1$ (seleção da primeira saída) será colocada em 1. O valor de $ots1$ pode ser gerado por uma porta OU, com entradas $Pr16$, $Pr17$ e $Pr18$. De forma análoga, os bits $Pr19$ a $Pr21$ estabelece a conexão para a segunda saída gerando $ots2$, e os bits $Pr22$ a $Pr24$ são responsáveis pela terceira saída. O bloco lógico que executa o controle das saídas é mostrado na Fig. 2.9d. O circuito é análogo a uma porta NÃO-E de três entradas, sendo elas, $\overline{fattn}$, Pri ($i=2,3,\dots,10$) e $otsi$ ($i=1,2,3$). Desde que as saídas devem ser ativadas

somente se a célula for configurada como um integrador ou um amplificador, $\overline{fattn}$ é usado como um bloco lógico na Fig. 2.9d, para gerar os sinais $so1i$, $so2i$ e $so3i$. Resumindo, são necessários 25 bits para programar uma dada célula, bem o como as suas conexões.

2.4 Exemplo do Arranjo de Estruturas Analógicas Programáveis atuando como Filtro

O arranjo de estruturas analógicas programáveis pode ser usada para implementação de filtros usando cascata de circuitos biquadráticos. Para isso foi escolhido a implementação do circuito biquadrático composto de 3 integradores como mostra a Fig.2.10. O circuito é implementado com 3 integradores e 2 atenuadores. Cada um destes blocos é configurado a partir da célula. Esta topologia biquadrática permite o ajuste independente de Q e da frequência de centro.

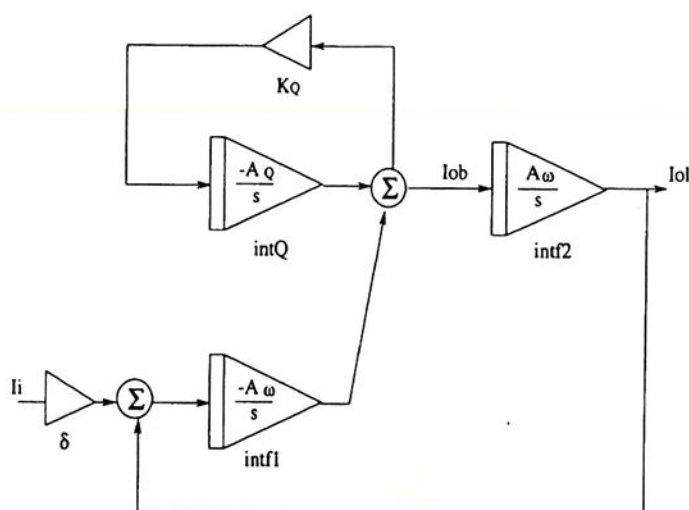


Fig. 2.10 Configuração Biquadrática composta de 3 integradores.

$$\frac{I_o}{i_i} = \frac{-\delta A_{\omega} s}{s^2 + A_Q K_Q s + A_{\omega}^2}$$

Eq. 2.4

A função de transferência de um filtro passa-banda é dado por

$$Q = \frac{A_{\omega}}{A_Q K_Q} \quad \text{Eq. 2.5}$$

$$\omega_o = A_{\omega} \quad \text{Eq. 2.6}$$

sendo A_Q e A_{ω} são as frequências de ganho unitário dos integradores correspondentes, δ é a atenuação na entrada e K_Q é a atenuação de Q . Desde que a frequência de ganho unitário do integrador é programado através da mudança do número de estágios e da variação da corrente de polarização, a Eq. 2.6, indica que a frequência central do filtro pode ser sintonizada da mesma forma. O Q do filtro passa-banda é obtido através da Eq. 2.5. A frequência de ganho unitário, A_{ω} é projetada para ser igual a A_Q , de modo que o valor de Q é determinado somente pelo fator de atenuação de Q , K_Q . Diferentes combinações dos parâmetros mencionados podem ser escolhidos para a realização das especificações desejadas.

A Fig. 2.11 mostra o mapeamento para implementação do circuito biquadrático usando a arquitetura do arranjo proposto na Fig. 2.1. Nesta implementação são utilizadas seis células (CAC1 a CAC6). As conexões são determinadas através da palavra de roteamento. Por exemplo, das 9 conexões possíveis para as saídas de CAC5, somente as conexões para CAC1 e CAC6 foram ativadas, como indica as linhas mais escuras da figura. A função e os parâmetros de cada célula são listados na Tab. 2.5. As funções são determinadas através da palavra FW como explicado anteriormente, os bits Pr0 e Pr1 de CAC1, CAC3 e CAC4 são colocados como 00 para configurá-los como atenuador e 01 para os CAC2, CAC5 e CAC6 para configurá-los como integrador. Os parâmetros são programados pela palavra PW que determina o valor de β , a faixa de frequência e a corrente de polarização. O valor de β para cada célula depende de sua aplicação. Entretanto, note que as células CAC1, CAC3 e CAC4 tem o mesmo valor de β , que determina o valor do fator de qualidade do circuito biquadrático. As células CAC5 e CAC6 tem o mesmo valor de β que determina a frequência de centro do circuito biquadrático. O bit Pr11 é o mesmo para todas as células porque todas operam na mesma faixa de frequência. A polarização de cada célula é fornecida pelo circuito de polarização. Da Tab.5 verifica-se que as células CAC1, CAC3 e CAC4 possuem a mesma corrente de polarização ($I_{b_{att}}$) e podem compartilhar do mesmo circuito de polarização, enquanto que CAC2, CAC5

e CAC6, que usam correntes de polarização $I_{b_{int}}$, dividem outro circuito de polarização. A ativação das conexões de saída de cada célula é determinada pela palavra RW. Como exemplo, para implementar o circuito da Fig. 2.11, Pr16, Pr21 da célula CAC5 são colocados em 1 para estabelecer a conexão entre as saídas de CAC5 e a entrada de CAC1 e CAC6, enquanto que os outros bits de roteamento possuem valor 0. A Tab. 5 mostra o valor da palavra RW para cada célula.

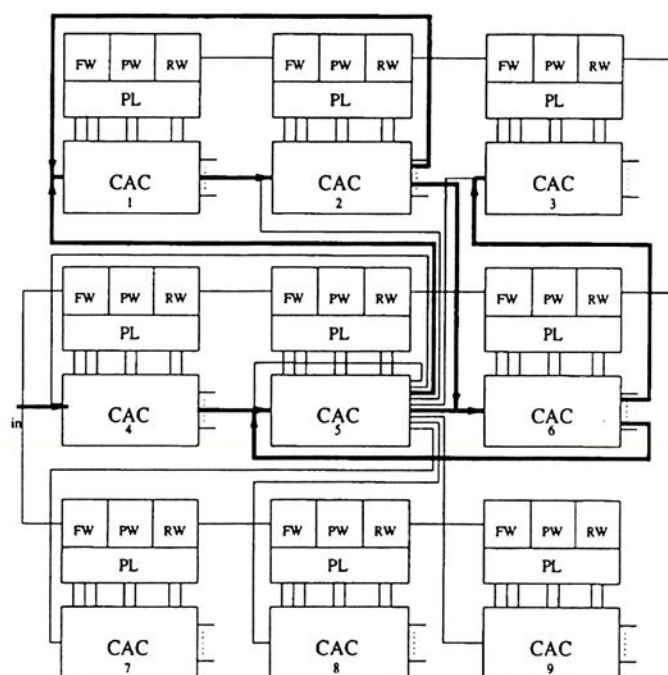


Fig. 2.11 Implementação da Configuração Biquadrática usando as células.

As simulações do circuito biquadrático mostra que ω_b pode ser programado como mostra a Fig.2.12 e a programação de Q pode ser verificada através da Fig. 2.13. A programação é obtida através da sintonia em passo, selecionando-se o número de estágios de cada célula e a sintonia fina, através da variação da corrente de polarização.

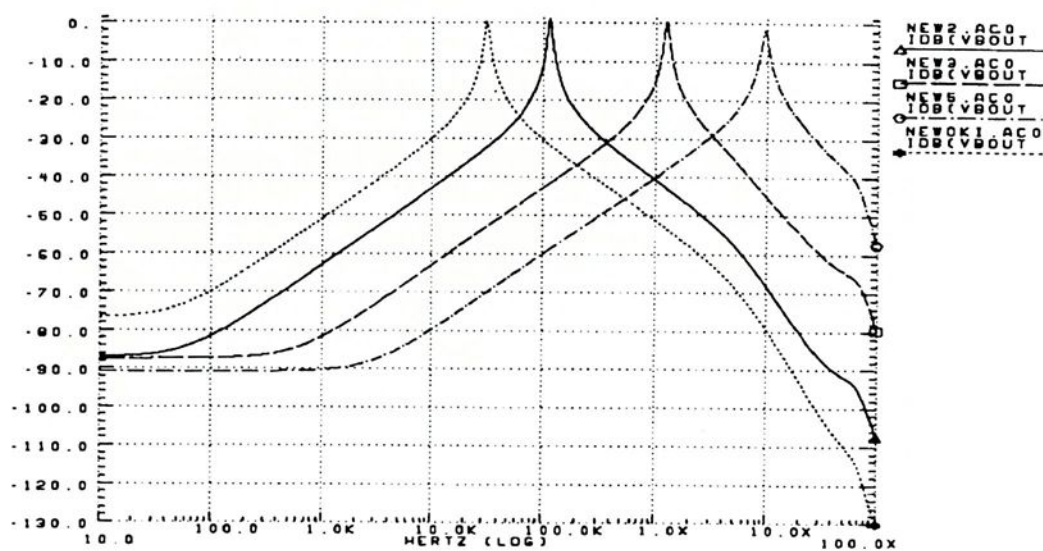
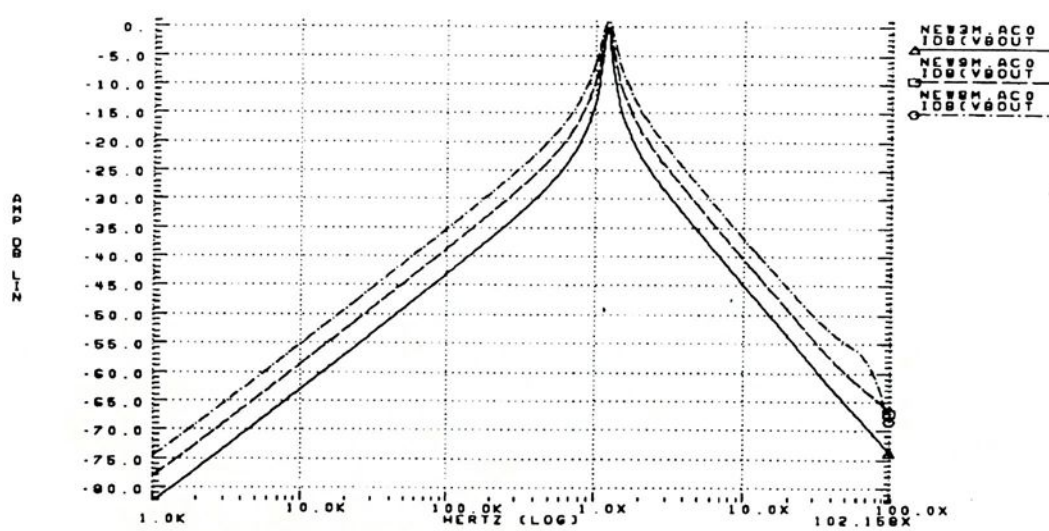
Fig. 2.12. Programação de ω_0 do Circuito Biquadrático.

Fig. 2.13 Programação de Q do Circuito Biquadrático.

2.5 Conclusões

Neste capítulo foi apresentado uma nova arquitetura de arranjo de estruturas analógicas configuráveis (FPAA). Esta arquitetura procurou conciliar compromissos entre flexibilidade e número de chaves no caminho do sinal. Desta forma a programação desta arquitetura procurou utilizar chaves no caminho da polarização, para melhoria da sua resposta em frequência. A arquitetura proposta possui simplicidade e possibilidade de programação, tanto de sua função quanto dos parâmetros de sua célula. Para demonstração de seu funcionamento, testes das células individuais e de construção de um filtro passa-banda foi simulado e apresentado, mostrando a exequibilidade e flexibilidade deste arranjo.

Para programação de cada célula são necessários 25 bits. Entretanto há possibilidade de aumento da flexibilidade se a faixa de frequência puder ser reduzida. Uma proposta seria dividir a faixa de atuação do circuito através da criação de duas categorias de arranjos. Mudanças podem ser feitas no projeto para reduzir o número de bits de programação, reduzindo as possibilidades de conexão interna e de sintonia fina dos parâmetros. Assim, a arquitetura do arranjo proposto pode ser adequada para satisfazer uma grande faixa de requisitos e visando um ótimo compromisso entre complexidade e flexibilidade. Esta proposta foi submetida a integração tendo-se obtidos resultados experimentais^[16], mas que não constam neste relatório porque o docente não participou diretamente desta fase do trabalho.



Capítulo III

Implementação de Redes Neurais usando Processo BiCMOS

3.1 Introdução

Um dos tópicos de interesse de pesquisa do docente é a área de implementação de redes neurais artificiais utilizando técnicas de projeto de circuitos integrados analógicos. Devido ao grande desenvolvimento sofrido nesta área, houve uma aumento considerável de propostas de implementação de topologias que pudessem tornar viável a exploração das diversas vantagens destas estruturas. A implementação utilizando técnicas de projeto de circuitos integrados analógicos, devido as suas características, mostrou-se adequada para estas propostas.. Basicamente as técnicas analógicas permitem a exploração do paralelismo inerente as redes neurais, da velocidade dos circuitos analógicos e também da robustez existentes nas redes neurais quanto a variação de parâmetros dos circuitos analógicos. Neste capítulo desta tese serão apresentados uma síntese dos trabalhos publicados pelo docente nesta área de pesquisa. Será apresentado inicialmente uma proposta de uma rede neural usando função de base radial, bem como sua implementação usando circuitos integrados lineares comerciais e algumas propostas de aplicação. Em seguida será descrito a implementação desta rede usando tecnologia BiCMOS.

3.2 Redes Neurais com Função de Base Radial (RNFBR)^[17]

As redes neurais com função de base radial representam um paradigma novo no campo das redes neurais artificiais. Embora já houvesse a aplicação desse tipo de estrutura na resolução de problemas de interpolação com múltiplas variáveis e em estatística, só recentemente elas vêm sendo incluídas no campo de estudos das RNA ^[18].

Nesta seção será apresentado os principais aspectos teóricos referentes às RNFBR's, tais como os seus fundamentos matemáticos e o processo de aprendizado.



3.2.1 Fundamentos Teóricos das RNFBR

De forma geral, uma função qualquer $y(\mathbf{x})$ pode ser representada pela soma ponderada de um número finito de *funções de base* $f(\cdot)$, conforme apresentado abaixo:

$$y(\mathbf{x}) \equiv \sum_{i=1}^M w_i f(\mathbf{x}, \mathbf{p}_i) + w_0 B \quad \text{Eq. 3.1}$$

sendo que :

M - número de funções de base;

w_i - peso referente à i -ésima função de base;

w_0 - peso referente ao “bias”;

B - “bias” (em geral, $B = +1$);

$\mathbf{p}_i$ - vetor de parâmetros, incluindo os fatores de forma e de deslocamento da i -ésima função de base.

Os parâmetros M , w_i , w_0 e $\mathbf{p}_i$ são sujeitos a ajuste através de aprendizado.

A Eq. 3.1 pode aproximar qualquer função arbitrária com um grau desejável de precisão desde que se disponha de um número suficientemente grande de unidades intermediárias (hidden units), e que a função de base $f(\mathbf{x}, \mathbf{p}_i)$ seja absolutamente integrável ou uma função monotônica limitada ^[19].

Algumas funções bastante conhecidas enquadram-se nos requisitos exigidos pelo teorema citado acima.

3.2.2 Funções Radiais

As funções radiais formam uma classe especial de funções. Sua característica básica é apresentarem uma resposta monotonicamente crescente ou decrescente a partir de um centro ^[18].

A seguir serão apresentadas duas funções de base radial que serão utilizadas neste trabalho, a função gaussiana e a função secante hiperbólica quadrática.

3.2.2.1 Função Gaussiana

A função gaussiana é dada pela equação:

$$f(x, b, c, w) = w \cdot \exp(-b(x - c)^2) \quad \text{Eq. 3.2}$$

sendo:

c - centro

b - largura

w - amplitude

Na Fig. 3.1 é mostrada uma função gaussiana típica.

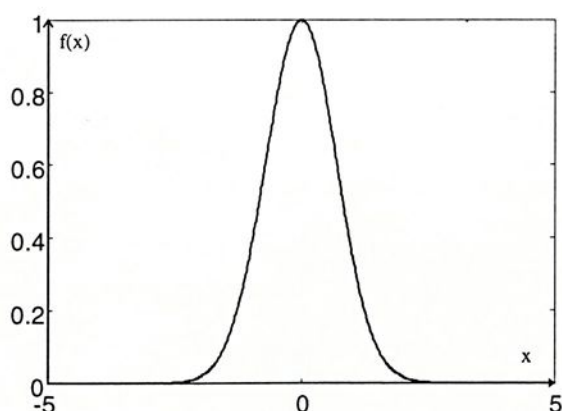


Fig.3.1: Gráfico da função gaussiana com parâmetros $c = 0$, $b = 1$ e $w = 1$.

3.2.2.2. Função Secante Hiperbólica Quadrática (SHQ)

A função secante hiperbólica quadrática é dada por:

$$f(x, b, c, w) = w \cdot (\text{sech}(b(x-c)))^2 \quad \text{Eq. 3.3}$$

sendo:

c - centro

b - largura

w - amplitude

Na Figura 3.2 pode ser visualizada a função SHQ típica.

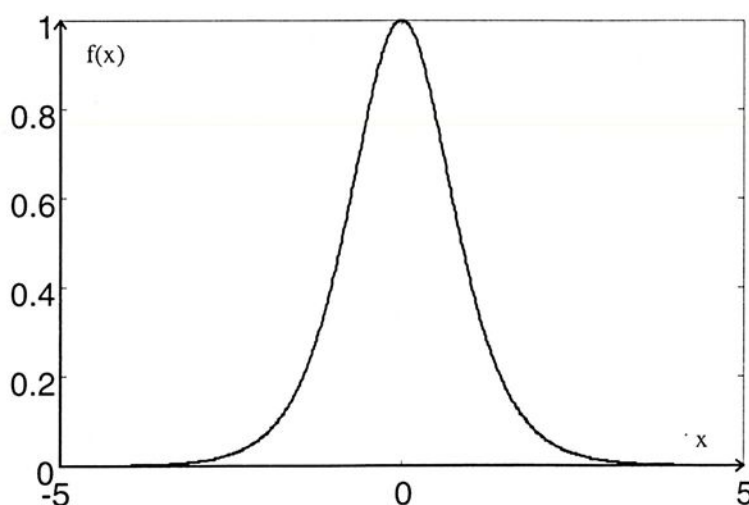


Fig.3.2: Gráfico da função SHQ com parâmetros $c = 0$, $b = 1$ e $w = 1$.

3.2.3. Processo de Aprendizado

Neste trabalho utilizou-se como função de base a função gaussiana e a função secante hiperbólica ao quadrado. A partir da Eq. 3.1, pode-se obter uma visualização esquemática da rede conforme apresentado na Fig. 3.3.

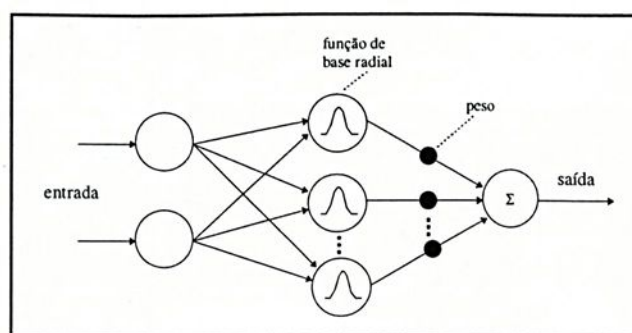


Fig.3.3: Diagrama esquemático de uma RNFBR.

A RNFBR é geralmente dividida em três camadas. A primeira é constituída por funções lineares e serve apenas para distribuir os sinais de entrada para a segunda camada. Esta, por sua vez, compõe-se das funções de base radiais e executa uma transformação não-linear no espaço de entrada. A última camada fecha o processo e constitui-se de um simples combinador linear.

O aprendizado da RNFBR apresenta, em geral, quatro fases:

- 1) Determinação do número de unidades da camada intermediária;
- 2) Localização dos centros;
- 3) Determinação da largura das funções;
- 4) Ajuste dos pesos de ligação entre as camadas intermediária e de saída.

A literatura apresenta vários métodos para se implementar cada uma das fases descritas acima [18], [20], [19]-[21].

3.2.3.1. Método Clássico

É o mais simples. Inicialmente, arbitra-se o número M de unidades na camada intermediária. Em seguida os centros são determinados aleatoriamente a partir dos padrões de entrada. A largura é calculada por:

$$b = \frac{M}{d^2} \quad \text{Eq. 3.3}$$

sendo d a máxima distância euclidiana entre os centros. Por fim, a camada de saída é otimizada com o uso da pseudo-inversa.

3.2.3.2. Método de Moody-Darken

É um método híbrido em que a camada intermediária se auto-organiza e a camada de saída é ajustada de modo supervisionado. No ajuste dos centros utiliza-se um algoritmo de agrupamento como, por exemplo, o “k-means”. Para determinação da largura das funções utiliza-se um algoritmo que gere uma hiper-superfície contígua e suave, como o “p-nearest”. A determinação dos pesos lineares da camada de saída é feita com o algoritmo dos mínimos quadrados (LMS) ^[22-23].

3.2.3.3. Método do Gradiente Descendente

Este método foi bastante difundido pelo algoritmo “back-propagation”. Ele se baseia na busca em uma direção de decréscimo do erro quadrático na saída em função dos parâmetros ajustáveis da rede. A alteração dos parâmetros (Δp) no método do gradiente descendente padrão é calculada por:

$$\Delta p = -\mu \frac{\partial E}{\partial p} \quad \text{Eq. 3.5}$$

onde μ é a taxa de aprendizado, p é o parâmetro a ser ajustado e E representa a função Erro Quadrático decorrente da apresentação de todos os padrões de treinamento.

Desta forma, durante o processo de aprendizado, o conjunto de parâmetros na iteração $k+1$ é dado por:

$$p(k+1) = p(k) + \Delta p(k) \quad \text{Eq.3.6}$$

Com o intuito de diminuir a probabilidade do processo estacionar em um mínimo local, pode-se aplicar variantes do método padrão, como por exemplo a técnica do

momento, taxa de aprendizado adaptativa, etc. Neste trabalho foi utilizada uma variante conhecida como “simulated annealing” na qual é acrescentado um termo de ruído aleatório sendo que a amplitude máxima do ruído depende de uma temperatura virtual T cujo valor decresce a cada iteração.

3.3 Implementação Eletrônica de RNFBR

Nesta seção será apresentado o circuito proposto para implementação das redes neurais de base radial (RNFBR), bem como uma visão geral de algumas propostas encontradas na literatura. Serão comentadas também as principais características das implementações práticas das redes, bem como os desafios a serem enfrentados.

3.3.1. Implementação Eletrônica de Redes Neurais

Embora haja a possibilidade de se construir discretamente a rede neural artificial, o objetivo maior é sempre visando a implementação na forma de circuito integrado ^[24-25]. Pode-se dividir as implementações da seguinte forma:

- ◆ digital
- ◆ analógica
- ◆ mista.

A grande vantagem da implementação analógica é o aproveitamento do paralelismo natural da rede, o que aumenta em muito a velocidade de trabalho do circuito. Entretanto, há vários problemas a enfrentar, sendo que o principal deles é a necessidade de uma memória analógica para armazenar os parâmetros ajustáveis da rede. Atualmente, há várias propostas para implementação dessas memórias. As mais usuais são resistores, capacitores e transistores MOS de porta flutuante (FGMOS). Um outro problema importante na implementação analógica é o descasamento entre componentes, gerando as diferenças indesejadas de tensão ou corrente (“offset”, em inglês). No caso da rede mista, a

implementação das funções é feita analogicamente e o armazenamento dos parâmetros e o controle da rede são feitos digitalmente.

Pode-se classificar as implementações de RNA's quanto a outros fatores, como por exemplo:

- ◇ Arquitetura
- ◇ Programável ou fixa
- ◇ Aprendizado (“off line”, “on-chip” ou “chip-in-the-loop”)
- ◇ Número de neurônios
- ◇ Escalabilidade
- ◇ Bits de precisão
- ◇ Custo

Vale a pena detalhar os diversos tipos de aprendizado que podem ser implementados:

- * “off-line”: é feita uma simulação no computador e depois transfere-se os parâmetros encontrados para o circuito;
- * “on-chip”: o algoritmo é implementado eletronicamente dentro do circuito;
- * “chip-in-the-loop”: em cada iteração o erro na saída é calculado apresentando os padrões exemplos ao circuito e medindo-se a sua saída. Os valores atualizados dos parâmetros são calculados no computador e transferidos para o circuito.

3.3.2. Revisão da Literatura

Neste item, será feito uma breve retrospectiva de algumas propostas encontradas na literatura sobre implementação de RNFBR's.

Em ^[26] é apresentado um circuito MOS para computar similaridade e dissimilaridade entre sinais, em outras palavras, o grau de proximidade entre eles. O

circuito utiliza um bloco denominado “correlacionador de corrente”, o qual por sua vez tem um funcionamento próximo ao de uma porta AND. Nessa proposta podem ser ajustados os centros e as amplitudes da função. Uma das características do circuito é que ele usa transistores em inversão fraca. Isto implica níveis de corrente da ordem de nanoamperes tornando o circuito evidentemente mais sensível a ruídos. Além disso, o uso da inversão fraca limita bastante a velocidade de resposta do circuito.

Em ^[27] é proposto um circuito para implementar a função gaussiana usando aproximação por partes. Isto é feito por intermédio de um par diferencial e espelhos de corrente os quais realizam as operações aritméticas necessárias (soma ou diferença). Os parâmetros de amplitude e centro podem ser ajustados eletronicamente, mas a largura das funções depende das dimensões dos transistores do par diferencial, o que torna a programação mais difícil e limitada. O artigo não trata da escalabilidade.

Em ^[28] é proposto um circuito para implementação de função gaussiana. Ele utiliza um transistor MOS na saturação atuando como quadrador e um espelho de Widlar com MOS em inversão fraca para realizar a exponencial. O circuito implementa apenas metade da função. Para conseguir uma função completa é necessário utilizar-se um circuito quadrático na entrada. A amplitude pode ser variada em uma ampla faixa, mas a largura é limitada a uma pequena faixa. Para tornar o circuito realmente viável é imprescindível o uso dos quadradores na entrada.

Em ^[29] é apresentado um circuito que implementa uma função de base radial aproximadamente gaussiana. O funcionamento do circuito é baseado na característica de corrente de um par complementar CMOS (inversor). Apesar da simplicidade e pequeno tamanho, o circuito apresenta certos inconvenientes tais como assimetria da função e o fato da amplitude depender das dimensões dos transistores que formam o par complementar. É descrita também uma versão multivariável do circuito utilizando o correlacionador de correntes para multiplicar as funções entre si.

Em ^[30] é feita uma proposta para implementar funções não-lineares baseada em séries de Dirac as quais, nesse caso, são compostas por diferenças de tangentes hiperbólicas. O artigo não trata esse processo como RNFBF, mas o resultado é similar. Também não é feita uma análise do caso multivariável.

Em ^[31] são apresentados dois circuitos para implementação de funções gaussianas. É utilizado um multiplicador de Gilbert para realizar a função quadrática e um transistor MOS em inversão fraca conectado como diodo para a função exponencial. Um dos circuitos permite apenas a variação do centro e da largura com várias ordens de magnitudes. O outro permite a variação de todos os parâmetros incluindo a amplitude, mas a largura fica restrita a apenas uma ordem de magnitude.

Em ^[32] propõe-se um circuito para redes gaussianas utilizando quadradores na entrada, os quais implementam a norma euclidiana (distância entre o vetor de entrada e o centro da gaussiana). A função exponencial é realizada por meio de um integrador com capacitor e a saída da gaussiana é na forma de pulsos retangulares sendo que a amplitude da função é dada pela largura dos pulsos. A variância (largura da função) pode variar duas ordens de magnitude.

3.3.3. Circuito Proposto

O circuito proposto neste trabalho é baseado na curva característica de transcondutância do par diferencial com transistores bipolares. O par diferencial é um dos blocos mais utilizados na implementação de redes neurais portanto é conveniente fazer uma breve revisão sobre esse circuito e suas curvas características.

3.3.3.1. O Par Diferencial Bipolar

O esquema do par diferencial é apresentado na Fig.3.4. Como o próprio nome sugere, a saída do circuito é função da diferença entre as tensões nas entradas ^{[33]-[35]}.



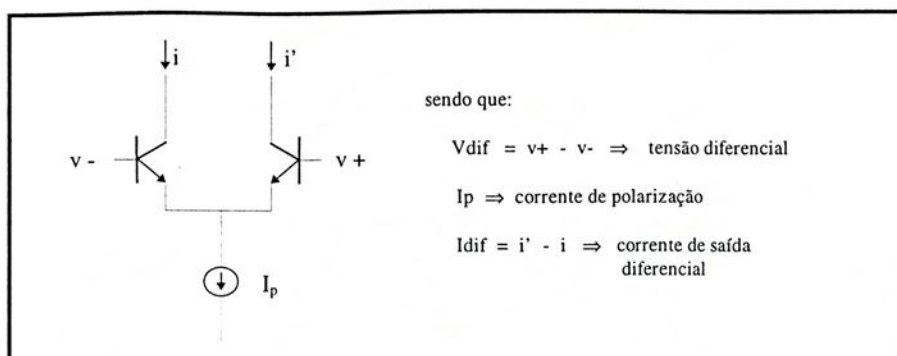


Fig. 3.4 : Esquema simplificado do par diferencial bipolar.

A equação que rege o par diferencial é dada por:

$$I_{dif} = \beta \cdot I_p \cdot \tanh\left(\frac{V_{dif}}{2V_t}\right) \quad \text{Eq. 3.7}$$

sendo :

β ganho do transistor

V_t equivalente térmico de tensão (V)

A Fig. 3.5 mostra a curva característica de saída do par diferencial.

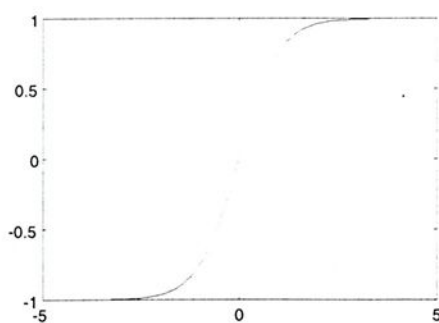


Fig. 3.5. Curva característica do par diferencial bipolar.

A equação de transcondutância do par diferencial é dada por:

$$g = \frac{\partial I_{dif}}{\partial V_{dif}} = \frac{\beta \cdot I_p}{2V_t} \cdot \text{SHQ}\left(\frac{V_{dif}}{2V_t}\right) \quad \text{Eq. 3.8}$$

sendo :

g transcondutância do par diferencial.

A Fig.3.6 apresenta a curva característica de transcondutância típica de um par diferencial bipolar.

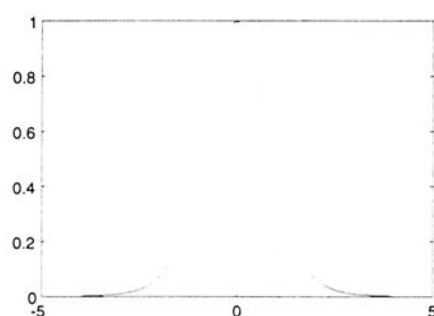


Fig.3.6. Curva de transcondutância do par diferencial bipolar.

A resposta do par diferencial tem uma aparência bastante familiar aos pesquisadores de redes neurais pois nada mais é do que a tangente hiperbólica (sigmóide) freqüentemente usada no perceptron multicamadas juntamente com o algoritmo “back-propagation”. Já a curva de transcondutância é a derivada da primeira e é também bastante familiar, pois trata-se da secante hiperbólica ao quadrado. A idéia original deste trabalho foi utilizar esta característica de transcondutância para implementar uma função de base radial.

3.3.4. A Diferença como Aproximação da Derivada

Para responder à questão formulada partiu-se da fórmula da derivada de uma determinada função $f(x)$. Ela é dada por :

$$f'(x) = \lim_{\Delta \rightarrow 0} \frac{f(x + \Delta) - f(x)}{\Delta} \quad \text{Eq. 3.9}$$

Da Eq. 3.9 depreende-se que para Δ suficientemente pequeno pode-se conseguir uma aproximação suficiente da derivada. Portanto, chegou-se à conclusão de que com dois pares diferenciais e uma pequena tensão de offset aplicada na entrada de um deles obtém-se a implementação eletrônica da função derivada suficientemente próxima da desejada. Desta forma, a equação fica:

$$f'(x) \cong \frac{f(x + \Delta) - f(x)}{\Delta} \quad \text{Eq. 3.10}$$

O circuito completo fundamentado nas idéias apresentadas é mostrado na Fig. 3.7.

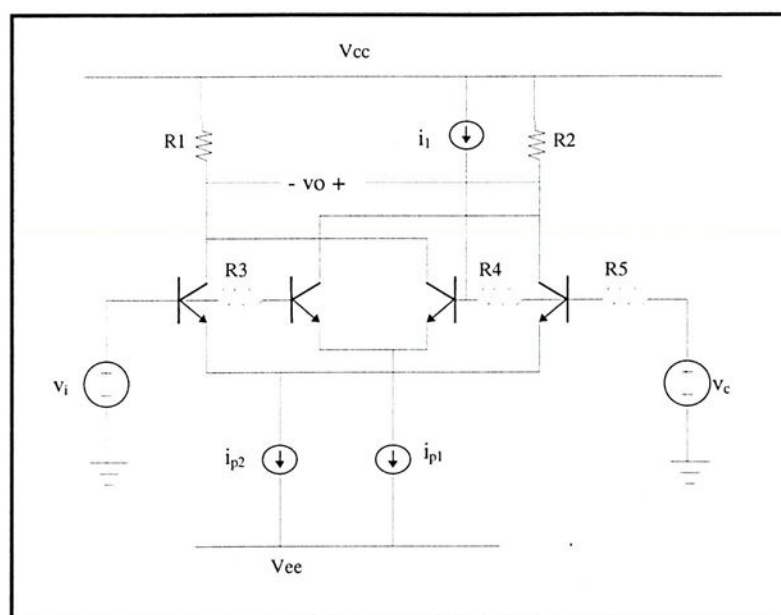


Fig. 3.7 : Circuito básico proposto para implementação de FBR.

3.3.5. Simulações com o Circuito Proposto

Foram realizadas várias simulações com o circuito proposto a fim de se avaliar o seu comportamento com relação aos parâmetros ajustáveis. Os quatro gráficos seguintes mostram as principais características do circuito.

Primeiramente, é mostrada a curva principal do circuito(Fig. 3.8), a qual permite a visualização clara de seu comportamento como função radial.

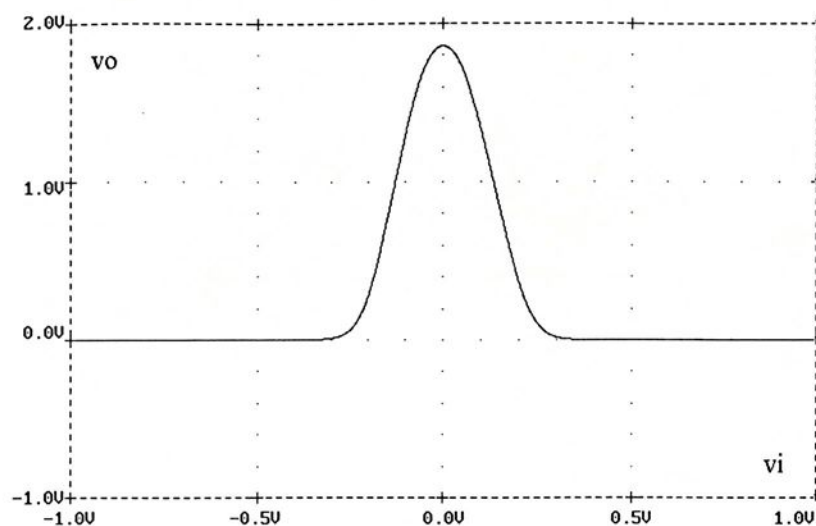


Fig.3.8: Curva característica do circuito FBR básico obtida de simulação.

A segunda curva apresentada na Fig. 3.9, mostra o comportamento do circuito com relação à variação dos centros mantendo-se fixos os demais parâmetros.

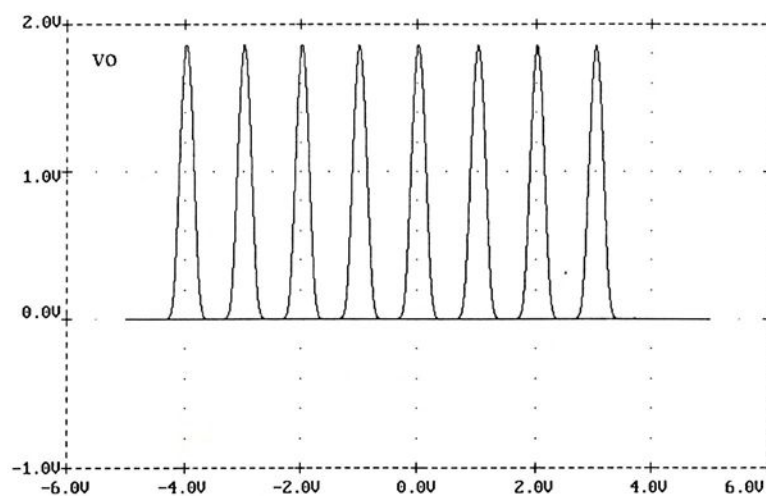


Fig.3.9: Variação de centro do circuito FBR básico simulado.

A terceira curva (Fig. 3.10) apresenta a variação na amplitude da saída em função de variações na corrente de cauda dos pares diferenciais.

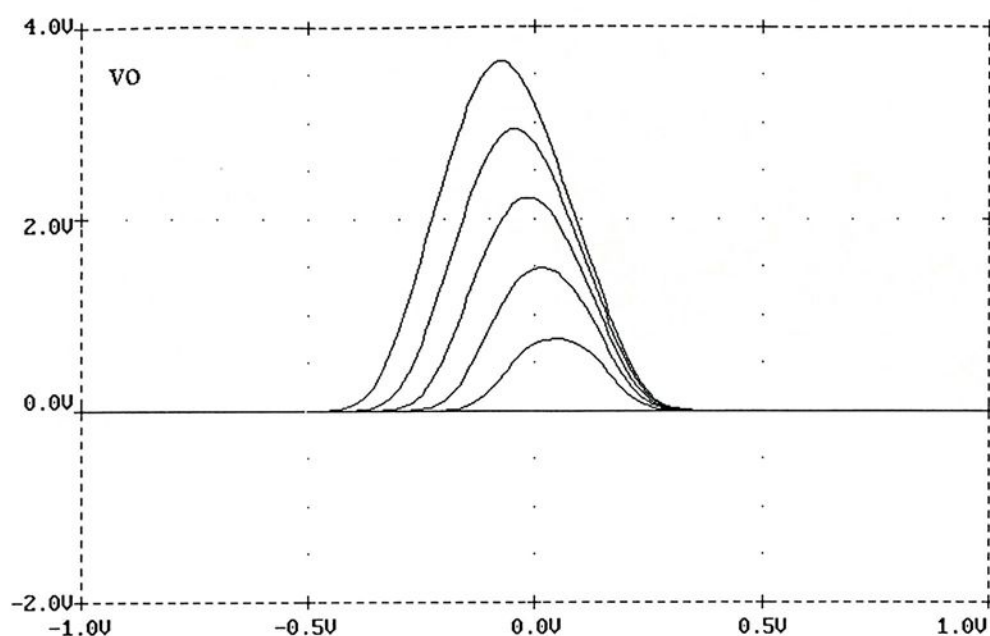


Fig.3.10: Variação na Amplitude da FBR simulada.

Por último, é mostrada na Fig. 3.11, a variação na largura em função de variações no resistor R4.

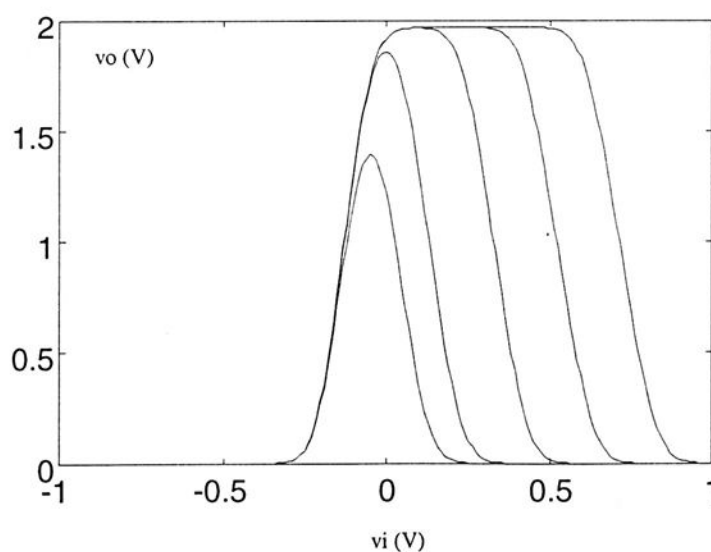


Fig.3.11: Variação da largura da função com relação a mudança em R4.

3.4. Implementação do Circuito FBR utilizando Amplificadores Operacionais de Transcondutância (OTA's)

A idéia básica do circuito para implementar a FBR foi apresentada na seção 3.2. No entanto, decidiu-se utilizar amplificadores operacionais de transcondutância (OTA's) na implementação prática, o que permitiria a montagem discreta do circuito com um melhor casamento entre componentes e maior facilidade na montagem.

Nesta seção será analisada com mais detalhes essa implementação, partindo-se dos principais aspectos do OTA até o circuito FBR completo.

3.4.1. Princípio de Funcionamento do OTA

O símbolo usado para representar o OTA é mostrada na Fig. 3.12. O amplificador operacional de transcondutância consiste basicamente em um par diferencial na entrada e alguns espelhos de corrente, os quais fazem a subtração das correntes de coletor dos transistores componentes do par diferencial, conforme mostrado nas Figs. 3.13 e 3.14 ^[36-37].

O comportamento do OTA é descrito pela equação:

$$i_{saída} = g \cdot i_p \cdot v_{ent} \quad \text{Eq. 3.11}$$

sendo:

- g - transcondutância do OTA;
- i_p - corrente de polarização;
- v_{ent} - tensão diferencial na entrada.

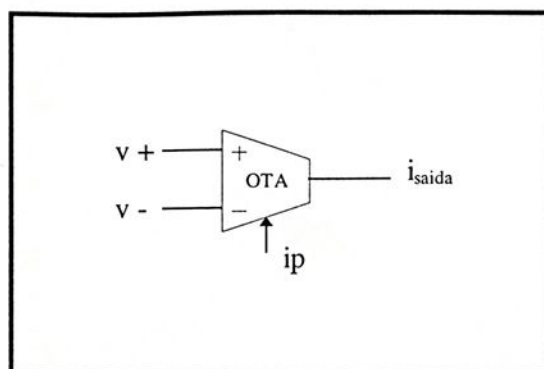


Fig. 3.12: Símbolo usado para o OTA.

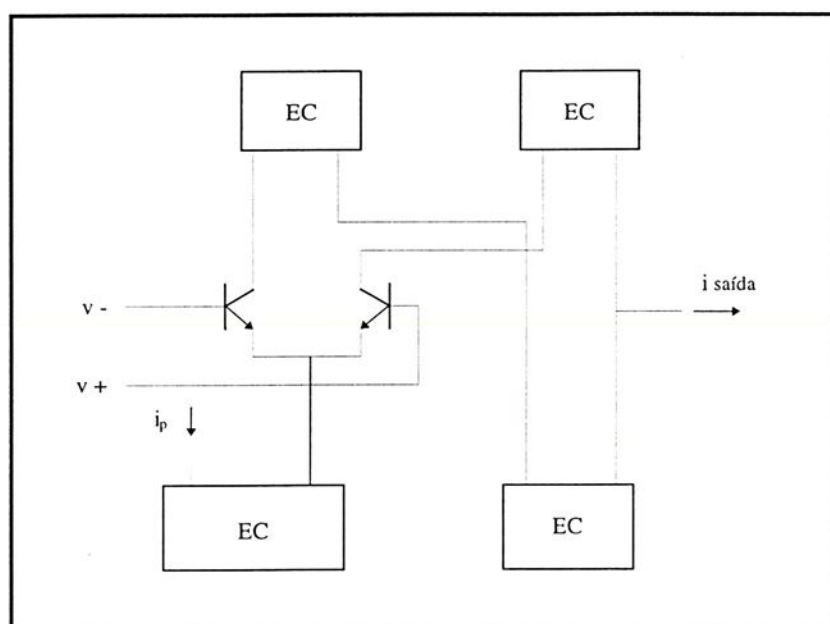


Fig. 3.13: Esquema simplificado do OTA.

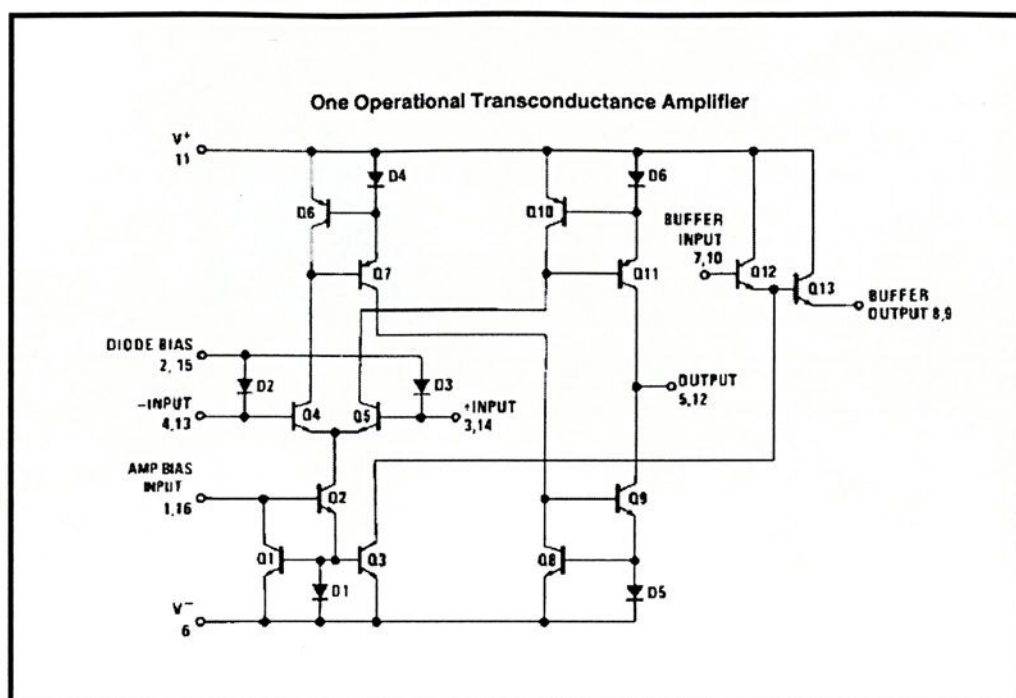


Fig. 3.14: Diagrama esquemático do OTA LM13600N.

O OTA efetua uma operação de multiplicação entre a corrente de polarização e a tensão diferencial na entrada. Contudo, esta multiplicação só apresenta comportamento linear para uma pequena faixa de tensão na entrada, conforme Fig. 3.15 e 3.16. O circuito tem uma resposta característica praticamente idêntica à do par diferencial, ou seja, uma tangente hiperbólica.

Como o núcleo básico do OTA é o par diferencial bipolar, o seu comportamento é similar; assim, a curva de transcondutância também tem a forma de uma SHQ.

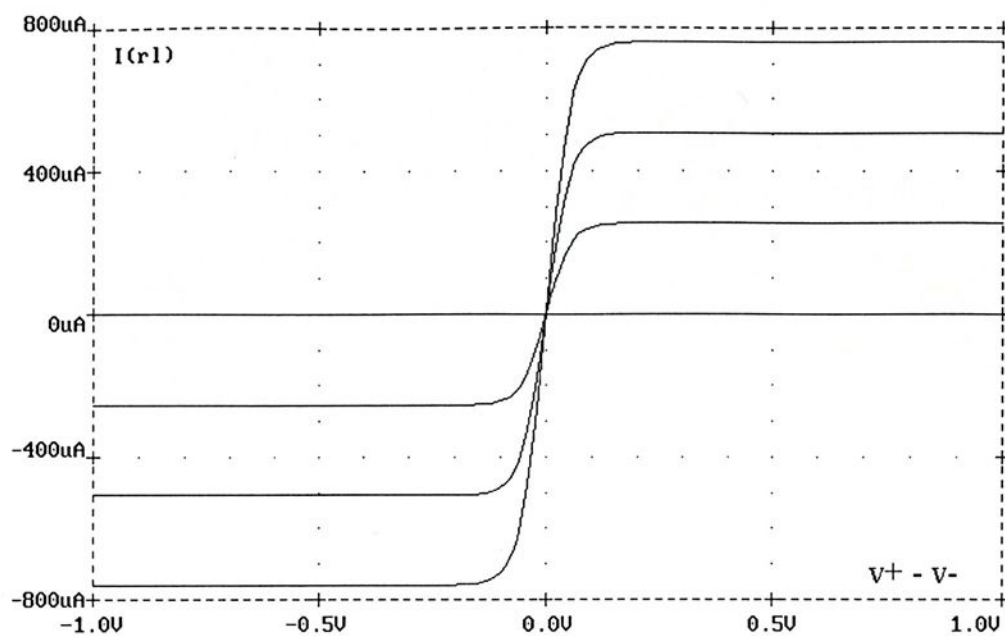


Fig. 3.15: Curva característica do OTA LM13600N obtida por simulação.

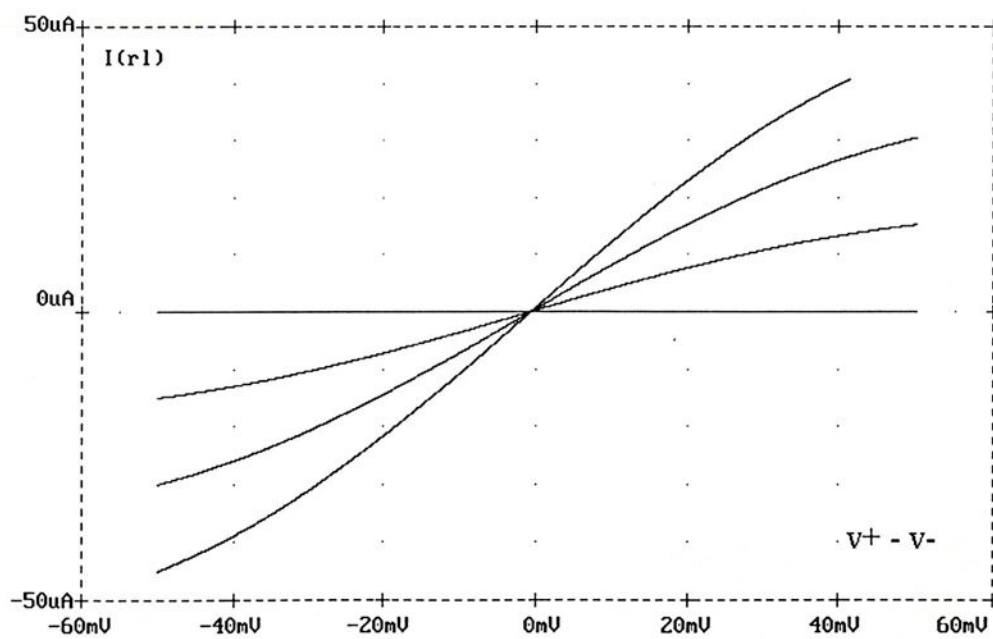


Fig. 3.16: Ampliação da curva anterior mostrando a região quase linear.

3.4.2. O OTA Linearizado

Geralmente, utiliza-se o OTA em aplicações lineares tais como amplificadores, filtros, impedâncias e osciladores (todos estes circuitos controlados por corrente), ou então como elementos de chaveamento em multiplexadores, temporizadores e “sample-hold”.

Em ^[36] (Fig. 3.17) é apresentado um circuito que lineariza o OTA em uma ampla faixa de trabalho.

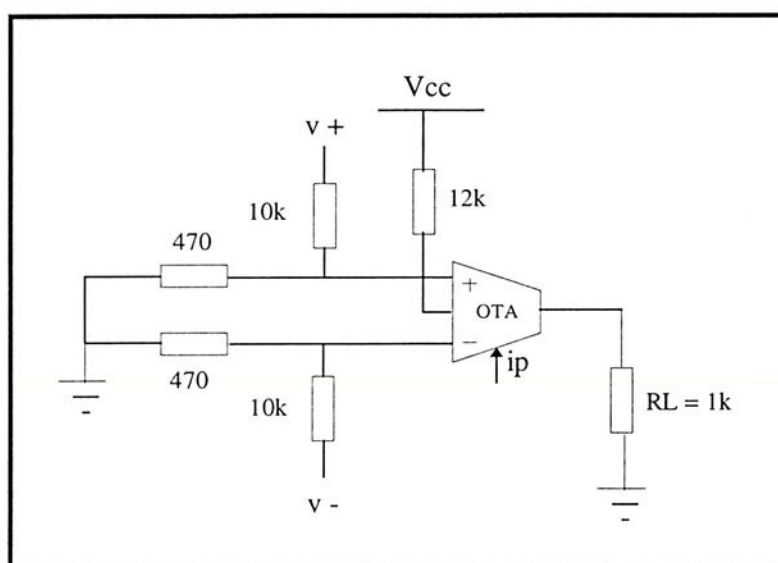


Fig. 3.17: OTA linearizado.

Na Fig. 3.18 é apresentada a curva característica para o circuito com OTA linearizado. Nota-se que ele funciona como multiplicador linear em uma ampla faixa.

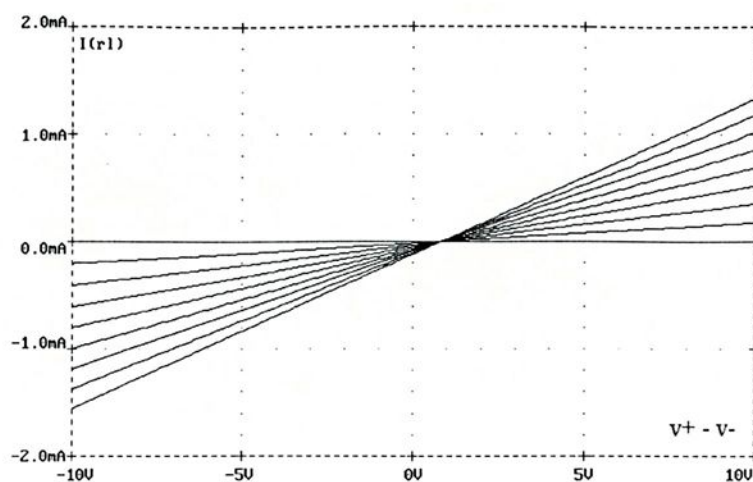


Fig. 3.18: Curva característica simulada do OTA LM13600N linearizado.

3.4.3. O Circuito FBR com OTA's

O circuito proposto neste trabalho usa a característica de tangente hiperbólica do OTA, exatamente como no circuito proposto na seção anterior, no intuito de obter a sua derivada, que é a secante hiperbólica quadrática. O circuito total é mostrado na Fig. 3.19.

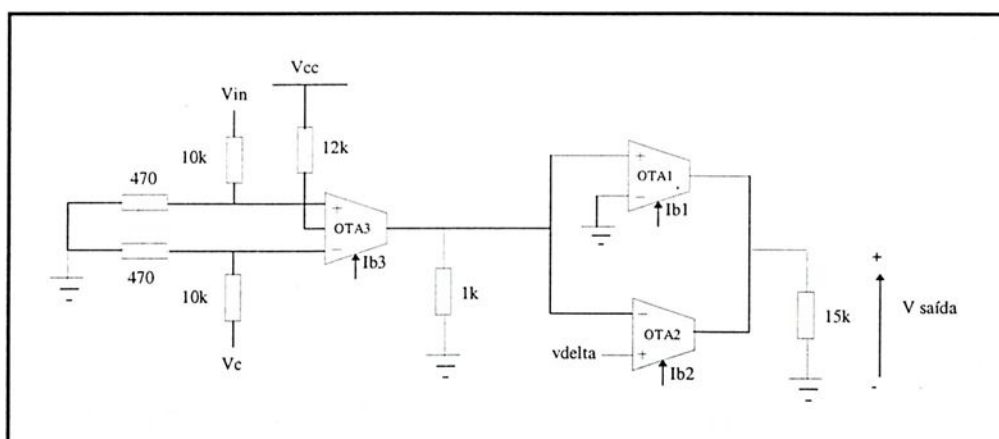


Fig. 3.19: Diagrama completo do circuito FBR.

Na entrada, um OTA linearizado, permite que se varie o centro e a largura da função. Os OTA's 1 e 2 realizam uma função secante hiperbólica quadrática fixa com

relação ao centro e à amplitude. O terceiro OTA executa a função de multiplicador. Assim, o circuito FBR completo realiza a seguinte função:

$$f(x, b, c, w) = w \cdot (\text{sech}(b(x - c)))^2 \quad \text{Eq. 3.12}$$

sendo:

- c - centro
- b - largura
- w - amplitude

A realização da gaussiana é feita da mesma forma, e trata-se na verdade de uma aproximação. Conforme pode-se notar na Figs. 3.20 o circuito aproxima bem a função de base. A Fig. 3.21 mostra a variação no formato da curva ao se modificar a corrente de base do primeiro amplificador operacional de transcondutância, permitindo assim que a largura da gaussiana possa ser modificada.

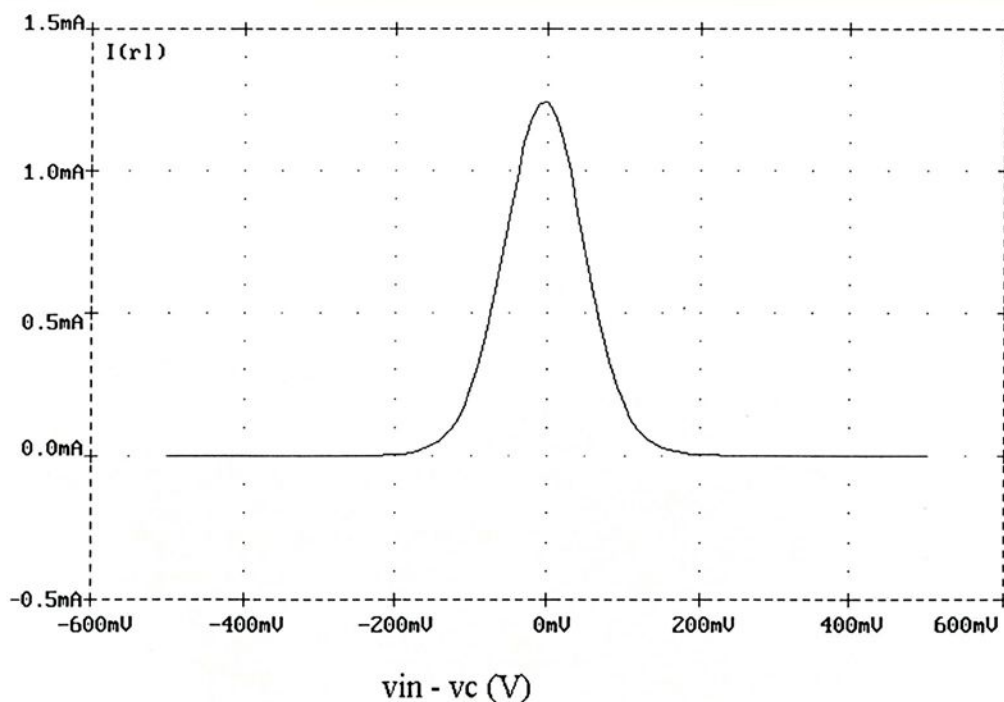


Fig. 3.20: Curva típica da resposta do circuito FBR.

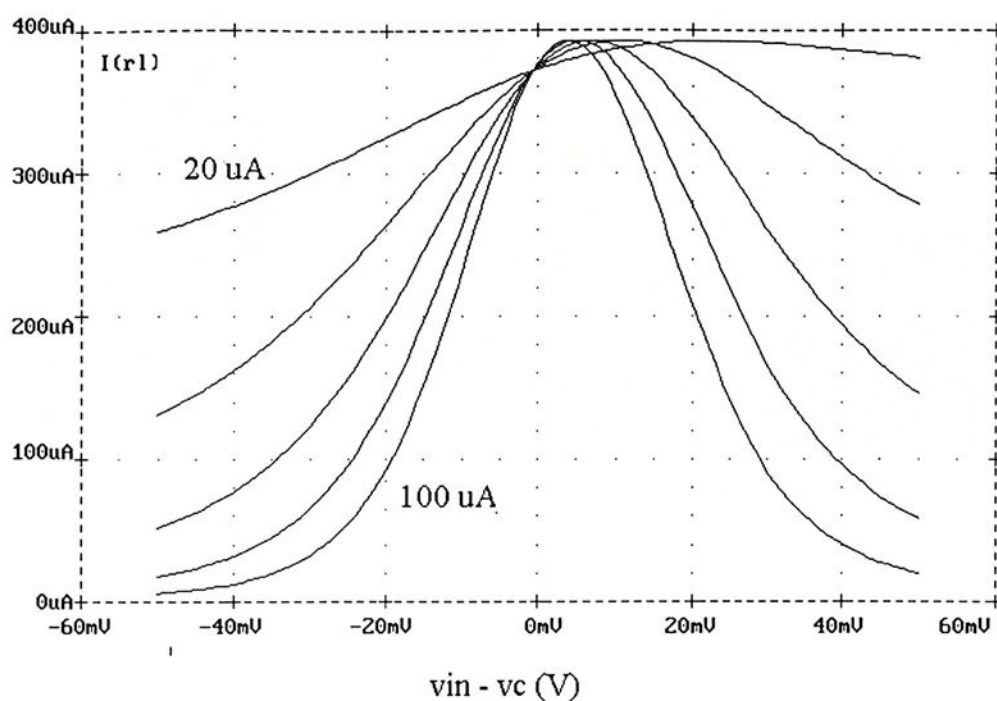


Fig.3.21: Resposta do circuito FBR para correntes de polarização i_{b3} variando entre 20 μA e 100 μA .

3.4.4. Resultados Experimentais

Para testar a proposta de implementação usando amplificadores operacionais de transcondutância foi testado o circuito mostrado na Fig.3.19. Na implementação prática, as fontes de corrente foram substituídas por resistores e as fontes de tensão de centro por divisores resistivos. Na Fig.3.22 é apresentada a curva experimental da saída de uma FBR típica para uma entrada triangular, obtida no osciloscópio. Na Fig. 3.23 é apresentado um gráfico do tipo XY, o qual mostra a característica da FBR.

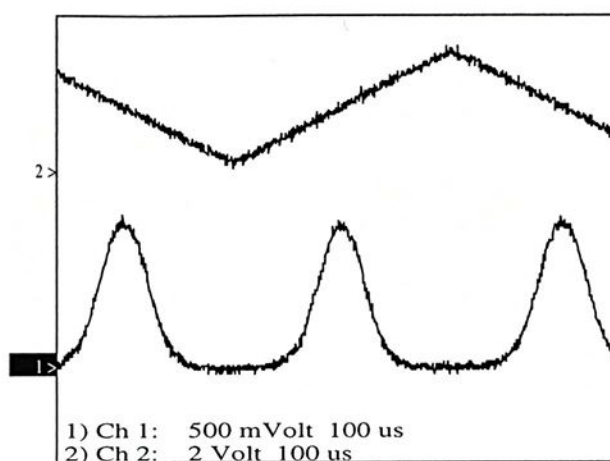


Fig.3.22: Saída da FBR para uma entrada triangular.

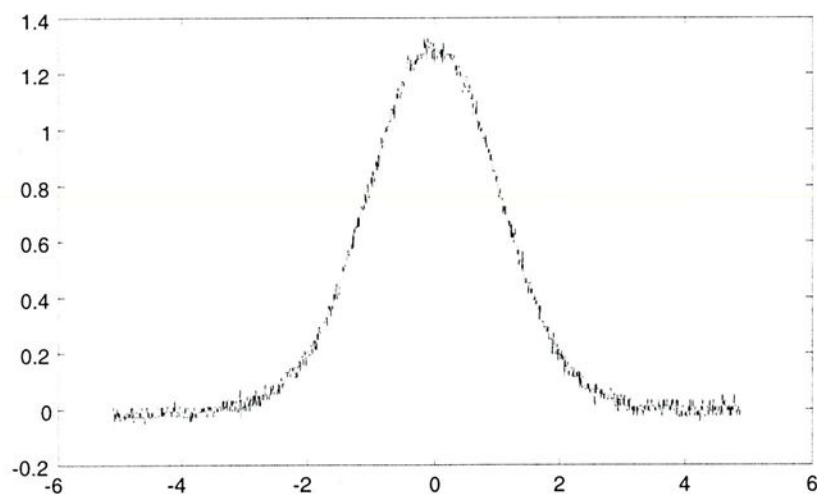


Fig. 3.23: Curva experimental obtida para o circuito FBR.

Nas Figs 3.24 e 3.25 mostra-se a comparação da FBR implementada com uma gaussiana e uma SHQ.

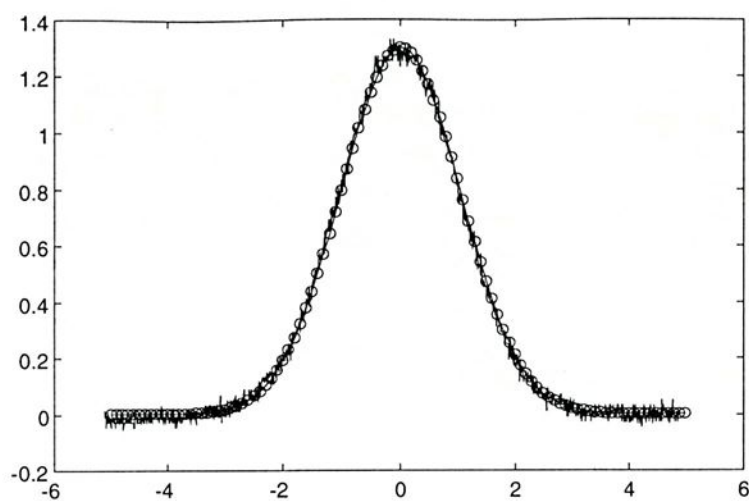


Fig. 3.24: Comparação entre a FBR experimental e uma gaussiana teórica com $c=0$, $b=0.4669$ e $w=1.3$.

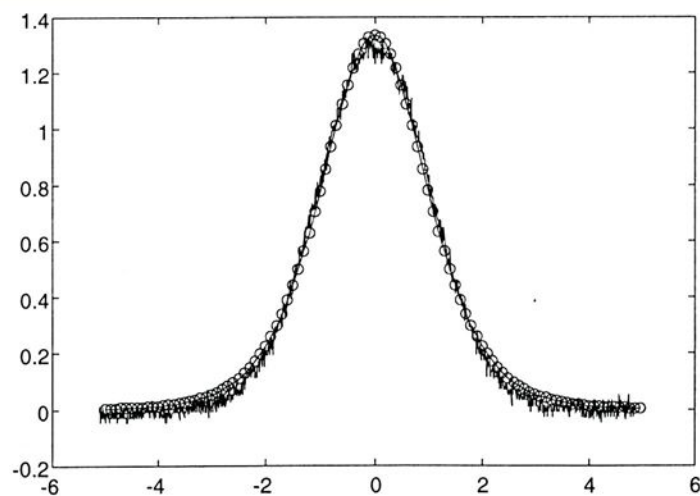


Fig. 3.25: Comparação entre a FBR experimental e uma SHQ teórica com $c=0$, $b=0.77$ e $w=1.3369$.

3.5 Aplicações do Circuito

Nesta seção serão apresentadas as aplicações práticas usadas para demonstrar a capacidade da RNFBR proposta. O esquema básico da rede implementada é como está mostrado na Fig.3.26. Em cada aplicação foi utilizado um número específico de unidades FBR, variando de um a quatro dependendo de cada necessidade.

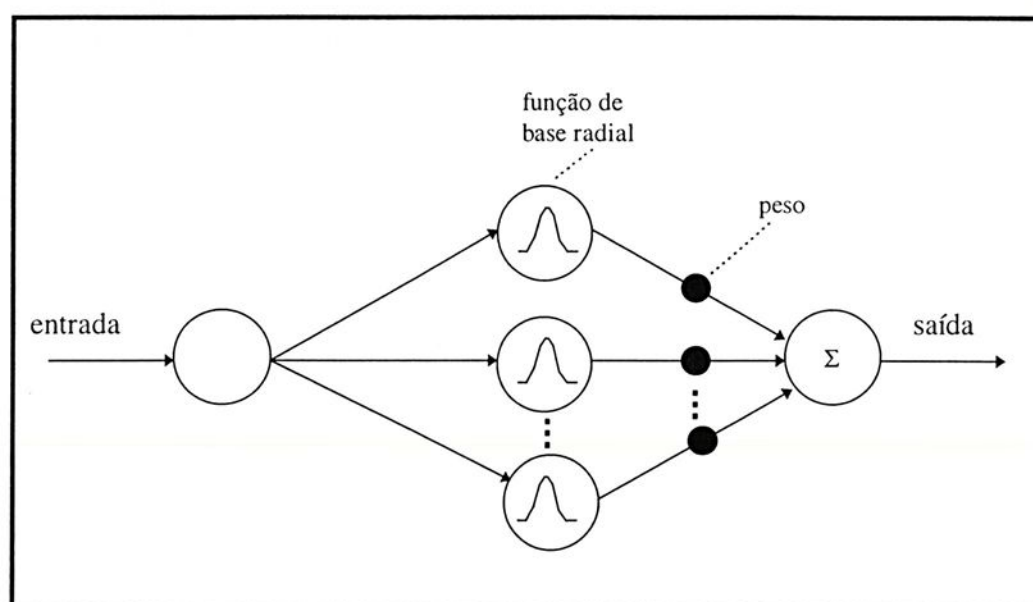


Fig.3. 26: Diagrama esquemático básico da RNFBR utilizada.

O processo de treinamento foi “off-line”, ou seja, a rede foi simulada no computador até que fosse considerado satisfatório seu desempenho. Os algoritmos utilizados para realizar o aprendizado são baseados no método do gradiente descendente. Após a fase de treinamento “off-line”, partindo dos dados simulados, foram ajustados os potenciômetros de cada função implementada, utilizando-se o osciloscópio.

Basicamente duas aplicações foram implementadas: a aproximação de funções e a linearização de transdutores. A seguir cada uma destas aplicações será vista com maiores detalhes.

3.5.1 Aproximação de Funções usando RNFBR^[38]

Duas funções distintas foram aproximadas usando a rede neural de base radial proposta: a função senoidal e a função sinc.

3.5.1.1. Aproximação da Função Senoidal

A primeira aplicação da RNFBR foi a aproximação de uma função senoidal. Na literatura, há alguns circuitos que podem ser utilizados para conversão de onda triangular-senoidal ^{[30], [34], [36]}. A RNFBR proposta nesta tese pode ser considerada uma generalização desses circuitos, pois ela permite a aproximação ou síntese de praticamente qualquer função, desde que se disponha de um número suficientemente grande de funções de base. Desta forma, o circuito pode ser muito útil na implementação integrada ou discreta de qualquer função não-linear.

A função senoidal que se deseja aproximar é dada por:

$$f(x) = \text{seno}(1.6x)$$

Eq. 3.13

Após o treinamento da rede, obteve-se os seguintes parâmetros para as funções SHQ (Tab.3.1)

Função SHQ	c	b	w
1	0.7	0.8	1.4
2	-0.7	-0.8	-1.4

Tabela 3.1: Parâmetros da RNFBR que aproxima uma senóide

Simulando-se obtêm-se as curvas mostradas na Fig. 3.27. A Fig. 3.28 apresenta os resultados de simulação obtidos. As Figs. 3.29, 3.30, 3.31 e 3.32 apresentam os resultados experimentais obtidos.

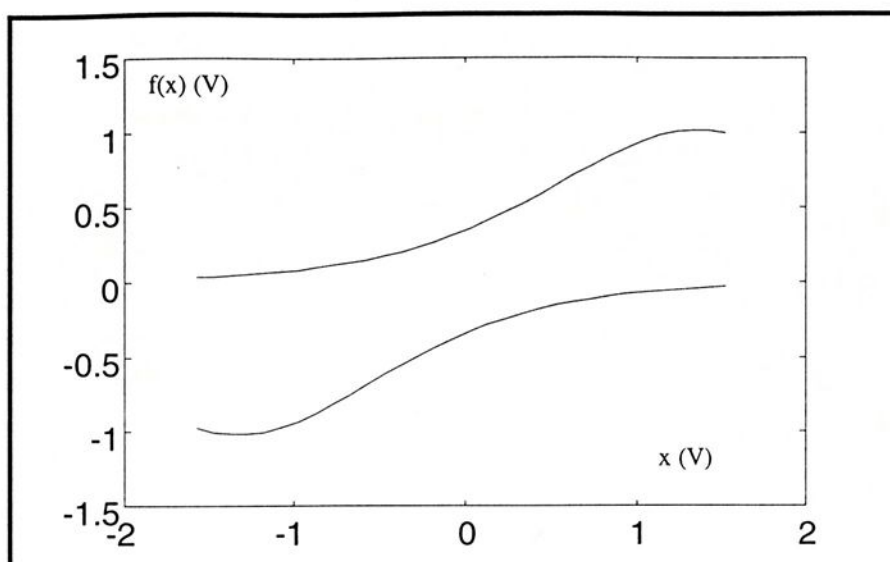


Figura 3.27: FBR's encontradas na aproximação de senóide.

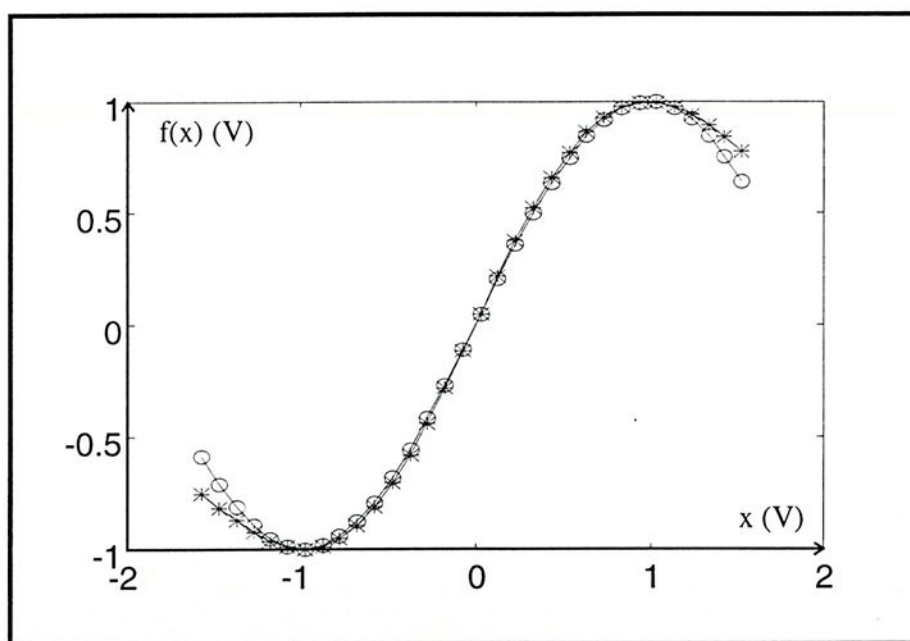


Fig. 3.28: Função senoidal (o) versus a aproximação da rede teórica (*).

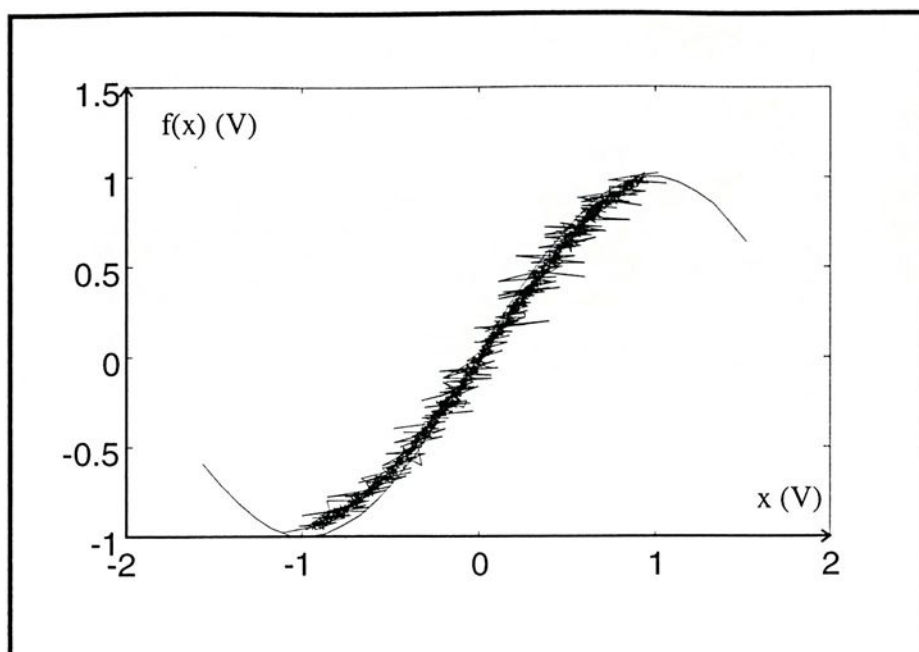


Fig. 3.29: Função senoidal (curva lisa) e a aproximação experimental (curva com ruído).

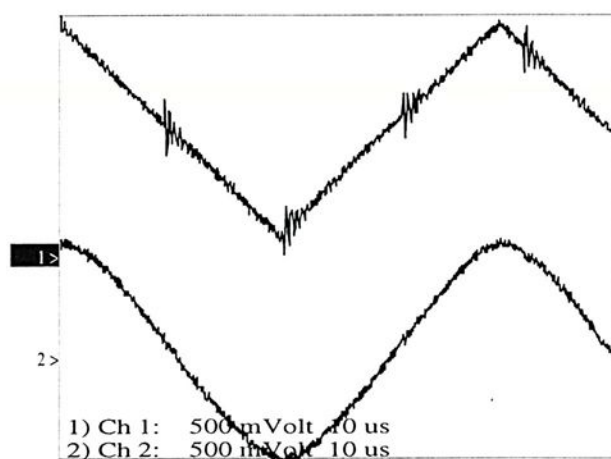


Fig.3.30: Curva experimental na tela do osciloscópio digital.

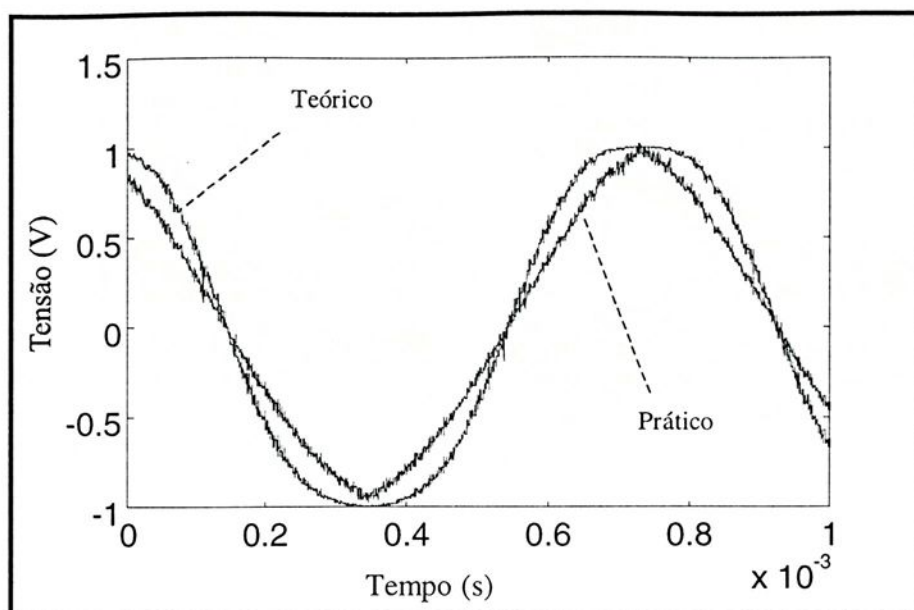


Fig.3.31: Resultado da aproximação de senóide (experimental versus teórico).

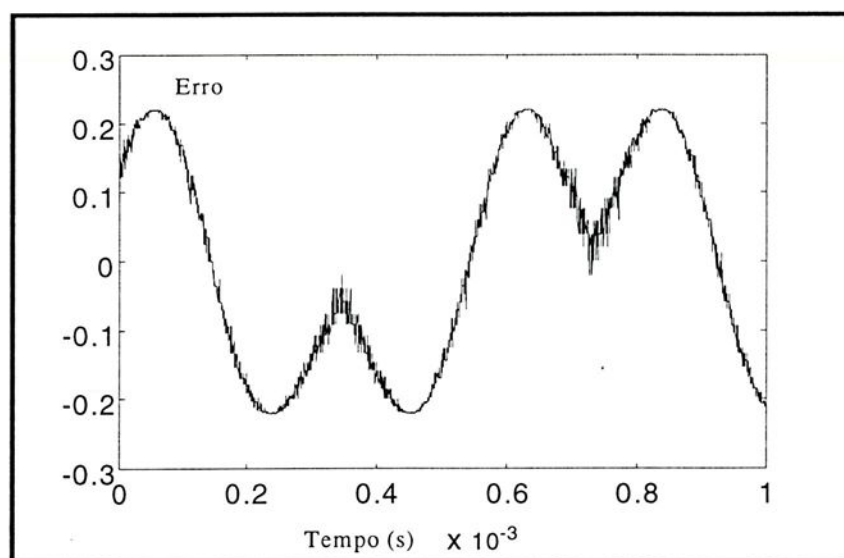


Fig.3.32: Gráfico do Erro (diferença ponto-a-ponto entre a curva experimental e a ideal).

3.5.1.2. Aproximação da Função Sinc

Esta aplicação serve para demonstrar a capacidade do circuito em realizar outras funções. A função sinc que se deseja aproximar é dada por:

$$\text{sinc}(x) = \frac{\text{sen } o(x)}{x}$$

Eq. 3.14

O gráfico desta função é apresentado na Fig. 3.33. Utilizou-se um fator de escala na variável x, da ordem de 3.5, ou seja, a fim de adequar a função às tensões disponíveis na implementação, substituiu-se x por 3.5 x.

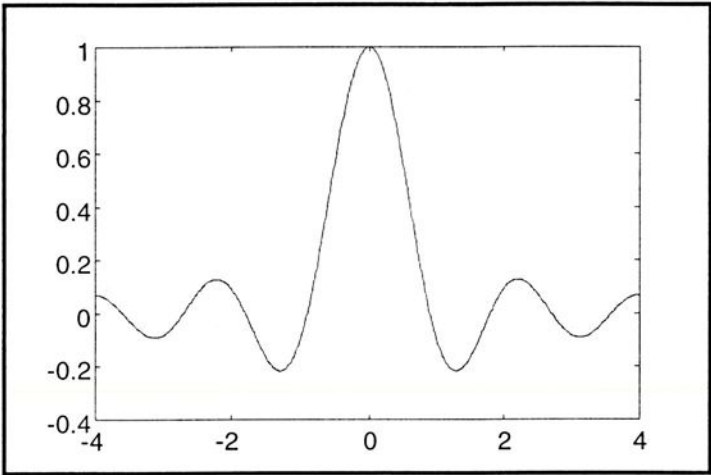


Figura 3.33: Gráfico da função sinc.

Após o treinamento da rede, obteve-se os parâmetros mostrado na Tab. 3.2 para as funções SHQ:

Função SHQ	c	b	w
1	-0.0030	1.8332	1.2759
2	1.9467	2.6414	0.3488
3	3.5725	1.1721	0.2754
4	4.8753	3.7655	0.2216

Tabela 3.2: Parâmetros da RNFBFR que aproxima uma função Sinc.

A Fig. 3.34 mostra o formato desta funções.

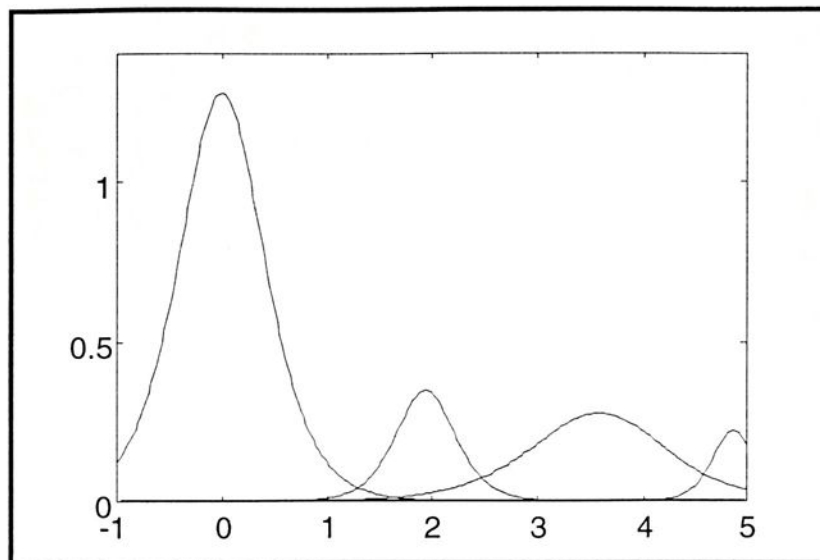


Figura 3.34: FBR's obtidas no aprendizado da função sinc.

A Fig. 3.35 apresenta a simulação da aproximação da função sinc.

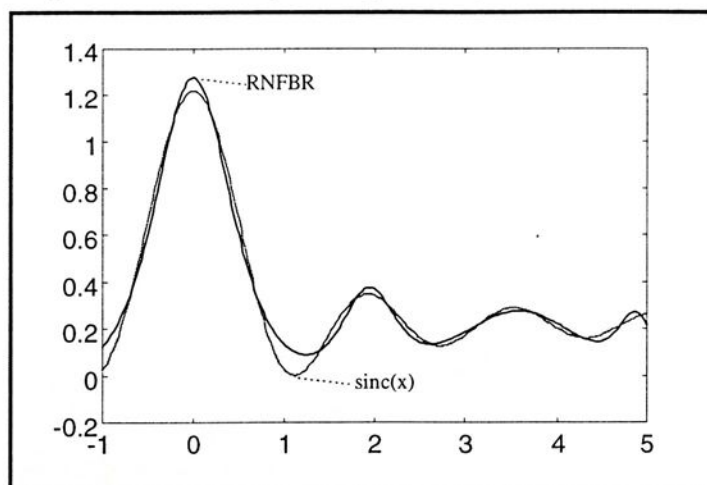


Figura 3.35: Função sinc teórica e a aproximação da rede.

A Fig. 3.36 apresenta o resultado obtido experimentalmente.

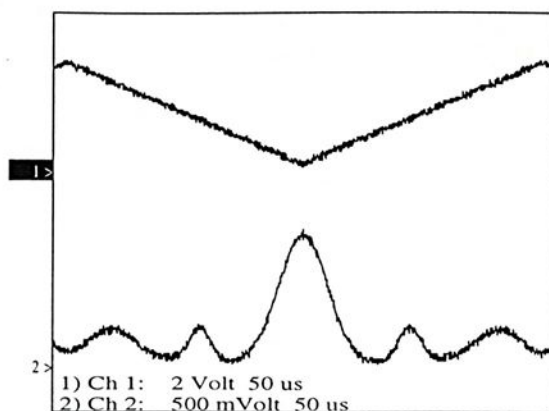


Figura 3.36: Curvas experimentais na tela do osciloscópio digital. Onda triangular na entrada (acima) e saída da rede (abaixo).

3.5.2. Linearização de Termistor^[39]

Transdutores são dispositivos que convertem sinais de diversas formas de energia (mecânica, química, eletromagnética, etc) em sinais elétricos (tensão ou corrente), tendo uma ampla utilização em instrumentação eletrônica. Idealmente, deseja-se que um transdutor seja linear em uma larga faixa de trabalho. No entanto, a maioria dos transdutores apresentam uma característica exponencial ou logarítmica. Assim sendo, muitas técnicas digitais e analógicas foram apresentadas na literatura para sua linearização [40-41]. Devido à característica de aprendizado da RNFBF, ela pode ser empregada nessa tarefa, fazendo que a rede aprenda a função inversa da característica do transdutor e aplicando-a à saída do sensor.

Neste trabalho, foram utilizados a ponte de termistor e sensor integrado de referência encontrados no Sistema de Controle de Temperatura de Fluxo de Ar da Degem SystemsTM. O esquema da ponte e de sua característica são apresentados nas Figuras 3.37 e 3.38, respectivamente.

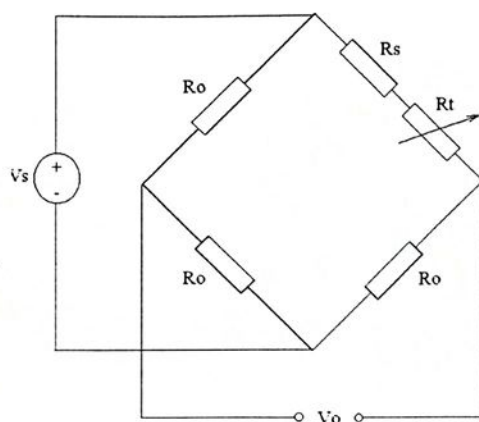


Fig.3.37 Diagrama da ponte com termistor.

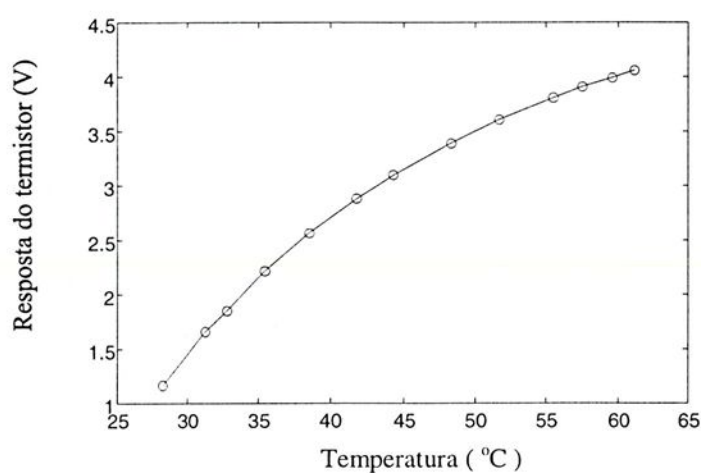


Fig.3.38 Resposta da ponte com termistor.

A função inversa, a ser aprendida, é apresentada na Fig.3.39 e a aproximação obtida pela rede com três gaussianas é mostrada na Fig. 3.40.

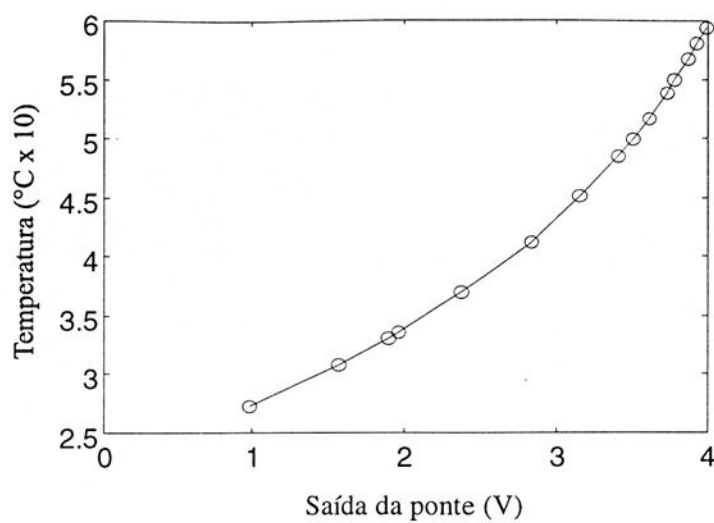


Fig.3.39: Inversa da resposta do termistor.

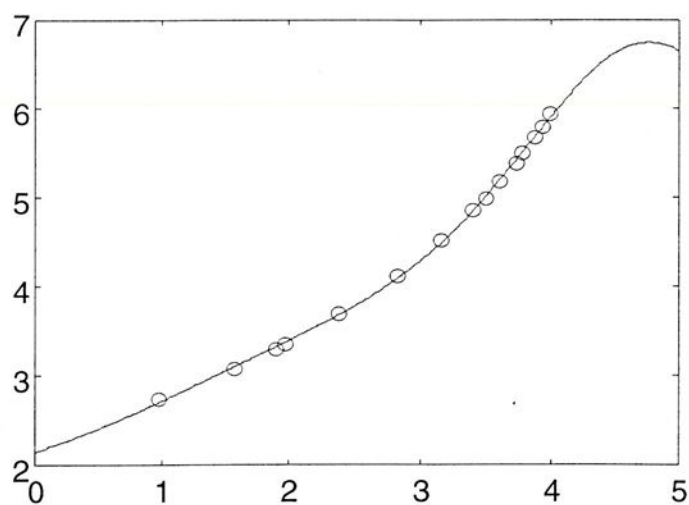


Fig.3.40: Gráfico da rede simulada e os pontos (o) usados na fase de aprendizado da função inversa.

As funções gaussianas encontradas no aprendizado são mostradas na Tab. 3.3 e na Fig. 3.41.16.

Função Gaussiana	c	b	w
1	1.3946	0.0000	1.4877
2	3.6274	0.0994	2.4330
3	4.9195	0.5258	3.1568

Tabela 3.3: Parâmetros da RNFBR usadas na linearização de termistor.

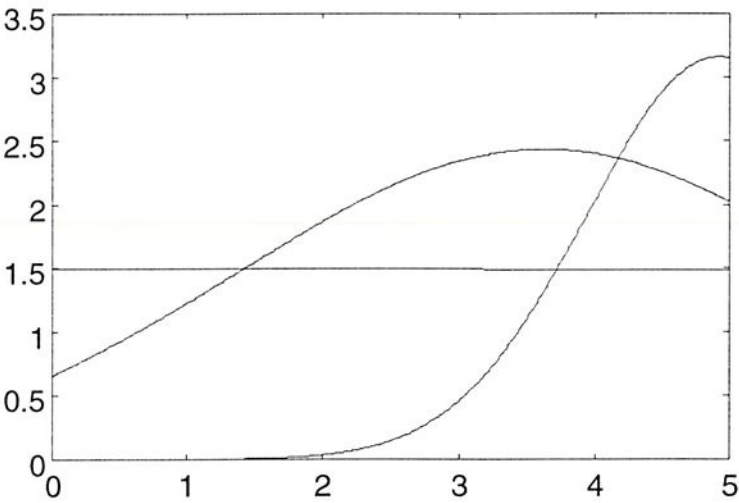


Fig.3.41: FBR's teóricas encontradas na simulação.

Na Fig. 3.42 é apresentado o resultado experimental obtido com a rede acoplada à ponte de termistor e na Fig.3.43 pode-se visualizar o erro percentual entre a curva prática e a curva linear ideal. Nota-se que o erro percentual ficou abaixo de $\pm 2\%$.

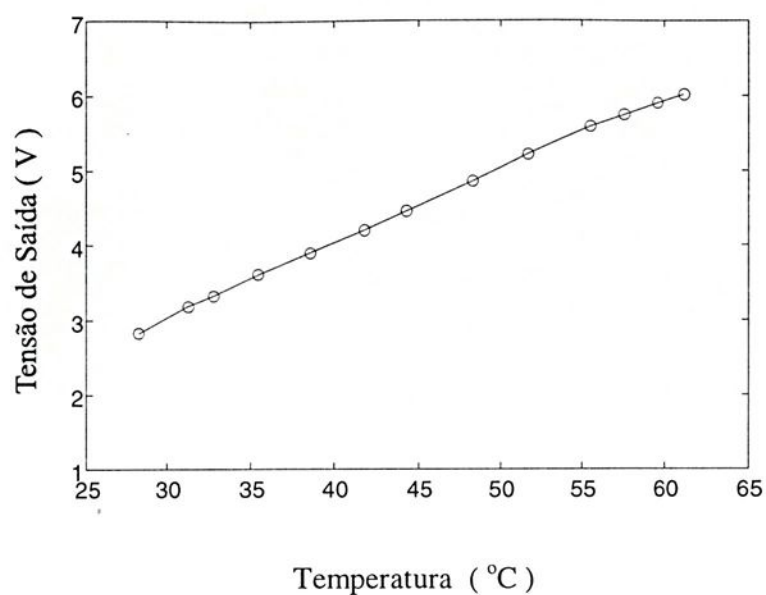


Fig.3.42: Curva experimental do conjunto Ponte-RNFBR.

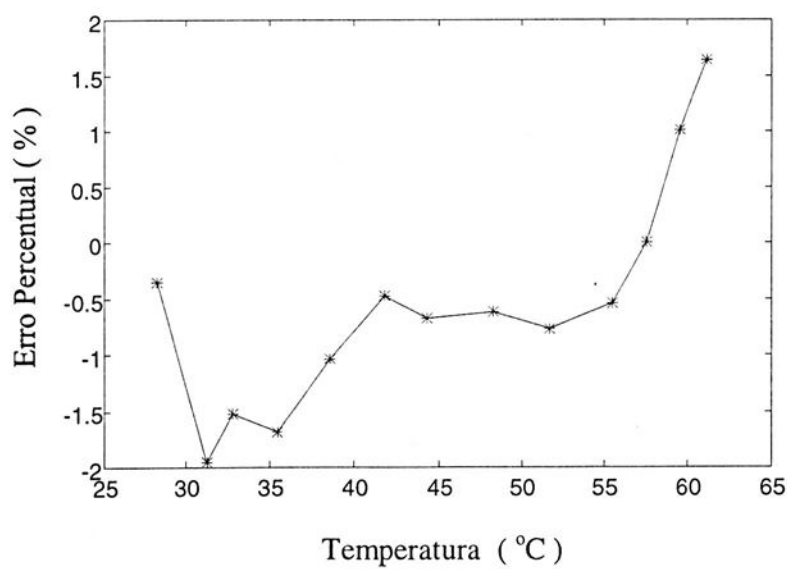


Fig.3.43: Gráfico do erro percentual entre a resposta experimental e a ideal.

3.6 Implementação da Rede Neural de Base Radial (RNBR) usando Tecnologia BiCMOS^[16]

Visando implementar esta rede neural de base radial, propôs-se o seu projeto e fabricação utilizando-se da tecnologia BiCMOS. Nesta seção será feita a descrição deste projeto, bem como serão apresentados resultados obtidos de simulação e o circuito integrado proposto que foi submetido a fabricação.

3.6.1 Configuração Proposta

Baseando-se na rede neural de base radial apresentada na seção 3.5 construi-se o circuito mostrado na Fig. 3.44. Trata-se da geração de funções gaussianas com a possibilidade de programação dos parâmetros que a definem, tais como ganho, centro e largura. Esta programação é efetuada através de uma palavra de programação (PL).

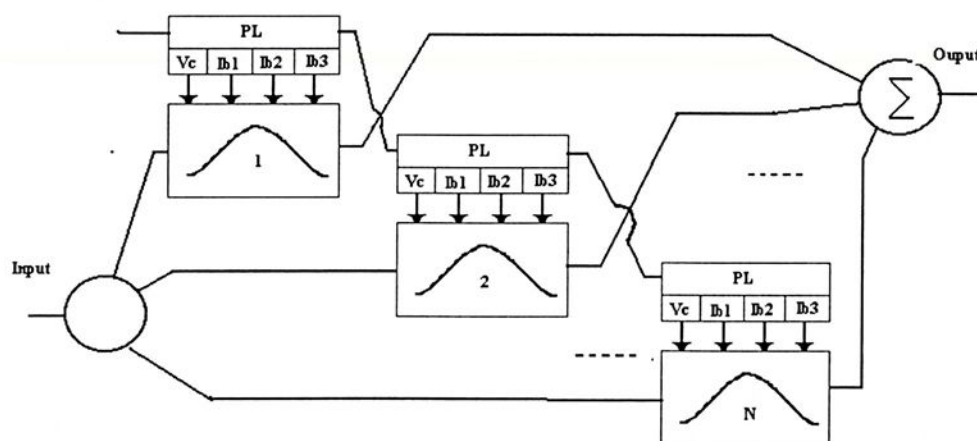


Fig. 3.44 Diagrama Esquemático da Rede Neural de Base Radial Projetada.

Cada bloco que compõe a rede é implementado através de amplificadores operacionais de transcondutância, onde é explorado a característica tangente hiperbólica dos pares diferenciais que compõem. A Fig. 3.45 explicita o bloco gerador da gaussiana.

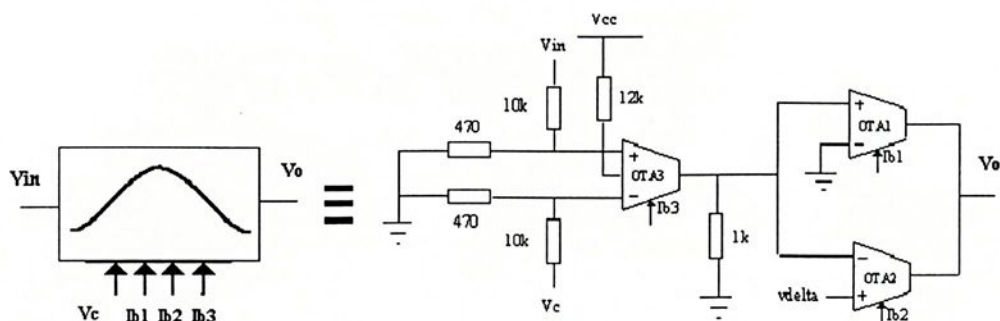


Fig. 3.45 Bloco Gerador da Função Gaussiana.

A seguir cada um dos blocos que compõe o projeto serão apresentados em termos de transistores. Na Fig. 3.46 é mostrado o amplificador operacional de transcondutância utilizado. Trata-se de uma configuração clássica onde o par diferencial de entrada é bipolar e os espelhos de corrente são compostos de transistores MOS. Na sua entrada são colocados diodos de linearização.

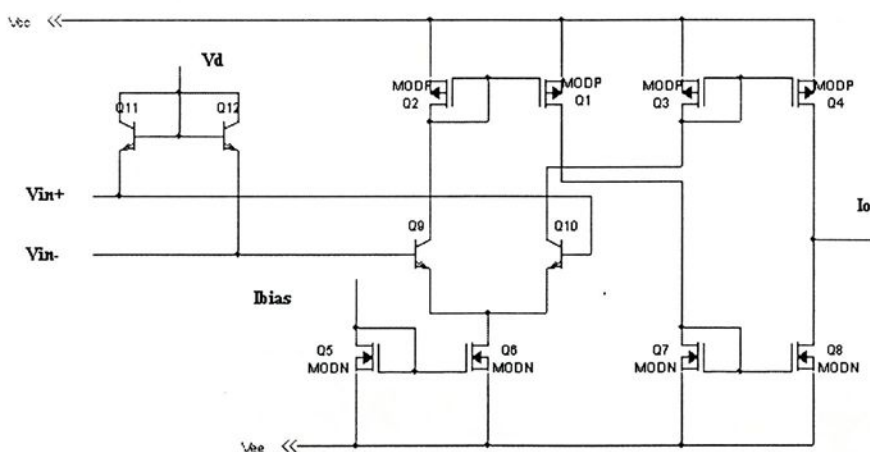


Fig. 3.46 Amplificador Operacional de Transcondutância.

Para a programação deste amplificador foi necessário o projeto de fontes de correntes programáveis. Propôs-se para isso, a utilização de transistores MOS idênticos para minimizar descasamentos. O circuito proposto é apresentado na Fig. 3.47.

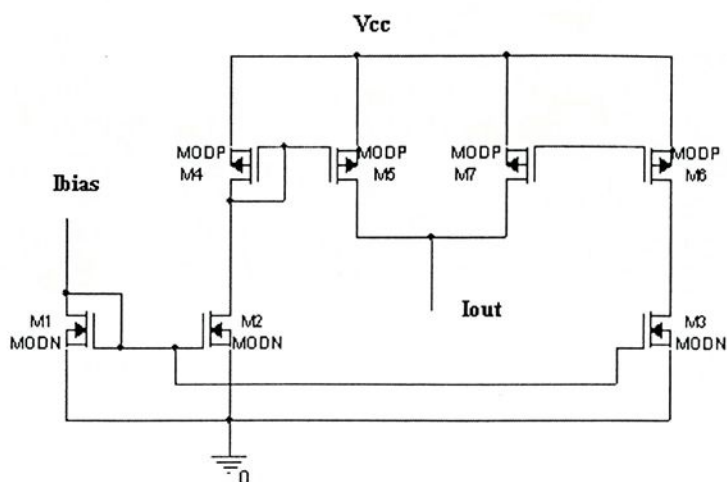


Fig. 3.47 Fonte de Corrente Programável.

Esta configuração é programável através de adições de transistores em paralelo com M2, sendo que estes transistores são controlados por uma palavra digital D de n bits^[42]. Há uma fonte programável para cada corrente de polarização dos amplificadores operacionais de transcondutância que compõe a geração da gaussiana. Isto permite a programação de seus diversos parâmetros.

Para controle do parâmetro que determina o centro da gaussiana é necessário a geração de tensões programáveis. Visando utilizar o mesmo processo de controle através de corrente, utilizou-se um conversor tensão corrente^[9], que é mostrado na Fig.3.48.

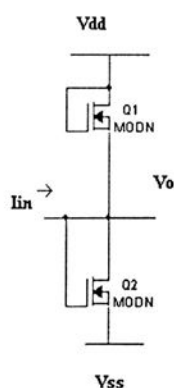


Fig. 3.48 Conversor Tensão-Corrente.

A função gaussiana, e portanto a rede neural que é composta destas gaussianas, é programada através de uma palavra de 32 bits que determinam as diversas correntes dos amplificadores de transcondutância. Assim pode-se variar os parâmetros das gaussianas através da variação destas correntes.

3.6.2. Resultados de Simulação da Rede Neural Proposta

Para teste da configuração projetada foi feita uma simulação utilizando o programa SPICE e os parâmetros do processo BiCMOS de $0,8\mu\text{m}$ da AMS. Nas Figs. 3.49, 3.50, 3.51 e 3.52 são mostrados os resultados obtidos para a geração da gaussiana, variação do seu centro, variação do seu ganho e de sua largura, respectivamente.

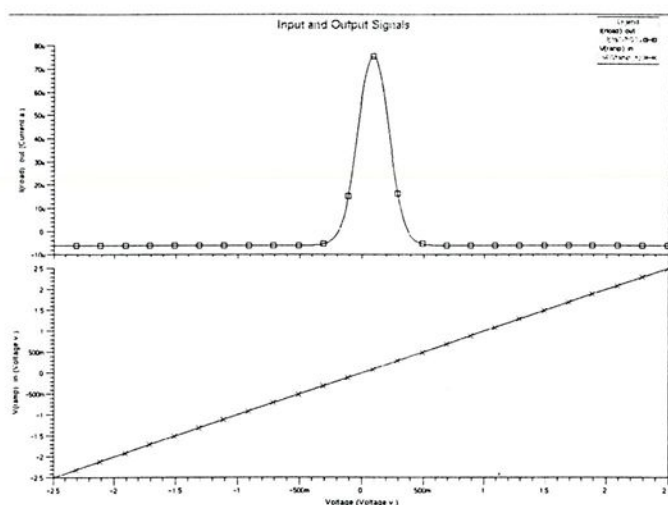


Fig. 3.49 Geração da Gaussiana.

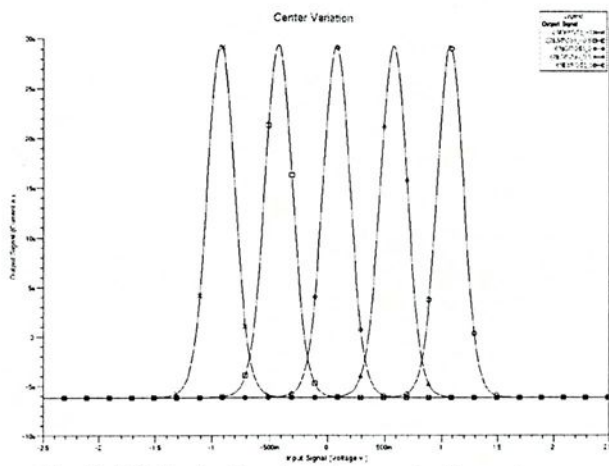


Fig. 3.50 Variação do Centro da Gaussiana.

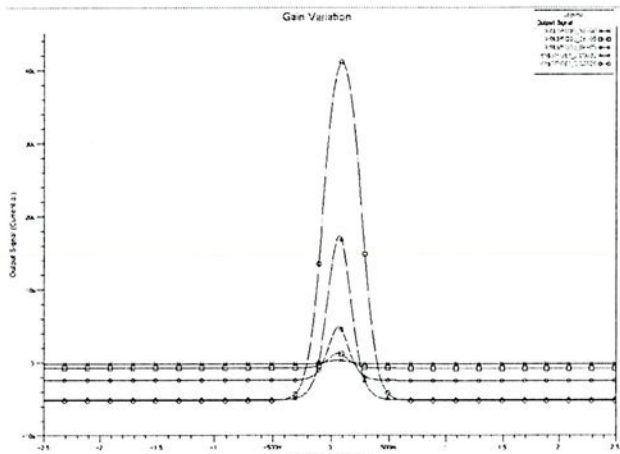


Fig. 3.51 Variação do Ganho da Gaussiana.

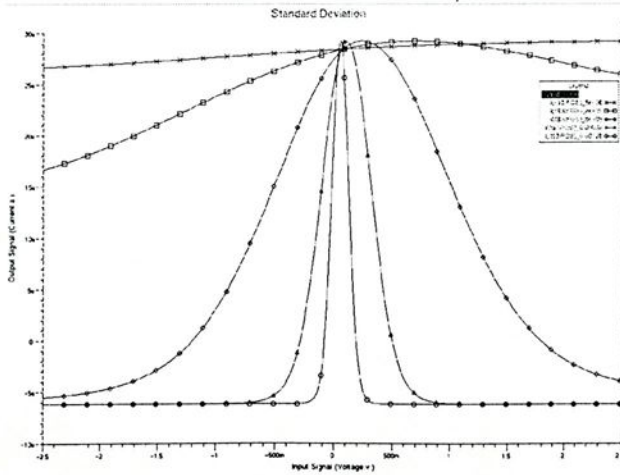


Fig. 3.52 Variação da Largura da Gaussiana.

A configuração mostrada na Fig. 3.45 foi implementada na tecnologia BiCMOS de 0,8 μ m da AMS e submetida a fabricação. O leiaute do circuito é mostrado na Fig. 3.53. Nele foram colocados duas gaussianas com os respectivos circuitos de programação.

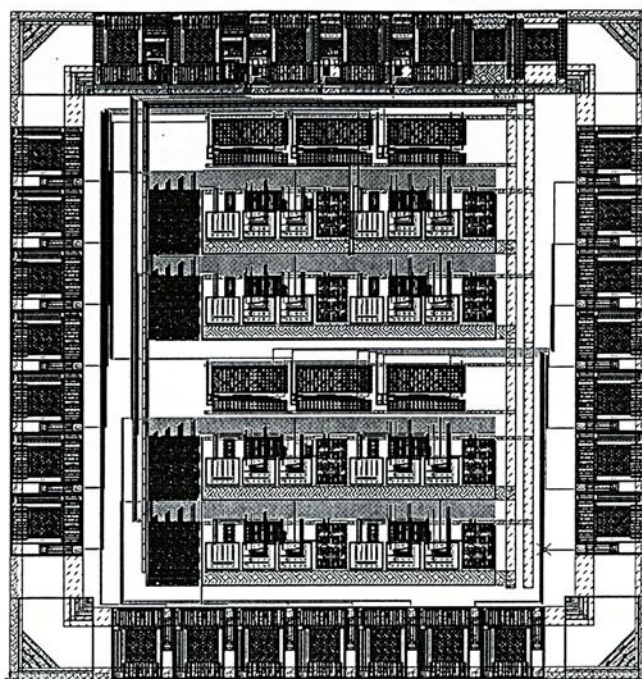


Fig. 3. 53 Leiaute da Rede Neural.

3.7 Conclusões

Neste capítulo foi descrita uma proposta de uma rede neural de base radial utilizando a função gaussiana. Foi proposta uma nova configuração, baseada no par diferencial bipolar para a geração desta função de base radial. Testes foram efetuados através de simulação usando o programa SPICE e com circuitos integrados lineares. Duas possíveis aplicações para esta rede foram apresentadas: em aproximação de funções e na linearização de transdutores. Uma proposta de integração utilizando tecnologia BiCMOS também foi apresentada.



Conclusões Gerais

Nesta tese foram compilados os trabalhos do docente relacionados com projetos de circuitos integrados analógicos referentes aos últimos 6 anos. Este trabalho é resultado de dissertações de mestrado (duas concluídas e uma em andamento) e de um pós-doutorado realizado na Texas A&M University junto ao Grupo de Microeletrônica daquela universidade. Alguns trabalhos tiveram resultados parciais devido as dificuldades inerentes a área. No entanto, pode-se verificar que alguns resultados importantes estão sendo auferidos destes trabalhos, o mais importante é a qualificação de pesquisadores nesta área tecnológica estratégica, além da contribuição e da exploração de novas possibilidades de uso desta tecnologia. Pretende-se a partir deste período, aglutinar pesquisadores e alunos de pós-graduação visando a formação de grupos de pesquisa nesta área e a obtenção de equipamentos de caracterização dos novos projetos a serem desenvolvidos.



Referências Bibliográficas:

- [1] – KOHONEN, T., “Self-organized formation of topologically correct feature maps” *Biolog. Cybernetics*, vol. 43, pp. 59-69, 1982.
- [2] – HOPFIELD, J. J., “Neural networks and physical systems with emergent collective computational abilities”, *Proc. Natl. Acad. Sci.*, vol. 79, pp. 2554-2558, Apr. 1982.
- [3] – CARPENTER, G. A. E GROSSBERG, S. “A massively parallel architecture for a self-organizing neural pattern recognition machine”, *Computer Vision, Graphics, and Image Processing*, vol. 37, pp. 54-115, 1983.
- [4] – SOLDERA, J. D. B. *Implementação de um Conversor Analógico/Digital CMOS de 8 bits usando Modo Corrente*, Dissertação de Mestrado, FEIS-UNESP, Abril de 2001.
- [5] - SOLDERA, J. D. B. E OKI N., "A high speed 3.3V current mode CMOS comparators with 10-b resolution.", 43nd Midwest Symposium on Circuits and Systems, pp. , Lansing, MI, USA, 2000.
- [6] - YIN, G. M.; EYNDE, O. e SANSEN, W. “A high-speed CMOS comparator with 8-b resolution” *IEEE , Journal of Solid-State Circuits*, vol.. 27, No 2, Feb. 1992, pp. 208-211.
- [7] - HOLMAN, W. T. E CONNELLY, J. A. “A Compact Low Noise Operational Amplifier for a 1.2 μm CMOS technology”, *IEEE J. Solid-State Circuits*, vol. 30, No 7, pp. 710-714, June 1995.
- [8] - VITTOZ, E. A. “MOS transistors operated in the lateral bipolar mode and their application in CMOS technology”, *IEEE J. Solid-State Circuits*, vol. SC-18, pp. 273-279, June 1983.
- [9] - SINGOR, H. W. e SALAMA, A. T. “A low-power high-speed 10-bit CMOS-compatible D/A converter” *IEEE Transactions on Circuits and Systems*, Vol. 38, No 3, Mar. 1991, pp. 322-325.
- [10] - EMBABI, S. H. K., QUAN, X., OKI, N., ASHISH, M. E SÁNCHEZ-SINENCIO, E. "A current-mode based field-programmable analog array for signal processing applications", *Analog Integrated Circuits and Signal Processing*, Vol. 17, No. 1/2, pp.125-142, Sept. 1998.

- [11] – LEE, E. K. F. E GULAK, P. G. “Field Programmable Analogue Array Based on MOSFET Transconductances”, Electronics Letters, pp. 28-29, Jan. 1992.
- [12] – KUTUK, H. E KANG, S. “A Field-Programmable Analog Array (FPAA) using Switched-Capacitor Techniques”, Proc. of International Symposium on Circuits and Systems, Vol. 4, pp. 41-44, May, 1996.
- [13] – LEE, E. K. F. E GULLACK, P. G. “A CMOS Field-Programmable Analog Array”, IEEE JSSC, Vol. 26, No.12, pp. 1860-1867, Dec. 1991.
- [14] – ZELE, R. E ALLSTOT, “Low-Power CMOS Continuous-Time Filters”, IEEE JSSC, Vol. 31, No. 2, pp. 157-168, Feb. 1996.
- [15] – SMITH, S. L. E SÁNCHEZ-SINENCIO, E. “Low Voltage Integrators for High-Frequency CMOS Filters using Current Mode Techniques”, IEEE Trans. on Circuits and Systems II, Vol. 43, No. 1, pp. 39-48, Jan. 1996.
- [16] – OLIVEIRA, J. P. E OKI, N. “An Analog Implementation of Radial Basis Neural Networks (RBNN) using BiCMOS Technology”, .”, 44th Midwest Symposium on Circuits and Systems, Dayton. OH, USA, 2001
- [17] – LUCKS, M. B. *Implementação Eletrônica de uma Rede Neural Artificial com Função de Base Radial e Suas Aplicações*, Dissertação de Mestrado, FEIS – UNESP, Nov. de 1998.
- [18] - ORR M. J. L., “Introduction to Radial Basis Function Networks”. Manual, April, 1996.
- [19] - LEE S. and KIL R. M., “A Gaussian Potential Function Network With Hierarchically Self-Organizing Learning”. Neural Networks, vol. 4, 1991, pp. 207-224.
- [20] - HAYKINS S., “Neural Networks - A Comprehensive Foundation”. Macmillan Publisher Company, 1994.
- [21] - DUONG T. A., EBERHARDT S. P., DAUD T. and THAKOOR A., “Learning in neural networks: VLSI implementation strategies”. JPL Technical Report, Pasadena, CA.
- [22] - ROSENBLUM M. and DAVIS L. S., “An Improved Radial Basis Function Network for Visual Autonomous Road Following”. IEEE Trans. on Neural Networks, vol.7, no.5, pp. 1111-1120, Sept. 1996.

- [23] - ROSENBLUM M., YACOOB Y. and DAVIS L. S., "Human Express Recognition from Motion Using Radial Basis Function Network for Visual Architecture". IEEE Trans. on Neural Networks, vol.7, no.5, pp. 1121-1137, Sept. 1996.
- [24] - ALMEIDA A. P. and FRANCA J. E., "Digitally Programmable Analog Building Blocks for the Implementation of Artificial Neural Networks". IEEE Trans. on Neural Networks, vol.7, no.2, march, 1996, pp. 506-514.
- [25] - ANDREOU A. G., BOAHEN K. A., POULIQUEN P. O., PAVASOVIC A., JENKINS R. E. and STROHBEHN K., "Current-Mode Subthreshold MOS Circuits for Analog VLSI Neural Systems". IEEE Trans. on Neural Networks, vol.2, no.2, Mar., 1991, pp. 205-213.
- [26] - DELBRÜCK T., "Bump Circuits - for computing similarity and dissimilarity of analog voltages". CNS MEMO 26, May 24, 1993.
- [27] - CHOI J., SHEU B. J. and CHANG C. F., "A Gaussian Synapse Circuit for Analog VLSI Neural Networks". IEEE Trans. on VLSI Systems, vol. 2, no. 1, Mar. 1994, pp. 129-133.
- [28] - MADRENAS J., VERLEYSEN M., THISSEN P. and VOZ J. L., "A CMOS Analog Circuit for Gaussian Functions". IEEE Trans. on Circuits and Systems-II: Analog and Digital Signal Processing, vol. 43, no. 1, Jan. 1996, pp. 70-74.
- [29] - THEOGARAJAN L. and AKERS L. A., "A Scalable Low Voltage Analog Gaussian Radial Basis Circuit". IEEE Trans. on Circuits and Systems-II: Analog and Digital Signal Processing, vol.44, no.11, pp. 977-979, Nov. 1997.
- [30] - TURCHETTI C. and CONTI M., "A General Approach to Nonlinear Synthesis with MOS Analog Circuits". IEEE Trans. on Circuits and Systems-I: Fundamental Theory and Applications, vol.40, no.9, Sept., 1993.
- [31] - WATKINS S. S. and CHAU P. M., "A Radial Basis Function Neurocomputer Implemented with Analog VLSI Circuits". Int. Joint Conf. on Neural Networks, 1992, vol.2, pp. 607-612.
- [32] - CHURCHER S., MURRAY A. F. and REEKIE H. M., "Programmable Analogue VLSI for Radial Basis Function Networks". Electronic Letters, 2nd Sept. 1993, vol.29, no.18, pp. 1603-1605.
- [33] - GREBENE A. B., "Bipolar and MOS Analog Integrated Circuit Design," John Wiley and Sons, 1984.

- [34] - TOUMAZOU C., LIDGEY F. J. and HAIGH D. G., "Analogue IC design: the current-mode approach". IEE Circuits and Systems Series, 1990.
- [35] - KIMURA K., "Some Circuit Design Techniques for Low-Voltage Analog Functional Elements Using Squaring Circuits". IEEE Trans. on Circuits and Systems - I: Fundamental Theory and Applications, vol. 43, no. 7, July 1996, pp. 559-576.
- [36] - FRANCO S., "Design with Operational Amplifiers and Analog Integrated Circuits". McGraw-Hill, 1988.
- [37] - DATA SHEET, "LM13600N Dual Operational Transconductance Amplifiers with Linearizing Diodes and Buffers". National Semiconductor DataBook.
- [38] - LUCKS, M. B. E OKI, N. "A radial basis function network (RBFN) for function approximation" 42nd Midwest Symposium on Circuits and Systems, Las Cruces, New Mexico, pp. 1099-1101, Aug. 1999
- [39] - LUCKS, M. B. E OKI, N. "An analog implementation of radial basis function network appropriate for transducer linearization" Proceedings of the European Conference on Circuit Theory and Design - ECCTD'99, Stresa, Italy, 29 August - 2 September 1999, pp. 1343-1346
- [40] - PATRANABIS D., GHOSH S. and BAKSHI C., "Linearizing Transducer Characteristics". IEEE Trans. on Instrumentation and Measurements, vol.37, pp. 66-69, March 1988.
- [41] - PATRANABIS D. and GHOSH S., "A Novel Software-Based Transducer Linearizer". IEEE Trans. on Instrumentation and Measurements, vol.38, pp. 1122-1126, December 1989.
- [42] - PAULINO, P. E., E FRANCA, J. E. Paulino, P. E. Franca, J. E. "A CMOS digitally programmable current multiplier" ISCAS - International Symposium of Circuits and Systems, Vol. 1, pp. 254-257, 1996.