

UNIVERSIDADE ESTADUAL PAULISTA “JÚLIO DE MESQUITA FILHO”
FACULDADE DE ENGENHARIA DE SÃO JOÃO DA BOA VISTA
BACHARELADO EM ENGENHARIA ELETRÔNICA E DE TELECOMUNICAÇÕES

GEAN RIBEIRO SOUSA

AMPLIFICADOR OPERACIONAL DE TRANSCONDUTÂNCIA DE DOIS ESTÁGIOS
PROJETADO COM TECNOLOGIA CMOS

SÃO JOÃO DA BOA VISTA

2023

GEAN RIBEIRO SOUSA

AMPLIFICADOR OPERACIONAL DE TRANSCONDUTÂNCIA DE DOIS ESTÁGIOS
PROJETADO COM TECNOLOGIA CMOS

Trabalho de Conclusão de Curso apresentado à
Universidade Estadual Paulista “Júlio de
Mesquita Filho” como requisito para obtenção
de título de Bacharel em Engenharia Eletrônica
e de telecomunicações.

Orientador: Prof. Dr. Paula Ghedini Der
Agopian

SÃO JOÃO DA BOA VISTA

2023

S725a

Sousa, Gean Ribeiro

Amplificador operacional de transcondutância de dois estágios
projetado com tecnologia CMOS / Gean Ribeiro Sousa. -- São João da
Boa Vista, 2023

65 p. : il., tabs.

Trabalho de conclusão de curso (Bacharelado - Engenharia de
Telecomunicações) - Universidade Estadual Paulista (Unesp),
Faculdade de Engenharia, São João da Boa Vista

Orientadora: Paula Ghedini Der Agopian

1. Eletrônica. 2. Amplificadores operacionais. 3. Transistores de
efeito de campo de semicondutores de oxido metalico. I. Título.

Sistema de geração automática de fichas catalográficas da Unesp. Biblioteca da Faculdade de
Engenharia, São João da Boa Vista. Dados fornecidos pelo autor(a).

Essa ficha não pode ser modificada.

**UNIVERSIDADE ESTADUAL PAULISTA “JÚLIO DE MESQUITA FILHO”
FACULDADE DE ENGENHARIA - CÂMPUS DE SÃO JOÃO DA BOA VISTA
GRADUAÇÃO EM ENGENHARIA ELETRÔNICA E DE TELECOMUNICAÇÕES**

TRABALHO DE CONCLUSÃO DE CURSO

**AMPLIFICADOR OPERACIONAL DE TRANSCONDUTÂNCIA DE DOIS ESTÁGIOS
PROJETADO COM TECNOLOGIA CMOS**

Aluno: Gean Ribeiro Sousa

Orientador: Prof.^a Dr.^a Paula Ghedini Der Agopian

Banca Examinadora:

- Paula Ghedini Der Agopian (Orientadora)
- Rita de Cássia Domingos (Examinadora)
- Welder Fernandes Perina (Examinador)

A ata da defesa com as respectivas assinaturas dos membros encontra-se no prontuário do aluno (Processo nº 067/2023)

São João da Boa Vista, 08 de dezembro de 2023

AGRADECIMENTOS

Dedico meu trabalho de conclusão de curso a Universidade Estadual Paulista – UNESP, que me proporcionou a oportunidade de um ensino de qualidade e de forma gratuita, em especial a minha orientadora Dra. Paula Ghedini Der Agopian pela paciência e dedicação em suas explicações para obtenção dos resultados desta monografia. Agradeço também a Prof^a. Dra. Rita de Cássia Domingos por ter me acompanhado durante a graduação e por diversos aconselhamentos neste tempo. Dedico de forma única aos meus pais, Gilvan Jesus de Sousa e Lucidalva Ribeiro Sousa que puderam me oferecer apoio emocional e financeiro nos meus anos da graduação e me apoiaram incondicionalmente em todas as minhas decisões e dificuldades.

RESUMO

Com o constante avanço tecnológico, a busca pela melhoria contínua da eficiência dos dispositivos eletrônicos intensificou os estudos em diversas áreas da eletrônica. A tecnologia MOSFET hoje é a principal tecnologia utilizada nos circuitos com alta densidade de integração devido à alta capacidade de miniaturização de suas dimensões. Além das dimensões, a tensão de alimentação vem sendo reduzida com a evolução dos circuitos integrados. Essa diminuição levou a uma economia efetiva no consumo de potência dos circuitos com o avanço de seus nós tecnológicos. Neste trabalho, foi projetado um amplificador operacional de dois estágios de forma integrada com tecnologia MOS por meio do software Microwind 2 na tecnologia de 1,2 μ m. Além disso, estudou-se o quanto o avanço da tecnologia (redução dos nós tecnológicos) afetaria este projeto. As diferenças encontradas foram avaliadas de maneira comparativa, considerando-se a resposta do circuito em quatro nós tecnológicos: 1,2 μ m, 0,6 μ m, 0,35 μ m e 0,13 μ m. As figuras de mérito consideradas foram: área ocupada, a potência consumida, o ganho de tensão e largura da banda útil passante do sinal. Em relação ao projeto realizado, para o primeiro estágio, foi percebido um ganho máximo de tensão na faixa de 32 dB, o qual permanece quase que inteiramente constante até os 37MHz, o que representa a faixa de frequências médias. Posteriormente, pôde ser identificado um decaimento constante de 20dB por década, até chegar na frequência de ganho unitário de 1,080GHz, que representa um GBW (Gain-Bandwidth Product) de 1,080GHz. Com a adição do segundo estágio, ocorreu uma melhora significativa na resposta do circuito, como por exemplo uma maior faixa de ganho constante e um incremento do GBW total do circuito. Com a diminuição do nó tecnológico, obteve-se melhorias no ganho e na largura de banda do sinal, entre outros fatores. No entanto, pode ser visto um ponto de estagnação, onde os efeitos pela diminuição das dimensões dos transistores são significativos e outras estratégias de projetos são necessários para contornar os problemas observados.

Palavras-chave: mos; eletrônica analógica; amplificadores operacionais, nós tecnológicos.

ABSTRACT

With the constant technological advancement, the pursuit of continuous improvement in the efficiency of electronic devices has intensified studies in various areas of electronics. MOSFET technology is currently the primary technology used in circuits with high integration density due to its high capacity for dimension miniaturization. In addition to dimensions, the supply voltage has been reduced with the evolution of integrated circuits. This decrease has led to an effective power consumption reduction in circuits with the advancement of their technological nodes. In this study, a two-stage operational amplifier was designed in an integrated form with MOS technology using the Microwind 2 software in the 1.2 μm technology. Additionally, the impact of technological advancement (reduction of technological nodes) on this design was investigated. The differences found were comparatively evaluated by considering the circuit response at four technological nodes: 1.2 μm , 0.6 μm , 0.35 μm , and 0.13 μm . The considered figures of merit were: occupied area, power consumption, voltage gain, and signal bandwidth. Regarding the conducted project, for the first stage, a maximum voltage gain in the range of 32 dB was perceived, which remains almost entirely constant up to 37 MHz, representing the mid-frequency range. Subsequently, a constant decay of 20 dB per decade could be identified until reaching the unity gain frequency of 1.080GHz, representing a Gain-Bandwidth Product (GBW) of 1.080 GHz. With the addition of the second stage, there was a significant improvement in the circuit response, such as a larger range of constant gain and an increase in the overall Gain-Bandwidth Product (GBW) of the circuit. With the reduction of the technological node, improvements in gain and signal bandwidth, among other factors, were achieved. However, a point of stagnation was found where the effects of reducing the transistor dimensions became significant, and alternative design strategies are necessary to overcome the observed issues.

Keywords: mos;analog electronics;operational amplifiers;technological nodes.

LISTA DE ILUSTRAÇÕES

Figura 1 —Evolução dos dados dos processadores comerciais	15
Figura 2 —Diminuição do comprimento do canal x anos.....	16
Figura 3 —Estrutura física NMOS.....	17
Figura 4 —Perfis de cargas para um transistor NMOS.....	18
Figura 5 —Curvas características de um transistor NMOS	19
Figura 6 —Tensão Early de um MOSFET	21
Figura 7 —Esboço da resposta em frequência, delineando as faixas de interesse.....	22
Figura 8 —Esboço diagrama de bode	23
Figura 9 —Circuito inversor com feedback	24
Figura 10 —Circuito espelho de corrente	25
Figura 11 —Par diferencial com carga ativa	26
Figura 12 —Análise modo comum par diferencial com carga ativa.....	28
Figura 13 —Circuito projetado	29
Figura 14 —Fluxo do projeto.....	31
Figura 15 —Projeto separado em blocos.....	33
Figura 16 —Dimensões do transistor.....	34
Figura 17 —1ª versão do primeiro estágio	38
Figura 18 —Dimensões do transistor Q9	39
Figura 19 —Dimensões do transistor Q10	39
Figura 20 —Dimensões dos transistores Q8 e Q5.....	39
Figura 21 —Dimensões dos transistores Q1 e Q2.....	39
Figura 22 —Dimensões dos transistores Q3 e Q4.....	40
Figura 23 —Gráficos com as tensões em cada nó, invariante com a frequência	40
Figura 24 —Queda de tensão no circuito	41
Figura 25 —Diagrama de bode 1º estágio CMOS 12 para frequência.....	44
Figura 26 —Gráficos da tensão de saída com a variação da frequência CMOS 12.....	45
Figura 27 —Gráficos para resposta em amplitude- Tensão de entrada 10 mV _p	46
Figura 28 —Gráficos para resposta em amplitude- Tensão de entrada 20 mV _p	46
Figura 29 —Gráficos para resposta em amplitude- Tensão de entrada 25 mV _p	46
Figura 30 —Tensão de entrada e de cada estágio CMOS 12	47
Figura 31 —Circuito alternativo 2º estágio	47
Figura 32 —Dimensões dos transistores Q6	48
Figura 33 —Dimensões dos transistores Q7	48
Figura 34 —Curva de transferência estática	48
Figura 35 —Parâmetro de configuração microwind	49
Figura 36 —Diagrama de bode somente 2º estágio CMOS 12 para frequência	49
Figura 37 —Gráficos da tensão de saída com a variação da frequência CMOS 06.....	50
Figura 38 —Diagrama de bode para frequência CMOS 06	51
Figura 39 —Gráficos da tensão de saída com a variação da frequência CMOS 06.....	52
Figura 40 —Gráficos para resposta em amplitude- Tensão de entrada 10 mV _p	52
Figura 41 —Gráficos para resposta em amplitude- Tensão de entrada 15 mV _p	53
Figura 42 —Queda de tensão no circuito	53
Figura 43 —Gráfico para resposta em amplitude já saturada	55
Figura 44 —Gráficos para resposta em amplitude- Tensão de entrada 3,5 mV _p	55
Figura 45 —Diagrama de bode para frequência CMOS 035	56
Figura 46 —Gráficos da tensão de saída com a variação da frequência	57
Figura 47 —Exemplo de problema adicional CMOS 012	58

Figura 48 —Diagrama de bode para frequência CMOS 012	59
Figura 49 —Projeto completo e análise de área	61

LISTA DE TABELAS

Tabela 1 —Tensão de limiar projeto	20
Tabela 2 —Especificações para projeto	34
Tabela 3 —Relação entre mobilidades	34
Tabela 4 —Dimensões dos transistores	36
Tabela 5 —Dimensão mínima para cada nó tecnológico	36
Tabela 6 —Tensão early no microwind	38
Tabela 7 —Resposta em frequência do circuito CMOS 12	42
Tabela 8 —Resposta em frequência do circuito CMOS 12- Continuação	43
Tabela 9 —Análise comparativa demais parâmetros.....	59
Tabela 10 —Comparações de área entre os nós tecnológicos	60

LISTA DE ABREVIATURAS E SIGLAS

CMOS	<i>Complementary metal-oxide-semiconductor</i>
MOSFET	<i>Metal-Oxide-semiconductor-Field-Effect-Transistor</i>
TBJ	Transistor Bipolar de junção
SOI	<i>Silicon-On-Insulator</i>
SCE	<i>Short Channel Effects</i>
NMOS	<i>N-Type Metal Oxide Semiconductor</i>
PMOS	<i>P-Type Metal Oxide Semiconductor</i>
BW	<i>Bandwidth</i>
GB	Ganho- Faixa de passagem
GBW	<i>Gain Bandwidth Product</i>
UBW	<i>Unity Gain Bandwidth</i>
CC	Corrente contínua
CA	Corrente alternada
CMRR	<i>Common-Mode Rejection Ratio</i>
SNR	Relação sinal ruído
VLSI	<i>Very Large Scale Integration</i>

LISTA DE SÍMBOLOS

V_{GS}	Diferença de potencial entre porta e fonte do transistor MOS [V]
V_{Th}	Tensão de limiar [V]
V_{DS}	Diferença de potencial entre dreno e fonte do transistor MOS[V]
V_G	Tensão aplicada à porta da estrutura MOS[V]
g_m	Transcondutância do transistor MOS $\left[\frac{A}{V}\right]$
I_{DS}	Corrente entre dreno e fonte do transistor MOS [A]
I_D	Corrente de dreno[A]
V_{ov}	Sobretensão de condução porta-fonte [V]
C_{ox}	Capacitância de porta [F]
W	Largura [m]
L	Comprimento [m]
r_o	Impedância de saída [Ω]
g_{DS}	Condutância de saída $\left[\frac{A}{V}\right]$
V_{EA}	Tensão Early [V]
A_V	Ganho intrínseco de tensão
C_{gs}	Capacitância entre porta e fonte [F]
C_{gd}	Capacitância entre porta e dreno[F]
F_T	Frequência de ganho unitário [Hz]
C_{gg}	Capacitância vista pela porta em direção ao substrato [F]
C_L	Capacitância vista pelo nó de saída [F]
I_{Dp}	Corrente de dreno do transistor PMOS [A]
I_{Dn}	Corrente de dreno do transistor NMOS [A]
μ_p	Mobilidade das lacunas $\left[\frac{cm^2}{V*s}\right]$
μ_n	Mobilidade dos elétrons $\left[\frac{cm^2}{V*s}\right]$

SUMÁRIO

1 INTRODUÇÃO	13
1. 1 <i>Objetivos do trabalho</i>	<i>14</i>
1. 2 <i>Organização do trabalho.....</i>	<i>14</i>
2 REVISÃO BIBLIOGRÁFICA	15
2. 1 <i>Evolução tecnológica dos dispositivos MOSFETs</i>	<i>15</i>
2. 2 <i>Princípio de funcionamento de um MOSFET.....</i>	<i>17</i>
2.2.1 <i>Modo de operação.....</i>	<i>17</i>
2.3 <i>Parâmetros elétricos dos transistores</i>	<i>19</i>
2.3.1 <i>Tensão de limiar.....</i>	<i>19</i>
2.3.2 <i>Transcondutância</i>	<i>20</i>
2.3.3 <i>Impedância de saída</i>	<i>20</i>
2.3.4 <i>Tensão Early</i>	<i>21</i>
2.3.5 <i>Ganho intrínseco de tensão.....</i>	<i>21</i>
2.3.6 <i>Resposta em frequência.....</i>	<i>22</i>
2.3.6.1 <i>Respostas de acordo com a faixa de frequência</i>	<i>22</i>
2.3.6.2 <i>Frequência de ganho unitário</i>	<i>23</i>
2.3.6.3 <i>Produto ganho banda</i>	<i>24</i>
2. 4 <i>Circuito de polarização de corrente- inversor com feedback</i>	<i>24</i>
2. 5 <i>Espelho de corrente</i>	<i>25</i>
2. 6 <i>Par diferencial</i>	<i>26</i>
2. 7 <i>Múltiplos estágios.....</i>	<i>28</i>
3 MATERIAIS E MÉTODOS	31
3. 1 <i>Microwind.....</i>	<i>31</i>
3. 2 <i>Origin</i>	<i>31</i>
3. 3 <i>Fluxo do projeto</i>	<i>31</i>
3.4 <i>Projeto do amplificador de 2 estágios.....</i>	<i>32</i>
4 RESULTADOS E DISCUSSÕES	37
4. 1 <i>Projeto e layout tecnologia CMOS 1,2 μm.....</i>	<i>38</i>
4.1.1 <i>Primeiro estágio de amplificação.....</i>	<i>38</i>
4.1.2 <i>Segundo estágio de amplificação</i>	<i>47</i>
4. 2 <i>Influência da evolução tecnológica no projeto do primeiro estágio.</i>	<i>50</i>
4. 2. 1 <i>Para tecnologia CMOS de 0,6 μm.....</i>	<i>50</i>
4. 2. 2 <i>Para tecnologia CMOS de 0,35 μm</i>	<i>53</i>
4. 2. 3 <i>Para tecnologia CMOS de 0,13 μm</i>	<i>57</i>

4. 3 <i>Análise comparativa do resultado entre os nós tecnológicos</i>	59
4.3.1 <i>-Área ocupada</i>	60
5 CONCLUSÕES	62
6 TRABALHOS FUTUROS	63
REFERÊNCIAS BIBLIOGRÁFICAS	64

1 INTRODUÇÃO

O estudo da eletrônica tem suas origens nos séculos XVIII e XIX, por meio de estudos teóricos e experimentais sobre eletricidade e magnetismo. No entanto, seu desenvolvimento real ocorreu com a invenção do Tubo de Raios Catódicos em 1869 por Hittorf. Após essa invenção, a eletrônica continuou a ser estudada teoricamente por vários anos, até que seu potencial industrial fosse amplamente explorado durante a Segunda Guerra Mundial, com a invenção do transistor para substituir as válvulas, e, posteriormente, a criação dos circuitos integrados em 1960.

As indústrias neste setor buscaram avanços tecnológicos baseadas na redução das dimensões e na melhoria do desempenho. Dentro desse contexto, a tecnologia CMOS (*Complementary Metal-Oxide-Semiconductor*) se destacou, devido à grande capacidade de miniaturização, e compreende a maior parte dos circuitos integrados utilizados hoje em dia. A Lei de Moore informa que o número de transistores em uma mesma área de um chip de silício tende a dobrar a cada 18 a 24 meses [1]

Os transistores MOSFETs (*Metal-Oxide-Semiconductor-Field-Effect-Transistor*) são transistores de efeito de campo com estrutura metal-óxido, que possuem alta escalabilidade, apresentam um processo de fabricação mais simples e um tempo de chaveamento menor, quando comparados ao TBJ (Transistor Bipolar de Junção).

Outro fator importante a ser lembrado, é que o advento dos circuitos integrados, possibilitou o projeto de amplificadores operacionais com excelentes características, cuja capacidade de amplificar sinais de forma controlada e precisa, torna estes circuitos muito utilizados, devido às inúmeras aplicações do mesmo (sistemas de áudio, transmissão de rádio, amplificação de sinais biológicos, etc).

O amplificador operacional possui duas entradas (inversora e não inversora) e uma saída, e, apresenta um fator de ganho de tensão muito elevado entre a entrada e a saída do dispositivo. Entre seus parâmetros, é necessário que a impedância de saída seja muito baixa, além de um ganho elevado e uma resposta em frequência que tenha uma largura de banda muito ampla, permitindo a amplificação de qualquer sinal sem sofrer corte ou atenuação. Ao projetar amplificadores operacionais com MOSFETs, é possível criar circuitos com alto desempenho, baixo consumo de energia e dimensões reduzidas.

Somando-se o que se conhece da tecnologia MOSFET e sua aplicação em circuitos integrados com o amplificador operacional de transcondutância, que é um dos mais utilizados na eletrônica, neste trabalho de conclusão de curso foi projetado um amplificador operacional

projetado com tecnologia MOSFET de 1,2 μm .

1. 1 Objetivos do trabalho

Os objetivos deste trabalho são: realizar o estudo e o projeto de um amplificador operacional utilizando a tecnologia MOSFET de 1,2 μm , avaliar o impacto da evolução dos nós tecnológicos da tecnologia neste circuito. Assim, a comparação foi realizada entre 4 nós tecnológicos da tecnologia CMOS: 1,2 μm , 600 nm, 350 nm e 130nm.

Nesta análise, focou-se em compreender a resposta em amplitude e frequência, além de outros parâmetros importantes, como por exemplo, potência consumida e área ocupada na lâmina de silício.

1. 2 Organização do trabalho.

Este trabalho é dividido em 5 capítulos:

- Capítulo 1: Introdução do trabalho
- Capítulo 2: É tratado o princípio de funcionamento de um MOSFET, a sua evolução em quesito de dimensões. Também das topologias necessárias para a realização do projeto, como o circuito de polarização de corrente, o espelho de corrente e par diferencial e todos os parâmetros adicionais para realização correta do projeto.
- Capítulo 3: Este capítulo apresenta o processo de desenvolvimento do projeto, assim como os softwares utilizados e as tecnologias estudadas.
- Capítulo 4: São analisados, discutidos e confrontados os dados coletados com os testes durante o projeto, assim como análises comparativas entre os resultados obtidos.
- Capítulo 5: As conclusões compreendidas de todo o projeto.

2 REVISÃO BIBLIOGRÁFICA

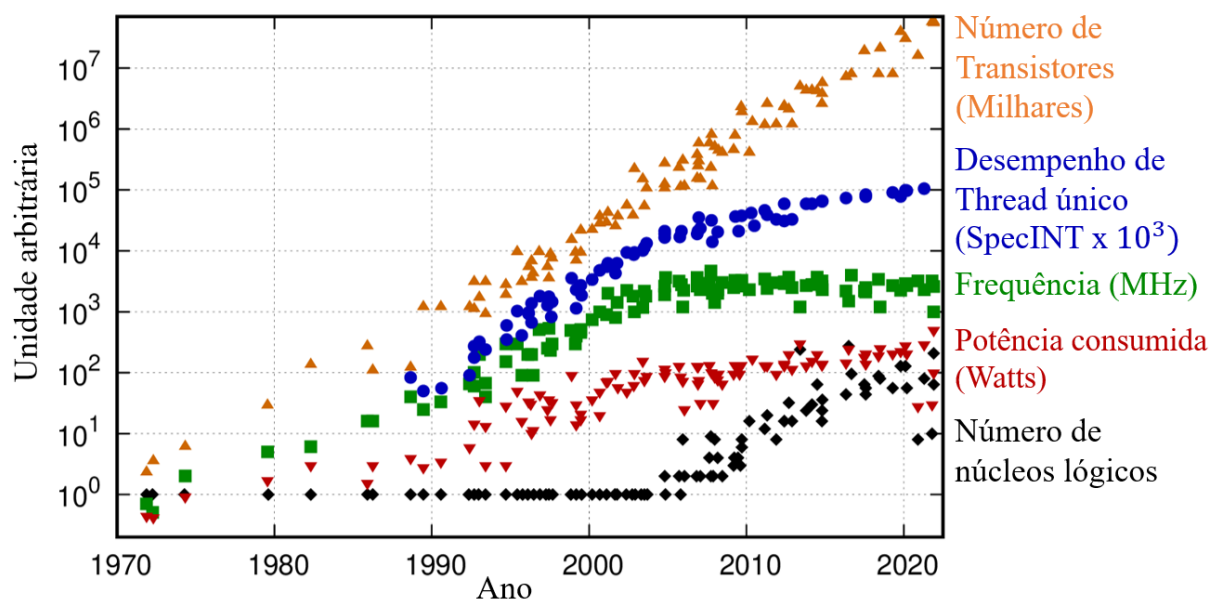
Em relação as equações utilizadas e toda a base teórica foi estudada e retirada de [10] e [14].

2.1 Evolução tecnológica dos dispositivos MOSFETs

Na construção de um processador, o componente mais fundamental é o transistor. O estudo e o avanço na tecnologia de fabricação foram os responsáveis por possibilitar uma notável evolução dos processadores.

Na Figura 1, é apresentada a evolução do número de transistores, desempenho de um *thread* único, a frequência de operação e a potência dissipada pelos processadores ao longo dos anos. É importante destacar neste momento, que a redução das dimensões dos transistores e, conseqüentemente, o crescimento exponencial do número de transistores no chip têm favorecido a melhoria do desempenho, da frequência de operação e do número de cores lógicas em um chip.

Figura 1—Evolução dos dados dos processadores comerciais



Fonte: adaptado de [2].

Para fins de comparação, o primeiro processador criado a partir de transistores, em 1971, foi o Intel 4004TM, que possuía cerca de 2300 transistores. Estudos realizados pela mesma empresa indicam que, até 2030, um processador poderá conter até 1 trilhão de transistores [3].

Este crescimento do número de transistores em um chip foi observado por Gordon Moore, co-fundador da Intel, na década de 60 e ficou conhecida como a Lei de Moore [1].

A Lei de Moore diz que o número de transistores em um circuito integrado dobraria a

cada dois anos, devido à redução das dimensões, ao aumento da capacidade computacional, à redução de custos e ao consumo de energia [4].

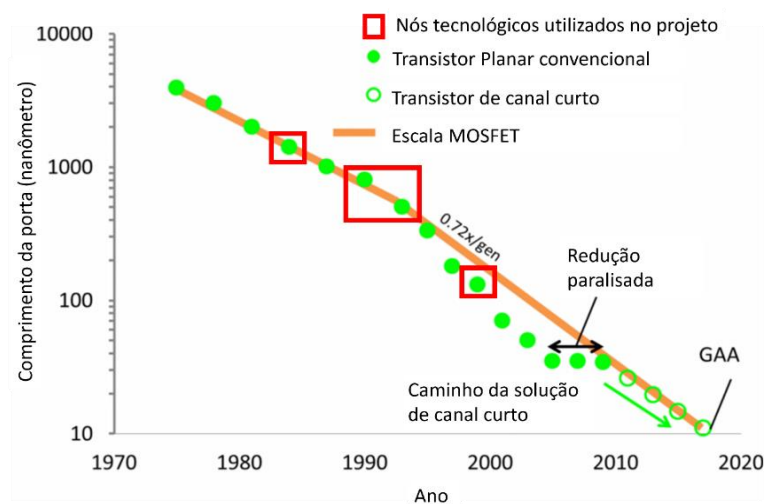
Inicialmente, aumentar a escala de integração de transistores significava reduzir as dimensões, e o nó tecnológico, correspondia ao menor comprimento do canal (comprimento da porta) de um dispositivo MOSFET planar, que não sofresse de efeito de canal curto. Esse comportamento é ilustrado na figura 2, que apresenta a redução logarítmica do comprimento da porta, em relação à escala do MOSFET.

A escala MOSFET, também conhecida como escala Dennard, tem sua base em um estudo realizado por Robert H. Dennard em 1974. O principal resultado desse estudo é que, à medida que ocorre a redução das dimensões dos transistores, a densidade de potência permanece constante. Isso significa que o consumo de energia se mantém proporcional à área, enquanto a tensão e a corrente diminuem com a redução do comprimento [5].

No entanto, por volta de 2006, essa escala foi interrompida, uma vez que percebeu-se que não era mais viável reduzir a tensão e a corrente enquanto mantinha-se um funcionamento confiável. Como resultado, surgiram processadores de múltiplos núcleos para aprimorar o desempenho.[6]

Nessa mesma época, é possível observar, na Figura 2, uma estagnação na redução das dimensões do canal do transistor. Esse comportamento é devido ao efeito de canal curto, SCE (*Short channel Effects*), e à presença de capacitores parasitários. Porém, esses tópicos não serão abordados, uma vez que não são o foco do projeto. Mesmo assim, novas tecnologias foram desenvolvidas para contornar essas deficiências, alterando-se os materiais utilizados e as geometrias do transistor.

Figura 2—Diminuição do comprimento do canal x anos

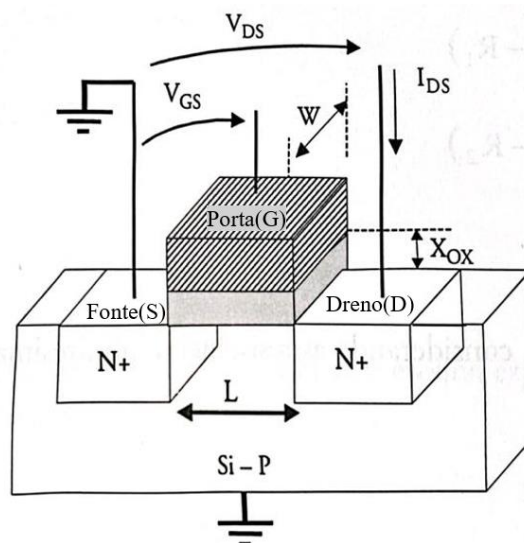


Fonte: adaptado de [7].

2. 2 Princípio de funcionamento de um MOSFET

Os MOSFETs do tipo enriquecimento são transistores de efeito campo mais utilizados. A figura 3 mostra a estrutura de um MOSFET do tipo N, ou NMOS, em que um transistor é construído utilizando-se um substrato do tipo P, duas regiões são altamente dopadas do tipo N para serem as regiões de dreno (D) e fonte (S). Acima do canal do transistor (região entre dreno e fonte), é adicionado uma pequena camada de isolante (óxido de porta - X_{ox}) e sobre esse óxido, um metal para formar o eletrodo de porta (G) do dispositivo.

Figura 3—Estrutura física NMOS



Fonte: Adaptado de [10].

Sendo V_{DS} a tensão adicionada entre dreno e fonte, V_{GS} a tensão adicionada entre porta e fonte, W a largura de canal, L o comprimento de canal e I_{DS} a corrente entre dreno e fonte.

De modo análogo, é possível encontrar transistores do tipo P, ou PMOS, em que possui equações similares, apenas com um sinal oposto nas tensões e correntes envolvidas, pois deve-se aplicar uma diferença de potencial negativa entre a porta e o substrato, de modo a induzir a formação de uma camada de lacunas para permitir o aparecimento da corrente, sendo assim a mobilidade de lacunas deve ser considerada que, em geral, é de duas a três vezes menor que a dos elétrons.

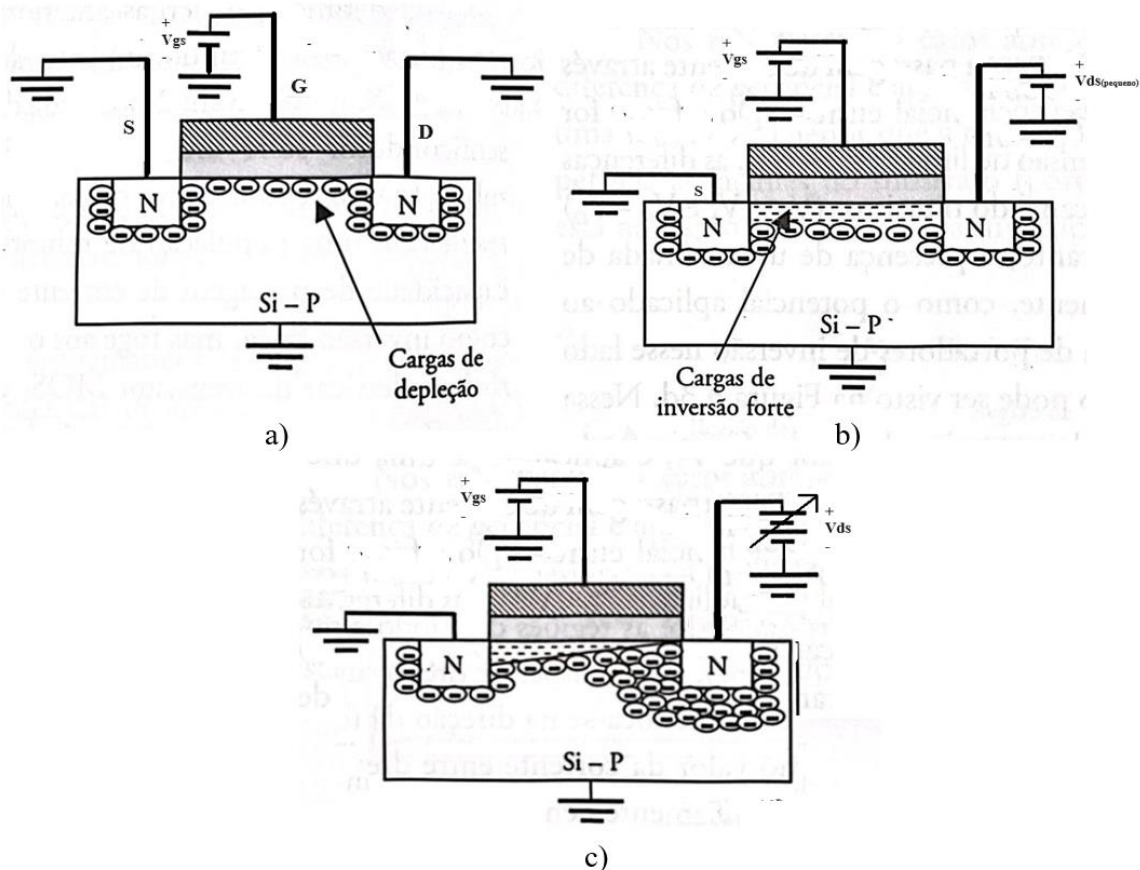
2.2.1 Modo de operação

A operação dos transistores MOSFETs depende das tensões aplicadas nos seus terminais. A tensão aplicada à porta do transistor é responsável por permitir, ou não, a passagem de corrente entre fonte e dreno, enquanto a tensão aplicada entre o dreno e a fonte, é responsável pelo modo de operação (tríodo ou saturação).

A explicação a seguir é referente ao NMOS, no entanto segue o mesmo raciocínio ao PMOS, com as devidas considerações já apresentadas, em relação aos valores de tensões negativas.

Na figura 4 nos mostra os perfis esquemáticos de carga de um transistor NMOS decorrentes das diversas condições de V_{DS} e V_{GS} aplicados. Na figura 4a foi aplicada uma tensão positiva na porta do dispositivo, porém, menor que a tensão de limiar (tensão necessária para que o transistor conduza) e aterrado à fonte e ao dreno. A tensão na porta não é suficiente para criar um canal de elétrons livres, portanto, não há condução de corrente entre dreno e fonte. Ao aumentar a tensão aplicada na porta, tornando esta tensão maior que a tensão de limiar, há a formação de um canal de elétrons que permite a circulação da corrente do dreno para a fonte, apresentado pela figura 4b. Na figura 4c é mostrado que foram adicionadas no dispositivo uma tensão V_{GS} (maior que V_{Th}) aterrado à fonte e adicionada uma tensão positiva no dreno. A tensão positiva no dreno é capaz de saturar o canal, ou seja, há o pinçamento do canal no lado do dreno.

Figura 4—Perfis de cargas para um transistor NMOS



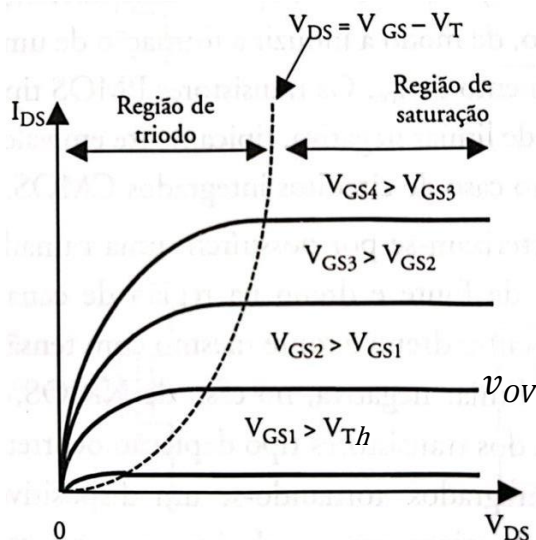
Fonte: Adaptado de [10].

A profundidade do canal depende da tensão, e com essa variação da tensão no canal, é possível concluir que o canal se reduzirá ao se aproximar do dreno e terá um limite quando $V_{DS} = V_{GS} - V_{Th}$.

Quando $V_{DS} < V_{GS} - V_{Th}$, o transistor opera na região linear, chamada de região de triodo, que é muito usada em eletrônica digital. Quando $V_{DS} \geq V_{GS} - V_{Th}$, o transistor opera em saturação, onde a corrente do canal se mantém praticamente constante. Esta região de operação é mais utilizada para eletrônica analógica, que é o foco deste projeto.

A figura 5 apresenta a característica de saída do transistor, ou seja, como a corrente entre dreno e fonte varia em função da tensão aplicada ao entre dreno e fonte, onde é possível observar as regiões de triodo(utilizada em eletrônica digital), de saturação(utilizada em eletrônica analógica) e sua dependência com V_{DS} . Quanto menor o V_{OV} mais rápido o transistor entra na região de saturação. Um fato importante para o dimensionamento do projeto.

Figura 5—Curvas características de um transistor NMOS



Fonte: [10].

2.3 Parâmetros elétricos dos transistores

Ao projetar amplificadores de sinal, vários parâmetros elétricos dos transistores devem ser considerados. Neste projeto, serão abordados apenas os mais relevantes, os quais serão apresentados nesta seção.

2.3.1 Tensão de limiar

A tensão de limiar é um dos parâmetros fundamentais de um transistor MOSFET. Ela é definida como a tensão mínima aplicada à porta do dispositivo (V_G) necessária para formar uma

camada de inversão, que conecta as regiões de dreno e fonte, permitindo assim a passagem de corrente.

O valor a ser definido depende de diversos fatores construtivos e de condições operacionais e de temperatura, no entanto, para uma mesma tecnologia, com espessura de óxido e capacitância de porta definida, pode ser aproximado de um valor de referência. Este valor deve ser constante para o nó tecnológico utilizado.

Na tabela 1 estão dispostos os valores a serem utilizados no projeto.

Tabela 1—Tensão de limiar projeto

Nó tecnológico (nm)	Nomenclatura	Tensão de limiar (V)	
		PMOS	NMOS
1200	CMOS 12	-0,76	0,7
600	CMOS 06	-0,9	0,8
350	CMOS 035	-0,6	0,6
130	CMOS 012	-0,4	0,4

Fonte: Adaptado de [11].

2.3.2 Transcondutância

A transcondutância está ligada com a capacidade do transistor de transferir o sinal de entrada para a saída do dispositivo. Ela é definida como a taxa de variação da corrente dreno-fonte em relação à tensão porta-fonte, apresentada pela eq. (1)

$$g_m = \left. \frac{\partial I_{DS}}{\partial V_{GS}} \right|_{V_{GS}=V_{GS_0}} \quad (1)$$

Em que V_{GS_0} é um valor específico usado para polarizar o transistor.

2.3.3 Impedância de saída

A impedância de saída (r_0) representa o inverso da condutância equivalente vista a partir do dreno de um transistor, assim como definida pela eq. (2)

$$r_0 = \frac{1}{g_{DS}} \quad (2)$$

A Condutância de saída (g_{DS}) é a medida da variação da corrente do dreno em relação da tensão entre o dreno e a fonte.

$$g_{DS} = \left. \frac{\partial I_{DS}}{\partial V_{DS}} \right|_{V_{DS}=V_{DS_0}} \quad (3)$$

Em que V_{DS_0} é o valor usado para polarizar o transistor.

Esta impedância de saída também pode ser aproximada pela eq. (4)

$$r_0 = \frac{V_{EA}}{I_0} \quad (4)$$

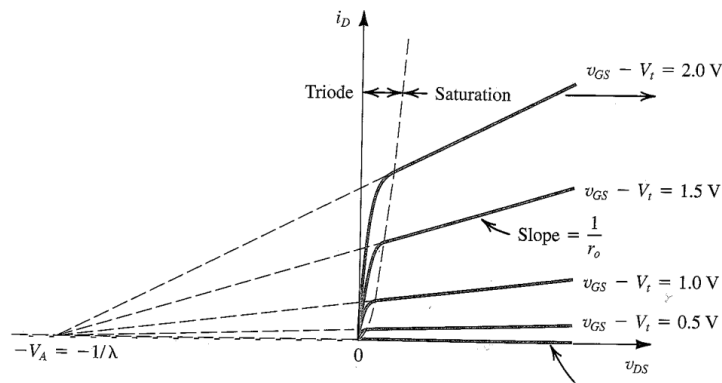
Sendo I_0 a corrente que passa pelo transistor, e V_{EA} a tensão de Early.

2.3.4 Tensão Early

A Tensão Early (V_{EA}) estima o efeito da modulação do comprimento de canal de um transistor. Ela é encontrada realizando a extrapolação da inclinação da curva da região de saturação, da curva $I_D \times V_{DS}$, apresentada pela Figura 6.

De modo geral, V_{EA} é um parâmetro importante pois é a medida de imunidade do transistor a variações de V_{DS} .

Figura 6—Tensão Early de um MOSFET



Fonte: [14]

2.3.5 Ganho intrínseco de tensão

O ganho intrínseco de tensão (A_V), de modo prático, é a razão entre a transcondutância e a condutância de saída do transistor, que é representada por eq. (5)

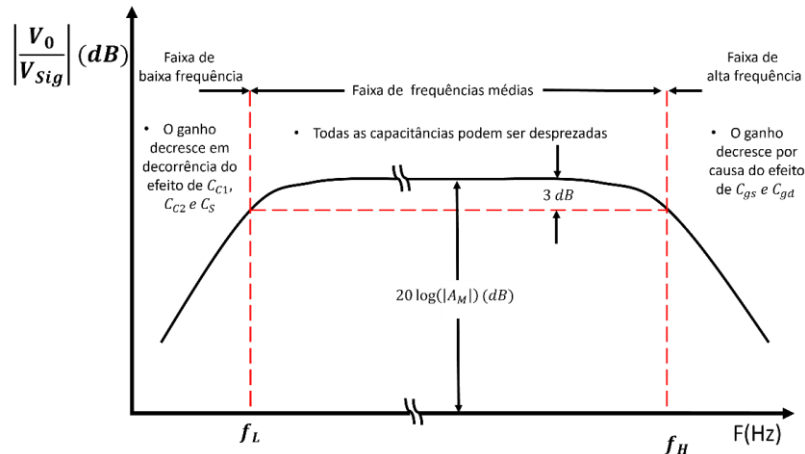
$$A_V = \frac{g_m}{g_D} = \frac{g_m}{I_D} |V_{EA}| \quad (5)$$

2.3.6 Resposta em frequência

2.3.6.1 Respostas de acordo com a faixa de frequência

Ao realizar o estudo da resposta em frequência do circuito, não é possível desconsiderar o efeito capacitivo no dispositivo. A Figura 7 apresenta um esboço do comportamento da resposta de acordo com a frequência.

Figura 7—Esboço da resposta em frequência, delineando as faixas de interesse



Fonte: Adaptado de [14]

Em baixas frequências é observada uma queda no ganho, essa queda é recorrente aos capacitores de acoplamento e o capacitor de desvio.

Os capacitores de acoplamento inibem, ou minimizam o efeito do sinal a ser amplificado, na corrente e tensão de polarização do circuito, assim como atua como um curto-circuito perfeito na frequência desejada.

O capacitor de desvio, também chamado como capacitor de passagem ou capacitor de *by-pass*, é responsável por prover uma impedância muito baixa nas frequências de interesse, realizando um curto entre a fonte do transistor e a terra.

Esses dois tipos de capacitores, apesar de apresentarem um valor elevado, na ordem de μF , à medida que se é reduzida a frequência, a impedância do capacitor aumenta e deixa de se comportar como um curto.

Também analisando as capacitâncias tem-se a capacitância de porta C_{ox} . Internamente no transistor, no eletrodo da porta, é formado um capacitor de placas paralelas com o canal, em que contém uma camada de óxido, com o propósito de ser um dielétrico.

Em altas frequências, existem as capacitâncias internas do dispositivo, ou seja, capacitância entre porta e fonte, C_{gs} e entre porta e dreno C_{gd} .

Estes efeitos capacitivos, apesar de serem da ordem de pF, ou menores, a impedância

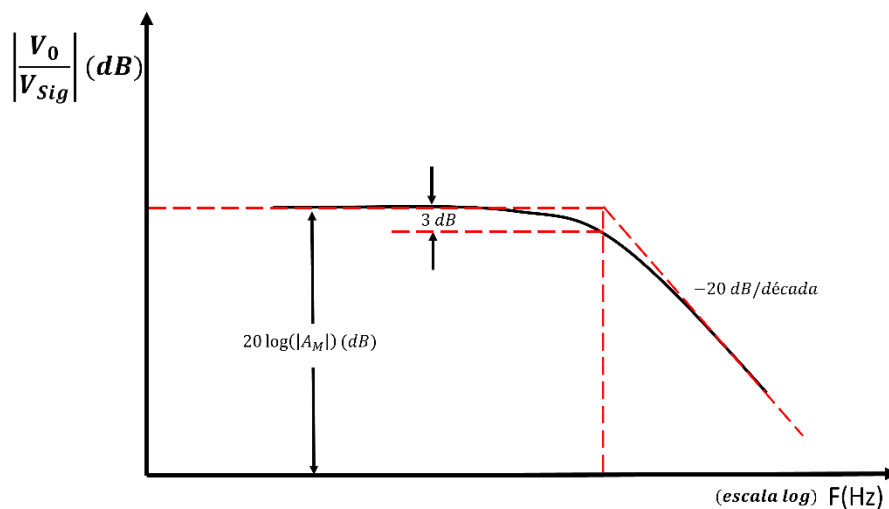
diminui com o aumento da frequência, não sendo possível considerar como um circuito aberto, sendo assim, seus efeitos começam se tornar significativos.

Após a sua frequência de corte, o sistema apresenta um decaimento do ganho a uma taxa de 20dB por década. Isto ocorre porque esses efeitos capacitivos agem como um componente reativo em serie com a entrada do amplificador. Com isso, o método de compensação é empregar técnicas para estender a resposta em frequência.

Existe uma faixa que todos esses efeitos capacitivos podem ser desconsiderados, que é a faixa de frequências médias, que geralmente é a melhor faixa de operação para o circuito, por apresentar um ganho quase que integralmente constante e assim, é possível determinar a faixa de passagem, ou faixa de 3dB de utilização, definida como a faixa que o ganho que era constante se reduz até 3 dB.

A forma de se representar tais diagramas de resposta em frequência é o diagrama de Bode, apresentada pela figura 8. O diagrama de Bode representa a resposta em regime permanente, ela é traçada em função da frequência em escala logarítmica, representa a forma correta de representar a resposta do circuito explicada na figura 7.

Figura 8—Esboço diagrama de bode



Fonte: Adaptado de [14]

2.3.6.2 Frequência de ganho unitário

A frequência de ganho unitário (F_T) representa, de forma aproximada, a máxima frequência de operação do transistor, ou seja, até esta frequência está amplificando o sinal, acima disto o sinal começa a ser atenuado. E pode ser representada teoricamente por eq. (6)

$$F_T = \frac{g_m}{2\pi C_{gg}} \quad (6)$$

Sendo C_{gg} a capacitância total de porta.

2.3.6.3 Produto ganho banda

O produto ganho banda (*Gain Bandwidth Product- GBW*) representa a máxima largura de banda utilizável a um certo nível de tensão do circuito. Quando é realizada em relação ao ganho unitário, é chamada de UBW (*Unity Gain Bandwidth*).

Como o trabalho demonstra-se com amplificadores operacionais, pode ser possível observar uma atenuação constante em toda a faixa de atuação, em que resulta em um GBW constante. A frequência real onde o ganho de tensão é unitário pode ser encontrado por eq. (7)

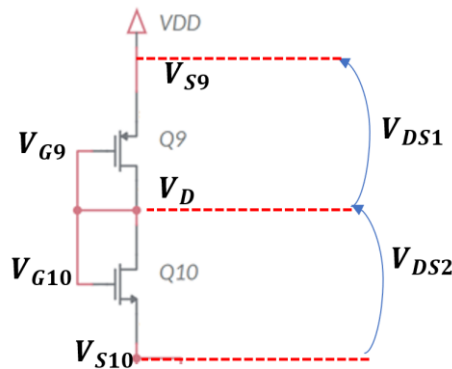
$$GBW = \frac{g_m}{2\pi C_L} \quad (7)$$

Sendo C_L a capacitância vista pelo nó de saída.

2. 4 Circuito de polarização de corrente- inversor com feedback

A figura 9 representa o circuito de polarização de corrente, que nesse caso também se chama inversor com feedback.

Figura 9—Circuito inversor com feedback



Fonte: Elaborado pelo autor

Para ambos os transistores, como a porta e o dreno estão em curto, garante-se que $V_{GS} = V_{DS}$ e que está na região de saturação.

Pela eq.9 compreende-se a corrente que passa pelo transistor, quando está na região de saturação.

$$I_D = I_{Dp} = I_{Dn} \quad (8)$$

$$I_D = \frac{1}{2} \mu_p C_{ox} \frac{W_p}{L_p} (V_{ov})^2 = \frac{1}{2} \mu_n C_{ox} \frac{W_n}{L_n} (V_{ov})^2 \quad (9)$$

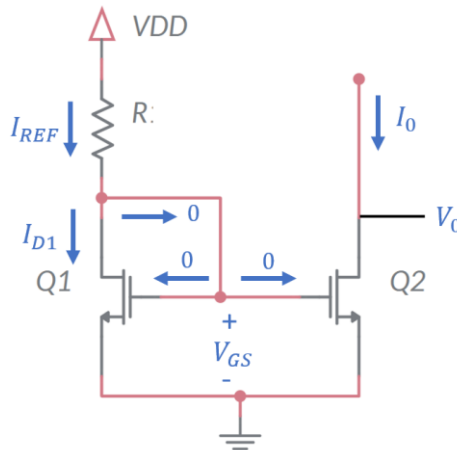
$$\frac{I_{Dp}}{I_{Dn}} = \frac{\mu_p}{\mu_n} * \frac{\frac{W_p}{L_p} (V_{ov})^2}{\frac{W_n}{L_n} (V_{ov})^2} \quad (10)$$

Ao fixar uma sobretensão de condução porta-fonte, a corrente nesse ramo pode ser definida e fixada somente pela relação das dimensões dos dispositivos e das mobilidades.

2. 5 Espelho de corrente

A figura 10 representa o circuito espelho de corrente.

Figura 10—Circuito espelho de corrente



Fonte: Adaptado de [14].

O ponto principal do circuito espelho de corrente é o transistor Q1, em que seu dreno e a fonte está em curto, forçando assim sua operação no modo de saturação, pelo mesmo motivo apresentado no tópico anterior.

Como é sabido, a corrente na porta de Q1 e Q2 é praticamente zero, a corrente de referência passara tudo entre a fonte e o dreno de Q1.

Q2 como apresenta o mesmo V_{GS} de Q1, dependendo da tensão V_O estará em saturação e nesses momentos que esse circuito terá relevância.

É possível relacionar a corrente de saída com a corrente de referência, nesse caso, dependerá somente das dimensões do dispositivo, pois tem o mesmo V_{GS}, V_{th}, k' .

$$\frac{I_0}{I_{REF}} = \frac{\left(\frac{W}{L}\right)_2}{\left(\frac{W}{L}\right)_1} \quad (11)$$

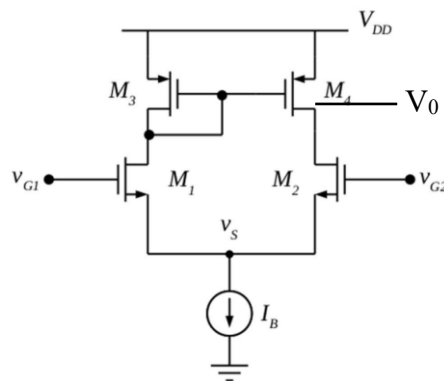
Em que I_{REF} é a corrente fornecida pela fonte de corrente.

O objetivo principal é replicar uma corrente de referência bem definida, que passa por Q1, para o resto do circuito, conforme o interesse.

2. 6 Par diferencial

A figura mostra o par diferencial mais básico realizado com MOS. Esta configuração consiste em dois transistores casados (M_1 e M_2), que no caso, estão polarizados por uma fonte de corrente constante I e dois transistores de carga (M_3 e M_4).

Figura 11—Par diferencial com carga ativa



Fonte : Adaptado de [14].

$$V_{G1} = V_{GS} + \frac{V_{id}}{2} \quad (12)$$

$$V_{G2} = V_{GS} - \frac{V_{id}}{2} \quad (13)$$

Na figura 11, tem-se V_{G1} e V_{G2} , que correspondem à polarização CC do circuito (V_{GS}) e ao sinal CA a ser amplificado (V_{id}), respectivamente. V_{G1} é conhecido como entrada não inversora e V_{G2} é conhecido como entrada inversora.

Esse tipo de amplificador é conhecido como amplificador diferencial, pois ele amplifica as diferenças de tensões entre as duas entradas, rejeitando o modo comum.

$$V_{id} = V_{G1} - V_{G2} \quad (14)$$

O amplificador diferencial é usado como circuito de entrada dos amplificadores operacionais, pelo fato de rejeitar o modo comum, utilizado para rejeitar o ruído presente em ambas entradas, por exemplo.

Diversas análises podem ser realizadas neste tipo de circuito, entre elas sua análise CC, CA e de modo comum. Como na prática o sistema não é ideal, a tensão de saída desse tipo de ganho diferencial e do seu ganho do modo comum, o desejável é que seja o seu ganho diferencial o maior possível, e o seu ganho de modo comum, o menor possível.

A corrente do dreno que passa de M_1 é definida por:

$$i = g_{m1} \frac{V_{id}}{2} \quad (15)$$

A corrente do dreno que passa em M_2 apresenta o mesmo valor, porém, de sinal oposto. Essa mesma corrente é a corrente de referência para o espelho. Como M_3 e M_4 estão casados, ou seja, apresentam as mesmas dimensões, a corrente i é replicada para o dreno de M_4 por um fator 1. Vale ressaltar quando o espelho de corrente apresenta tais características isso chama-se circuito guia de corrente.

Em relação ao nó de saída, teremos a soma de corrente, a proveniente de M_2 e de M_4 , ocasionando em uma corrente de $2i$.

A adição do espelho de corrente favorece a conversão do sinal de saída diferencial, para saída simples, e de um modo que não afete o ganho do sistema.

Outro ponto importante de melhoria entre carga passiva e ativa, é a melhora na transcondutância de curto-circuito que com efeito do espelho corresponde a $G_m = g_m$ e sem esse efeito a $G_m = \frac{g_m}{2}$.

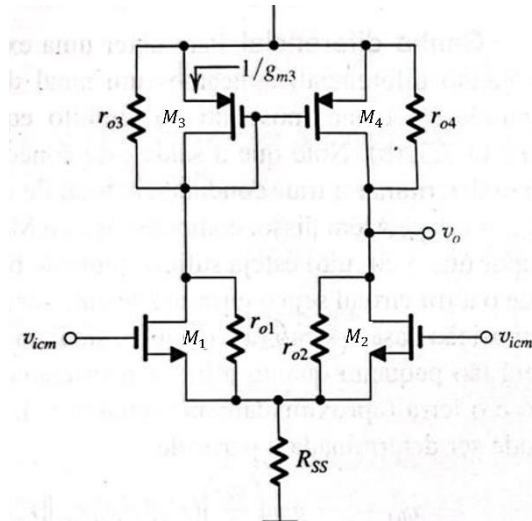
Para determinação do ganho diferencial tem-se que

$$A_d = g_m(r_{o2} || r_{o4}) \quad (16)$$

Apesar de ser feito uma saída simples, o amplificador diferencial MOS apresenta um baixo ganho em modo comum.

Para realizar análise em modo comum, é necessário eliminar as fontes CC, somente manter a resistência da fonte de corrente.

Figura 12—Análise modo comum par diferencial com carga ativa



Fonte : Adaptado de [14].

Sendo r_{o1} , r_{o2} , r_{o3} e r_{o4} as resistências de saída dos transistores M_1 , M_2 , M_3 e M_4 respectivamente. R_{SS} a resistência da fonte de corrente e V_o a tensão de saída do par diferencial

O ganho de modo comum é definido por:

$$A_{cm} \cong \frac{1}{2g_{m3}R_{SS}} \quad (17)$$

O CMRR é uma sigla de *Common-Mode Rejection Ratio*, que significa rejeição de Modo-Comum. Ou seja, é uma importante característica de uma conexão diferencial em que os sinais que são opostos nas entradas são altamente amplificados e os sinais comum as entradas são pouco amplificadas.

Ao fazer a razão do A_d pelo A_{cm} é possível determinar o CMRR. Temos que, como tal circuito apresenta um baixo ganho em modo comum, temos correspondente um alto CMRR.

2. 7 Múltiplos estágios

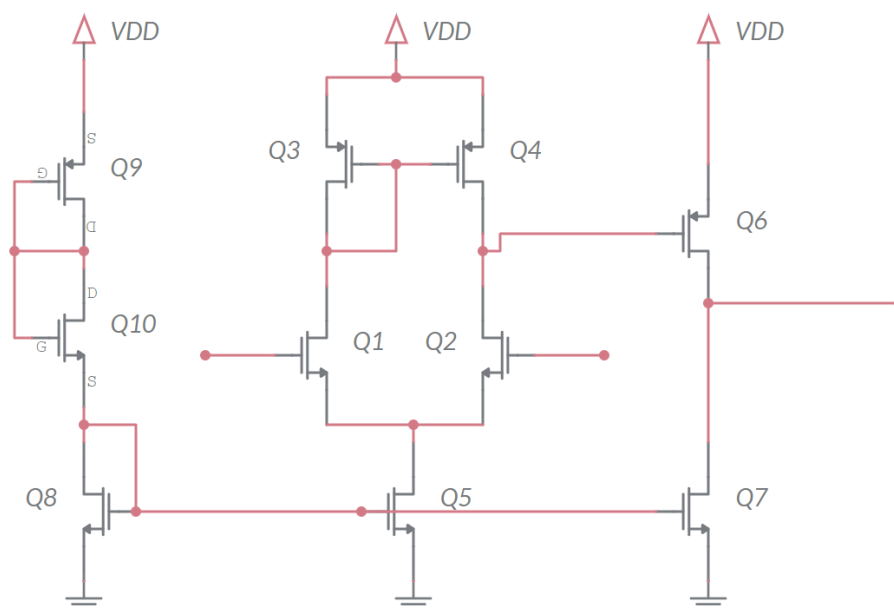
Na prática, um amplificador operacional corresponde a vários estágios conectados em cascata. Além de aumentar o ganho, o primeiro estágio geralmente proporciona uma alta resistência de entrada para evitar perdas no nível do sinal, quando o amplificador for acionado por uma fonte de sinal com alta resistência, além da alta rejeição de modo comum.

Os estágios intermediários executam outras funções, como a conversão do sinal do modo diferencial para modo comum, o ganho efetivo e o deslocamento CC para o sinal de saída oscilar entre positivo e negativo.

E finalmente, o último estágio tem como propósito, apresentar uma baixa resistência de saída, a fim de evitar perdas no ganho quando uma carga de baixa resistência for conectada ao amplificador, além de ter a capacidade de fornecer a corrente necessária pela carga de modo eficiente, ou seja, sem dissipar alta potência nos transistores do circuito.

Para este projeto, será estudado o circuito apresentado na figura 13, ele apresenta somente dois estágios , então algumas funções dos estágios intermediários não serão possíveis, como por exemplo o deslocamento CC.

Figura 13—Circuito projetado



Fonte: Elaborado pelo autor

Sendo V_{DD} a tensão de alimentação do circuito. A explicação de cada componente do circuito virá a seguir, o importante a ressaltar nesse momento é a resposta de cada estágio de amplificação.

Realizando uma análise geral, o primeiro estágio é responsável por dar um ganho percentual ao sinal, no entanto, sua função principal é eliminar o modo comum, ou seja, o circuito integrado está sujeito a ter incremento de ruídos, e como as dimensões dos circuitos são pequenas, o mesmo ruído será aplicado nas duas entradas, possibilitando que na saída deste estágio em V_{O1} , tenha um sinal mais limpo, ocasionando uma SNR superior em relação à aplicação de outro tipo de circuito no estágio inicial.

Com isso, independentemente da quantidade de estágios, o primeiro será responsável pela eliminação do ruído do circuito.

O segundo estágio dará um ganho maior para o circuito e também, tem função para um processo de compensação de frequência, manipulando as posições dos polos da função, a fim de obter um ganho maior do circuito.

O ganho de tensão de cada estágio é definido por:

$$A_1 = g_{m1}(r_{02}||r_{04}) \quad (18)$$

$$A_2 = -g_{m6}(r_{06}||r_{07}) \quad (19)$$

Sendo r_{02} , r_{04} , r_{06} e r_{07} as resistências de saída dos transistores Q_2 , Q_4 , Q_6 e Q_7 respectivamente.

3 MATERIAIS E MÉTODOS

3.1 Microwind

O Microwind é um software utilizado na área de design e simulação de circuitos integrados (CI). Ele oferece uma plataforma poderosa para engenheiros e pesquisadores que desejam projetar, testar e otimizar circuitos eletrônicos em níveis micro e nanométricos.

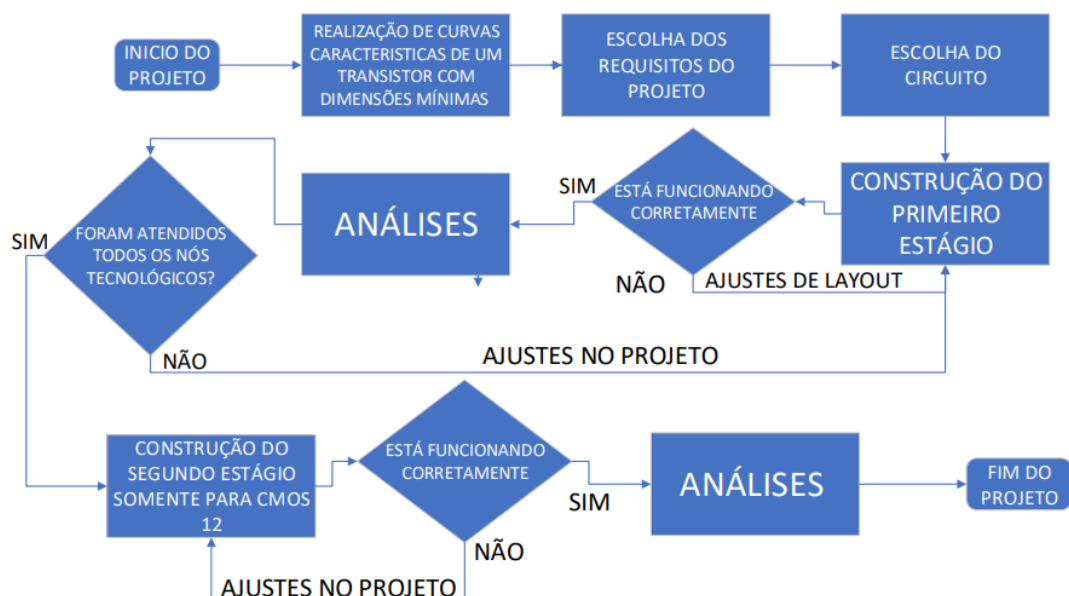
O programa é particularmente eficaz na criação e simulação de circuitos integrados, como amplificadores, processadores, memórias e muito mais, com um foco otimizado na tecnologia CMOS. Além disso, sua facilidade de uso favorece o aprendizado, e oferece a capacidade de simular projetos antes de construí-los. Essa ferramenta é inestimável em ambientes acadêmicos e é amplamente utilizada em cursos de engenharia elétrica e eletrônica, bem como em pesquisas acadêmicas.

3.2 Origin

Origin é uma poderosa ferramenta de software amplamente utilizada em análise de dados. É utilizado para a criação de gráficos e visualização de dados e permite a criação de diversos tipos de gráficos e tratá-los de forma mais adequada.

3.3 Fluxo do projeto

Figura 14—Fluxo do projeto



Fonte: Elaborado pelo autor

A figura 14 corresponde ao fluxograma representa de forma resumida as etapas realizadas no projeto.

Para realização do projeto, inicialmente foi realizado um estudo prévio para uma familiarização do software utilizado e compreender o modo de dimensionamento, sendo assim foi projetado um transistor em suas dimensões mínimas para compreender a resposta do simulador.

Em conjunto com a orientadora, foi escolhido os requisitos dos projetos e o circuito a ser projetado, para posteriormente ser construído pelo aluno o leiaute do projeto, com os devidos ajustes durante a execução e assim ser possível as análises a serem feitas.

3.4 Projeto do amplificador de 2 estágios

Após extrair as curvas características do transistor com dimensões mínimas, foi fixada uma sobretensão de porta ($V_{ov} = V_{GS} - V_{th}$) de 200mV para os transistores do par diferencial do primeiro estágio. Para dimensionar os transistores, foi necessário verificar as correntes nos ramos, tomando cuidado com as diferenças entre as mobilidades dos elétrons e das lacunas quando tem-se transistores nMOS e pMOS, que devem conduzir o mesmo nível de corrente. Vale lembrar que W corresponde à largura do canal e L ao comprimento do canal.

Dentro da microeletrônica, os amplificadores operacionais são estágios cruciais em todos os circuitos eletrônicos. São dispositivos que apresentam alto ganho e alta impedância de entrada, que amplificam um sinal elétrico de entrada para produzir um sinal de saída proporcional, de acordo com a aplicação e interesse. Logo, possuem a capacidade de amplificar sinal de baixa amplitude e fornecer ganhos significativos.

O Amplificador operacional mais simples é o de dois estágios, apresentado na figura 15, que será o projetado e estudado no projeto. Após pesquisas e discussões foi escolhido esse circuito pois o intuito da pesquisa é comparar as diferenças e evolução da resposta do circuito para 4 nós tecnológicos, de 1,2 μ m, 0,6 μ m, 350 nm e 130 nm.

Para compreender o funcionamento do circuito e a necessidade de cada componente para assim fazer seu funcionamento, pode-se dividir em 5 blocos:

Bloco 1- Em azul, há Q9 e Q10, eles são responsáveis pela corrente de referência do circuito, este bloco é chamado de fonte de corrente que foi utilizado com uma topologia de inversor com feedback, cujo funcionamento foi apresentado na seção 2.4 do capítulo 2.

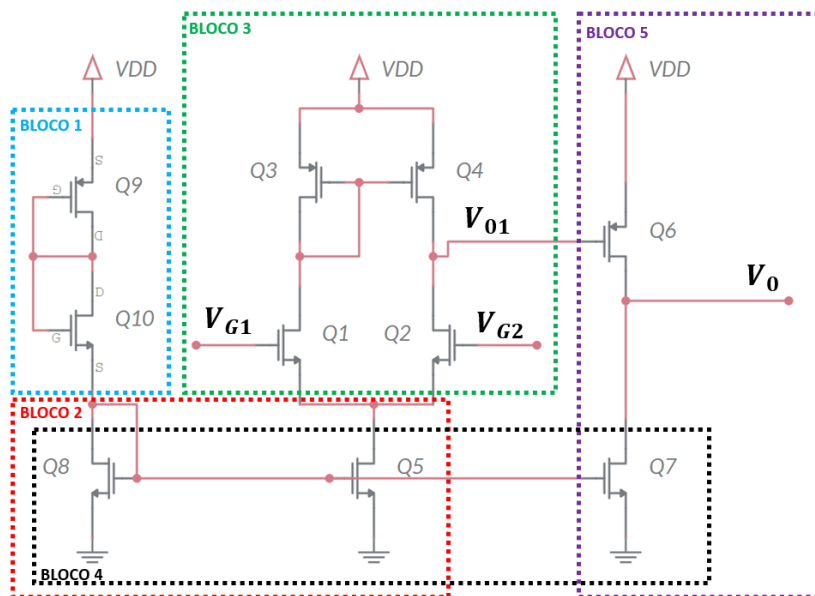
Bloco 2- Em vermelho, Q8 e Q5, entre eles tem-se um circuito espelho de corrente. Após haver uma corrente de referência constante gerada pelo bloco 1, ela pode ser replicada para fornecer

correntes de polarização para diversos estágios, e o resultado depende das dimensões do dispositivo, conforme amplamente discutido nos fundamentos teóricos.

Bloco 3- Em verde existe o par diferencial formado por Q1 e Q2, junto com a carga ativa formada por Q3 e Q4.

Primeiramente, é necessário que este circuito esteja casado, logo $Q1=Q2$ e $Q3=Q4$, nesta situação, a corrente de polarização fornecida irá dividir-se igualmente nos dois ramos. Observa-se que o circuito corresponde a uma entrada diferencial e saída simples para o próximo estágio.

Figura 15—Projeto separado em blocos



Fonte: Elaborado pelo autor

Bloco 4- Em preto. estão Q8 e Q7, entre eles, há um circuito espelho de corrente. Nota-se que Q7 tem dupla função, ele pertence ao circuito de guia de corrente deste estágio e como carga de Q6, que corresponde a um transistor de fonte comum.

Bloco 5- Em roxo, por fim, Q6 e Q7, que correspondem ao segundo estágio de amplificação.

A tabela 2 traz os valores das constantes utilizadas de cada uma das tecnologias: $1,2\mu\text{m}$, $0,6\mu\text{m}$, $0,35\mu\text{m}$ e $0,12\mu\text{m}$. Além disso, traz o dimensionamento mínimo dos transistores.

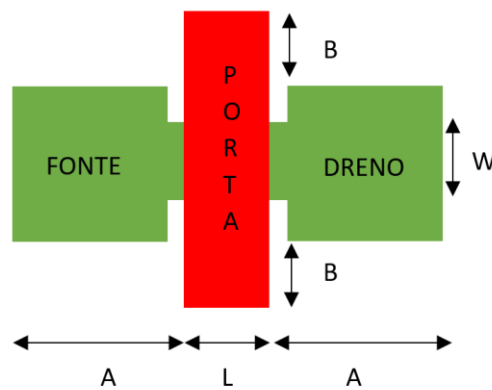
Tabela 2—Especificações para projeto

Projeto	Lambda	Dimensão mínima(λ)				V_{DD}	k'_p	k'_n	X_{ox}	$ V_{tp} $	$ V_{tn} $
(μm)	(μm)	W	L	A	B	(v)	($\mu A/V^2$)	($\mu A/V^2$)	(cm)	(v)	(v)
1,2	0,600	4	2	7	2	5	25	80	$25 \cdot 10^{-7}$	0,76	0,7
0,6	0,300	4	2	7	2	5	42	140	$12 \cdot 10^{-7}$	0,9	0,8
0,35	0,200	4	2	7	2	3,5	52	200	$7 \cdot 10^{-7}$	0,6	0,6
0,13	0,060	4	2	8	2	1,2	150	350	$4 \cdot 10^{-7}$	0,4	0,4

Fonte: Adaptado de [7]

Em que W, L, A, B correspondem às dimensões do transistor apresentada pela figura 16.

Foi tomado como referência para a criação da tabela o Manual de operações do Microwind [7], cuja versão é a utilizada na universidade. A tabela 3 traz os valores das mobilidades de elétrons e lacunas usadas em cada tecnologia.

Figura 16—Dimensões do transistor

Fonte: Elaborado pelo autor

Tabela 3—Relação entre mobilidades

Projeto	μ_p	μ_n	$\frac{\mu_n}{\mu_p}$
(μm)	($cm^2/V \cdot s$)	($cm^2/V \cdot s$)	
1,2	181,16	579,71	3,20
0,6	146,09	486,95	3,33
0,35	105,51	405,80	3,84
0,12	173,92	405,79	2,33

Fonte: Elaborado pelo autor

O dimensionamento do circuito foi iniciado pelo par diferencial. Partindo do transistor de referência, e escolhendo como dimensão mínima, tem-se que Q1 apresentará as dimensões mínimas. Q1 e Q2 estão casados, logo, apresentam a mesma dimensão. Q3 e Q4 também estarão

casados entre si, porém são pMOSFETs, então deve ser compensada a diferença de mobilidade para que sejam capazes de oferecer a mesma corrente.

Por Q1 e Q3 passam a mesma corrente, e estarão em saturação, logo:

$$I_{Dn} = \frac{1}{2} \mu_n \frac{\epsilon_{ox}}{x_{ox}} \left(\frac{W_N}{L_N} \right)_{Q1} (V_{gs} - V_t)^2$$

$$I_{Dp} = \frac{1}{2} \mu_p \frac{\epsilon_{ox}}{x_{ox}} \left(\frac{W_P}{L_P} \right)_{Q3} (V_{gs} - V_t)^2$$

Para todos os casos de dimensionamento, trabalharemos $V_{gs} - V_t = V_{ov} = 200mV$

$$I_{Dn} = I_{Dp} = \frac{1}{2} \mu_n \frac{W_N}{L_N} \frac{\epsilon_{ox}}{x_{ox}} (200 * 10^{-3})^2 = \frac{1}{2} \mu_p \frac{\epsilon_{ox}}{x_{ox}} \frac{W_P}{L_P} (200 * 10^{-3})^2$$

Como ambos serão fabricados juntos no mesmo *waffer* de silício, apresentam o mesmo valor de $\frac{\epsilon_{ox}}{x_{ox}}$, simplificando o sistema, então :

$$\mu_n * \left(\frac{W_N}{L_N} \right)_{Q1} = \mu_p * \left(\frac{W_P}{L_P} \right)_{Q3}$$

$$\left(\frac{W_P}{L_P} \right)_{Q3} = \frac{\mu_n}{\mu_p} * \left(\frac{W_N}{L_N} \right)_{Q1}$$

Resta somente substituir os valores na fórmula, já que todos os dados são conhecidos, para a relação $\frac{\mu_n}{\mu_p}$, será arredondada para o inteiro mais próximo, ou seja, $\frac{\mu_n}{\mu_p} = 3$.

Para o dimensionamento de Q5, sabe-se que o par diferencial foi idealizado para estar na sua forma balanceada, logo, por Q5 passará o dobro de corrente em relação à referência Q1 adotada.

Para ter o dobro de corrente em Q5, basta aumentar a relação entre $\frac{W}{L}$, pois os outros valores da fórmula permanecem constante.

Existem duas formas para dimensionamento, ou diminui-se L pela metade, ou dobra-se W. Diminuir L pela metade não é possível, pois já está na dimensão mínima de projeto.

Logo, o W de Q5 será o dobro em relação ao de Q1.

Q8 terá a mesma dimensão de Q5, pois ele somente replicará por um fator 1 a corrente de referência.

No entanto, para o segundo estágio, é desejado que os polos não estejam muito próximos para não ter instabilidade no sistema. Como requisito de projeto, é deferido que os polos estejam afastados por uma década, ou seja, por um fator de 10 vezes a corrente de referência.

Tomando como base Q6, por requisito de projeto, ele precisa ser 5 vezes Q3, e Q7, por

motivo já apresentado, necessita ser 1/3 do tamanho de Q6.

Tomando como base o transistor Q8, pois ele faz parte do circuito guia de corrente do primeiro estágio, e faz parte do bloco necessário para replicar a corrente para o segundo estágio, ele apresenta o dobro da dimensão do transistor de referência Q1.

Para o dimensionamento de Q9 e Q10, sabe-se que a corrente que passa por Q10 e Q8 é a mesma, com isso devem ter o mesmo tamanho. Para encontrar as dimensões de Q9, utiliza-se a mesma lógica de Q3.

$$\left(\frac{W_P}{L_P}\right)_{Q9} = \frac{\mu_n}{\mu_p} * \left(\frac{W_N}{L_N}\right)_{Q10} = 3 * \left(\frac{W_N}{L_N}\right)_{Q10}$$

Reunindo os valores encontrados para as dimensões dos transistores na tabela 4, tem-se:

Tabela 4—Dimensões dos transistores

	Q1	Q2	Q3	Q4	Q5	Q6	Q7	Q8	Q9	Q10
W(λ)	4	4	13	13	8	65	22	8	24	8
W(μm)	2,4	2,4	7,8	7,8	4,8	39	13,2	4,8	14,4	4,8
L(λ)	2	2	2	2	2	2	2	2	2	2
L(μm)	1,2	1,2	1,2	1,2	1,2	1,2	1,2	1,2	1,2	1,2

Fonte: Elaborado pelo autor

Com as dimensões dos transistores definidas, é possível construir todo o circuito proposto no microwind para avaliação quantitativa e qualitativa. Vale ressaltar que no caso dos projetos, foram todos parametrizados em lambda, que corresponde à metade do valor da dimensão mínima. A tabela 5 corresponde à dimensão mínima de cada nó tecnológico.

Tabela 5—Dimensão mínima para cada nó tecnológico

Projeto (μm)	Dimensão mínima (μm)	Valor de lambda (μm)
1,2	1,200	0,600
0,6	0,600	0,300
0,35	0,400	0,200
0,12	0,120	0,060

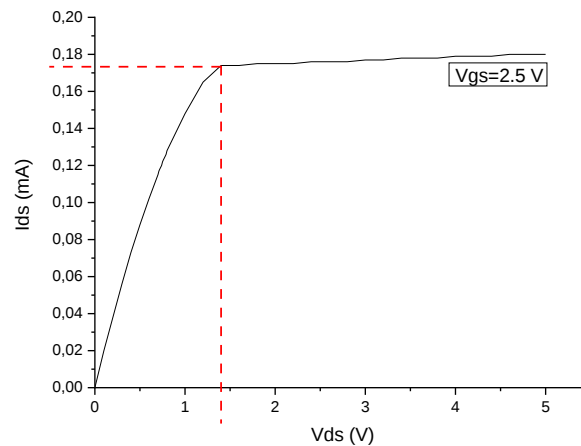
Fonte: Elaborado pelo autor

Após todos os ajustes em todos os nós tecnológicos, serão feitos ajustes somente de posicionamento para ocupar a menor área possível.

4 RESULTADOS E DISCUSSÕES

Antes de realizar o projeto propriamente dito, foi simulado um transistor com dimensões mínimas, para poder extrair alguns parâmetros, como por exemplo, a determinação da tensão Early.

Figura 17 —Curva característica transistor no microwind para a tecnologia de $1,2\ \mu\text{m}$.



Fonte: Elaborado pelo autor.

Em relação à curva característica do transistor, apresentada pela figura 17, pôde ser observado claramente a região de triodo e a região de saturação do circuito. Para $V_{GS} = 2,5$, o transistor estará em triodo, quando $V_{DS} < 1,4\text{ V}$, em que tem-se uma rápida variação na corrente do transistor entre 0 e 0,17mA.

Quando $V_{DS} > 1,4\text{ V}$ o transistor estará na região de saturação, que é a região de interesse neste projeto, onde a corrente do transistor está estabilizada por volta de 0,18mA.

Foi realizada uma linearização da curva, somente na região de saturação, para que fosse possível determinar a tensão Early. Os valores obtidos para cada tecnologia estão apresentados na tabela 6.

A partir do gráfico da figura 17, pode ser observado que, o efeito da modulação do canal é pequeno, pela sua baixa inclinação da reta na região de saturação, fator este que é comprovado pelos valores encontrados da tensão Early. Vale ressaltar que a tensão Early depende do comprimento no canal, que neste caso $L = 1,2\ \mu\text{m} = 2\ \lambda$. Usualmente quanto maior o L , maior a tensão Early.

Para o nó tecnológico de 130nm não foi possível determinar essa tensão Early por limitação do simulador.

Tabela 6—Tensão early no microwind

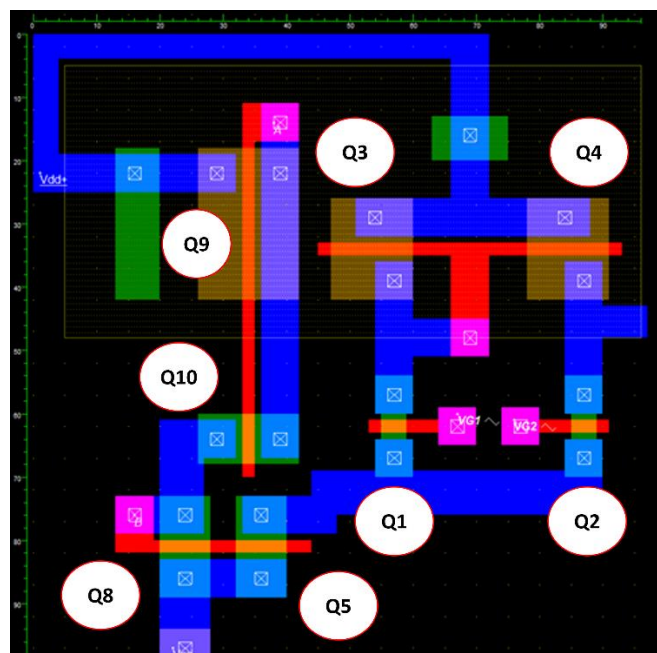
Nó tecnológico (nm)	Tensão Early (V)
1200	95,23
600	97,77
350	94,66
130	-

Fonte: Elaborado pelo autor

4. 1 Projeto e layout tecnologia CMOS 1,2 μm

4.1.1 Primeiro estágio de amplificação

O projeto do primeiro estágio foi feito de maneira que as regras de leiaute fossem respeitadas e de uma forma, para que posteriormente, haja menos ajustes de posicionamento. A figura 17 apresenta o circuito de polarização (inversor com *feedback* + espelho de corrente) e o primeiro estágio do amplificador. Nas figuras 18 a 22, é possível observar as cotas com as dimensões dos transistores utilizados. Reitera-se que as cotas foram identificadas em relação ao lambda.

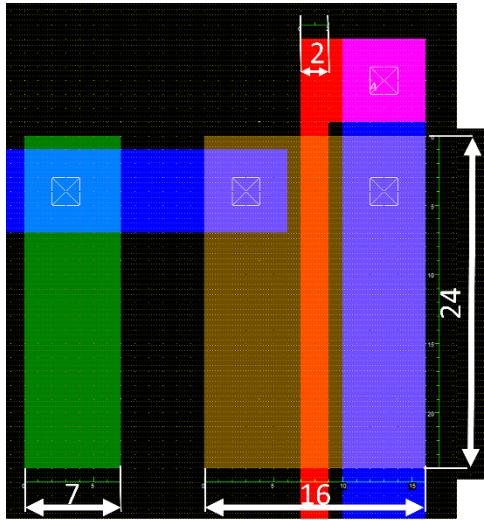
Figura 17—1ª versão do primeiro estágio

Fonte: Elaborado pelo autor.

Os transistores Q9 e Q10 representam o circuito de polarização de corrente do circuito,

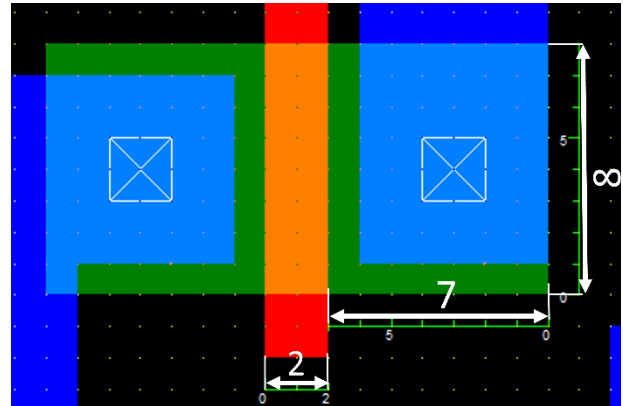
apresentado na seção 2.4 como circuito de polarização de corrente- inversor com feedback. As suas dimensões são apresentadas pelas figuras 18 e 19.

Figura 18—Dimensões do transistor Q9



Fonte: Elaborado pelo autor

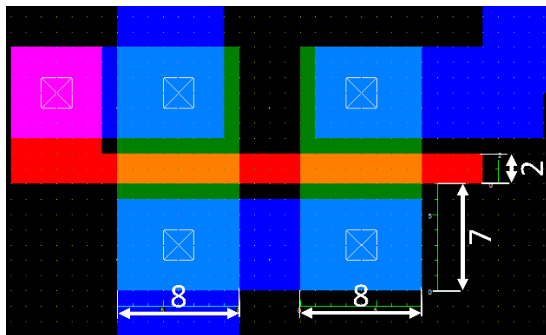
Figura 19—Dimensões do transistor Q10



Fonte: Elaborado pelo autor

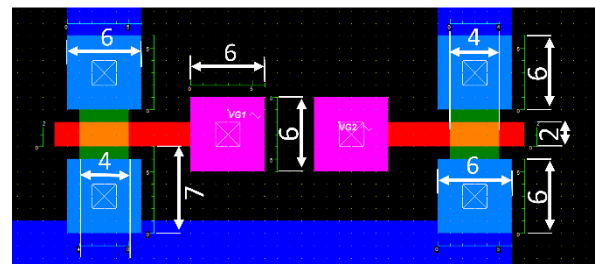
As dimensões importantes são $L = 1,2 \mu\text{m} = 2 \lambda$ (dimensão mínima da tecnologia) em todos os transistores do circuito, e para Q9 e Q10, $W = 24 \lambda$ e $W = 8 \lambda$, respectivamente. Esta diferença nas dimensões está relacionada à diferença entre a mobilidade dos elétrons e das lacunas por um fator de 3, conforme já apresentado.

Figura 20—Dimensões dos transistores Q8 e Q5



Fonte: Elaborado pelo autor

Figura 21—Dimensões dos transistores Q1 e Q2



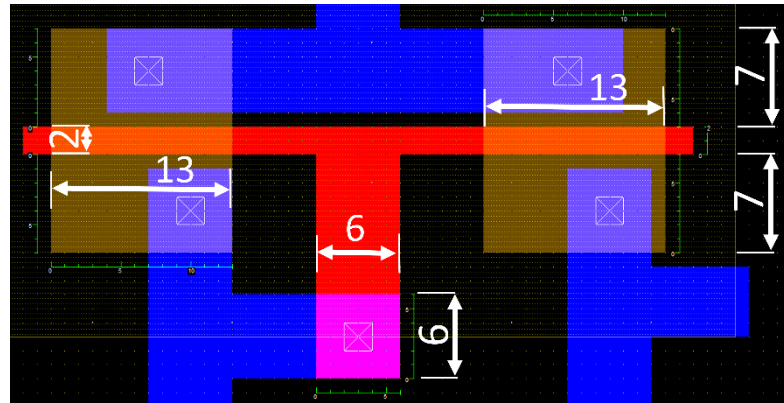
Fonte: Elaborado pelo autor

A figura 20 representa o espelho de corrente do primeiro estágio, em que ambos possuem a mesma dimensão, $W = 8 \lambda$, com isso, a corrente que passa por Q8 (transistor da esquerda) é replicada por um fator 1 em Q5 (transistor da direita).

A figura 21 corresponde ao par diferencial adicionado ao primeiro estágio, onde

Q1(transistor da esquerda) é a entrada não inversora de sinal, e Q2(transistor da direita), é a entrada inversora.

Figura 22—Dimensões dos transistores Q3 e Q4



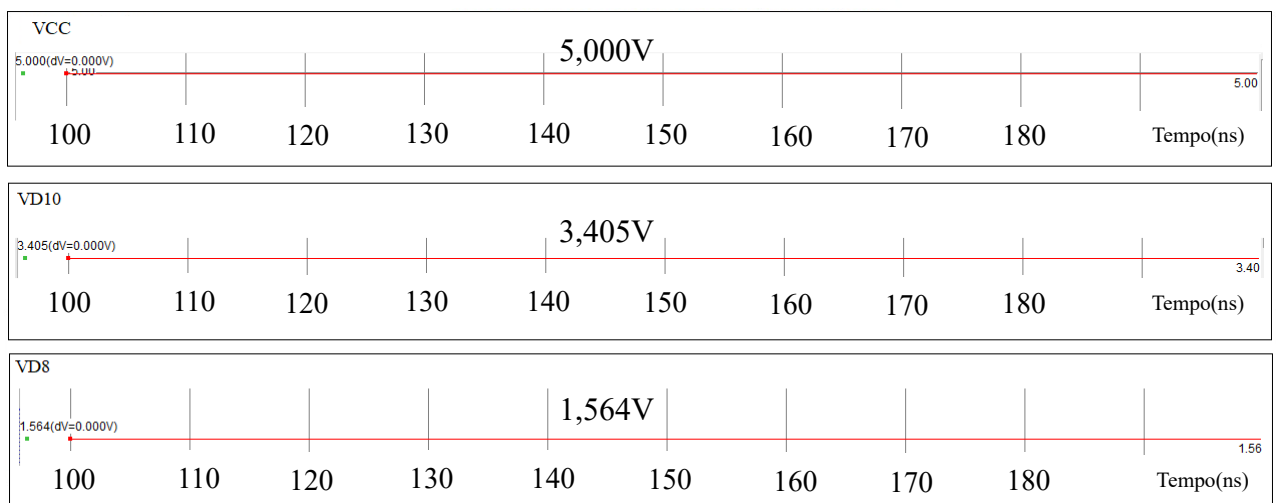
Fonte: Elaborado pelo autor

Na figura 22 são apresentados os transistores que atuam como carga do par diferencial, que por serem casados, apresentam a mesmas dimensões. Vale ressaltar que no dreno de Q4 (transistor da direita), é a saída do primeiro estágio.

Foram feitas as análises da resposta de todo o circuito, tanto em frequência, quanto em amplitude.

Ao realizar a análise CC em todo o circuito, tem-se somente a influência da tensão contínua no circuito de polarização de corrente, e no transistor Q8, que faz parte do espelho de corrente do primeiro estágio.

Figura 23—Gráficos com as tensões em cada nó, invariante com a frequência



Fonte: Elaborado pelo autor

Em relação à figura 23, há a indicação da tensão V_{CC} do circuito, que corresponde à tensão de alimentação padrão deste nó tecnológico igual a 5V.

Em relação ao circuito de polarização de corrente, por causa das dimensões dos dispositivos e seus demais parâmetros, conforme já apresentados, é esperado que a tensão VDD divida-se de forma praticamente igual nos três transistores, o que resulta em $V_{DS}=1,67$ para todos os dispositivos. Comportamento este que é confirmado, pois no dreno de Q10 tem-se 3,405V (este que é ligado com o dreno de Q9), resultando que:

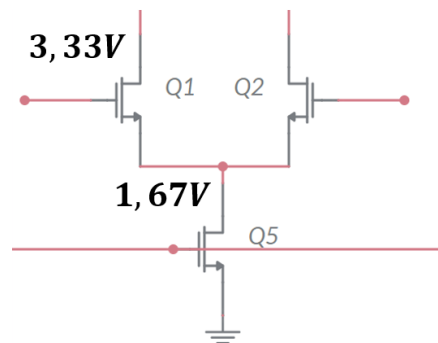
$$|V_{DS9}| = 5 - 3,405 = 1,595 \text{ V}$$

É observado também que o dreno de Q8 tem 1,564V. A partir deste dado é possível concluir que $V_{DS8}=1,564\text{V}$ e que $V_{DS10}=1,841\text{V}$, pois

$$V_{DS10} = 3,405 - 1,564 = 1,841 \text{ V}$$

Para uma análise CA, o critério para o dimensionamento, foi considerar o pior caso, do qual em Q3, Q1 e Q5 a tensão seja dividida igualmente, com isso, obtém-se que no dreno de Q5 tenha 1,67V e que no dreno de Q1 tenha 3,33V, representado pela figura 24

Figura 24—Queda de tensão no circuito



Fonte: Elaborado pelo autor

É necessário que o transistor Q5 esteja na região de saturação. Em Q5, há uma tensão na porta $V_G = 1,56 \text{ V}$. Para garantir que Q5 esteja em saturação:

$$V_{DS} \geq V_{GS} - V_t$$

A fonte está aterrada, logo

$$V_D \geq V_G - V_t \rightarrow 1,67 \geq 1,56 - 0,7$$

Dessa maneira, Q5 está conduzindo e garante que o ramo está com corrente.

Para colocar Q1 e Q2 em saturação, tem-se:

$$\begin{aligned} V_{DS} &\geq V_{GS} - V_t \\ 1,66 &\geq V_G - V_S - V_t \\ 1,66 &\geq V_G - 1,67 - 0,7 \\ V_G &\leq 4,03 \text{ V} \end{aligned}$$

E também, por requisito de projeto $V_{ov} = 0,2$:

$$\begin{aligned} V_{ov} &= V_{GS} - V_t \\ V_{GS} &= V_{ov} + V_t \\ V_G - V_S &= 0,2 + 0,7 \\ V_G &= 0,9 + V_S \\ V_G &= 0,9 + 1,67 = 2,67 \text{ V} \\ V_G &\geq 2,67 \end{aligned}$$

Logo

$$2,67 \text{ V} \leq V_G \leq 4,03 \text{ V}$$

Escolhe-se um $V_G = 3,3 \text{ V}$, pois, além de ser aproximadamente o ponto médio da relação, ele está aproximadamente V_t acima do mínimo para garantir que não afete na saturação dos 3 transistores em série. Analisando uma resposta mais precisa do circuito nos nós onde realmente exista efeito da frequência, as tabelas 7 e 8 são obtidas:

Tabela 7—Resposta em frequência do circuito CMOS 12

Frequência (MHz)	ΔV_{Ac} (V)	ΔV_{OUTO1} (V)	Ganho (V/V)	Ganho (dB)
1	0,02	0,829	41,45	32,350491
2	0,02	0,829	41,45	32,350491
3	0,02	0,828	41,4	32,340007
4	0,02	0,826	41,3	32,319001
5	0,02	0,823	41,15	32,287397
6	0,02	0,82	41	32,255677
7	0,02	0,816	40,8	32,213203
8	0,02	0,812	40,6	32,170521
9	0,02	0,807	40,35	32,116871
10	0,02	0,802	40,1	32,062887
.	.	.	.	.
.	.	.	.	.
.	.	.	.	.
30	0,02	0,644	32,2	30,1571174
31	0,02	0,635	31,75	30,0348746
32	0,02	0,627	31,35	29,9247509

Fonte: Elaborado pelo autor

Tabela 8—Resposta em frequência do circuito CMOS 12- Continuação

Frequência (MHz)	ΔV_{Ac} (V)	ΔV_{OUTO1} (V)	Ganho (V/V)	Ganho (dB)
33	0,02	0,618	30,9	29,7991696
34	0,02	0,61	30,5	29,6859968
35	0,02	0,602	30,1	29,5713299
36	0,02	0,593	29,65	29,440494
37	0,02	0,585	29,25	29,3225174
.	.	.	.	.
.	.	.	.	.
.	.	.	.	.
70	0,02	0,385	19,25	25,6886147
71	0,02	0,381	19,05	25,5978996
72	0,02	0,376	18,8	25,483157
73	0,02	0,372	18,6	25,3902589
74	0,02	0,368	18,4	25,2963565
75	0,02	0,364	18,2	25,2014278
76	0,02	0,36	18	25,1054501
77	0,02	0,356	17,8	25,0084
78	0,02	0,353	17,65	24,9348942
79	0,02	0,349	17,45	24,8359086
80	0,02	0,345	17,25	24,735782
.	.	.	.	.
.	.	.	.	.
.	.	.	.	.
1050	0,02	0,02	1	0
.	.	.	.	.
.	.	.	.	.
.	.	.	.	.
3000	0,02	0,004	0,2	-13,9794001
3500	0,02	0,003	0,15	-16,4781748
4000	0,02	0,002	0,1	-20
7000	0,02	0,001	0,05	-26,0205999

Fonte: Elaborado pelo autor

Nas tabelas 7 e 8 é apresentada a variação do ganho em função da frequência, considerando a variação de 1MHz, até 7GHz, com uma tensão de entrada fixada em 10mV_p uma variação da tensão de saída máxima de 0,829V, com e um ganho de 32,35dB ou 41,45V/V.

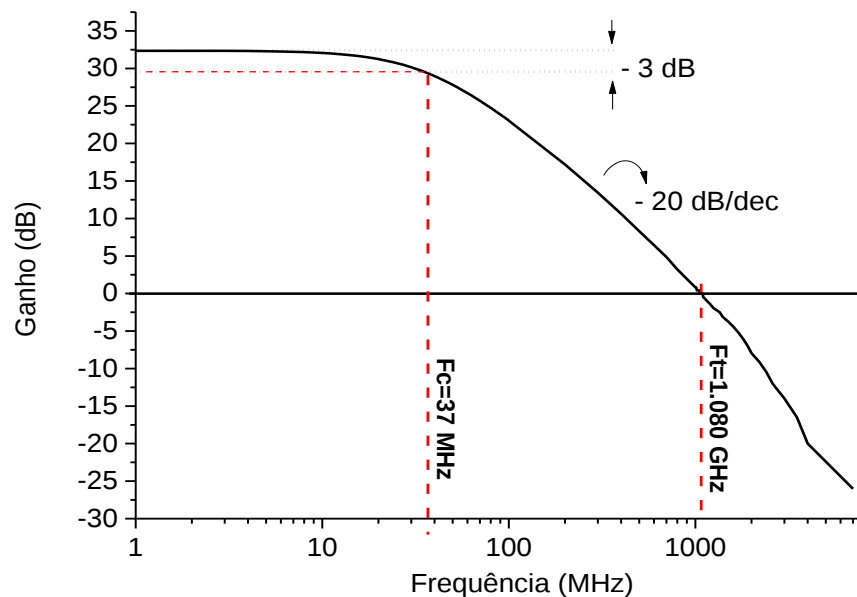
A frequência de corte ocorre quando a tensão em relação à saída desse estágio abaixa 3 dB em relação a obtida antes do corte. Ao trabalhar com dados relacionados à tensão :

$$\Delta V_{OUTO1} f_c = \frac{0,829}{\sqrt{2}} = 0,5861$$

Observando a tabela, a frequência de corte está aproximadamente em 37MHz.

O Diagrama de Bode para o CMOS de 1,2 μm será a referência para analisar a melhora dos parâmetros do amplificador. Devido ao método de análise, mesmo com as dimensões mínimas possíveis, o circuito apresenta um alto índice de amplificação.

Figura 25—Diagrama de bode 1º estágio CMOS 12 para frequência

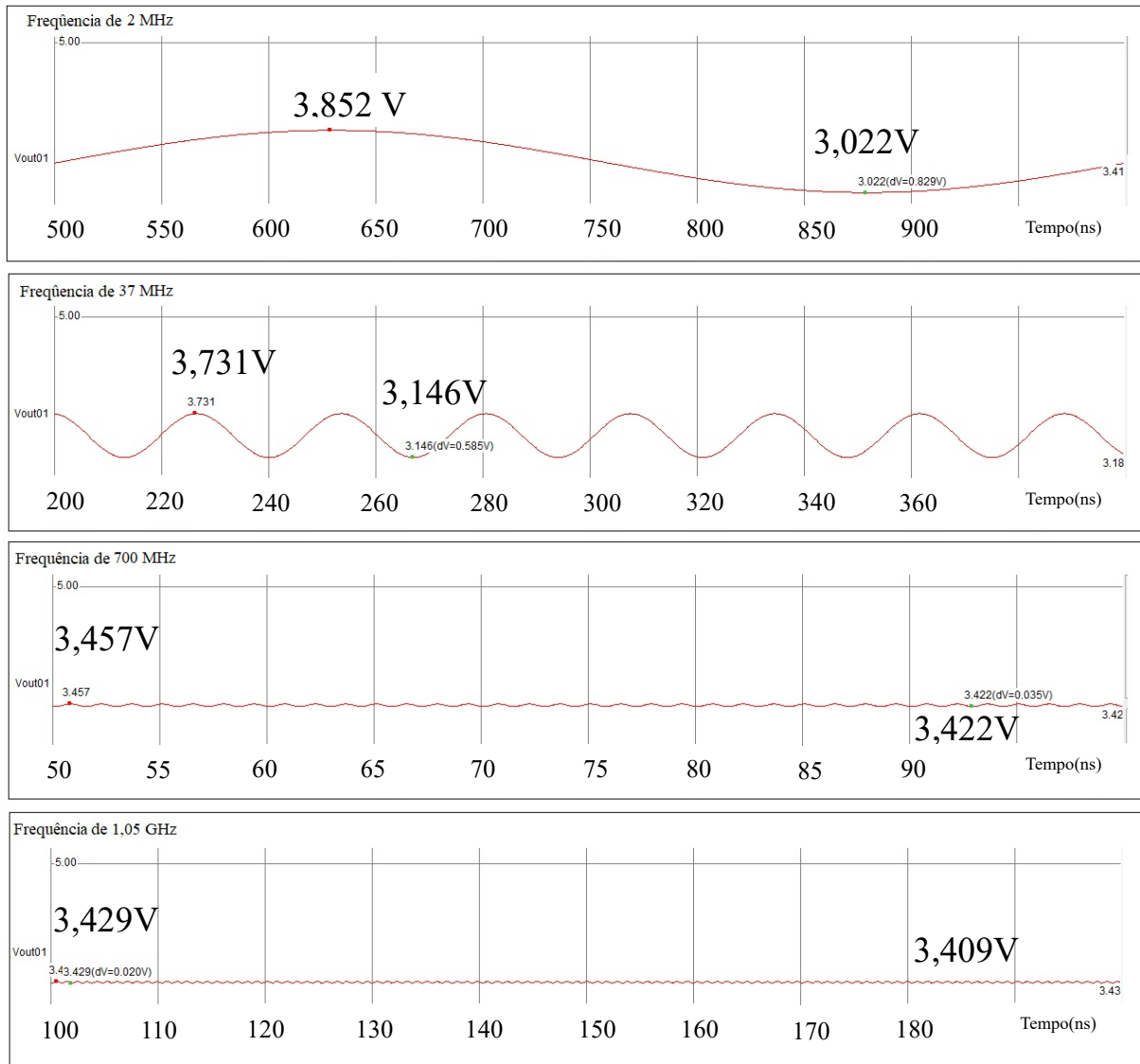


Fonte: Elaborado pelo autor

A partir da Figura 25 temos Diagrama de bode 1º estágio CMOS 12 para frequência, analisando a a resposta do circuito, é possível detalhar que o ganho é quase que inteiramente constante, até aproximadamente 37 MHz, o que é interpretado, com auxílio da Figura 7, como a faixa de frequências médias em que as capacitâncias podem ser desprezadas, sendo esta a melhor faixa de utilização do circuito, tendo seu ganho variando de aproximadamente 32 dB até 29 dB.

Após os 37 MHz, nota-se o início da faixa de alta frequência, onde o circuito apresenta um decaimento constante de 20dB por década, até ser possível alcançar a frequência de transição, ou seja, a frequência de ganho unitário, da qual o circuito deixa de ser aplicável, que representa a um *GBW* de 1,080 GHz.

Como complemento, foram selecionados alguns valores simulados para representação gráfica, dos quais foram evidenciados os valores de máximos e mínimos da tensão de saída para diferentes frequências nos gráficos da figura 26.

Figura 26—Gráficos da tensão de saída com a variação da frequência CMOS 12

Fonte: Elaborado pelo autor

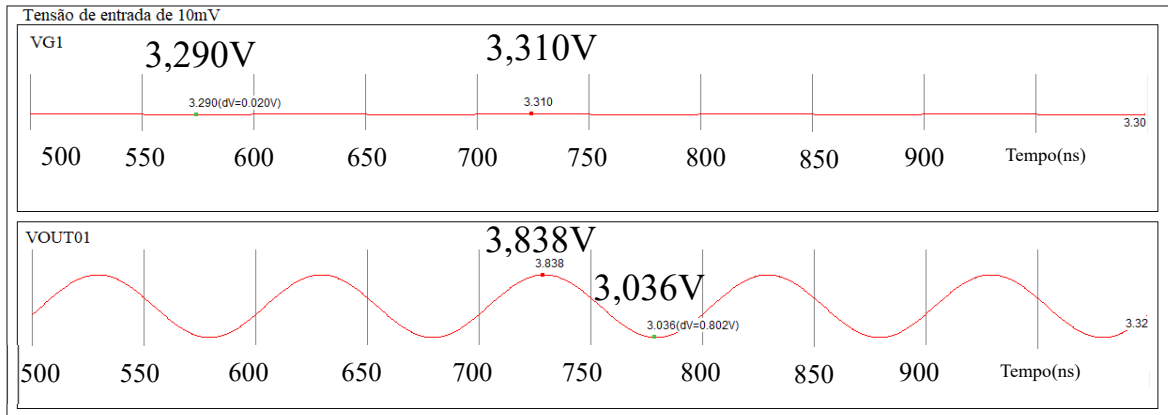
Também é possível realizar análise da amplitude do sistema. Nesse caso, foi mantida a frequência constante em 10MHz, pois ainda está na faixa constante de ganho e facilita a visualização. Variando a amplitude, tem-se que o circuito é muito sensível, pelo seu alto ganho, impossibilitando a extensa análise da variação na tensão de entrada, pois rapidamente satura.

A partir da figura 27, com uma tensão de entrada de $10 mV_p$, a variação da tensão de saída é de 0,802V. A partir da figura 28, ao aumentar para $20 mV_p$, a variação na saída dobra, tornando-se 1,603V. A partir da figura 29, ao aumentar para $25 mV_p$, já começa a surgir limitação do sinal, não sendo mais possível sua utilização devido a distorção do sinal de saída.

Sendo assim, a máxima tensão de entrada que pode ser adicionada está entre $20 mV_p$ e

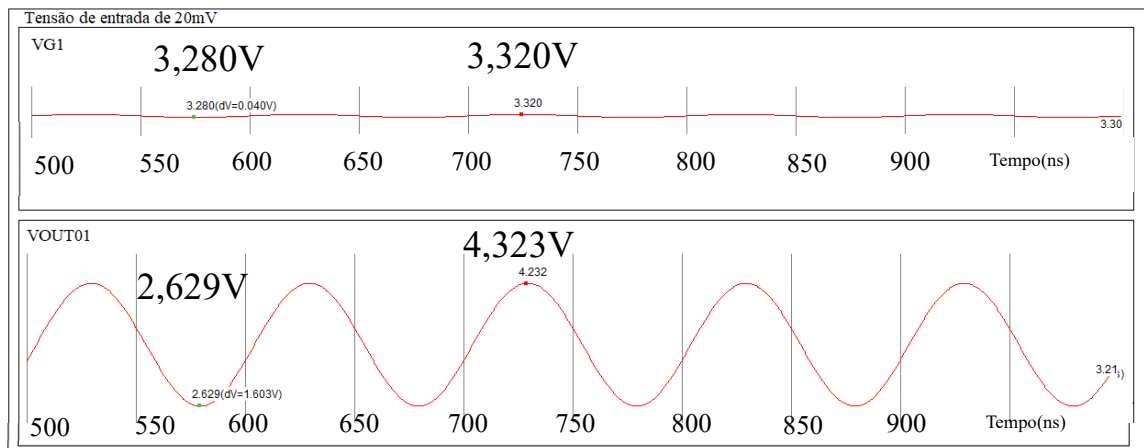
menor que 25 mV_p . Por limitação técnica do software não é possível determinar com precisão este valor máximo. Pode ser observado, que enquanto não há distorção na saída, o ganho permanece constante e igual a $40,01\text{ V/V}$, ou 32dB .

Figura 27—Gráficos para resposta em amplitude- Tensão de entrada 10 mV_p



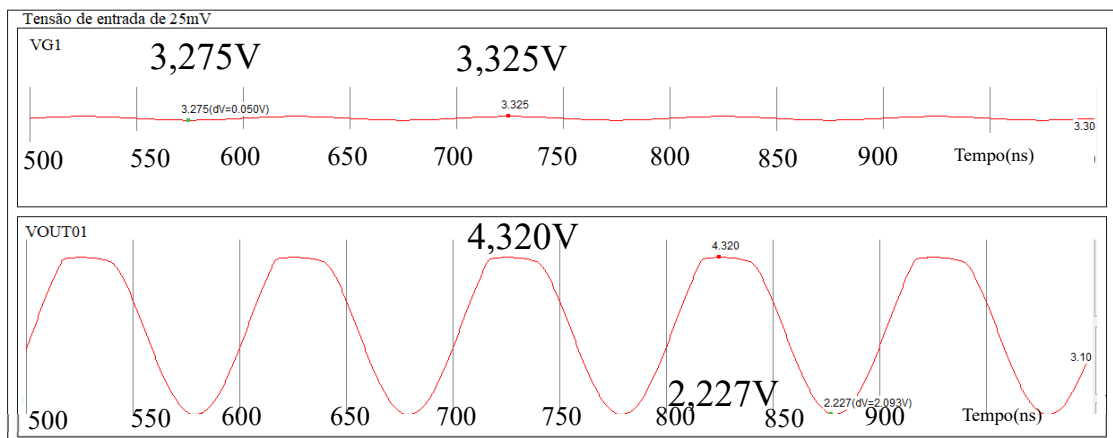
Fonte: Elaborado pelo autor

Figura 28—Gráficos para resposta em amplitude- Tensão de entrada 20 mV_p



Fonte: Elaborado pelo autor

Figura 29—Gráficos para resposta em amplitude- Tensão de entrada 25 mV_p

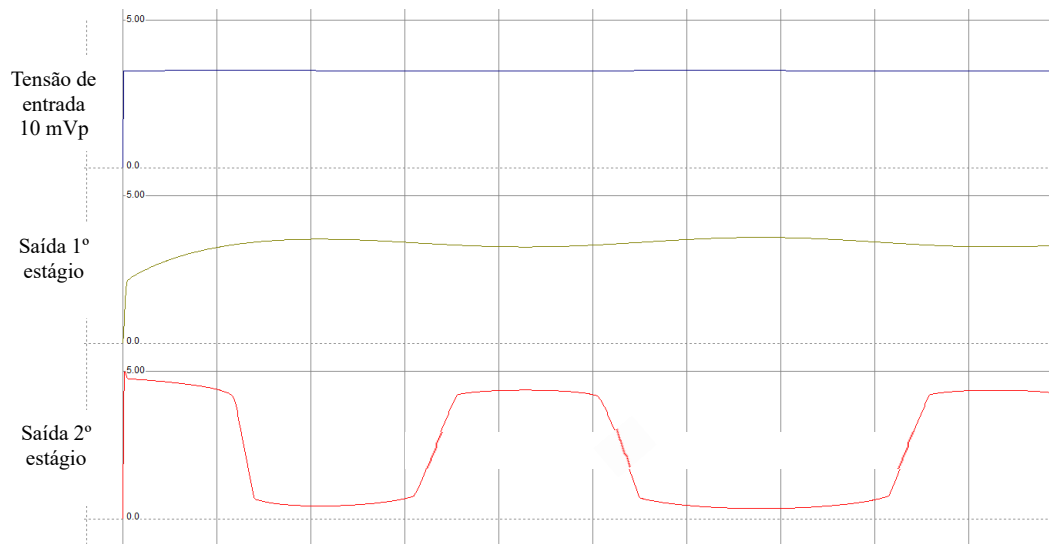


Fonte: Elaborado pelo autor

4.1.2 Segundo estágio de amplificação

Ao realizar a composição do primeiro estágio mais o segundo, foi visto que, como o primeiro estágio apresenta um ganho alto e ao ser amplificado no segundo estágio, o sinal de saída não pode ser percebido pelo simulador o que pode ser observado no sinal de saída apresentado na figura 30, sendo uma limitação técnica do software, como pode ser notado:

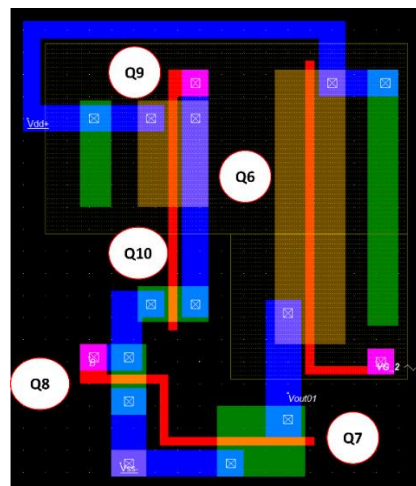
Figura 30—Tensão de entrada e de cada estágio CMOS 12



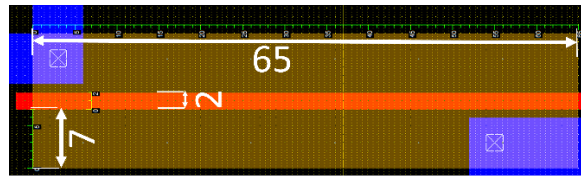
Fonte: Elaborado pelo autor

Para comprovar tal situação, a análise do primeiro estágio e do segundo foram separadas. O método escolhido foi manter o circuito de polarização, para manter a corrente que haveria no circuito completo e analisar diretamente o segundo estágio apresentado nas figuras 31, 32 e 33.

Figura 31—Circuito alternativo 2º estágio

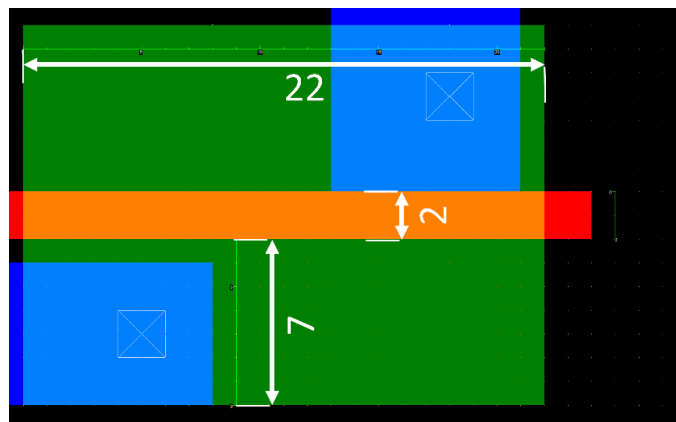


Fonte: Elaborado pelo autor

Figura 32—Dimensões dos transistores Q6

Fonte: Elaborado pelo autor

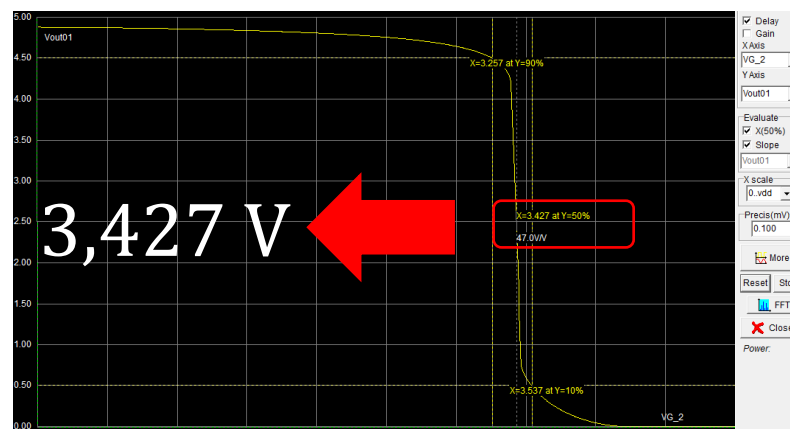
Lembrando que os valores apresentados nas cotas são referentes ao lambda. O transistor Q6 corresponde a um transistor de fonte comum. Reforçando que Q7 tem dupla função: ele pertence ao circuito de guia de corrente deste estágio e como carga de Q6.

Figura 33—Dimensões dos transistores Q7

Fonte: Elaborado pelo autor

Nessa composição, o ganho total em dB será o primeiro estágio mais o segundo para a comprovação da tal limitação.

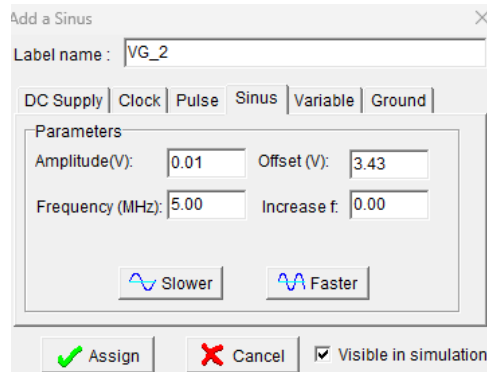
A polarização em corrente contínua adicionada no segundo estágio, foi obtida a partir da tensão de inversão do dispositivo, que por sua vez, foi retirada a partir do microwind, que corresponde a $V_{\text{offset}}=3,43\text{V}$.

Figura 34—Curva de transferência estática

Fonte: realizado pelo autor em [13]

Como a unidade de medida de tensão é em volts e o software aceita 2 casas decimais, o mínimo será 10mV, assim como representado pela figura 35. Foi possível ter uma análise em frequência do circuito.

Figura 35—Parâmetro de configuração microwind



Fonte: [13]

Para o primeiro estágio, para uma frequência de 5MHz, o ganho do primeiro estágio é de 32,28dB e para a mesma frequência, o ganho do segundo estágio é de 33,4235 dB, logo:

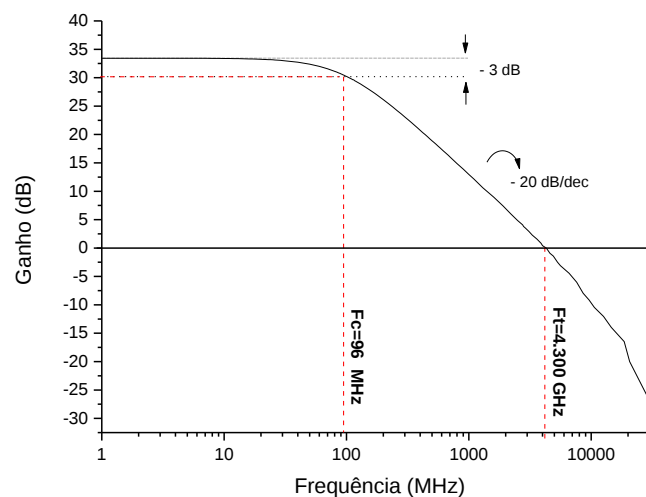
$$G_T = 32,28 + 33,42 = 65,71 \text{ dB} \quad (20)$$

Ao passar esse ganho para valores lineares, ou seja, V/V , representa um ganho de 1929,945 V/V.

$$V_{OUT} = G_T * V_{IN} = 1929,945 * 0,01 = 19,29 V_p \quad (21)$$

Por este motivo, para valores de entrada de amplitude de 10mV, o valor de saída ficaria acima da tensão de alimentação e portanto o sinal satura antes. A figura 36 apresenta a resposta em frequência do segundo estágio do amplificador.

Figura 36—Diagrama de bode somente 2º estágio CMOS 12 para frequência



Fonte: Elaborado pelo autor

Em relação somente ao segundo estágio, realizando análise comparativa ao primeiro, a faixa de frequências médias, em que o ganho se reduz até 3dB, praticamente aumentou 3 vezes, de 37MHz para 96 MHz e o GBW se expandiu de 1,08GHz para 4,3 GHz, resultando em um fator de 4 vezes.

Ao tratar-se do ganho máximo, este tem mais ou menos o mesmo valor, mostrando que o ganho total está equilibrado entre os dois estágios.

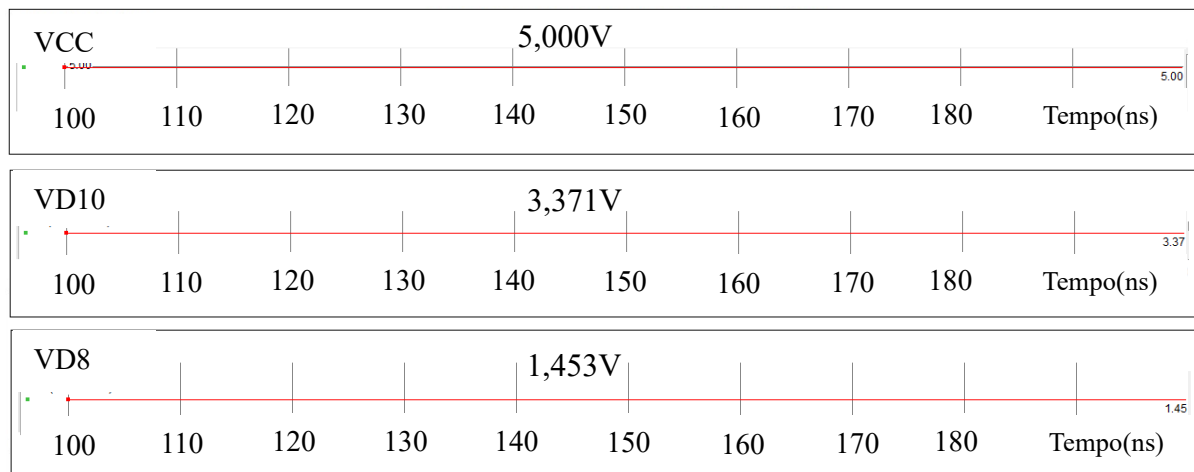
Como o amplificador corresponde a uma composição do primeiro e do segundo estágio, o segundo estágio favorece um deslocamento na frequência de corte e na frequência de transição do circuito, ou seja, opera em frequências maiores.

4. 2 Influência da evolução tecnológica no projeto do primeiro estágio.

4. 2. 1 Para tecnologia CMOS de 0,6 μm

Como a tecnologia de 0,6 μm apresenta a mesma tensão de operação e uma tensão de limiar muito próxima ao CMOS de 1,2 μm , não é necessária uma compatibilização de valores. Da mesma forma, foi possível analisar os valores de tensões constantes no dispositivo.

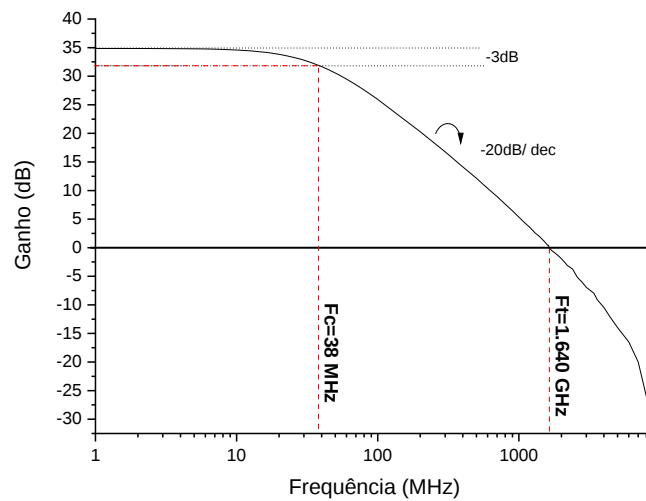
Figura 37—Gráficos da tensão de saída com a variação da frequência CMOS 06



Fonte: Elaborado pelo autor

Assim como para o CMOS de 1,2 μm , a tensão em cada transistor no circuito de polarização de corrente e sobre o transistor de Q8, que serve para corrente de referência, se divide de forma semelhante entre eles. $V_{GS8} = 1,453\text{ V}$, $V_{GS9} = 1,629\text{ V}$, $V_{GS10} = 1,918\text{ V}$.

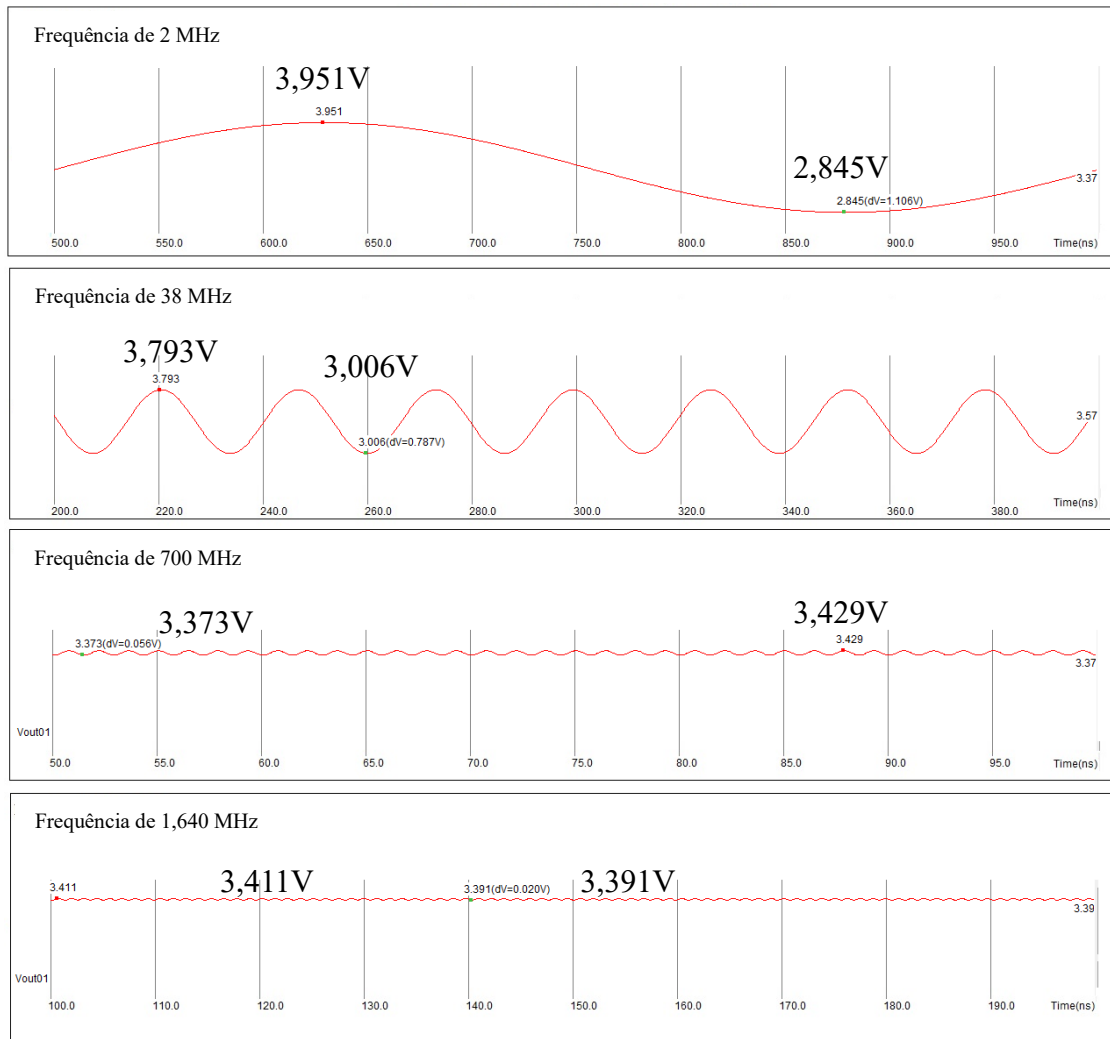
A resposta em frequência desta análise é apresentada na figura 38.

Figura 38—Diagrama de bode para frequência CMOS 06

Fonte: Elaborado pelo autor

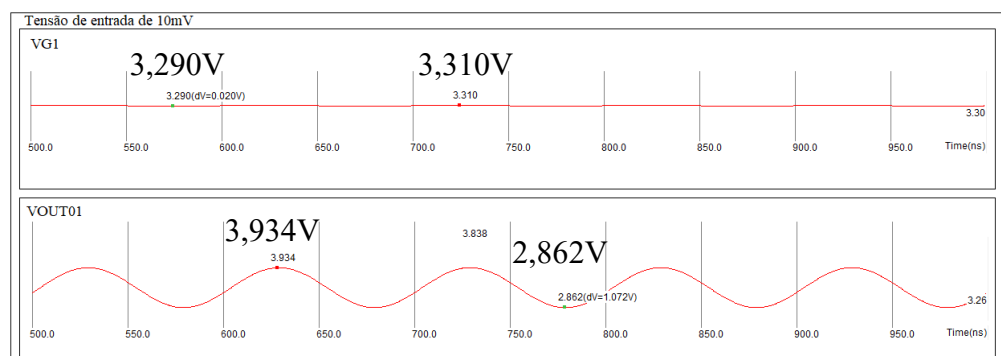
Assim com realizado para a análise anterior, para este nó tecnológico, foi variada a frequência de 1MHz, até 8 GHz inicialmente obtendo-se um ganho máximo de 34,85 dB e uma frequência de corte aproximadamente de 38 MHz. Com essa mudança do nó tecnológico, um incremento do GBW do circuito foi favorecido para 1,640GHz, o que já possibilita mais aplicações para o circuito.

Do mesmo modo, foram selecionados alguns valores da tabela para representação gráfica, representada pela figura 39, ressaltando os valores de máximos e mínimos, o que mostraram um ganho de tensão ligeiramente superior ao observado para a tecnologia de 1,2 μm .

Figura 39—Gráficos da tensão de saída com a variação da frequência CMOS 06

Fonte: Elaborado pelo autor

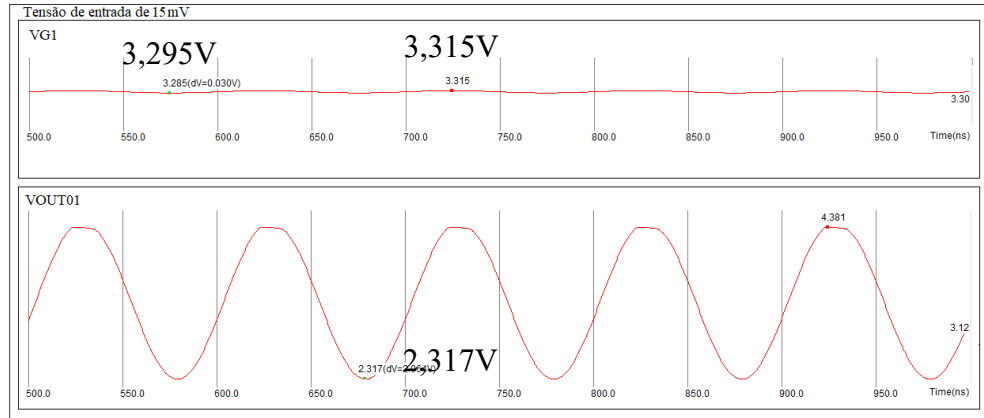
Assim como o nó tecnológico anterior, é possível realizar uma análise para compreender o limite de tensão que pode ser adicionada no circuito para amplificação, como apresentado nas figuras 40 e 41.

Figura 40—Gráficos para resposta em amplitude- Tensão de entrada 10 mV_p

Fonte: Elaborado pelo autor

Ao ser adicionado uma tensão de entrada na porta de 10mV_p , resulta em uma variação na saída de $1,072\text{V}$.

Figura 41—Gráficos para resposta em amplitude- Tensão de entrada 15mV_p



Fonte: Elaborado pelo autor

Como o ganho do circuito aumentou, a limitação de amplitude começa antes, para esta tecnologia é acima de 10mV , que foi o último sinal possível a ser analisado sem a distorção do sinal, pois ao ser analisado com 15mV de entrada, já é possível observar uma pequena distorção, e o simulador não ceita valores intermediários.

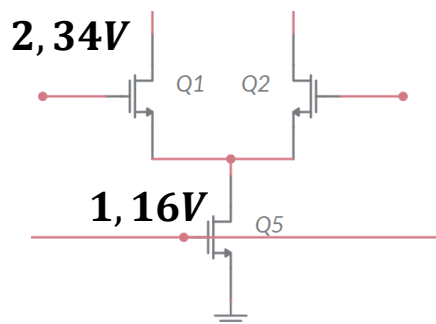
4. 2. 2 Para tecnologia CMOS de $0,35\ \mu\text{m}$

Analogamente, a realização da análise para CMOS de $1,2\ \mu\text{m}$, $0,6\ \mu\text{m}$, será para CMOS de $0,35\ \mu\text{m}$.

Agora é necessária uma compatibilização de valores para polarização CC, pois como muda a tensão de alimentação e a tensão de limiar dos transistores, muda completamente a tensão contínua a ser acrescentada em V_G .

Para um critério de dimensionamento, e consideração do pior caso, assume-se que em Q3,Q1 e Q5 a tensão se divida de forma igual, com isso, no dreno de Q5 tenha $1,16\text{V}$ e que no dreno de Q1 tenha $2,34\text{V}$, representada pela figura 42.

Figura 42—Queda de tensão no circuito



Fonte: Elaborado pelo autor

Em Q5 há uma tensão na porta $V_G = 1,14$. Para garantir que Q5 esteja em saturação:

$$V_{DS} \geq V_{GS} - V_t$$

A fonte está aterrada, logo

$$V_D \geq V_G - V_t \rightarrow 1,16 \geq 1,14 - 0,6$$

Com isso Q5 está conduzindo e garantindo que o ramo está com corrente.

Para colocarmos Q1 e Q2 em saturação, tem-se:

$$V_{DS} \geq V_{GS} - V_t$$

$$1,18 \geq V_G - V_S - V_t$$

$$1,18 \geq V_G - 1,16 - 0,6$$

$$V_G \leq 2,94$$

Também, por requisito de projeto, para $V_{ov} = 0,2$:

$$V_{ov} = V_{GS} - V_t$$

$$V_{GS} = V_{ov} + V_t$$

$$V_G - V_S = 0,2 + 0,6$$

$$V_G = 0,8 + V_S$$

$$V_G = 0,9 + 1,16 = 2,06$$

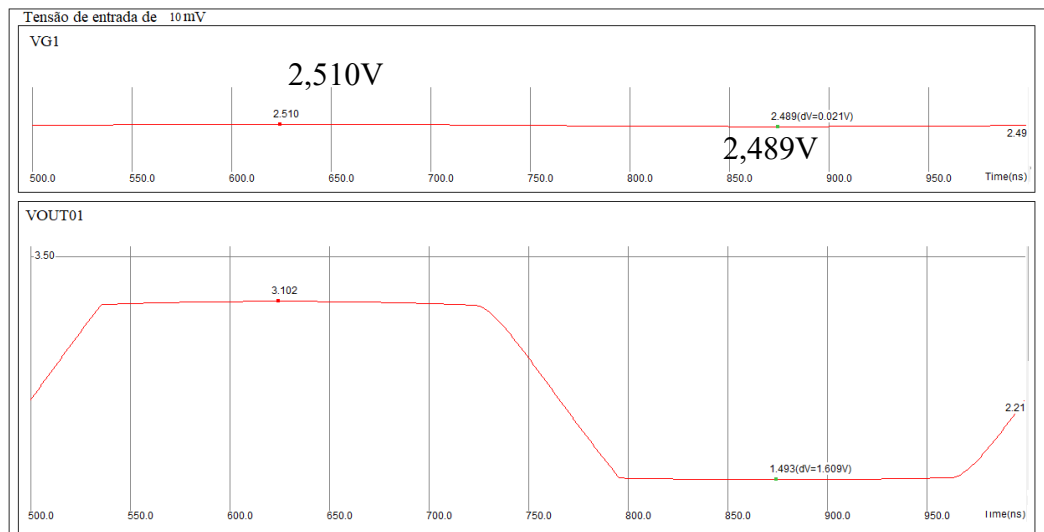
$$V_G \geq 2,06$$

Logo

$$2,06 \leq V_G \leq 2,94$$

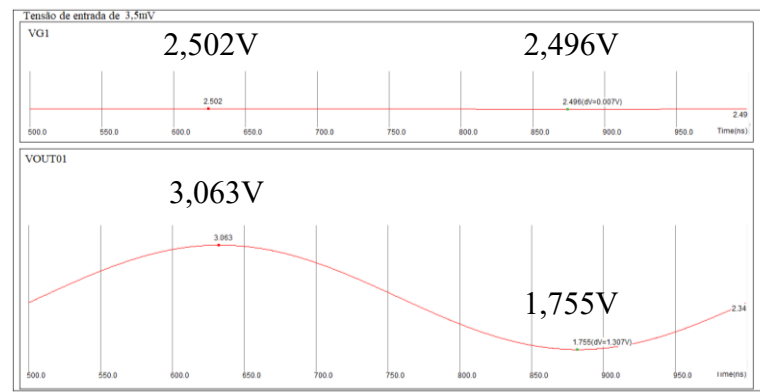
Foi escolhido um $V_G = 2,5$, pois além de ser aproximadamente o ponto médio da relação, ele está aproximadamente V_t acima do mínimo para garantir que não afete na saturação dos 3 transistores em série.

Ao realizar análise em frequência do sistema, foi observado que para a frequência de 2MHz, o ganho é tão grande, que com a mesma tensão de 10mV a saída já está saturada, conforme demonstrado pela figura 43.

Figura 43—Gráfico para resposta em amplitude já saturada

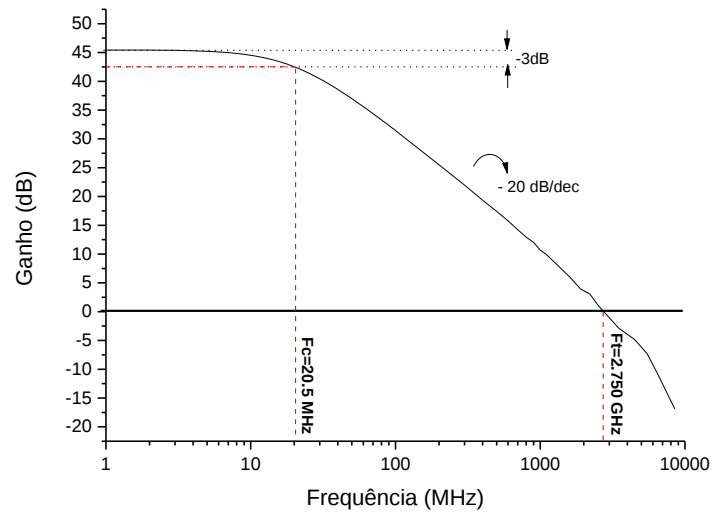
Fonte: Elaborado pelo autor

No entanto para esta tecnologia foi verificado que a tensão de alimentação do circuito é menor ($V_{CC}=3,5$ V), permitindo também a utilização de uma amplitude menor no sinal de entrada ($3,5\text{mVp}$), conforme apresentado pela figura 44.

Figura 44—Gráficos para resposta em amplitude- Tensão de entrada $3,5\text{ mVp}$ 

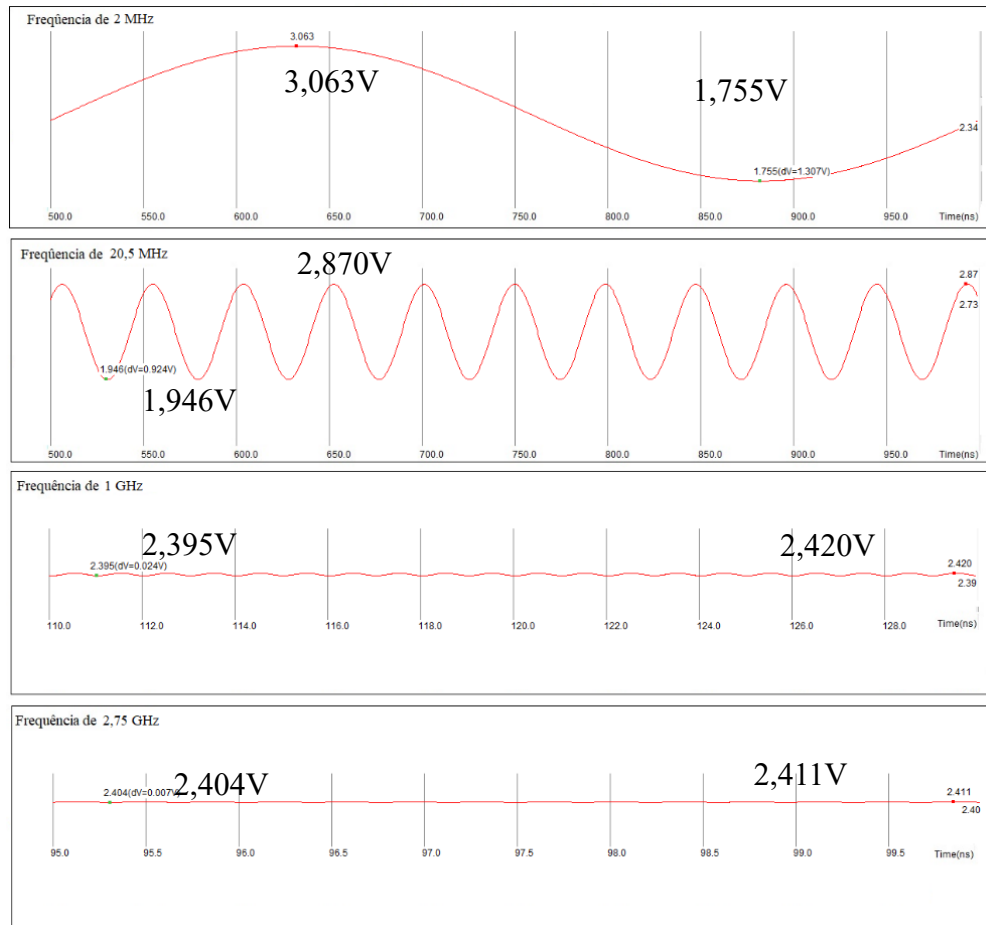
Fonte: Elaborado pelo autor

Para este nó tecnológico, foi realizada a variação de frequência de 1MHz, até 8,5GHz, com uma tensão de entrada de $3,5\text{mVp}$, que resultou em um ganho de 45,42dB, porém a frequência de corte obtida foi de aproximadamente 20,5 MHz e seu GBW duplicou para 2,750 GHz, como apresentado na figura 45.

Figura 45—Diagrama de bode para frequência CMOS 035

Fonte: Elaborado pelo autor

Do mesmo modo, foram seleccionados alguns valores da tabela para representação gráfica, representada pela figura 46, ressaltando os valores de máximos e mínimos, o que mostraram um ganho de tensão bastante superior ao observado para as tecnologias de $1,2\ \mu\text{m}$ e $0,6\ \mu\text{m}$.

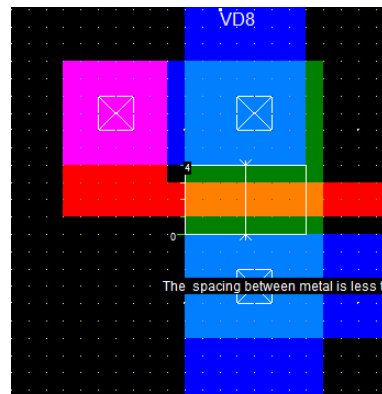
Figura 46—Gráficos da tensão de saída com a variação da frequência

Fonte: Elaborado pelo autor

4. 2. 3 Para tecnologia CMOS de 0,13 μm

Vale ressaltar que ao realizar os projetos, foram atendidas as regras de leiaute correspondentes de cada um dos nós tecnológicos, tornando um pouco mais complexo o projeto da tecnologia de 130 nm devido à redução considerável das dimensões. Como exemplo, apresentado na figura 47, pode-se observar um erro de leiaute com relação ao espaçamento entre os metais, que não era detectado como um problema para as tecnologias maiores. Foi necessário aumentar o espaçamento mesmo considerando as dimensões parametrizadas em lambda.

Figura 47—Exemplo de problema adicional CMOS 012

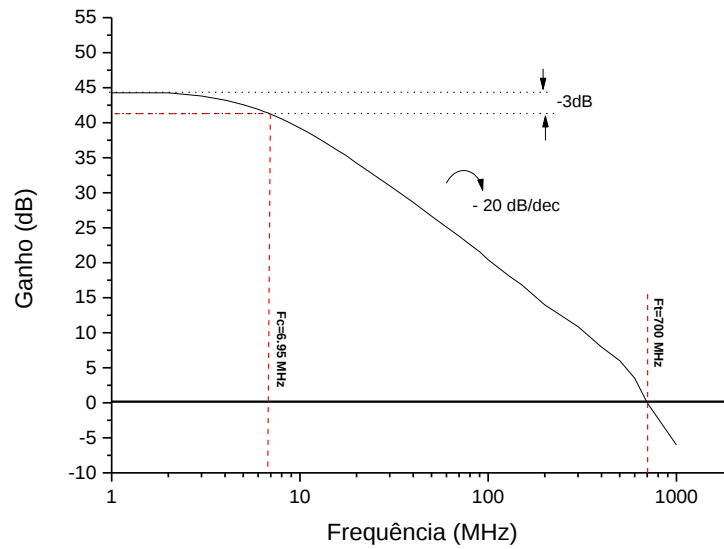


Fonte: Elaborado pelo autor

Outra modificação foi a tensão na porta, que foi adicionada exatamente 200mV acima do limiar, ou seja, $V_G = 0,6V$ para garantir a saturação.

Ao realizar a simulação, com auxílio do gráfico pode ser observado que a região em que o ganho é constante é inferior a 1MHz. A análise de frequência foi realizada com a frequência sendo variada de 1MHz até 1GHz, o que mostrou uma redução no GBW do circuito, com um ganho máximo de 44,27 dB, que manteve-se próximo à tecnologia anterior de 350nm e com a frequência de corte de aproximadamente 6,95 MHz, apresentados na figura 48.

A partir dos resultados obtidos e de uma análise detalhada do simulador, foi possível entender que a versão disponibilizada para a universidade possui limitações com relação à tecnologias inferiores a 350 nm. Uma possível solução encontrada seria a implementação do layout e extração do código SPICE considerando todos os parasitários do circuito integrado, porém seria necessário simular em plataforma SPICE com modelos mais recentes ou fazer a aquisição da versão profissional do Microwind.

Figura 48—Diagrama de bode para frequência CMOS 012

Fonte: Elaborado pelo autor

4. 3 Análise comparativa do resultado entre os nós tecnológicos

A análise a ser feita toma como referência o maior nó tecnológico. A tabela 9 reúne os parâmetros analisados e a melhoria com o avanço do nó tecnológico.

Tabela 9—Análise comparativa demais parâmetros

Nó tecnológico (nm)	Potência dissipada (mW)	Potência economizada %	Ganho (dB)	Incremento do ganho (dB)	Incremento em banda(GBW) (Hz)	Limitação em tensão (mV _p)
1200	0,91	-	32,35	-	-	20
600	0,91	0	34,85	2,5	590	10
350	0,427	53,08	45,42	13,07	1700	3,5
120	0,0024	99,74	44,27	11,92	-360	1

Fonte: Elaborado pelo autor

Para análise de potência dissipada pelo circuito, corresponde a:

$$P_{consumida} = V_{cc} * I_T \quad (22)$$

Sendo I_T as somas das correntes que passam por Q_8 e Q_5 , que correspondem a toda corrente que percorre pelo primeiro estágio, Pode ser observado uma enorme economia de potência com o avanço da tecnologia, um ponto a ser comemorado, pois o intuito é o circuito realizar a amplificação de forma mais eficiente possível, ou seja, consumindo a menor potência

internamente.

Uma premissa que era esperada, o aumento do ganho, é concretizada, pois o ganho aumenta consideravelmente, no entanto, com esse aumento, a frequência de corte se reduz e a frequência de transição se expande.

O aumento da frequência de transição possibilita o circuito ser utilizado de forma mais genérica, pois aumenta a banda do sinal possível de amplificação,

4.3.1 Área ocupada.

Mesmo sem poder realizar a análise completa do circuito, pelo menos conseguiu-se estabelecer a relação da quantidade de amplificadores para a mesma área ocupada, apresentada pela tabela 10

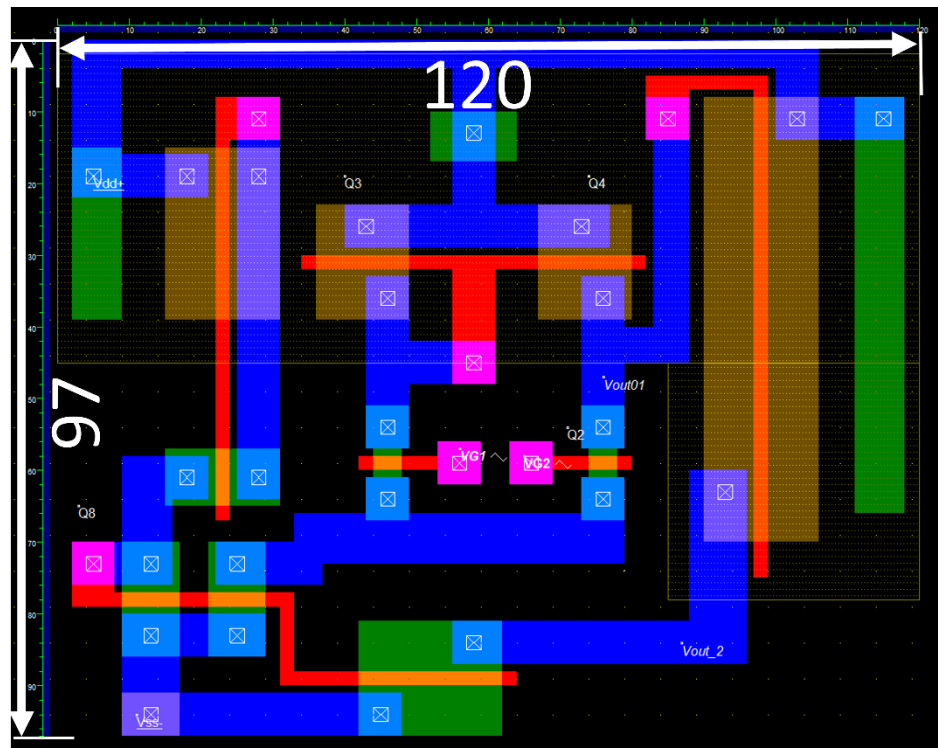
O projeto completo realizado no *microwind* neste trabalho ocupou um perímetro de $120\lambda \times 97\lambda$, apresentada pela figura 49. Cada nó tecnológico apresenta um valor de λ . E com essas relações, é possível compreender a área ocupada.

Tabela 10—Comparações de área entre os nós tecnológicos

Nó tecnológico (nm)	λ (μm)	Área ocupada (μm) ²	Redução de área ocupada (%)	Número de amplificadores p/ mesma área
1200	0,600	4190,400	-	-
600	0,300	1047,600	75	4x
350	0,200	465,600	88,89	9x

Fonte: Elaborado pelo autor

Figura 49—Projeto completo e análise de área



Fonte: Elaborado pelo autor

O projeto foi realizado de forma que seja o mais compacto possível e é aceito para os nós tecnológicos de 1200nm, 600nm e 350nm. Para o nó tecnológico de 120nm, tal projeto não é aceito, devido às limitações mais abrangentes de dimensões no software, com regras de layout mais específicas.

Com o avanço da tecnologia e a redução das dimensões é possível adicionar até 9 vezes mais transistores na mesma área.

5 CONCLUSÕES

Através dos estudos e análises realizadas, foi possível projetar, implementar e avaliar o circuito amplificador considerando diferentes nós tecnológicos. Todas as observações simuladas vão ao encontro de um maior ganho de tensão devido à melhoria da performance dos transistores dos nós tecnológicos mais recentes. Vale ressaltar que foram observadas limitações do software em alguns parâmetros devido à abordagem escolhida para a realização do projeto. Para contornar este problema o projeto foi feito separadamente para cada estágio o que proporcionou um aprendizado significativo e uma análise mais aprofundada em cada etapa do Trabalho de Conclusão de Curso

Os resultados obtidos mostram a possibilidade de se obter, com o avanço tecnológico, um aumento no ganho do amplificador e na largura de banda do sinal. Entretanto, existe um compromisso entre esses dois parâmetros e a frequência de corte do amplificador, que representa uma seletividade em relação à faixa de ganho constante. Da mesma forma, isso beneficia os casos em que esse tipo de circuito pode ser aplicado, pois amplia a faixa de frequência em que o circuito pode ser utilizado como amplificador.

Além da melhoria em ganho de tensão e largura de banda, a redução da tensão de alimentação com a evolução dos nós tecnológicos também proporcionou uma redução na potência dissipada pelo circuito. Sabendo que com a redução dos dispositivos, há uma maior densidade de integração de transistores em uma mesma área de silício, a dissipação de potência passa a ser um dos maiores óbices desta evolução tecnológica tornando a redução de potência primordial para os futuros nós tecnológicos.

A análise precisa do projeto foi limitada na versão disponibilizada na universidade, à tecnologia CMOS de 0,35 μm . Porém foi possível compreender o impacto das dimensões nas tendências do comportamento do circuito. Os melhores resultados foram obtidos para o nó tecnológico de 350 nm, com uma largura de banda de 2,75 GHz e um ganho de até 45,4dB, com uma economia de potência de 53,08% em relação à proposta de projeto inicial com a tecnologia CMOS de 1,2 μm .

6 TRABALHOS FUTUROS

Como melhoria para o projeto, sugerimos a realização da simulação na versão profissional, a fim de avaliar os demais parâmetros importantes em amplificadores, como a resposta em fase, e considerar o efeito do canal curto em todos os nós tecnológicos, mesmo que o efeito seja mais evidente em 130 nm. Além disso, recomendamos uma análise mais precisa dos dois estágios para os demais nós tecnológicos.

Como proposta adicional, incluir um capacitor de compensação entre os estágios para reposicionar os polos da função de transferência, obtendo assim uma faixa de utilização em frequência mais ampla do amplificador.

Por último, recomendamos a construção física do dispositivo e a comparação da resposta obtida com a esperada teoricamente e o que foi observado no simulador.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] Moore ,G. E., “**Cramming more components onto integrated circuits, reprinted from electronics**, volume 38, n 8, Abril 19, 1965, pp. 114 ff,” IEEE Solid-State Circuits Soc. Newslett., Vol. 11, no. 3, pp. 33–5, 2006. DOI: 10.1109/N-SSC.2006.4785860
- [2] KARLRUPP. **42 Years of Microprocessor Trend Data** .Disponível em: <<https://github.com/karlrupp/microprocessor-trend-data>>. Acesso em: 15 out. 2023.
- [3] INTEL. **Intel Research Fuels Moore’s law and Paves the Way to a Trillion Transistors by 2023** .Disponível em: <<https://www.intel.com/content/www/us/en/newsroom/News/moores-law-paves-way-trillion-transistors-2030.html>>. Acesso em: 17 out. 2023.
- [4] Sze, S.M, ng,K.K. **Physics of Semiiconductor Devices**, 3 st, John Wiley & Sons,2007.
- [5] Dennard, R.H., Gaensslen,F. H., Rideout,V. L., Bassous, E., & LeBlanc,A.R. **Design of ion-implanted MOSFETs with very small physical dimensions**. IEEE Journal of solid-state Circuits, 9(5),256-268.
- [6] H. Esmailzadeh, E. Blem, R. S. Amant, K. Sankaralingam e D. Burger, **Dark silicon and the end of multicore scaling**, 2011 38th Annual International Symposium on Computer Architecture (ISCA), San Jose, CA, EUA, 2011, pp. 365-376.
- [7] ALMEIDA, R.B.A **Evolução dos Processadores Comparação das Famílias de Processadores Intel e AMD**. Disponível em: <<https://www.ic.unicamp.br/~ducatte/mo401/1s2009/T2/089065-t2.pdf>>.
- [8]Colinge J.P . **Physics of semiconductor Devices**, 1 st New York (NY) Springer US, 2005.
- [9] Schuegraf, K.; Abraham, M.C.; Brand, A.; Naik, M.; Thakur, R. **Semiconductor logic technology innovation to achieve sub-10 nm manufacturing**. IEEE J. Electron Devices Soc. 2013, 1, 66–75.
- [10] Martino, J. A. Pavanello, A. M. Verdonck, B. P.. “**Caracterização Elétrica de Tecnologia e Dispositivos MOS**”. Thomsom 2004.
- [11] TOULOUSE, insa. **Microwind & Dsch User's Manual Version 2**, National Institute of Applied Sciences, Department of Electrical & Computer Engineering, 2002.
- [12]SANTOS, P.M, **Eletrônica Geral**. Belo Horizonte,2022. Disponível em: https://bookdown.org/patrickcefet/eletronica_geral. Acesso em: 15 de out. 2023

- [13] Ferreira, E.C –**Transistores de efeito de Campo (FETS) (Notas de aula de microeletrônica no DEMIC – UNICAMP)**, Campinas 2020. Disponível em: www.dsif.fee.unicamp.br/~elnatan/ee640/aula%20mosfet.pdf. Acesso em: 15 de out. 2023
- [14] SEDRA, Adel S.; SMITH, Kenneth Carless. **Microeletrônica**. Pearson Prentice Hall, 2007.
- [15] NICOLETT. A. **Aula 15 Amplificadores operacionais** . São Paulo 2018 . PUC SP. Disponível em : www.pucsp.br/~elo2eng/Aula_15n.pdf Acesso em: 15 de out. 2023
- [16] MAIA N.J. **Um Amplificador de Transcondutância CMOS de Baixa Potência com Melhoria da CMRR**. Itajuba, 2020. UNIFEI . Disponível em: repositorio.unifei.edu.br/jspui/bitstream/123456789/2259/1/Dissertação_2020137.pdf
- [17] MICROWIND. **About Microwind**, ni logic Pvt. Ltd.(ni2designs), Pune, India.
- [18] ORIGINLAB. **Originpro, the ultimate software for Graphing & Analysis**. OriginLab Corporation Northampton, MA.
- [19] PAM-XIAMEN, **Etching Wafer**, Xiamen powerway Advanced Material Co. China
- [20] AGOPIAN, P. G. D. **Introdução a circuitos integrados (Notas de aula – Disciplina de Introdução aos Circuitos Integrados)** – UNESP. São João da Boa Vista – SP. 2022.
- [21] AGOPIAN, P. G. D. **Transistores MOS (Notas de aula – Disciplina Eletrônica II)** – UNESP. São João da Boa Vista – SP. 2021.