

Carlos Henrique Santos Coelho

**Estudo do Ponto Invariante com a Temperatura (ZTC) em
Transistores Nanofolhas com Porta ao Redor (*GAA-Nanosheet*)**

São João da Boa vista
2021

Carlos Henrique Santos Coelho

**Estudo do Ponto Invariante com a Temperatura (ZTC) em
Transistores Nanofolhas com Porta ao Redor (*GAA-Nanosheet*)**

Dissertação apresentada para obtenção do título de Mestre em Engenharia Elétrica, junto ao Programa de Pós-Graduação em Engenharia Elétrica, Interunidades, entre o Instituto de Ciência e Tecnologia de Sorocaba e o Campus de São João da Boa Vista da Universidade Estadual Paulista “Júlio de Mesquita Filho”.

Orientador: Prof^a. Dr^a. Paula Ghedini Der Agopian

São João da Boa Vista
2021

C672e

Coelho, Carlos Henrique Santos

Estudo do ponto invariante com a temperatura (ZTC) em transistores nanofolhas com porta ao redor (GAA-Nanosheet) / Carlos Henrique Santos Coelho. -- São João da Boa Vista, 2021
101 p.

Dissertação (mestrado) - Universidade Estadual Paulista (Unesp), Câmpus Experimental de São João da Boa Vista, São João da Boa Vista

Orientadora: Paula Ghedini Der Agopian

1. Engenharia elétrica. 2. Sistemas eletrônicos. 3. Semicondutores. 4. Transistores. I. Título.

CERTIFICADO DE APROVAÇÃO

TÍTULO DA DISSERTAÇÃO: Estudo do Ponto Invariante com a Temperatura (ZTC) em Transistores Nanofolhas com Porta ao Redor (GAA-Nanosheet)

AUTOR: CARLOS HENRIQUE SANTOS COELHO

ORIENTADORA: PAULA GHEDINI DER AGOPIAN

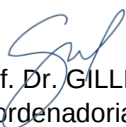
Aprovado como parte das exigências para obtenção do Título de Mestre em ENGENHARIA ELÉTRICA, área: Sistemas Eletrônicos pela Comissão Examinadora:



Prof^a Dr^a PAULA GHEDINI DER AGOPIAN (Participação Virtual)
Coordenadoria de Curso de Engenharia Eletrônica e de Telecomunicações / Câmpus de São João da Boa Vista



Prof. Dr. VICTOR SONNENBERG (Participação Virtual)
Departamento de Sistemas Eletrônicos - DSE
/ FATEC-SP



Prof. Dr. GILLIARD NARDEL MALHEIROS SILVEIRA (Participação Virtual)
Coordenadoria de Curso de Engenharia Aeronáutica / Câmpus de São João da Boa Vista

São João da Boa Vista, 13 de abril de 2021

São João da Boa Vista
2021

RESUMO

Neste trabalho, foram avaliados os parâmetros básicos de transistores de nanofolhas de silício de porta ao redor (GAA-nanosheet) a fim de entender melhor o funcionamento do dispositivo e alimentar o modelo Camilo-Martino (CM) para avaliar se o mesmo pode ser utilizado como ferramenta para auxiliar os projetistas de circuitos integrados na polarização dos circuitos uma vez que é desejável a estabilidade dos circuitos com a temperatura. O modelo Camilo-Martino (CM) calcula o ponto invariante com a temperatura (V_{ZTC}), ou seja, o ponto de polarização de porta que resulta em uma corrente de dreno (I_D) constante (I_{ZTC}), com a variação de temperatura. Os parâmetros analisados, que estão diretamente relacionados com o modelo Camilo-Martino (CM), são: a tensão de limiar (V_T), inclinação sublimiar (SS), mobilidade dos portadores (μ) e transcondutância (g_m). Também foi necessário efetuar a análise da variação de V_T e de g_m com a temperatura, para que desta forma fosse possível avaliar o comportamento do modelo Camilo-Martino (CM) para esta tecnologia. Os resultados para ambos os tipos de canal (P e N) mostraram um bom ajuste na região linear de operação, ficando o erro inferior a 7% do valor de V_{ZTC} . Foi mostrado também que para os dispositivos de comprimento de canal de 28nm o erro apresentado ficou ligeiramente maior que para os transistores de comprimento de canal de 70nm e 200nm devido ao início da influência do efeito de canal curto e da forte influência da resistência série. Quando avaliados em saturação, estes dois efeitos indesejados passam a ter maior influência no comportamento do transistor e uma vez que o modelo adotado não os considera, o erro aumentou razoavelmente para os transistores mais curtos. No entanto, sabendo-se que usualmente falamos de saturação para aplicações analógicas e que neste campo nunca utilizamos o comprimento de canal mais curto permitido pelo nó tecnológico devido à degradação de sua performance analógica, quando avaliados os comprimentos de canal de 70nm e 200nm, o modelo apresentou valores mais próximos dos extraídos experimentalmente apresentando um erro médio de 17,23% para canal N e 20% para canal P. Porém considerando a simplicidade do modelo e a pequena variação em corrente causada por este erro consideramos o modelo como uma boa ferramenta para estimar o ponto de polarização invariante com a temperatura. O modelo Camilo-Martino (CM)

apresentou alta sensibilidade aos parâmetros, $\Delta V_T/\Delta T$ e fator c , principalmente em saturação uma vez que para esta tecnologia esses parâmetros tornaram-se muito pequenos, fazendo com que em pequenas mudanças nos valores destes fatores, o modelo sofra grande variação. Além do modelo, a partir dos dados experimentais foi mostrado que os transistores fabricados em nanofolhas de silício possuem um altíssimo controle das cargas no canal, resultando em uma pequena influência dos efeitos de canal curto, mas em contrapartida apresentaram uma forte influência da resistência série, que se torna mais importante para os dispositivos mais curtos.

Palavras-chave: SOI, parâmetros elétricos básicos, Nanofios, Nanofolhas, ZTC.

ABSTRACT

In this work, the basic parameters of the gate all around nanosheet silicon transistors (GAA-nanosheet) were evaluated in order to better understand the functioning of the device and feed the Camilo-Martino (CM) model to assess whether it can be used as a tool for assist designers of integrated circuits in polarizing the circuits since the stability of the circuits with temperature is desirable. The Camilo-Martino (CM) model calculates the Zero Temperature Coefficient (VZTC), that is, the gate bias point that results in a constant drain current (I_D) (IZTC), with temperature variation. The parameters analyzed, which are directly related to the Camilo-Martino (CM) model, are: the threshold voltage (V_T), subthreshold slope (SS), carrier mobility (μ) and transconductance (g_m). It was also necessary to perform the analysis of the variation of V_T and g_m with the temperature, so that in this way it was possible to evaluate the behavior of the Camilo-Martino (CM) model for this technology (gate all around nanosheet devices). The results for both types of channel (p and n) showed a good agreement in the linear region of operation, with the error being less than 7% of the VZTC value. It was also shown that for the 28nm channel length devices the error presented was slightly higher than for the 70nm and 200nm channel length transistors due to the beginning of the influence of the short channel effect and the strong influence of the series resistance. When evaluated in saturation, these two unwanted effects have a greater influence on the behavior of the transistor and since the assumed model doesn't consider them, the error increased reasonably for the shorter transistors. However, knowing that we usually talk about saturation for analog applications and that in this field we never use the shortest channel length allowed by the technological node due to the degradation of its analog performance, when evaluated the channel lengths of 70nm and 200nm, the model presented values closer to those extracted experimentally showing an average error of 17.23% for channel n and 20% for channel p. Although considering the simplicity of the model and the small variation in current caused by this error, we consider the model as a good tool to estimate the zero temperature coefficient bias point. The Camilo-Martino (CM) model showed high sensitivity to the parameters, $\Delta V_T / \Delta T$ and c factor, mainly in saturation, since for this technology these parameters became very small, causing small changes in the values of these factors, the model suffers great variation. In addition to the

model, from the experimental data it showed that the made of silicon nanosheets transistors have a very high control of the charges in the channel, resulting in a small influence of the short channel effects, but in compesation they showed a strong influence of the series resistance, which becomes more important for shorter devices.

Key words: SOI, basic electrical parameters, Nanowires, Nanosheets, ZTC.

LISTA DE ILUSTRAÇÕES

Figura 1 - Evolução estrutural tecnológica ao longo do tempo.	23
Figura 2 - Exemplo de imagem do dispositivo <i>GAA-Nanosheet</i> consistindo em duas folhas laterais de Si empilhadas verticalmente com seções transversais circulares (a) ou retangulares (b).	25
Figura 3 - Estrutura do dispositivo SOI planar.	29
Figura 4 - Diagrama de bandas de energia de um dispositivo SOI totalmente depletado.	30
Figura 5 - Dispositivos de múltiplas portas, fabricados em tecnologia SOI.	33
Figura 6 - Transistores FinFET com duas portas (A) e com três portas (B).	34
Figura 7 - Transistores <i>Nanowire</i> de porta ômega (NW- Ω).	35
Figura 8 - Transistores <i>GAA-Nanosheet</i>	36
Figura 9 – Curva da corrente de dreno em função da tensão aplicada na porta, explicitando a região de sublimiar.	37
Figura 10 - Tensão de limiar em função da espessura de filme de silício.	42
Figura 11 - Associação das capacitâncias no transistor MOSFET convencional (A); transistor PD SOI (B); transistor FD SOI com a segunda interface em depleção (C) e transistor FD SOI com a segunda interface em acumulação (D).	44
Figura 12 - Curva I_D x V_G nos transistores <i>GAA-Nanosheet</i> , linear (A) e saturação (B).	47
Figura 13 - TEM dos dispositivos fabricados (A) e a estrutura esquemática de <i>GAA-Nanosheet</i> (B).	55
Figura 14 - Curva Experimental de I_D x V_G em 100°C na região linear do dispositivo <i>GAA-Nanosheet</i> com $L = 28\text{nm}$	56
Figura 15 - Curva Experimental de d^2I_D/dV_G em 100°C na região linear do dispositivo <i>GAA-Nanosheet</i> com $L = 28\text{nm}$	57
Figura 16 - Curva Experimental de I_D x V_G em 100°C na região linear (A) e na região de saturação (B) para um dispositivo <i>GAA-Nanosheet</i> com $L = 28\text{nm}$	58
Figura 17 - Curva Experimental de g_m x V_G em 100°C na região linear do dispositivo <i>GAA-Nanosheet</i> com $L = 28\text{nm}$	59

Figura 18 - Curva Experimental de $g_m \times V_G$ em 100°C na região de saturação do dispositivo <i>GAA-Nanosheet</i> com $L = 28\text{nm}$	60
Figura 19 - Curva Experimental de V_T em função da temperatura, na região linear do dispositivo <i>GAA-Nanosheet</i> com $L = 28\text{nm}$	61
Figura 20 - Curva calculada do fator c em função da temperatura, na região linear do dispositivo <i>GAA-Nanosheet</i> com $L = 28\text{nm}$	62
Figura 21 - Curva Experimental da corrente de dreno em função da tensão aplicada na porta para diferentes temperaturas, na região linear do dispositivo <i>GAA-Nanosheet</i> com $L = 28\text{nm}$	64
Figura 22 - Curva Experimental da corrente de dreno em função da tensão aplicada na porta para diferentes temperaturas, na região de saturação do dispositivo <i>GAA-Nanosheet</i> com $L = 28\text{nm}$	64
Figura 23 - Curva Experimental de V_T em função da temperatura, na região linear do dispositivo <i>GAA-Nanosheet</i> para todos os comprimentos de canal estudados (28, 70 e 200nm), com respectivos coeficientes angulares.	65
Figura 24 - Curva Experimental da tensão de limiar em função do comprimento de canal do dispositivo <i>GAA-Nanosheet</i> , na região linear.	66
Figura 25 - Curva Experimental de V_T em função da temperatura, na região de saturação do dispositivo <i>GAA-Nanosheet</i> para os L de 28, 70 e 200nm, e seus respectivos coeficientes angular.	67
Figura 26 - Curva Experimental da tensão de limiar em função do comprimento de canal do dispositivo <i>GAA-Nanosheet</i> , na região de saturação.	68
Figura 27 - Curva Experimental da transcondutância em função da temperatura, na região linear do dispositivo <i>GAA-Nanosheet</i> para os comprimentos de canal de 28, 70 e 200nm.	69
Figura 28 - Curva Experimental da transcondutância normalizado por L , em função dos comprimentos de canal de 28, 70 e 200nm, na região linear do dispositivo <i>GAA-Nanosheet</i>	70
Figura 29 - Curva Experimental da transcondutância em função da temperatura, na região de saturação do dispositivo <i>GAA-Nanosheet</i> para os diferentes comprimentos de canal.	71
Figura 30 - Curva Experimental da transcondutância normalizado por L , em função dos comprimentos de canal de 28, 70 e 200nm, na região de saturação do dispositivo <i>GAA-Nanosheet</i> para diferentes temperaturas. .	72

Figura 31 - Curva do fator c em função da temperatura, na região linear do dispositivo <i>GAA-Nanosheet</i> para os comprimentos de canal de 28, 70 e 200nm.....	73
Figura 32 - Curva do fator c em função da temperatura, na região de saturação do dispositivo <i>GAA-Nanosheet</i> para os diferentes comprimentos de canal.	73
Figura 33 - Curva em barras do V_{ZTC} em função da temperatura, na região linear do dispositivo <i>GAA-Nanosheet</i> para diferentes comprimentos de canal.	74
Figura 34 - Curva do V_{ZTC} em função da temperatura, na região linear do dispositivo <i>GAA-Nanosheet</i> para diferentes comprimentos de canal.	75
Figura 35 - Curva em barras do V_{ZTC} em função da temperatura, na região de saturação do dispositivo <i>GAA-Nanosheet</i> para diferentes comprimentos de canal.	76
Figura 36 - Análise da sensibilidade do V_{ZTC} em relação aos parâmetros V_T , $\Delta V_T/\Delta T$ e fator c	80
Figura 37 - Análise da sensibilidade do V_{ZTC} em relação aos parâmetros V_T , $\Delta V_T/\Delta T$ e fator c	81
Figura 38 - Curva Experimental de V_T em função da temperatura, na região linear do dispositivo <i>GAA-Nanosheet</i> para todos os comprimentos de canal estudados (28, 70 e 200nm), com respectivos coeficientes angulares.	82
Figura 39 - Curva Experimental da tensão de limiar em função do comprimento de canal do dispositivo <i>GAA-Nanosheet</i> , na região linear.....	83
Figura 40 - Curva Experimental de V_T em função da temperatura, na região de saturação do dispositivo <i>GAA-Nanosheet</i> para os L de 28, 70 e 200nm, e seus respectivos coeficientes angular.	84
Figura 41 - Curva Experimental da tensão de limiar em função do comprimento de canal do dispositivo <i>GAA-Nanosheet</i> , na região de saturação.	85
Figura 42 - Curva Experimental da transcondutância em função da temperatura, na região linear do dispositivo <i>GAA-Nanosheet</i> para os comprimentos de canal de 28, 70 e 200nm.....	86
Figura 43 - Curva Experimental da transcondutância normalizado por L , em função dos comprimentos de canal de 28, 70 e 200nm, na região linear do dispositivo <i>GAA-Nanosheet</i>	86

Figura 44 - Curva Experimental da transcondutância em função da temperatura, na região de saturação do dispositivo <i>GAA-Nanosheet</i> para os diferentes comprimentos de canal.....	87
Figura 45 - Curva Experimental da transcondutância normalizado por L, em função dos comprimentos de canal de 28, 70 e 200nm, na região de saturação do dispositivo <i>GAA-Nanosheet</i> para diferentes temperaturas..	88
Figura 46 - Curva do fator c em função da temperatura, na região linear do dispositivo <i>GAA-Nanosheet</i> para os comprimentos de canal de 28, 70 e 200nm.....	89
Figura 47 - Curva do fator c em função da temperatura, na região de saturação do dispositivo <i>GAA-Nanosheet</i> para os diferentes comprimentos de canal.	89
Figura 48 - Curva em barras do V_{ZTC} em função da temperatura, na região linear do dispositivo <i>GAA-Nanosheet</i> para diferentes comprimentos de canal.	90
Figura 49 - Curva em barras do V_{ZTC} em função da temperatura, na região de saturação do dispositivo <i>GAA-Nanosheet</i> para diferentes comprimentos de canal.	91

LISTA DE TABELAS

Tabela 1 - Valores de $(\Delta V_T/\Delta T)$ para as tecnologias <i>GAA-nanosheet</i> canal N, nFinFET, FD SOI nMOSFET e PD SOI nMOSFET, na região de saturação.	68
Tabela 2 - Valores do erro (%) gerados entre o V_{ZTC} experimental e o modelo analítico na região linear para dispositivos com diferentes comprimentos de canal.	77
Tabela 3 - Valores do erro (%) gerados entre o V_{ZTC} experimental e o V_{ZTC} calculado pelo modelo analítico na região de saturação para dispositivos com diferentes comprimentos de canal.	77
Tabela 4 - Valores da sensibilidade para os dispositivos com $L=70\text{nm}$ na região de saturação, acrescentando (somando) as variações dos parâmetros ao modelo.	79
Tabela 5 - Valores do erro (%) gerados entre o V_{ZTC} experimental e o modelo analítico na região linear para dispositivos com diferentes comprimentos de canal.	92
Tabela 6 - Valores do erro (%) gerados entre o V_{ZTC} experimental e o V_{ZTC} calculado pelo modelo analítico na região de saturação para dispositivos com diferentes comprimentos de canal.	92

LISTA DE ABREVIATURAS E SIGLAS

3D	Três dimensões (<i>Three Dimensions</i>).
CI	Circuito Integrado.
CM	Camilo-Martino.
CMOS	Semicondutor de metal óxido complementar (<i>complementary metal-oxide semiconductor</i>).
DIBL	Redução da barreira de potencial induzida pelo dreno (<i>Drain-Induced-Barrier-Lowering</i>).
EOT	Espessura do óxido efetiva (<i>Effective Oxide Thickness</i>)
EWf	Função Trabalho Efetiva (<i>Effective Work Function</i>)
FD	Região de canal totalmente depletada (<i>Fully depleted</i>).
FinFET	Transistor por efeito de campo de canal vertical (<i>Fin Field Effect Transistor</i>).
GAA	Transistor de porta ao redor do canal (<i>Gate all around</i>).
HfO₂	Dióxido de háfnio.
MOS	Metal-Óxido-Silício (<i>Metal-Oxide-Semiconductor</i>).
MOSFET	Transistor por efeito de campo Metal-Óxido-Silício (<i>Metal-Oxide-Semiconductor Field Effect Transistor</i>).
MRAM	Memórias de Acesso Randômico Magnético (<i>Magnetic Random Access Memories</i>).
MugFETs	Transistores de Múltiplas Portas por Efeito de Campo (<i>Multiple Gate Field Effect Transistors</i>).
NFD	Região de canal quase totalmente depletada (<i>Near fully depleted</i>).
nMOS	Canal N metal óxido semicondutor (<i>n channel Metal-Oxide-Semiconductor</i>).
GAA Nanosheet	Transistor de nanofolhas de porta ao redor (<i>Nanosheet Gate-All-Around</i>).
NW	Transistores nanofios (<i>Nanowire</i>).
GAA Nanowire	Transistor de nanofios de porta ao redor (<i>Nanowire Gate-All-Around</i>).
NW Ω	Transistor de nanofios (<i>nanowire</i>) de porta ômega.
PD	Região de canal parcialmente depletada (<i>Partially depleted</i>).

pMOS	Canal P metal óxido semiconductor (<i>p channel Metal-Oxide-Semiconductor</i>).
SCE	Efeitos de canal curto (<i>Short Channel Effects</i>).
SEE	Efeitos de evento único (<i>Single Event Effects</i>).
SiO₂	Dióxido de silício.
SOI	Silício sobre Isolante (<i>Silicon on Insulator</i>).
SRAM	Memória de Acesso Randômico Estática (<i>Static Random Access Memory</i>).
TEM	Microscopia Eletrônica de Transmissão (<i>Transmission Electronic Microscopy</i>)
TiN	Nitreto de titânio.
UTBB	Corpo e óxido enterrados ultrafinos (<i>Ultra Thin Body and Buried Oxide</i>).
ZTC	Ponto Invariante com a Temperatura (<i>Zero Temperature Coefficient</i>).

LISTA SÍMBOLOS

$\frac{\Delta V_T}{\Delta T}$	Variação da tensão de limiar com a variação da temperatura [V/°C].
$g_m * L$	Transcondutância normalizada com o comprimento de canal [$\mu S \cdot nm$].
μ	Mobilidade dos portadores.
μ_0	Mobilidade dos portadores de baixo campo.
μ_n	Mobilidade dos elétrons.
μ_p	Mobilidade das lacunas.
c	Fator de degradação da transcondutância.
C_b	Capacitância entre a camada de inversão e o eletrodo da segunda interface [F/cm ²].
C_{Box}	Capacitância do óxido enterrado por unidade de área [F/cm ²].
C_{depl}	Capacitância de depleção por unidade de área [F/cm ²].
C_{ox}	Capacitância do Óxido da Porta [F].
C_{oxF}	Capacitância do óxido de porta por unidade de área [F/cm ²].
C_{Si}	Capacitância no Silício [F].
$d^2 I_D / dV_G$	Segunda derivada da corrente de dreno por tensão da porta [A/V ²].
E_c	Nível de energia superior da faixa de condução [eV].
E_F	Nível de energia de Fermi [eV].
E_{FM}	Nível de Fermi do metal [eV].
E_{FS}	Nível de Fermi do semiconductor [eV].
E_g	Largura da faixa proibida [eV].
E_i	Nível de energia superior da faixa intrínseca [eV].
Erro	Taxa de erro [%].
Erro_{sat}	Taxa de erro na região de saturação [%].
E_v	Nível de energia da faixa de valência [eV].
$E_{vácuo}$	Nível de energia da faixa de vácuo [eV].
g_m	Transcondutância do transistor [S].

$g_{m\text{linear}}$	Transcondutância na região linear [S].
$g_{m\text{sat}}$	Transcondutância na região de saturação [S].
H_{FIN}	Altura da aleta para transistores 3D [m].
H_{NW}	Altura da aleta para nanofios (GAA NW) [m].
H_{SH}	Altura da aleta para nanofolhas (GAA NS) [m].
I_{D}	Corrente de dreno do transistor [A].
I_{D1}	Corrente de dreno no primeiro ponto da interpolação [A].
I_{D2}	Corrente de dreno no segundo ponto da interpolação [A].
I_{DS}	Corrente da fonte para o dreno [A]
I_{DSAT}	Corrente de dreno para região de operação em saturação [A]
I_{DX}	Corrente de dreno no ponto específico da interpolação [A].
I_{OFF}	Correndo do transistor no estado desligado [A].
I_{ON}	Correndo do transistor no estado ligado [A].
I_{ZTC}	Corrente de dreno Invariante com a Temperatura [A].
k	Permissividade dielétrica do óxido [F/m].
L	Comprimento de canal de transistores [m].
m^*	Massa de confinamento de portador na direção transversal.
n	Fator de corpo de transistores.
N_{A}	Concentração de impurezas aceitadoras [cm^{-3}].
n_{acc2}	Fator de corpo de transistores SOI com a segunda interface em acumulação.
n_{FD}	Fator de corpo de transistores totalmente depletados.
n_{i}	Concentração intrínseca de portadores [cm^{-3}].
n_{MOS}	Fator de corpo de transistores MOS convencional.
q	Carga do elétron [C].
Q_{BOX}	Densidade de carga fixa no óxido enterrado [C/cm^2].
Q_{deplMOS}	Cargas na região de depleção do canal [portadores/ cm^3].
Q_{deplSOI}	Densidade de cargas de depleção no canal de um transistor SOI [C/cm^2].
Q_{inv}	Carga de inversão por unidade de área [C/cm^2].
Q_{inv1}	Densidade de carga de inversão na primeira interface do transistor SOI [C/cm^2].

Q_{ox}	Cargas no óxido [portadores/cm ³].
Q_{oxF}	Densidade de carga fixa no óxido de porta [C/cm ²].
Q_{s2}	Carga de inversão na interface camada de silício/óxido enterrado por unidade de área [C/cm ²].
R_s	Resistência série [Ω]
S_i	Silício.
SS	Inclinação de sublimar [mV/dec].
T	Temperatura [K].
t_{BOX}	Espessura do óxido enterrado [m].
t_{ox}	Espessura do óxido de porta [m].
t_{Si}	Espessura do filme de silício [m].
V_D	Tensão de Dreno [V].
V_{DS}	Tensão entre Fonte e Dreno [V].
V_{FB}	Tensão de faixa plana [V].
V_G	Tensão de Porta [V].
V_{G1}	Tensão de Porta no primeiro ponto da interpolação [V].
V_{G2}	Tensão de Porta no segundo ponto da interpolação [V].
V_{GB}	Tensão aplicada ao substrato (ou porta de trás) do transistor [V].
$V_{GB,acc2}$	Tensão aplicada ao substrato do transistor SOI para a segunda interface acumulada [V].
V_{GF}	Tensão aplicada à porta (ou porta da frente) do transistor [V].
V_{GS}	Tensão aplicada entre porta e fonte [V].
V_{GX}	Tensão de Porta no ponto específico da interpolação [V].
V_{source}	Tensão de Fonte [V].
V_{subst}	Tensão de substrato [V].
V_T	Tensão de limiar [V].
V_{T1}	Tensão de limiar da primeira interface [V].
$V_{T1,acc2}$	Tensão de limiar da primeira interface do transistor FD SOI para a segunda interface acumulada [V].
$V_{T1,depl2}$	Tensão de limiar da primeira interface do transistor FD SOI para a segunda interface depletada [V].

$V_{T1,inv2}$	Tensão de limiar da primeira interface do transistor FD SOI para a segunda interface invertida [V].
V_{Tsat}	Tensão de limiar na região de operação em saturação [V].
V_{ZTC}	Ponto de Polarização Invariante com a Temperatura [V].
V_{ZTCEXP}	Ponto de polarização de porta invariante com a temperatura experimental [V].
$V_{ZTCsens}$	Ponto de polarização de porta invariante com a temperatura variando com a sensibilidade [V].
W_{eff}	Largura efetiva do canal em transistores 3D [m].
W_{FIN}	Largura da aleta para transistores 3D [m].
W_{NW}	Largura da aleta para nanofios (GAA NW) [m].
W_{SH}	Largura da aleta para nanofolhas (GAA NS) [m].
X_{d1}	Espessura da camada de depleção da 1ª interface.
X_{d2}	Espessura da camada de depleção da 2ª interface.
$X_{dm\acute{a}x}$	Espessura máxima da camada de depleção [m].
α	Acoplamento capacitâncias de transistores.
α_R	Degradação causada pela resistência série.
ϵ_{ox}	Permissividade do óxido de silício [$3,45 \times 10^{-13}$ F/cm].
ϵ_{Si}	Permissividade elétrica do silício [F/m].
θ	Coeficiente de degradação da mobilidade pelo campo elétrico transversal.
Φ_F	Potencial de Fermi [eV].
Φ_M	Diferença da função trabalho entre metal e Silício [V].
Φ_{MS}	Diferença da função trabalho entre metal e semiconductor [V].
Φ_{MS1}	Diferença da função trabalho entre metal de porta/camada de silício [V].
Φ_{MS2}	Diferença da função trabalho entre camada de silício/substrato [V].
Φ_{ox1}	Função trabalho do óxido de porta [V].
Φ_{ox2}	Função trabalho do óxido enterrado [V].
Φ_S	Potencial da superfície na interface óxido de porta/camada de silício [V].

Φ_{S1}	Potencial da superfície na interface óxido de porta/camada de silício [V].
Φ_{S2}	Potencial da superfície na interface camada de silício/óxido enterrado [V].
Φ_{SiB}	Função trabalho do silício do substrato [V].
Φ_{SiF}	Função trabalho do silício do canal do transistor [V].

SUMÁRIO

1.	INTRODUÇÃO.....	22
1.1	OBJETIVO	26
1.2	ESTRUTURA DO TRABALHO	27
2.	REVISÃO BIBLIOGRÁFICA.....	28
2.1	A EVOLUÇÃO DOS TRANSISTORES.....	28
2.2	TRANSISTORES DE MÚLTIPLAS PORTAS	32
2.2.1	TRANSISTORES <i>GAA-NANOSHEET</i>	35
2.3	PARÂMETROS ELÉTRICOS.....	36
2.3.1	INCLINAÇÃO SUBLIMIAR (V_T)	36
2.3.2	TENSÃO DE LIMAR (V_T).....	38
2.3.3	TRANSCONDUTÂNCIA (G_M) E MOBILIDADE DE PORTADORES (μ_N).....	42
3.	PONTO INVARIANTE COM A TEMPERATURA (ZTC)	46
3.1	O CONCEITO	46
3.2	O MODELO	48
3.2.1	REGIÃO LINEAR	48
3.2.2	REGIÃO DE SATURAÇÃO	51
4.	MATERIAIS E MÉTODOS	54
4.1	DISPOSITIVOS ESTUDADOS.....	54
4.2	MEDIDAS EXPERIMENTAIS	55
4.3	EXTRAÇÃO DE PARÂMETROS.....	55
4.3.1	TENSÃO DE LIMAR.....	56
4.3.2	TRANSCONDUTÂNCIA	59
4.3.3	TAXA DA VARIAÇÃO DA TENSÃO DE LIMAR COM A TEMPERATURA	60
4.3.4	FATOR DE DEGRADAÇÃO DA TRANSCONDUTÂNCIA (FATOR C).....	61
5.	RESULTADOS EXPERIMENTAIS E DISCUSSÕES	63
5.1	RESULTADOS OBTIDOS COM <i>GAA-NANOSHEET</i> CANAL N.....	63
5.1.1	CORRENTE DE DRENO (I_D)	63
5.1.2	TENSÃO DE LIMAR (V_T).....	65
5.1.3	TRANSCONDUTÂNCIA (G_M)	69
5.1.4	FATOR DE DEGRADAÇÃO DA TRANSCONDUTÂNCIA (FATOR C).....	72

5.1.5	CÁLCULO DO V_{ZTC} E VALIDAÇÃO DO MODELO CM.....	74
5.1.6	ERRO (%).....	76
5.1.7	SENSIBILIDADE DOS PARÂMETROS V_T , $\Delta V_T/\Delta T$ E FATOR C.....	78
5.2	RESULTADOS OBTIDOS COM <i>GAA-NANOSHEET</i> CANAL P	81
5.2.1	CORRENTE DE DRENO (I_D)	81
5.2.2	TENSÃO DE LIMIAR (V_T).....	82
5.2.3	TRANSCONDUTÂNCIA (G_M)	85
5.2.4	FATOR DE DEGRADAÇÃO DA TRANSCONDUTÂNCIA (FATOR C).....	88
5.2.5	CÁLCULO DO V_{ZTC} E VALIDAÇÃO DO MODELO CM	90
5.2.6	ERRO (%).....	91
6.	CONCLUSÕES.....	94
6.1	TRABALHOS FUTUROS.....	95
	<i>PUBLICAÇÕES GERADAS NO MESTRADO</i>	96
	<i>REFERENCIAS</i>	97

1. INTRODUÇÃO

O advento dos circuitos integrados (CI) foi um grande marco para a micro/nanoeletrônica. O CI busca reunir o maior número de dispositivos possível em um único bloco de semicondutor para deixar os circuitos funcionais [1], como transistores, resistores, capacitores e diodos.

Em 1965, a empresa *Fairchild*, através de um de seus pesquisadores chamado de Gordon Early Moore, observou que o número de transistores num circuito integrado iria dobrar em aproximadamente um ano e continuaria nesse ritmo por uma década. Dez anos mais tarde, ele corrigiu a previsão para um período de 18 a 24 meses. Essa observação ficou conhecida como Lei de Moore [2].

Em 1970, os transistores por efeito de campo Metal-Óxido-Silício (*Metal-Oxide-Semiconductor Field Effect Transistor* – MOSFET) tiveram grande avanço graças ao melhoramento das salas limpas e da evolução nos processos de fabricação [3]. A tecnologia CMOS (*complementary metal-oxide semiconductor*), que utiliza transistores nMOS e pMOS, foi implantada em microprocessadores pela primeira vez em 1974 pela empresa RCA [4].

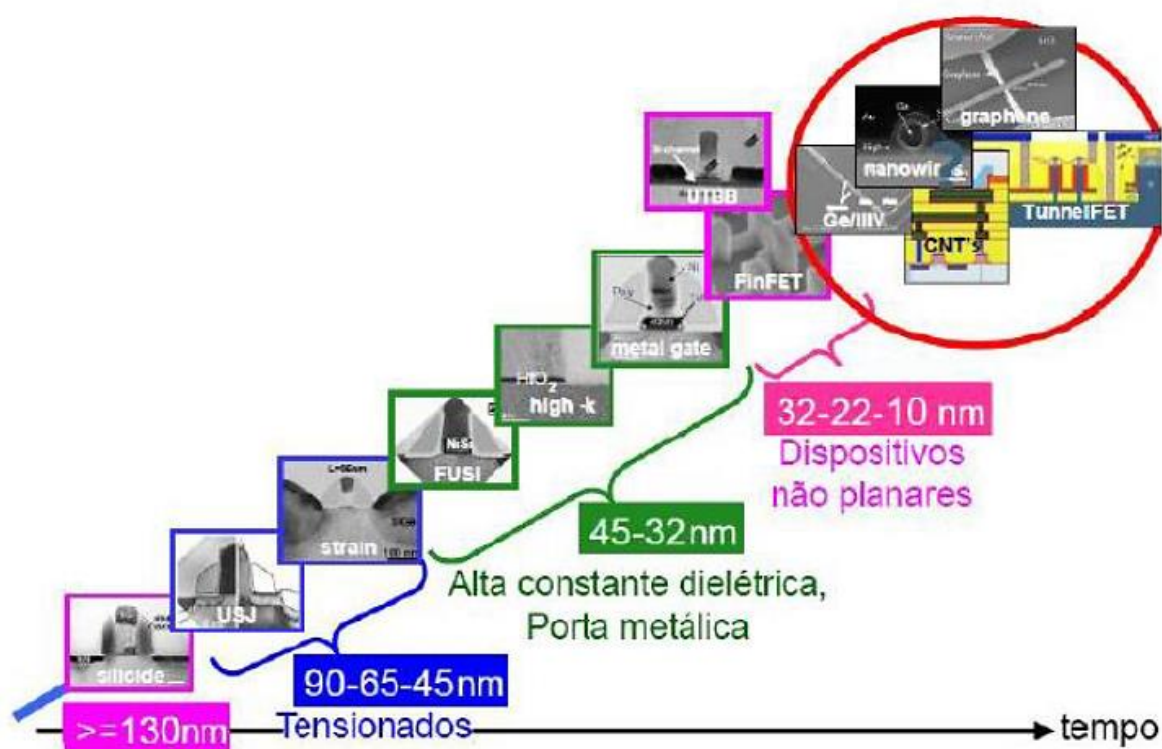
Com a evolução dos nós tecnológicos, baseando-se no escalonamento dos dispositivos em busca de melhores desempenhos dos sistemas eletrônicos, a nanoeletrônica vem sendo explorada cada vez mais. Porém novas barreiras são encontradas, principalmente devido a diminuição do comprimento de canal, (Efeitos de Canal Curto – SCE), além das correntes de fuga, dissipação de potência, auto aquecimento, dentre outras barreiras que também podem gerar a perda do controle do dispositivo [5]. Por este motivo, de maneira acelerada, novas estratégias como materiais diferentes na composição do dispositivo e diferentes geometrias, são criadas e experimentadas na tentativa de minimizar os efeitos decorrentes do contínuo avanço tecnológico na fabricação dos dispositivos eletrônicos.

Com esta ideia, criou-se a estrutura de silício sobre isolante [6], conhecida como SOI (*Silicon on Insulator*), que permitiu uma diminuição expressiva dos efeitos que atrapalhavam o avanço do transistor MOS convencional, tendo sua primeira prática industrial em 1998 pela empresa IBM (*International Business Machine*) [7]. A tecnologia SOI apresenta semelhança nos processos de

fabricação e grande similaridade no modo de operação com o MOSFET convencional, porém, com menores efeitos parasitários devido ao isolamento da região ativa do restante do substrato promovida pelo óxido enterrado e com a melhoria de seus parâmetros elétricos, devido ao melhor acoplamento eletrostático entre a porta e o canal [8].

A figura 1, mostra a evolução tecnológica dos transistores a partir da tecnologia SOI CMOS de 130nm.

Figura 1 - Evolução estrutural tecnológica ao longo do tempo.



Fonte: adaptado de Claeys, C. et al, (2009).

Através da figura 1, é possível notar o avanço dos transistores ao longo do tempo, como por exemplo o uso de novos materiais no isolante de porta com alto valor da constante dielétrica (*high k*), o uso de eletrodo de porta metálico (nitreto de titânio) para ajuste da tensão de limiar e também o uso do silício tensionado (*strain*) com objetivo de aumentar a mobilidade dos portadores [5] e, portanto, aumentar o desempenho em corrente dos transistores.

Abaixo do nó de 32nm, uma das alternativas estruturais adotadas foi a criação de estruturas tridimensionais com múltiplas portas como os MugFETs

(*Multiple Gate Field Effect Transistors*), onde a porta do dispositivo apresenta uma maior área ao redor de seu canal, havendo um maior controle eletrostático da porta sobre o canal [9].

Ultimamente, o aumento de números de porta tem sido amplamente pesquisado pela comunidade científica. Um dos mais recentes dispositivos comercializados, é o FinFET.

Os transistores SOI FinFET são transistores verticais com duas portas laterais e uma no topo, bem avaliados para dimensões inferiores a 100nm [10]. O topo do dispositivo pode ou não ser usado como porta estando sujeito a espessura do óxido de porta nesta região. Se o óxido da região superior é espesso, o transistor é controlado apenas pelas portas laterais (transistor de porta dupla, desconsiderando a porta do topo), mas quando o óxido no topo é fino podemos dizer que o dispositivo é um transistor de porta tripla [11]. Quanto menor a largura da aleta (W_{Fin}) do dispositivo (FinFET) melhor o controle da porta sobre o canal, minimizando assim os efeitos de canal curto (SCE).

Devido à sua baixa capacidade de corrente de dreno (em relação aos dispositivos anteriores) foram fabricados vários transistores em paralelo de mesmas dimensões e características para se obter valores de corrente de dreno desejados.

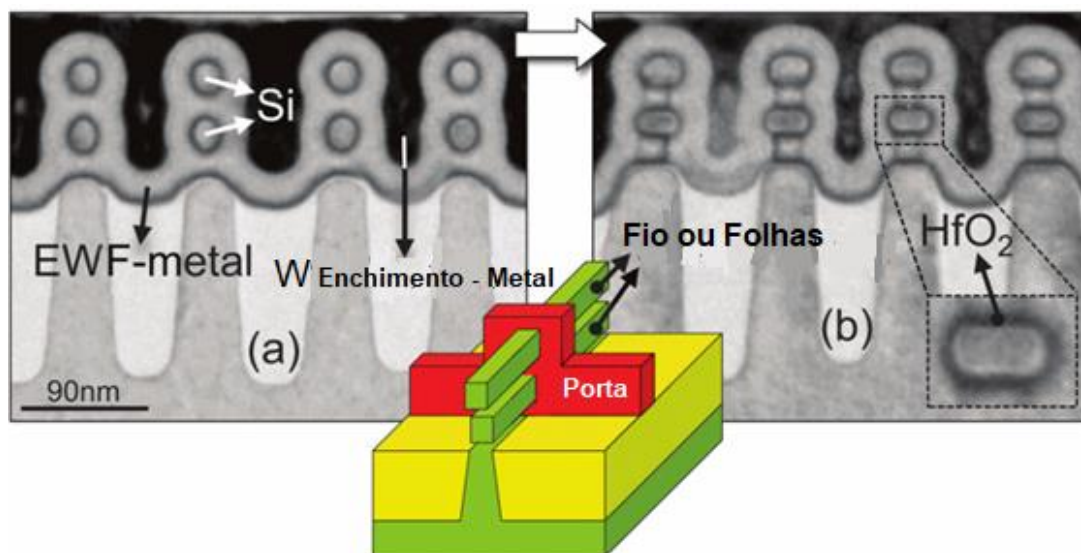
Após os FinFET's, os Nanowires (NW) e os Nanosheets *Gate-All-Around* (GAA-Nanosheet), são vistos como promessas aos futuros nós tecnológicos, sendo apontados para os nós abaixo de 7nm.

Os GAA-Nanosheet têm a vantagem de poder fornecer mais corrente devido às suas larguras efetivas maiores (W_{eff}) sem sofrer degradação por correntes de fuga em razão de um excelente controle eletrostático aprimorado [14]. Esse dispositivo têm o potencial de permitir circuitos mais densos e com melhor desempenho, como no caso das células de memória SRAM e MRAM [14].

A figura 2, apresenta os dispositivos de porta ao redor empilhados verticalmente (*double vertically stacked silicon nanosheets*) com seções transversais circulares (a) ou retangulares (b). Os transistores com sessões transversais circulares apresentados na figura 2^a representam os *nanowires* enquanto os de sessões retangulares representam os *nanosheets*. Esses transistores GAA-Nanosheet oferecem mais liberdade aos projetistas para a

otimização do desempenho energético, graças a um ajuste fino da largura do dispositivo [15].

Figura 2 - Exemplo de imagem do dispositivo *GAA-Nanosheet* consistindo em duas folhas laterais de Si empilhadas verticalmente com seções transversais circulares (a) ou retangulares (b).



Fonte: adaptado [14].

Estes dispositivos naturalmente enfrentam desafios para sua fabricação por causa da otimização de formato, com a rugosidade reduzida, espaçador interno, otimização de acesso, gerenciamento de deformação, dentre outros [16]. No entanto, alguns avanços experimentais significativos foram realizados recentemente e mostram a grande competitividade dessa tecnologia para futuros nós de tecnologia [15].

As estruturas do *GAA-Nanosheet* poderiam ser usadas para maximizar a largura efetiva para uma determinada área de circuito, o que melhoraria a corrente de acionamento sem aumentar a densidade de potência [15]. Uma evolução dos FinFETs é o *nanowire* de porta ômega (Ω) que apesar de apresentar um melhor acoplamento eletrostático possui um W_{eff} menor para uma determinada área de layout resultando em menor capacidade de corrente. Com o advento dos *nanosheets*, este problema poderá ser significativamente melhorado. Com um pequeno aumento da área de circuito, os *GAA-Nanosheet*, com um W_{eff} maior, aumentam a capacidade de corrente dos transistores, porém mantém o forte acoplamento eletrostático o que reduz os SCE, assim podemos

citar como exemplo, bons valores de DIBL (Redução da Barreira Induzida pelo Dreno - *Drain Induced Barrier Lowering* – DIBL) que são mais baixos do que os apresentados pelos dispositivos FinFET de canal curto [15].

Outro fator importante que deve ser considerado quando falamos em alta densidade de integração é o auto-aquecimento dos CIs, devido ao funcionamento de muitos transistores ao mesmo tempo. Esta variação da temperatura de operação é um fator complicado para o projetista de circuito integrado. Assim, trabalhar em uma polarização que permita uma menor influência da temperatura no desempenho do circuito pode ser muito promissor.

Neste trabalho foi realizada a análise do dispositivo *GAA-Nanosheet* canal N e canal P, quando operando na região onde a corrente praticamente não varia com a temperatura. Também foi validada a aplicação do modelo Camilo-Martino (CM) [12,13], calculando o ponto invariante com a temperatura (*Zero Temperature Coefficient* - ZTC), para este dispositivo e estudada a sensibilidade do modelo à dispositivos tão pequenos.

1.1 Objetivo

O objetivo deste trabalho é estudar o Ponto Invariante com a Temperatura (ZTC) nos transistores *GAA-nanosheets* e validar a aplicação do modelo CM, adotado para calcular o V_{ZTC} nestes transistores tanto quando operando na região linear quanto na saturação.

Para este estudo, os transistores *GAA-Nanosheet* canal N e P, fabricados no Imec/Bélgica, foram medidos experimentais nas regiões de operação linear e saturação e extraiu-se os parâmetros elétricos básicos.

Uma vez considerada a simplicidade do modelo CM no cálculo da tensão de ZTC (V_{ZTC}), foi feita a validação do modelo para este dispositivo com o objetivo de futuramente auxiliar os projetistas de circuitos integrados ao trabalhar com dispositivos *GAA-nanosheets* de dimensões bastante reduzidas. A validação foi baseada na comparação dos valores de V_{ZTC} extraídos experimentalmente com os valores analíticos obtidos por meio do modelo.

1.2 Estrutura do trabalho

Este trabalho está dividido em 6 capítulos. Iniciando-se no capítulo 1, com a introdução geral e apresentação do objetivo.

No capítulo 2 apresenta-se uma revisão bibliográfica sobre o avanço dos transistores, onde será apresentado os transistores de múltiplas portas, chegando enfim, nos transistores *GAA-Nanosheet*, além de apresentar os principais parâmetros elétricos envolvidos no cálculo do V_{ZTC} .

O capítulo 3 apresenta e detalha o modelo analítico do ponto invariante com a temperatura (ZTC), adotado neste trabalho.

No capítulo 4 mostra-se a metodologia adotada para a realização deste trabalho. Neste item são mostrados a estrutura do dispositivo utilizado, informações sobre as medidas experimentais, bem como sobre a extração dos principais parâmetros e todos os materiais utilizado para realização deste trabalho.

O capítulo 5 apresenta os resultados obtidos neste trabalho, por meio das comparações realizadas entre as medidas experimentais e analíticas e a extração e análise dos parâmetros elétricos, para ambas as regiões de operação, revelando também o erro gerado entre as comparações.

O capítulo 6 apresenta as principais considerações do trabalho além de se propor uma ideia de trabalho futuro.

2. REVISÃO BIBLIOGRÁFICA

Neste capítulo são apresentados os conceitos fundamentais dos transistores, principais parâmetros e características da tecnologia estudada.

2.1 A Evolução dos Transistores

Com o agressivo escalonamento dos dispositivos, a tecnologia MOSFET (*Metal Oxide Semiconductor Field Effect Transistor*) enfrentou grandes barreiras para ser utilizada como a principal peça no avanço dos nós tecnológicos, as principais dificuldades são causadas pelos efeitos de canal curto (SCE) [6], tais como redução da barreira potencial induzida pelo dreno (DIBL), a degradação da inclinação de sublimiar (SS) e a redução da tensão de limiar (V_T).

Um outro fator importante a ser considerado é a substituição do MOSFET convencional de uma porta por dispositivos de múltiplas portas (*multi-gate*) [6,8,9], uma vez que eles apresentam melhores características elétricas, como por exemplo a capacidade de corrente 50% maior e melhor imunidade aos efeitos de canal curto [6,9,18] do que em um MOSFET de porta única, mantendo a semelhança com o MOSFET convencional em termos de processamento, layout e estrutura [18].

Com o avanço dos nós tecnológicos, os transistores convencionais são cada vez menos utilizados pela exigência cada vez maior do mercado, que demanda dispositivos menores com maiores rendimentos energéticos.

Nesta evolução, a tecnologia SOI, teve um papel fundamental para o progresso dos dispositivos em relação aos nós tecnológicos, devido ao isolamento da região ativa do restante do substrato, promovido pelo óxido enterrado. A figura 3 mostra a estrutura de um dispositivo SOI planar.

Figura 3 - Estrutura do dispositivo SOI planar.



Fonte: adaptado [5].

A figura 3 exibe a estrutura de um transistor SOI, onde t_{ox} é a espessura do óxido de porta, t_{si} a espessura da camada de silício sobre o isolante e t_{box} é a espessura da camada de óxido enterrado; e 1ª interface é a interface entre óxido de porta e o canal, 2ª interface é a interface entre canal e óxido enterrado e 3ª interface é a interface entre o óxido enterrado e o substrato [5].

A tecnologia SOI tem algumas vantagens em relação à tecnologia MOS convencional, como por exemplo, possuir menor número de etapas de processo do que a tecnologia CMOS convencional [17] em sua fabricação. Com esta tecnologia também foi possível reduzir as capacitâncias parasitárias, melhorar o controle sobre o efeito de canal curto, proporcionar maior resistência à radiação, eliminar o efeito tiristor parasitário (*latch up*) entre outros efeitos [18] que anteriormente degradavam o comportamento do dispositivo.

Entretanto, também existem desvantagens presentes nesta tecnologia, como o efeito transistor parasitário [19]; a elevação abrupta de corrente [20] e efeito de auto aquecimento (*self-heating*) [21].

O modo de operação do transistor, é classificado na tecnologia SOI, de acordo com a espessura do t_{si} e a profundidade máxima de depleção ($x_{dm\acute{a}x}$). Conforme a espessura do t_{si} e de $x_{dm\acute{a}x}$, pode-se conseguir diferentes modos de operação dos transistores SOI, podendo ser o parcialmente depletado (*Partially Depleted* - PD), quase totalmente depletado (*Nonfully Depleted* - NFD) e o totalmente depletado (*Full Depleted* - FD). O conceito dos transistores totalmente depletados incorporado ao longo do desenvolvimento da tecnologia SOI é

importante devido aos transistores dos nós tecnológicos mais avançados possuírem esta característica (FD) sendo ou não fabricados na tecnologia SOI.

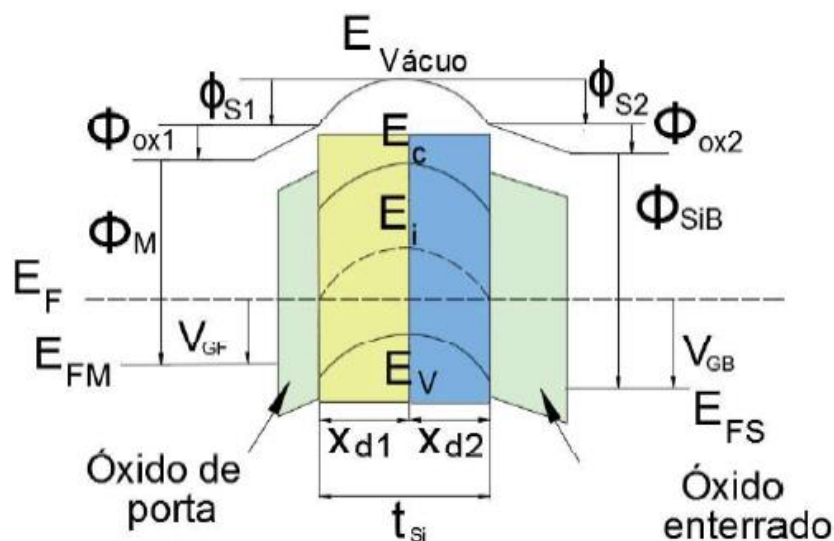
Para que o transistor seja considerado totalmente depletado, a espessura da camada de silício deve ser menor do que a profundidade máxima de depleção da primeira interface ($t_{Si} < X_{dmáx}$), ou seja, quando o transistor atingir a tensão de limiar toda a camada de silício deve estar depletada.

Neste modo de operação existe uma grande influência da polarização do substrato pois o potencial da segunda interface está acoplado com o da primeira. A segunda interface pode se encontrar na região de acumulação, depleção ou inversão [24,25,26,27], sendo indesejável a segunda interface em inversão, devido à ausência de controle pela tensão aplicada à porta.

Os transistores totalmente depletados (FD) oferecem melhores características elétricas, como: menor influência de efeito de canal curto (SCE), maior transcondutância (g_m), inclinações de sublimiar (SS) próximas ao limite teórico de 60 mV/dec e a eliminação do efeito *kink* [18,28,29].

Na figura 4 é possível visualizar o diagrama de bandas de energia de um dispositivo SOI totalmente depletado, visualizando a interação entre as regiões de depleção explicadas anteriormente.

Figura 4 - Diagrama de bandas de energia de um dispositivo SOI totalmente depletado.



Fonte: adaptado [18].

Para o cálculo da depleção máxima [22], utilizamos a equação (1):

$$X_{dmax} = \sqrt{\frac{4\epsilon_{si}\phi_F}{qN_a}} \quad (1)$$

onde, ϵ_{si} é a permissividade do silício, ϕ_F é o potencial de Fermi, q é a carga elementar do elétron e N_A é a concentração de dopantes do tipo aceitador na região do canal.

Vale a pena ressaltar que ϕ_F , é variável com a temperatura, como pode ser visto na equação (2):

$$\phi_F = \frac{KT}{q} \ln \frac{N_a}{n_i} \quad (2)$$

onde, k é a constante de Boltzmann, T é a temperatura em Kelvin, n_i é a concentração intrínseca de portadores, que por sua vez também dependente da temperatura, que pode ser visualizado na equação (3).

$$n_i = 3,9 \cdot 10^{16} T^{\frac{3}{2}} e^{-\left(\frac{E_g}{2KT}\right)} \quad (3)$$

Sendo, E_g é a largura da faixa proibida, que pode ser obtida através da equação (4).

$$E_g = 1,289 \cdot 10^{-5} \cdot T - 4,841 \cdot 10^{-7} \cdot T^2 \quad (4)$$

2.1.1 Efeito de Canal Curto (SCE) e Resistência Série (RS)

Com o avanço do escalonamento dos dispositivos, todas as dimensões do transistor sofrem diminuições. Reduzindo o comprimento de canal, acontece a aproximação das regiões de depleção de fonte e dreno, no qual a região de depleção derivada das junções toma uma parcela expressiva da região de depleção sob a porta. Deste modo as cargas de depleção que eram controladas quase inteiramente pela porta, agora passam a ser controladas também pelas regiões de fonte e dreno.

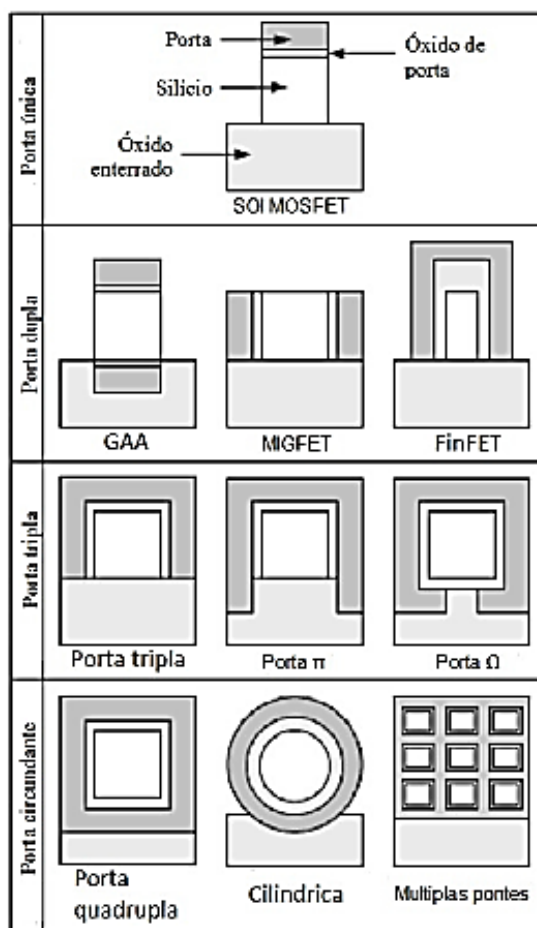
Com a quantidade de cargas de depleção não controladas pela porta são expressivas no canal, falamos que os dispositivos são influenciados pelos efeitos de canal curto. Os efeitos de canal curto degradam alguns parâmetros como a tensão de limiar e a inclinação de sublimiar, diminuindo a tensão de limiar e aumentando (degradando) a inclinação de sublimiar, influenciando no comportamento do dispositivo [22].

Além disso, dispositivos com o comprimento de canais curtos sofrem maior influência da resistência série (resistência de contato e resistência de dreno e fonte), o que degrada a corrente de dreno, logo afeta o desempenho do dispositivo [65].

2.2 Transistores de Múltiplas Portas

Como já mencionado antes, para se obter maior controle das cargas na região do canal, com o foco de diminuir a influência dos efeitos de canal curto, os dispositivos passaram por alterações de suas estruturas físicas para atender esta demanda. Uma das alterações sofridas foi na quantidade do número de portas. Na figura 5, observa-se uma evolução de dispositivos múltiplas portas fabricadas na tecnologia SOI.

Figura 5 - Dispositivos de múltiplas portas, fabricados em tecnologia SOI.

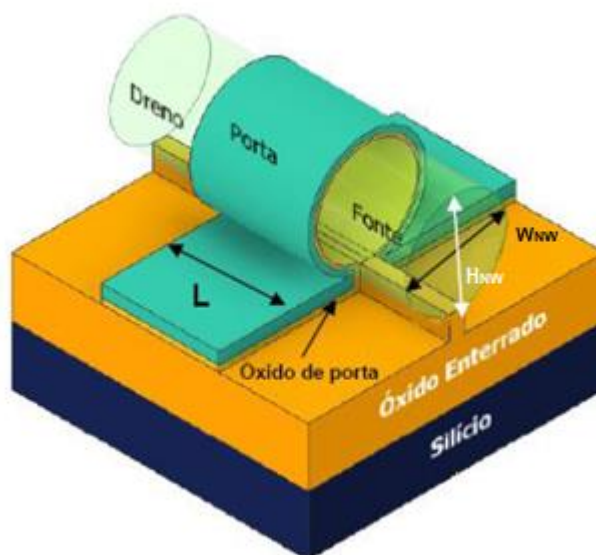


Fonte: adaptado [34].

Com o avanço tecnológico dos dispositivos, a partir do nó de 32nm, foi permitido o desenvolvimento de estruturas de múltiplas portas, que ofertam maior acoplamento eletroestático entre porta e canal, assim como maior controle das cargas no canal e o aumento do desempenho. Primeiramente com os transistores de porta dupla, destacando o FinFET, como é visto na figura 5. Posteriormente surgiram os FinFET's de porta tripla, também com os conhecidos FinFET's de porta π (Pi) e os de porta Ω (Omega). Até enfim chegar nos dispositivos de porta circundante, onde enquadram-se os dispositivos adotados neste trabalho.

Os FinFET's de duas ou três portas, exposto na figura 6, que oferecem maior controle pela porta, sofrem menos influência provenientes dos efeitos de canal curto, diminui os efeitos causados pelo campo elétrico e aumenta a capacidade da corrente por unidade de área no canal, fazendo com que

Figura 7 - Transistores *Nanowire* de porta ômega (NW- Ω).



Fonte: adaptado [60].

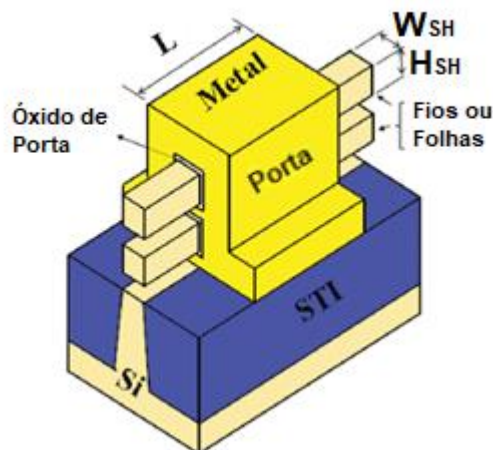
Na mesma linha dos dispositivos nanofios de porta ômega vêm os *Nanowire* e os *Nanosheets de porta ao redor* (*GAA-Nanowire* e *GAA-Nanosheet*), objeto de estudo deste trabalho. Com a maior largura efetiva (W_{eff}), os *GAA-Nanosheet* oferecem um acoplamento eletroestático muito bom, além de serem a melhor solução para os efeitos de canal curto [14,15]. São amplamente considerados como os substitutos dos promissores FinFET's para avançados nós tecnológicos, permitindo chegar abaixo dos 7nm [14]. Esses dispositivos oferecem uma inclinação sublimiar quase ideal, promovendo melhores aplicações digitais, como o uso nas memórias e sensoriamentos [14,15,35].

2.2.1 Transistores *GAA-Nanosheet*

Como citado anteriormente, os transistores *GAA-Nanosheet* são a tendência para o futuro dos nós tecnológicos abaixo dos 7nm [14,36]. Além disto, oferece melhor performance energética e de controle, além de usar um processo de fabricação similar ao processo utilizado nos FinFET [14,36,37]. Este dispositivo também oferece um DIBL ainda menor, comparando com as outras

tecnologias [38]. Na figura 8, é possível visualizar o transistor *GAA-Nanosheet* empilhados.

Figura 8 - Transistores *GAA-Nanosheet*.



Fonte: adaptado [58].

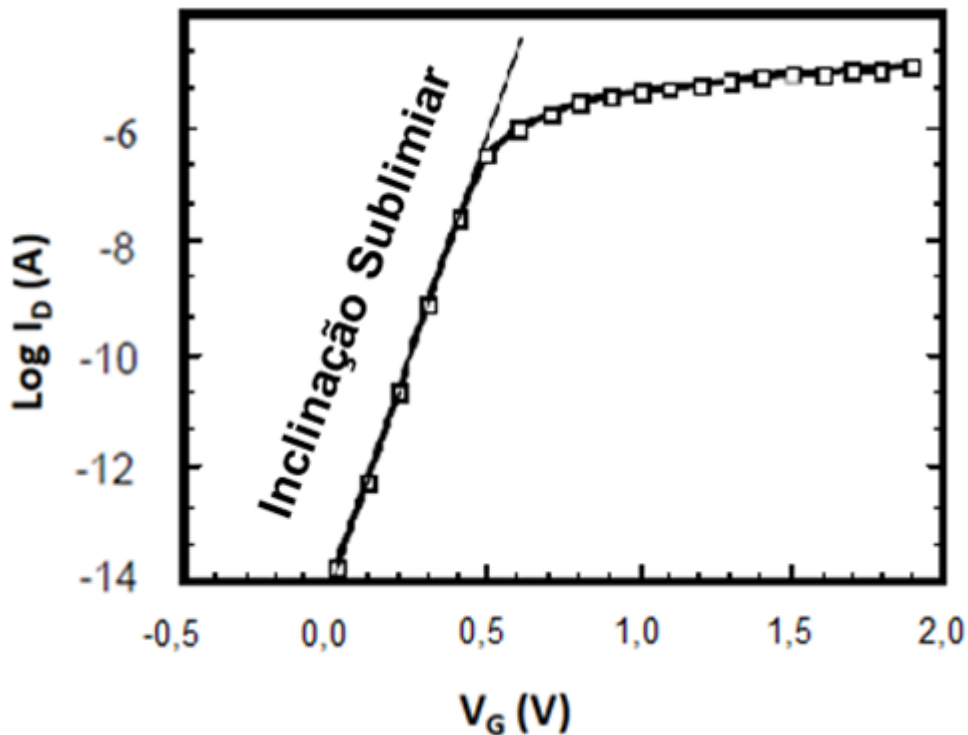
2.3 Parâmetros Elétricos

Esse tópico mostra os parâmetros elétricos básicos dos transistores que serão utilizados no decorrer do trabalho.

2.3.1 Inclinação Sublimiar (SS)

A inclinação de sublimiar (SS) é um parâmetro de qualidade definido pela variação da tensão na porta pela variação da corrente (velocidade de trajetória de um transistor do estado de desligado [I_{OFF}] para ligado [I_{ON}] ou vice-versa). A figura 9 apresenta a curva da corrente de dreno em função da tensão aplicada na porta em gráfico monolog, explicitando a região de sublimiar.

Figura 9 – Curva da corrente de dreno em função da tensão aplicada na porta, explicitando a região de sublimiar.



Fonte: adaptado [18].

Com os transistores conduzidos pelos mecanismos de deriva e difusão, para temperatura ambiente, o limite mínimo teórico para a transição do estado ligado para o desligado e vice-versa é de 60 mV/dec (temperatura ambiente). Para que o dispositivo seja mais eficiente, menor deverá ser este valor de transição (com limite de 60 mV/dec), pois mais veloz será a comutação do dispositivo. A equação (5) demonstra como extrair o valor de SS.

$$SS = \frac{dV_{GS}}{d[\log(I_D)]} \quad (5)$$

A equação (6), demonstra que o SS é dependente da temperatura (T) e do acoplamento das capacitâncias (α) no transistor. Esta equação (6) pode ser simplificada pela equação (7), devido a substituição do termo $(1+\alpha)$ por n . Considerando α igual a zero (transistor hipoteticamente perfeito sem capacitâncias) ou n igual a um, em temperatura ambiente o SS chegaria ao valor ideal ($\sim 60 \text{ mV/dec}$). O parâmetro α para transistores totalmente depletados admite valores variáveis, dependendo da polarização da segunda interface [18].

$$SS = \frac{KT}{q} \ln(10) \cdot (1 + \alpha) \quad (6)$$

$$SS = \frac{KT}{q} \ln(10) \cdot n \quad (7)$$

2.3.2 Tensão de Limiar (V_T)

A tensão de limiar (V_T) é a tensão aplicada na porta para que se alcance uma camada de inversão na interface entre o óxido de porta e o silício. Desta forma, é constituído um canal entre fonte e dreno por onde passará a corrente elétrica (de elétrons ou lacunas). Para a tecnologia MOS convencional, essa circunstância acontece quando o potencial de superfície (ϕ_s) fica perto do dobro do valor do potencial de Fermi ($\phi_s = 2\phi_F$). Para um transistor canal N convencional, a tensão de limiar pode ser expressa pela equação (8) [30]:

$$V_T = V_{FB} + 2 \cdot \phi_F - \frac{Q_{depl,MOS}}{C_{ox}} \quad (8)$$

onde V_{FB} é a tensão de faixa plana, mostrado equação (9), ϕ_F é o potencial de Fermi, visto na equação (2), $Q_{depl,MOS}$ é a densidade de carga de depleção no canal, exibido na equação (10) e C_{ox} a capacitância do óxido de porta por unidade de área, exposto na equação (11).

$$V_{FB} = \phi_{MS} - \frac{Q_{ox}}{C_{ox}} \quad (9)$$

$$Q_{depl,MOS} = -q \cdot N_A \cdot X_{dmáx} \quad (10)$$

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad (11)$$

Sendo ϕ_{MS} a diferença da função trabalho entre o metal de porta e o semiconductor, Q_{ox} a densidade efetiva de cargas fixas no óxido, ϵ_{ox} a permissividade elétrica do óxido e t_{ox} a espessura do óxido de porta.

Porém com os dispositivos FD SOI, ocorre a interação entre as camadas, por este motivo é necessário considerar a polarização da segunda interface, como pode ser visto nas equações (12 e 13) [31].

$$V_{GF} = \phi_{MS1} - \frac{Q_{OXF}}{C_{OXF}} + \left(1 + \frac{C_{Si}}{C_{OXF}}\right) \cdot \phi_{S1} - \frac{C_{Si}}{C_{OXF}} \cdot \phi_{S2} - \frac{\frac{1}{2}Q_{depl,SOI} + Q_{inv1}}{C_{OXF}} \quad (12)$$

$$V_{GB} = \phi_{MS2} - \frac{Q_{BOX}}{C_{BOX}} + \left(1 + \frac{C_{Si}}{C_{BOX}}\right) \cdot \phi_{S2} - \frac{C_{Si}}{C_{BOX}} \cdot \phi_{S1} - \frac{\frac{1}{2}Q_{depl,SOI} + Q_{S2}}{C_{BOX}} \quad (13)$$

Sendo que ϕ_{MS1} é a diferença da função trabalho entre metal de porta e o canal e o ϕ_{MS2} é a diferença da função trabalho entre o substrato e o canal, C_{BOX} é a capacitância por unidade de área do óxido enterrado, C_{OXF} é a capacitância por unidade de área do óxido de porta do dispositivo SOI, C_{Si} é a capacitância do filme de silício por unidade de área, Q_{inv1} é a carga de inversão por unidade de área na primeira interface, Q_{S2} a densidade de carga por unidade de área na segunda interface e $Q_{depl,SOI}$ é a densidade de cargas no canal. A região de depleção está no máximo, cobrindo totalmente o corpo do silício, logo, pode-se reescrever a equação (10), onde substitui-se o $x_{dmáx}$ por t_{Si} , podendo ser visualizado na equação (14) [31].

$$Q_{depl,SOI} = -q \cdot N_A \cdot t_{Si} \quad (14)$$

A partir das equações (12 e 13), calcula-se a tensão de limiar da primeira interface (V_{T1}) em várias condições da segunda interface (acumulação, depleção, inversão), podendo ser visto abaixo:

- **Segunda interface em acumulação (acc2)**

Com a segunda interface em acumulação, o potencial de superfície da primeira interface é igual ao dobro do valor do potencial de Fermi ($\phi_{S1} = 2\phi_F$), o potencial de superfície da segunda interface é igual a zero ($\phi_{S2} = 0$) e a carga de inversão por unidade de área na primeira interface também é igual a zero ($Q_{inv1} = 0$), então, aplicando esses valores na equação (12), chega-se à equação (15) [18]:

$$V_{T1,acc2} = \phi_{MS1} - \frac{Q_{OXF}}{C_{OXF}} + \left(1 + \frac{C_{Si}}{C_{OXF}}\right) \cdot 2\phi_F - \frac{\frac{1}{2}Q_{depl,SOI}}{C_{OXF}} \quad (15)$$

onde $V_{T1,acc2}$ é a tensão de limiar da primeira interface com a segunda interface em acumulação.

- **Segunda interface em inversão (inv2)**

Usando o mesmo princípio, agora com a segunda interface em inversão, conhecendo que para esta situação o potencial de superfície da primeira interface é igual ao dobro do potencial de Fermi ($\phi_{S1} = 2\phi_F$) e o potencial de superfície da segunda interface também é igual ao dobro do valor do potencial de Fermi ($\phi_{S2} = 2\phi_F$) e aceitando que $Q_{inv1} = 0$, ao aplicar estes valores na equação (12), chega-se a equação (16) [18]:

$$V_{T1,inv2} = \phi_{MS1} - \frac{Q_{OXF}}{C_{OXF}} + 2\phi_F - \frac{\frac{1}{2}Q_{depl,SOI}}{C_{OXF}} \quad (16)$$

onde $V_{T1,inv2}$ é a tensão de limiar da primeira interface com a segunda interface em inversão.

- **Segunda interface em depleção (depl2)**

Neste modo sabe-se que para esta condição o potencial de superfície da primeira interface é igual ao dobro do potencial de Fermi ($\phi_{S1} = 2\phi_F$) e o potencial de superfície da segunda interface é menor que o dobro do valor do potencial de Fermi ($0 < \phi_{S2} < 2\phi_F$) e considerando que $Q_{inv1} = 0$, mas agora ocorrerá influência da segunda interface no canal. Ao aplicar os valores citados acima na equação (12), chega-se a equação (17) [18]:

$$V_{T1,depl2} = V_{T1,acc2} - \frac{C_{Si} \cdot C_{BOX}}{C_{OX} \cdot (C_{Si} + C_{BOX})} \cdot (V_{GB} - V_{GB,acc2}) \quad (17)$$

onde $V_{T1,depl2}$ é a tensão de limiar da primeira interface com a segunda interface em depleção, V_{GB} é a tensão aplicada ao substrato (ou porta de trás) e $V_{GB,acc2}$ é a tensão aplicada ao substrato com a segunda interface em acumulação.

Em que $V_{GB,acc2}$ será calculado com as condições da segunda interface em acumulação, onde o potencial de superfície da primeira interface é igual ao dobro do valor do potencial de Fermi ($\phi_{S1} = 2\phi_F$), o potencial de superfície da segunda interface é igual a zero ($\phi_{S2} = 0$) e a densidade de carga por unidade de área na segunda interface é igual a zero ($Q_{S2} = 0$), chegando-se na equação (18) [18].

$$V_{GB,acc2} = \phi_{MS2} - \frac{Q_{BOX}}{C_{BOX}} - \frac{C_{Si}}{C_{BOX}} \cdot 2\phi_F - \frac{\frac{1}{2}Q_{depl,SOI}}{C_{BOX}} \quad (18)$$

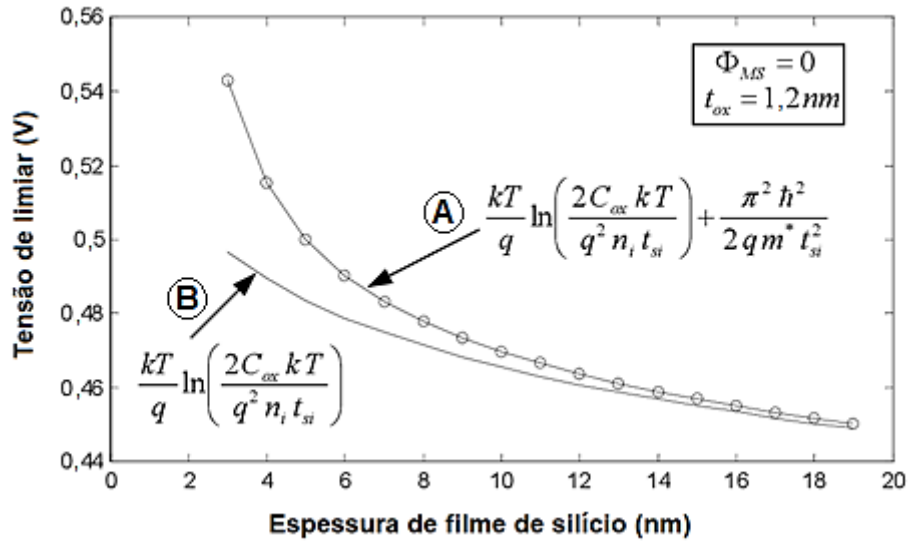
Para os dispositivos de nós tecnológicos reduzidos, como os transistores de múltiplas portas, deve-se levar em consideração outros fatores ao realizar o equacionamento da tensão de Limiar, isso por causa da redução extrema das dimensões e também pela dopagem do canal próximo à intrínseca. Por estes motivos outras técnicas e equações foram adotadas para definir a tensão de limiar, como a equação (19), sugerida por [56].

$$V_T = \phi_{MS} + \frac{k.T}{q} \ln \left(\frac{2.C_{ox}.k.T}{q^2.n_i.t_{Si}} \right) + \frac{h^2.\pi^2}{2.q.m^*.t_{Si}^2} \quad (19)$$

Onde Φ_{ms} é a função trabalho do metal em relação a camada de silício intrínseco, t_{Si} é a espessura do filme de silício (ou largura de aleta para FinFETs) e m^* é a massa de confinamento de portador na direção transversal.

Vale a pena destacar que o último termo da equação (19), satisfaz aos confinamentos quânticos que aparecem com a diminuição da espessura de filme de silício, sobretudo por causa da divisão das bandas de energia de condução em sub-bandas [57]. Já nos dispositivos com espessura de filme de silício acima dos 10nm, pode-se desprezar o termo, tendendo-se a equação B da figura 10, como pode ser observado abaixo.

Figura 10 - Tensão de limiar em função da espessura de filme de silício.



Fonte: adaptado [9].

2.3.3 Transcondutância (g_m) e Mobilidade de Portadores (μ_n)

A transcondutância (g_m) é o parâmetro que demonstra o quanto de controle se tem sobre a corrente de dreno, através da tensão aplicada na porta (V_{GS}) [18], podendo ser expressa pela equação (20).

$$g_m = \frac{dI_{DS}}{dV_{GS}} \quad (20)$$

A resolução da equação (20) em união com as equações de I_D , para região de operação linear, equação (21), e para região de operação saturação, equação (22), descritas pelo modelo de Lim & Fossum [29], ajudam a chegar nas expressões de g_m para ambas as regiões de operação (linear e saturação). Esta operação pode ser observada pelas equações (23) e (24), onde exibem g_m para região linear e saturação, respectivamente.

$$I_{D_{Linear}} = \frac{\mu_n C_{ox} W}{L} \cdot ((V_{GS} - V_T) \cdot V_{DS} - \frac{n \cdot V_{DS}^2}{2}) \quad (21)$$

$$I_{D_{Sat}} = \frac{\mu_n C_{ox} W}{2n L} \cdot (V_{GS} - V_T)^2 \quad (22)$$

$$g_{m_{Linear}} = \mu_n \cdot C_{OX} \frac{W}{L} \cdot V_{DS} \quad (23)$$

$$g_{m_{Sat}} = \frac{\mu_n \cdot C_{OX}}{n} \cdot \frac{W}{L} \cdot (V_{GS} - V_T) \quad (24)$$

Sendo que μ_n é a mobilidade dos portadores, L é o comprimento do canal, W é a largura do canal, V_{DS} é a tensão aplicada entre dreno e fonte, V_{GS} é a tensão aplicada na porta, V_T é a tensão de limiar e n é o fator de corpo.

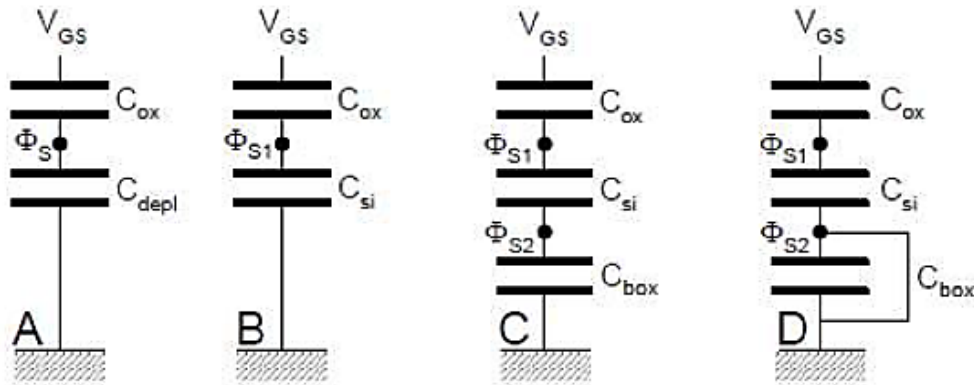
O fator de corpo pode ser anotado como na equação (25):

$$n = (1 + \alpha) \quad (25)$$

Onde α é a relação das capacitâncias $\frac{C_b}{C_{OX}}$ e C_b é a capacitância entre a camada de inversão e o eletrodo da segunda interface.

As capacitâncias podem ser observadas pela figura 11.

Figura 11 - Associação das capacitâncias no transistor MOSFET convencional (A); transistor PD SOI (B); transistor FD SOI com a segunda interface em depleção (C) e transistor FD SOI com a segunda interface em acumulação (D).



Fonte: adaptado [18].

A partir da figura 11 e da relação de capacitâncias (α), podemos dizer que para o transistor PD SOI α é dado por $\alpha = \frac{C_{si}}{C_{ox}}$, para o MOSFET convencional o valor de α é dado por $\alpha = \frac{C_{depl}}{C_{ox}}$, enquanto para o transistor FD SOI o cálculo de α , está sujeito a forma de operação da segunda interface. Com a segunda interface em depleção, existe influência da capacitância do óxido enterrado de maneira que essa capacitância seja associada em série, com o valor de α dado por $\alpha = \frac{C_{si} \cdot C_{BOX}}{C_{ox} \cdot (C_{si} + C_{BOX})}$. Contudo, para a segunda interface em acumulação, o dispositivo anula a influência da capacitância do oxido enterrado, retornando o valor de α a ser dado por $\alpha = \frac{C_{si}}{C_{ox}}$.

Observando as equações de α , chega-se à seguinte relação de n [17]:

$$n_{FD} < n_{MOS} < n_{acc2}$$

Significando que, a transcondutância de maior valor é obtida nos transistores FD SOI, com a segunda interface em depleção, em relação aos transistores MOS convencionais [17].

Devido a direta relação entre o valor de g_m e da mobilidade de portadores, usualmente utiliza-se o valor máximo de g_m extraído para baixa tensão de dreno para calcular a mobilidade de portadores livre da degradação causada pelo campo elétrico [5].

Uma forma simples de se estimar a mobilidade dos portadores (μ_n) é por meio da equação (23), onde isola-se μ_n , gerando a equação (26), que estabelece uma relação linear entre a transcondutância e a mobilidade [22].

$$\mu_n = \frac{L}{W \cdot C_{ox} \cdot V_{DS}} \cdot g_{m_{Linear}} \quad (26)$$

A mobilidade de baixo campo (μ_0) é obtida através do ponto máximo da transcondutância. Para valores altos de V_G , a transcondutância sofre uma degradação relacionada ao alto campo elétrico e à resistência série (R_S) do transistor, o que resulta na diminuição da mobilidade (μ_n) em função do campo elétrico vertical ao canal de inversão [22]. O efeito do campo elétrico sobre a mobilidade, pode ser observado pela equação (27):

$$\mu_n = \frac{\mu_0}{1 + \theta \cdot (V_{GS} - V_T)} \quad (27)$$

onde μ_0 é a mobilidade efetiva dos portadores para baixo campo elétrico e θ é o coeficiente de degradação da mobilidade pelo campo elétrico transversal. Que pode ser obtido por meio do coeficiente angular da curva μ_0/μ_n em função de $(V_{GS} - V_T)$, onde:

$$\frac{\mu_0}{\mu_n} = 1 + \theta \cdot (V_{GS} - V_T) \quad (28)$$

Em transistores com menores comprimento de canal, o efeito da degradação da mobilidade é mais pronunciado [22], por este motivo caracteriza-se o θ para cada tecnologia. Para transistores cuja a resistência série é alta, θ é trocado por $(\theta + \alpha_R)$, onde α_R é a degradação causada pela resistência série.

3. PONTO INVARIANTE COM A TEMPERATURA (ZTC)

Neste capítulo será apresentado o conceito do ponto invariante com a temperatura (ZTC), o modelo matemático adotado para cálculo e seu método de extração gráfica. Este trabalho avaliou a existência do ZTC em dispositivos *GAA-Nanosheet* e validou o modelo CM utilizado para calcular o ponto de polarização de V_{ZTC} , por meio da comparação dos resultados obtidos pelo modelo com os resultados obtidos experimentalmente.

3.1 O Conceito

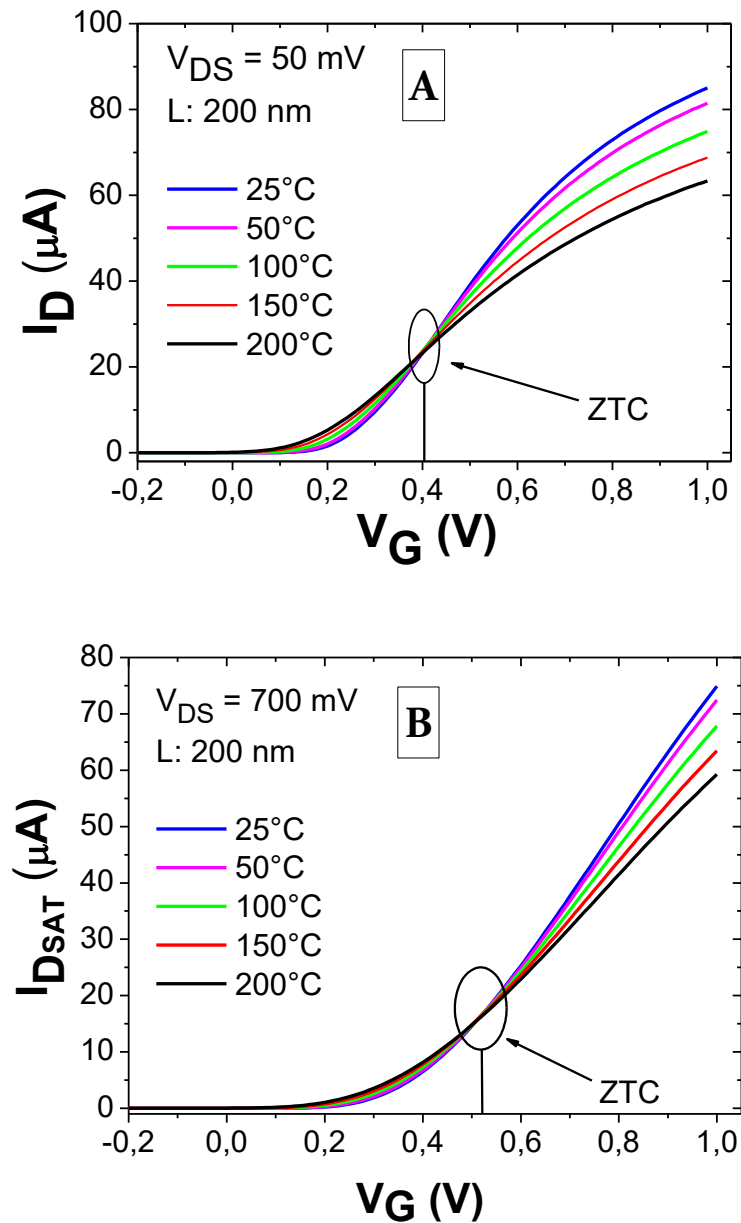
O ZTC foi estudado por Shoucair [39] na década de 1980 e posteriormente por Prijic, Dimitrijevic e Stojadinovic [40], nos anos 90, todos em um dispositivo CMOS convencional, quando foi obtido um ponto de ZTC tanto na região linear como na região de saturação para uma variação de temperatura de 25°C a 200°C. Depois, Groeseneken, Colinge, Maes, Alderman e Holt [40], e também Jeon e Burk [42], provaram experimentalmente que o ponto invariante com a temperatura ocorre em dispositivos SOI MOSFETs.

O ponto invariante com a temperatura (ZTC) é o ponto de polarização de porta que resulta em uma corrente de dreno (I_D) constante ou quase constante ($I_{DS} = I_{ZTC}$) com a variação de temperatura [5]. Assim:

$$\frac{dI_{DS}}{dT} = 0 \quad (29)$$

Para compreender melhor este fenômeno, é necessário analisar a curva $I_D \times V_G$, exibida na figura 12 (A) região linear e 12 (B) região de saturação, para entender que existe o equilíbrio entre dois parâmetros causados pelo aumento da temperatura.

Figura 12 - Curva I_D x V_G nos transistores GAA-Nanosheet, linear (A) e saturação (B).



Fonte: autor.

A figura 12 mostra uma curva experimental de I_D x V_G na região de tródo (A) e saturação (B). É possível verificar que existe um ponto, onde I_D é aproximadamente o mesmo para várias temperaturas, o ZTC. O ponto invariante com a temperatura é resultado da competição entre dois efeitos: a redução da tensão de limiar e a degradação da mobilidade de elétrons (μ_n) com o aumento da temperatura. A redução de V_T com o aumento da temperatura ocorre devido a redução do potencial de Fermi e promove o aumento da corrente de dreno (I_{DS}), enquanto a degradação mobilidade dos elétrons resulta na redução

proporcional de I_{DS} [18]. Esse efeito compensatório entre V_T e a μ_n dão origem ao ponto invariante com a temperatura.

3.2 O Modelo

O modelo analítico adotado neste trabalho [5], usa como referência a equidade das correntes de dreno dos transistores ($I_{DS} = I_{ZTC}$), nas temperaturas analisadas, para uma determinada polarização de V_G ($V_G = V_{ZTC}$) constante. Então, ocorre uma diferenciação no modelo para quando o transistor opera na região linear e na região de saturação.

O modelo adotado neste trabalho conhecido como modelo CM [12,13], foi desenvolvido para transistores SOI planares de canal longo e é baseado nos valores de tensão de limiar e transcondutância, onde a transcondutância é utilizada no lugar da mobilidade dos portadores devido a direta relação entre elas e pela maior facilidade de extração [22].

Este modelo que calcula o V_{ZTC} , já foi aplicado e validado para outras tecnologias, como nos transistores SOI MOSFET, podendo ser visto em [12,13], para os transistores UTBB SOI NMOSFET, que pode ser observado em [17,44] e nos SOI FinFETs, como exibido em [5,44]. O modelo foi aprimorado durante sua validação para os transistores UTBB e FinFETs [5,17,43,44].

3.2.1 Região Linear

A corrente de dreno em um dispositivo nMOS, para região linear, pode ser equacionada da seguinte forma:

$$I_{DS1} = \frac{\mu_{n1} \cdot C_{ox} \cdot W}{L} \left[(V_G - V_{T1}) \cdot V_{DS} - \frac{n_1 \cdot V_{DS}^2}{2} \right] \quad (30)$$

onde as medidas realizadas na temperatura T_1 , são adotadas como 298 K ou 25 °C, I_{DS1} é a corrente de dreno na temperatura T_1 , μ_{n1} é a mobilidade do canal na temperatura T_1 , V_{T1} é a tensão de limiar na temperatura T_1 e $n_1 (1+\alpha_1)$ é o fator de corpo na temperatura T_1 .

Sabe-se que o ponto de ZTC é adquirido por meio das propriedades do dispositivo para duas ou mais temperaturas, desta forma considerando uma determinada temperatura T_2 , onde $T_2 > T_1$, que deverá ser empregada na equação (30), resultando na equação de I_{DS} para a temperatura T_2 (I_{DS2}):

$$I_{DS2} = \frac{\mu_{n2} \cdot C_{ox} \cdot W}{L} \left[(V_G - V_{T2}) \cdot V_{DS} - \frac{n_2 V_{DS}^2}{2} \right] \quad (31)$$

Através das identidades $I_{DS} = I_{ZTC}$ e $V_G = V_{ZTC}$, característica intrínseca do ponto ZTC, obtém-se as igualdades entre I_{DS1} e I_{DS2} :

$$\frac{\mu_{n1} \cdot C_{ox} \cdot W}{L} \left[(V_G - V_{T1}) \cdot V_{DS} - \frac{n_1 V_{DS}^2}{2} \right] = \frac{\mu_{n2} \cdot C_{ox} \cdot W}{L} \left[(V_G - V_{T2}) \cdot V_{DS} - \frac{n_2 V_{DS}^2}{2} \right] \quad (32)$$

Deixando a equação (32) simplificada, onde considera-se que a variação do fator de corpo é dispensável com a temperatura, isto é, $n = n_1 = n_2$ [12], chega-se na equação de V_{ZTC} para a região linear [12;13].

$$V_{ZTCN} = \frac{\mu_{n1} \cdot V_{T1} - \mu_{n2} \cdot V_{T2}}{\mu_{n1} - \mu_{n2}} + \frac{n \cdot V_{DS}}{2} \quad (33)$$

Foi proposto um modelo simplificado, mas não menos preciso [12,13,44] utilizando a transcondutância no lugar da mobilidade, devido mobilidade ser um parâmetro mais difícil de ser obtido experimentalmente e pela proporcionalidade entre ambos os parâmetros.

$$g_{m1} = \mu_{n1} \cdot C_{ox} \frac{W}{L} V_{DS} \quad (34)$$

Como não há influência em C_{ox} , W , L e V_{DS} , com a variação da temperatura, pode-se escrever a equação (35):

$$\frac{g_{m2}}{g_{m1}} \cong \frac{\mu_{n2}}{\mu_{n1}} = \left(\frac{T_1}{T_2} \right)^C \quad (35)$$

$$c = \frac{\log(g_{m2}) - \log(g_{m1})}{\log(T_1) - \log(T_2)} \quad (36)$$

onde c é o fator de degradação da transcondutância pela temperatura.

Desta forma, é possível reescrever a equação (33), adotando agora a transcondutância e não mais a mobilidade.

$$V_{ZTC_N} = \frac{g_{m1} \cdot V_{T1} - g_{m2} \cdot V_{T2}}{g_{m1} - g_{m2}} + \frac{n \cdot V_{DS}}{2} \quad (37)$$

Entretanto, deve-se levar em consideração o comportamento da tensão de limiar e da transcondutância, em função da temperatura, para realização do cálculo de V_{ZTC} . Com isso é preciso obter os seguintes parâmetros: fator de degradação da transcondutância, equação (36) e a variação da tensão de limiar pela temperatura $\left(\frac{\Delta V_T}{\Delta T}\right)$ [5,17,43,44].

$$\frac{\Delta V_T}{\Delta T} = \frac{V_{T2} - V_{T1}}{T_2 - T_1} \quad (38)$$

Isolando os parâmetros para adquirir os valores de V_{T2} e g_{m2} , obtém-se:

$$V_{T2} = V_{T1} + \frac{\Delta V_T}{\Delta T} \cdot (T_2 - T_1) \quad (39)$$

$$g_{m2} = \left(\frac{T_1}{T_2}\right)^c \cdot g_{m1} \quad (40)$$

Pode-se reescrever a equação V_{ZTC} para o dispositivo nMOS na região de operação linear, aplicando as equações (39) e (40) na equação (37), ficando assim:

$$V_{ZTC_N} = \frac{V_{T1} - \left(\frac{T_1}{T_2}\right)^c \cdot \left(V_{T1} + \frac{\Delta V_T}{\Delta T} \cdot (T_2 - T_1)\right)}{1 - \left(\frac{T_1}{T_2}\right)^c} + \frac{n \cdot V_{DS}}{2} \quad (41)$$

De forma análoga, obtém-se a equação de V_{ZTC} para os transistores pMOS, na região de operação linear:

$$V_{ZTC_p} = \frac{V_{T1} - \left(\frac{T_1}{T_2}\right)^C \cdot \left(V_{T1} + \frac{\Delta V_T}{\Delta T} \cdot (T_2 - T_1)\right)}{1 - \left(\frac{T_1}{T_2}\right)^C} + \frac{n \cdot V_{DS}}{2} \quad (42)$$

3.2.2 Região de Saturação

A corrente de dreno em um dispositivo nMOS, para região de saturação pode ser equacionada da seguinte forma:

$$I_{DS1} = \frac{\mu_{n1} \cdot C_{ox} \cdot W}{L} \cdot \frac{(V_G - V_{T1})^2}{2 \cdot n_1} \quad (43)$$

Sabe-se que o ponto de ZTC em saturação (ZTC_{SAT}) também é obtido a partir das propriedades do dispositivo para duas ou mais temperaturas, com isto levando em consideração uma determinada temperatura T_2 , onde $T_2 > T_1$, que aplicada na equação (43), resulta na equação de I_{DS} em saturação para a temperatura T_2 (I_{DS2})

$$I_{DS2} = \frac{\mu_{n2} \cdot C_{ox} \cdot W}{L} \cdot \frac{(V_G - V_{T2})^2}{2 \cdot n_2} \quad (44)$$

De maneira equivalente a região de triodo, uma informação importante que para o ponto ZTC_{SAT} , é que $V_G = V_{ZTC}$ e $I_{DS} = I_{ZTC}$, assim obtém-se a igualdade entre as correntes de dreno em saturação para T_1 e T_2 ($I_{DS1} = I_{DS2}$):

$$\frac{\mu_{n1} \cdot C_{ox} \cdot W}{L} \cdot \frac{(V_G - V_{T1})^2}{2 \cdot n_1} = \frac{\mu_{n2} \cdot C_{ox} \cdot W}{L} \cdot \frac{(V_G - V_{T2})^2}{2 \cdot n_2} \quad (45)$$

Deixando a equação (45) simplificada, onde considera-se que a variação do fator de corpo é dispensável com a temperatura também em saturação, isto é, $n = n_1 = n_2$, chega-se no equacionamento:

$$\mu_{n1} \frac{C_{ox} \cdot W}{L \cdot 2 \cdot n} \cdot (V_G - V_{T1})^2 = \mu_{n2} \frac{C_{ox} \cdot W}{L \cdot 2 \cdot n} \cdot (V_G - V_{T2})^2 \quad (46)$$

Resolvendo, fica:

$$V_G^2 \cdot \mu_{n1} - 2 \cdot V_G \cdot V_{T1} \cdot \mu_{n1} + V_{T1}^2 \cdot \mu_{n1} = V_G^2 \cdot \mu_{n2} - 2 \cdot V_G \cdot V_{T2} \cdot \mu_{n2} + V_{T2}^2 \cdot \mu_{n2} \quad (47)$$

Igualando a equação (47) a zero, chega-se a um equacionamento de segundo grau:

$$(\mu_{n1} - \mu_{n2})V_G^2 + (2 \cdot V_{T2} \cdot \mu_{n2} - 2 \cdot V_{T1} \cdot \mu_{n1})V_G + (V_{T1}^2 \cdot \mu_{n1} - V_{T2}^2 \cdot \mu_{n2}) = 0 \quad (48)$$

Isolando-se V_G e encontrando a raiz da equação por Bhaskara [45], temos que V_G pode ser obtido pela equação (49).

$$V_G = \frac{V_{T1} \cdot \mu_{n1} - V_{T2} \cdot \mu_{n2}}{\mu_{n1} - \mu_{n2}} \pm \sqrt{\left(\frac{V_{T1} \cdot \mu_{n1} - V_{T2} \cdot \mu_{n2}}{\mu_{n1} - \mu_{n2}} \right)^2 - \frac{V_{T1}^2 \cdot \mu_{n1} - V_{T2}^2 \cdot \mu_{n2}}{\mu_{n1} - \mu_{n2}}} \quad (49)$$

É importante lembrar que V_{ZTC} é a região (ou ponto) no qual a polarização de V_G ($V_G = V_{ZTC}$) gera a menor variação de I_{DS} no transistor para temperaturas distintas.

Como citado antes, o modelo aperfeiçoado adotado [5;44], abrange os dois tipos de transistores, nMOS e pMOS, assim pode-se escrever a equação da tensão de ZTC para ambos os tipos de dispositivos, conforme mais detalhado nas referências [5;43;44]. Escreve-se a equação da tensão de ZTC para os transistores nMOS, na região de operação de saturação, da seguinte forma:

$$V_{ZTC_N} = A + \sqrt{A^2 - B} \quad (50)$$

Onde os termos A e B são calculados a seguir:

$$A = \frac{V_{T1} \cdot \mu_{n1} - V_{T2} \cdot \mu_{n2}}{\mu_{n1} - \mu_{n2}} \quad (51)$$

$$B = \frac{V_{T1}^2 \cdot \mu_{n1} - V_{T2}^2 \cdot \mu_{n2}}{\mu_{n1} - \mu_{n2}} \quad (52)$$

A partir disto, é possível reescrever as equações (51) e (52), adotando a transcondutância em vez da mobilidade.

$$A = \frac{V_{T1} \cdot g_{m1} - V_{T2} \cdot g_{m2}}{g_{m1} - g_{m2}} \quad (53)$$

$$B = \frac{V_{T1}^2 \cdot g_{m1} - V_{T2}^2 \cdot g_{m2}}{g_{m1} - g_{m2}} \quad (54)$$

Aplicando as equações (36) e (38) nas equações (53) e (54), obtém-se os termos A e B reformulados, assim:

$$A = \frac{V_{T1} - \left(V_{T1} + \frac{\Delta V_T}{\Delta T} \cdot (T_2 - T_1) \right) \cdot \left(\frac{T_1}{T_2} \right)^c}{1 - \left(\frac{T_1}{T_2} \right)^c} \quad (55)$$

$$B = \frac{V_{T1}^2 - \left(V_{T1} + \frac{\Delta V_T}{\Delta T} \cdot (T_2 - T_1) \right)^2 \cdot \left(\frac{T_1}{T_2} \right)^c}{1 - \left(\frac{T_1}{T_2} \right)^c} \quad (56)$$

Sabe-se que $\left(\frac{\Delta V_T}{\Delta T} \right)$ e o fator c, obtém-se por meio das equações (36) e (38), respectivamente.

De forma similar, escreve-se a equação da tensão de ZTC para os transistores pMOS na região de operação em saturação:

$$V_{ZTC_p} = A - \sqrt{A^2 - B} \quad (57)$$

A fim de obter-se os termos A e B para os transistores canal P, utiliza-se das equações (55) e (56).

4. MATERIAIS E MÉTODOS

Neste capítulo será apresentado um detalhamento do dispositivo estudado, assim como a obtenção das medidas elétricas e os métodos de extração de parâmetros utilizados.

4.1 Dispositivos Estudados

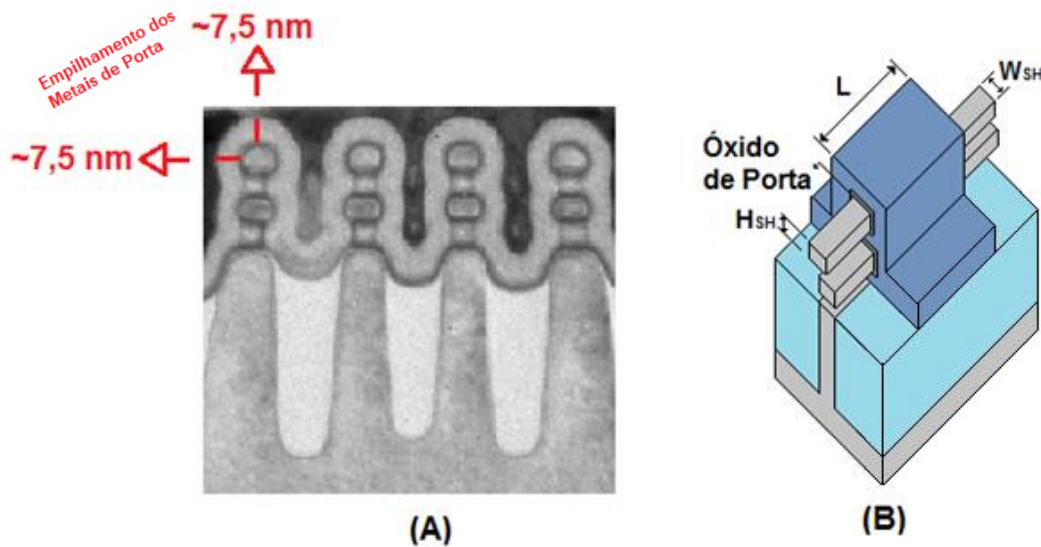
Neste estudo foram avaliados os transistores de estrutura nanofolhas de silício (NS) de porta ao redor (GAA) empilhadas verticalmente (*Gate All Around Nanosheet*), produzidos pelo Imec, na Bélgica.

Neste estudo, considerou-se o dispositivo fabricado com nanofolhas empilhadas, com o material de porta (metal de porta) composto por TiN recoberto por um material à base de alumínio mais uma camada de TiN, com espessura total de 7,5nm,[14]. A estrutura *GAA-Nanosheet* estudada tem dois transistores empilhados verticalmente e 22 aletas em paralelo. Sendo que cada transistor, têm um dielétrico de porta composto por SiO₂ e HfO₂, resultando em uma espessura efetiva de óxido (EOT) de 0,9nm, uma largura de aleta (W_{SH}) de cerca de 15nm e uma altura de aleta (H_{SH}) de cerca de 11nm (variação entre as estruturas entre 11nm e 11,5nm). A largura de canal efetiva (W_{eff}) é obtida por:

$$W_{eff} = ([2. W_{SH}] + [2. H_{SH}]) \quad (58)$$

Os comprimentos do canal do transistor variam de 28nm a 200nm. A figura 13 exibe a imagem *Transmission Electronic Microscopy* (TEM) dos dispositivos fabricados (A) e a estrutura esquemática de *GAA-Nanosheet* (B).

Figura 13 - TEM dos dispositivos fabricados (A) e a estrutura esquemática de GAA-Nanosheet (B).



Fonte: adaptado [14], autor.

4.2 Medidas Experimentais

As medidas experimentais foram realizadas em função da temperatura, com a utilização do instrumento *Agilent B1500*, localizado no laboratório de caracterização do Imec, na Bélgica, realizadas pela orientadora.

Para os transistores de canal-n a medida elétrica foi programada fixando-se a tensão na fonte e o substrato em terra (GND), variando-se V_G com o passo de 10 mV, iniciando-se em $V_G = -0,5$ V e finalizando em $V_G = 1,0$ V para tensão de dreno de 50 mV. Após essa varredura mudou-se a tensão de dreno e mediu-se o dispositivo em saturação com $V_D = 0,7$ V (700 mV).

Para os transistores de canal-p, foram feitas medidas no mesmo range apenas alterando os sinais de tensão de porta e dreno.

Em todos os dispositivos as medidas foram extraídas para cinco diferentes temperaturas (25°C, 50°C, 100°C, 150°C e 200°C).

4.3 Extração de parâmetros

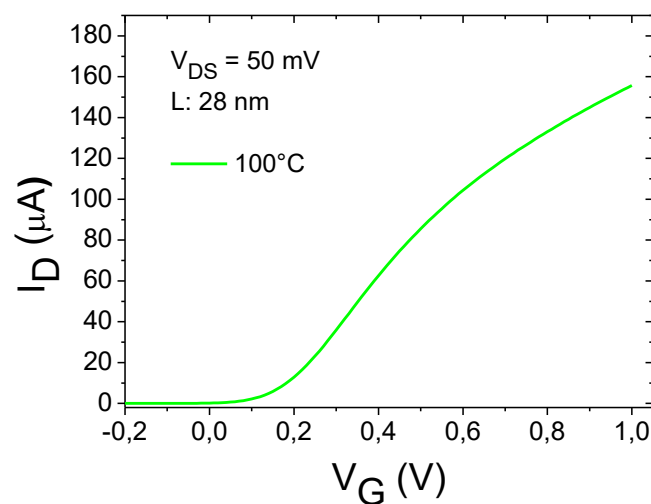
Neste item do estudo, será apresentado um detalhamento dos métodos adotados na extração dos parâmetros elétricos básicos do dispositivo em ambas

as regiões de operação, linear e saturação. Para a aplicação do modelo é indispensável também a extração do parâmetro c e a taxa de variação da tensão de limiar com a temperatura.

4.3.1 Tensão de Limiar

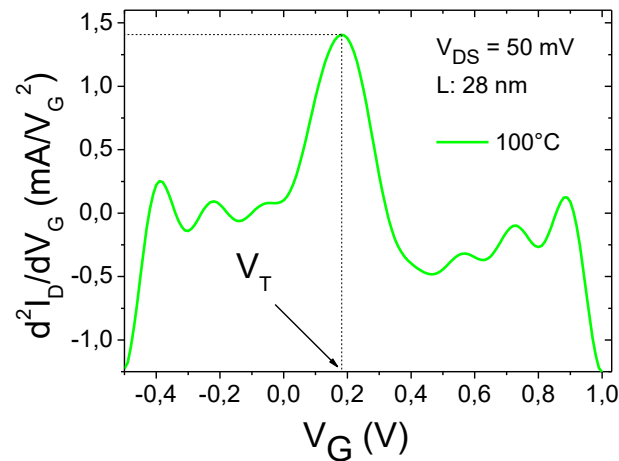
O método adotado para a extração de V_T na região linear costuma-se ser vastamente utilizado, trata da extração da tensão de limiar pelo método da segunda derivada [46] da curva $I_D \times V_G$ do dispositivo, observado na figura 14. O V_T é o ponto máximo ou o pico da curva do gráfico da segunda derivada da corrente de dreno pela tensão aplicada na porta, podendo ser visualizado na figura 15.

Figura 14 - Curva Experimental de $I_D \times V_G$ em 100°C na região linear do dispositivo GAA-Nanosheet com $L = 28\text{nm}$.



Fonte: autor.

Figura 15 - Curva Experimental de d^2I_D/dV_G em 100°C na região linear do dispositivo GAA-Nanosheet com $L = 28\text{nm}$.



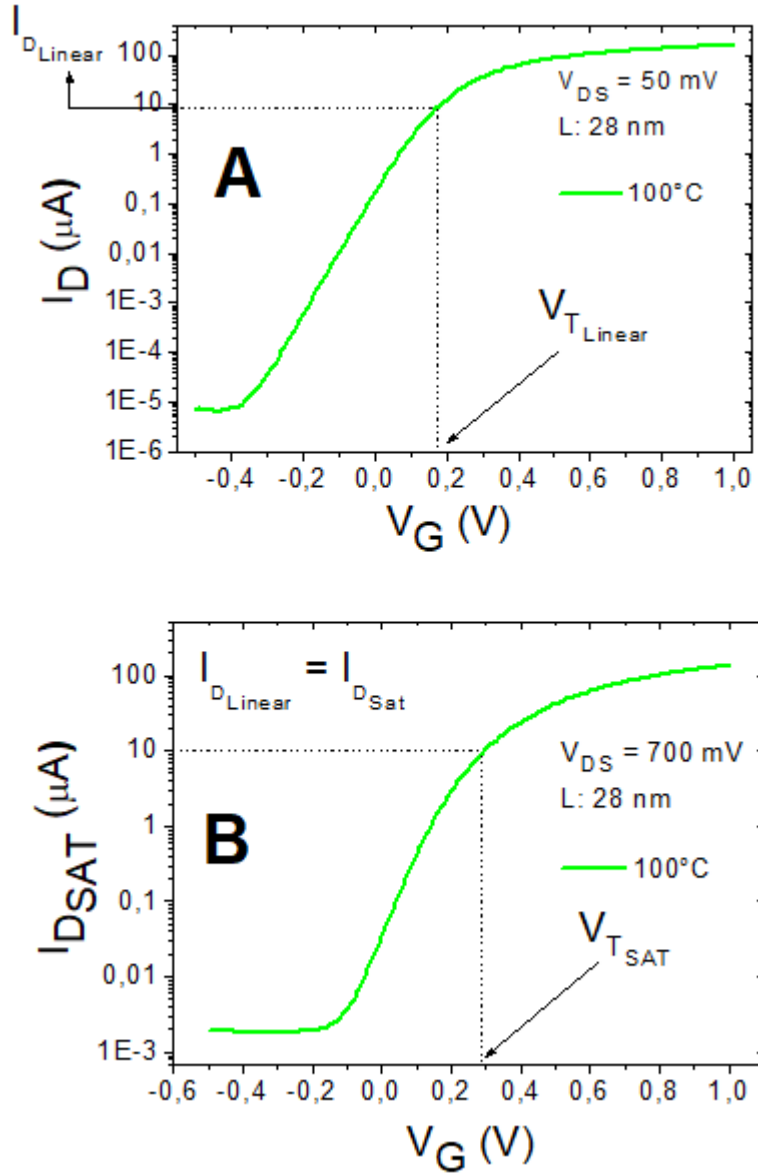
Fonte: autor.

Este procedimento foi adotado para extração V_T na região linear em todos os dispositivos e temperaturas avaliados nesta pesquisa.

Na região de saturação para extração de V_T foi aplicado o método de nível de corrente [59], mantendo a mesma corrente de dreno presente na tensão de limiar para a região linear como referência.

Para realizar a extração por nível de corrente, armazena-se o valor de I_{DS} adquirido para a V_T na região linear no mesmo dispositivo (figura 15), em que o valor de I_{DS} é reutilizado para achar $I_D \times V_G$ agora na região de saturação, como exibido na figura 16 (curva em Log).

Figura 16 - Curva Experimental de $I_D \times V_G$ em 100°C na região linear (A) e na região de saturação (B) para um dispositivo GAA-Nanosheet com $L = 28\text{nm}$.



Fonte: autor

Esta sequência foi adotada para extração V_T na região de saturação em todos os dispositivos e temperaturas avaliados deste trabalho. Quando o V_{T_SAT} encontrava-se entre dois pontos de V_G , usou-se o método de interpolação, equação (59).

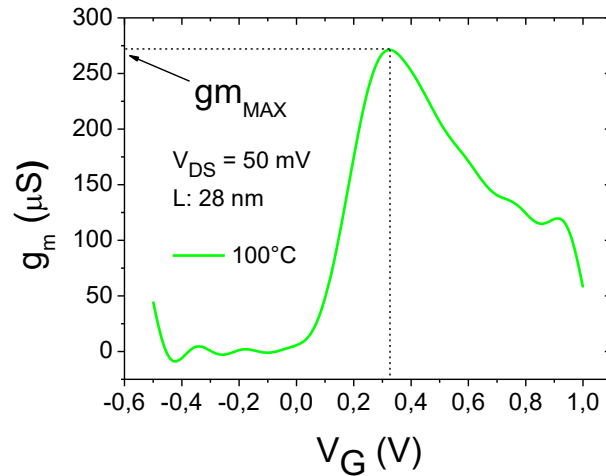
$$V_{G_x} = \left(\frac{I_{D_x} - I_{D_1}}{I_{D_2} - I_{D_1}} \right) \cdot (V_{G_2} - V_{G_1}) + V_{G_1} \quad (59)$$

Onde V_{G1} é o V_G para o primeiro ponto, V_{G2} é o V_G para o segundo ponto, I_{D1} é a corrente de dreno para o primeiro ponto, I_{D2} é a corrente de dreno para o segundo ponto, I_{DX} é a corrente de dreno para o ponto em questão e V_{GX} é o V_G para o ponto em questão, ou seja, para este caso é o $V_{T_{SAT}}$.

4.3.2 Transcondutância

Para calcular-se o ponto V_{ZTC} , é imprescindível a extração do valor máximo da transcondutância, sendo feito por meio da primeira derivada da curva I_D em função de V_G , desta forma achar o ponto de valor máximo na curva $g_m \times V_G$ (derivada da curva $I_D \times V_G$), como apontado no gráfico da Figura 17.

Figura 17 - Curva Experimental de $g_m \times V_G$ em 100°C na região linear do dispositivo GAA-Nanosheet com $L = 28\text{nm}$.

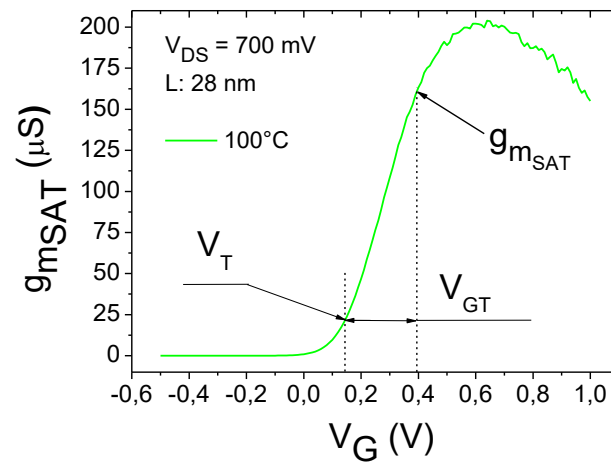


Fonte: autor.

Este processo foi seguido para extração g_m na região linear em todos os dispositivos e temperaturas avaliados nesta pesquisa.

Já para extrair a transcondutância na região de saturação foi aplicado um valor de sobretensão V_{GT} (diferença entre a tensão de porta e a tensão de limiar) fixado em 250 mV, fazendo com que as análises sejam realizadas para a mesma condição de inversão para todos os transistores. Para $V_G = V_T + 250\text{ mV}$, encontra-se o $g_{m_{SAT}}$ equivalente, como está representado na figura 18.

Figura 18 - Curva Experimental de $g_m \times V_G$ em 100°C na região de saturação do dispositivo GAA-Nanosheet com $L = 28\text{nm}$.



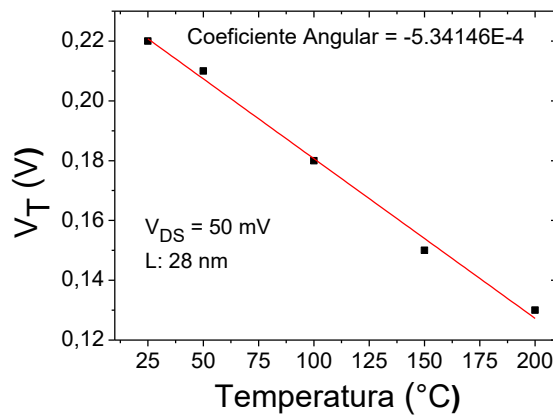
Fonte: autor

Este método foi usado para extração g_m na região de saturação em todos os dispositivos e temperaturas avaliados deste trabalho.

4.3.3 Taxa da variação da Tensão de Limiar com a Temperatura

A variação da tensão de limiar com a temperatura é um fator importante para o cálculo do V_{ZTC} . Na figura 19, é possível visualizar como este parâmetro pode ser extraído diretamente da curva de V_T em função da temperatura [47], isto é, o $\left(\frac{\Delta V_T}{\Delta T}\right)$ pode ser obtido por meio da regressão linear dos valores de V_T (coeficiente angular), para cada temperatura correspondente, podendo ser aplicado em ambas as regiões de operação, linear e saturação.

Figura 19 - Curva Experimental de V_T em função da temperatura, na região linear do dispositivo *GAA-Nanosheet* com $L = 28\text{nm}$.



Fonte: autor

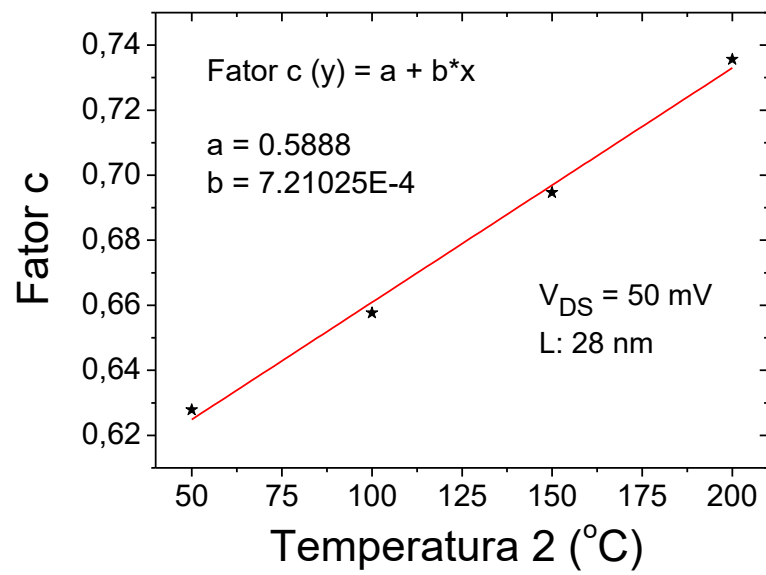
4.3.4 Fator de Degradação da Transcondutância (fator c)

De acordo com a equação (36), o parâmetro fator (c) é extraído por meio da apreciação dos pontos experimentais da transcondutância para as temperaturas estudadas [48,49,50].

Porém, como descrito na referência [51], o fator c sendo constante, o mesmo não representará idealmente o comportamento da degradação da transcondutância com a temperatura.

Por este motivo, para que o fator (c) possa descrever adequadamente o comportamento da degradação da transcondutância com a temperatura, utiliza-se de uma equação de primeiro grau, adquiridas da regressão linear dos pontos experimentais, em função da temperatura, com os valores de intersecção do eixo y (a) e coeficiente angular (b), como na figura 20. Esta técnica poderá ajudar nas simulações e também nos cálculos.

Figura 20 - Curva calculada do fator c em função da temperatura, na região linear do dispositivo *GAA-Nanosheet* com $L = 28\text{nm}$.



Fonte: autor

5. RESULTADOS EXPERIMENTAIS E DISCUSSÕES

Neste capítulo são apresentados os resultados das medidas experimentais, os parâmetros necessários para aplicação do modelo para o cálculo do V_{ZTC} e a validação do modelo CM para esta nova tecnologia.

As curvas experimentais realizadas da corrente de dreno (I_D) em função da tensão aplicada à porta (V_G), abrangem em uma faixa de V_G desde -0,50 V à 1 V com o passo de medida de 10 mV, adotando duas polarizações diferentes para o dreno a fim de obter o comportamento do *GAA-Nanosheet* em duas regiões de operação, tródo e saturação. Para a região linear a tensão de dreno aplicada foi de 50 mV e para região de saturação a tensão de dreno aplicado foi de 700 mV.

Os dispositivos *GAA-Nanosheet* canal N, com comprimentos de canal (L) de 28nm, 70nm e 200nm, foram medidos em dois *dies* diferentes, porém para o L de 28nm, o segundo die (die 2) foi desconsiderado por apresentar falhas na medida, não respondendo em nenhuma curva. Foram feitas medidas para temperaturas de 25°C, 50°C, 100°C, 150°C e 200°C, no regime de operação linear e para região de saturação, mediu-se para 25°C, 100°C, 150°C e 200°C.

Para os dispositivos *GAA-Nanosheet* canal P, com comprimentos de canal (L) de 28nm, 70nm e 200nm, também foram medidos em dois *dies* diferentes, para temperaturas de 25°C, 100°C, 150°C, 200°C, em ambas as regiões de operação (tródo e saturação).

5.1 Resultados obtidos com *GAA-Nanosheet* canal N

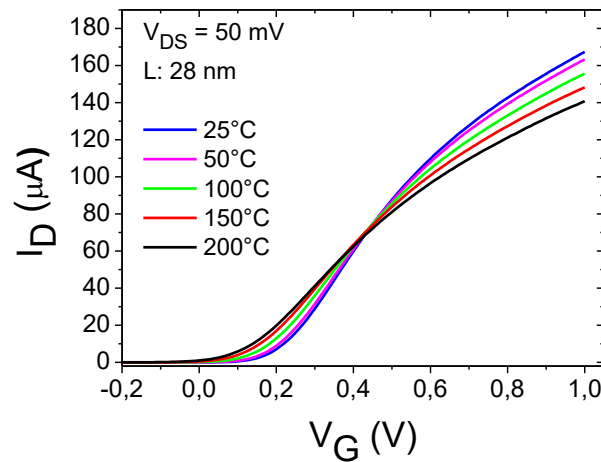
Começaremos as análises pelos dispositivos *GAA-Nanosheet* canal N, realizando as comparações entre os valores experimentais com os valores obtidos a partir do modelo CM. Depois da análise de todos os parâmetros para os dispositivos *GAA-Nanosheet* canal N serão exibidas as análises dos mesmos parâmetros para os dispositivos *GAA-Nanosheet* canal P.

5.1.1 Corrente de dreno (I_D)

As curvas experimentais da corrente de dreno em função da tensão aplicada na porta ($I_D \times V_G$) para diferentes temperaturas, para os dispositivos

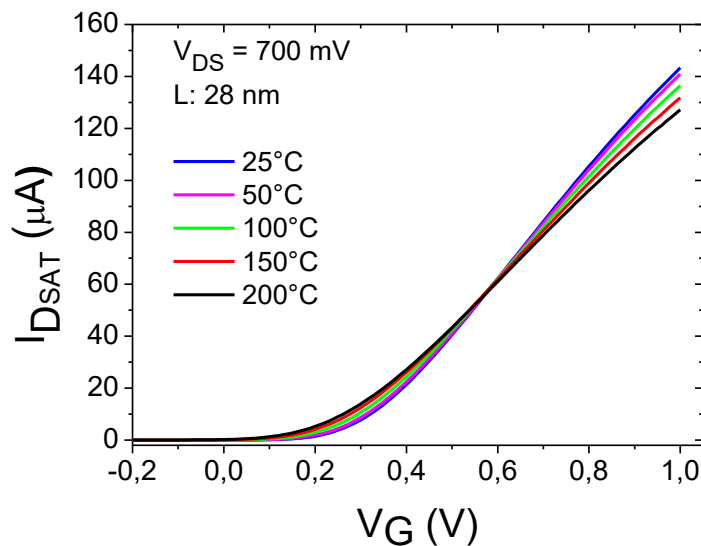
GAA-Nanosheet com L de 28nm, são apresentadas para a região linear na figura 21, enquanto para a região de saturação estão mostradas na figura 22.

Figura 21 - Curva Experimental da corrente de dreno em função da tensão aplicada na porta para diferentes temperaturas, na região linear do dispositivo GAA-Nanosheet com L = 28nm.



Fonte: autor

Figura 22 - Curva Experimental da corrente de dreno em função da tensão aplicada na porta para diferentes temperaturas, na região de saturação do dispositivo GAA-Nanosheet com L = 28nm.



Fonte: autor

A partir das figuras 21 e 22 é possível observar que ocorre o cruzamento entre as curvas obtidas para diferentes temperaturas. Com o aumento da temperatura, a tensão de limiar do dispositivo é reduzida devido principalmente à redução do potencial de Fermi, resultando em um aumento da corrente de dreno. No entanto para a corrente no estado ligado (após o ponto de cruzamento

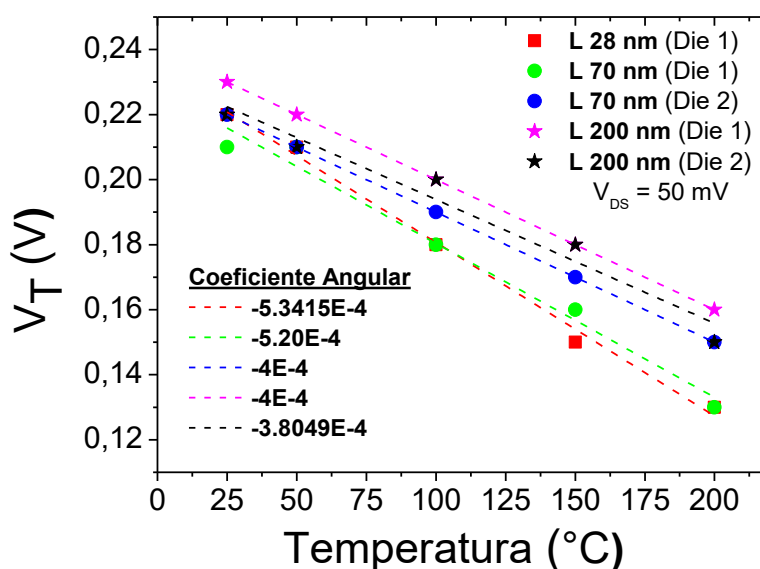
das curvas), o fator dominante é a degradação da mobilidade causada pelo aumento da temperatura, o que reduz a corrente de dreno. Assim, devido à competição entre estes dois parâmetros ocorre o cruzamento das curvas, aparecendo uma tensão de porta para a qual a corrente quase não é alterada com a variação da temperatura (ponto do ZTC).

Desta forma observa-se que este efeito compensatório entre a tensão de limiar e a mobilidade elétrica com a variação da temperatura, ocorre para ambas as regiões de operação, linear e saturação.

5.1.2 Tensão de Limiar (V_T)

Na figura 23 é possível analisar o comportamento da tensão de limiar em função da temperatura, para todos os comprimentos de canal estudados.

Figura 23 - Curva Experimental de V_T em função da temperatura, na região linear do dispositivo GAA-Nanosheet para todos os comprimentos de canal estudados (28, 70 e 200nm), com respectivos coeficientes angulares.



Fonte: autor

Avaliando o comportamento dos dispositivos apresentados na figura 23, observa-se que os valores de V_T são muito próximos quando comparamos os diversos comprimentos de canal. Em temperatura ambiente a máxima variação obtida está em torno de 20 mV, considerando o passo de medida de 10 mV, podemos dizer que esta variação é desprezível.

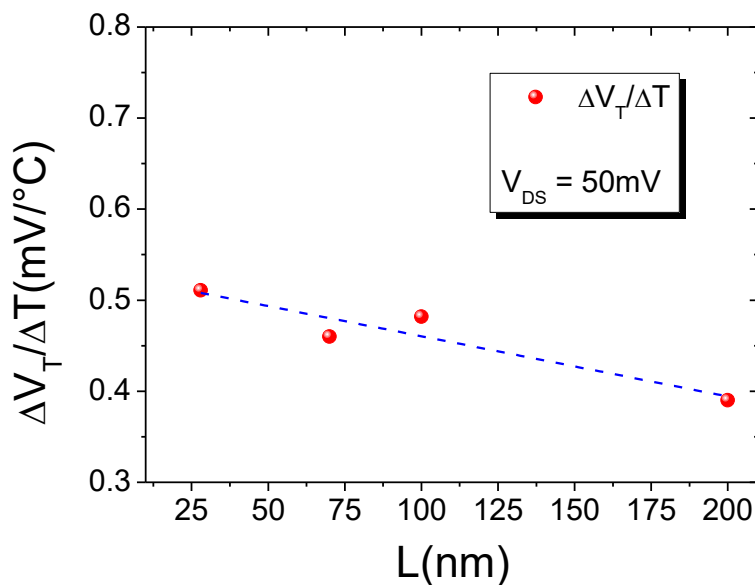
Quando o foco é a temperatura, é observada a redução da tensão de limiar com o aumento da temperatura causada pela redução do nível de Fermi, conforme foi relatado no capítulo 2.

É possível perceber ainda que a diferença de V_T entre o maior e menor L , aumentou com a temperatura atingindo aproximadamente 40 mV a 200°C. Isto pode ser explicado através da tendência do dispositivo de menor comprimento de canal (28nm) sofrer com o efeito de canal curto.

A taxa de variação de V_T com T , é um parâmetro importante para a aplicação do modelo no cálculo do V_{ZTC} , assim foi calculado também o coeficiente angular para cada dispositivo estudado, como também pode ser visto na figura 23. Existe uma pequena variação entre os coeficientes angulares conforme varia o L .

Na figura 24 é apresentada a taxa de variação de V_T com a temperatura para os diversos comprimentos de canal.

Figura 24 - Curva Experimental da tensão de limiar em função do comprimento de canal do dispositivo GAA-Nanosheet, na região linear.



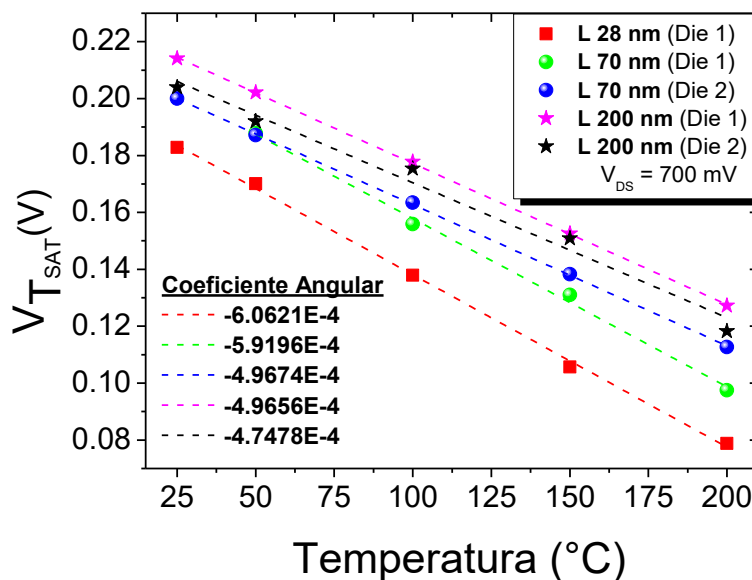
Fonte: autor

O valor obtido para $\Delta V_T / \Delta T$ é dependente da influência do SCE, resistência série e da própria variação de V_T com a temperatura [52].

A baixa variação de $\Delta V_T/\Delta T$, de aproximadamente de 0,1 mV/°C, do menor ao maior L, pode ser explicado pelo alto controle das cargas no canal, resultado do excelente acoplamento eletrostático promovido pela porta ao redor.

Na figura 25, é apresentado o comportamento de V_T para alta tensão de dreno (saturação) em função da temperatura para diferentes L.

Figura 25 - Curva Experimental de V_T em função da temperatura, na região de saturação do dispositivo *GAA-Nanosheet* para os L de 28, 70 e 200nm, e seus respectivos coeficientes angular.



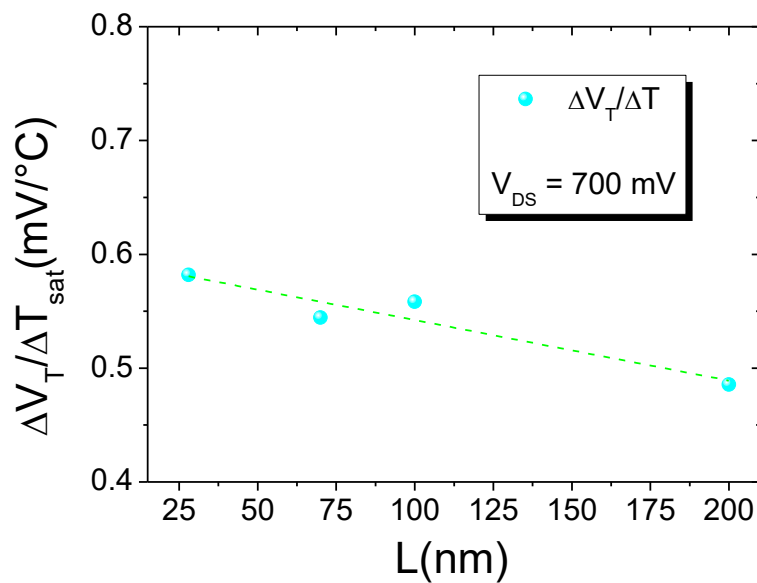
Fonte: autor

Em saturação também é possível observar a redução na faixa dos valores de V_T conforme se diminui o comprimento de canal dos dispositivos, causado pelo efeito de canal curto e a redução de V_T com o aumento da temperatura causado pela redução do potencial de Fermi, conforme descrito anteriormente.

Assim como na região linear, a taxa de variação de V_T com T, é um parâmetro importante para a aplicação do modelo no cálculo do V_{ZTC} em saturação. Na figura 25 é mostrado também o coeficiente angular para cada die para seus respectivos comprimentos de canal, medidos na região de saturação.

A partir da figura 26, é possível analisar a variação entre os coeficientes angular ($\Delta V_T/\Delta T$) conforme varia o L, em saturação.

Figura 26 - Curva Experimental da tensão de limiar em função do comprimento de canal do dispositivo *GAA-Nanosheet*, na região de saturação.



Fonte: autor

É possível observar na figura 26, que em saturação apesar de $\Delta V_T / \Delta T$ ser cerca de 100 mV acima do obtido em trípodo, tem-se o mesmo comportamento que o obtido na região linear, com uma redução de aproximadamente 0,1 mV/°C do menor ao maior L.

A tabela 1 apresenta uma comparação dos valores de $\Delta V_T / \Delta T$ entre o *GAA-Nanosheet* e algumas tecnologias anteriores, para as quais o modelo CM já foi validado [12,18 e 44].

Tabela 1 - Valores de $(\Delta V_T / \Delta T)$ para as tecnologias *GAA-nanosheet* canal N, nFinFET, FD SOI nMOSFET e PD SOI nMOSFET, na região de saturação.

Tecnologia	$\Delta V_T / \Delta T (\text{mV}/^\circ\text{C})$
<i>GAA-Nanosheet</i>	0,49
FinFet	0,51
FD SOI MOSFET	0,83
PD SOI MOSFET	1,87

Fonte: autor

A partir da tabela 1, observa-se que a variação da tensão de limiar com a temperatura é menor para a tecnologia estudada, quando comparadas com as

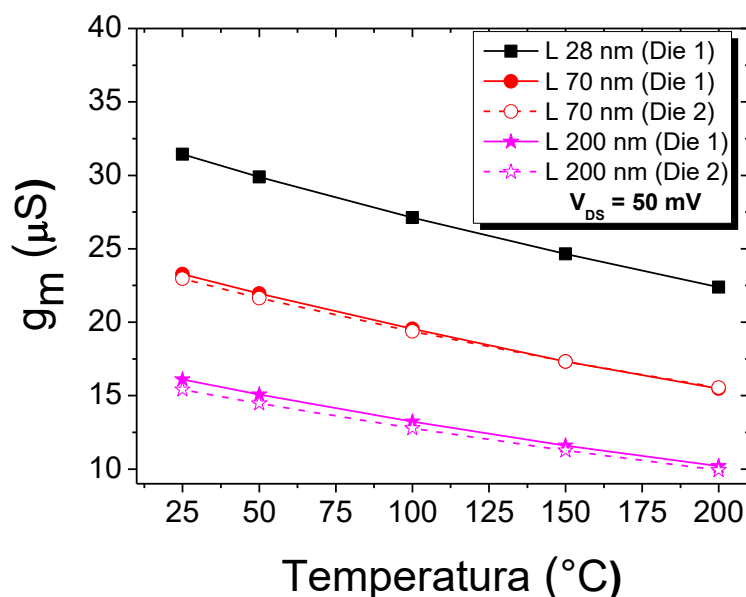
demais tecnologias. Esta redução deve-se ao melhor acoplamento eletroestático, promovendo melhor controle das cargas no canal [14].

5.1.3 Transcondutância (g_m)

A transcondutância é um parâmetro importante para a aplicação do modelo no cálculo do V_{ZTC} , pois g_m está diretamente relacionado à mobilidade do portador, que por sua vez muda com a variação da temperatura [53].

A partir da figura 27 é possível analisar o comportamento da transcondutância em função da temperatura para os dispositivos com comprimento de canal de 28, 70 e 200nm, operando em trípode (baixo V_{DS}).

Figura 27 - Curva Experimental da transcondutância em função da temperatura, na região linear do dispositivo *GAA-Nanosheet* para os comprimentos de canal de 28, 70 e 200nm.

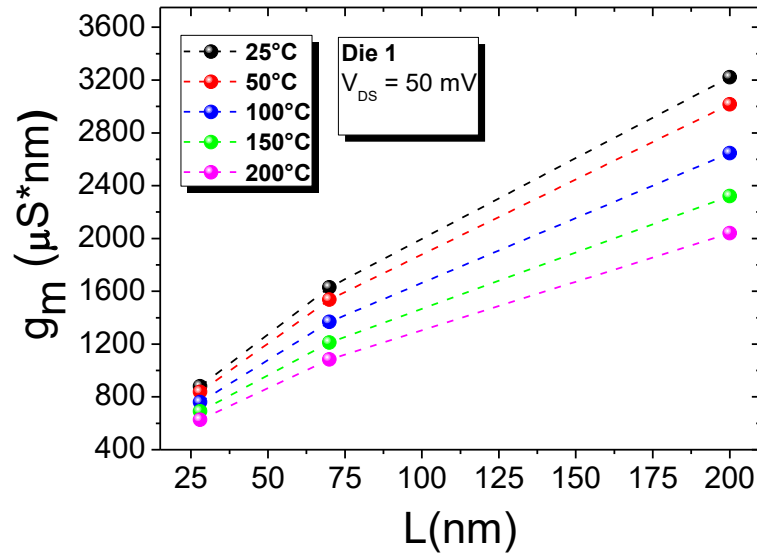


A partir dos valores de g_m pode-se observar a redução da transcondutância com o aumento da temperatura devido a degradação da mobilidade dos portadores [17].

É possível observar também o aumento de g_m com a redução de L devido a relação inversamente proporcional entre os dois. Outra forma de se avaliar a

relação da transcondutância com o comprimento de canal é observando g_m normalizado com L ($g_m \times L$), apresentado na figura 28.

Figura 28 - Curva Experimental da transcondutância normalizado por L , em função dos comprimentos de canal de 28, 70 e 200nm, na região linear do dispositivo GAA-Nanosheet.

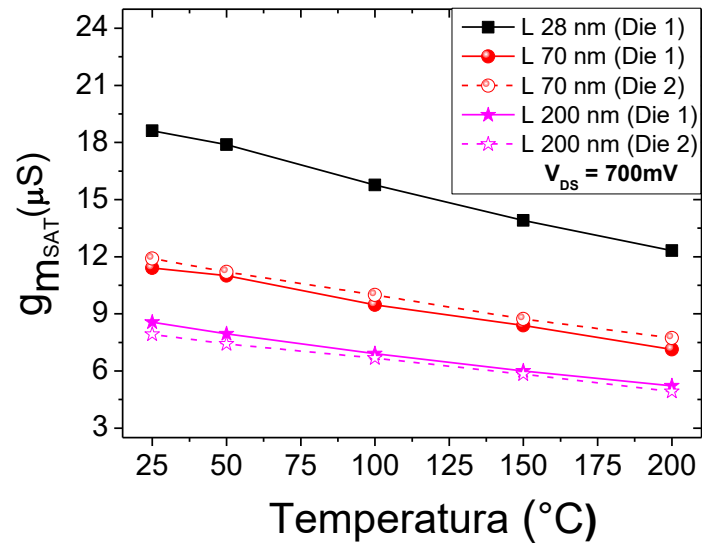


Fonte: autor

Na figura 28, a transcondutância é normalizada com o L ($g_m \times L$), eliminando-se a dependência de primeira ordem de g_m com L . A partir desta figura pode-se notar uma redução da transcondutância normalizada com a redução do comprimento de canal, o que indica a tendência do efeito de canal curto e do maior impacto da resistência série na transcondutância conforme L é reduzido [54,55].

Fazendo a mesma análise de g_m para quando o dispositivo opera na saturação, figura 29, a partir da qual é possível avaliar o comportamento de g_m em função da temperatura na região de saturação nos dispositivos GAA-Nanosheet para os diferentes L .

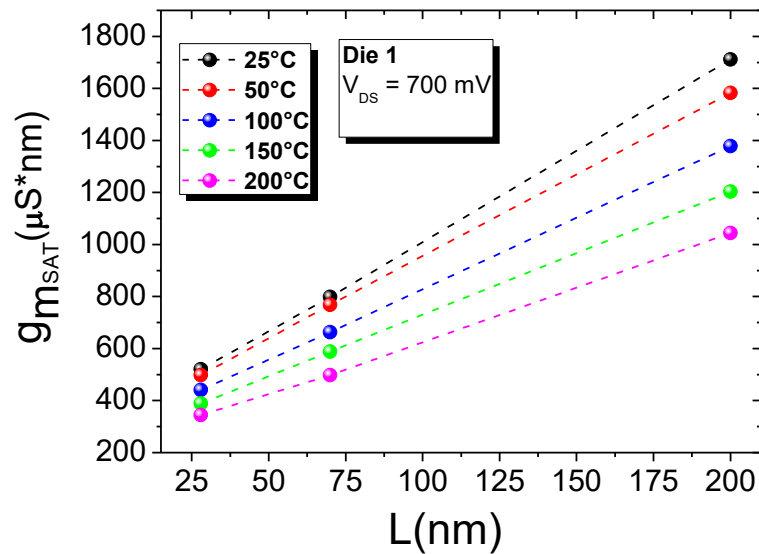
Figura 29 - Curva Experimental da transcondutância em função da temperatura, na região de saturação do dispositivo *GAA-Nanosheet* para os diferentes comprimentos de canal.



Fonte: autor

Apesar do alto campo elétrico e, portanto, uma maior degradação da mobilidade e consequentemente menor transcondutância, a mesma relação de g_m com a temperatura é observada devido a redução da mobilidade de portadores conforme aumenta a temperatura. Assim como em trípodo, igualmente observa-se uma queda em g_m quando o comprimento de canal aumenta, devido a relação inversa que há entre os dois parâmetros e na figura 30, pode-se observar a maior influência da resistência série e o início do efeito de canal curto quando L é escalado.

Figura 30 - Curva Experimental da transcondutância normalizado por L, em função dos comprimentos de canal de 28, 70 e 200nm, na região de saturação do dispositivo GAA-Nanosheet para diferentes temperaturas.



Fonte: autor

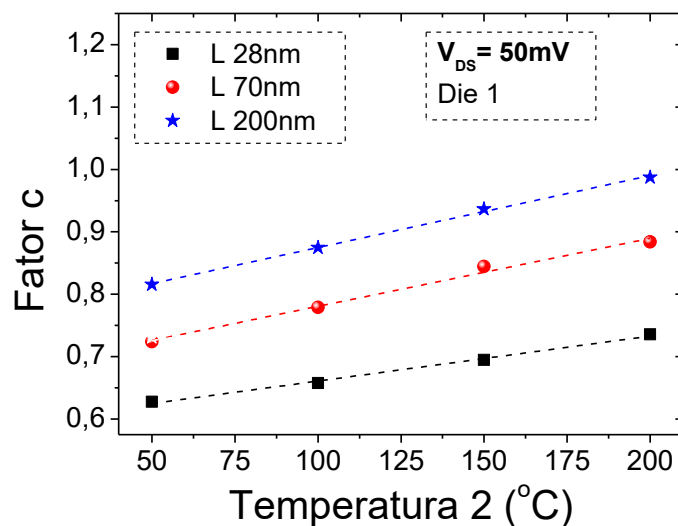
5.1.4 Fator de Degradação da Transcondutância (fator c)

O fator c é um parâmetro calculado a partir do comportamento de g_m com a temperatura que influencia no cálculo de V_{ZTC} .

A figura 31 exibe o comportamento do fator c em função da temperatura para os dispositivos com L de 28, 70 e 200nm operando na região de tríodo. A partir desta figura, observa-se uma certa linearidade do fator c e a variação da temperatura, assim como a redução do fator c com a diminuição de L, ocasionado pelo avanço da influência da resistência série, mais relevante nos dispositivos de menor comprimento de canal [54,55].

A elevação linear do fator c é motivado pela dependência da transcondutância com a temperatura. O fator c é importante para a validação e eficiência do modelo analítico adotado neste estudo, pois apresenta o quanto o dispositivo pode ser influenciado pela temperatura, por meio da analogia proporcional entre a transcondutância e a mobilidade elétrica, a fim de ajustar os resultados obtidos pelo modelo [12,13].

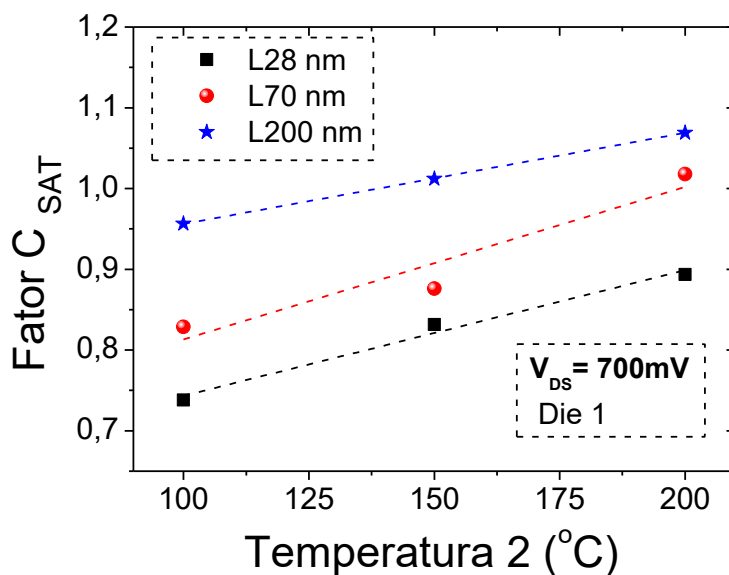
Figura 31 - Curva do fator c em função da temperatura, na região linear do dispositivo GAA-Nanosheet para os comprimentos de canal de 28, 70 e 200nm.



Fonte: autor

A seguir, a mesma análise é feita para os dispositivos operando em saturação (figura 32).

Figura 32 - Curva do fator c em função da temperatura, na região de saturação do dispositivo GAA-Nanosheet para os diferentes comprimentos de canal.



Fonte: autor

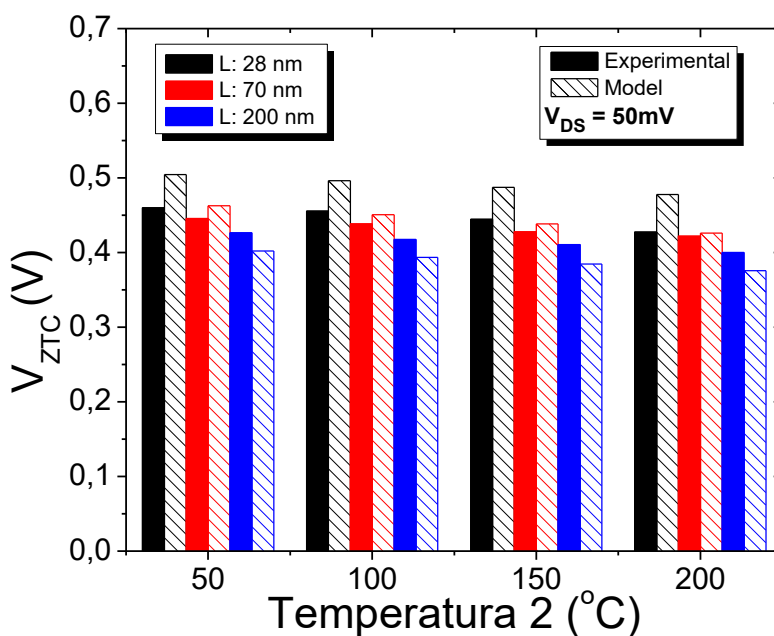
A figura 32, mostra que também há uma certa linearidade no fator c na região de saturação com uma diminuição da temperatura e que a redução deste parâmetro entre o maior e o menor L é de aproximadamente 0,2. Novamente

pode-se atribuir esta redução no fator c com a diminuição de L ao aumento da influência da resistência série, evidenciada em V_{DS} maiores (região de saturação) e em dispositivos com menor comprimento de canal [54,55].

5.1.5 Cálculo do V_{ZTC} e Validação do modelo CM

A partir da figura 33 é possível avaliar os resultados de V_{ZTC} extraídos experimentalmente e os calculados pelo modelo CM para os dispositivos *GAA-Nanosheets*. Também é possível ver o bom resultado de V_{ZTC} calculado a partir da comparação entre os valores analíticos e os valores da polarização de ZTC extraídos experimentalmente.

Figura 33 - Curva em barras do V_{ZTC} em função da temperatura, na região linear do dispositivo *GAA-Nanosheet* para diferentes comprimentos de canal.

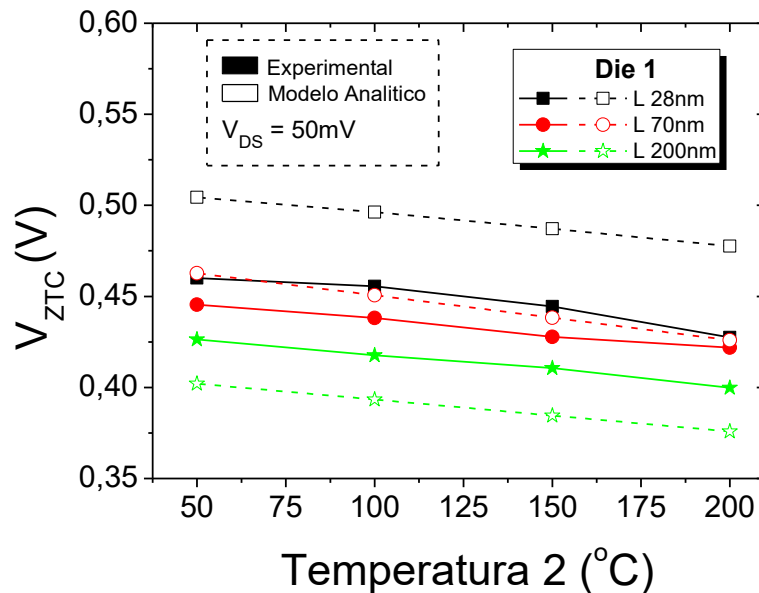


Fonte: autor

A partir da figura 33 observa-se que os piores resultados (maior diferença de V_{ZTC} entre o experimental e o modelo) ocorreram para os dispositivos de menor comprimento de canal, isso porque os transistores com o menor canal tendem a sofrer com o efeito de canal curto e são mais influenciados pela resistência serie, que não é considerada no modelo.

A figura 34 mostra que V_{ZTC} segue a tendência do parâmetro V_T , por ele ser um fator de primeira ordem, onde seu valor nominal diminui conforme aumenta-se a temperatura, devido a redução do nível de Fermi.

Figura 34 - Curva do V_{ZTC} em função da temperatura, na região linear do dispositivo GAA-Nanosheet para diferentes comprimentos de canal.



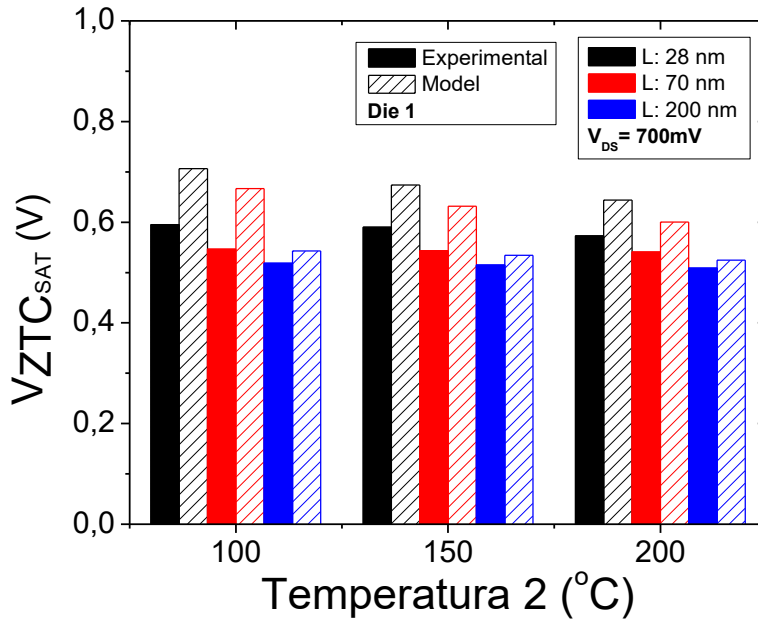
Fonte: autor

Em contrapartida, percebe-se que nos dispositivos com maior L a faixa de valores de V_{ZTC} é menor, pois o fator c , que é diretamente proporcional a transcondutância [5], acaba sendo maior nos transistores de maior canal, logo, deixando os valores de V_{ZTC} menores para estes transistores.

Fazendo a mesma análise, mas agora para os transistores operando em saturação, a figura 35 apresenta os resultados alcançados pelo modelo CM para o cálculo do V_{ZTC} nos dispositivos GAA-Nanosheet.

Por meio da figura 35, conclui-se que os piores resultados também estão nos dispositivos de menor comprimento de canal, devido ao efeito de canal curto e também à resistência série. Vale ressaltar que a resistência série tem maior influência para aplicações com V_{DS} alto (região de saturação).

Figura 35 - Curva em barras do V_{ZTC} em função da temperatura, na região de saturação do dispositivo *GAA-Nanosheet* para diferentes comprimentos de canal.



Fonte: autor

5.1.6 Erro (%)

O erro (%) é calculado com base na comparação realizada entre os valores obtidos experimentalmente e os calculados pelo modelo. A equação (60) foi adotada para realizar o cálculo do erro. Desta forma é possível mensurar qual a resposta do modelo CM usado neste trabalho para os dispositivos *GAA-Nanosheet*.

$$|Erro| (%) = \left(\frac{V_{ZTC_Exp} - V_{ZTC_Mod}}{V_{ZTC_Exp}} \right) \cdot 100 \quad (60)$$

A tabela 2 ajuda a compreender e melhor visualizar a eficiência da aplicação do modelo nos dispositivos *GAA-Nanosheet*. Os erros apresentados pelo modelo CM, para o dispositivo estudado na região linear, são baixos mostrando a validade do modelo para dispositivos desta tecnologia.

Tabela 2 - Valores do erro (%) gerados entre o V_{ZTC} experimental e o modelo analítico na região linear para dispositivos com diferentes comprimentos de canal.

 Erro (%)					
T (°C)	L=28nm	L=70nm		L=200nm	
	Die 1	Die 1	Die 2	Die 1	Die 2
50	9,63	3,88	5,03	5,69	9,33
100	8,94	2,83	5,21	5,81	9,61
150	9,63	2,46	5,03	6,35	9,98
200	11,73	0,99	4,03	6,02	9,30

Fonte: autor

A partir da tabela, pode-se destacar que o pior caso (maior taxa de erro) é de 11,73% e que exceto o transistor com $L = 28\text{nm}$ onde a resistência série tem grande influência a taxa de erro cai bastante.

O erro (%) em saturação também foi obtido pela equação (60) e é apresentado na tabela 3. É possível verificar um aumento considerável no erro extraído em todos os comprimentos de canal (28, 70 e 200nm) estudados para as diferentes temperaturas na região de saturação.

Tabela 3 - Valores do erro (%) gerados entre o V_{ZTC} experimental e o V_{ZTC} calculado pelo modelo analítico na região de saturação para dispositivos com diferentes comprimentos de canal.

 Erro_{SAT} (%)					
T (°C)	L=28nm	L=70nm		L=200nm	
	Die 1	Die 1	Die 2	Die 1	Die 2
100	18,70	22,09	12,37	4,71	13,49
150	14,23	16,32	8,39	3,76	5,07
200	12,38	10,90	6,21	3,08	0,81

Fonte: autor

Como exibido na tabela 3, os erros apresentados pelo modelo CM para o dispositivo estudado na região de saturação, comparados com o de trípode, são maiores, tendo em vista que o fator c é extraído pela transcondutância, e este parâmetro é influenciado pela resistência série, ainda mais destacada em saturação por receber uma tensão maior, também é afetado pelo SCE, no qual esses efeitos não são considerados pelo modelo, fora todas as aproximações

realizadas. Além disto o modelo em saturação oferece grande sensibilidade aos parâmetros $\Delta V_T/\Delta T$ e o fator c , como será comentado mais adiante, onde devido à alta sensibilidade apresentada, pequenas variações afetam no resultado final.

5.1.7 Sensibilidade dos Parâmetros V_T , $\Delta V_T/\Delta T$ e fator c

A fim de melhor entender o aumento do erro no cálculo do V_{ZTC} , para região de saturação, extraiu-se a sensibilidade do modelo aos parâmetros da tensão de limiar, a taxa de variação da tensão de limiar com a temperatura e o fator c .

Para essa avaliação de sensibilidade, considerou-se uma variação de ± 10 mV no valor de V_T , devido à etapa de medição (10 mV por passo), bem como a variação de $0,08$ mV/°C no valor de $\Delta V_T/\Delta T$ e $0,06$ no valor do fator c . Sendo que para os valores de variação dos parâmetros $\Delta V_T/\Delta T$ e do fator c , os mesmos foram adotados por representarem a média da diferença dos valores extraídos experimentalmente para os dispositivos dos diferentes chips (dies). É importante destacar que foi considerado individualmente cada variação dos parâmetros, ou seja, para realização dos cálculos avaliou-se separadamente a variação para cada parâmetro, primeiramente para mais (somando aos valores extraídos) e depois para menos (subtraindo dos valores extraídos) nas equações (55) e (56). Depois, foi realizado o estudo do pior caso, onde se consideram todas as variações dos parâmetros ao mesmo tempo (primeiramente somando e depois subtraindo aos valores extraídos).

A sensibilidade do modelo foi obtida utilizando a equação (61), através do cálculo entre o V_{ZTC} (experimental) e o valor de V_{ZTC} calculado adicionando-se a variação acima descrita, que chamamos de $V_{ZTC\ SENS}$, adquirido por meio da atribuição dos valores de variação dos parâmetros apresentados acima, aplicados nas equações (55) e (56), chegando-se na sensibilidade em (%), como comentado.

$$Sensibilidade (\%) = \left(\left(Média \left(\frac{V_{ZTC\ SENS}}{V_{ZTC\ Exp}} \right) \right) \cdot 100 \right) - 100 \quad (61)$$

A tabela 4 apresenta os resultados do cálculo da sensibilidade, considerando a variação dos valores dos parâmetros V_T , $\Delta V_T/\Delta T$, fator c separadamente e também somando em todos ao mesmo tempo (pior caso), como explicado anteriormente, para o dispositivo com o comprimento de canal de 70nm.

Tabela 4 - Valores da sensibilidade para os dispositivos com $L=70\text{nm}$ na região de saturação, acrescentando (somando) as variações dos parâmetros ao modelo.

L=70nm - V_T	V_{ZTC_modelo} (V)	Erro_{puro} (%)	$V_{ZTC\ sens}$ (V)	Erro_{Sens} (%)	$V_{ZTCSens\ por\ V_{ZTC}}$	Média	Sensibilidade (%)
100 (°C)	0,667	22,090	0,677	23,921	1,015	1,016	1,580
150 (°C)	0,632	16,320	0,642	18,161	1,016		
200 (°C)	0,600	10,897	0,610	12,745	1,017		
L=70nm - $\Delta V_T/\Delta T$	V_{ZTC_modelo} (V)	Erro (%)	$V_{ZTC\ sens}$ (V)	Erro_{Sens} (%)	$V_{ZTCSens\ por\ V_{ZTC}}$	Média	Sensibilidade (%)
100 (°C)	0,667	22,090	0,620	13,468	0,929	0,931	-6,890
150 (°C)	0,632	16,320	0,588	8,304	0,931		
200 (°C)	0,600	10,897	0,560	3,446	0,933		
L=70nm - c	V_{ZTC_modelo} (V)	Erro (%)	$V_{ZTC\ sens}$ (V)	Erro_{Sens} (%)	$V_{ZTCSens\ por\ V_{ZTC}}$	Média	Sensibilidade (%)
100 (°C)	0,667	22,090	0,623	14,117	0,935	0,940	-5,990
150 (°C)	0,632	16,320	0,594	9,391	0,940		
200 (°C)	0,600	10,897	0,567	4,810	0,945		
L=70nm - todos	V_{ZTC_modelo} (V)	Erro (%)	$V_{ZTC\ sens}$ (V)	Erro_{Sens} (%)	$V_{ZTCSens\ por\ V_{ZTC}}$	Média	Sensibilidade (%)
100 (°C)	0,667	22,090	0,591	8,134	0,886	0,893	-10,690
150 (°C)	0,632	16,320	0,564	3,919	0,893		
200 (°C)	0,600	10,897	0,540	0,176	0,900		

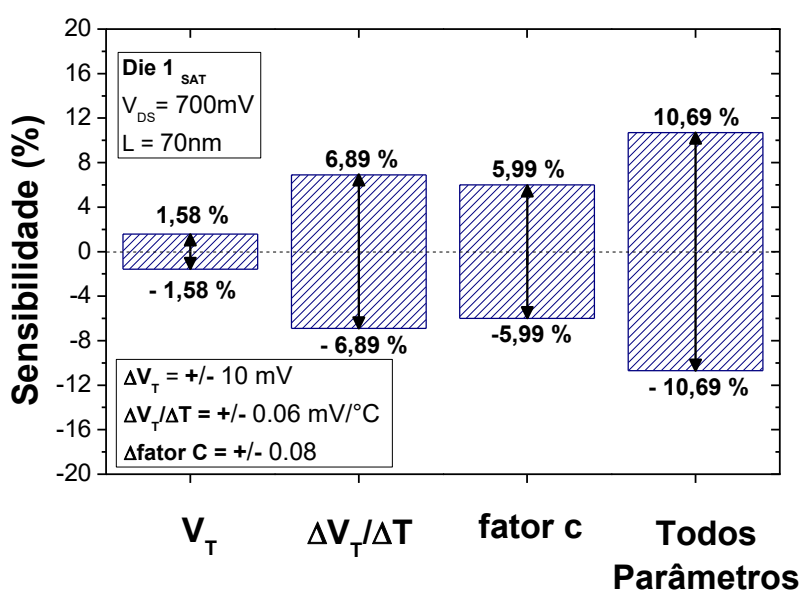
Fonte: autor

A tabela 4 apresenta os valores utilizados para realizar o cálculo da sensibilidade para os transistores com L de 70nm. A coluna “ V_{ZTC_modelo} (V)” apresenta os valores obtidos através do modelo com os dados extraídos experimentalmente (apresentados na sessão 5.1.5), assim como a coluna “Erro_{puro} (%)” é o valor do erro gerado entre V_{ZTC} obtido experimentalmente e o V_{ZTC} calculado (sessão 5.1.6). A coluna “ $V_{ZTC\ sens}$ (V)” apresenta os valores obtidos através do modelo com os dados experimentais somando a variação dos parâmetros e a coluna “Erro_{sens} (%)” é o valor do erro gerado entre V_{ZTC} obtido experimentalmente e o V_{ZTC} calculado com os valores da variação dos parâmetros somado. Na coluna “ $V_{ZTC\ sens\ por\ V_{ZTC}}$ ” exibe-se os valores da divisão

realizada entre os dados da coluna “ $V_{ZTC\ sens} (V)$ ” pelos dados da coluna “ $V_{ZTC} (V)$ ”, para que assim pudesse se obter uma média dos valores entre as temperaturas medidas para cada parâmetro avaliado (V_T , $\Delta V_T/\Delta T$, fator c e todos), estes valores são exibidos na coluna “Média”. Por fim, a coluna “Sensibilidade” que apresenta os valores resultantes da equação (61), mostrando a sensibilidade para cada parâmetro em porcentagem.

Na figura 36 é possível visualizar a sensibilidade que o modelo apresenta as variações dos parâmetros V_T , $\Delta V_T/\Delta T$ e fator c.

Figura 36 - Análise da sensibilidade do V_{ZTC} em relação aos parâmetros V_T , $\Delta V_T/\Delta T$ e fator c.



Fonte: autor

Os resultados apresentados mostram uma maior sensibilidade do modelo à variação de $\Delta V_T/\Delta T$, seguida pelo fator c e o menor impacto ficando para a variação de V_T . Verificou-se ainda, quando aplicado os valores do estudo de pior caso, os três parâmetros variando ao mesmo tempo (na figura 36, “Todos Parâmetros”), o valor de V_{ZTC} pode variar $\pm 11.95\%$. Estas variações mostram que uma vez que o dispositivo apresenta grande controle sobre as cargas no canal e, portanto, menor variação dos parâmetros com o aumento da temperatura, o modelo acaba se tornando bastante sensível a pequenas

variações destes parâmetros, o que explica a diferença dos valores do erro entre os equivalentes dispositivos em matrizes distintas (die 1 e die 2).

Assim para transistores canal N, considerando a simplicidade do modelo (CM), este pode facilmente ser aplicado pelos projetistas de circuito integrado, pois mesmo considerando o pior caso do erro, a polarização ainda é próxima a região de ZTC (variação inferior a 70 mV) e, portanto, tem-se uma diferença bastante pequena na corrente de dreno.

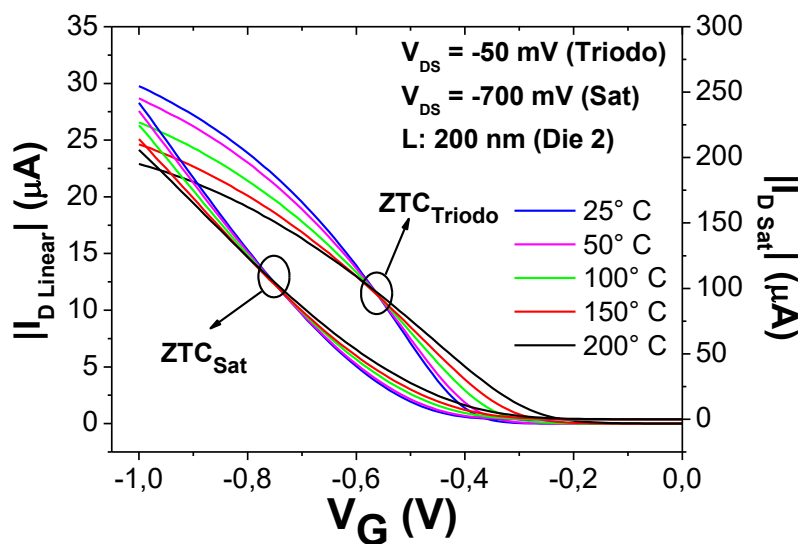
5.2 Resultados obtidos com GAA-Nanosheet canal P

Agora relataremos a análise de todos os parâmetros para os dispositivos GAA-Nanosheet canal P, de maneira análogo ao que foi executado para os dispositivos de canal N.

5.2.1 Corrente de dreno (I_D)

As curvas experimentais da corrente de dreno em função da tensão aplicada na porta ($I_D \times V_G$) para distintas temperaturas, para os dispositivos GAA-Nanosheet canal P com L de 200nm, são exibidas para a região linear e saturação na figura 37.

Figura 37 - Análise da sensibilidade do V_{ZTC} em relação aos parâmetros V_T , $\Delta V_T/\Delta T$ e fator c.



Fonte: autor

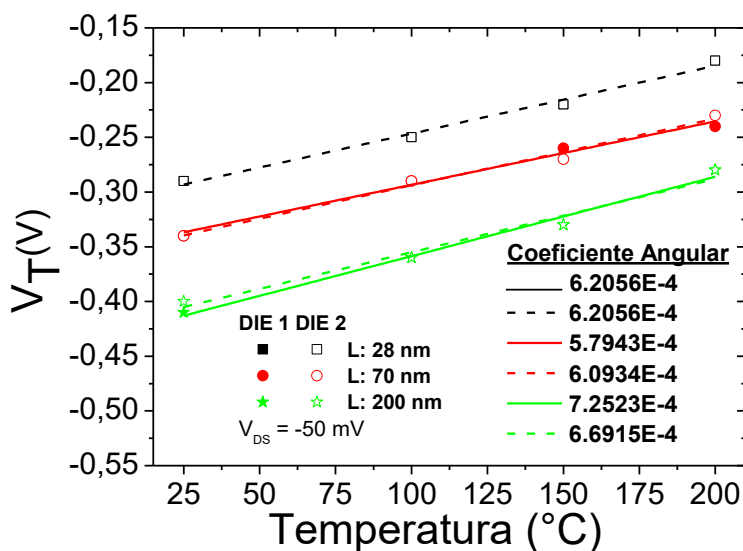
A partir da figura 37, nota-se que acontece o cruzamento entre as curvas obtidas para diferentes temperaturas. Assim como no dispositivo canal N, com o aumento da temperatura, enquanto a tensão de limiar do dispositivo é diminuída devido principalmente ao abatimento do potencial de Fermi, favorecendo a elevação da corrente de dreno, a corrente de estado ligado é reduzida (acima do ponto de cruzamento das curvas) devido a degradação da mobilidade causando uma redução na corrente de dreno.

Deste modo, devido à concorrência entre estes dois parâmetros ocorre o cruzamento das curvas, surgindo uma tensão de porta para a qual a corrente de dreno se mantém praticamente constante para diferentes temperaturas (ponto ZTC). Este efeito compensatório entre a tensão de limiar e a mobilidade elétrica com a mudança da temperatura, ocorre para ambas as regiões de operação, linear e saturação, como visto na figura 37.

5.2.2 Tensão de Limiar (V_T)

A figura 38 mostra o comportamento da tensão de limiar em função da temperatura, para todos os comprimentos de canal estudados.

Figura 38 - Curva Experimental de V_T em função da temperatura, na região linear do dispositivo GAA-Nanosheet para todos os comprimentos de canal estudados (28, 70 e 200nm), com respectivos coeficientes angulares.



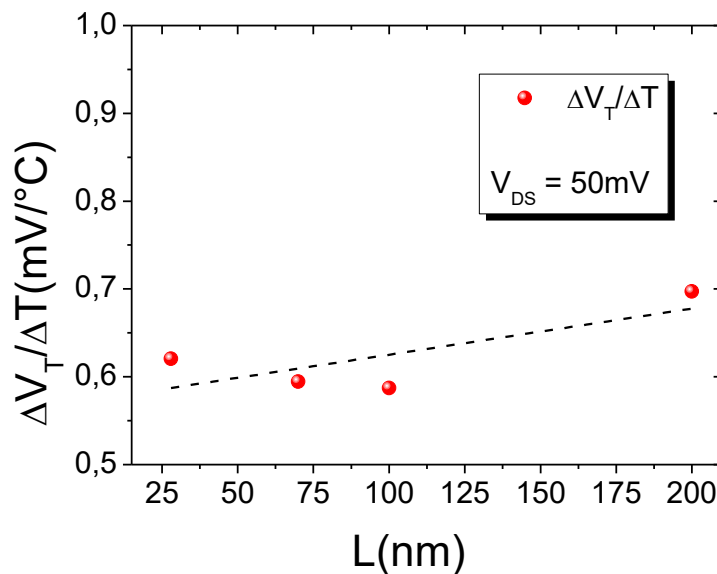
Fonte: autor

Pode-se observar na figura 38, que o valor absoluto da tensão de limiar diminui com o aumento da temperatura, isso se dá por causa da redução de ϕ_F , assim como relatado no capítulo 2. Avaliando o comportamento do V_T e olhando para os diferentes comprimentos de canal, há uma redução do valor absoluto devido ao efeito de canal curto (SCE), que os dispositivos de canal curto tendem a sofrer.

A taxa de variação de V_T com T , é um parâmetro importante para a aplicação do modelo no cálculo do V_{ZTC} também para os transistores canal P, do mesmo modo foi calculado o coeficiente angular para cada dispositivo estudado, como também pode ser visto na figura 38. Existe uma pequena variação entre os coeficientes angulares conforme varia o L .

Na figura 39 é apresentada a taxa de variação de V_T com a temperatura para os diversos comprimentos de canal.

Figura 39 - Curva Experimental da tensão de limiar em função do comprimento de canal do dispositivo GAA-Nanosheet, na região linear.



Fonte: autor

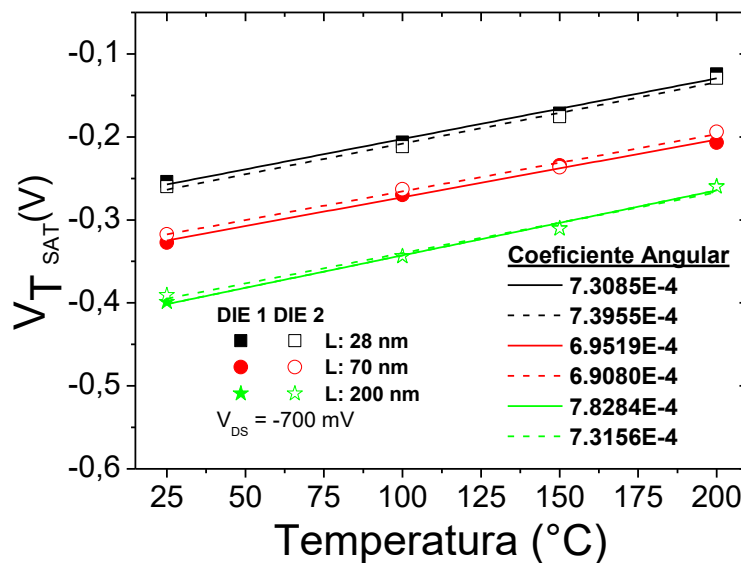
De acordo com a figura 39, a variação do V_T com a temperatura apresenta um leve acréscimo com o aumento do L para dispositivos operando na região linear. O acréscimo do V_T com a taxa de variação da temperatura do dispositivo de L mais curto para o mais longo é de aproximadamente 0,08 mV / °C para região linear. Essa variação de $\Delta V_T / \Delta T$, pode ser considerada baixa, e pode ser

explicada pelo alto controle das cargas no canal, resultado do ótimo acoplamento eletrostático promovido pela porta ao redor.

A variação na taxa $\Delta V_T/\Delta T$ pode ser influenciada pela dependência do V_T com a temperatura, como já citado anteriormente, pelo efeito de canal curto, resistência série [52] e também possivelmente autoaquecimento [61,62].

Na figura 40, é apresentado o comportamento de V_T para altos valores de tensão de dreno (saturação) em função da temperatura para diferentes L .

Figura 40 - Curva Experimental de V_T em função da temperatura, na região de saturação do dispositivo GAA-Nanosheet para os L de 28, 70 e 200nm, e seus respectivos coeficientes angular.



Fonte: autor

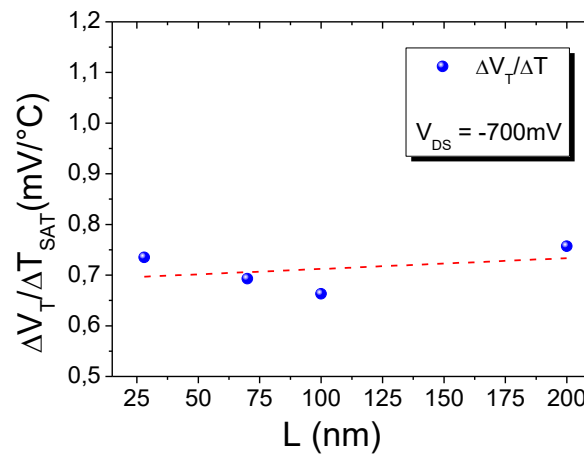
Em saturação também observa-se a redução na faixa dos valores de V_T conforme o comprimento de canal dos dispositivos reduz, motivado pelo efeito de canal curto e a redução de V_T com o aumento da temperatura ocasionado pela redução do potencial de Fermi, conforme descrito anteriormente. Este efeito é um pouco mais pronunciado no regime de saturação onde a variação é próxima a 150 mV do mais curto para o mais longo L .

A taxa de variação de V_T com T , é um parâmetro importante para a aplicação do modelo no cálculo do V_{ZTC} , também em saturação. Na figura 40 ainda é possível enxergar o coeficiente angular, medidos na região de saturação, para cada die, de seus respectivos comprimentos de canal.

A partir da figura 41, é possível avaliar a variação entre os coeficientes angular ($\Delta V_T/\Delta T$) segundo varia o L, em saturação.

Na figura 41, a variação do V_T com a temperatura também apresenta um leve avanço com o aumento do L, desta vez para os dispositivos operando na região de saturação. O aumento do V_T com a taxa de variação da temperatura do mais curto para o mais longo L é de quase 0,02 mV / °C para saturação, tem-se o mesmo comportamento que o obtido na região linear para os dispositivos canal P.

Figura 41 - Curva Experimental da tensão de limiar em função do comprimento de canal do dispositivo GAA-Nanosheet, na região de saturação.



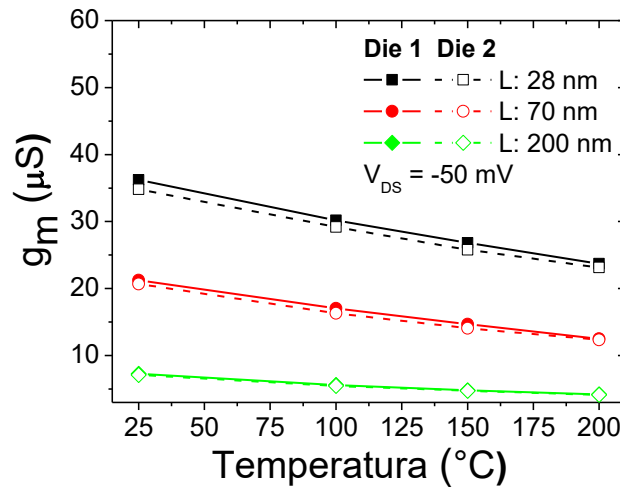
Fonte: autor

5.2.3 Transcondutância (g_m)

Assim como os anteriores, a transcondutância também é um parâmetro importante para a aplicação do modelo no cálculo do V_{ZTC} , pois g_m está diretamente relacionado à mobilidade do portador, como relatado anteriormente, deste modo seu comportamento varia com a temperatura [53].

Por meio da figura 42 analisou-se o comportamento da transcondutância em função da temperatura para os dispositivos com comprimento de canal de 28, 70 e 200nm, operando com baixa tensão de dreno (triódo).

Figura 42 - Curva Experimental da transcondutância em função da temperatura, na região linear do dispositivo *GAA-Nanosheet* para os comprimentos de canal de 28, 70 e 200nm.

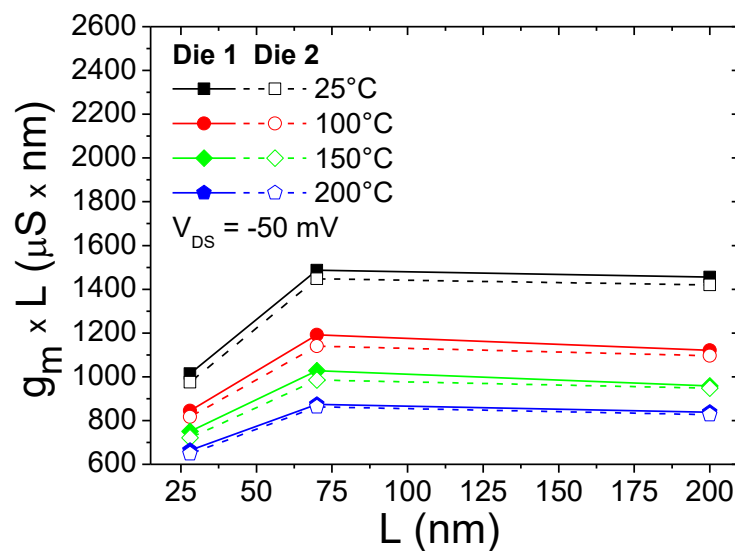


Fonte: autor

Observa-se a redução da transcondutância com o aumento da temperatura, a partir dos valores da figura 42, devido a degradação da mobilidade dos portadores [17].

É possível notar também uma elevação de g_m com a redução de L causada pela relação inversamente proporcional entre os dois. Pode-se avaliar essa relação da transcondutância com o comprimento de canal observando g_m normalizado com L ($g_m \times L$), exibido na figura 43.

Figura 43 - Curva Experimental da transcondutância normalizado por L , em função dos comprimentos de canal de 28, 70 e 200nm, na região linear do dispositivo *GAA-Nanosheet*.

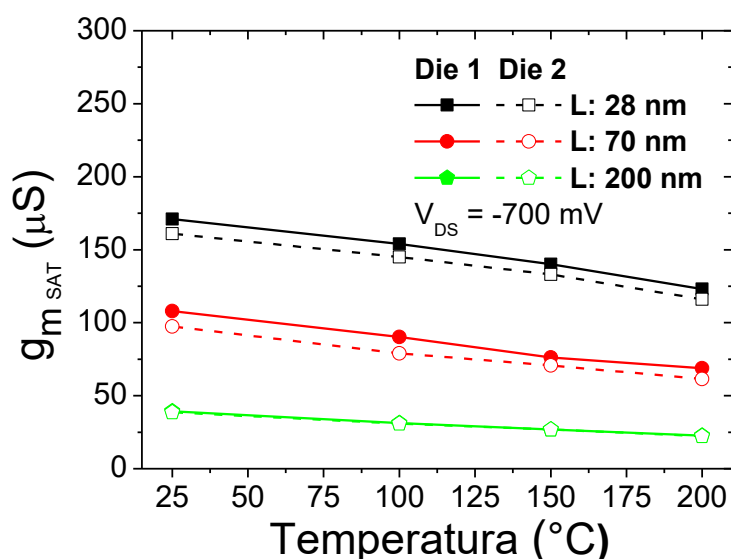


Fonte: autor

Na figura 43, a transcondutância é normalizada com o L ($g_m \times L$), excluindo a dependência de primeira ordem de g_m com L . Por meio desta figura nota-se que a transcondutância normalizada permanece quase constante entre $L = 200\text{nm}$ e $L = 70\text{nm}$, mas para o comprimento de canal menor ($L = 28\text{nm}$), ocorre uma intensa degradação, o que indica a tendência do efeito de canal curto e da resistência série na transcondutância, conforme L é diminuído, afetando os valores da transcondutância normalizada [54,55].

Realizando a igualmente análise de g_m para quando o dispositivo opera em alta tensão de dreno (saturação), obteve-se o gráfico na figura 44, onde avalia-se o comportamento de g_m em função da temperatura na região de saturação nos dispositivos *GAA-Nanosheet* para os diferentes L .

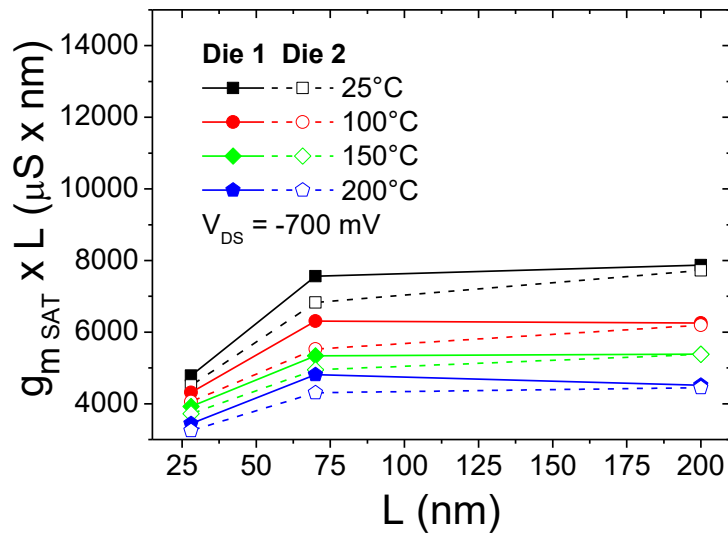
Figura 44 - Curva Experimental da transcondutância em função da temperatura, na região de saturação do dispositivo *GAA-Nanosheet* para os diferentes comprimentos de canal.



Fonte: autor

A mesma relação de g_m com a temperatura é observada devido a redução da mobilidade de portadores conforme aumenta a temperatura. Como na região de operação linear, do mesmo modo nota-se uma queda em g_m quando o comprimento de canal tornar-se maior, também devido a relação inversa que há entre os dois parâmetros e na figura 45, assim como em trípodo, pode-se analisar a influência do efeito de canal curto e da resistência série quando L é diminuído.

Figura 45 - Curva Experimental da transcondutância normalizado por L, em função dos comprimentos de canal de 28, 70 e 200nm, na região de saturação do dispositivo GAA-Nanosheet para diferentes temperaturas.



Fonte: autor

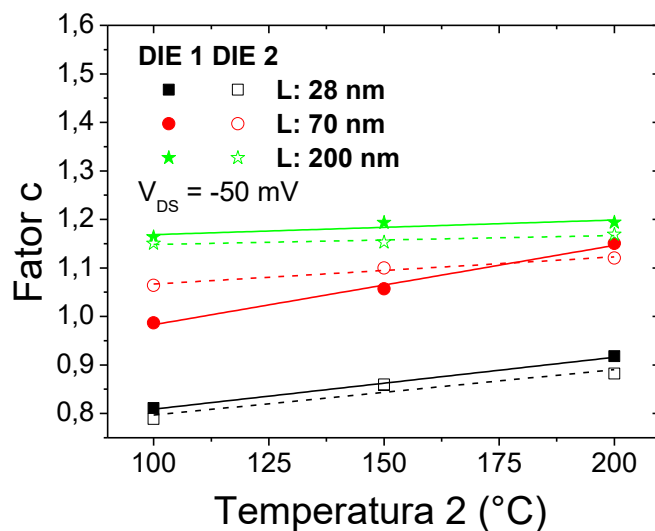
5.2.4 Fator de Degradação da Transcondutância (fator c)

O parâmetro fator c é calculado através do comportamento de g_m com a temperatura que afeta no cálculo de V_{ZTC} .

A figura 46 mostra o comportamento do fator c em função da temperatura para os dispositivos com L de 28, 70 e 200nm operando em baixa tensão de dreno (tríodo). Por meio desta figura, nota-se que o fator c aumenta com a temperatura quase linearmente devido à relação direta entre mobilidade e transcondutância, conforme descrito nas referências [54,63,64]. O fator c diminui com o comprimento do canal próximo a 0,35 entre $L = 200\text{nm}$ e $L = 28\text{nm}$ para a região linear, ocasionado pelo avanço da influência da resistência série, importante nos dispositivos de menor comprimento de canal [54,55].

O fator c é crucial para a validação e eficiência do modelo analítico seguido neste estudo, pois oferece o quão o dispositivo pode ser afetado pela temperatura, por meio da relação direta entre a transcondutância e a mobilidade elétrica citado anteriormente, com o intuito de ajustar os resultados alcançados pelo modelo [12,13].

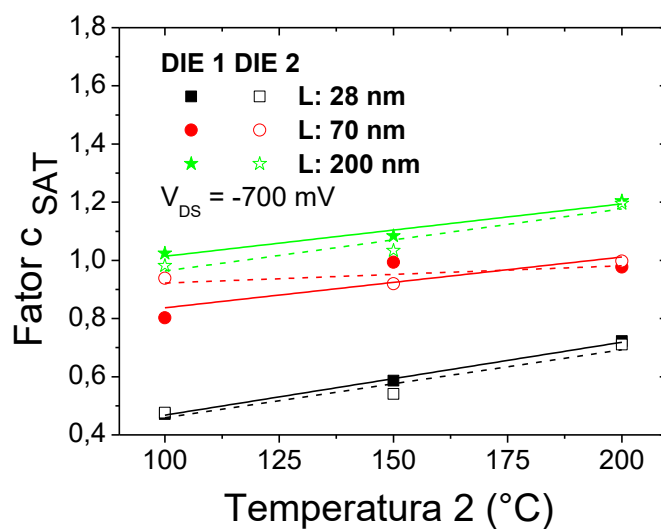
Figura 46 - Curva do fator c em função da temperatura, na região linear do dispositivo GAA-Nanosheet para os comprimentos de canal de 28, 70 e 200nm.



Fonte: autor

Adiante, na figura 47, uma avaliação igualmente é feita para os dispositivos operando em saturação.

Figura 47 - Curva do fator c em função da temperatura, na região de saturação do dispositivo GAA-Nanosheet para os diferentes comprimentos de canal.



Fonte: autor

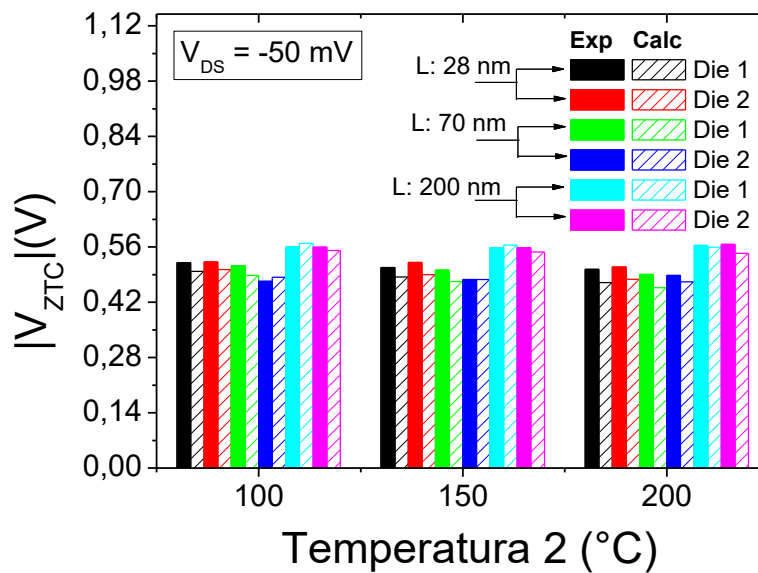
A figura 47, expõe que ocorre uma mesma linearidade no fator c na região de saturação com uma redução da temperatura. Essa redução é maior no regime

de saturação, chegando a um valor próximo a 0,53, entre o maior e o menor L . Essa variação pode ser causada pela influência da resistência série e possivelmente também pelo autoaquecimento, que são mais pronunciados em dispositivos com comprimentos de canal mais curtos e para alta tensão de dreno (região de saturação), afetando a transcondutância [54,55] e consequentemente a redução do fator c .

5.2.5 Cálculo do V_{ZTC} e Validação do modelo CM

Por meio da figura 48 é permitido avaliar os resultados de V_{ZTC} calculados pelo modelo CM para os dispositivos *GAA-Nanosheets*, a partir da comparação entre os valores analíticos e os valores da polarização de ZTC adquiridos experimentalmente.

Figura 48 - Curva em barras do V_{ZTC} em função da temperatura, na região linear do dispositivo *GAA-Nanosheet* para diferentes comprimentos de canal.



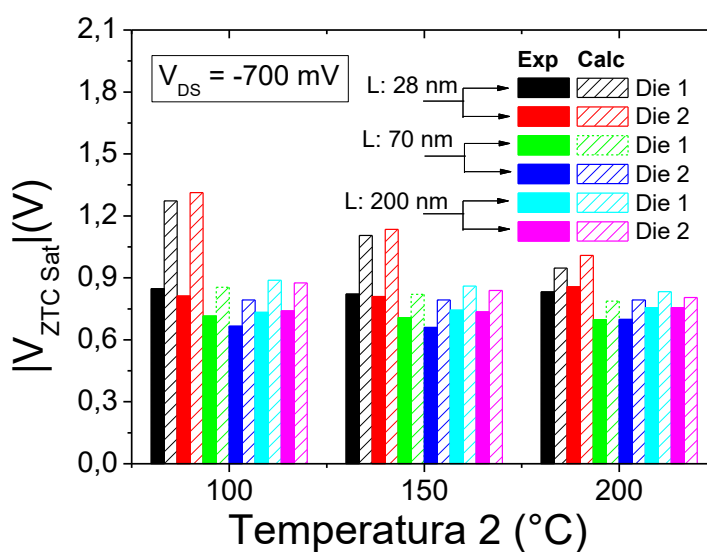
Fonte: autor

A partir da figura 48 pode-se observar que os piores resultados (maior diferença de V_{ZTC} entre o experimental e o modelo) ocorreram para os dispositivos de menor L , uma vez que estes começam a sofrer com o efeito de canal curto e são mais afetados pela resistência série. Lembrando que estes efeitos não são considerados pelo modelo CM.

Porém nos transistores de canal P os valores calculados ficaram mais próximos dos experimentais, mostrando que uma previsão com baixo erro pode ser feita utilizando o modelo na região linear.

Através da figura 49 é possível observar os resultados experimentais e calculados pelo modelo CM do V_{ZTC} nos dispositivos *GAA-Nanosheet*, operando em saturação. Assim como nos dispositivos de canal N, os piores resultados também estão nos dispositivos de menor comprimento de canal devido a influência do SCE e da resistência série na corrente de dreno [54], o que afeta a extração de g_m e consequentemente o fator c , influenciando no valor final do V_{ZTC} calculado pelo modelo.

Figura 49 - Curva em barras do V_{ZTC} em função da temperatura, na região de saturação do dispositivo *GAA-Nanosheet* para diferentes comprimentos de canal.



Fonte: autor

5.2.6 Erro (%)

Assim como para os dispositivos *GAA-Nanosheet* canal N, para o canal P, o erro (%) é calculado com base na equação (60), através da comparação realizada entre os valores alcançados experimentalmente e os calculados por meio do modelo CM. Com isso é possível enxergar o comportamento (resposta) alcançado do modelo CM.

A tabela 5 mostra o erro dos valores calculados de V_{ZTC} pelo modelo em relação aos experimentais dos dispositivos *GAA-Nanosheet*. Os baixos valores

de erro exibidos pela tabela, mostram como o modelo CM é válido para o transistor canal P desta tecnologia, avaliado na região linear, mesmo para os menores comprimentos de canal ($L=28\text{nm}$).

Tabela 5 - Valores do erro (%) gerados entre o V_{ZTC} experimental e o modelo analítico na região linear para dispositivos com diferentes comprimentos de canal.

Erro (%)						
T (°C)	L=28nm		L=70nm		L=200nm	
	Die 1	Die 2	Die 1	Die 2	Die 1	Die 2
100	4,27	3,71	4,72	2,18	1,50	1,55
150	4,66	5,97	5,84	0,04	1,13	1,88
200	6,66	6,09	6,79	3,33	0,81	3,95

Fonte: autor

A partir da tabela 5, percebe-se que o pior caso, quando a taxa de erro é maior, os valores encontram-se abaixo de 7%, para os transistores de menor comprimento de canal e alta temperatura mostrando que o comportamento do modelo é útil para esta tecnologia.

Para o regime de saturação, onde a tensão de dreno é maior, o erro (%) também foi adquirido pela equação (60), como é exposto na tabela 6. Verifica-se uma diferença dos valores de erro em comparação com a região linear para os diferentes comprimentos de canal avaliados.

Tabela 6 - Valores do erro (%) gerados entre o V_{ZTC} experimental e o V_{ZTC} calculado pelo modelo analítico na região de saturação para dispositivos com diferentes comprimentos de canal.

Erro_{SAT} (%)						
T (°C)	L=28nm		L=70nm		L=200nm	
	Die 1	Die 2	Die 1	Die 2	Die 1	Die 2
100	50,21	61,77	19,45	18,96	21,18	18,27
150	34,54	40,16	15,93	20,35	15,68	14,03
200	13,83	17,84	12,93	13,33	10,32	6,57

Fonte: autor

Como exposto na tabela 6, os valores de erros alcançados pelo modelo CM para o dispositivo estudado no regime de saturação, comparados com o de trípode, são maiores, principalmente olhando para os dispositivos de menor comprimento de canal, onde são fortemente influenciados pelo efeito de canal

curto e resistência série, no qual são mais destacados em aplicações com tensão de dreno maior (região de saturação). Desta forma, para o comprimento de canal de 28nm, o modelo não se torna aplicável devido ao grande valor de erro obtido.

Mas avaliando-se que o regime de saturação é mais utilizado em aplicações analógicas e que para estas usualmente não trabalhamos com o L mínimo da tecnologia, olhando para os comprimentos de canal de $L=70\text{nm}$ e $L=200\text{nm}$, poderia dizer que a aplicação do modelo CM seria razoável.

Neste caso carecemos fazer uma avaliação de custo benefício, pois necessitamos ponderar o impacto deste erro na corrente (desvantagem) e a simplicidade e rapidez de estimativa do modelo (vantagem).

6. CONCLUSÕES

Neste trabalho foram apresentados o estudo e a validação do modelo CM para o cálculo do ponto invariante com a temperatura (V_{ZTC}) para o transistor *GAA-Nanosheet*, canal N e P, nas regiões de operação tródo e saturação.

Inicialmente foram extraídos parâmetros básicos como a tensão de limiar (V_T) e a transcondutância de medidas experimentais, com a intenção de alimentar o modelo através do fator c e da variação de V_T com a temperatura ($\Delta V_T/\Delta T$). A partir desta análise foi possível observar a melhoria da estabilidade dos parâmetros com a temperatura nesta tecnologia, devido ao melhor acoplamento do eletrodo de porta com a região do canal.

Foi realizada a comparação dos valores de V_{ZTC} experimentais com os calculados por meio do modelo, analisando as características de cada parâmetro relacionado, como V_T e a transcondutância, que são extraídos diretamente das medidas colhidas no dispositivo, com o propósito de checar a resposta e se o modelo CM é útil para esta tecnologia. O modelo é de simples aplicação, e apresentou-se uma boa concordância com os resultados obtidos experimentalmente, principalmente para os dispositivos operando na região linear, em ambos os canais (n e p).

Com base nos dados alcançados, para o canal N, a taxa média de erro para a região de operação em tródo foi próxima a 6,38% e para a região de saturação foi próxima a 12,32%. Quando o erro na região de tródo é observado a 200 ° C e para o dispositivo mais curto (pior caso), a maior taxa adquirida é de 11%. Para os dispositivos de canal P, os resultados alcançados apresentam uma taxa de erro abaixo dos 7% na região linear para os dispositivos de menor comprimento de canal, sendo esses os piores casos, devido aos efeitos de canal curto e resistência série, como comentado.

Na região de saturação, para ambos os tipos de dispositivo (p e n), o modelo apresentou-se uma maior taxa de erro, principalmente devido ao fator de resistência série, que não é considerado pelo modelo.

Através dos resultados dos transistores de canal N, foi possível notar também que na região de saturação o modelo CM apresentou alta sensibilidade aos parâmetros, $\Delta V_T/\Delta T$ e fator c , pois para esta tecnologia esses parâmetros tornaram-se muito pequenos, fazendo com que em pequenas mudanças nos valores destes fatores, o modelo sofra grande variação para uma mesma matriz de transistores.

Para os transistores de canal P, operados no regime de saturação, o modelo gerou uma taxa de erro significativamente maior para os dispositivos com $L=28\text{nm}$, não deixando o modelo muito aplicável para essa situação. Contudo para os demais comprimentos de canal ($L=70\text{nm}$ e $L=200\text{nm}$), o modelo em regime de saturação, pode ser considerado admissível, devido a sua simplicidade de aplicação.

Os dados coletados experimentalmente e comparados com os analíticos, corroboram a boa resposta do modelo CM para esses dispositivos, mesmo na região de saturação (canal N), quando ele apresenta alta sensibilidade. Se considerarmos que no regime de saturação sua aplicação mais usual (analógica) não trabalha com os dispositivos mais curtos do nó tecnológico devido a degradação de sua performance analógica, o modelo passa a ser uma importante ferramenta para estimar a tensão de polarização do circuito, auxiliando os projetistas de circuitos integrados.

6.1 Trabalhos Futuros

Diante do contexto abordado neste trabalho, buscando o bom comportamento do modelo CM e a excelência em sua aplicação, uma proposta de trabalho futuro, é o de aprimorar o modelo, incluindo os efeitos da resistência série e de canal curto.

PUBLICAÇÕES GERADAS NO MESTRADO

1- TRABALHOS PUBLICADOS

COELHO, C. H. S.; MARTINO, J. A.; SIMOEN, E.; VELOSO, A.; AGOPIAN, P. G. D. **Analysis of the ZTC-Point for Vertically Stacked Nanosheet pMOS Devices**. IEEE, Latin American Electron Devices Conference (LAEDC), 2021, Virtual.

COELHO, C. H. S.; MARTINO, J. A.; AGOPIAN, P. G. D. **The Zero-Temperature-Coefficient of Vertically Stacked Nanosheet Transistors in the linear region**. SEMINATEC, 2021, Virtual.

2- TRABALHOS SUBMETIDOS

COELHO, C. H. S.; MARTINO, J. A.; SIMOEN, E.; VELOSO, A.; AGOPIAN, P. G. D. **The Study of Zero-Temperature Coefficient Behavior for Vertically Stacked Double Nanosheet nMOS Devices**. Microelectronics Journal, 2021.

REFERENCIAS

- [1] KILBY, J. S. **Miniature semiconductor integrated circuit**. US3115581A, 1963.
- [2] MOORE, G. E. **Cramming more components onto integrated circuits**. Electronics, p. 114 117, 19 abr. 1965. Reprinted in Proc. IEEE, vol. 86, no. 1, p. 82-85, jan. 1998.
- [3] LILIENFELD, J. **Method and apparatus for controlling electric currents**. US1745175A, 1970.
- [4] **O microchip: pequena invenção, grande revolução**. Disponível em: < http://www.lsi.usp.br/~chip/de_onde_vieram.html >. Acesso em: 20 de junho 2020.
- [5] NASCIMENTO, V. M. **Estudo do ponto invariante com a temperatura ("zero temperaturecoefficient") em SOI FINFETs tensionados e radiados**. 2017. 98p. Dissertação (Mestrado) - Escola Politécnica, Universidade de São Paulo, São Paulo, 2017.
- [6] COLINGE, J.P. **Thin-film SOI devices: A perspective, Microelectronic Engineering**. vol. 8, 1988.
- [7] O'LEARY, W. **IBM Advances Chip Technology With Breakthrough For Making Faster, More Efficient Semiconductors**. 1998. Disponível em: <http://www-03.ibm.com/press/us/en/pressrelease/2521.wss>.
- [8] OLIVEIRA, A. V. et al. **Comparison of analog performance between SOI and Bulk pFinFET**. 2014 29th Symposium on Microelectronics Technology and Devices: Chip in Aracaju, SBMicro 2014, p. 1–4, 2014.
- [9] COLINGE, J. P. **FinFETs and Other Multi-Gate Transistors**. New York: Springer, 2008.
- [10] HISAMOTO, D. et al. **Folded-channel MOSFET for deep-sub-tenth micron era**. Technical Digest - International Electron Devices Meeting, v. 38, p. 1032–1034, 1998.
- [11] MARTINO, J. A. **Design, fabrication and electrical characterization of SOI FinFET transistors**. Frontiers of Science: Brazil and Spain. [Online] 12 12, 2012.

- [12] CAMILO, L. M. et al. **Simple Analytical Model to Study the ZTC Bias Point in PD and FD SOI MOSFETs**. EuroSOI 2006 Conference Proceedings, v. 1, p. 77, 2006.
- [13] CAMILO, L. M. **Estudo do ponto invariante com a temperatura (“zero temperature coeficiente”) em transistores SOI MOSFET fabricados com tecnologia ultra-submicrométrica**. 2011. 142p. Tese (Doutorado) - Escola Politécnica, Universidade de São Paulo, São Paulo, 2011.
- [14] VELOSO, A. et al. **Nanowire & Nanosheet FETs para aplicações lógicas e de memória de alta densidade e ultra-dimensionadas**. 2019 Workshop Internacional Conjunto EUROSUI e Conferência Internacional sobre Integração Final em Silício (EUROSUI-ULIS), Grenoble, França, 2019, pp. 1-4, doi: 10.1109 / EUROSUI-ULIS45800.2019.9041857.
- [15] BARRAUD, S. et al. **Performance and Design Considerations for Gate-All-Around Stacked-NanoWires FETs**. IEEE International Electron Devices Meeting (IEDM), 2017, San Francisco, EUA.
- [16] CHU, C. et al. **Os GAAFETs com cinco nanofolhas Ge empilhadas feitas por epitaxia em multicamadas 2D Ge / Si, excelente ataque seletivo e doping conforme a monocamada**. 2019 Silicon Nanoelectronics Workshop (SNW), Kyoto, Japão, 2019, pp. 1-2, doi: 10.23919 / SNW.2019.8782970.
- [17] MACAMBIRA, C. N. **Estudo do ponto invariante com a temperatura (“zero temperaturecoefficient”) em UTBB SOI NMOSFETs**. 2017. 85p. Dissertação (Mestrado) - Escola Politécnica, Universidade de São Paulo, São Paulo, 2017.
- [18] COLINGE, J. P. **Silicon-On-Insulator Technology: Materials to VLSI**. Massachusetts: Kluwer Academic Publishers, 2004; 154-159
- [19] CHOI, J. Y.; FOSSUM, J. G. **Analysis and Control of Floating-Body Bipolar Effects in Fully Depleted Submicrometer SOI MOSFET's**. IEEE Electron Transection on Electron Devices, v. 38, n. 6, 1991.
- [20] COLINGE, J. P. **Reduction of kink effect in thin-film SOI MOSFETs**. IEEE Electron Device Letters, v. 9, n. 2, 1988.
- [21] SU, L. T. et al. **Measurement and modeling of self-heating in SOI nMOSFET's**. IEEE Electron Transection on Electron Devices, v. 41, n. 1, 1994.
- [22] MARTINO, J. A.; PAVANELLO, M. A.; VERDONCK, P. B. **Caracterização Elétrica de Tecnologia e Dispositivos MOS**. Editora Thomson. 2003.

- [23] KRISHNAN, S.; FOSSUM, J. G. **Grasping SOI floating-body effects**. IEEE Circuits and Devices Magazine, v. 14, n. 4, p. 32-37, 1998.
- [24] OUISSE, T.; CRISTOLOVEANU, S.; BOREL, G. **Influence of series resistances and interface coupling on the transconductance of fully-depleted silicon-on-insulator MOSFETs**. Solid State Electronics, v. 35, n. 2, p. 141-149, 1992.
- [25] KISTLER, N.; WOO, J. **Detailed characterization and analysis of the breakdown voltage in fully depleted SOI n-MOSFET's**. IEEE Transactions on Electron Devices, v. 41, n. 7, p. 1217-1221, 1994.
- [26] YOUNG, K. K. **Short-channel effect in fully depleted SOI MOSFETs**. IEEE Transactions on Electron Devices, v. 36, n. 2, p. 399-402, 1989.
- [27] COLINGE, J. P. **Subthreshold Slope of Thin-Film SOI MOSFET's**. IEEE Electron Devices Letters, v. 7, n. 4, 1986.
- [28] COLINGE, J. P. **Thin-Film SOI Technology: The Solution to Many SubmicronCMOS Problems**. International Electron Devices Meeting, p. 817-820, 1989.
- [29] LIM, H. K.; FOSSUM, J. G. **Threshold voltage of thin-film Silicon-oninsulator (SOI) MOSFET's**. IEEE Transactions on Electron Devices, v. 30, n. 10, p. 1244-1251, 1983.
- [30] NOEL, J. P. et al. **UT2B-FDSOI Device Architecture Dedicated to Low Power Design Techniques**. European Solid-State Device Research Conference ESSDERC, 2010, p. 210 213.
- [31] SUGII, N. et al. **Local Vth Variability and Scalability in Silicon-on-Thin-BOX (SOTB) CMOS With Small Random-Dopant Fluctuation**. IEEE Transactions on Electron Devices, vol. 57, no. 4, p. 835 845, 2010.
- [32] ITOCAZU, V. T. et al. **Analysis of the Silicon Film Thickness and the Ground Plane Influence on Ultra Thin Buried Oxide SOI nMOSFETs**. Microelectronics Technology and Devices, SBMicro, 2012.
- [33] NICOLETTI, T. **Estudo da Resistência Série de Fonte e Dreno de Transistores SOI FinFETs de Porta Tripla e com Canal Tensionado**. [s.l: s.n.], 2009.
- [34] RODRIGUES, M. **ELETRODO DE PORTA METÁLICO**. [s.l: s.n.], 2010.
- [35] BERTOLDO, M. **Efeitos da Radiação de Prótons em FinFET's de porta tripla de corpo (Bulk-FinFET)**. [s.l: s.n.], 2016.

- [36] **Samsung Announces 3nm GAA MBCFET PDK, Version 0.1.** Disponível em: < <https://www.anandtech.com/show/14333/samsung-announces-3nm-gaa-mbcfet-pdk-version-01> >. Acesso em: 13 de julho 2020.
- [37] NAGY, D. et al. **Benchmarking of FinFET, Nanosheet, and Nanowire FET Architectures for Future Technology Nodes.** in IEEE Access, vol. 8, pp. 53196-53202, 2020, doi: 10.1109/ACCESS.2020.2980925.
- [38] TSAI, M., et al. **Fabrication and Characterization of Stacked Poly-Si Nanosheet With Gate-All-Around and Multi-Gate Junctionless Field Effect Transistors.** IEEE Journal of the Electron Devices Society, vol. 7, pp. 1133-1139, 2019, doi: 10.1109/JEDS.2019.2952150.
- [39] SHOUCAIR, F. S. **Electron.** Lett. 25 (1989) pp. 1196 1198.
- [40] PRIJIC, Z. D.; DIMITRIJEV, S. S.; STOJADINOVIC, N. D. **Microelectron Reliab.** 32 (1992) 769 773.
- [41] GROESENEKEN, G. et al. **IEEE Electron Device.** Lett. 11 (1990) 329 331.
- [42] JEON, D. S.; BURK, D. E. **IEEE Electron Devices.** 38 (1991) 2101 2111.
- [43] NASCIMENTO, V. M. et al. **Influence of the Strain and Proton Radiation on Zero Temperature Coefficient (ZTC).** 31st Symposium on Microelectronics Technology and Devices, 2016, Belo Horizonte, Brasil.
- [44] MARTINO, J. A. et al. **Zero Temperature Coefficient behavior for advanced MOSFETs.** 2016. 13th IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT), Hangzhou, 2016, pp. 785-788, doi: 10.1109/ICSICT.2016.7999041.
- [45] **Fórmula de Bhaskara.** Disponível em: < <https://brasilecola.uol.com.br/matematica/formula-bhaskara.htm> >. Acesso em: 01 de julho 2020.
- [46] WONG, H. S. et al. **Modeling of Transconductance Degradation and Extraction of Threshold Voltage in Thin Oxide MOSFET's.** Solid-State Electronics, v. 30, p. 953, 1987.
- [47] DORIA, R. T.; Pavanello, M. A. **Threshold Voltage Dependence on the Temperature in Strained and Standards nFinFETs.** EUROSIOI 2010 Conference Proceedings, p. 87, 2010.
- [48] JEON, D. S.; BURK, D. E. **MOSFET Inversion Layer Mobilities - A Physically Based Semi-Empirical Model for a wide Temperature Range.** IEEE Transactions Electron Devices, v. 36, p. 1456, 1989.

- [49] PRETET, J.; VANDOOREN, A.; CRISTOLOVEANU, S. **Temperature Operation of FDSOI Devices with Metal Gate (TaSiN) and High-k Dielectric**. Proc ESSDERC, p. 573, 2003.
- [50] YOSHINO, A. **Proceedings of the Fourth International Symposium on Silicon-on-Insulator Technology and Devices**. Ed by D. N. Schmidt, v. 90, The Electrochemical Society, p. 544, 1990.
- [51] ALMEIDA, L. M. et al. **Improved Analytical Model for ZTC Bias Point for Strained Tri-gates FinFETs**. SBMicro 2010 - 25th International Symposium on Microelectronics Technology and Devices, v. 31, p.385, 2010.
- [52] MARTINO, J. A. et al. **Zero-Temperature-Coefficient of Planar and MuGFET SOI Devices**. Solid-State and Integrated Circuit Technology (ICSICT), 2010 10th IEEE International Conference on, pp. 1753-1756, 2010.
- [53] AGOPIAN, P. G. D. **Estudo do efeito de elevação atípica da transcondutância na região linear de polarização em dispositivos SOI NMOSFETs Utra-Submicrométricos**. 2008. 147p. Tese (Doutorado) - Escola Politécnica, Universidade de São Paulo, São Paulo, 2008.
- [54] OSMAN, A. A.; OSMAN, M. A. **Investigation of high temperature effects on MOSFET transconductance (g_m)**. 1998, Fourth International High Temperature Electronics Conference. HITEC (Cat. No.98EX145), Albuquerque, NM, USA, 1998, pp. 301-304, doi: 10.1109/HITEC.1998.676808.
- [55] OUYANG, O.; OSMAN, A. A.; MOJARRADI, M. **High-Temperature Characterization of High-Voltage MOSFETs Fabricated In a 0.5um CMOS Process**. 1998 IEEE International Conference on, pp. 7803-4540, 1998.
- [56] PEIDE, Y.; THOMAS, E.; MUKESH, V. K.; **The Nanosheet Transistor Is the Next (and Maybe Last) Step in Moore's Law**. 2019. Disponível em: <https://spectrum.ieee.org/semiconductors/devices/the-nanosheet-transistor-is-the-next-and-maybe-last-step-in-moores-law>.
- [57] POIROUX, T. et al. **Multiple gate devices: advantages and challenges**. Microelectronic Engineering 80, 378p. 2005.
- [58] OLIVEIRA, A. V. et al. **Low-Frequency Noise in Vertically Stacked Si n-Channel Nanosheet FETs**. IEEE Electron Device Letters, vol. 41, no. 3, pp. 317-320, March 2020, doi: 10.1109/LED.2020.2968093.
- [59] DOBRESCU, L. et al. **Threshold voltage extraction methods for MOS transistors**. 2000. International Semiconductor Conference. 23rd Edition. CAS

2000. Proceedings (Cat. No.00TH8486), Sinaia, Romania, 2000, pp. 371-374 vol.1, doi: 10.1109/SMICND.2000.890257.

[60] SILVA, V. C. P. **Estudo da região de sublimar de transistores avançados**. 2018. Dissertação (Mestrado em Ciências) – Escola Politécnica, Universidade de São Paulo, São Paulo, 2018.

[61] PARK, J. et al. **Investigation of self-heating effects in Gate-All-Around MOSFETs with vertically stacked multiple silicon nanowire channels**. IEEE Transactions on Electron Devices, vol. 64, no. 11, pp. 4393-4399, Nov. 2017, doi: 10.1109/TED.2017.2749324.

[62] PRASAD, C.; RAMEY, S.; JIANG, L. **Self-heating in advanced CMOS technologies**. 2017. IEEE International Reliability Physics Symposium (IRPS), Monterey, CA, 2017, pp. 6A-4.1-6A-4.7, doi: 10.1109/IRPS.2017.7936336.

[63] DEEN, M. J.; WANG, J.; HARDY, H. S. **Intrinsic mobility and its surface degradation parameters in narrow channel width pMOS devices at cryogenic temperatures**. Solid State Electronics, vol. 32, N° 11, p.1009-1012, 1989.

[64] CHINDALORE, G. et al. **Temperature dependence characterization of effective electron and hole mobilities in the accumulation layers of n- and p-type MOSFET's**. IEEE Transactions on Electron Devices, vol. 46, no. 6, pp. 1290-1294, June 1999, doi: 10.1109/16.766900.

[65] BANSAL, A. K.; JAIN, I.; HOOK, T. B.; DIXIT, A. **Series resistance reduction in stacked nanowire FETs for 7-nm CMOS technology**. IEEE Journal of the Electron Devices Society, vol. 4, no. 5, pp. 266-272, Sept. 2016, doi: 10.1109/JEDS.2016.2592183.