

unesp



UNIVERSIDADE ESTADUAL PAULISTA

Programa de Pós-Graduação em Engenharia Elétrica

**“Uma nova célula de comutação ZVS - PWM aplicada à um
inversor monofásico em meia ponte, com controle digital
através de dispositivo FPGA e linguagem VHDL”**

Jurandir de Oliveira Soares

1210001490



Ilha Solteira - SP



unesp

UNIVERSIDADE ESTADUAL PAULISTA –UNESP

FACULDADE DE ENGENHARIA DE ILHA SOLTEIRA

PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

“Uma nova célula de comutação ZVS - PWM aplicada à um
inversor monofásico em meia ponte, com controle digital
através de dispositivo FPGA e linguagem VHDL”

Jurandir de Oliveira Soares

Orientador:

Prof. Dr. Carlos Alberto Canesin

Dissertação apresentada à Faculdade de
Engenharia de Ilha Solteira- FEIS-
UNESP como parte dos requisitos
exigidos para a obtenção do título de
**MESTRE EM ENGENHARIA
ELÉTRICA.**

Ilha Solteira(SP), Abril de 2004.

FICHA CATALOGRÁFICA

Elaborada pela Seção Técnica de Aquisição e Tratamento da Informação/Serviço Técnico de Biblioteca e Documentação da FEIS/UNESP

S676u Soares, Jurandir de Oliveira
Uma nova célula de comutação ZVS-PWM aplicada à um inversor monofásico em meia ponte, com controle digital através de dispositivo FPGA e linguagem VHDL / Jurandir de Oliveira Soares. – Ilha Solteira : [s.n.], 2004
xx, 130 p. : il.

Dissertação (mestrado) – Universidade Estadual Paulista. Faculdade de Engenharia de Ilha Solteira, 2004

Orientador: Carlos Alberto Canesin
Bibliografia: p. 117-120

1. Eletrônica de potência. 2. Semicondutores de potência. 3. Controle eletrônico. 4. Energia elétrica – Conversão. 5. Sistemas de controle digital. 6. Circuitos de comutação.

*Uma Nova Célula de Comutação ZVS-PWM
Aplicada a um Inversor Monofásico em Meia
Ponte, com Controle Digital Através de
Dispositivo FPGA e Linguagem VHDL*

Jurandir de Oliveira Soares

**DISSERTAÇÃO SUBMETIDA À FACULDADE DE ENGENHARIA - CAMPUS DE
ILHA SOLTEIRA – UNESP – COMO PARTE DOS REQUISITOS NECESSÁRIOS
PARA A OBTENÇÃO DO TÍTULO DE MESTRE EM ENGENHARIA ELÉTRICA**

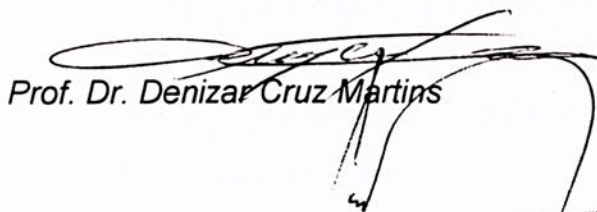
COMISSÃO EXAMINADORA:

A. Carvalho.

Prof. Dr. Aparecido Augusto de Carvalho
Coordenador do Programa de Pós-Graduação
em Engenharia Elétrica



Prof. Dr. Carlos Alberto Canesin – orientador



Prof. Dr. Denizar Cruz Martins



Prof. Dr. Luis Carlos Origa de Oliveira

Ilha Solteira-SP, abril de 2004.

AGRADECIMENTOS

Ao professor Carlos Alberto Cunesin por ter confiado a mim o desenvolvimento desta pesquisa e pela orientação competente e segura.

Ao Conselho Nacional de Desenvolvimento Científico e Tecnológico – CNPQ, pela concessão da bolsa de estudos, propiciando-me tranquilidade e segurança durante a realização do trabalho.

Aos professores Denizar Cruz Martins (UFSC) e Luis Carlos Origa de Oliveira (UNESP), integrantes da comissão examinadora, pelas contribuições sugeridas para a versão final deste trabalho.

Aos professores Luis Carlos Origa de Oliveira (UNESP) e José Carlos Rossi (UNESP) pela participação nas bancas de Estudos Especiais I e Exame Geral de Qualificação e pelas observações importantes no quesito apresentação do trabalho.

Ao professor de graduação e colega do Laboratório de Eletrônica de Potência (LEP), aluno do curso de pós-graduação, Fausto Donizeti Denton, por acreditar na minha capacidade, pelas sugestões importantes e apoio durante os momentos difíceis.

Aos demais colegas do laboratório (LEP), também alunos do curso de pós-graduação, Fábio Toshiki Wakabayashi, Flávio Alessandro Sorrião Gonçalves e Thiago Martins de Moraes pela ajuda e sugestões, contribuindo de forma relevante para a realização do trabalho.

Ao Willyan Akira Matsubara, pela compreensão e apoio na fase inicial do mestrado, possibilitando-me conciliar as minhas atribuições profissionais ainda como funcionário da ECT – Empresa Brasileira de Correios e Telégrafos, em Campo Grande-MS, no ano de 2001 e início de 2002, com as minhas atividades escolares na UNESP.

A toda a minha família pelo incentivo e apoio durante toda a minha formação, em especial aos meus pais: Sabino Corrêa Soares e Iza Vieira de Oliveira Soares, pela vida, a educação sólida e por compreender a minha ausência.

A Deus e aos meus queridos Pais...



AGRADECIMENTOS

Ao professor Carlos Alberto Canesin por ter confiado a mim o desenvolvimento desta pesquisa e pela orientação competente e segura.

Ao Conselho Nacional de Desenvolvimento Científico e Tecnológico – CNPQ, pela concessão da bolsa de estudos, propiciando-me tranquilidade e segurança durante a realização do trabalho.

Aos professores Denizar Cruz Martins (UFSC) e Luís Carlos Origa de Oliveira (UNESP), integrantes da comissão examinadora, pelas contribuições sugeridas para a versão final deste trabalho.

Aos professores Luís Carlos Origa de Oliveira (UNESP) e José Carlos Rossi (UNESP) pela participação nas bancas de Estudos Especiais I e Exame Geral de Qualificação e pelas observações importantes no quesito apresentação do trabalho.

Ao professor de graduação e colega do Laboratório de Eletrônica de Potência (LEP), aluno do curso de pós-graduação, Fausto Donizeti Dantas, por acreditar na minha capacidade, pelas sugestões importantes e apoio durante os momentos difíceis.

Aos demais colegas do laboratório (LEP), também alunos do curso de pós-graduação, Fábio Toshiaki Wakabayashi, Flávio Alessandro Serrão Gonçalves e Thiago Martins de Moraes pela ajuda e sugestões, contribuindo de forma relevante para a realização do trabalho.

Ao Willyan Akira Matsubara, pela compreensão e apoio na fase inicial do mestrado, possibilitando-me conciliar as minhas atribuições profissionais ainda como funcionário da ECT – Empresa Brasileira de Correios e Telégrafos, em Campo Grande-MS, no ano de 2001 e início de 2002, com as minhas atividades escolares na UNESP.

A toda a minha família pelo incentivo e apoio durante toda a minha formação, em especial aos meus pais: Sabino Corrêa Soares e Ilza Vieira de Oliveira Soares, pela vida, a educação sólida e por compreender a minha ausência.



SUMÁRIO

LISTA DE FIGURAS	viii
LISTA DE TABELAS.....	xii
SIMBOLOGIA	xiii
RESUMO	xix
ABSTRACT	xx

CAPÍTULO 1

1 – Introdução Geral	1
----------------------------	---

CAPÍTULO 2

2 – Uma Nova Célula de Comutação Não Dissipativa ZVS-PWM para Sistemas	
Inversores Monofásicos.....	13
2.1 – Introdução	13
2.2 – Apresentação da Nova Célula ZVS-PWM	13
2.3 – O Novo Inversor Half Bridge ZVS-PWM.....	16
2.4 – Análise Qualitativa.....	17
2.4.1 – Etapas de Funcionamento.....	18
2.4.1.1 – Primeira Etapa de Funcionamento $[t_0, t_1]$	21
2.4.1.2 – Segunda Etapa de Funcionamento $[t_1, t_2]$	21
2.4.1.3 – Terceira Etapa de Funcionamento $[t_2, t_3]$	22
2.4.1.4 – Quarta Etapa de Funcionamento $[t_3, t_4]$	23
2.4.1.5 – Quinta Etapa de Funcionamento $[t_4, t_5]$	24
2.4.1.6 – Sexta Etapa de Funcionamento $[t_5, t_6]$	25
2.4.1.7 – Sétima Etapa de Funcionamento $[t_6, t_7]$	26
2.4.1.8 – Oitava Etapa de Funcionamento $[t_7, t_8]$	27

2.4.1.9 – Nona Etapa de Funcionamento $[t_8, t_9]$	28
2.5 – Análise Quantitativa.....	29
2.5.1 – Primeira Etapa de Funcionamento $[t_0, t_1]$	29
2.5.2 – Segunda Etapa de Funcionamento $[t_1, t_2]$	30
2.5.3 – Terceira Etapa de Funcionamento $[t_2, t_3]$	33
2.5.4 – Quarta Etapa de Funcionamento $[t_3, t_4]$	43
2.5.5 – Quinta Etapa de Funcionamento $[t_4, t_5]$	46
2.5.6 – Sexta Etapa de Funcionamento $[t_5, t_6]$	47
2.5.7 – Sétima Etapa de Funcionamento $[t_6, t_7]$	48
2.5.8 – Oitava Etapa de Funcionamento $[t_7, t_8]$	50
2.5.9 – Nona Etapa de Funcionamento $[t_8, t_9]$	51
2.6 – Restrições para Operação ZVS-PWM	53
2.7 – Ganho Estático para o Novo Inversor Half Bridge ZVS-PWM	56
2.8 – Conclusões	63

CAPÍTULO 3

3 – Metodologia de Projeto para o Novo Inversor Half Bridge ZVS-PWM.....	65
3.1 – Introdução	65
3.2 – Metodologia de Projeto.....	65
3.3 – Análise dos Esforços de Tensão e Corrente nos Interruptores	68
3.4 – Escolha do Ponto de Operação	70
3.5 – Cálculo do Elementos de Filtro de Saída.....	74
3.6 – Resultados de Simulação	77
3.7 – Projeto dos Núcleos para os Indutores de Filtro e de Ressonância.....	79
3.8 – Especificações para os Interruptores Ativos e Passivos	83
3.9 – Conclusões	88

CAPÍTULO 4

4 – Sistema de Geração das Larguras de Pulsos para os comandos dos Interruptores Principais e Auxiliares, através de Dispositivos Lógicos Programáveis FPGA.....	90
4.1 – Introdução	90



4.2 – Dispositivos Lógicos Programáveis FPGA com o uso da Linguagem de Descrição de Hardware VHDL	90
4.3 – Modulação PWM Senoidal	92
4.4 – Descrição do Código VHDL para a Obtenção dos Pulsos PWM	94
4.5 – Conclusões	98

CAPÍTULO 5

5 – Principais Resultados Experimentais para o Novo Inversor ZVS-PWM	100
5.1 – Introdução	100
5.2 – Protótipo Implementado.....	100
5.3 – Principais Resultados Experimentais.....	104
5.4 – Conclusões	113

CAPÍTULO 6

6 – Conclusões Gerais	114
------------------------------------	------------

REFERÊNCIAS BIBLIOGRÁFICAS	116
---	------------

APÊNDICES

Apêndice A – Rotina para Simulação Através do Pspice Orcad 9.1	121
Apêndice B – Código VHDL	124



LISTA DE FIGURAS

Descrição da Figura	Página
Figura 1.1 – Inversor Monofásico Half Bridge PWM clássico (VSI).....	01
Figura 1.2 – Classificação geral dos conversores CC-CA (inversores)	02
Figura 1.3 – Conversor CC-CA - HB - FM série ressonante	03
Figura 1.4 – Inversor ZVS Pólo Ressonante (RPI)	04
Figura 1.5 – Conversor CC-CA tipo ARDPI em meia ponte, monofásico	05
Figura 1.6 – Conversor CC-CA tipo ARCPI em meia ponte, monofásico	05
Figura 1.7 – Conversor CC-CA tipo Pólo ZVS-PWM verdadeiro, em meia ponte, monofásico	06
Figura 1.8 – Conversor CC-CA tipo ARCP, em meia ponte, monofásico.....	06
Figura 1.9 – Inversor trifásico ZVT-PWM	07
Figura 1.10 – Inversor trifásico ZCT-PWM.....	08
Figura 1.11 – Inversor ZVS-PWM em meia ponte, monofásico, com grameamento ativo...	09
Figura 1.12 – Conversor CC-CC Boost ZVS-PWM	10
Figura 2.1 – Nova célula de comutação ZVS-PWM.....	14
Figura 2.2 – Novo conversor CC-CA Half Bridge ZVS-PWM.....	16
Figura 2.3 – Novo inversor CC-CA Half Bridge ZVS-PWM simplificado.....	17
Figura 2.4 – Etapas de funcionamento para o novo conversor CC-CA Half Bridge ZVS, Semi ciclo positivo da tensão de saída	18
Figura 2.4 (a) – Principais formas de onda teóricas considerando-se um período comutação para as etapas da Figura 2.4.....	19
Figura 2.5 – Etapas de funcionamento para o novo conversor CC-CA Half Bridge ZVS, Semiciclo negativo da tensão de saída	20
Figura 2.6 - Inversor Half Bridge ZVS-PWM, Intervalo $\Delta t_1(t_0, t_1)$	21
Figura 2.7 - Inversor Half Bridge ZVS-PWM, Intervalo $\Delta t_2(t_1, t_2)$	22



Figura 2.8 - Inversor Half Bridge ZVS-PWM, Intervalo $\Delta t_3(t_2, t_3)$	23
Figura 2.9 - Inversor Half Bridge ZVS-PWM, Intervalo $\Delta t_4(t_3, t_4)$	24
Figura 2.10 - Inversor Half Bridge ZVS-PWM, Intervalo $\Delta t_5(t_4, t_5)$	25
Figura 2.11 - Inversor Half Bridge ZVS-PWM, Intervalo $\Delta t_6(t_5, t_6)$	26
Figura 2.12 - Inversor Half Bridge ZVS-PWM, Intervalo $\Delta t_7(t_6, t_7)$	27
Figura 2.13 - Inversor Half Bridge ZVS-PWM, Intervalo $\Delta t_8(t_7, t_8)$	28
Figura 2.14 - Inversor Half Bridge ZVS-PWM, Intervalo $\Delta t_9(t_8, t_9)$	29
Figura 2.15 - Detalhe da função $V_{Cr1}(t)$ e seus pontos principais	40
Figura 2.16(a) - Descrição do algoritmo para cálculo de Δt_3 , parte “a”	41
Figura 2.16(b) - Descrição do algoritmo para cálculo de Δt_3 , parte “b”	42
Figura 2.17 - Relação mínima de frequências para operação ZVS – PWM, em relação ao parâmetro α , como função de C_{ra1}	54
Figura 2.18 - β_{eq} máximo para operação ZVS – PWM, em função de α	55
Figura 2.19 - Ganho estático teórico para o novo inversor ZVS – PWM, em função de α_{ef} , tomando-se como parâmetro a razão cíclica eficaz (D_{ef})	62
Figura 3.1 - Variação do valor de pico da corrente através do interruptor principal S_{p1}	70
Figura 3.2 – (a) Evolução da corrente e (b) da tensão, sobre os elementos ressonantes	77
Figura 3.3 – Corrente circulando através dos indutores ressonantes, (a) L_{r1} e (b) L_{r2}	77
Figura 3.4 – Tensão sobre os capacitores ressonantes, (a) C_{ra1} e (b) C_{ra2}	78
Figura 3.5 – Detalhes das comutações nos diodos auxiliares, (a) D_{a1} e (b) D_{a2}	78
Figura 3.6 – Detalhes das comutações ZVS para os interruptores principais, (a) S_{p1} e (b) S_{p2}	78
Figura 3.7 – Detalhes das comutações ZCS para os interruptores auxiliares, (a) S_{a1} e (b) S_{a2}	79
Figura 3.8 – Tensão e corrente através da carga em um período de V_O (60Hz)	79

Figura 3.9 – Diagrama esquemático de Potência para o novo inversor ZVS – PWM proposto e projetado	84
Figura 3.10 - Diagrama de blocos da lógica de comando para o inversor	85
Figura 3.11(a) – Diagrama esquemático para os circuitos de ataque de gate para os interruptores principais e auxiliares, parte “a”	86
Figura 3.11(b) – Diagrama esquemático para os circuitos de ataque de gate para os interruptores principais e auxiliares, parte “b”	87
Figura 4.1 – Forma clássica de obtenção de Larguras de pulsos PWM senoidal, para estruturas inversoras	93
Figura 4.2 – Variação da Forma clássica de obtenção de Larguras de pulsos PWM senoidal, para a estrutura proposta.....	94
Figura 4.3 – Visualização do programa VHDL em digrama de blocos	96
Figura 4.4 – Detalhe da evolução da função triangular gerada pelo VHDL	97
Figura 4.5 – Detalhe da obtenção de Largura de pulso PWM senoidal em VHDL	98
Figura 4.6 – Exemplo de simulação em ambiente VHDL para a lógica de controle de modulação PWM senoidal.....	98
Figura 5.1 – Vista superior do estágio de potência implementado para o novo inversor ZVS – PWM	100
Figura 5.2 – Vista superior dos circuitos de comando de gate para os interruptores principais e auxiliares.....	101
Figura 5.3 – Vista superior da placa FPGA da Xilinx (Spartan2e) para a geração dos sinais de controle, incluindo-se os pulsos de gate para os interruptores principais com modulação PWM senoidal.....	102
Figura 5.4 – Vista superior da placa auxiliar de alimentação	103
Figura 5.5 – Visão superior da montagem completa para o inversor monofásico em meia ponte ZVS – PWM proposto, com controle digital através de dispositivo FPGA e linguagem VHDL.....	104
Figura 5.6 – Detalhes dos pulsos auxiliares e principais para controle dos interruptores auxiliares e principais.....	105



Figura 5.7 - Pulsos de acionamento para os interruptores principais, no período da tensão de saída.....	106
Figura 5.8 – Correntes através dos ramos ressonantes auxiliares em um período de comutação: (a) Indutor ressonante L_{r1} ; (b) Indutor ressonante L_{r2}	106
Figura 5.9 – Tensões sobre os capacitores ressonantes do ramo auxiliar em um período de comutação: (a) Capacitor ressonante C_{ra1} ; (b) Capacitor ressonante C_{ra2}	107
Figura 5.10 – Detalhes das comutações para os interruptores principais: (a) Interruptor principal S_{p1} ; (b) Interruptor principal S_{p2}	107
Figura 5.11– Comutações para os interruptores principais no período da tensão de saída: (a) Interruptor principal S_{p1} ; (b) Interruptor principal S_{p2}	109
Figura 5.12 – Detalhes das comutações para os interruptores auxiliares: (a) Interruptor auxiliar S_{a1} ; (b) Interruptor auxiliar S_{a2}	110
Figura 5.13 – Tensão e corrente na carga, com detalhe do valor de ripple.....	111
Figura 5.14 – Espectro harmônico para a tensão de saída aplicada sobre a carga	111
Figura 5.15 – Espectro harmônico para a corrente na carga	112
Figura 5.16 – Rendimento experimental para o novo inversor ZVS - PWM.....	112



LISTA DE TABELAS

	Descrição da Tabela	Página
Tabela 3.1	Pontos de operação ZVS com esforços reduzidos nos interruptores principais..	72
Tabela 3.2	Dados de Projeto.....	73
Tabela 3.3	Especificações dos Parâmetros de Projeto	73
β_1	Parâmetro de relação entre a capacitância intrínseca C_{gs1} e a capacitância C_{gs1}	
β_2	Parâmetro de relação entre a capacitância intrínseca C_{gs2} e a capacitância C_{gs2}	
β_{eq}	Parâmetro de relação entre a soma das capacitâncias intrínsecas C_{gs1} e C_{gs2} e capacitância C_{eq}	
β_{eqmax}	Valor máximo do parâmetro β_{eq}	
$\Delta v_{crp}\%$	Valor percentual do ripple de tensão sobre o capacitor de filtro para carga não linear	
$\Delta I_{Lcrp}\%$	Valor percentual do ripple de corrente através do indutor de filtro L_{crp}	
Δt	Intervalo de tempo de pulso auxiliar	
$\Delta V_{crp}\%$	Valor percentual do ripple de tensão sobre o capacitor de filtro C_{crp}	
ζ	Coefficiente de amortecimento	
$\eta\%$	Rendimento em valores percentuais	
ω_0	Frequência angular de ressonância dos elementos ressonantes L_{crp} e C_{crp}	rad/s
A_c	Área da perna central do núcleo de ferrite	cm ²
A_w	Área da janela núcleo de ferrite, considerando o canal	cm ²
B	Densidade de fluxo magnético	T
C_o	Capacitância de filtro de saída	F
C_{gs1}	Capacitância intrínseca dos MOSFETs	F
C_{gs2}	Capacitância intrínseca do interruptor principal S_{gs1}	F
C_{gs2}	Capacitância intrínseca do interruptor principal S_{gs2}	F



SIMBOLOGIA

Símbolos usados em expressões matemáticas e referências em circuitos

Símbolo	Significado	Unidade
α	Parâmetro de normalização da carga	
α_{ef}	Valor eficaz do parâmetro de normalização da carga	
β_1	Parâmetro de relação entre a capacitância intrínseca C_{r1} e a capacitância C_{ra1}	
β_2	Parâmetro de relação entre a capacitância intrínseca C_{r2} e a capacitância C_{ra1}	
β_{eq}	Parâmetro de relação entre a soma das capacitâncias intrínsecas C_{r1} e C_{r2} e capacitância C_{ra1}	
$\beta_{eqmáx}$	Valor máximo do parâmetro β_{eq}	
$\Delta C_f\%$	Valor percentual do ripple da tensão sobre o capacitor de filtro para carga não linear	
$\Delta I_{LO}\%$	Valor percentual do ripple de corrente corrente através do indutor de filtro L_O	
Δt	Intervalo de tempo do pulso auxiliar	s
$\Delta V_{CO}\%$	Valor percentual do ripple da tensão sobre o capacitor de filtro C_O	
ζ	Coefficiente de amortecimento	
$\eta\%$	Rendimento em valores percentuais	
ω_O	Frequência angular de ressonância dos elementos ressonantes L_{r1} e C_{ra1}	rad/s
A_e	Área da perna central do núcleo de ferrite	cm ²
A_w	Área da janela núcleo de ferrite, considerando o carretel	cm ²
B	Densidade de fluxo magnético	T
C_O	Capacitância do filtro de saída	F
C_{oss}	Capacitância intrínseca dos MOSFETs	F
C_{r1}	Capacitância intrínseca do interruptor principal S_{p1}	F
C_{r2}	Capacitância intrínseca do interruptor principal S_{p2}	F



C_{ra1}	Capacitância em paralelo ao diodo auxiliar D_{a2}	F
C_{ra2}	Capacitância em paralelo ao diodo auxiliar D_{a2}	F
D	Razão cíclica de comando	
D_{ca}	Razão cíclica de controle para o inversor simétrico half bridge CC-CA	
D_{cc}	Razão cíclica de controle para o inversor simétrico half bridge CC-CC	
D_{ef}	Valor eficaz da cíclica de controle para o inversor simétrico half bridge CC-CA	
D_m	Razão cíclica máxima	
D_{min}	Razão cíclica mínima	
f	Relação de frequências	
$F(\alpha, \beta_1, \beta_2, f)$	Função de parâmetros	
f_c	Frequência de corte	Hz
f_{CLOCK}	Frequência de clock	Hz
f_{min}	Valor mínimo da relação de frequências “f”	
f_O	Frequência de ressonância dos elementos ressonantes L_{r1} e C_{ra1}	Hz
f_r	Frequência da tensão de saída do inversor	Hz
f_s	Frequência de comutação do inversor	Hz
$f_{SELEÇÃO}$	Frequência de seleção	Hz
f_{SEN}	Frequência da função senoidal de referência	Hz
f_{TRI}	Frequência da função triangular	Hz
I_3	Valor da corrente através indutor L_{r1} no final da terceira etapa	A
I_4	Valor da corrente através indutor L_{r1} no final da quarta etapa	A
$I_{Cr1}(t)$	Valor da corrente através da capacitância intrínseca C_{r1}	A
$I_{Cr2}(t)$	Valor da corrente através da capacitância intrínseca C_{r2}	A
$I_{Cra1}(t)$	Valor da corrente através da capacitância ressonante C_{ra1}	A
$I_{Cra2}(t)$	Valor da corrente através da capacitância ressonante C_{ra2}	A
I_{Da1Md}	Valor médio da corrente através de D_{a1}	A
I_{Da2Md}	Valor médio da corrente através de D_{a2}	A
$I_{Dsp1}(t)$	Valor da corrente através do diodo intrínseco D_{sp1}	A
$I_{Dsp2}(t)$	Valor da corrente através do diodo intrínseco D_{sp2}	A
I_{ef}	Valor eficaz de uma corrente genérica	A

I_{in}	Valor médio da corrente de entrada do inversor em um período genérico de comutação	A
I_{LOPico}	Corrente de pico através de L_O	A
$I_{Lr1}(t)$	Valor da corrente através indutor ressonante L_{r1}	A
$I_{Lr2}(t)$	Valor da corrente através indutor ressonante L_{r2}	A
I_O	Valor médio da corrente através da carga em um período genérico de comutação	A
I_{Oef}	Valor eficaz da corrente através da carga em um período da tensão na carga	A
I_{Omax}	Valor máximo de corrente através da carga	A
$I_O(t)$	Corrente através da carga	A
I_{pico}	Valor de pico de uma corrente genérica	A
I_{SaMd}	Valor médio da corrente através de S_{a1} e S_{a2}	A
$I_{Sa1média}$	Valor médio da corrente através de S_{a1}	A
$I_{Sa2média}$	Valor médio da corrente através de S_{a2}	A
$I_{Sp1(3)}(t)$	Corrente através do interruptor S_{p1} durante a terceira etapa de funcionamento	A
$I_{Sp1(4)}(t)$	Corrente através do interruptor S_{p1} durante a quarta etapa de funcionamento	A
$I_{Sp1(5)}(t)$	Corrente através do interruptor S_{p1} durante a quinta etapa de funcionamento	A
$I_{Sp1(6)}(t)$	Corrente através do interruptor S_{p1} durante a sexta etapa de funcionamento	A
$I_{Sp1(7)}(t)$	Corrente através do interruptor S_{p1} durante a sétima etapa de funcionamento	A
$I_{Sp1(8)}(t)$	Corrente através do interruptor S_{p1} durante a oitava etapa de funcionamento	A
$I_{Sp1(9)}(t)$	Corrente através do interruptor S_{p1} durante a nona etapa de funcionamento	A
$I_{Sp1}(t)$	Corrente através do interruptor principal S_{p1}	A
$I_{Sp1eficaz}$	Valor eficaz da corrente através de S_{p1}	A
I_{SpPico}	Corrente de pico através dos interruptores principais S_{p1} e S_{p2}	A
$I_{Sp1Pico}$	Corrente de pico através do interruptor principal S_{p1}	A



$I_{Sp2}(t)$	Corrente através do interruptor principal S_{p2}	A
$I_{Sp2eficaz}$	Valor eficaz da corrente através de S_{p2}	A
J	Densidade superficial de corrente	A/ cm ²
k	Quantidade de iterações	s
K_c	Coefficiente de ajuste dos condutores na área A_w	s
L	Indutor genérico	H
L_g	Entreferro do núcleo de ferrite	cm
L_O	Indutor de filtro de saída	H
L_{Omin}	Valor de indutância mínima de L_O	H
L_{r1}	Indutância ressonante de auxílio à comutação do interruptor principal S_{p1}	H
L_{r2}	Indutância ressonante de auxílio à comutação do interruptor principal S_{p2}	H
N_e	Número de espiras	V
q	Ganho estático	V
q_{cc-ca}	Ganho estático para o inversor simétrico half bridge CC-CA com modulação PWM senoidal	V
q_{cc-cc}	Ganho estático para o inversor simétrico half bridge CC-CC	V
Q_{Litz}	Quantidade de pares trançados (fio litz)	V
q_T	Ganho estático para um período genérico de comutação	V
R_{cu}	Raio de penetração da corrente através do condutor de cobre	cm
R_{dson}	Resistência do MOSFET em condução	Ω
R_O	Resistência nominal de carga	Ω
R_{SE}	Resistência série equivalente do capacitor	Ω
R_{Skin}	Raio de penetração da corrente através do condutor de cobre em função da frequência de comutação	cm
S_{a1}	Interruptor do ramo ressonante de auxílio à comutação do interruptor principal S_{p1}	V
S_{a2}	Interruptor do ramo ressonante de auxílio à comutação do interruptor principal S_{p2}	V
S_{cu}	Área da seção transversal do fio de cobre	cm ²
Sen_ref	Função senoidal de referência	Ω
S_{p1}	Interruptor principal para transferência de potência para a carga	Ω



	durante o semi ciclo positivo da tensão de saída	
S_{p2}	Interruptor principal para transferência de potência para a carga durante o semi ciclo negativo da tensão de saída	
T	Período de comutação do inversor	s
T_{CLOCK}	Período de clock	s
t_{min}	Instante correspondente ao valor mínimo da tensão $V_{Cr1}(t)$	s
t_{on}	Intervalo de tempo de transferência de energia para a carga pelos interruptores principais S_{p1} e S_{p2}	s
T_{RESS}	Tempo total de ressonância	s
V_2	Tensão sobre a capacitância C_{ra1} no final da segunda etapa	V
V_3	Tensão sobre a capacitância C_{ra1} no final da terceira etapa	V
$V_{Cr1}(t)$	Tensão sobre a capacitância intrínseca C_{r1}	V
$V_{Cr2}(t)$	Tensão sobre a capacitância intrínseca C_{r2}	V
$V_{Cr1}(t)$	Tensão sobre a capacitância ressonante C_{ra1}	V
$V_{Cr2}(t)$	Tensão sobre a capacitância ressonante C_{ra2}	V
$V_{Da1\text{máx}}$	Valor máximo de tensão sobre D_{a1}	V
$V_{Da2\text{máx}}$	Valor máximo de tensão sobre D_{a2}	V
V_E	Valor médio da tensão de alimentação do inversor	V
V_{in}	Valor médio da tensão de alimentação de cada braço inversor	V
$V_{Lr1}(t)$	Tensão sobre o indutor ressonante L_{r1}	V
V_{Oef}	Valor eficaz da tensão sobre a carga em um período da tensão na carga	V
V_{Omax}	Valor máximo da tensão sobre a carga	V
$V_O(t)$	Tensão sobre a carga	V
V_O	Valor médio da tensão sobre a carga em um período genérico de comutação	V
$V_{Sa1}(t)$	Tensão sobre o interruptor auxiliar S_{a1}	V
$V_{Sa1\text{máx}}$	Valor máximo de tensão sobre S_{a1}	V
$V_{Sa2\text{máx}}$	Valor máximo de tensão sobre S_{a2}	V
$V_{Sp1\text{máx}}$	Valor máximo de tensão sobre S_{p1}	V
$V_{Sp2\text{máx}}$	Valor máximo de tensão sobre S_{p2}	V
x	Número de bits	
Z_O	Impedância característica dos elementos ressonantes L_{r1} e C_{ra1}	Ω



Acrônimos e Abreviaturas

Símbolo	Significado
CA	Corrente Alternada
CC	Corrente Contínua
CC-CA	Corrente Alternada/ Corrente Contínua
EMI	Electromagnetic Interference
IGBT	Insulated-Gate Bipolar Transistor
MOSFET	Metal-Oxide-Semiconductor Field-Effect Transistor
PWM	Pulse Width Modulated
TDH	Taxa de Distorção Harmônica
UNESP	Universidade Estadual Paulista
ZC	Zero-Current
ZCS	Zero-Current-Switching
ZCZVS	Zero-Current-Zero-Voltage-Switching
ZV	Zero-Voltage
ZVS	Zero-Voltage-Switching

Símbolos de Unidades de Grandezas Físicas do SI (Sistema Internacional de Unidades)

Símbolo	Nome da Unidade
A	Ampère
cm	Centímetros
F	Farad
H	Henry
Hz	Hz
rad/s	Radianos por segundo
s	segundo
V	Volt
W	Watt
Ω	Ohm



RESUMO

O objetivo deste trabalho é a análise de uma nova célula de comutação ZVS – PWM aplicada à uma estrutura inversora de tensão monofásica e em meia ponte, com controle através de dispositivos FPGA (Field Programmable Gate Array) e linguagem de descrição de hardware VHDL (Hardware Description Language).

Este novo inversor possibilita comutações não dissipativas tanto na entrada em condução, quanto no bloqueio, para todos os interruptores principais e auxiliares, incluindo-se diodos auxiliares, permitindo condições para obtenção de elevada densidade de potência, devido à eliminação das perdas durante as comutações e incorporações dos elementos parasitas e intrínsecos dos interruptores e diodos auxiliares.

Apresenta-se a análise de funcionamento, determinam-se as restrições para operação ZVS, propõe-se uma metodologia de projeto com a finalidade de redução de esforços nos interruptores e apresentam-se os resultados de simulação e experimentais para um protótipo exemplo implementado.

A técnica de controle digital utilizada para obtenção dos sinais de controle e modulação PWM senoidal para os interruptores principais, utiliza-se da linguagem – código VHDL e de dispositivo FPGA da Xilinx – Spartan XC2S200E, módulo digilab-D2E, resultando numa tensão de saída senoidal com reduzido ripple e reduzida taxa de distorção harmônica (3,3%).

Finalmente, considerando-se as características analisadas para o novo inversor proposto, propõe-se sua aplicação na alimentação de cargas em corrente alternada isoladas, onde por exemplo a origem da fonte de energia sejam sistemas fotovoltaicos ou células a combustível.



ABSTRACT

The main objective of this work is the analysis of a new ZVS – PWM commutation cell applied to a single-phase half-bridge voltage source inverter structure, controlled by FPGA (Field Programmable Gate Array) device and using the VHDL (Hardware Description Language) language.

This new inverter structure performs soft-commutation even for turn-on as for turn-off, for all the main and auxiliary switches, including auxiliary diodes, performing conditions to obtain a high power density, due to the losses elimination during the commutations and incorporation of the parasitics and intrinsic elements of the main switches and auxiliary diodes.

It is presented the operation analysis, constraints for ZVS operation are determined, it is proposed a new design methodology aiming the reduction of the stresses on the switches and also it is presented the simulation and experimental results for an implemented prototype.

The digital control technique used for obtaining the control signals and sinusoidal PWM modulation for the active switches, makes use of the language – code VHDL and of the FPGA Xilinx – Spartan XC2S200E device, digilab-D2E module, resulting in a sinusoidal output voltage with a reduced ripple and THD equal to 3.3%, for rated load.

Finally, considering the analyzed characteristics for the new proposed inverter, its application is recommended for feeding isolated ac loads, where the primary power supply are photovoltaic systems or fuel cells.



Figura 1.1 – Inversor Monofásico Half Bridge ZVS-PWM de tensão de 12V

CAPÍTULO 1

1 - Introdução Geral

A necessidade do processamento de energia para suprir equipamentos que requerem alimentação com tensão senoidal em indústrias, empresas de telecomunicações, hospitais, aeronaves, UPS (*Uninterruptible Power Systems*), etc, de forma ininterrupta e segura, com fontes de alimentação compactas, tem sido crescente nas últimas décadas. Neste contexto, os pesquisadores atuantes na área de eletrônica de potência têm buscado atender tais necessidades, desenvolvendo conversores estáticos CC-CA, denominados inversores, tendo como características principais: A confiabilidade, a robustez e reduzidos volume, peso e custo.

Dentre as técnicas de modulação existentes, a modulação por largura de pulso (*PWM - Pulse Width Modulated*), a qual consiste em transferir a energia da fonte para a carga por meio de interrupções cíclicas do fluxo de potência, com frequência constante, tem sido a escolha principal na eletrônica de potência por décadas, pelo fato de se ter frequência constante de operação, tornando o circuito de controle mais simples e robusto. Além disso, reduzem-se o volume dos elementos reativos, por serem projetados para a frequência máxima de operação [1].

Os conversores clássicos CC-CA com comutação forçada (*Hard Switching*), oriundos do conversor abaixador de tensão (Buck), operam com modulação PWM e possuem os seus dispositivos de potência conectados como um inversor de tensão (VSI - Voltage Source Inverter), ou como um inversor de corrente (CSI - Current Source Inverter). Na Figura 1.1 apresenta-se a estrutura para o inversor monofásico em meia ponte (HB-Half Bridge) PWM clássico.

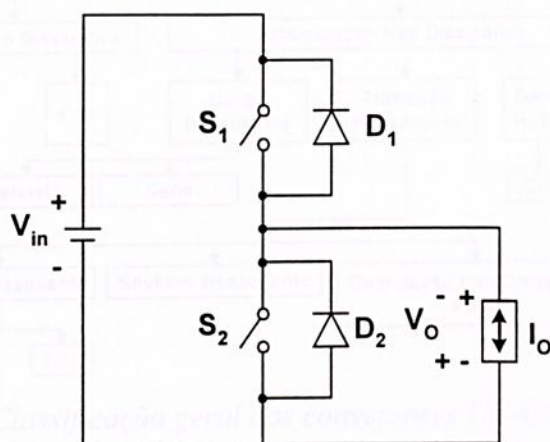


Figura 1.1 – Inversor Monofásico Half Bridge PWM clássico (VSI).

Apesar destes conversores terem sido explorados amplamente no campo industrial na década de 80, para frequências de comutação e potências elevadas suas aplicações tornam-se inviáveis, devido às limitações dos interruptores de potência, conforme analisado em [1 até 3], quais sejam:

- ➔ Perdas em comutação, devido aos cruzamentos de correntes e tensões sobre os interruptores durante a sua entrada em condução ou bloqueio, limitando a máxima potência de aplicação na ordem de alguns kilowatts e a máxima frequência de operação em alguns Kiloherzt;
- ➔ Esforços durante as comutações dos interruptores, devido à troca de energia de elementos reativos intrínsecos aos interruptores, com os demais elementos reativos do circuito, durante a entrada em condução e bloqueio desses dispositivos;
- ➔ Níveis elevados de di/dt e dv/dt , devido à interrupção brusca da corrente ou tensão durante o bloqueio ou a entrada em condução dos interruptores, produzindo interferências eletromagnéticas (IEM);
- ➔ Presença de ruído audível, para o ser humano, em frequências de comutação inferiores à 10kHz.

Neste contexto uma alternativa encontrada pelos pesquisadores, conforme Figura 1.2, que permite minimizar os problemas citados anteriormente, é a utilização de técnicas de comutação suave (*Soft switching*) ou ressonantes. Estas técnicas, amplamente difundidas na literatura, consistem basicamente em proporcionar a comutação dos interruptores com tensão nula (*ZVS – Zero Voltage Switching*) e ou com corrente nula (*ZCS – Zero Current Switching*) [1 até 13].

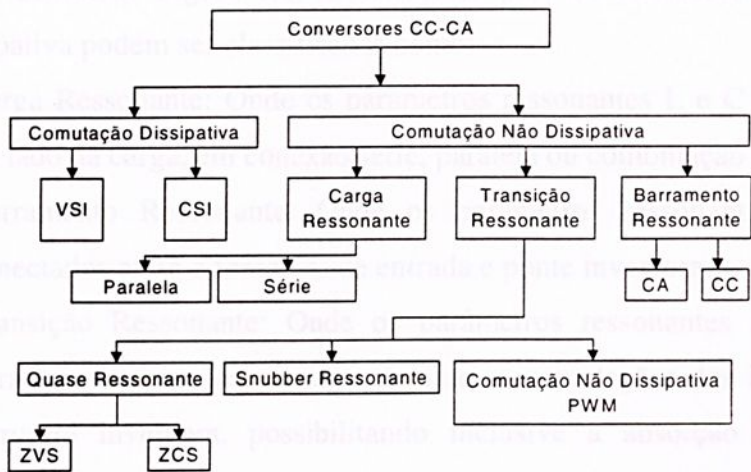


Figura 1.2 – Classificação geral dos conversores CC-CA (inversores).

Os conversores ressonantes caracterizam-se por incluir no conversor clássico PWM (*Hard Switching*), um circuito ressonante composto por elementos armazenadores de energia L e C , em série ou em paralelo com a carga. Isso possibilita obtenção de algumas vantagens em relação ao conversor PWM convencional, dentre elas: Os interruptores são comutados com tensão nula (ZVS) ou com corrente nula (ZCS), reduzindo-se significativamente os esforços e perdas nas comutações dos interruptores, quando comparados com o PWM clássico [1 até13]. Na Figura 1.3 é apresentado o conversor série ressonante em meia ponte, utilizando a técnica de comutação ZCS – FM (Frequency Modulated) [2].

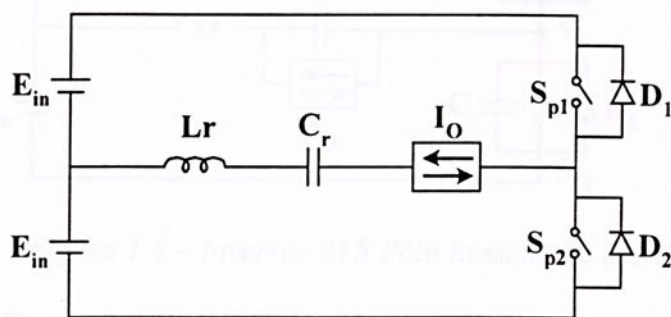


Figura 1.3 – Conversor CC-CA - HB - FM série ressonante.

Entretanto, a topologia apresentada na Figura 1.3, devido às formas de onda da corrente e tensão ressonantes serem senoidais/cossenoidais e transportarem toda corrente de carga, aumentam-se os valores eficazes de tensão e corrente que circulam através dos interruptores, conforme aumenta a corrente de carga, resultando em algumas desvantagens, tais como: O incremento das perdas em condução e o aumento dos esforços de tensão e corrente nos interruptores. Além disso, esta estrutura necessita trabalhar com frequência variável para suprir as variações de carga ou da tensão de entrada.

Desta forma, conforme Figura 1.2, as estruturas para os conversores CC-CA com comutação não dissipativa podem ser classificadas como:

- (a) Carga Ressonante: Onde os parâmetros ressonantes L e C são conectados no lado da carga, em conexão série, paralela ou combinação série- paralela;
- (b) Barramento Ressonante: Onde os parâmetros ressonantes L e C são conectados entre a fonte CC de entrada e ponte inversora;
- (c) Transição Ressonante: Onde os parâmetros ressonantes atuam somente durante as transições, ou seja, durante as comutações dos interruptores da estrutura inversora, possibilitando inclusive a absorção de parâmetros parasitas do circuito e intrínsecos dos interruptores.

Em função das características vantajosas das estruturas com transições ressonantes, conforme analisado em [1], esta revisão dará enfoque principal à estas estruturas.

Neste contexto, em [4] é proposta a estrutura denominada RPI (Resonant Pole Inverter), sendo também analisada em [5 e 6], conforme Figura 1.4.

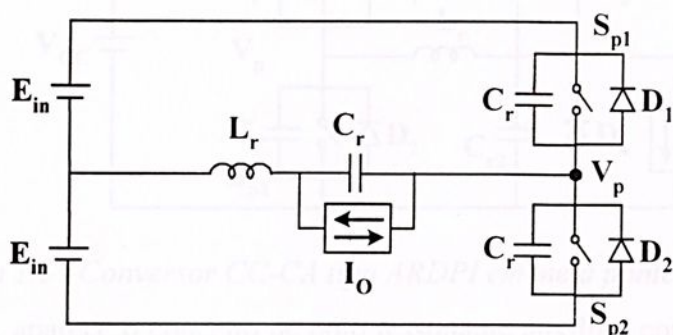


Figura 1.4 – Inversor ZVS Pólo Ressonante (RPI).

A estrutura da Figura 1.4 é então classificada como uma estrutura com transição ressonante e atuação com características dos conversores ZVS quase ressonantes, podendo resultar em elevados esforços de corrente para os interruptores.

Uma técnica de modulação empregada para a obtenção de I_o senoidal na carga é a modulação PWM Delta (com histerese constante).

Como L_r encontra-se em série com a corrente de carga, existirão limitações em potência para esta estrutura, sendo que L_r deve ser projetado para a condição mais desfavorável, mínima energia em L_r , de tal forma a garantir a comutação não dissipativa. Esta condição poderá provocar a limitação da faixa de operação com comutação não dissipativa ZVS.

Neste sentido, em [7] é apresentada uma proposta para o inversor tipo RPI, considerando-se a utilização de um indutor L_r saturável, de tal forma que durante as comutações assuma um valor reduzido e adequado e após as comutações um valor relativo maior, possibilitando a redução dos esforços de corrente nos interruptores e conseqüentes perdas em condução. Entretanto, para que se obtenha modulação PWM a estrutura de comando é complexa.

Em [8] os mesmos autores de [7] associam os efeitos de L_r atuando como reator de núcleo saturável, considerando-se capacitâncias intrínsecas não lineares para os interruptores.

Em [9] os autores propõe um novo arranjo para a estrutura RPI, sendo denominada de ARDPI (Auxiliary Resonant Diode Pole Inverter), com interrupção da ressonância e modulação PWM, conforme Figura 1.5.

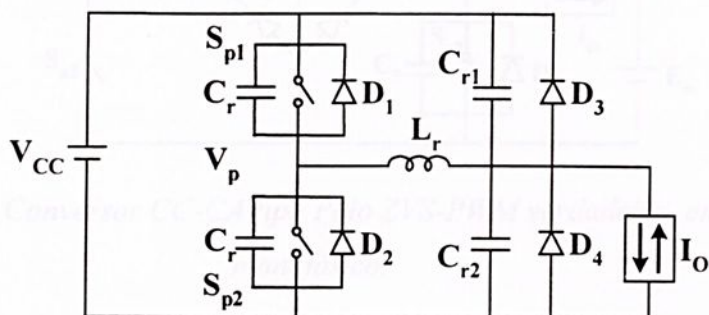


Figura 1.5 – Conversor CC-CA tipo ARDPI em meia ponte, monofásico.

Neste sentido, aparece o conceito de pólo ressonante auxiliar, conforme analisado em [10], sendo esta estrutura denominada de ARCPI (Auxiliary Resonant Pole Inveter), conforme Figura 1.6.

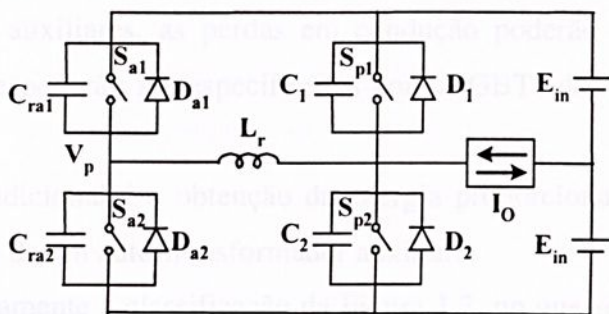


Figura 1.6 – Conversor CC-CA tipo ARCPI em meia ponte, monofásico.

A estrutura analisada em [10] emprega interruptores auxiliares que além de proporcionarem, um conjunto com os elementos ressonantes, comutação não dissipativa ZVS para os interruptores principais, também comutam de forma não dissipativa ZVS.

Apesar de L_r permitir larga faixa de operação ZVS, ainda através de si circula corrente de valores elevados, resultando em perdas em condução. Entretanto, os esforços de corrente através dos interruptores se reduzem, permitindo redução das perdas em condução nestes dispositivos.

Neste sentido, em [11], os autores apresentam uma nova concepção para a técnica de pólo ressonante, estrutura esta denominada de “True PWM ZVS Pole” (Pólo de comutação ZVS-PWM verdadeiro), conforme Figura 1.7.

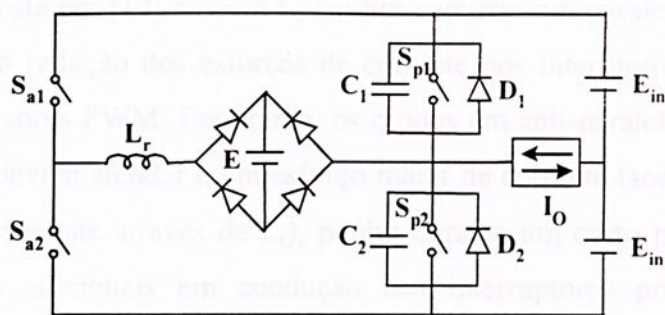


Figura 1.7 – Conversor CC-CA tipo Pólo ZVS-PWM verdadeiro, em meia ponte, monofásico.

A estrutura analisada em [11] proporciona comutação ZVS para os interruptores principais e comutação do tipo ZCS para os interruptores auxiliares. Os esforços de corrente através dos interruptores principais são reduzidos e similares aos conversores PWM convencionais.

Nesta estrutura, apesar dos elevados valores da corrente ressonante, em circulação através dos interruptores auxiliares, as perdas em condução poderão ser reduzidas nestes dispositivos, uma vez que poderão ser especificados como IGBTs de reduzidas tensões em condução (V_{CEon}).

Uma dificuldade adicional é a obtenção da energia proporcionada por E, na prática obtida através do emprego de um auto-transformador auxiliar.

Analisando-se novamente a classificação da Figura 1.2, no que se refere à proposição de estruturas tipo “snubber” Ressonante, tem-se a estrutura ARCPI (Auxiliary Resonant Commutated Pole Inverter), ou também ARCP, conforme proposto em [12 e 13], de acordo com a Figura 1.8.

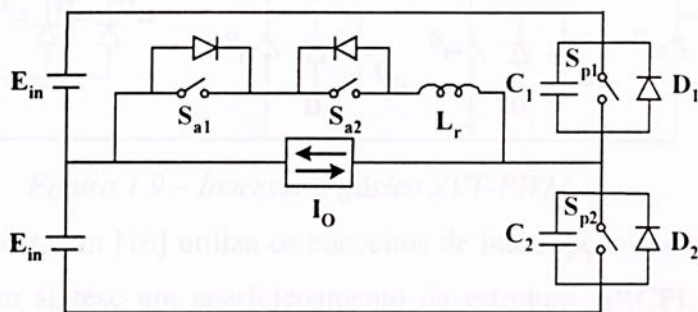


Figura 1.8 – Conversor CC-CA tipo ARCP, em meia ponte, monofásico.

A estrutura ARCPI foi proposta em [12] e modificada à nível de estratégia de comando em [13]. Esta estrutura proporciona a comutação ZVS para os interruptores principais a comutação ZCS para os interruptores auxiliares.

Esta técnica proposta em [12] associa L_r em um caminho em paralelo com a corrente de carga, proporcionando redução dos esforços de corrente nos interruptores principais, de forma similar aos conversores PWM. Entretanto, os diodos em anti-paralelo, intrínsecos aos interruptores principais, devem atender à um esforço maior de corrente (soma da corrente de carga com a corrente ressonante através de L_r), porém durante um curto período de tempo. Desta forma, as perdas adicionais em condução nos interruptores principais não são significativas.

Sendo a comutação ZCS nos interruptores auxiliares, os mesmos podem ser especificados como IGBTs, permitindo reduzidas perdas em condução para os mesmos.

Finalmente, de acordo com a classificação geral apresentada na Figura 1.2, tem-se os inversores ditos à transição ressonante, com comutação não dissipativa e modulação PWM.

As aplicações dos conceitos ZVS-PWM e ZCS-PWM, analisados em [3 e 14], são estendidos e aplicados em estruturas inversoras, proporcionando comutações não dissipativas do tipo ZVS e/ou ZCS, aparecendo então na literatura a definição e denominação desta técnica como inversor ZVT-PWM (ZVT - Zero-Voltage-Transition PWM DC-AC converter) ou ZCT-PWM (ZCT - Zero-Current-Transition PWM DC-AC converter) [15 até 19].

Na Figura 1.9 apresenta-se a proposta de estrutura inversora com comutação ZVT-PWM, conforme analisado em [16].

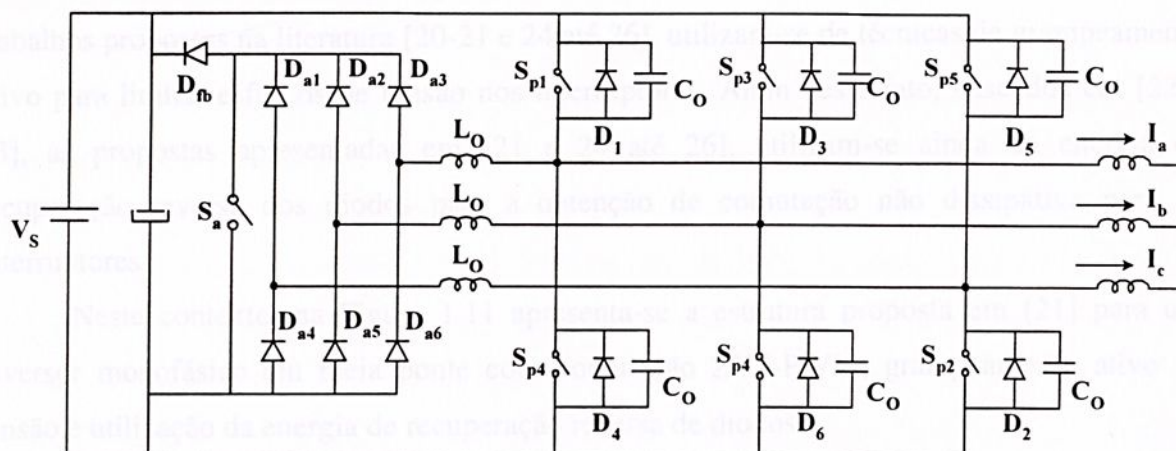


Figura 1.9 – Inversor trifásico ZVT-PWM.

A estrutura proposta em [16] utiliza os conceitos de interrupção ressonante, definidos em [13 e 14], sendo em síntese um aperfeiçoamento da estrutura ARCPI, proporcionando comutações ZVS para os interruptores principais e ZCS para os diodos auxiliares.

Em [17 e 18] são apresentadas técnicas para garantir pleno funcionamento ZVT-PWM para todos os interruptores principais, sob quaisquer condições de carga, melhorando-se a técnica proposta em [16].

A estrutura inversora ZCT-PWM é analisada em [19], conforme Figura 1.10.

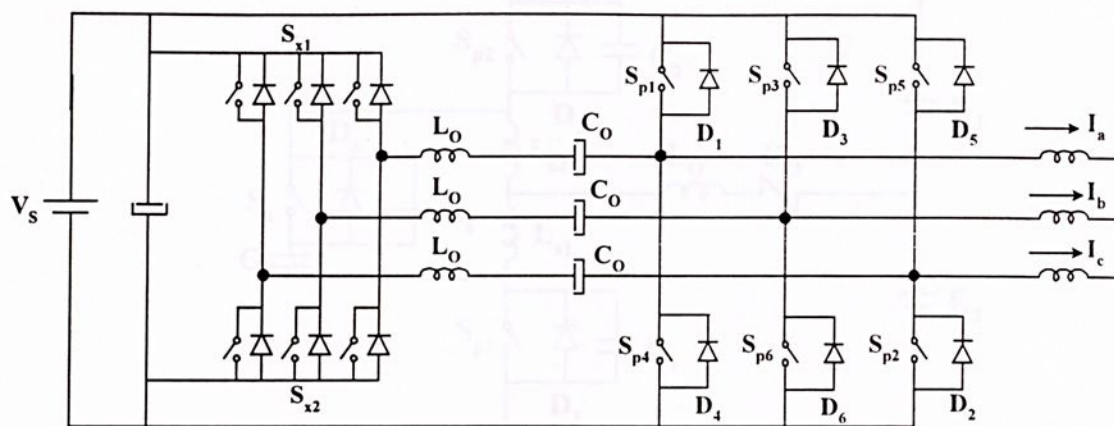


Figura 1.10 – Inversor trifásico ZCT-PWM.

Conforme se verifica na Figura 1.10, o número de componentes para esta estrutura aumenta a complexidade e custo para este inversor ZCT-PWM.

As comutações para os interruptores principais são ZCT tanto na entrada em condução quanto no bloqueio, sendo portanto uma estrutura recomendada para os interruptores tipo IGBTs. Entretanto, os diodos e os interruptores auxiliares (conjunto S_{x1} e S_{x2}) comutam durante o bloqueio de forma dissipativa, podendo resultar em significativas perdas e sérios problemas devido corrente de recuperação reversa dos diodos.

Considerando-se ainda as aplicações das técnicas ZVS-PWM, ou, ZVT-PWM, alguns trabalhos propostos na literatura [20-21 e 24 até 26], utilizam-se de técnicas de grampeamento ativo para limitar esforços de tensão nos interruptores. Além deste fato, baseados em [22 e 23], as propostas apresentadas em [21 e 24 até 26], utilizam-se ainda da energia de recuperação reversa dos diodos para a obtenção de comutação não dissipativa para os interruptores.

Neste contexto, na Figura 1.11 apresenta-se a estrutura proposta em [21] para um inversor monofásico em meia ponte com comutação ZVS-PWM, grampeamento ativo de tensão e utilização da energia de recuperação reversa de diodos.

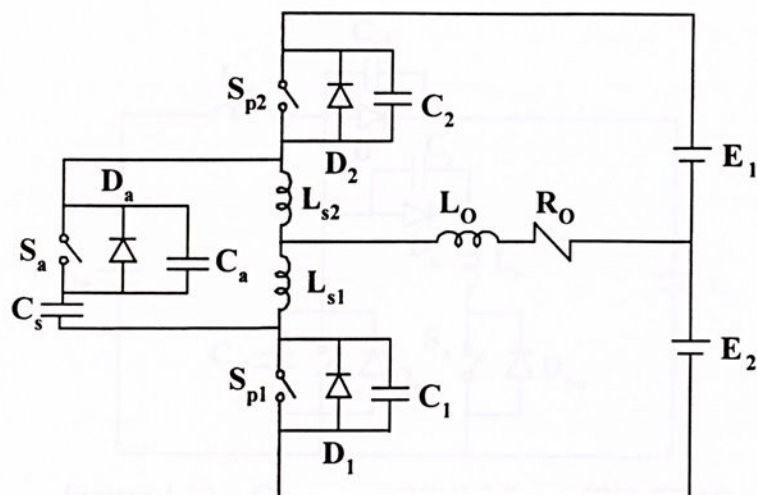


Figura 1.11 – Inversor ZVS-PWM em meia ponte, monofásico, com grampeamento ativo.

O circuito auxiliar analisado em [21] proporciona comutação ZVS para todos os interruptores e grampeamento ativo da tensão nos interruptores controlados, utilizando-se apenas um único interruptor auxiliar e reduzidos elementos armazenadores de energia.

Uma topologia inversora com comutação ZVT-PWM para os interruptores principais e ZVZCS (ou, ZCZVS) para os auxiliares é apresentada em [27]. Os autores reivindicam a proposição da técnica ZCZVS (ou ainda, ZCZVT) para os interruptores auxiliares, entretanto, já em [28] esta técnica de comutação havia sido apresentada para operação na conversão CC-CC.

Neste contexto, em [29 e 30] são apresentadas evoluções para a célula ZCS-PWM proposta em [28]. Esta célula de comutação proporciona comutação ZCS-PWM para o interruptor principal, tanto na entrada em condução quanto no bloqueio, e, comutação ZCS-PWM na entrada em condução e ZVZCS-PWM (ou, ZCZVS, ou ainda, ZCZVT) durante o bloqueio para o interruptor auxiliar. Neste sentido, esta célula de comutação é fortemente recomendada para aplicações com IGBTs.

Considerando-se as vantagens desta célula de comutação, conforme analisado em [30], foi proposto em [31] a dualização desta célula, para a conversão CC-CC, proporcionando-se comutações ZVS-PWM para o interruptor principal e mantendo-se as comutações ZCS-PWM na entrada em condução e ZCZVS-PWM durante o bloqueio para o interruptor auxiliar, conforme Figura 1.12.

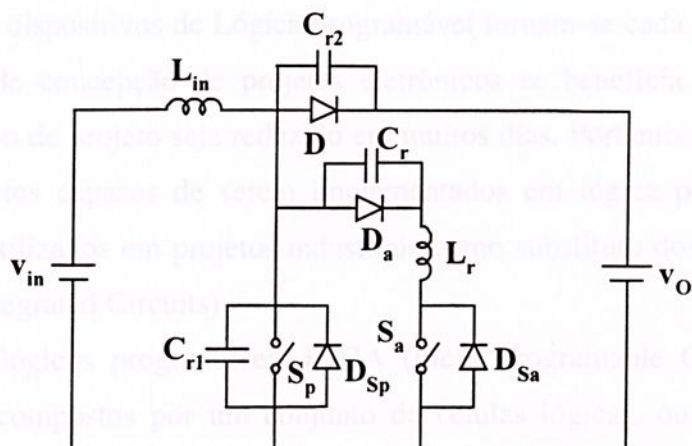


Figura 1.12 – Conversor CC-CC Boost ZVS-PWM.

Desta forma, este trabalho é uma proposta de aplicação na conversão CC-CA para a célula de comutação analisada em [31], ou seja, na aplicação como inversor monofásico de tensão em meia ponte.

A célula analisada em [31] incorpora as propriedades das estruturas multi-ressonantes analisadas em [32], onde os elementos parasitas circuitais e aqueles intrínsecos aos semicondutores podem ser absorvidos durante as comutações, permitindo-se aplicações em elevadas frequências de comutação, proporcionando-se condições para uma elevada densidade de potência para a estrutura.

Neste contexto, a implementação de estruturas inversoras com elevado rendimento é uma questão tecnológica de extrema importância, uma vez que grandes parcelas das perdas estão concentradas no estágio de potência destas estruturas, nos mais diversos sistemas que envolvem topologias inversoras [33].

Além disso, em função das novas tendências de modularidade e versatilidade para a implementação das técnicas de comando e controle, será implementado um sistema de comando e controle baseado em lógica digital programável.

O rápido desenvolvimento dos recursos de circuitos integrados, tanto na área de processos quanto na área de CAD (Computer-Aid design), tornou possível o aparecimento de dispositivos com Lógica Programável. Tais dispositivos permitem aos usuários implementar circuitos complexos sem a necessidade dos elevados custos envolvidos na fabricação das estruturas empregando diretamente o manuseio de silício.

Atualmente estes circuitos estão sendo largamente utilizados em projetos, tendo em vista que grande parte destes circuitos pode ser reprogramados. Assim sendo, o seu uso nas fases preliminares de projeto possibilita uma grande economia de tempo e dinheiro [34-41].

À medida que os dispositivos de Lógica Programável tornam-se cada vez mais densos e rápidos, o processo de concepção de projetos eletrônicos se beneficia destes circuitos fazendo com que o tempo de projeto seja reduzido em muitos dias. Portanto, devido a grande complexidade dos projetos capazes de serem implementados em lógica programável, tais circuitos passam a ser utilizados em projetos industriais como substituto dos circuitos ASIC (Application Specific Integrated Circuits).

Os dispositivos lógicos programáveis FPGA (Field Programmable Gate Array) são circuitos programáveis compostos por um conjunto de células lógicas, ou blocos lógicos, alocados em forma de uma matriz [42].

Circuitos programáveis EPLD (EPROM Programmable Logic Devices) são componentes que possuem transistores EPROM para possibilitar sua programação. Os transistores EPROM são usados para forçar valores nas entradas dos blocos lógicos.

As estruturas FPGAs são PLDs que permitem-nos implementar aplicações em hardware. Diferentemente dos microprocessadores, FPGAs são intrinsecamente estruturas paralelas. Elas incluem um conjunto de simples blocos lógicos (drivers, interruptores, memórias RAM e funções lógicas) que podem ser interconectadas através de interconexões programáveis para implementar muitas diferentes funções lógicas, a baixo custo [43].

Neste sentido, um dos objetivos deste trabalho é o desenvolvimento de uma metodologia de projeto para o circuito de controle do novo inversor ZVS-PWM proposto, utilizando-se os recursos de lógica programável com o intuito de também gerar uma prototipagem de baixo custo e otimizada.

Neste contexto, esta dissertação encontra-se organizada em capítulos. Assim, neste capítulo 1, apresenta-se a Introdução Geral para o trabalho, com extensa revisão bibliográfica para o tema em referência.

No capítulo 2 apresenta-se a nova célula de comutação não dissipativa que utiliza a técnica ZVS e modulação por largura de pulso - PWM, para o interruptor principal. Primeiramente apresenta-se a descrição dos componentes passivos e ativos que compõem a estrutura da nova célula. A seguir, apresenta-se o novo inversor proposto ZVS-PWM. Na sequência, apresentam-se as análises qualitativa, quantitativa, restrições de operação do inversor e a análise do ganho estático.

Em seguida, no capítulo 3, apresenta-se uma metodologia de projeto para o inversor ZVS-PWM proposto, com a finalidade de redução de esforços nos interruptores. Apresentam-se ainda os principais resultados de simulação para o novo inversor ZVS-PWM com as correspondentes análises.



No capítulo 4, apresenta-se uma descrição dos métodos utilizados para a aplicação da técnica de controle PWM senoidal, utilizando dispositivos lógicos programáveis (FPGA).

No capítulo 5 apresentam-se as formas de onda obtidas na implementação prática de um protótipo para o inversor ZVS-PWM proposto e uma análise do rendimento experimental.

Finalmente, no capítulo 6, apresentam-se as conclusões do trabalho e as propostas para a continuidade da pesquisa.

2.1 – Introdução

Apresenta-se neste capítulo uma nova célula de comutação suave ZVS, utilizando-se dispositivos lógicos programáveis (FPGA) para proporcionar o controle PWM senoidal numa aplicação inversora (CC-CA). A aplicação refere-se à proposta de um novo inversor monofásico em meia ponte (Half Bridge) ZVS-PWM, obtida com a nova célula de comutação ZVS-PWM. Apresentam-se as restrições para operação ZVS e obtém-se a característica de carga para a estrutura, considerando-se o modo de condução contínua.

Neste contexto, em resumo, este capítulo apresenta para a estrutura proposta:

- A análise qualitativa: Detalhamento de todas as etapas de funcionamento para o novo inversor;
- A análise quantitativa: Obtenção das equações matemáticas principais referentes à cada etapa de funcionamento;
- As restrições de operação da célula ZVS-PWM;
- A equação para ganho cálcico: Característica de carga.

2.2 – Apresentação da Nova Célula ZVS-PWM

A nova célula de comutação apresentada na Figura 2.1 foi analisada originalmente em [31], referente à uma dissertação de Mestrado desenvolvida e implementada nas dependências do LEP/FEIS/UNESP, sob a orientação do professor Dr. Carlos Alberto Canesin, dando origem à uma nova família de conversores CC-CC com comutação não dissipativa do tipo ZVS e com frequência constante de operação (PWM). As principais características desta nova célula de comutação, bem como suas vantagens e desvantagens em relação às antecessoras, foram analisadas utilizando-se um conversor CC-CC Boost [31].

CAPÍTULO 2

2 – Uma Nova Célula de Comutação Não Dissipativa ZVS–PWM para Sistemas Inversores Monofásicos

2.1 – Introdução

Apresenta-se neste capítulo uma nova célula de comutação suave ZVS, utilizando-se dispositivos lógicos programáveis (FPGA) para proporcionar o controle PWM senoidal numa aplicação inversora (CC-CA). A aplicação refere-se à proposta de um novo inversor monofásico em meia ponte (Half Bridge) ZVS-PWM, obtido com a nova célula de comutação ZVS-PWM. Apresentam-se as restrições para operação ZVS e obtém-se a característica de carga para a estrutura, considerando-se o modo de condução contínua.

Neste contexto, em resumo, este capítulo apresenta para a estrutura proposta:

- ➔ A análise qualitativa: Detalhamento de todas as etapas de funcionamento para o novo inversor;
- ➔ A análise quantitativa: Obtenção das equações matemáticas principais referentes à cada etapa de funcionamento;
- ➔ As restrições de operação da célula ZVS-PWM;
- ➔ A equação para ganho estático: Característica de carga.

2.2 – Apresentação da Nova Célula ZVS-PWM

A nova célula de comutação apresentada na Figura 2.1 foi analisada originalmente em [31], referente à uma dissertação de Mestrado desenvolvida e implementada nas dependências do LEP/FEIS/UNESP, sob a orientação do professor Dr. Carlos Alberto Canesin, dando origem a uma nova família de conversores CC-CC com comutação não dissipativa do tipo ZVS e com frequência constante de operação (PWM). As principais características desta nova célula de comutação, bem como suas vantagens e desvantagens em relação às antecessoras, foram analisadas utilizando-se um conversor CC-CC Boost [31].



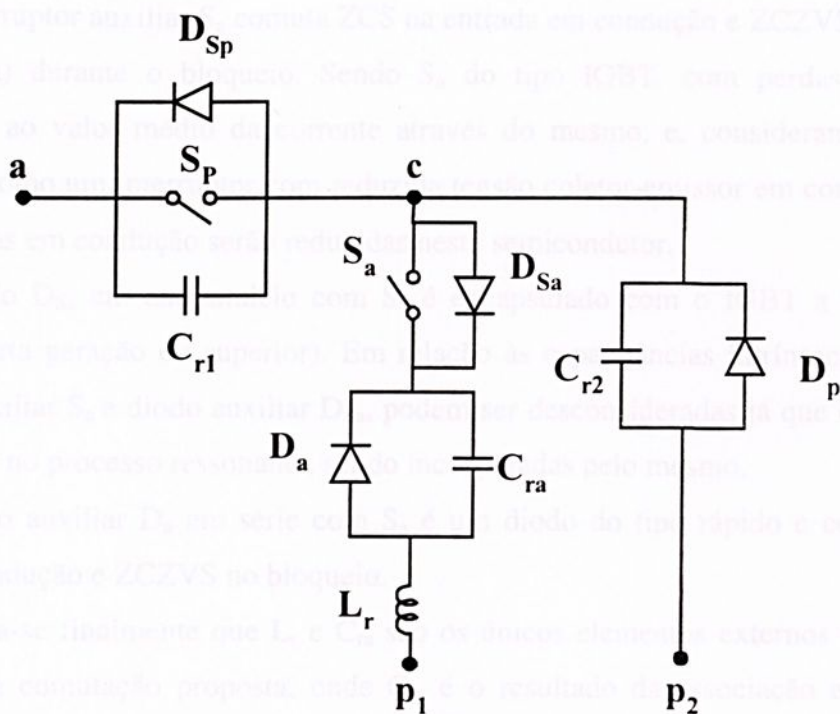


Figura 2.1 – Nova célula de comutação ZVS-PWM.

Conforme [31], o objetivo desta célula é propiciar comutações não dissipativas para os interruptores principais e auxiliares, sem implicar em esforços adicionais de tensão e corrente no interruptor principal, de modo a mantê-los em níveis próximos àqueles dos conversores PWM convencionais, proporcionando ainda, o emprego de reduzido número de componentes, uma vez que atua com características de multi-ressonância.

Neste contexto, fisicamente, tem-se a redução do número de componentes necessários para auxílio à comutação, uma vez que os parâmetros parasitas e intrínsecos dos semicondutores são absorvidos no processo de ressonância. Desta forma a célula de comutação apresentada na Figura 2.1 é composta apenas de um interruptor principal (S_p), um diodo principal (D_p), um interruptor auxiliar (S_a), um diodo auxiliar (D_a), um indutor ressonante (L_r) e um capacitor ressonante (C_{ra} , como resultado da associação de capacitância (C_{raext}) com a capacitância intrínseca de junção de D_a).

Desta forma, como o interruptor principal comuta ZVS, sendo do tipo MOSFET, o diodo D_{Sp} é intrínseco ao mesmo, além disso, a capacitância C_{r1} é também a capacitância intrínseca de saída (C_{oss}) do interruptor principal. Com a incorporação de C_{r1} no processo de comutação de S_p , obtém-se adicionalmente a eliminação do efeito Miller [14].

A capacitância C_{r2} é a capacitância intrínseca de junção (C_j) do diodo principal D_p , propiciando-se condições de compactação e comutação ZVS plena também para este semicondutor.

O interruptor auxiliar S_a comuta ZCS na entrada em condução e ZCZVS (corrente nula e tensão nula) durante o bloqueio. Sendo S_a do tipo IGBT, com perdas em condução proporcionais ao valor médio da corrente através do mesmo, e, considerando-se que seja especificado como um interruptor com reduzida tensão coletor-emissor em condução (V_{CEon}), então, as perdas em condução serão reduzidas neste semicondutor.

O diodo D_{Sa} em antiparalelo com S_a é encapsulado com o IGBT a ser empregado (IGBT de quarta geração ou superior). Em relação às capacitâncias intrínsecas do conjunto interruptor auxiliar S_a e diodo auxiliar D_{Sa} , podem ser desconsideradas já que os seus valores não interferem no processo ressonante, sendo incorporadas pelo mesmo.

O diodo auxiliar D_a em série com S_a é um diodo do tipo rápido e comuta ZVS na entrada em condução e ZCZVS no bloqueio.

Observa-se finalmente que L_r e C_{ra} são os únicos elementos externos ressonantes da nova célula de comutação proposta, onde C_{ra} é o resultado da associação em paralelo da capacitância externa C_{raext} e capacitância intrínseca de junção de D_a , proporcionando simplicidade, redução de custos e reduzido volume para a estrutura.

Observa-se que esta técnica de incorporação de elementos intrínsecos dos semicondutores e/ou parasitas do circuito, baseada nos conversores multi-ressonantes, resulta em estrutura com elevada densidade de potência e possibilidade de operação com frequências elevadas [32].

2.3 – O Novo Conversor CC/CA Half Bridge ZVS-PWM

Na Figura 2.2 apresenta-se o novo inversor half-bridge ZVS-PWM, utilizando a nova célula de comutação apresentada na Figura 2.1.

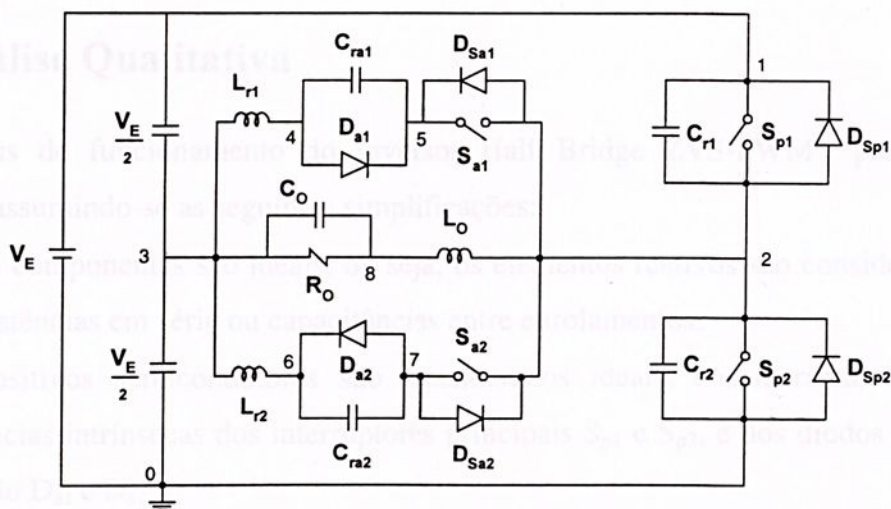


Figura 2.2 – Novo conversor CC-CA Half Bridge ZVS-PWM.

Esta estrutura é resultante da junção de dois conversores Buck (abaixadores de tensão), para obter a bidirecionalidade de tensão e corrente na carga. A carga está sendo considerada como resistiva (R_O). A composição da estrutura é dada a seguir:

- ➔ Interruptores principais S_{p1} e S_{p2} : São do tipo MOSFET, destinados à transferência de potência, envolvendo suas capacitâncias intrínsecas C_{r1} e C_{r2} e seus diodos em anti-paralelo intrínsecos D_{Sp1} e D_{Sp2} ;
- ➔ Circuitos ressonantes auxiliares de comutação:
 - a) Atuando no semiciclo positivo da tensão senoidal de saída, tem-se os seguintes elementos: Indutor ressonante (L_{r1}), capacitor ressonante (C_{ra1}), diodo auxiliar (D_{a1}) e o interruptor auxiliar do tipo IGBT (S_{a1}), com seu diodo encapsulado em antiparalelo (D_{Sa1});
 - b) De maneira análoga, atuando no semiciclo negativo da tensão senoidal de saída, tem-se os seguintes dispositivos: Indutor ressonante (L_{r2}), capacitor ressonante (C_{ra2}), diodo auxiliar (D_{a2}) e o interruptor auxiliar do tipo IGBT (S_{a2}), com seu diodo encapsulado em antiparalelo (D_{Sa2});
- ➔ A carga e os elementos de filtro de saída são compostos pelos seguintes dispositivos: Indutor de filtro (L_O), capacitor de filtro (C_O) e resistência de carga (R_O);

- A alimentação do inversor é proporcionada pela fonte de entrada CC (V_E), sendo cada braço do inversor alimentado por ($V_E/2$), utilizando-se capacitores eletrolíticos na entrada, garantindo-se a divisão da tensão de alimentação e reduzida ondulação para $V_E/2$.

2.4 – Análise Qualitativa

As etapas de funcionamento do inversor Half Bridge ZVS-PWM proposto, serão analisadas, assumindo-se as seguintes simplificações:

- Todos os componentes são ideais, ou seja, os elementos reativos são considerados puros, sem resistências em série ou capacitâncias entre enrolamentos;
- Os dispositivos semicondutores são considerados ideais, considerando-se apenas as capacitâncias intrínsecas dos interruptores principais S_{p1} e S_{p2} , e dos diodos auxiliares de comutação D_{a1} e D_{a2} ;
- A indutância do filtro de saída (L_O) é tal que, associada à capacitância do filtro de saída (C_O), em paralelo com a carga, possam ser considerados como uma fonte de corrente constante I_O , durante um período de comutação do inversor.

Na Figura 2.3 tem-se o circuito simplificado para o inversor Half Bridge ZVS-PWM proposto, considerando-se que a operação é no modo contínuo de corrente através de L_O (indutor de saída).

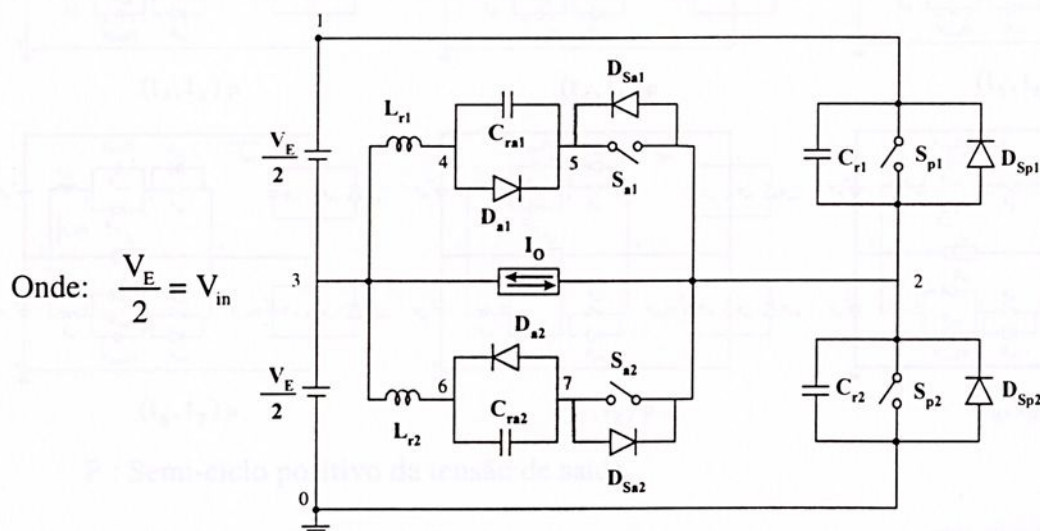
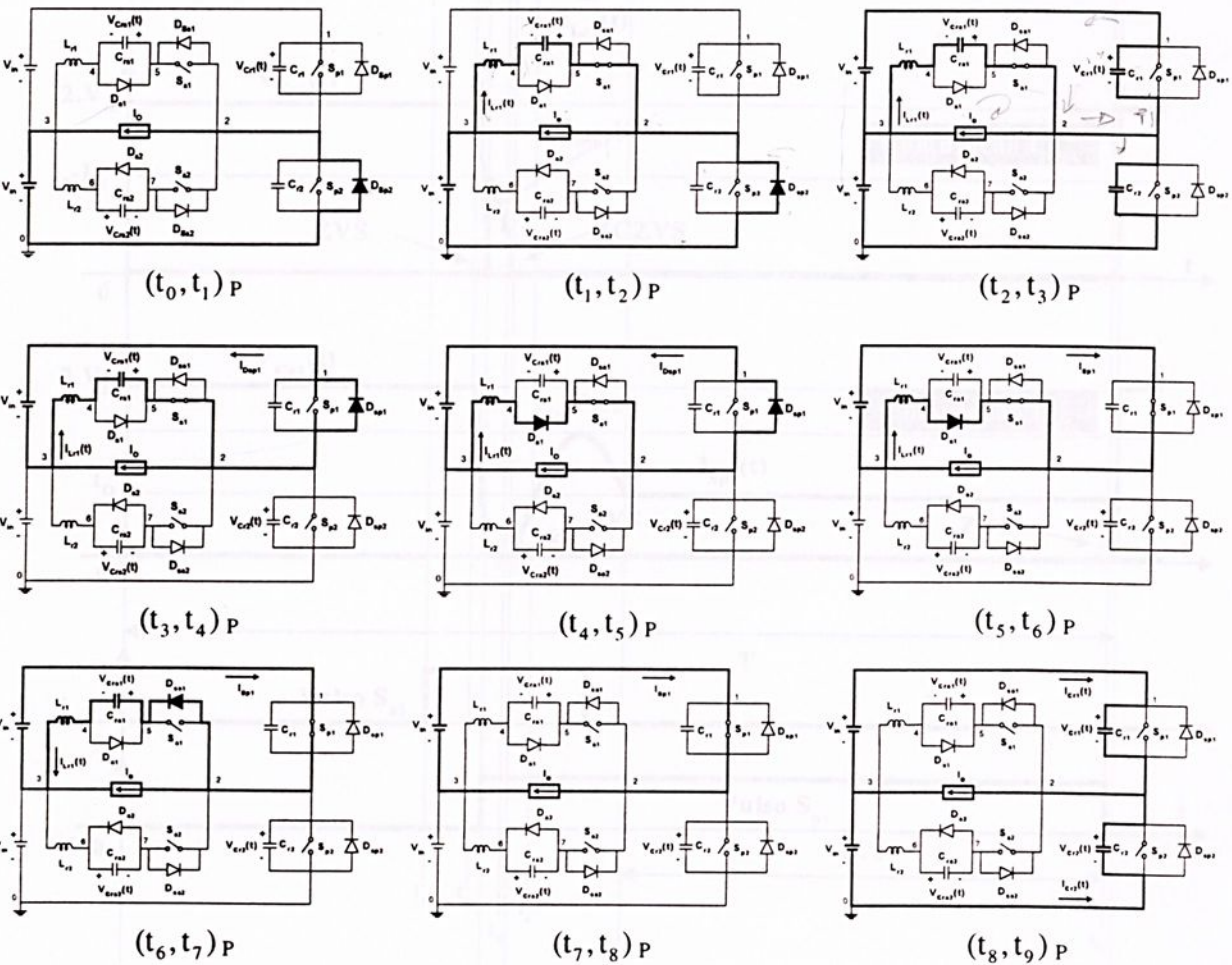


Figura 2.3 – Novo inversor CC-CA Half Bridge ZVS-PWM simplificado.

2.4.1 – Etapas de Funcionamento

Durante a análise do inversor proposto, contendo a nova célula de comutação ZVS, observaram-se nove etapas distintas de funcionamento para cada período de operação. Neste contexto, considerando-se a tensão senoidal de saída em 60Hz, durante o primeiro meio período da tensão de saída (8,333ms), correspondente ao semiciclo positivo da tensão senoidal aplicada sobre a carga (280 períodos de comutação), operam somente os interruptores S_{p1} e S_{a1} , conforme mostra a Figura 2.4. Na Figura 2.4 (a) apresentam-se as principais formas de onda para análise das comutações dos elementos semicondutores do braço superior do inversor, conforma Figura 2.4.



P : Semi-ciclo positivo da tensão de saída.

Figura 2.4 – Etapas de funcionamento para o novo conversor CC-CA Half Bridge ZVS, Semi-ciclo positivo da tensão de saída.

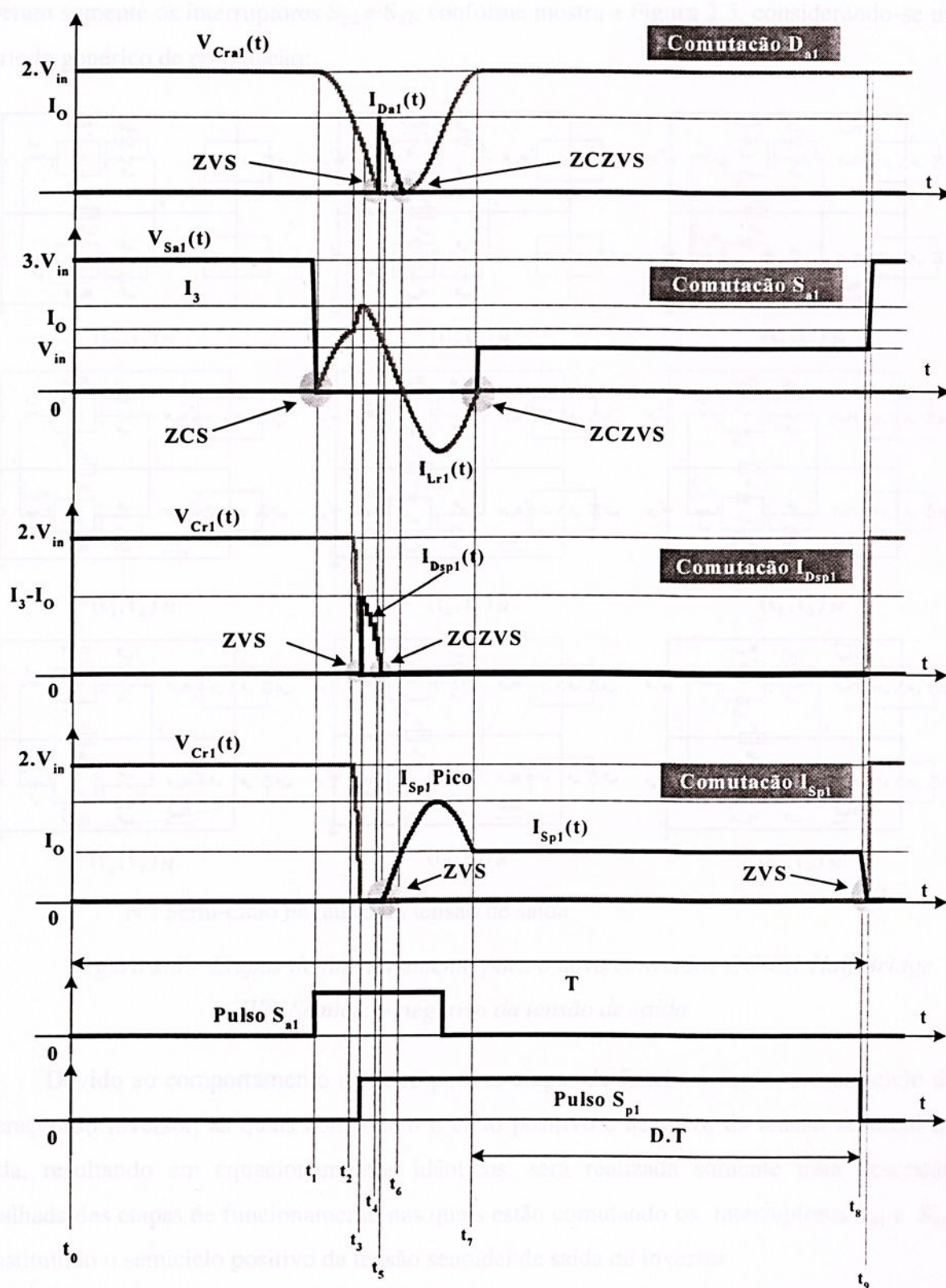
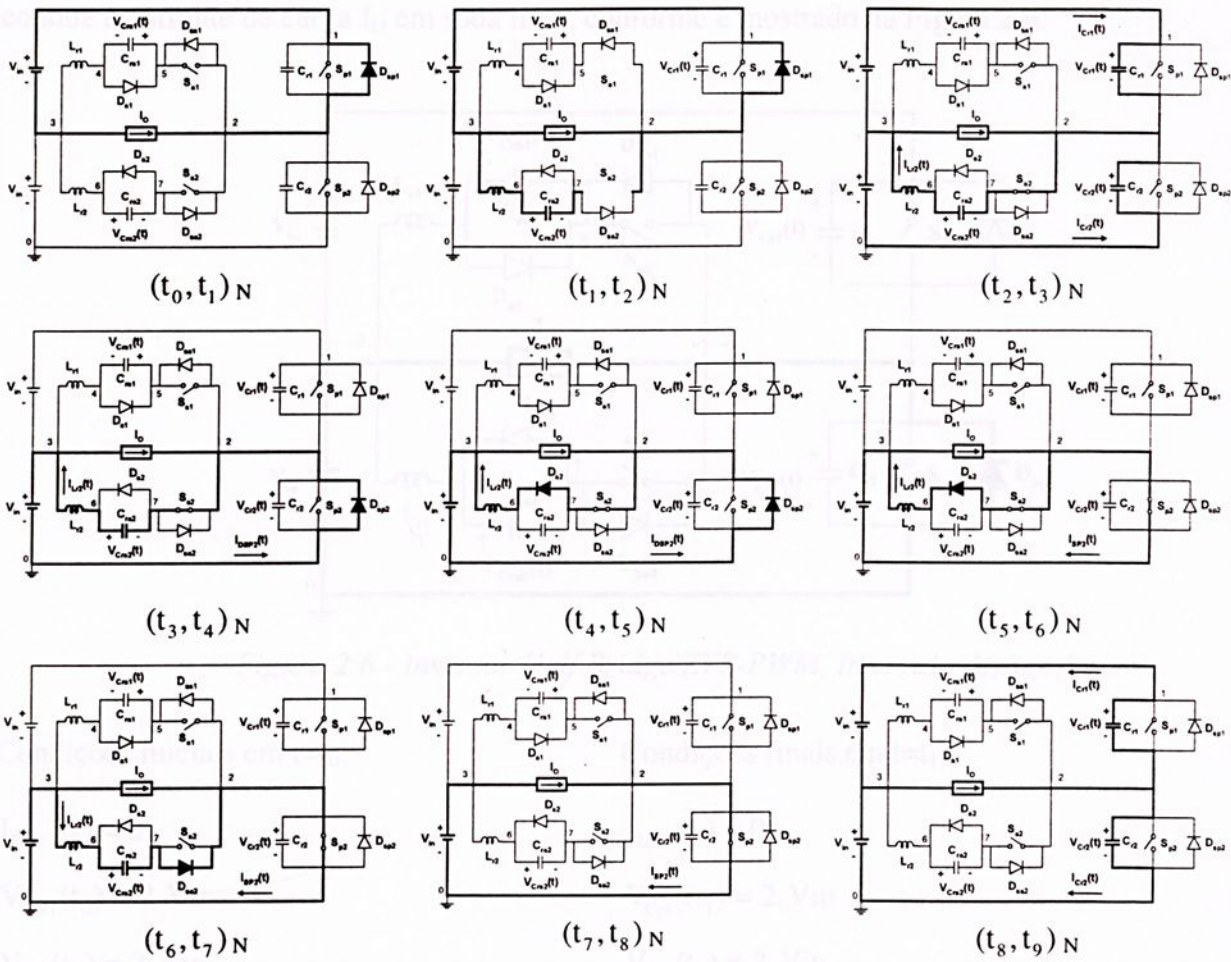


Figura 2.4 (a) – Principais formas de onda teóricas considerando-se um período comutação para as etapas da Figura 2.4.

De forma idêntica, durante o intervalo de tempo seguinte $\cong 8,333\text{ms}$, correspondente ao semiciclo negativo da tensão senoidal aplicada sobre a carga (280 períodos de comutação),

operam somente os interruptores S_{p2} e S_{a2} , conforme mostra a Figura 2.5, considerando-se um período genérico de comutação:



N : Semi-ciclo negativo da tensão de saída.

Figura 2.5 – Etapas de funcionamento para o novo conversor CC-CA Half Bridge ZVS, Semiciclo negativo da tensão de saída.

Devido ao comportamento idêntico para as etapas de funcionamento, em um ciclo de operação do inversor, as quais constituem o ciclo positivo e negativo da tensão senoidal de saída, resultando em equacionamentos idênticos, será realizada somente uma descrição detalhada das etapas de funcionamento nas quais estão comutando os interruptores S_{p1} e S_{a1} , constituindo o semiciclo positivo da tensão senoidal de saída do inversor.

2.4.1.1 - Primeira Etapa de Funcionamento: $\Delta t_1(t_0, t_1)$

Considera-se que o interruptor principal S_{p1} encontra-se bloqueado e que o diodo D_{Sp2} conduz a corrente de carga I_O em roda livre, conforme é mostrado na Figura 2.6.

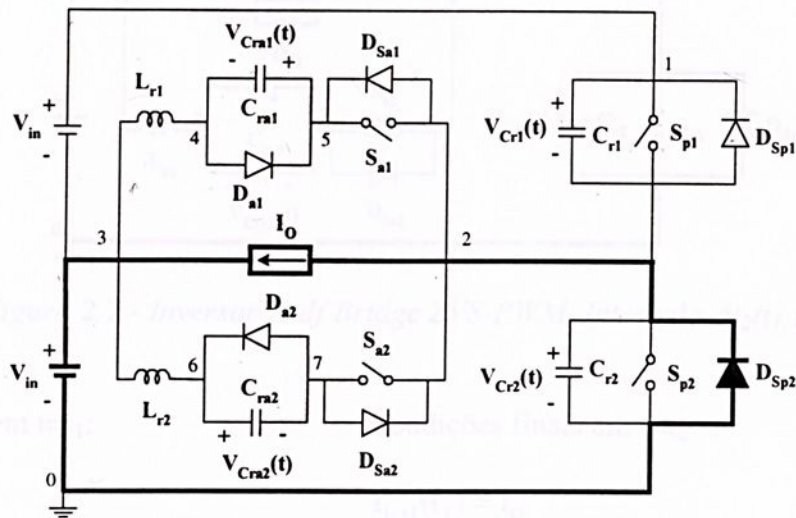


Figura 2.6 - Inversor Half Bridge ZVS-PWM, Intervalo $\Delta t_1(t_0, t_1)$.

Condições iniciais em $t=t_0$:

$$I_{L_{r1}}(t_0) = 0$$

$$V_{C_{ra1}}(t_0) = 2 \cdot V_{in}$$

$$V_{C_{r1}}(t_0) = 2 \cdot V_{in}$$

$$V_{C_{r2}}(t_0) = 0$$

Condições finais em $t=t_1$:

$$I_{L_{r1}}(t_1) = 0$$

$$V_{C_{ra1}}(t_1) = 2 \cdot V_{in}$$

$$V_{C_{r1}}(t_1) = 2 \cdot V_{in}$$

$$V_{C_{r2}}(t_1) = 0$$

No instante $t=t_1$, o interruptor auxiliar S_{a1} é comandado para a condução com corrente nula (ZCS), conforme mostra a Figura 2.7.

2.4.1.2 - Segunda Etapa de Funcionamento: $\Delta t_2(t_1, t_2)$

No instante inicial desta etapa, visualizada através da Figura 2.7, em $t=t_1$ com a entrada em condução (ZCS) do interruptor auxiliar S_{a1} , a corrente $I_{L_{r1}}(t)$ circulando através do indutor L_{r1} , no ramo auxiliar, começa a aumentar e a tensão $V_{C_{ra1}}(t)$ sobre o capacitor C_{ra1} começa a reduzir, de forma ressonante. Enquanto isso, a corrente $I_{D_{Sp2}}(t)$ circulando através do diodo D_{Sp2} , começa a reduzir na mesma proporção em que $I_{L_{r1}}(t)$ aumenta, partindo de I_O , até que no instante $t=t_2$, o diodo D_{Sp2} é bloqueado com corrente nula.

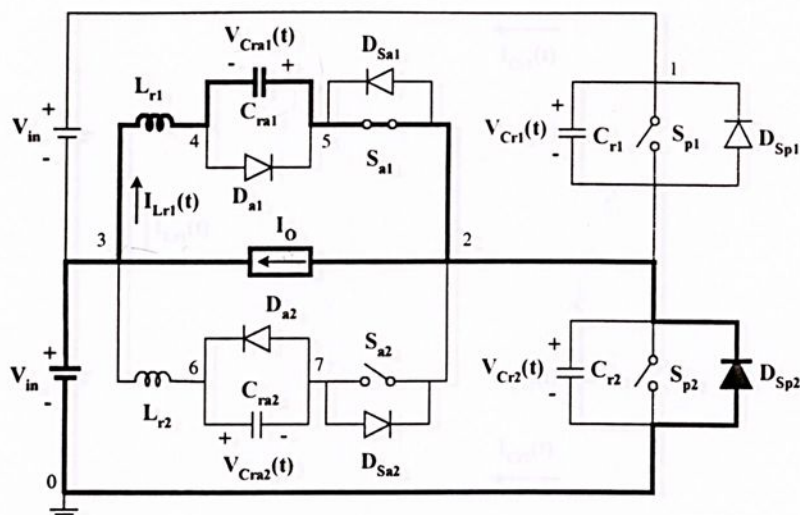


Figura 2.7 - Inversor Half Bridge ZVS-PWM, Intervalo $\Delta t_2(t_1, t_2)$.

Condições iniciais em $t=t_1$:

$$I_{Lr1}(t_1) = 0$$

$$V_{Cra1}(t_1) = 2 \cdot V_{in}$$

$$V_{Cr1}(t_1) = 2 \cdot V_{in}$$

$$V_{Cr2}(t_1) = 0$$

Condições finais em $t=t_2$:

$$I_{Lr1}(t_2) = I_O$$

$$V_{Cra1}(t_2) = V_2$$

$$V_{Cr1}(t_2) = 2 \cdot V_{in}$$

$$V_{Cr2}(t_2) = 0$$

No momento em que o diodo D_{Sp2} é bloqueado ($t=t_2$), o ramo auxiliar assume toda a corrente de carga, resultando em $I_{Lr1}(t_2)=I_O$ e $V_{Cra}(t_2)=V_2$, dando início à ressonância entre os elementos reativos C_{ra1} , C_{r1} , C_{r2} e L_{r1} , conforme mostra a Figura 2.8.

2.4.1.3 - Terceira Etapa de Funcionamento: $\Delta t_3(t_2, t_3)$

No instante inicial desta etapa, em $t=t_2$, tem-se o início da ressonância envolvendo os capacitores C_{ra1} , C_{r1} , C_{r2} e o indutor L_{r1} . O capacitor C_{r1} se descarrega, partindo de $2 \cdot V_{in}$ até zero, e C_{r2} se carrega de zero até $2 \cdot V_{in}$, ao final da etapa. A tensão $V_{Cra1}(t)$ sobre o capacitor C_{ra1} continua a decrescer até que em $t=t_3$, $V_{Cra1}(t_3)=V_3$ (ainda maior do que V_{in}) e a corrente $I_{Lr1}(t)$ circulando através de L_{r1} ultrapassa o valor da corrente de carga I_O , correspondendo a um valor $I_{Lr1}(t_3)=I_3$. Esta etapa é visualizada através da Figura 2.8.

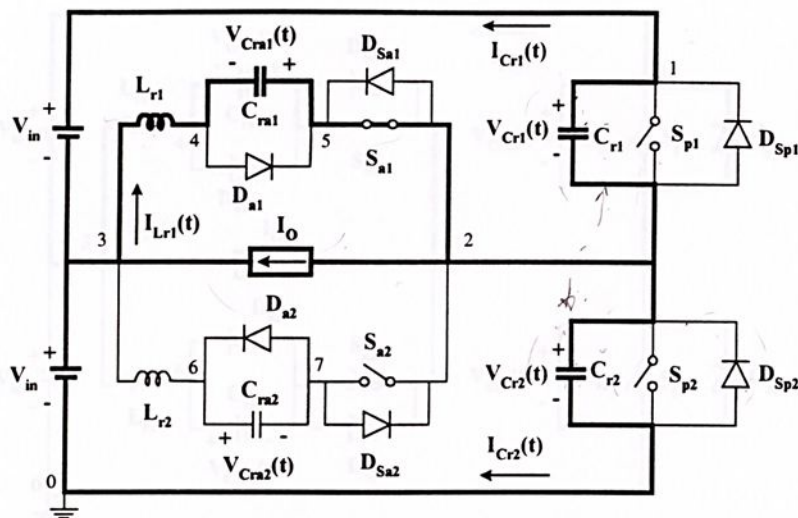


Figura 2.8 - Inversor Half Bridge ZVS-PWM, Intervalo $\Delta t_3(t_2, t_3)$.

Condições iniciais em $t=t_2$:

$$I_{Lr1}(t_2) = I_0$$

$$V_{Cr1}(t_2) = V_2$$

$$V_{Cr1}(t_2) = 2 \cdot V_{in}$$

$$V_{Cr2}(t_2) = 0$$

Condições finais em $t=t_3$:

$$I_{Lr1}(t_3) = I_3$$

$$V_{Cr1}(t_3) = V_3$$

$$V_{Cr1}(t_3) = 0$$

$$V_{Cr2}(t_3) = 2 \cdot V_{in}$$

No instante final desta etapa, em $t=t_3$, tem-se o início da circulação da corrente $I_{Lr1}(t_3) - I_0$, através do diodo D_{Sp1} , conforme Figura 2.9 para a quarta etapa de operação.

2.4.1.4 - Quarta Etapa de Funcionamento: $\Delta t_4(t_3, t_4)$

Com a entrada em condução do diodo D_{Sp1} , em $t=t_3$, conduzindo a parcela excedente de corrente $I_{Lr1}(t) - I_0$ para a fonte de entrada (V_{in}), a corrente $I_{Lr1}(t)$, circulando através de L_{r1} , continua a crescer e a tensão $V_{Cr1}(t)$ sobre o capacitor C_{ra1} continua a decrescer, de forma ressonante. Havendo circulação de corrente através do diodo D_{Sp1} , significa que a tensão sobre o interruptor principal S_{p1} é nula, portanto, em um instante t , onde $t_3 < t < t_5$, S_{p1} poderá ser comandado para condução de forma ZVS, entretanto somente após o bloqueio de D_{Sp1} assumirá a corrente através de si. Num instante posterior em que a tensão $V_{Cr1}(t) = V_{in}$, a corrente $I_{Lr1}(t)$ atinge o seu valor máximo. A partir desse momento a taxa de variação da corrente $I_{Lr1}(t)$ torna-se negativa, dando início à redução do valor da corrente em circulação através do diodo D_{Sp1} , até que no instante $t=t_4$ a tensão $V_{Cr1}(t)$ torna-se nula e a corrente $I_{Lr1}(t) = I_4$ é ainda maior do que I_0 . Esta etapa é visualizada através da Figura 2.9.

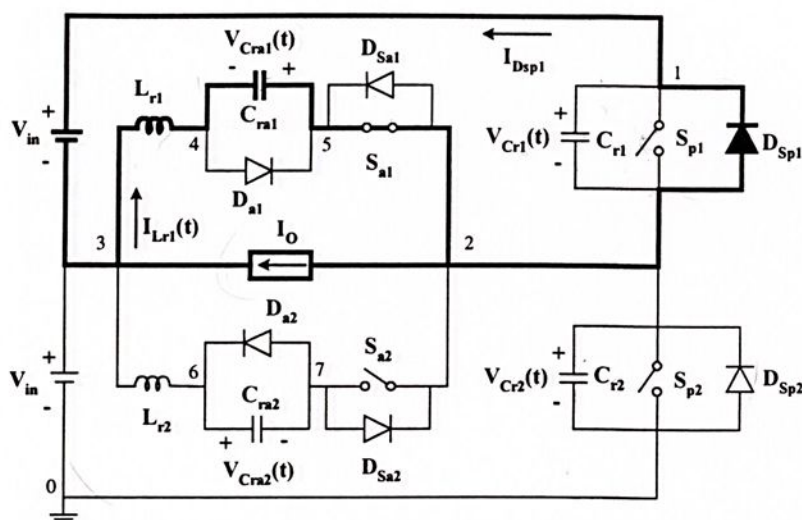


Figura 2.9 - Inversor Half Bridge ZVS-PWM, Intervalo $\Delta t_4(t_3, t_4)$.

Condições iniciais em $t=t_3$:

$$I_{Lr1}(t_3) = I_3$$

$$V_{Cr1}(t_3) = V_3$$

$$V_{Cr2}(t_3) = 0$$

$$V_{Cr2}(t_3) = 2 \cdot V_{in}$$

Condições finais em $t=t_4$:

$$I_{Lr1}(t_4) = I_4$$

$$V_{Cr1}(t_4) = 0$$

$$V_{Cr2}(t_4) = 0$$

$$V_{Cr2}(t_4) = 2 \cdot V_{in}$$

Com $V_{Cr1}(t)=0$, em $t=t_4$, têm-se o início da circulação da corrente $I_{Lr1}(t)$ através do diodo auxiliar D_{a1} , conforme mostra a Figura 2.10.

2.4.1.5 - Quinta Etapa de Funcionamento: $\Delta t_4(t_4, t_5)$

Esta etapa tem início em $t=t_4$, com a entrada em condução do diodo auxiliar D_{a1} , o qual passa a conduzir toda a corrente $I_{Lr1}(t)$, sendo esta decrescente a partir deste instante, de forma linear. Conseqüentemente, a corrente excedente $I_{Lr1}(t)-I_O$, circulando através do diodo D_{Sp1} , continua a decrescer, também de forma linear, na mesma proporção de $I_{Lr1}(t)$, até que no instante $t=t_5$ torna-se nula, bloqueando o diodo D_{Sp1} de forma ZCS e ZVS, conforme mostra a Figura 2.10.



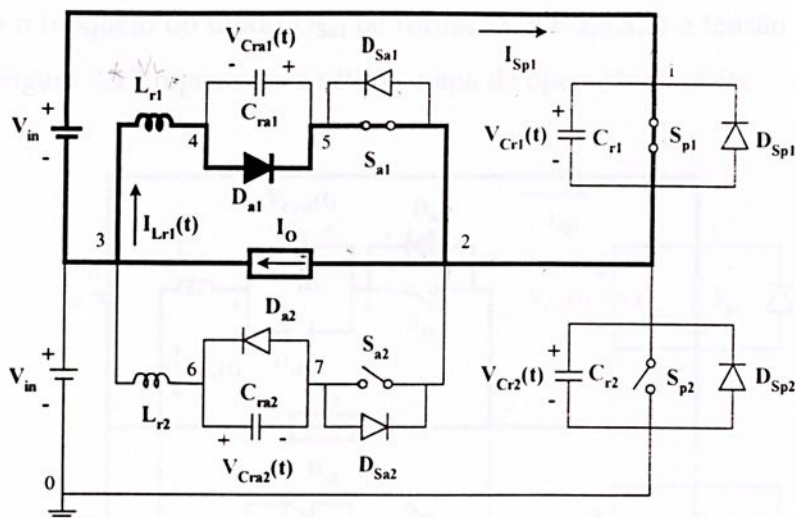


Figura 2.11 - Inversor Half Bridge ZVS-PWM, Intervalo $\Delta t_6(t_5, t_6)$.

Condições iniciais em $t=t_5$:

$$I_{L_{r1}}(t_5) = I_O$$

$$V_{Cra1}(t_5) = 0$$

$$V_{Cr1}(t_5) = 0$$

$$V_{Cr2}(t_5) = 2 \cdot V_{in}$$

Condições finais em $t=t_6$:

$$I_{L_{r1}}(t_6) = 0$$

$$V_{Cra1}(t_6) = 0$$

$$V_{Cr1}(t_6) = 0$$

$$V_{Cr2}(t_6) = 2 \cdot V_{in}$$

A seguir, na próxima etapa, com o bloqueio do diodo D_{a1} , uma vez que existe energia armazenada em L_{r1} , ocorre a inversão do sentido da corrente $I_{Lr1}(t)$, conforme Figura 2.12.

2.4.1.7 - Sétima Etapa de Funcionamento: $\Delta t_7(t_6, t_7)$

Com o bloqueio do diodo D_{a1} , no instante $t=t_6$, o diodo D_{sa1} , encapsulado em antiparalelo com o interruptor auxiliar S_{a1} , é polarizado diretamente, devido à inversão instantânea da tensão aplicada sobre o indutor ressonante L_{r1} , e entra em condução invertendo o sentido de fluxo da corrente $I_{Lr1}(t)$. Com a circulação de corrente $I_{Lr1}(t)$ através do diodo D_{sa1} , o interruptor S_{a1} poderá ser bloqueado com tensão e corrente nulas (ZVZCS), durante o intervalo de tempo Δt_7 . Pelo fato do diodo D_{a1} se encontrar bloqueado, a corrente $I_{Lr1}(t)$ circula através do capacitor ressonante C_{ra1} , fazendo com que a tensão $V_{Cra1}(t)$ comece a crescer positivamente, enquanto que a corrente $I_{Lr1}(t)$ cresce negativamente até o seu valor máximo, de forma ressonante, sendo que neste instante a tensão $V_{Cra1}(t)=V_{in}$. A partir daí, a corrente $I_{Lr1}(t)$ continua a evoluir de forma ressonante, até que no instante $t=t_7$ se torna igual a

zero, provocando o bloqueio do diodo D_{Sa1} de forma ZCS e ZVS, e a tensão $V_{Cra1}(t)$ se torna igual a $2.V_{in}$. A Figura 2.12 representa a sétima etapa de operação descrita.

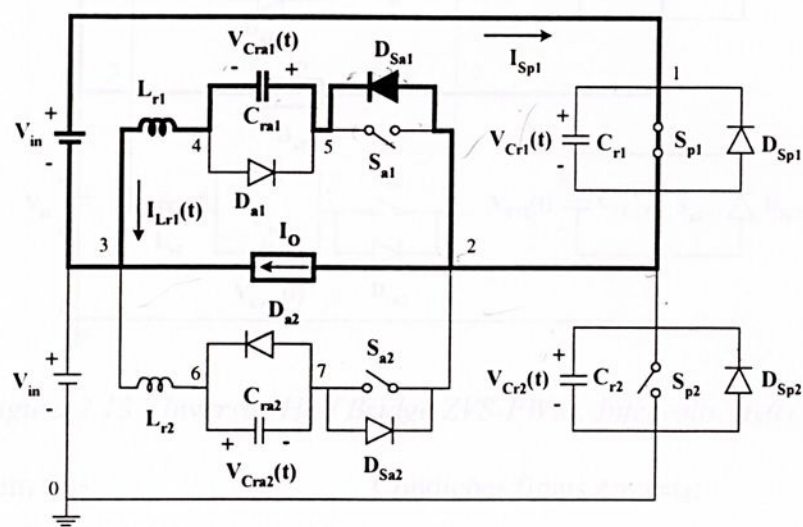


Figura 2.12 - Inversor Half Bridge ZVS-PWM, Intervalo $\Delta t_7(t_6, t_7)$.

Condições iniciais em $t=t_6$:

$$\begin{aligned} I_{L_{r1}}(t_6) &= 0 \\ V_{Cra1}(t_6) &= 0 \\ V_{Cr1}(t_6) &= 0 \\ V_{Cr2}(t_6) &= 2.V_{in} \end{aligned}$$

Condições finais em $t=t_7$:

$$\begin{aligned} I_{L_{r1}}(t_7) &= 0 \\ V_{Cra1}(t_7) &= 2.V_{in} \\ V_{Cr1}(t_7) &= 0 \\ V_{Cr2}(t_7) &= 2.V_{in} \end{aligned}$$

Na etapa seguinte, com o bloqueio do diodo D_{Sa1} , considerando-se o bloqueio anterior de S_{a1} , toda a energia circulante através do interruptor S_{p1} é transferida para a carga, conforme Figura 2.13.

2.4.1.8 - Oitava Etapa de Funcionamento: $\Delta t_8(t_7, t_8)$

Esta etapa se caracteriza como a principal etapa de transferência de energia para a carga (Etapa PWM), a qual permite o controle da potência de saída do inversor, ajustando-se o tempo de condução (t_{on}) do interruptor principal S_{p1} , em relação ao período de operação. O encerramento desta etapa ocorre no instante $t=t_8$ quando o interruptor principal S_{p1} é bloqueado de forma ZVS, uma vez que a variação instantânea da tensão sobre o mesmo é impedida pela presença de sua capacitância intrínseca C_{r1} , conforme mostra a Figura 2.14.



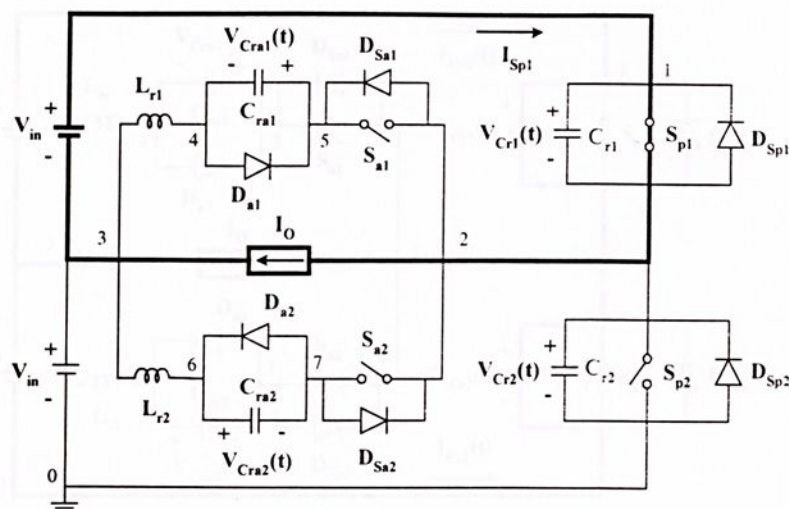


Figura 2.13 - Inversor Half Bridge ZVS-PWM, Intervalo $\Delta t_8(t_7, t_8)$.

Condições iniciais em $t=t_7$:

Condições finais em $t=t_8$:

$$I_{L_{r1}}(t_7) = 0$$

$$I_{L_{r1}}(t_8) = 0$$

$$V_{C_{ra1}}(t_7) = 2 \cdot V_{in}$$

$$V_{C_{ra1}}(t_8) = 2 \cdot V_{in}$$

$$V_{C_{r1}}(t_7) = 0$$

$$V_{C_{r1}}(t_8) = 0$$

$$V_{C_{r2}}(t_7) = 2 \cdot V_{in}$$

$$V_{C_{r2}}(t_8) = 2 \cdot V_{in}$$

2.4.1.9 - Nona Etapa de Funcionamento: $\Delta t_9(t_8, t_7)$

Com o bloqueio do interruptor principal S_{p1} , em $t=t_8$, tem-se a descarga da capacitância intrínseca C_{r2} , de S_{p2} , de $2 \cdot V_{in}$ para zero e o carregamento da capacitância intrínseca C_{r1} , de S_{p1} , de zero para $2 \cdot V_{in}$, de forma linear, devido a não participação do ramo auxiliar ressonante.

2.5 - Análise Qualitativa

2.5.1 - Primeira Etapa de Funcionamento: $\Delta t_1(t_0, t_1)$

Condições iniciais em $t=t_0$:

Condições finais em $t=t_1$:

$$I_{L_{r1}}(t_0) = 0$$

$$I_{L_{r1}}(t_1) = 0$$

$$V_{C_{ra1}}(t_0) = 2 \cdot V_{in}$$

$$V_{C_{ra1}}(t_1) = 2 \cdot V_{in}$$

$$V_{C_{r1}}(t_0) = 2 \cdot V_{in}$$

$$V_{C_{r1}}(t_1) = 2 \cdot V_{in}$$

$$V_{C_{r2}}(t_0) = 0$$

$$V_{C_{r2}}(t_1) = 0$$

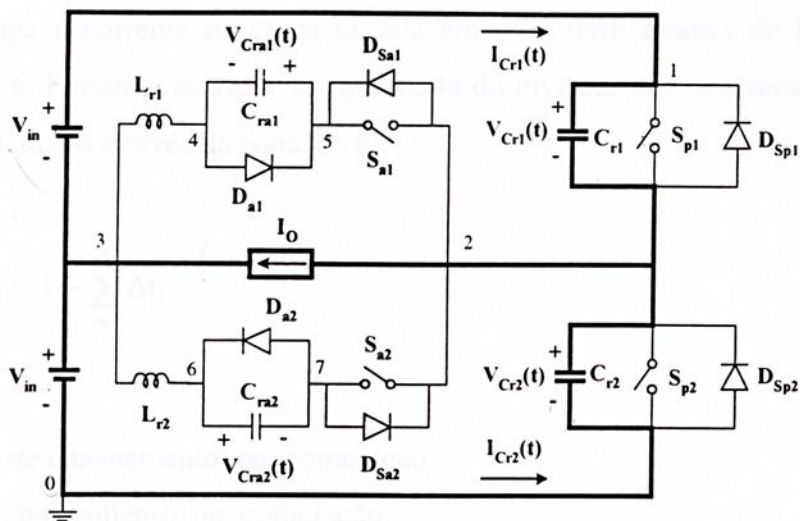


Figura 2.14 - Inversor Half Bridge ZVS-PWM, Intervalo $\Delta t_9(t_8, t_9)$.

Condições iniciais em $t=t_8$:

$$I_{L_{r1}}(t_8) = 0$$

$$V_{C_{ra1}}(t_8) = 2 \cdot V_{in}$$

$$V_{C_{r1}}(t_8) = 0$$

$$V_{C_{r2}}(t_8) = 2 \cdot V_{in}$$

Condições finais em $t=t_9$:

$$I_{L_{r1}}(t_9) = 0$$

$$V_{C_{ra1}}(t_9) = 2 \cdot V_{in}$$

$$V_{C_{r1}}(t_9) = 2 \cdot V_{in}$$

$$V_{C_{r2}}(t_9) = 0$$

Ao final desta etapa, em $t=t_9$, com $V_{C_{r2}}(t)=0$, o diodo intrínseco do interruptor S_{p2} , D_{Sp2} , é polarizado diretamente e entra em condução, assumindo toda a corrente de carga. Assim, D_{Sp2} permanecerá conduzindo a corrente de carga, em roda livre, até que ocorra o reinício do ciclo de operação do inversor, conforme a Figura 2.4, correspondente ao semi-ciclo positivo da tensão de saída.

2.5 – Análise Quantitativa

2.5.1 - Primeira Etapa de Funcionamento: $\Delta t_1(t_0, t_1)$

Condições iniciais em $t=t_0$:

$$I_{L_{r1}}(t_0) = 0$$

$$V_{C_{ra1}}(t_0) = 2 \cdot V_{in}$$

$$V_{C_{r1}}(t_0) = 2 \cdot V_{in}$$

$$V_{C_{r2}}(t_0) = 0$$

Condições finais em $t=t_1$:

$$I_{L_{r1}}(t_1) = 0$$

$$V_{C_{ra1}}(t_1) = 2 \cdot V_{in}$$

$$V_{C_{r1}}(t_1) = 2 \cdot V_{in}$$

$$V_{C_{r2}}(t_1) = 0$$

Nesta etapa a corrente de carga circula em roda livre através de D_{sp2} , conforme mostra a Figura 2.6. Portanto, as variáveis de estado do inversor não se alteram. O intervalo de tempo Δt_1 é calculado através da equação (2.1).

$$\Delta t_1 = T - \sum_{i=2}^9 \Delta t_i \quad (2.1)$$

Onde

$T = 1/f_s$ = Período de chaveamento, ou, comutação.

f_s = frequência de chaveamento, ou, comutação.

Observa-se que os demais intervalos de tempo, contemplados pela somatória em (2.1), serão determinados no desenvolvimento da análise das demais etapas a seguir.

2.5.2 - Segunda Etapa de Funcionamento: $\Delta t_2(t_1, t_2)$

Condições iniciais em $t=t_1$:

$$I_{Lr1}(t_1) = 0$$

$$V_{Cra1}(t_1) = 2 \cdot V_{in}$$

$$V_{Cr1}(t_1) = 2 \cdot V_{in}$$

$$V_{Cr2}(t_1) = 0$$

Condições finais em $t=t_2$:

$$I_{Lr1}(t_2) = I_o$$

$$V_{Cra1}(t_2) = V_2$$

$$V_{Cr1}(t_2) = 2 \cdot V_{in}$$

$$V_{Cr2}(t_2) = 0$$

Com a entrada em condução do interruptor auxiliar S_{a1} , em $t=t_1$, tem-se a mudança de estado dos elementos ressonantes L_{r1} e C_{ra1} . Portanto nesta etapa, serão obtidas as equações que descrevem a evolução de $I_{Lr1}(t)$ e $V_{Cra1}(t)$. Além disso, apresenta-se a expressão para a variação de tempo da etapa (Δt_2), conforme a seguir:

- Determinando-se $I_{Lr1}(t)$:

Inicialmente verifica-se, através da equação (2.2), a igualdade entre as correntes que circulam através dos elementos ressonantes L_{r1} e C_{ra1} .

$$I_{Lr1}(t) = I_{Cra1}(t) \quad (2.2)$$



Como o capacitor C_{ra1} está cedendo energia para o sistema, adota-se um sinal negativo no segundo membro da equação (2.3), mostrada a seguir.

$$I_{Cra1}(t) = -C_{ra1} \cdot \frac{d[V_{Cra1}(t)]}{dt} \quad (2.3)$$

Substituindo-se a equação (2.2) em (2.3), resulta em:

$$I_{Lr1}(t) = -L_{r1} \cdot C_{ra1} \cdot \frac{d^2[V_{Cra1}(t)]}{dt^2} \quad (2.4)$$

Aplicando a transformada de Laplace na equação (2.4) e a manipulando-a devidamente, tem-se o seguinte resultado:

$$I_{Lr1}(s) = \frac{V_{in}}{Z_o} \cdot \frac{\omega_o}{(s^2 + \omega_o^2)} \quad (2.5)$$

Onde ω_o é a frequência angular de ressonância e Z_o é a impedância característica, conforme descrito a seguir:

$$\omega_o = \frac{1}{\sqrt{L_{r1} \cdot C_{ra1}}} \quad (2.6)$$

$$\omega_o = 2\pi \cdot f_o \quad (2.7)$$

$$Z_o = \sqrt{\frac{L_{r1}}{C_{ra1}}} \quad (2.8)$$

Igualando as equações (2.6) e (2.7), é obtida a equação (2.9), a qual relaciona os elementos ressonantes L_{r1} e C_{ra1} e a frequência de ressonância dos mesmos.

$$f_o = \frac{1}{2\pi \cdot \sqrt{L_{r1} \cdot C_{ra1}}} \quad (2.9)$$

Relacionando-se as frequências de ressonância (f_o) e a de comutação (f_s), têm-se o parâmetro “F”, o qual constitui-se como parâmetro de projeto para a topologia em análise, conforme mostra a equação (2.10).

$$f = \frac{f_o}{f_s} \quad (2.10)$$

Aplicando-se a transformada inversa de Laplace na equação (2.5), obtém-se $I_{Lr1}(t)$ para esta etapa de funcionamento, mostrada através da equação (2.11).

$$I_{Lr1}(t) = \frac{V_{in}}{Z_o} \cdot \text{sen}(\omega_o \cdot t) \quad (2.11)$$

- Determinando-se $V_{Cra1}(t)$:

Analisando-se o circuito apresentado na Figura 2.7, obtém-se a seguinte relação entre as tensões aplicadas sobre os elementos ressonantes L_{r1} e C_{ra1} , conforme equação (2.12).

$$V_{Cra1}(t) = L_{r1} \cdot \frac{d[I_{Lr1}(t)]}{dt} + V_{in} \quad (2.12)$$

Derivando-se a equação (2.11) e substituindo-a na equação (2.12), obtém-se $V_{Cra1}(t)$, conforme equação (2.13).

$$V_{Cra1}(t) = V_{in} \cdot [\cos(\omega_o \cdot t) + 1] \quad (2.13)$$

- Determinando-se Δt_2 :

Ao final desta etapa, em $t=t_2$, tem-se que:

$$I_{Lr1}(t_2) = I_o \quad (2.14)$$

$$V_{Cra1}(t_2) = V_2 \quad (2.15)$$

Substituindo-se (2.13) em (2.11), obtém-se Δt_2 através da equação (2.16).

$$\Delta t_2 = \frac{1}{\omega_o} \cdot \arcsen(\alpha) \quad (2.16)$$

- Determinando-se $I_{Lr1}(t)$:

Analisando-se as correntes que fluem no circuito, conforme Figura (2.8), é obtida a seguinte equação:

$$I_{Lr1}(t) = I_{Cr1}(t) + I_{Cr2}(t) + I_O \quad (2.20)$$

Onde:

$$I_{Cr1}(t) = -C_{r1} \cdot \frac{d[V_{Cr1}(t)]}{dt} \quad (2.21)$$

$$I_{Cr2}(t) = C_{r2} \cdot \frac{d[V_{Cr2}(t)]}{dt} \quad (2.22)$$

Verificando-se a soma das tensões ao longo das malhas envolvidas nessa etapa de funcionamento, tem-se como resultado as equações (2.23) e (2.24).

$$V_{Cr1}(t) = V_{in} + V_{Lr1}(t) - V_{Cra1}(t) \quad (2.23)$$

$$V_{Cr2}(t) = V_{in} - V_{Lr1}(t) + V_{Cra1}(t) \quad (2.24)$$

Observa-se que $I_{Cr1}(t)$ recebe sinal negativo, mostrado na equação (2.21), pelo fato da capacitância intrínseca C_{r1} estar se descarregando, ou seja, cedendo energia para o circuito.

Substituindo-se as equações (2.23) e (2.24) em (2.21) e (2.22), respectivamente, obtém-se as equações (2.25) e (2.26).

$$I_{Cr1}(t) = -C_{r1} \cdot \frac{d[V_{Lr1}(t) - V_{Cra1}(t)]}{dt} \quad (2.25)$$

$$I_{Cr2}(t) = C_{r2} \cdot \frac{d[-V_{Lr1}(t) + V_{Cra1}(t)]}{dt} \quad (2.26)$$

Na sequência, substituindo-se as equações (2.25) e (2.26) em (2.20), tem-se a equação (2.27).

$$I_{Lr1}(t) = -\{C_{r1} + C_{r2}\} \cdot \left\{ L_{r1} \cdot \frac{d^2[I_{Lr1}(t)]}{dt^2} + \frac{I_{Lr1}(t)}{C_{ra1}} \right\} + I_o \quad (2.27)$$

Aplicando-se a transformada de Laplace na equação (2.27) e manipulando-a devidamente, obtém-se a equação (2.28).

$$I_{Lr1}(s) = \frac{1}{s^2 + \omega_o^2 \cdot \left(\frac{\beta_1 + \beta_2 + 1}{\beta_1 + \beta_2} \right)} \cdot \left[s \cdot I_o + \frac{\omega_o \cdot (V_{in} + V_2)}{Z_o} + \frac{I_o \cdot \omega_o^2}{s \cdot (\beta_1 + \beta_2)} \right] \quad (2.28)$$

Onde β_1 e β_2 são outros dois parâmetros de projeto para a topologia em análise, conforme mostram as equações (2.29) e (2.30).

$$\beta_1 = \frac{C_{r1}}{C_{ra1}} \quad (2.29)$$

$$\beta_2 = \frac{C_{r2}}{C_{ra2}} \quad (2.30)$$

Aplicando-se a transformada inversa de Laplace na equação (2.28), obtém-se finalmente $I_{Lr1}(t)$, composta através das equações (2.31), (2.32) e (2.33).

$$K_1(t) = I_o \cdot \cos \left(\sqrt{\frac{\beta_1 + \beta_2 + 1}{\beta_1 + \beta_2}} \cdot \omega_o \cdot t \right) \cdot \left[1 - \frac{1}{\beta_1 + \beta_2 + 1} \right] \quad (2.31)$$

$$K_2(t) = \left[\frac{V_{in} + V_2}{Z_o \cdot \sqrt{\frac{\beta_1 + \beta_2 + 1}{\beta_1 + \beta_2}}} \right] \cdot \sin \left(\sqrt{\frac{\beta_1 + \beta_2 + 1}{\beta_1 + \beta_2}} \cdot \omega_o \cdot t \right) + \frac{I_o}{\beta_1 + \beta_2 + 1} \quad (2.32)$$

$$I_{Lr1}(t) = K_1(t) + K_2(t) \quad (2.33)$$

- Determinando-se $V_{Cra1}(t)$:

Derivando-se a equação (2.23), a qual representa a soma das tensões em uma das malhas envolvidas nesta etapa, resulta a equação (2.34).

$$\frac{d[V_{Cr1}(t)]}{dt} + \frac{d[V_{Cra1}(t)]}{dt} + L_{r1} \cdot C_{ra1} \cdot \frac{d^3[V_{Cra1}(t)]}{dt^3} = 0 \quad (2.34)$$

Manipulando-se a equação (2.20), tem-se a equação (2.35).

$$\frac{d[V_{Cr1}(t)]}{dt} = \frac{1}{(C_{r1} + C_{r2})} \cdot \frac{d[V_{Cra1}(t)]}{dt} + I_o \quad (2.35)$$

Substituindo-se a equação (2.35) em (2.34), obtém-se a equação (2.36).

$$-\frac{d[V_{Cra1}(t)]}{dt} \cdot \left(\frac{C_{ra1}}{C_{r1} + C_{r2}} + 1 \right) - L_{r1} \cdot C_{ra1} \cdot \frac{d^3[V_{Cra1}(t)]}{dt^3} - \frac{I_o}{C_{r1} + C_{r2}} = 0 \quad (2.36)$$

Aplicando-se a transformada de Laplace na equação (2.36) e realizando-se todas as manipulações necessárias, tem-se como resultado a equação (2.37).

$$V_{Cra1}(s) = \frac{1}{s^2 + \omega_o^2 \cdot \left(\frac{\beta_1 + \beta_2 + 1}{\beta_1 + \beta_2} \right)} \cdot \left[\frac{V_2 \cdot \omega_o^2 \cdot \left(\frac{\beta_1 + \beta_2 + 1}{\beta_1 + \beta_2} \right)}{s} - I_o \cdot \omega_o \cdot Z_o \cdot \left(\frac{\omega_o^2}{s^2 \cdot (\beta_1 + \beta_2)} + 1 \right) + V_2 \cdot s \right] \quad (2.37)$$

Aplicando-se a transformada inversa de Laplace na equação (2.37), obtém-se finalmente $V_{Cra1}(t)$ através da equação (2.38).

$$V_{Cra1}(t) = V_2 + \frac{I_o \cdot Z_o}{\sqrt{\frac{\beta_1 + \beta_2 + 1}{\beta_1 + \beta_2}}} \cdot \text{sen} \left(\sqrt{\frac{\beta_1 + \beta_2 + 1}{\beta_1 + \beta_2}} \cdot \omega_o \cdot t \right) \cdot \left[\frac{1}{\beta_1 + \beta_2 + 1} - 1 \right] - \frac{I_o \cdot Z_o \cdot \omega_o}{\beta_1 + \beta_2 + 1} \cdot t \quad (2.38)$$

- Determinando-se $V_{Cr1}(t)$:

Substituindo-se as equações (2.21) e (2.22) em (2.20), obtém-se a equação (2.39).

$$I_{Lr1}(t) = -C_{r1} \frac{d[V_{Cr1}(t)]}{dt} + C_{r2} \frac{d[V_{Cr2}(t)]}{dt} + I_o \quad (2.39)$$

Analisando-se a malha externa no circuito do inversor, referente a esta etapa conforme Figura 2.8, obtém-se a equação (2.40).

$$2. V_{in} - V_{Cr1}(t) - V_{Cr2}(t) = 0 \quad (2.40)$$

Substituindo-se as equações (2.40) em (2.39), obtém-se as equações (2.41) e (2.42).

$$I_{Lr1}(t) = -(C_{r1} + C_{r2}) \cdot \frac{d[V_{Cr1}(t)]}{dt} + I_o \quad (2.41)$$

$$I_{Lr1}(t) = (C_{r1} + C_{r2}) \cdot \frac{d[V_{Cr2}(t)]}{dt} + I_o \quad (2.42)$$

Na seqüência, derivando-se a equação (2.23), obtém-se a equação (2.43).

$$-\frac{d[V_{Cr1}(t)]}{dt} + \frac{I_{Lr1}(t)}{C_{r1}} + L_{r1} \cdot \frac{d^2[I_{Lr1}(t)]}{dt^2} = 0 \quad (2.43)$$

Aplicando-se a transformada de Laplace nas equações (2.41) e (2.43), obtém-se as equações (2.44) e (2.45), respectivamente.

$$I_{Lr1}(s) = -(C_{r1} + C_{r2}) \cdot s \cdot V_{Cr1}(s) + 2 \cdot V_{in} \cdot (C_{r1} + C_{r2}) + \frac{I_o}{s} \quad (2.44)$$

$$I_{Lr1}(s) = \frac{1}{(s^2 + \omega_o^2)} \cdot \left(\frac{s \cdot V_{Cr1}(s)}{L_{r1}} + \frac{(V_2 - V_{in})}{L_{r1}} + I_o \cdot s \right) \quad (2.45)$$

Igualando-se as equações (2.44) e (2.45), e com as devidas manipulações, tem-se como resultado a equação (2.46).

$$V_{Cr1}(s) = \frac{1}{s^2 + \omega_o^2 \cdot \left(\frac{\beta_1 + \beta_2 + 1}{\beta_1 + \beta_2} \right)} \cdot \left\{ \frac{\omega_o^2 \cdot [2 \cdot V_{in} \cdot (\beta_1 + \beta_2) + V_{in} - V_2]}{s \cdot (\beta_1 + \beta_2)} + 2 \cdot V_{in} \cdot s + \frac{I_o \cdot Z_o \cdot \omega_o^3}{s^2 \cdot (\beta_1 + \beta_2)} \right\} \quad (2.46)$$

Aplicando-se a transformada inversa de Laplace em (2.46), obtém-se a expressão $V_{Cr1}(t)$ através de (2.49), composta pelas equações (2.47) e (2.48).

$$K_3(t) = \cos \left(\sqrt{\frac{\beta_1 + \beta_2 + 1}{\beta_1 + \beta_2}} \cdot \omega_o \cdot t \right) \cdot \left[\frac{V_{in} + V_2}{\beta_1 + \beta_2 + 1} \right] \quad (2.47)$$

$$K_4(t) = \frac{I_o \cdot Z_o \cdot \omega_o}{\beta_1 + \beta_2 + 1} \cdot \left[t - \text{sen} \left(\sqrt{\frac{\beta_1 + \beta_2 + 1}{\beta_1 + \beta_2}} \cdot \omega_o \cdot t \right) \right] + 2 \cdot V_{in} - \frac{V_{in} + V_2}{\beta_1 + \beta_2 + 1} \quad (2.48)$$

$$V_{Cr1}(t) = K_3(t) + K_4(t) \quad (2.49)$$

- Determinando-se $V_{Cr2}(t)$:

Derivando-se a equação (2.24) tem-se a equação (2.50).

$$-\frac{d[V_{Cr2}(t)]}{dt} - \frac{I_{Lr1}(t)}{C_{r1}} - L_{r1} \cdot \frac{d^2[I_{Lr1}(t)]}{dt^2} = 0 \quad (2.50)$$

Aplicando-se a transformada de Laplace nas equações (2.42) e (2.50), obtém-se as equações (2.51) e (2.52), respectivamente.

$$I_{Lr1}(s) = (C_{r1} + C_{r2}) \cdot s \cdot V_{Cr2}(s) + \frac{I_o}{s} \quad (2.51)$$

$$I_{Lr1}(s) = \frac{1}{(s^2 + \omega_o^2)} \cdot \left(-\frac{s \cdot V_{Cr2}(s)}{L_{r1}} + \frac{(V_2 + V_{in})}{L_{r1}} + I_o \cdot s \right) \quad (2.52)$$

Igualando-se as equações (2.51) e (2.52), e manipulando-as convenientemente, tem-se a equação (2.53).

$$V_{Cr2}(s) = \frac{1}{s^2 + \omega_o^2 \cdot \left(\frac{\beta_1 + \beta_2 + 1}{\beta_1 + \beta_2} \right)} \cdot \left\{ \frac{\omega_o^2 \cdot (V_{in} + V_2)}{s \cdot (\beta_1 + \beta_2)} - \frac{I_o \cdot Z_o \cdot \omega_o^3}{s^2 \cdot (\beta_1 + \beta_2)} \right\} \quad (2.53)$$

Aplicando-se a transformada inversa de Laplace em (2.53), obtém-se $V_{Cr2}(t)$ através da equação (2.54).

$$V_{Cr2}(t) = \frac{I_o \cdot Z_o \cdot \omega_o}{\beta_1 + \beta_2 + 1} \cdot \left[\text{sen} \left(\sqrt{\frac{\beta_1 + \beta_2 + 1}{\beta_1 + \beta_2}} \cdot \omega_o \cdot t \right) - t \right] + \frac{V_{in} + V_2}{\beta_1 + \beta_2 + 1} \cdot \left[1 - \cos \left(\sqrt{\frac{\beta_1 + \beta_2 + 1}{\beta_1 + \beta_2}} \cdot \omega_o \cdot t \right) \right] \quad (2.54)$$

- Determinando-se Δt_3 :

O intervalo de tempo Δt_3 pode ser determinado através da equação (2.49), de $V_{Cr1}(t)$, ou da equação (2.54), de $V_{Cr2}(t)$, pois os seus valores finais em $t=t_3$ são conhecidos, ou seja: $V_{Cr1}(t_3)=0$ e $V_{Cr2}(t_3)=2 \cdot V_{in}$. Entretanto, devido à impossibilidade de se isolar a variável “t”, por se tratar de equações transcendentais, torna-se necessário a utilização de um método iterativo para a solução do problema. Neste caso, desenvolveu-se uma rotina de cálculo utilizando-se o método iterativo de Newton Rhapson.

Para o desenvolvimento desta rotina, optou-se pela utilização da equação (2.49), sendo que, além desta, necessitou-se de outras duas equações, quais sejam: (2.55) e (2.57).

Derivando-se a equação (2.49), obtém-se a equação (2.55).

$$\frac{d[V_{Cr1}(t)]}{dt} = K_5(t) + \frac{V_{in} \cdot \alpha}{\beta_1 + \beta_2 + 1} \cdot \left[1 - \cos \left(\sqrt{\frac{\beta_1 + \beta_2 + 1}{\beta_1 + \beta_2}} \cdot \omega_o \cdot t \right) \right] \quad (2.55)$$

$$K_5(t) = \frac{(V_{in} + V_2) \cdot \sqrt{\frac{\beta_1 + \beta_2 + 1}{\beta_1 + \beta_2}} \cdot \omega_o}{\beta_1 + \beta_2 + 1} \cdot \text{sen} \left(\sqrt{\frac{\beta_1 + \beta_2 + 1}{\beta_1 + \beta_2}} \cdot \omega_o \cdot t \right) \quad (2.56)$$

Igualando-se a equação (2.55) a zero, obtém-se a equação (2.57), a qual permite o cálculo do instante t_{min} em que a equação $V_{Cr1}(t)$ atinge o seu valor mínimo.

$$t_{\min} = \frac{1}{\sqrt{\frac{\beta_1 + \beta_2 + 1}{\beta_1 + \beta_2}} \cdot \omega_0} \cdot \arccos \left[1 - \frac{2 \cdot (V_{in} + V_2)^2}{(V_{in} + V_2)^2 + \alpha^2 \cdot V_{in}^2 \cdot \frac{\beta_1 + \beta_2}{\beta_1 + \beta_2 + 1}} \right] \quad (2.57)$$

Para uma melhor visualização do comportamento da equação (2.49) e da descrição do algoritmo desenvolvido para o cálculo de Δt_3 , apresenta-se na Figura 2.15 a função $V_{Cr1}(t)$ detalhando-se os seus pontos principais de análise.

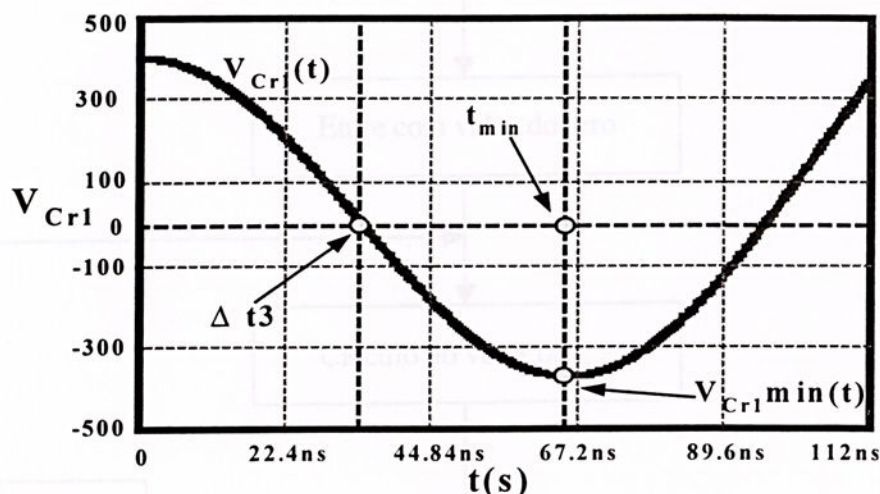


Figura 2.15 - Detalhe da função $V_{Cr1}(t)$ e seus pontos principais.

Conforme se verifica na Figura 2.15, o tempo Δt_3 desejado refere-se sempre à primeira raiz da equação (2.49). Desta forma, através de um fluxograma composto pelas Figuras 2.16(a) e 2.16(b), tem-se a descrição do algoritmo utilizado.



Figura 2.16(a) - Descrição do algoritmo para cálculo de Δt_3 parte a.

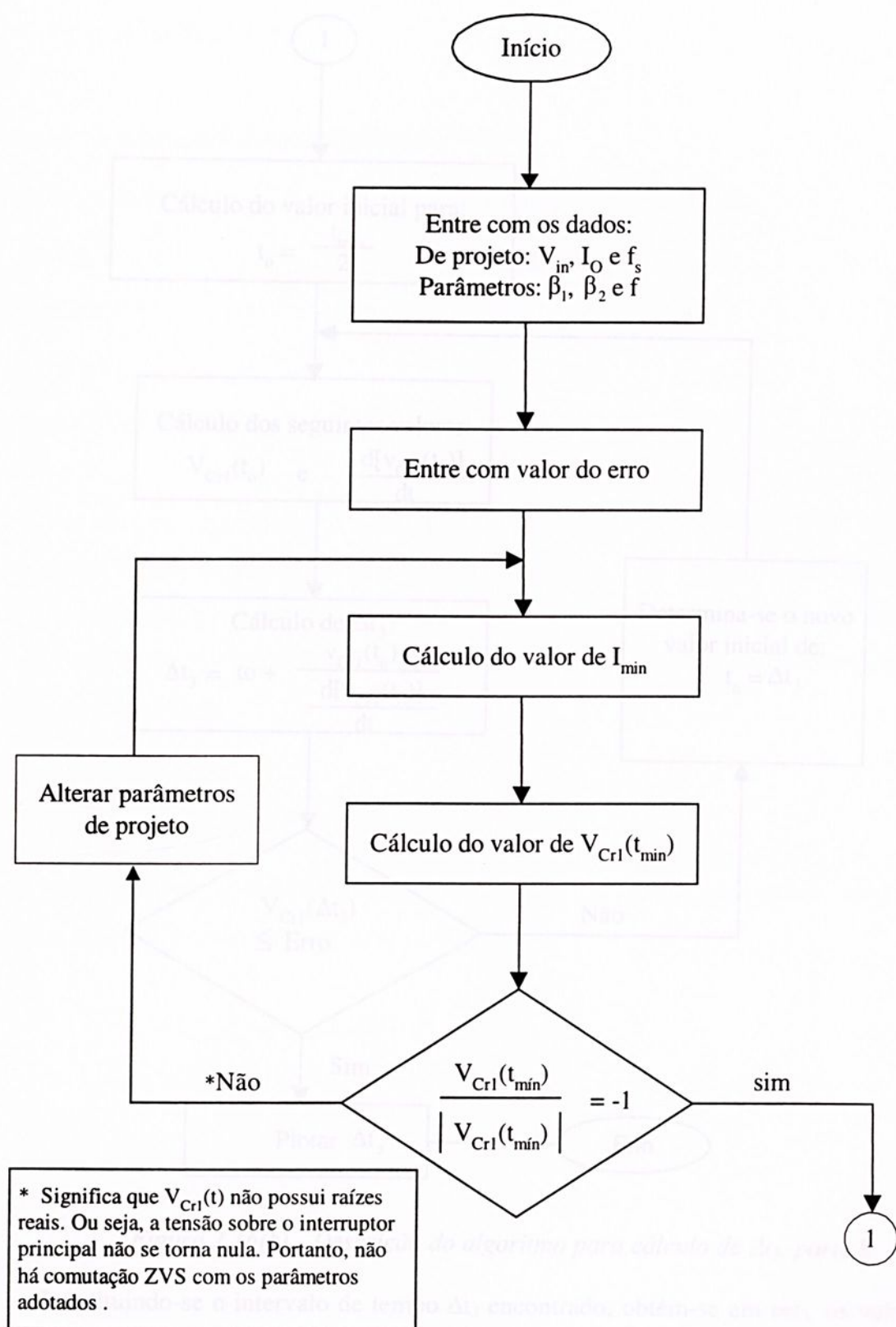


Figura 2.16(a) - Descrição do algoritmo para cálculo de Δt_3 , parte a.

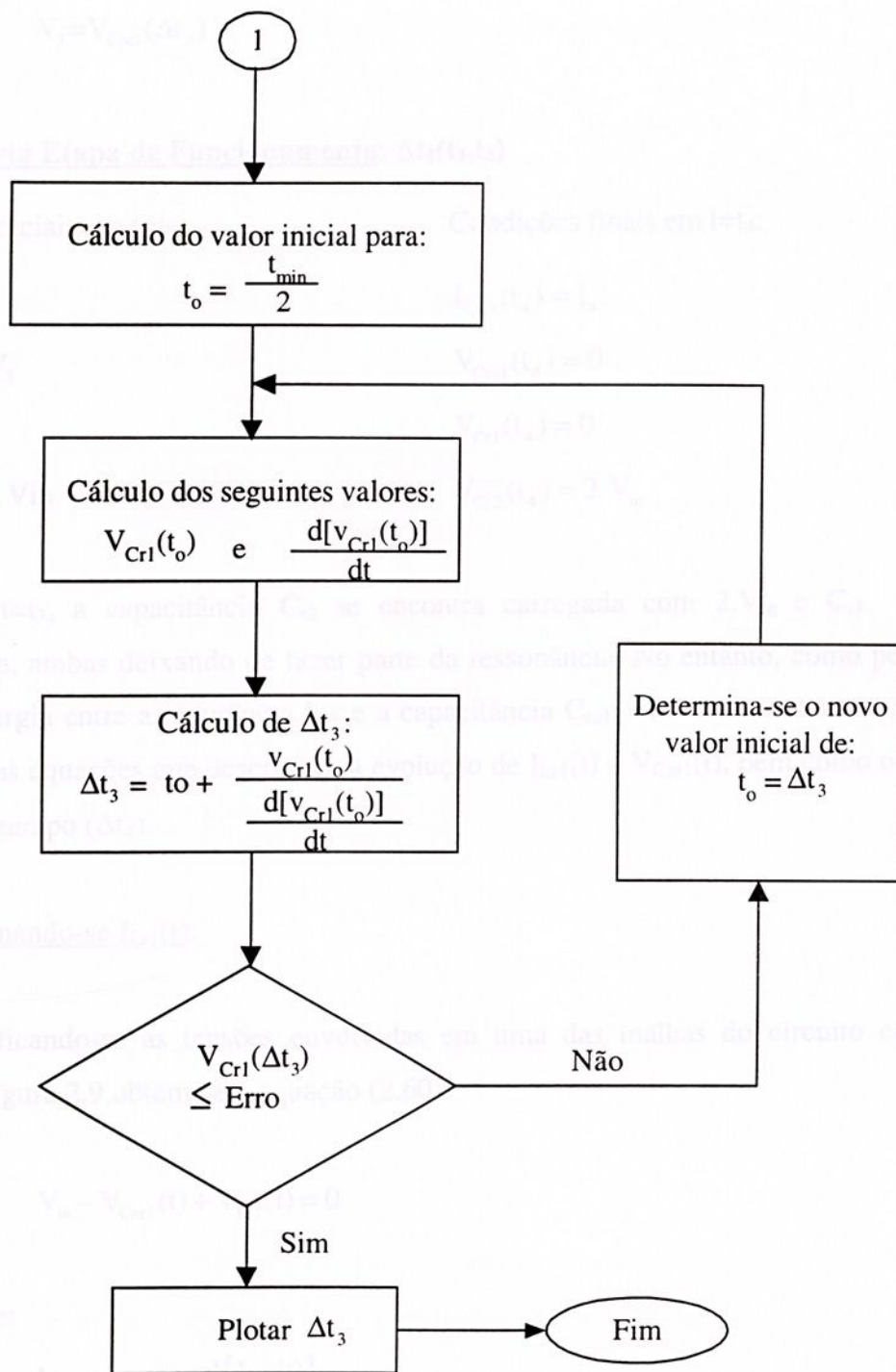


Figura 2.16(b) - Descrição do algoritmo para cálculo de Δt_3 , parte b.

Substituindo-se o intervalo de tempo Δt_3 encontrado, obtém-se em $t=t_3$, os valores da corrente I_3 que circula através do indutor ressonante L_{r1} e da tensão V_3 , sobre o capacitor ressonante C_{r1} , através das equações (2.58) e (2.59), respectivamente.

$$I_3 = I_{Lr1}(\Delta t_3) \quad (2.58)$$

$$V_3 = V_{Cr1}(\Delta t_3) \quad (2.59)$$

2.5.4 - Quarta Etapa de Funcionamento: $\Delta t_4(t_3, t_4)$

Condições iniciais em $t=t_3$:

$$I_{Lr1}(t_3) = I_3$$

$$V_{Cr1}(t_3) = V_3$$

$$V_{Cr1}(t_3) = 0$$

$$V_{Cr2}(t_3) = 2 \cdot V_{in}$$

Condições finais em $t=t_4$:

$$I_{Lr1}(t_4) = I_4$$

$$V_{Cr1}(t_4) = 0$$

$$V_{Cr1}(t_4) = 0$$

$$V_{Cr2}(t_4) = 2 \cdot V_{in}$$

Em $t=t_3$, a capacitância C_{r2} se encontra carregada com $2 \cdot V_{in}$ e C_{r1} totalmente descarregada, ambas deixando de fazer parte da ressonância. No entanto, como permanece a troca de energia entre a indutância L_{r1} e a capacitância C_{r1} , de forma ressonante, obter-se-á nesta etapa as equações que descrevem a evolução de $I_{Lr1}(t)$ e $V_{Cr1}(t)$, bem como o cálculo da variação de tempo (Δt_4).

- Determinando-se $I_{Lr1}(t)$:

Verificando-se as tensões envolvidas em uma das malhas do circuito equivalente, conforme Figura 2.9, obtém-se a equação (2.60).

$$V_{in} - V_{Cr1}(t) + V_{Lr1}(t) = 0 \quad (2.60)$$

Onde:

$$V_{Lr1}(t) = L_{r1} \cdot \frac{d[I_{Lr1}(t)]}{dt} \quad (2.61)$$

Derivando-se a equação (2.61), tem-se a equação (2.62).

$$\frac{I_{Cr1}(t)}{C_{r1}} + L_{r1} \cdot \frac{d^2[I_{Lr1}(t)]}{dt^2} = 0 \quad (2.62)$$

Substituindo-se a equação (2.2), em (2.62), obtém-se a equação (2.63).

$$\frac{I_{Lr1}(t)}{C_{ral}} + L_{r1} \cdot \frac{d^2[I_{Lr1}(t)]}{dt^2} = 0 \quad (2.63)$$

Aplicando-se a transformada de Laplace na equação (2.63) e com as manipulações necessárias, obtém-se a equação (2.64).

$$I_{Lr1}(s) = \frac{I_3 \cdot s}{(s^2 + \omega_o^2)} + \frac{(V_3 - V_{in}) \cdot \omega_o}{\omega_o \cdot L_{r1} \cdot (s^2 + \omega_o^2)} \quad (2.64)$$

Aplicando-se a transformada inversa de Laplace na equação (2.64), obtém-se finalmente $I_{Lr1}(t)$, para esta etapa, através da equação (2.65).

$$I_{Lr1}(t) = I_3 \cdot \cos(\omega_o \cdot t) + \frac{(V_3 - V_{in})}{Z_o} \cdot \sin(\omega_o \cdot t) \quad (2.65)$$

- Determinando-se $V_{Cral}(t)$:

Substituindo-se a equação (2.61) em (2.60), obtém-se a equação (2.66).

$$V_{in} - V_{Cral}(t) + L_{r1} \frac{d[I_{Lr1}(t)]}{dt} = 0 \quad (2.66)$$

Como no ramo auxiliar ressonante a corrente em L_{r1} é sempre igual à corrente em C_{ral} , faz-se a substituição da equação (2.3) em (2.65), obtendo-se a equação (2.67).

$$-V_{in} + V_{Cral}(t) + L_{r1} \cdot C_{ral} \frac{d^2[V_{Cral}(t)]}{dt^2} = 0 \quad (2.67)$$

Aplicando-se a transformada de Laplace na equação (2.67) e manipulando-a devidamente, obtém-se a equação (2.68).

2.5.5 - Quinta Etapa de Funcionamento: $\Delta t_5(t_4, t_5)$

Condições iniciais em $t=t_4$:

$$I_{Lr1}(t_4) = I_4$$

$$V_{Cra1}(t_4) = 0$$

$$V_{Cr1}(t_4) = 0$$

$$V_{Cr2}(t_4) = 2 \cdot V_{in}$$

Condições finais em $t=t_5$:

$$I_{Lr1}(t_5) = I_0$$

$$V_{Cra1}(t_5) = 0$$

$$V_{Cr1}(t_5) = 0$$

$$V_{Cr2}(t_5) = 2 \cdot V_{in}$$

Em $t=t_4$, a capacitância C_{ra1} se descarrega totalmente, deixando de fazer parte da ressonância. Como ainda existe energia na indutância ressonante L_{r1} , esta continua a se descarregar, agora de forma linear. Dessa forma, obter-se-á para esta etapa a equação que descreve a evolução de $I_{Lr1}(t)$ e a equação para o cálculo da variação de tempo (Δt_5).

- Determinando-se $I_{Lr1}(t)$:

Fazendo-se uma análise do circuito equivalente desta etapa, conforme Figura 2.10, obtém-se a equação (2.74).

$$V_{Lr1}(t) + V_{in} = 0 \quad (2.74)$$

Substituindo-se a equação (2.61) em (2.74), resulta a equação (2.75).

$$L_{r1} \cdot \frac{d[I_{Lr1}(t)]}{dt} + V_{in} = 0 \quad (2.75)$$

Aplicando-se a transformada de Laplace na equação (2.75) e trabalhando-a adequadamente, obtém-se a equação (2.76).

$$I_{Lr1}(s) = \frac{I_4}{s} - \frac{\omega_0 \cdot V_{in}}{Z_0 \cdot s^2} \quad (2.76)$$

Aplicando-se a transformada inversa de Laplace na equação (2.76), obtém-se a equação (2.77), para o cálculo de $I_{Lr1}(t)$.

$$I_{Lr1}(t) = I_4 - \frac{\omega_o \cdot V_{in}}{Z_o} \cdot t \quad (2.77)$$

- Determinando-se Δt_5 :

Em $t=t_5$, a corrente $I_{Lr1}(t)$ através da indutância ressonante torna-se igual à I_o . Desta forma, igualando-se a equação (2.77) à I_o , obtém-se a expressão para o cálculo do intervalo de tempo desta etapa, conforme mostra a equação (2.78).

$$\Delta t_5 = \frac{(I_4 - I_o) \cdot Z_o}{V_{in} \cdot \omega_o} \quad (2.78)$$

2.5.6 - Sexta Etapa de Funcionamento: $\Delta t_6(t_5, t_6)$

Condições iniciais em $t=t_5$:

Condições finais em $t=t_6$:

$$I_{Lr1}(t_5) = I_o$$

$$I_{Lr1}(t_6) = 0$$

$$V_{Cr1}(t_5) = 0$$

$$V_{Cr1}(t_6) = 0$$

$$V_{Cr1}(t_5) = 0$$

$$V_{Cr1}(t_6) = 0$$

$$V_{Cr2}(t_5) = 2 \cdot V_{in}$$

$$V_{Cr2}(t_6) = 2 \cdot V_{in}$$

Em $t=t_5$, a indutância ressonante L_{r1} continua a se descarregar linearmente. Portanto, a equação para $I_{Lr1}(t)$, nesta etapa, é a mesma equação (2.77), obtida para a etapa anterior. Observa-se que a análise da sexta etapa, em princípio, não é necessária, por prevalecer a mesma equação para a obtenção de $I_{Lr1}(t)$. Entretanto, optou-se pela divisão destas etapas para melhor identificar o instante no qual o diodo em antiparalelo D_{sp1} , intrínseco ao MOSFET S_{p1} , é bloqueado e, em consequência, a corrente começará a fluir da fonte para a carga, através de S_{p1} , o que representa uma contribuição positiva para o ganho estático do inversor.

- Determinando-se Δt_6 :

Em $t=t_6$, a corrente $I_{Lr1}(t)$ através da indutância ressonante torna-se igual a zero. Desta forma, igualando-se a equação (2.77) a zero, obtém-se a equação (2.79) para o cálculo do tempo t_6 .

$$t_6 = \frac{I_4 \cdot Z_0}{V_{in} \cdot \omega_0} \quad (2.79)$$

Onde:

$$\Delta t_6 = t_6 - \Delta t_5;$$

Assim, com as equações (2.78) e (2.79), tem-se a expressão para o cálculo de Δt_6 , conforme equação (2.80).

$$\Delta t_6 = \frac{I_0 \cdot Z_0}{V_{in} \cdot \omega_0} \quad (2.80)$$

2.5.7 - Sétima Etapa de Funcionamento: $\Delta t_7(t_6, t_7)$

Condições iniciais em $t=t_6$:

$$I_{Lr1}(t_6) = 0$$

$$V_{Cra1}(t_6) = 0$$

$$V_{Cr1}(t_6) = 0$$

$$V_{Cr2}(t_6) = 2 \cdot V_{in}$$

Condições finais em $t=t_7$:

$$I_{Lr1}(t_7) = 0$$

$$V_{Cra1}(t_7) = 2 \cdot V_{in}$$

$$V_{Cr1}(t_7) = 0$$

$$V_{Cr2}(t_7) = 2 \cdot V_{in}$$

Em $t=t_6$, a corrente em circulação através da indutância ressonante L_{r1} torna-se nula. Neste instante, com a polarização direta do diodo D_{sa1} e o bloqueio do diodo auxiliar D_{a1} , ocorre a inversão da corrente ressonante, dando início ao carregamento da capacitância ressonante C_{ra1} , conforme mostra a Figura 2.12. Desse modo, obter-se-ão as equações que descrevem as evoluções da corrente $I_{Lr1}(t)$ e da tensão $V_{Cra1}(t)$.

- Determinando-se $I_{Lr1}(t)$:

Verificando-se o circuito equivalente desta etapa, conforme Figura 2.12, obtém-se as equações (2.81), (2.82) e (2.83).

$$V_{in} - V_{Cra1}(t) + V_{Lr1}(t) = 0 \quad (2.81)$$

$$V_{Lr1}(t) = -L_{r1} \cdot \frac{d[I_{Lr1}(t)]}{dt} \quad (2.82)$$

$$I_{Cra1}(t) = C_{ra1} \cdot \frac{d[V_{Cra1}(t)]}{dt} \quad (2.83)$$

Observa-se que o sinal negativo no segundo membro da equação (2.82), refere-se à inversão do sentido da corrente ressonante. Nesta etapa, continua prevalecendo a igualdade das correntes $I_{Lr1}(t)$ e $I_{Cra1}(t)$, conforme a equação (2.2).

Substituindo-se a equação (2.2) em (2.82), obtém-se a equação (2.84).

$$I_{Lr1}(t) = C_{ra1} \cdot \frac{d[V_{Cra1}(t)]}{dt} \quad (2.84)$$

Derivando-se a equação (2.81), tem-se como resultado a equação (2.85).

$$-\frac{d[V_{Cra1}(t)]}{dt} + \frac{d[I_{Lr1}(t)]}{dt} = 0 \quad (2.85)$$

Substituindo-se as equações (2.82) e (2.84) na equação (2.85), obtém-se a equação (2.86).

$$-\frac{I_{Lr1}(t)}{C_{ra1}} - L_{r1} \cdot \frac{d^2[I_{Lr1}(t)]}{dt^2} = 0 \quad (2.86)$$

Aplicando-se a transformada de Laplace na equação (2.86) e trabalhando-se a equação algebricamente, tem-se a equação (2.87).

$$I_{Lr1}(s) = -\frac{V_{in}}{Z_o} \cdot \frac{\omega_o}{(s^2 + \omega_o^2)} \quad (2.87)$$

Aplicando-se a transformada inversa de Laplace na equação (2.87) obtém-se a corrente ressonante $I_{Lr1}(t)$ através da equação (2.88).

$$I_{Lr1}(t) = -\frac{V_{in}}{Z_o} \cdot \text{sen}(\omega_o \cdot t) \quad (2.88)$$

- Determinando-se $V_{Cr1}(t)$:

Derivando-se a equação (2.88), obtém-se a equação (2.89).

$$L_{r1} \cdot \frac{d[I_{Lr1}(t)]}{dt} = -V_{in} \cdot \cos(\omega_o \cdot t) \quad (2.89)$$

Substituindo-se a equação (2.89) em (2.81), obtém-se $V_{Cr1}(t)$ através da equação (2.90).

$$V_{Cr1}(t) = V_{in} \cdot (1 - \cos(\omega_o \cdot t)) \quad (2.90)$$

- Determinando-se Δt_7 :

Em $t=t_7$, a tensão sobre a capacitância ressonante C_{r1} é igual a $2 \cdot V_{in}$. Portanto, impondo esta condição ($V_{Cr1}(t)=2 \cdot V_{in}$), através da equação (2.90), obtém-se o intervalo de tempo (Δt_7) para esta etapa, conforme a equação (2.91).

$$\Delta t_7 = \frac{\pi}{\omega_o} \quad (2.91)$$

2.5.8 - Oitava Etapa de Funcionamento: $\Delta t_8(t_7, t_8)$

Condições iniciais em $t=t_7$:

$$I_{Lr1}(t_7) = 0$$

$$V_{Cr1}(t_7) = 2 \cdot V_{in}$$

$$V_{Cr1}(t_7) = 0$$

$$V_{Cr2}(t_7) = 2 \cdot V_{in}$$

Condições finais em $t=t_8$:

$$I_{Lr1}(t_8) = 0$$

$$V_{Cr1}(t_8) = 2 \cdot V_{in}$$

$$V_{Cr1}(t_8) = 0$$

$$V_{Cr2}(t_8) = 2 \cdot V_{in}$$

Em $t=t_7$, a corrente $I_{Lr1}(t)$ torna-se nula, resultando no bloqueio do diodo D_{Sal} , encerrando a participação do circuito ressonante neste período de comutação. Além disso, não existem alterações das variáveis de estado nesta etapa. Este intervalo de funcionamento (Δt_8), refere-se à etapa principal de transferência de energia para a carga, sendo a sua magnitude

dependente da razão cíclica de controle (D), imposta pela modulação PWM, definida através da equação (2.92).

$$D = \frac{\Delta t_8}{T} \quad (2.92)$$

Portanto:

$$\Delta t_8 = D.T \quad (2.93)$$

2.5.8 - Nona Etapa de Funcionamento: $\Delta t_9(t_8, t_9)$

Condições iniciais em $t=t_8$:

$$I_{L_{r1}}(t_8) = 0$$

$$V_{Cr1}(t_8) = 2.V_{in}$$

$$V_{Cr1}(t_8) = 0$$

$$V_{Cr2}(t_8) = 2.V_{in}$$

Condições finais em $t=t_9$:

$$I_{L_{r1}}(t_9) = 0$$

$$V_{Cr1}(t_9) = 2.V_{in}$$

$$V_{Cr1}(t_9) = 2.V_{in}$$

$$V_{Cr2}(t_9) = 0$$

No instante $t=t_8$, com o bloqueio do interruptor principal S_{p1} , tem-se início à troca de energia entre as capacitâncias intrínsecas C_{r1} e C_{r2} , dos interruptores principais (MOSFETs) S_{p1} e S_{p2} , respectivamente. Sendo que, C_{r2} se descarrega de $2.V_{in}$ até o valor zero e C_{r1} se carrega de zero até o valor de $2.V_{in}$. Desse modo, obter-se-ão para esta etapa as equações que descrevem a evolução dessas duas variáveis de estado, bem como o intervalo de tempo Δt_9 .

Analisando-se o circuito equivalente desta etapa de funcionamento, conforme Figura 2.14, obtém-se algumas relações de tensões e correntes envolvidas, mostradas através das equações (2.94), (2.95), (2.96) e (2.97).

$$2.V_{in} - V_{Cr1}(t) - V_{Cr2}(t) = 0 \quad (2.94)$$

$$I_o - I_{Cr1}(t) - I_{Cr2}(t) = 0 \quad (2.95)$$

$$I_{Cr1}(t) = C_{r1} \cdot \frac{d[V_{Cr1}(t)]}{dt} \quad (2.96)$$

$$I_{Cr2}(t) = -C_{r2} \cdot \frac{d[V_{Cr2}(t)]}{dt} \quad (2.97)$$

Observa-se que o sinal negativo existente no segundo membro da equação (2.97) refere-se ao fato de que a capacitância C_{r2} está se descarregando.

Substituindo-se a equação (2.94) em (2.96) e em (2.97), tem-se respectivamente as equações (2.98) e (2.99).

$$I_{Cr1}(t) = -C_{r1} \cdot \frac{d[V_{Cr2}(t)]}{dt} \quad (2.98)$$

$$I_{Cr2}(t) = C_{r2} \cdot \frac{d[V_{Cr1}(t)]}{dt} \quad (2.99)$$

- Determinando-se $V_{Cr1}(t)$:

Levando-se as equações (2.98) e (2.99) em (2.95), obtém-se a equação (2.100).

$$(C_{r1} + C_{r2}) \cdot \frac{d[V_{Cr1}(t)]}{dt} - I_o = 0 \quad (2.100)$$

Aplicando-se a transformada de Laplace na equação (2.100), obtém-se (2.101).

$$V_{Cr1}(s) = \frac{I_o}{(C_{r1} + C_{r2}) \cdot s^2} \quad (2.101)$$

Aplicando-se a transformada inversa de Laplace na equação (2.101) e trabalhando-a adequadamente, obtém-se $V_{Cr1}(t)$ através da equação (2.102).

$$V_{Cr1}(t) = \frac{I_o \cdot Z_o \cdot \omega_o}{\beta_1 + \beta_2} \cdot t \quad (2.102)$$

- Determinando-se $V_{Cr2}(t)$:

Substituindo-se as equações (2.96) e (2.99) em (2.958), resulta na equação (2.103).

$$-(C_{r1} + C_{r2}) \cdot \frac{d[V_{Cr2}(t)]}{dt} + I_o = 0 \quad (2.103)$$

Aplicando-se a transformada de Laplace em (2.103), obtém-se (2.104).

$$V_{Cr2}(s) = \frac{2 \cdot V_{in}}{s} - \frac{I_o}{(C_{r1} + C_{r2}) \cdot s^2} \quad (2.104)$$

Aplicando-se a transformada inversa de Laplace em (2.104) e fazendo-se as manipulações necessárias, tem-se $V_{Cr2}(t)$ conforme equação (2.105).

$$V_{Cr2}(t) = 2 \cdot V_{in} - \frac{I_o \cdot Z_o \cdot \omega_o}{\beta_1 + \beta_2} \cdot t \quad (2.105)$$

- Determinando-se Δt_9 :

Como os valores das tensões sobre ambas as capacitâncias C_{r1} e C_{r2} , em $t=t_9$, são conhecidos, encontra-se Δt_9 tanto através de (2.102) como de (2.105). Portanto, adotando-se a equação (2.102) e impondo-se a condição $V_{Cr1}(t)=2 \cdot V_{in}$, obtém-se o intervalo de tempo Δt_9 , conforme equação (2.106).

$$\Delta t_9 = \frac{2 \cdot V_{in} \cdot (\beta_1 + \beta_2)}{I_o \cdot Z_o \cdot \omega_o} \cdot t \quad (2.106)$$

2.6 - Restrições para Operação ZVS-PWM

Com o objetivo de se obter uma operação segura para o inversor em análise, de tal forma a se obter comutações ZVS para os interruptores principais e ZCS para os auxiliares, é necessário conhecer a influência dos parâmetros ressonantes β_1 , β_2 , α e f .

Conforme mostra a equação (2.17), o parâmetro α (corrente de carga normalizada), considerando-se os dados de projeto V_{in} e f_s estabelecidos, varia em função da corrente de carga " I_o ", ou, em função dos parâmetros ressonantes " L_{r1} e C_{ra1} ", a serem especificados. A variação destes parâmetros ressonantes resulta na variação da frequência de ressonância e conseqüentemente no valor da relação de frequências " f ", e vice-versa. Verifica-se ainda que o parâmetro α deve atender à restrição: $0 < \alpha < 1$. Portanto, analisando-se a equação (2.17),

constata-se que o valor de α aumenta à medida em que a relação de frequências f diminui, até que, para um dado valor de f , o qual denomina-se de $f_{\min}$, o parâmetro α deixará de atender à sua restrição. Quando isso ocorre, significa que os parâmetros ressonantes do ramo auxiliar não são capazes de provocar a descarga da capacitância intrínseca do interruptor principal e a comutação ZVS deixa de existir. A Figura 2.17 apresenta a região de trabalho que permite a comutação ZVS, desde que a relação de frequências f seja maior do que o seu valor mínimo, determinado pela equação (2.107), em função do parâmetro de projeto C_{ra1} .

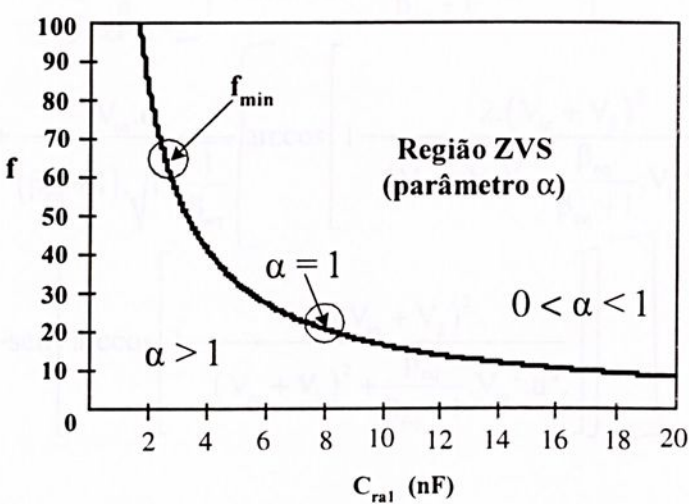


Figura 2.17 - Relação mínima de frequências para operação ZVS – PWM, em relação ao parâmetro α , como função de C_{ra1} .

Através da equação (2.17), impôs-se a condição limite $\alpha=1$, obtendo-se a equação (2.107), a qual relaciona $f_{\min}$ com C_{ra1} .

$$f_{\min} = \frac{I_o}{2.\pi.V_{in}.f_s.C_{ra1}} \tag{2.107}$$

A comutação ZVS desta estrutura não depende somente de $f_{\min}$ e α . Depende também dos parâmetros β_1 e β_2 , dados pelas equações (2.29) e (2.30), respectivamente, os quais se relacionam com as capacitâncias intrínsecas (C_{r1} e C_{r2}) dos interruptores principais e capacitância ressonante auxiliar (C_{ra1}). Para simplificar a análise, será introduzido um novo parâmetro, o β_{eq} , conforme a equação (2.108), considerando-se $C_{ra1}=C_{ra2}$ e $C_{r1}=C_{r2}$

$$\beta_{eq} = \beta_1 + \beta_2 \tag{2.108}$$

Substituindo-se a equação (2.57) em (2.49) e impondo-se que o valor mínimo da tensão $V_{Cr1}(t)$, dada por (2.49), seja zero, obtém-se uma condição de limiar para a comutação ZVS, através da equação (2.109), permitindo-se relacionar os parâmetros ressonantes, através de β_{eq} e α .

$$0 = \left\{ \begin{aligned} & 2 \cdot V_{in} \cdot \frac{V_{in} + V_2}{\beta_{eq} + 1} \cdot \left[\frac{2 \cdot (V_{in} + V_2)^2}{(V_{in} + V_2)^2 + \frac{\beta_{eq}}{\beta_{eq} + 1} \cdot V_{in}^2 \cdot \alpha^2} \right] + \\ & + \frac{V_{in} \cdot \alpha}{(\beta_{eq} + 1) \cdot \sqrt{1 + \frac{1}{\beta_{eq}}}} \left[\arccos \left[1 - \frac{2 \cdot (V_{in} + V_2)^2}{(V_{in} + V_2)^2 + \frac{\beta_{eq}}{\beta_{eq} + 1} \cdot V_{in}^2 \cdot \alpha^2} \right] \right] + \\ & - \sin \left[\arccos \left[1 - \frac{2 \cdot (V_{in} + V_2)^2}{(V_{in} + V_2)^2 + \frac{\beta_{eq}}{\beta_{eq} + 1} \cdot V_{in}^2 \cdot \alpha^2} \right] \right] \end{aligned} \right\} \quad (2.109)$$

Aplicando-se um método iterativo em (2.109), obtém-se a curva apresentada na Figura 2.18, a qual relaciona o valor máximo de β_{eq} para um dado valor de α , delimitando-se a região de operação com comutação ZVS, em função destes parâmetros.

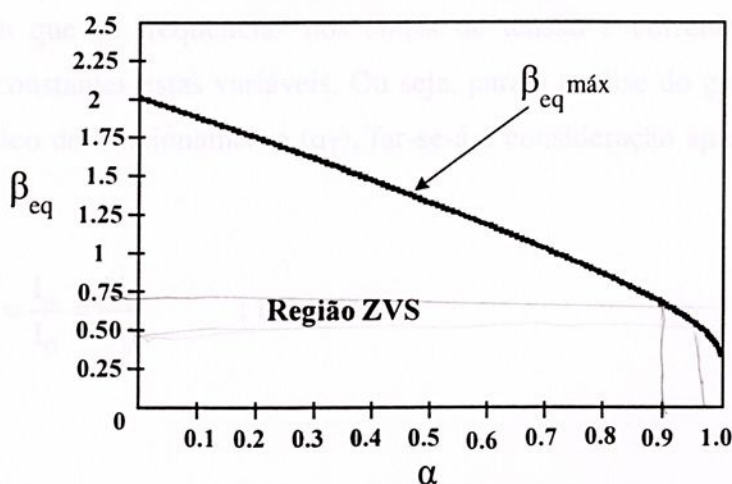


Figura 2.18 - β_{eq} máximo para operação ZVS - PWM, em função de α .

Observa-se que o aumento do parâmetro β_{eq} significa o aumento relativo das magnitudes das capacitâncias intrínsecas, podendo-se atingir um determinado valor ($\beta_{eq\text{máx}}$),

onde os elementos ressonantes não mais conseguem obter a carga e descarga desses elementos intrínsecos, para que ocorra a comutação ZVS desejada.

2.7 –Análise do Ganho Estático para o Novo Inversor Half Bridge ZVS-PWM

O Ganho Estático para esta estrutura é definido através da equação (2.110), a seguir:

$$q = \frac{I_{in_{med}}}{I_{O_{ef}}} = \frac{V_{O_{ef}}}{V_{in}} \quad ; \text{ Considerando } \eta\% = 100\% \quad (2.110)$$

Onde:

$I_{O_{ef}}$ = Valor eficaz da corrente através da carga

$I_{in_{med}}$ = Valor médio da corrente de entrada;

$V_{O_{ef}}$ = Valor eficaz da tensão sobre a carga;

V_{in} = Valor médio da tensão de entrada;

$\eta\%$ = Rendimento (percentual).

Considerando-se um período genérico de comutação, como a frequência de comutação é muito maior do que as frequências dos sinais de tensão e corrente na carga, pode-se considerar como constantes estas variáveis. Ou seja, para a análise do ganho estático durante um período genérico de funcionamento (q_T), far-se-á a consideração apresentada na equação (2.111).

$$q_T = \frac{I_{in}}{I_O} = \frac{V_O}{V_{in}} \quad ; \eta\% = 100\% \quad (2.111)$$

Onde:

I_O = Valor médio da corrente através da carga, durante um período genérico de comutação;



I_{in} = Valor médio da corrente de entrada, durante um período genérico de comutação;

V_o = Valor médio da tensão sobre a carga, durante um período genérico de comutação;

V_{in} = Valor médio da tensão de entrada.

Neste contexto, obter-se-ão as correntes médias de interesse, durante as etapas de funcionamento, considerando-se um período genérico de comutação, obtendo-se uma expressão para a corrente média de entrada para o correspondente período de comutação.

Observa-se que na primeira e segunda etapas de funcionamento não há contribuição para o ganho estático referente à corrente drenada da fonte de tensão V_{in} , correspondente ao “braço” do inversor de S_{p1} , ou seja, não existe circulação de corrente através do interruptor S_{p1} .

Terceira etapa $\Delta t_3(t_2, t_3)$:

→ Determinando-se a equação para o cálculo da corrente $I_{Sp1(3)}(t)$:

Onde:

$$I_{Sp1(3)}(t) = I_{Lr1}(t) - I_{Cr2}(t) - I_o \quad (2.112)$$

Fazendo:

$$\omega_\beta = \sqrt{\frac{\beta_1 + \beta_2 + 1}{\beta_1 + \beta_2}} \quad (2.113)$$

Assim, tem-se que:

$$I_{Sp1(3)}(t) = \left\{ \begin{aligned} &I_o \cdot \left[\frac{1}{\beta_1 + \beta_2 + 1} \cdot (\beta_2 - 1) + 1 \right] \cdot \cos(\omega_\beta \cdot \omega_o \cdot \Delta t_3) + \\ &+ \frac{I_o \cdot (V_2 + V_{in})}{\alpha \cdot V_{in}} \cdot \left[\frac{\beta_2 \cdot \omega_\beta}{\beta_1 + \beta_2 + 1} + \frac{1}{\omega_\beta} \right] \cdot \sin(\omega_\beta \cdot \omega_o \cdot \Delta t_3) + \\ &- \frac{I_o}{\beta_1 + \beta_2 + 1} \cdot (\beta_2 - 1) \end{aligned} \right\} \quad (2.114)$$

Quarta etapa $\Delta t_4(t_3, t_4)$:

→ Determinando-se a equação para o cálculo da corrente $I_{Spl(4)}(t)$:

Onde:

$$I_{Spl(4)}(t) = I_{Lr1}(t) - I_O \quad (2.115)$$

Portanto:

$$I_{Spl(4)}(t) = I_3 \cdot \cos(\omega_O \cdot t) + \frac{(V_3 - V_{in})}{Z_O} \cdot \sin(\omega_O \cdot t) - I_O \quad (2.116)$$

Quinta etapa $\Delta t_5(t_4, t_5)$:

→ Determinando-se a equação para o cálculo da corrente $I_{Spl(5)}(t)$:

Onde:

$$I_{Spl(5)}(t) = I_{Lr1}(t) - I_O \quad (2.117)$$

Na sequência obtém-se:

$$I_{Spl(5)}(t) = I_4 - \frac{V_{in} \cdot \omega_O}{Z_O} \cdot t - I_O \quad (2.118)$$

Sexta etapa $\Delta t_6(t_5, t_6)$:

→ Determinando-se a equação para o cálculo da corrente $I_{Spl(6)}(t)$:

Onde:

$$I_{Spl(6)}(t) = I_O - I_{Lr1}(t) \quad (2.119)$$

Assim, tem-se que:

$$I_{Spl(6)}(t) = I_O - I_4 + \frac{V_{in} \cdot \omega_O}{Z_O} \cdot t \quad (2.120)$$

Sétima etapa $\Delta t_7(t_6, t_7)$:

→ Determinando-se a equação para o cálculo da corrente $I_{Spl(7)}(t)$:

Onde:

$$I_{Spl(7)}(t) = I_O + I_{Lr1}(t) \quad (2.121)$$

Portanto:

$$I_{Spl(7)}(t) = I_O - \frac{V_{in}}{Z_o} \cdot \text{sen}(\omega_o \cdot t) \quad (2.122)$$

Oitava etapa $\Delta t_8(t_7, t_8)$:

→ Determinando-se a equação para o cálculo da corrente $I_{Spl(8)}(t)$:

Onde:

$$I_{Spl(8)}(t) = I_O \quad (2.123)$$

Nona etapa $\Delta t_9(t_8, t_9)$:

→ Determinando-se a equação para o cálculo da corrente $I_{Spl(9)}(t)$:

Onde:

$$I_{Spl(9)}(t) = I_O - I_{Cr2}(t) \quad (2.124)$$

Portanto:

$$I_{Spl(9)}(t) = I_O \cdot \left(1 - \frac{\beta_2}{\beta_1 + \beta_2} \right) \quad (2.125)$$

Então, a corrente média de entrada (I_{in}), durante um período genérico de comutação, é dada por (2.126).

$$I_{in} = \frac{1}{T} \cdot \left\{ \begin{aligned} & - \int_0^{\Delta t_3} I_{Spl(3)}(t) \cdot dt - \int_0^{\Delta t_4} I_{Spl(4)}(t) \cdot dt - \int_0^{\Delta t_5} I_{Spl(5)}(t) \cdot dt + \int_0^{\Delta t_6} I_{Spl(6)}(t) \cdot dt + \\ & + \int_0^{\Delta t_7} I_{Spl(7)}(t) \cdot dt + \int_0^{\Delta t_8} I_{Spl(8)}(t) \cdot dt + \int_0^{\Delta t_9} I_{Spl(9)}(t) \cdot dt \end{aligned} \right\} \quad (2.126)$$

Substituindo-se as equações (2.114), (2.116), (2.118), (2.120), (2.122), (2.123) e (2.125) em (2.126), obtém-se a corrente I_{in} através da equação (2.127).

Os termos A e B existentes na equação (2.127), são dados pelas equações (2.72) e (2.73), respectivamente.

$$I_{in} = I_o \cdot \left\{ D + \frac{fs}{\omega_o} \cdot \left[\begin{aligned} & \frac{(V_2 + V_{in})}{\alpha \cdot V_{in} \cdot \omega_\beta} \cdot \left(\frac{\beta_2 \cdot \omega_\beta}{\beta_1 + \beta_2 + 1} + \frac{1}{\omega_\beta} \right) \cdot [\cos(\omega_\beta \cdot \omega_o \cdot \Delta t_3) - 1] + \\ & - \left[\frac{1}{\beta_1 + \beta_2 + 1} \cdot (\beta_2 - 1) + 1 \right] \cdot \frac{\text{sen}(\omega_\beta \cdot \omega_o \cdot \Delta t_3)}{\omega_\beta} + \\ & + \frac{1}{\alpha \cdot V_{in}} \cdot \left(V_3 - V_{in} - \frac{I_3 \cdot Z_o \cdot \sqrt{B^2 - A^2}}{B} \right) + \arccos\left(\frac{A}{B}\right) + \\ & - \frac{(1 - \beta_2) \cdot \omega_o}{\beta_1 + \beta_2 + 1} \cdot \Delta t_3 - \frac{I_4^2 \cdot Z_o^2}{2 \cdot \alpha \cdot V_{in}^2} + \frac{2}{\alpha} \cdot (\beta_1 - 1) + \alpha + \pi \end{aligned} \right] \right\} \quad (2.127)$$

Onde:

$$F(\alpha, \beta_1, \beta_2, f) = \frac{fs}{\omega_o} \cdot \left\{ \begin{aligned} & \frac{(V_2 + V_{in})}{\alpha \cdot V_{in} \cdot \omega_\beta} \cdot \left(\frac{\beta_2 \cdot \omega_\beta}{\beta_1 + \beta_2 + 1} + \frac{1}{\omega_\beta} \right) \cdot [\cos(\omega_\beta \cdot \omega_o \cdot \Delta t_3) - 1] + \\ & - \left[\frac{1}{\beta_1 + \beta_2 + 1} \cdot (\beta_2 - 1) + 1 \right] \cdot \frac{\text{sen}(\omega_\beta \cdot \omega_o \cdot \Delta t_3)}{\omega_\beta} + \\ & + \frac{1}{\alpha \cdot V_{in}} \cdot \left(V_3 - V_{in} - \frac{I_3 \cdot Z_o \cdot \sqrt{B^2 - A^2}}{B} \right) + \arccos\left(\frac{A}{B}\right) + \\ & - \frac{(1 - \beta_2) \cdot \omega_o}{\beta_1 + \beta_2 + 1} \cdot \Delta t_3 - \frac{I_4^2 \cdot Z_o^2}{2 \cdot \alpha \cdot V_{in}^2} + \frac{2}{\alpha} \cdot (\beta_1 - 1) + \alpha + \pi \end{aligned} \right\} \quad (2.128)$$

Portanto, a equação (2.127) pode ser simplificada conforme a seguir:

$$I_{in} = I_o \cdot [D + F(\alpha, \beta_1, \beta_2, f)] \quad (2.129)$$

Considerando-se o caso clássico para o conversor CC-CC half-bridge, operando no modo de condução contínua, com controle PWM clássico, tem-se que o ganho estático q_{cc-cc} , em função da razão cíclica de controle “ D_{cc} ”, é definido conforme equação (2.130) [44].

$$q_{cc} = 2.D_{cc} - 1 \quad (2.130)$$

Considerando-se esta estrutura clássica operando agora como inversor (CC-CA) e modulação PWM senoidal, considera-se que o ganho estático q_{CC-CA} é definido pela equação (2.131).

$$q_{CC-CA} = 2.D_{CA} - 1 \quad (2.131)$$

Onde:

D_{CA} = Valor eficaz equivalente para a razão cíclica, durante um período da tensão alternada de saída.

De forma similar, para o novo inversor ZVS-PWM Half-Bridge, considerando-se um período genérico de comutação, tem-se que o ganho estático é dado pela equação (2.132).

$$q_T = 2.[D + F(\alpha, \beta_1, \beta_2, f)] - 1 \quad (2.132)$$

Portanto, considerando-se a modulação PWM senoidal, o ganho estático equivalente para o período da tensão alternada de saída é dado pela equação (2.133).

$$q = 2.[D_{ef} + F(\alpha_{ef}, \beta_1, \beta_2, f)] - 1 \quad (2.133)$$

Onde:

D_{ef} = Razão cíclica eficaz equivalente para o período da tensão alternada de saída.

Sendo que:

$$\alpha_{ef} = \frac{I_{O_{ef}} \cdot Z_0}{V_{in}} \quad (2.134)$$

Onde:

α_{ef} = Valor eficaz para a corrente de carga normalizada, considerando-se o período da tensão alternada de saída.

Através da equação (2.133), apresentam-se as curvas mostrando o comportamento do ganho estático “q” em função da variação do valor eficaz da corrente de carga normalizada “ α_{ef} ”, para alguns valores de f e β_{eq} , específicos, conforme Figura 2.19.

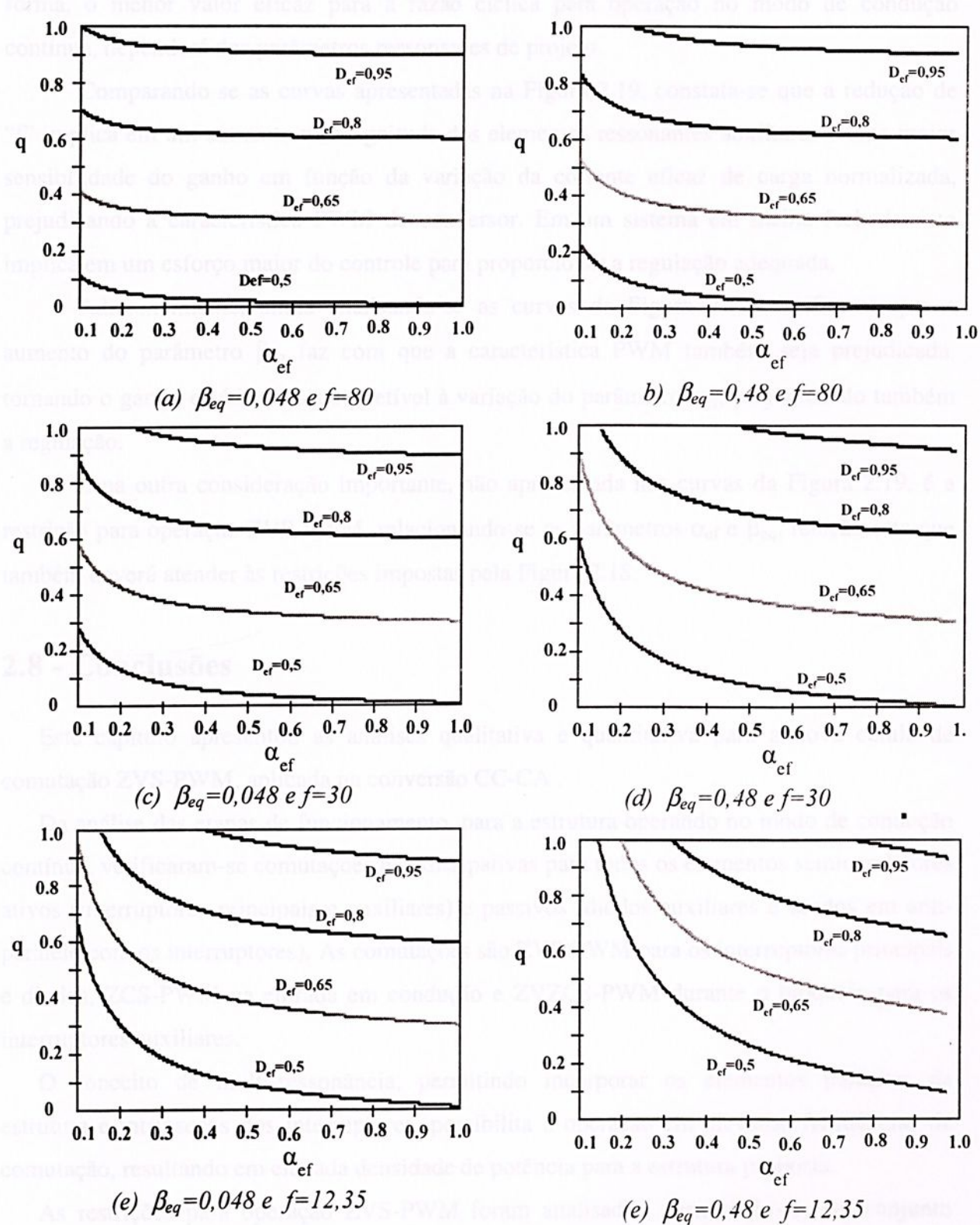


Figura 2.19 - Ganho estático teórico para o novo inversor ZVS – PWM, em função de α_{ef} , tomando-se como parâmetro a razão cíclica eficaz (D_{ef}).

Devido à característica de reversibilidade em tensão e corrente deste conversor, o ganho estático varia entre 1 e -1. Entretanto, de acordo com a equação (2.133), verifica-se que o valor do ganho somente será positivo quando $D_{ef} + F(\alpha_{ef}, \beta_1, \beta_2, f)$ for maior do que 0,5. Dessa forma, o menor valor eficaz para a razão cíclica para operação no modo de condução contínua, dependerá dos parâmetros ressonantes de projeto.

Comparando-se as curvas apresentadas na Figura 2.19, constata-se que a redução de “f” implica em um aumento na magnitude dos elementos ressonantes auxiliares e uma maior sensibilidade do ganho em função da variação da corrente eficaz de carga normalizada, prejudicando a característica PWM do conversor. Em um sistema em malha fechada, isto implica em um esforço maior do controle para proporcionar a regulação adequada.

Adicionalmente, ainda analisando-se as curvas da Figura 2.19, verifica-se que o aumento do parâmetro β_{eq} faz com que a característica PWM também seja prejudicada, tornando o ganho estático mais suscetível à variação do parâmetro α_{ef} , prejudicando também a regulação.

Uma outra consideração importante, não apresentada nas curvas da Figura 2.19, é a restrição para operação ZVS-PWM, relacionando-se os parâmetros α_{ef} e β_{eq} , relação esta que também deverá atender às restrições impostas pela Figura 2.18.

2.8 - Conclusões

Este capítulo apresentou as análises qualitativa e quantitativa para a nova célula de comutação ZVS-PWM, aplicada na conversão CC-CA..

Da análise das etapas de funcionamento, para a estrutura operando no modo de condução contínua, verificaram-se comutações não dissipativas para todos os elementos semicondutores ativos (interruptores principais e auxiliares) e passivos (diodos auxiliares e diodos em anti-paralelo com os interruptores). As comutações são ZVS-PWM para os interruptores principais e diodos, ZCS-PWM na entrada em condução e ZVZCS-PWM durante o bloqueio para os interruptores auxiliares.

O conceito de multi-ressonância, permitindo incorporar os elementos parasitas da estrutura e intrínsecos dos interruptores, possibilita a operação em elevadas frequências de comutação, resultando em elevada densidade de potência para a estrutura proposta.

As restrições para operação ZVS-PWM foram analisadas, permitindo-se, em conjunto com as características de transferência estática, a proposição de uma metodologia consistente de projeto, a ser apresentada no Capítulo 3.



Para a operação da estrutura como inversor, ou seja, para a conversão CC-CA, utilizar-se-á a modulação PWM senoidal. Tal modulação será totalmente desenvolvida através de dispositivos programáveis FPGA com lógica VHDL, a ser apresentada no Capítulo 4.

3 – Metodologia de Projeto para o Novo Inversor Half Bridge ZVS-PWM

3.1 – Introdução

Neste capítulo apresenta-se a metodologia de projeto, passo a passo, para o novo inversor ZVS PWM com base no equacionamento e restrições para os parâmetros principais dessa topologia, conforme análise desenvolvida no capítulo 2.

Além disso, serão estabelecidas outras restrições, as quais não impedem o funcionamento do inversor, mas implicam diretamente nos esforços de tensão e corrente aplicados sobre os interruptores, podendo interferir no rendimento do conversor.

Na sequência, apresentam-se as definições de projeto para os parâmetros estabelecidos para a estrutura proposta, com o objetivo da implementação do protótipo.

Finalmente, apresentam-se os principais resultados de simulação para um exemplo de projeto para o inversor proposto.

3.2 – Metodologia de Projeto

Para um melhor entendimento da metodologia empregada, definem-se os seguintes parâmetros como elementos a serem especificados ou determinados, conforme definições do capítulo 2:

→ Dados de projeto: V_{in} , I_{Lmax} , V_{out} , $f_s = f_i$ (f_s : frequência de V_{in}).

→ Parâmetros do inversor: β_{eq} , α e L .

Considerações para efeito de projeto: $C_{f1}=C_{f2}$, $C_{eq1}=C_{eq2}$, $L_{f1}=L_{f2}$, $I_L=I_{Lmax}$ e $V_D=V_{Dmax}$.

Onde: $I_{Lmax}=I_{Lr}\sqrt{2}$ e $V_{Dmax}=V_{Drr}\sqrt{2}$.

Na metodologia proposta, os parâmetros " β_{eq} e α ", não são considerados como dados de entrada. Serão determinados através da metodologia de projeto. Isto se deve ao fato destes parâmetros dependerem dos valores das capacitâncias intrínsecas C_{eq1} , C_{eq2} e C_{f1} . Como estas capacitâncias estão relacionadas a valores concretos, torna-se conveniente considerá-las como



CAPÍTULO 3

3 – Metodologia de Projeto para o Novo Inversor Half Bridge ZVS-PWM

3.1 – Introdução

Neste capítulo apresenta-se a metodologia de projeto, passo a passo, para o novo inversor ZVS PWM com base no equacionamento e restrições para os parâmetros principais dessa topologia, conforme análise desenvolvida no capítulo 2.

Além disso, serão estabelecidas outras restrições, as quais não impedem o funcionamento do inversor, mas implicam diretamente nos esforços de tensão e corrente aplicados sobre os interruptores, podendo interferir no rendimento do conversor.

Na sequência, apresentam-se as definições de projeto para os parâmetros estabelecidos para a estrutura proposta, com o objetivo da implementação do protótipo.

Finalmente, apresentam-se os principais resultados de simulação para um exemplo de projeto para o inversor proposto.

3.2 – Metodologia de Projeto

Para um melhor entendimento da metodologia empregada, definem-se os seguintes parâmetros como elementos a serem especificados ou determinados, conforme definições do capítulo 2:

→ Dados de projeto: V_{in} , I_{Oef} , V_{Oef} , f_s e f_r (f_r : frequência de V_O);

→ Parâmetros do inversor: β_{eq} , α e f .

Considerações para efeito de projeto: $C_{r1}=C_{r2}$, $C_{ra1}=C_{ra2}$, $L_{r1}=L_{r2}$, $I_O=I_{Omax}$ e $V_O=V_{Omax}$.

Onde: $I_{Omax} = I_{Oef} \cdot \sqrt{2}$ e $V_{Omax} = V_{Oef} \cdot \sqrt{2}$

Na metodologia proposta, os parâmetros “ β_{eq} e α ”, não são considerados como dados de entrada. Serão determinados através da metodologia de projeto. Isto se deve ao fato destes parâmetros dependerem dos valores das capacitâncias intrínsecas C_{r1} , C_{r2} e C_{ra1} . Como estas capacitâncias estão vinculadas a valores comerciais, torna-se conveniente considerá-las como



variáveis de entrada. Portanto, β_{eq} e α servirão, em uma fase posterior, para análise de restrições das características de funcionamento do inversor, conforme analisado no capítulo 2.

Já o parâmetro “f”, apesar de depender da capacitância C_{ral} , será considerado uma variável de entrada definida. Desta forma, através do parâmetro “f” é possível a determinação de valores para a indutância ressonante L_{r1} , estabelecendo-se um grau de liberdade para alterar o ponto de operação. Na sequência, apresenta-se o desenvolvimento da metodologia de projeto.

Primeiro passo: Definir dados de projeto e parâmetros da estrutura:

→ Dados de projeto: V_{in} , I_{Oef} , V_{Oef} e f_s ;

→ Parâmetros: C_{ral} , C_{r1} , C_{r2} e f .

Segundo passo: Cálculo da relação mínima de frequências admitida para comutação ZVS, através da equação (3.1), conforme definido em (2.107).

$$f_{\min} = \frac{I_o}{2 \cdot \pi \cdot V_{in} \cdot f_s \cdot C_{ral}} \quad (3.1)$$

Terceiro passo: Analisar o parâmetro “f”, de acordo com restrições estabelecidas no Capítulo 2:

- Se f é maior do que $f_{\min}$: A comutação ZVS está preservada até o momento;
- Caso contrário: Reduzir o valor de C_{ral} , retornando ao primeiro passo.

Quarto passo: Cálculo da frequência de ressonância, através da equação (3.2), conforme definição em (2.10).

$$f_o = f \cdot f_s \quad (3.2)$$

Quinto passo: Cálculo da frequência angular de ressonância, através da equação (3.3), definidas em (2.7).

$$\omega_o = 2 \cdot \pi \cdot f_o \quad (3.3)$$

Sexto passo: Cálculo da impedância característica, através da equação (3.4), conforme definição em (2.8).

$$Z_o = \frac{1}{\omega_o \cdot C_{ral}} \quad (3.4)$$

Sétimo passo: Cálculo do indutor ressonante L_{r1} , através da equação (3.5).

$$L_{r1} = \frac{I_o}{4 \cdot \pi^2 \cdot f_s^2 \cdot f^2 \cdot C_{ral}} \quad (3.5)$$

Handwritten note: Para eq. 2.3 $f_o = \frac{1}{2\pi \sqrt{L_{r1} \cdot C_{ral}}}$

Oitavo passo: Cálculo do parâmetro β_{eq} , através da equação (3.6), de acordo com (2.108).

$$\beta_{eq} = \frac{C_{r1} + C_{r2}}{C_{ral}} \quad (3.6)$$

Nono passo: Cálculo do parâmetro α , através da equação (3.7), conforme (2.17).

$$\alpha = \frac{I_o}{2 \cdot \pi \cdot V_{in} \cdot f_s \cdot f \cdot C_{ral}} \quad (3.7)$$

Verificação do parâmetro α :

- Se $0 < \alpha < 1$: A comutação ZVS está preservada;
- Caso contrário: Retornar ao primeiro passo, ou seja, redefinir os parâmetros e ou dados de projeto.

Décimo passo: Cálculo do valor máximo do parâmetro β_{eq} admitido para a comutação ZVS, através da equação (2.109), apresentada no capítulo 2.

Décimo primeiro passo: Análise do parâmetro β_{eq} , de acordo com restrições apresentadas no capítulo 2.

- Se $\beta_{eq} < \beta_{eq\text{máx}}$: A comutação ZVS ocorre para o ponto de operação escolhido;
- Caso contrário: O ponto de operação está fora da região ZVS. Logo, deve-se retornar ao primeiro passo e redefinir os parâmetros.

Décimo segundo passo: Restrição para a razão cíclica D , considerando-se a operação no modo de condução contínua, conforme análise do Capítulo 2.

- a) Se $0,5 < D < 1$, para as condições de corrente e tensão na carga, nos seus valores máximos e mínimos: A escolha dos dados de projeto e parâmetros foi bem sucedida;
- b) Caso contrário: Retornar ao primeiro passo e refazer o projeto.

3.3 – Análise dos Esforços de Tensão e Corrente nos Interruptores

Considera-se, para esta análise, que o ponto de operação escolhido, conforme metodologia de projeto proposta, atende todas as restrições para a comutação ZVS dos interruptores principais. Partindo deste princípio, tem-se que o bloqueio ZCS dos interruptores auxiliares depende somente do comando para o bloqueio no instante devido, o que deve ocorrer durante a sétima etapa. Com relação à entrada em condução e bloqueio, dos diodos auxiliares, ocorrerão naturalmente de forma ZVS e ZCZVS, respectivamente.

Neste sentido, apresentam-se as análises dos esforços dos interruptores ativos e passivos, em condução e durante o bloqueio.

- Diodos auxiliares (D_{a1}) e (D_{a2}).

- Quando bloqueados, são submetidos a uma tensão máxima de $2.V_{in}$. Este esforço de tensão não depende da variação de carga, depende somente da tensão de entrada;

Observação: V_{in} é igual à metade da tensão do barramento CC de alimentação, conforme Figura 2.2.

- Estes dispositivos conduzem somente na quinta e sexta etapas, cada um deles atuando em somente $\frac{1}{2}$ ciclo de $V_O(t)$. Como são sensíveis aos valores médios de corrente e devido o intervalo de tempo de condução dos mesmos serem muito pequenos, em relação ao período total de comutação, as perdas em condução tornam-se muito reduzidas.



- Interruptores auxiliares (S_{a1}) e (S_{a2}):

- Quando bloqueados, a tensão aplicada sobre os interruptores auxiliares S_{a1} e S_{a2} , obedecem a equação (3.7), sendo submetidos a um esforço máximo de tensão que corresponde a $3.V_{in}$, na primeira etapa de funcionamento.

$$V_{Sa1}(t) = V_{Cra1}(t) + V_{Cr1}(t) - V_{in} \quad (3.7)$$

- O intervalo de tempo de condução destes interruptores correspondem à aproximadamente 4% do período de comutação. Como são sensíveis aos valores médios de corrente, as perdas em condução são bastante reduzidas.

- Interruptores principais (S_{p1}) e (S_{p2}):

- Quando bloqueados são submetidos a um esforço máximo de tensão de $2.V_{in}$. Este esforço não depende da corrente de carga. Depende apenas da tensão de entrada;
- Quando em condução, são submetidos a um esforço máximo de corrente durante a sétima etapa, cada um deles operando somente durante $\frac{1}{2}$ ciclo de $V_O(t)$, onde conduzem toda a corrente de carga somada com a corrente ressonante $I_{Lr1}(t)$. Este é o ponto crítico deste inversor, pois o interruptor principal do tipo MOSFET comporta-se como uma resistência em condução. Portanto, são sensíveis às correntes eficazes, as quais se elevam com o aumento dos valores de pico, podendo afetar o rendimento do conversor. O valor de pico desta corrente é dada através da equação (3.8).

$$I_{Sp1}Pico = I_O + 2.\pi.V_{in}.f_s.C_{ra1}.f \quad (3.8)$$

Observa-se que as correntes de pico nos interruptores principais dependem dos parâmetros ressonantes f e C_{ra1} e dos dados de projeto I_{Oef} , V_{in} e f_s . Considerando-se que os dados de projeto são valores pré-definidos, cabe então analisar o comportamento da corrente de pico através dos interruptores principais em função da variação dos parâmetros ressonantes f e C_{ra1} , conforme mostra a Figura 3.1.

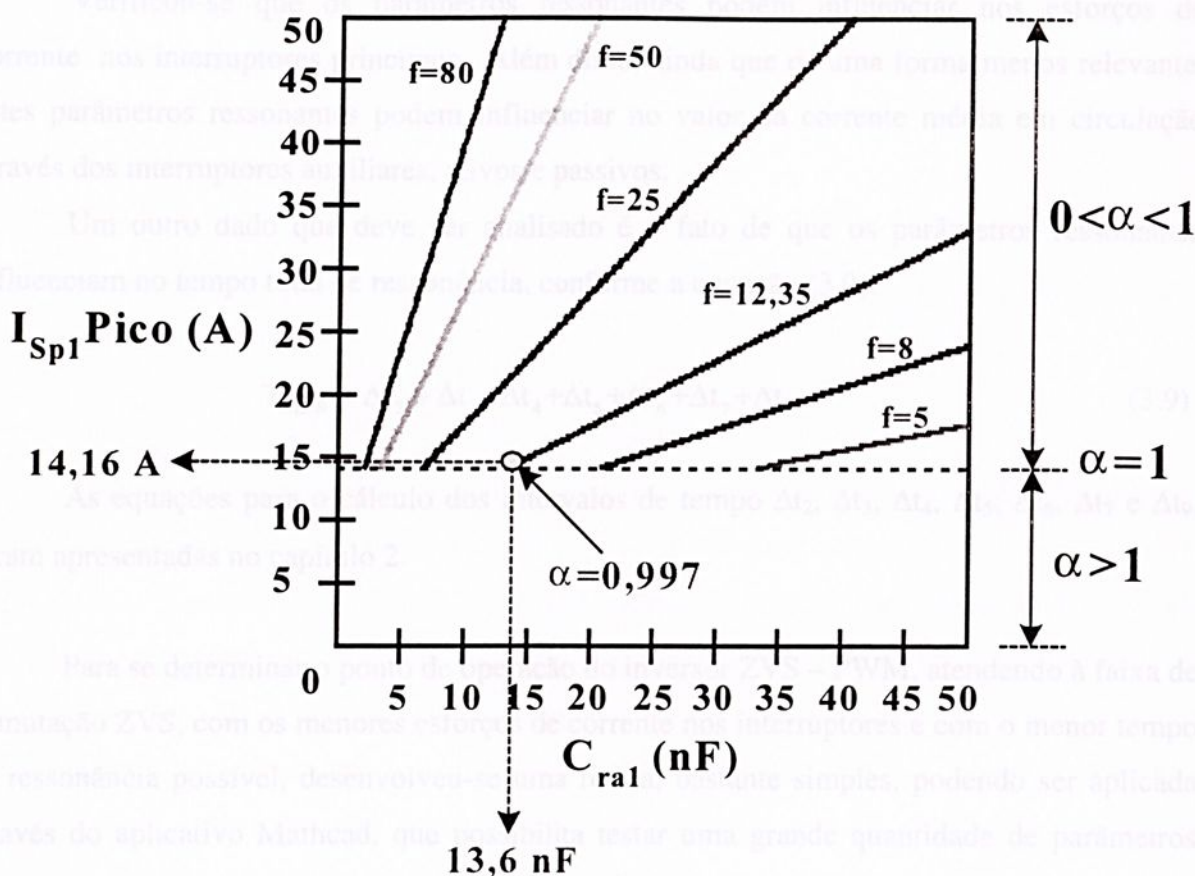


Figura 3.1 - Variação do valor de pico da corrente através do interruptor principal S_{p1} .

Na Figura 3.1, através da curva correspondente à $f=12,35$, visualiza-se o ponto de operação escolhido, com $\alpha=0,997$, para a implementação do inversor ZVS-PWM em análise. Verifica-se que, independente do valor de “f” escolhido, o valor da corrente de pico através dos interruptores principais se reduz à medida em que o valor de “ α ” aumenta. Para α aumentando, ou seja, tendendo ao seu valor limite ($\alpha=1$), tem-se que o valor mínimo possível do esforço de corrente através dos interruptores principais é de duas vezes a corrente de carga ($2.I_O$). Cabe observar que isto ocorre somente durante a sétima etapa de funcionamento, o que corresponde a um intervalo de tempo menor do que a metade do tempo total de ressonância. A descrição passo a passo da escolha do ponto de operação é apresentada a seguir no item 3.4.

3.4 – Escolha do Ponto de Operação

Através da metodologia de projeto proposta, observa-se que é possível encontrar uma grande quantidade de pontos de operação, pertencentes à região ZVS, apenas alterando-se os parâmetros de entrada.

Verificou-se que os parâmetros ressonantes podem influenciar nos esforços de corrente nos interruptores principais. Além disso, ainda que de uma forma menos relevante, estes parâmetros ressonantes podem influenciar no valor da corrente média em circulação através dos interruptores auxiliares, ativos e passivos.

Um outro dado que deve ser analisado é o fato de que os parâmetros ressonantes influenciam no tempo total de ressonância, conforme a equação (3.9).

$$T_{\text{RESS}} = \Delta t_2 + \Delta t_3 + \Delta t_4 + \Delta t_5 + \Delta t_6 + \Delta t_7 + \Delta t_9 \tag{3.9}$$

As equações para o cálculo dos intervalos de tempo Δt_2 , Δt_3 , Δt_4 , Δt_5 , Δt_6 , Δt_7 e Δt_9 , foram apresentadas no capítulo 2.

Para se determinar o ponto de operação do inversor ZVS – PWM, atendendo à faixa de comutação ZVS, com os menores esforços de corrente nos interruptores e com o menor tempo de ressonância possível, desenvolveu-se uma rotina, bastante simples, podendo ser aplicada através do aplicativo Mathcad, que possibilita testar uma grande quantidade de parâmetros ressonantes e armazenar em forma de banco de dados os melhores pontos de operação existentes, dentro da região ZVS. Isto permite uma escolha mais criteriosa para o ponto de operação desejado.

A rotina funciona da seguinte maneira:

→ Cria-se uma matriz para armazenar os parâmetros C_{r1} , C_{r2} e C_{ra1} , conforme a seguir:

$$\begin{matrix} C_{ra1} & C_{r1} & C_{r2} \\ \downarrow & \downarrow & \downarrow \\ \left(\begin{matrix} C_{a_{0,0}} & C_{b_{0,1}} & C_{b_{0,2}} \\ C_{a_{1,0}} & C_{b_{1,1}} & C_{b_{1,2}} \\ \vdots & \vdots & \vdots \\ C_{a_{n,0}} & C_{b_{n,1}} & C_{b_{n,2}} \end{matrix} \right) \end{matrix}$$

Onde essa matriz é alimentada por valores comerciais de capacitâncias intrínsecas, as quais se desejam testar.



→ Cria-se também uma variação do parâmetro “f”, incrementando-o através de um passo fixo (Passo_f) da seguinte maneira:

$$f_k \leftarrow f_{k-1} + \text{Passo_f}$$

Portanto, implementa-se um vetor de f, com uma quantidade k que se deseja testar:

$$f = [f_1, f_2, f_3, f_4, f_5, \dots, f_{k-1}, f_k]$$

Uma vez que os dados de entrada já estão armazenados, a rotina realiza todas as combinações possíveis entre os valores das capacitâncias existentes na matriz, com os valores de f gerados através do vetor. Cada combinação dessas é testada, seguindo-se os doze passos da metodologia proposta. Além disso, para cada combinação é calculado o valor máximo da corrente de pico do interruptor S_{pi} e o tempo total de ressonância. Ao testar a última combinação, é gerado um banco de dados contendo vários pontos de operação encontrados. A Tabela 3.1 representa uma pequena amostra dos dados gerados, incluindo o ponto de operação escolhido, em destaque.

Tabela 3.1 – Pontos de operação ZVS com esforços reduzidos nos interruptores principais.

D	f	α	β_{eq}	C_{r1}	C_{r2}	C_{ra1}	L_{r1}	T_{RESS}	$I_{sa1}Md$	$I_{sp1}Pico$
0,96	26,55	0,789	0,080	330pF	330pF	8,2nF	3,88uF	1,19us	0,23	16,26
0,96	26,60	0,768	0,080	330pF	330pF	8,2nF	3,87uF	1,19us	0,23	16,28
0,96	26,65	0,766	0,080	330pF	330pF	8,2nF	3,85uF	1,19us	0,23	16,30
0,96	26,70	0,765	0,080	330pF	330pF	8,2nF	3,84uF	1,18us	0,23	16,32
0,96	26,75	0,763	0,080	330pF	330pF	8,2nF	3,82uF	1,18us	0,23	16,33
0,96	26,80	0,762	0,080	330pF	330pF	8,2nF	3,81uF	1,18us	0,23	16,35
0,96	26,85	0,761	0,080	330pF	330pF	8,2nF	3,80uF	1,18us	0,23	16,37
0,96	26,90	0,759	0,080	330pF	330pF	8,2nF	3,80uF	1,18us	0,23	16,39
0,96	26,95	0,758	0,080	330pF	330pF	8,2nF	3,80uF	1,17us	0,23	16,40
0,94	12,35	0,997	0,048	330pF	330pF	13,6nF	10,80uF	2,56us	0,33	14,16
0,94	12,40	0,993	0,048	330pF	330pF	13,6nF	10,73uF	2,55us	0,33	14,19
0,94	12,50	0,985	0,048	330pF	330pF	13,6nF	10,56uF	2,52us	0,32	14,25

Para a obtenção dos pontos de operação, utilizam-se os dados de projeto apresentados na Tabela 3.2.

Tabela 3.2 – Dados de Projeto.

Dados de Projeto	
Tensão de alimentação CC do inversor (E), onde $E = 2.V_{in}$	$E = 400\text{ V}$
Tensão de alimentação CC de cada braço inversor (V_{in})	$V_{in} = 200\text{ V}$
Tensão eficaz de saída (V_{Oef})	$V_{Oef} = 127\text{ V}$
Corrente eficaz de saída (I_{Oef})	$I_{Oef} = 5\text{ A}$
Potência nominal de saída (P_O)	$P_O = 635\text{ W}$
Frequência de comutação do inversor (f_s)	$f_s = 33,602\text{ kHz}$
Frequência da tensão de saída do inversor (f_r)	$f_r = 60\text{ Hz}$

Através dos dados gerados, apresentados na Tabela 3.1, foram especificados os parâmetros ressonantes conforme Tabela 3.3, com base em alguns critérios, quais sejam: Ruzidos esforços de corrente nos interruptores principais e adequado intervalo de ressonância.

Tabela 3.3 – Especificações dos Parâmetros de Projeto.

Parâmetros e elementos ressonantes escolhidos para o ponto de operação	
Razão cíclica (D)	$D = 0,94$
Relação de frequências (f)	$f = 12,35$
Relação entre capacitâncias intrínsecas e ressonantes (β_{eq})	$\beta_{eq} = 0,048$
Corrente normalizada de carga (α)	$\alpha = 0,997$
Capacitância intrínseca do interruptor principal S_{p1} (C_{r1})	$C_{r1} = 330\text{pF}$
Capacitância intrínseca do interruptor principal S_{p2} (C_{r2})	$C_{r2} = 330\text{pF}$
Capacitância ressonante do ramo auxiliar de comutação à S_{p1} (C_{ra1})	$C_{ra1} = 13,6\text{nF}$
Capacitância ressonante do ramo auxiliar de comutação à S_{p2} (C_{ra2})	$C_{ra2} = 13,6\text{nF}$
Indutância ressonante do ramo auxiliar de comutação à S_{p1} (L_{r1})	$L_{r1} = 10,8\mu\text{H}$
Indutância ressonante do ramo auxiliar de comutação à S_{p2} (L_{r2})	$L_{r2} = 10,8\mu\text{H}$
Frequência de ressonância (f_O)	$f_O = 415\text{ kHz}$
Tempo total de ressonância (T_{RESS}) => 8,6% do período de comutação	$T_{RESS} = 2,56\mu\text{s}$
Corrente média através dos interruptores auxiliares S_{a1} e S_{a2} (I_{SaMd})	$I_{SaMd} = 0,33\text{ A}$
Corrente pico através dos interruptores principais S_{p1} e S_{p2} (I_{SpPico})	$I_{SpPico} = 14,16\text{ A}$



É importante esclarecer que os dados gerados pela rotina empregada, todos possibilitam a comutação ZVS. Logo, procurou-se aquele que resultasse em um esforço reduzido de corrente nos interruptores principais e um tempo total de ressonância que representasse menos de 10% do período total de comutação. Observa-se que de acordo com a análise de ganho estático, apresentada no capítulo 2, a característica PWM do inversor pode ser melhorada, caso se utilize uma relação de frequências “f” maior do que o valor escolhido ($f = 12,35$). Entretanto, manteve-se essa escolha para que a frequência de ressonância seja menor do que 500 kHz, evitando-se problemas de interferências eletromagnéticas.

A seguir, calcula-se a resistência nominal de carga (R_O), conforme (3.10).

$$R_O = \frac{V_O}{I_O} \quad (3.10)$$

Resulta em: $R_O = 25,4 \, \Omega$.

3.5 – Cálculo dos Elementos de Filtro de Saída

Determinam-se os elementos de filtro L_O e C_O , supondo-se a alimentação de uma carga não-linear (Retificador de onda completa com filtro capacitivo). O objetivo aqui é assegurar que o interruptor principal não seja submetido a valores elevados de corrente. Além disso, evitar que haja a saturação do núcleo de ferrite do indutor L_O .

Adota-se para o cálculo dos elementos de filtro os seguintes dados:

→ Valor percentual do ripple da tensão no capacitor de filtro da carga não-linear:

$$\Delta C_f \% = 10\%;$$

→ Valor máximo de corrente admitida pelos interruptores principais:

$$I_{Sp} = 25 \, A;$$

→ Valor percentual do ripple da corrente no indutor de filtro de saída do inversor:

$$\Delta I_{LO} \% = 22\%;$$

→ Valor percentual do ripple da tensão do capacitor de filtro de saída do inversor:

$$\Delta V_{CO}\% = 2\%;$$

→ Valor mínimo da razão cíclica do inversor:

$$D_{\min} = 0,5;$$

Em seguida, através da equação (3.11), calcula-se o valor mínimo do indutor L_O , admitido para o cumprimento das restrições anteriores.

$$L_{O\min} > \frac{V_{in} \cdot D_{\min}}{2 \cdot f_s \cdot \left(I_{Sp} \text{Pico} - \sqrt{\frac{3 \cdot \pi}{1 - \frac{\Delta_{Cr} \%}{100}}} \right)} \quad (3.11)$$

Logo:

$$L_{O\min} > 695 \mu H;$$

Verifica-se a condição de ripple do indutor conforme a equação (3.12).

$$L_{O_ripple} > \frac{V_{in} \cdot D_{\min}}{f_s \cdot \Delta I_{LO} \% \cdot I_{Oef}} \quad (3.12)$$

Logo: $L_{O_ripple} > 2,7 \text{mH};$

Portanto, adota-se: $L_O = 2,8 \text{mH}.$

Calculando a faixa de valores admitida para o capacitor de filtro, em função do valor de ripple de tensão e do indutor de filtro, adotados, através da equação (3.13).

$$\frac{(V_{in} - V_{Oef} \cdot \sqrt{2}) \cdot D_{\min}^2 \cdot 100}{L_O \cdot f_s^2 \cdot \Delta V_{CO} \% \cdot V_{Oef}} \leq C_O \leq \frac{V_{in} \cdot D_{\min}^2 \cdot 100}{L_O \cdot f_s^2 \cdot \Delta V_{CO} \% \cdot V_{Oef}} \quad (3.13)$$

Assim: $660 \text{nF} \leq C_O \leq 5,6 \mu \text{F}$

Portanto, adota-se: $C_O=1,0\mu F$; Sendo que: $R_{SE}=0,071 \Omega$.

O filtro de saída, além de atender as condições de ripple e suportar elevados picos de corrente para carga não linear, deve também atender aos seguintes pontos:

- A frequência de corte do filtro de saída L_O e C_O deve estar situada pelo menos a uma década abaixo da frequência mínima de comutação do conversor, afim de se atenuar todas as componentes de frequências mais elevadas;
- A frequência de corte também deve ser pelo menos 50 vezes maior do que a frequência da tensão de saída do conversor, para evitar o deslocamento de fase entre a tensão e a corrente de saída.

Logo, a frequência de corte deverá estar entre os seguintes valores:

$$3,0 \text{ kHz} \leq f_c \leq 3,36 \text{ kHz}$$

Calcula-se a frequência de corte através de (3.14).

$$f_c = \frac{1}{2\pi\sqrt{L_O \cdot C_O}} \quad (3.14)$$

Assim: $f_c=3,008 \text{ kHz}$.

Portanto, dentro da faixa de valores admitidos para a frequência de corte.

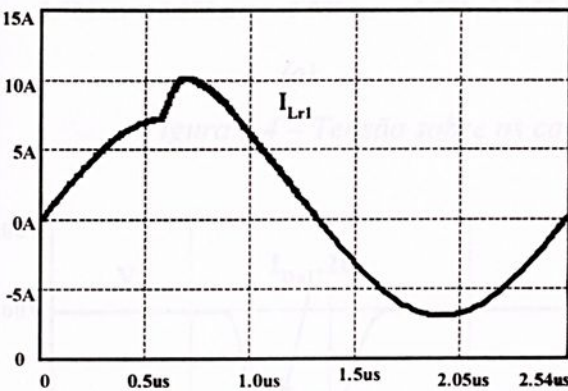
- Deve-se escolher um coeficiente de amortecimento $\zeta > 0,7$ afim de se evitar oscilações em frequências mais elevadas e o deslocamento de fase em frequências menores. O qual é determinado através da equação (3.15).

$$\zeta = \frac{2\pi f_c (L_O + C_O R_O R_{SE})}{2\sqrt{R_O (R_O + R_{SE})}} \quad (3.15)$$

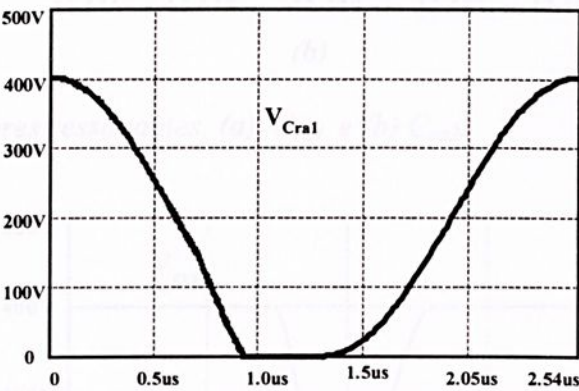
Logo: $\zeta = 1$.

3.6 – Resultados de Simulação

Inicialmente, apresentam-se na Figura 3.2 os valores teóricos representando as formas de onda da tensão sobre os capacitores ressonantes C_{ra1} (e C_{ra2}) e a corrente através dos indutores ressonantes L_{r1} (e L_{r2}). Estes valores teóricos são oriundos das funções matemáticas da tensão sobre o capacitor ressonante C_{ra1} (e C_{ra2}) e corrente através do indutor ressonante L_{r1} (e L_{r2}), apresentadas no capítulo 2.



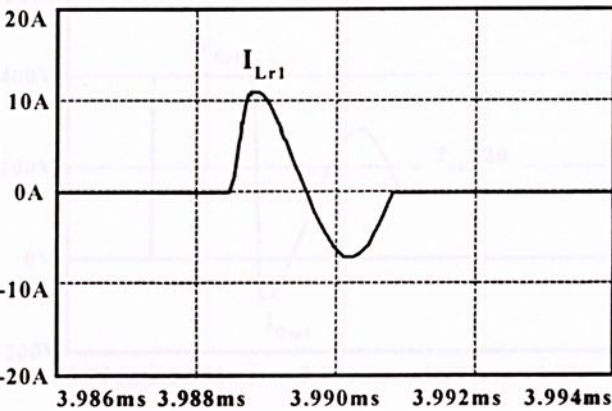
(a) L_{r1}



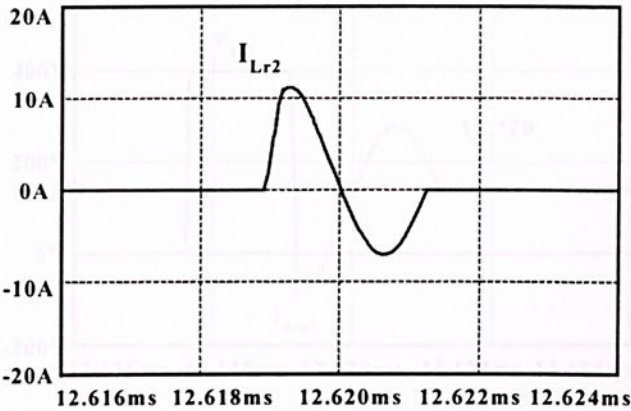
(b) C_{ra1}

Figura 3.2 – (a) Evolução da corrente e (b) da tensão, sobre os elementos ressonantes.

Apresentam-se nas Figuras 3.3 até 3.8 as principais formas de onda obtidas em simulação através do aplicativo Pspice Orcad 9.1, conforme Apêndice A, considerando-se carga linear e nominal.

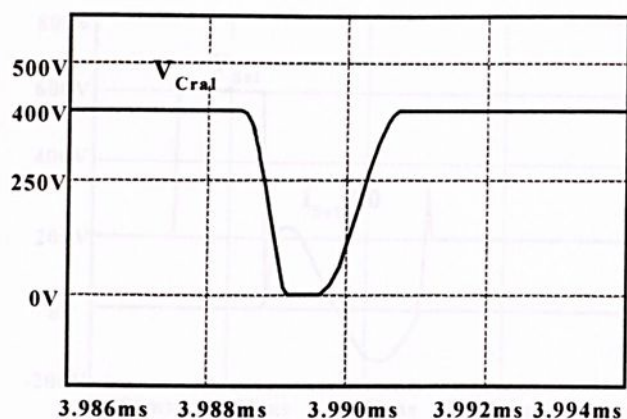


(a)

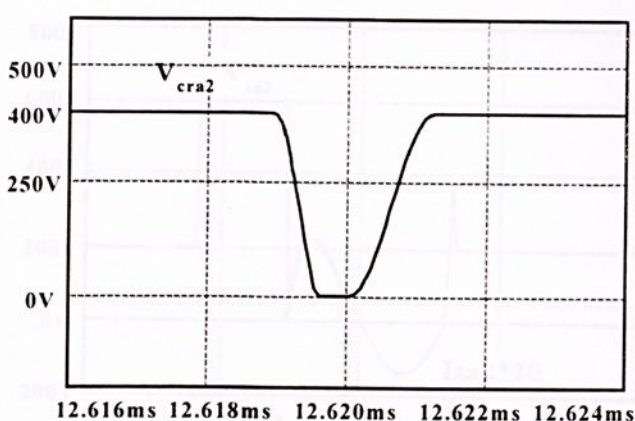


(b)

Figura 3.3 – Corrente circulando através dos indutores ressonantes, (a) L_{r1} e (b) L_{r2} .

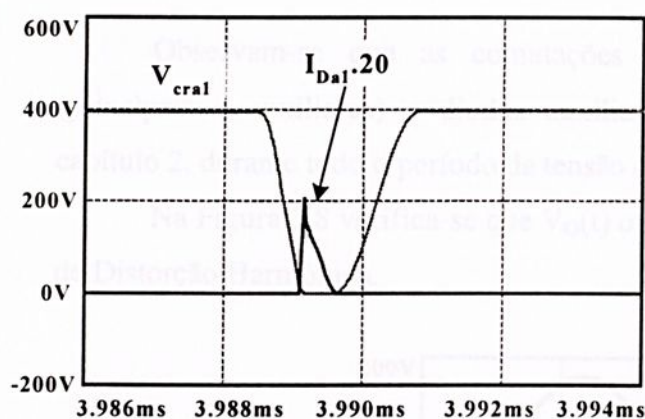


(a)

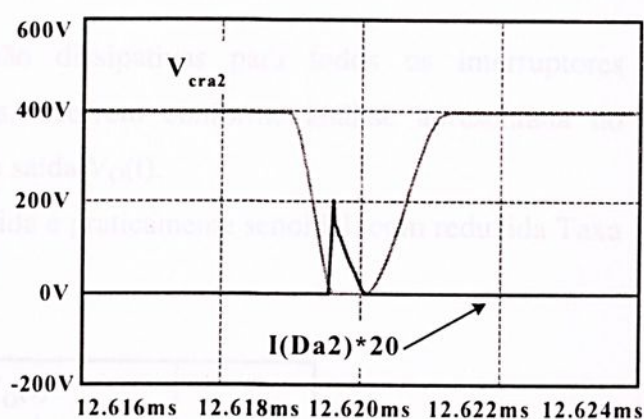


(b)

Figura 3.4 – Tensão sobre os capacitores ressonantes, (a) C_{ral} e (b) C_{ra2} .

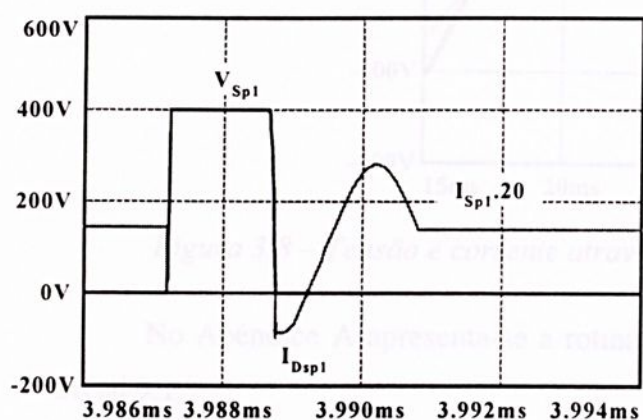


(a)

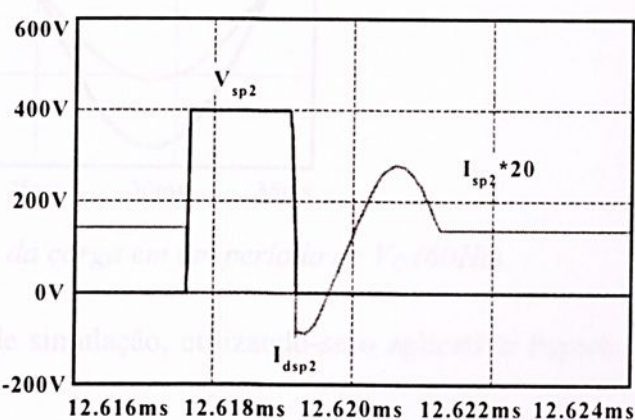


(b)

Figura 3.5 – Detalhes das comutações nos diodos auxiliares, (a) D_{a1} e (b) D_{a2} .



(a)



(b)

Figura 3.6 – Detalhes das comutações ZVS para os interruptores principais, (a) S_{p1} e (b) S_{p2} .

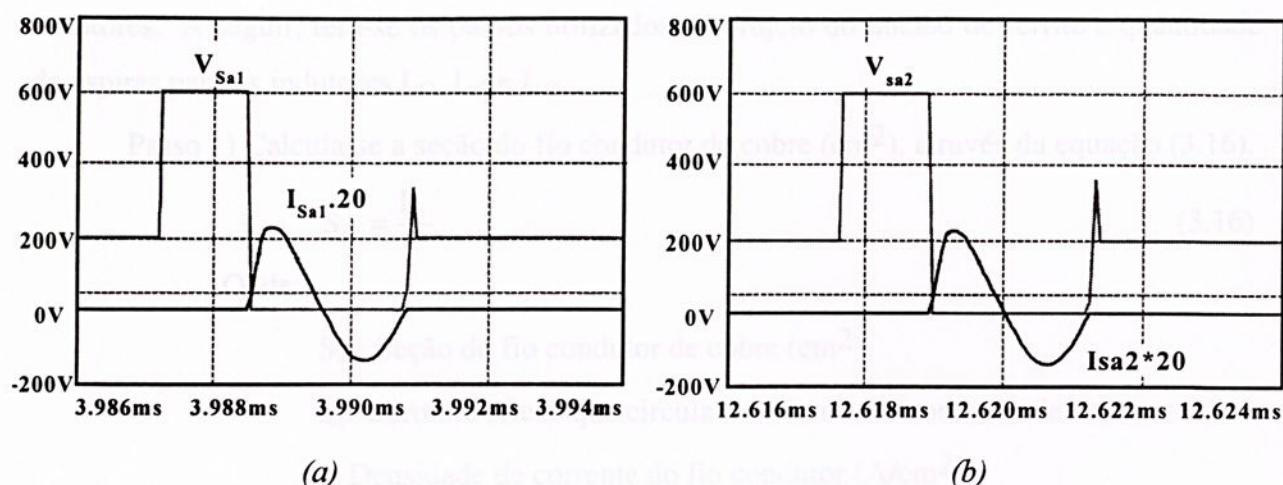


Figura 3.7 – Detalhes das comutações ZCS para os interruptores auxiliares, (a) S_{a1} e (b) S_{a2} .

Observam-se que as comutações não dissipativas para todos os interruptores (principais e auxiliares) e diodos auxiliares, ocorrem conforme análise apresentada no capítulo 2, durante todo o período da tensão de saída $V_O(t)$.

Na Figura 3.8 verifica-se que $V_O(t)$ obtida é praticamente senoidal, com reduzida Taxa de Distorção Harmônica.

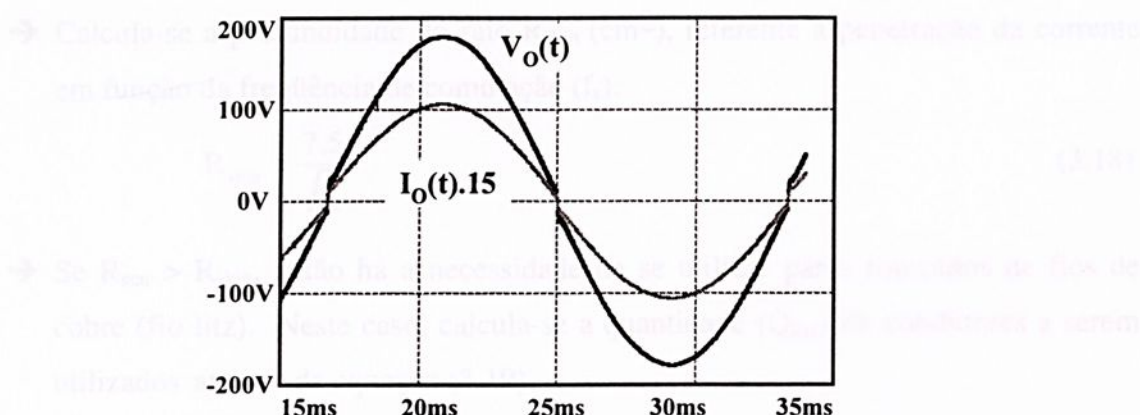


Figura 3.8 – Tensão e corrente através da carga em um período de V_O (60Hz).

No Apêndice A apresenta-se a rotina de simulação, utilizando-se o aplicativo Pspice Orcad 9.1.

3.7 – Projeto dos Núcleos para os Indutores de Filtro e de Ressonância

A metodologia utilizada para o cálculo do elemento magnético, a seção de fio e o número de espiras para o indutor de filtro L_O é mesma adotada para os indutores ressonantes L_{r1} e L_{r2} . A diferença está no valor eficaz e valor de pico da corrente que circula através destes

indutores. A seguir, tem-se os passos utilizados no projeto do núcleo de ferrite e quantidade de espiras para os indutores L_O , L_{r1} e L_{r2} .

Passo 1) Calcula-se a seção do fio condutor de cobre (cm^2), através da equação (3.16).

$$S_{cu} = \frac{I_{ef}}{J} \quad (3.16)$$

Onde:

S_{cu} : Seção do fio condutor de cobre (cm^2);

I_{ef} : Corrente eficaz que circula através do fio condutor de cobre (cm^2);

J : Densidade de corrente do fio condutor (A/cm^2).

Observa-se que como o fio estará sujeito a elevadas frequências, podendo sofrer o efeito de condução superficial (efeito “skin”), faz-se a análise conforme mostra o passo 2.

Passo 2) Análise da influência do efeito Skin, conforme a seguir:

→ Calcula-se o raio R_{scu} (cm^2) da seção do fio condutor de cobre:

$$R_{scu} = \sqrt{\frac{S_{cu}}{\pi}} \quad (3.17)$$

→ Calcula-se a profundidade do raio R_{skin} (cm^2), referente à penetração da corrente em função da frequência de comutação (f_s):

$$R_{skin} = \frac{7,5}{\sqrt{f_s}} \quad (3.18)$$

→ Se $R_{scu} > R_{skin}$, então há a necessidade de se utilizar pares trançados de fios de cobre (fio litz). Neste caso, calcula-se a quantidade (Q_{litz}) de condutores a serem utilizados através da equação (3.19).

$$Q_{litz} = \frac{S_{cu}}{\pi \cdot R_{skin}^2} \quad (3.19)$$

Caso contrário, utiliza-se o fio comum.

Passo 3) Através da equação (3.20) obtém-se o produto da área da perna central do núcleo (A_e) pela área da janela do carretel (A_w), em (cm⁴):

$$A_e \cdot A_w = \frac{L \cdot K_c \cdot I_{ef} \cdot I_{pico} \cdot 10^4}{B \cdot J} \quad (3.20)$$

Onde:

K_c : Coeficiente de ajuste dos indutores na área A_w ;

L : Valor da indutância (H);

B : Densidade de fluxo do núcleo (T);

I_{pico} : Corrente de pico através do fio condutor de cobre (A);

A_e : Área da perna central do núcleo, fornecida pelo fabricante (cm²);

A_w : Área da janela do carretel, fornecida pelo fabricante (cm²).

Do catálogo do fabricante Thornton escolhe-se um núcleo de ferrite, cujo produto das áreas $A_e \cdot A_w$ seja maior do que o produto das áreas obtido através da equação (3.20). Caso contrário, escolhe-se um outro núcleo de ferrite com dimensões superiores e refaz-se o projeto.

Passo 4) Calcula-se o número de espiras do fio condutor de cobre, através de (3.21).

$$N_e = L \cdot \frac{I_{pico} \cdot 10^4}{B \cdot A_e} \quad (3.21)$$

Onde:

N_e : Número de espiras.

Passo 5) Calcula-se o entreferro (cm) de acordo com a equação (3.22):

$$L_g = \frac{\mu_o \cdot A_e \cdot N_e^2 \cdot 10^{-2}}{L} \quad (3.22)$$

Onde:

L_g : Entreferro.

Logo, determina-se o núcleo do indutor de filtro, com os seguintes dados:

$$L_O = 2,8\text{mH};$$

$$I_{LO} = 5\text{A}$$

$$I_{LO\text{pico}} = 14,5\text{A}$$

$$f_s = 33,602\text{kHz}$$

$$K_{cLo} = 2$$

$$J = 450 \text{ A/cm}^2$$

$$\mu_0 = 4 \cdot \pi \cdot 10^{-7}$$

$$B = 0,35 \text{ T}$$

- O produto $A_e \cdot A_w$ calculado é de $25,8 \text{ cm}^4$. Do catálogo do fabricante Thornton escolheu-se o núcleo de ferrite tipo IP12 EE 65/39, para o indutor de filtro, cujo produto das áreas $A_e \cdot A_w$ corresponde à $29,5 \text{ cm}^4$.

Assim:

- Número de espiras: $N_{eLo} = 146$ (fio litz), sendo três fios condutores em paralelo;
- Entreferro: $0,7 \text{ cm}$;
- Condutor: 20 AWG.

De forma semelhante, determina-se o núcleo dos indutores ressonantes, com os seguintes dados:

Tem-se que: $L_{r1} = L_{r2}$.

$$L_{r1} = 10,8\mu\text{H};$$

$$I_{Lr1} = 1,35\text{A}$$

$$I_{Lr1\text{pico}} = 15\text{A}$$

$$f_s = 33,602\text{kHz}$$

$$K_{cLr1} = 1,7$$

$$J = 450 \text{ A/cm}^2$$

$$\mu_0 = 4 \cdot \pi \cdot 10^{-7}$$

$$B = 0,35 \text{ T}$$



- O produto $A_e \cdot A_w$ calculado corresponde a $0,024 \text{ cm}^4$. Analogamente, do catálogo do fabricante Thornton escolheu-se o núcleo de ferrite tipo IP12 EE 30/7, para os indutores ressonantes, cujo produto das áreas $A_e \cdot A_w$ é $0,081 \text{ cm}^4$.

Assim:

- Núcleo tipo: IP12 EE 30/7;
- Número de espiras: $N_{Lr1} = 15$, fio comum;
- Entreferro: $0,082 \text{ cm}$;
- Condutor: 22 AWG.

3.8 – Especificações para os Interruptores Ativos e Passivos

De acordo com a análise desenvolvida no item 3.3, considerando-se os dados de projeto e parâmetros determinados para o exemplo de projeto para o novo inversor monofásico ZVS – PWM em meia ponte, apresentam-se a seguir as especificações para os interruptores ativos (interruptores principais e auxiliares) e passivos (diodos auxiliares).

- (a) Interruptores Principais (S_{p1} e S_{p2})

$$V_{Sp1\max} = V_{Sp2\max} = 400V$$

$$I_{Sp1\text{eficaz}} = I_{Sp2\text{eficaz}} = 5,0A$$

Especificou-se para S_{p1} e S_{p2} , Mosfets STW13NB60 (SGS- Thomson), com $R_{Dson} = 0,54\Omega$ e $C_{oss} = 330pF$.

- (b) Interruptores Auxiliares (S_{a1} e S_{a2})

$$V_{Sa1\max} = V_{Sa2\max} = 600V$$

$$I_{Sa1\text{média}} = I_{Sa2\text{média}} = 0,24A$$

Especificou-se para S_{a1} e S_{a2} , IGBTs HGTG7N60A4D (Fairchild Semiconductor), com $V_{CEon} = 2,2V$ e com diodo ultra-fast em anti-paralelo.

- (c) Diodos Auxiliares (D_{a1} e D_{a2})

$$V_{Da1\max} = V_{Da2\max} = 400V;$$

$$I_{Da1\text{média}} = I_{Da2\text{média}} = 0,046A.$$

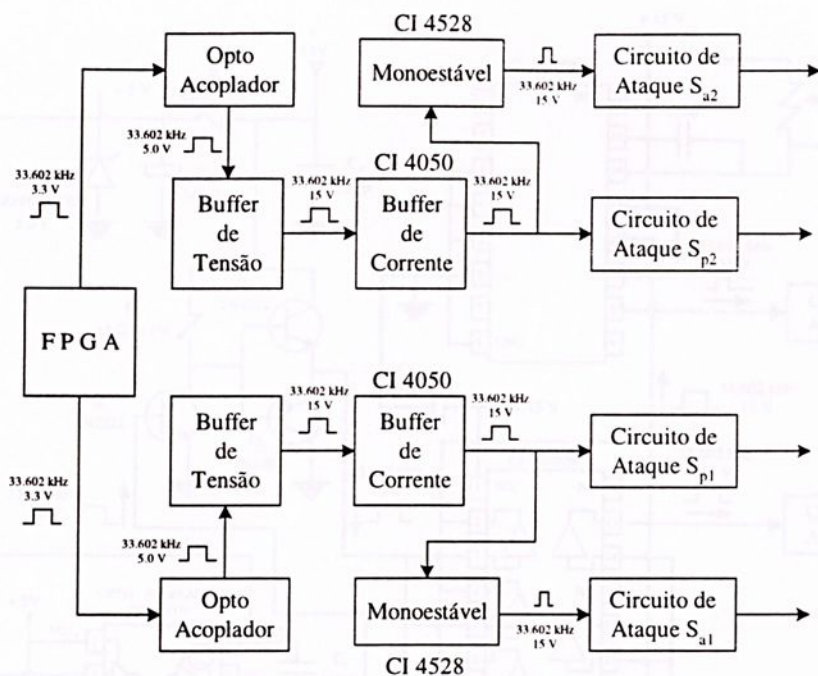


Figura 3.10 - Diagrama de blocos da lógica de comando para o inversor.

Nas Figuras 3.11 (a) e 3.11 (b) apresentam-se os diagramas esquemáticos para os circuitos de ataque de gates projetados para os interruptores principais e auxiliares.

Figura 3.11(a) - Diagrama esquemático para os circuitos de ataque de gate para os interruptores principais e auxiliares, parte a

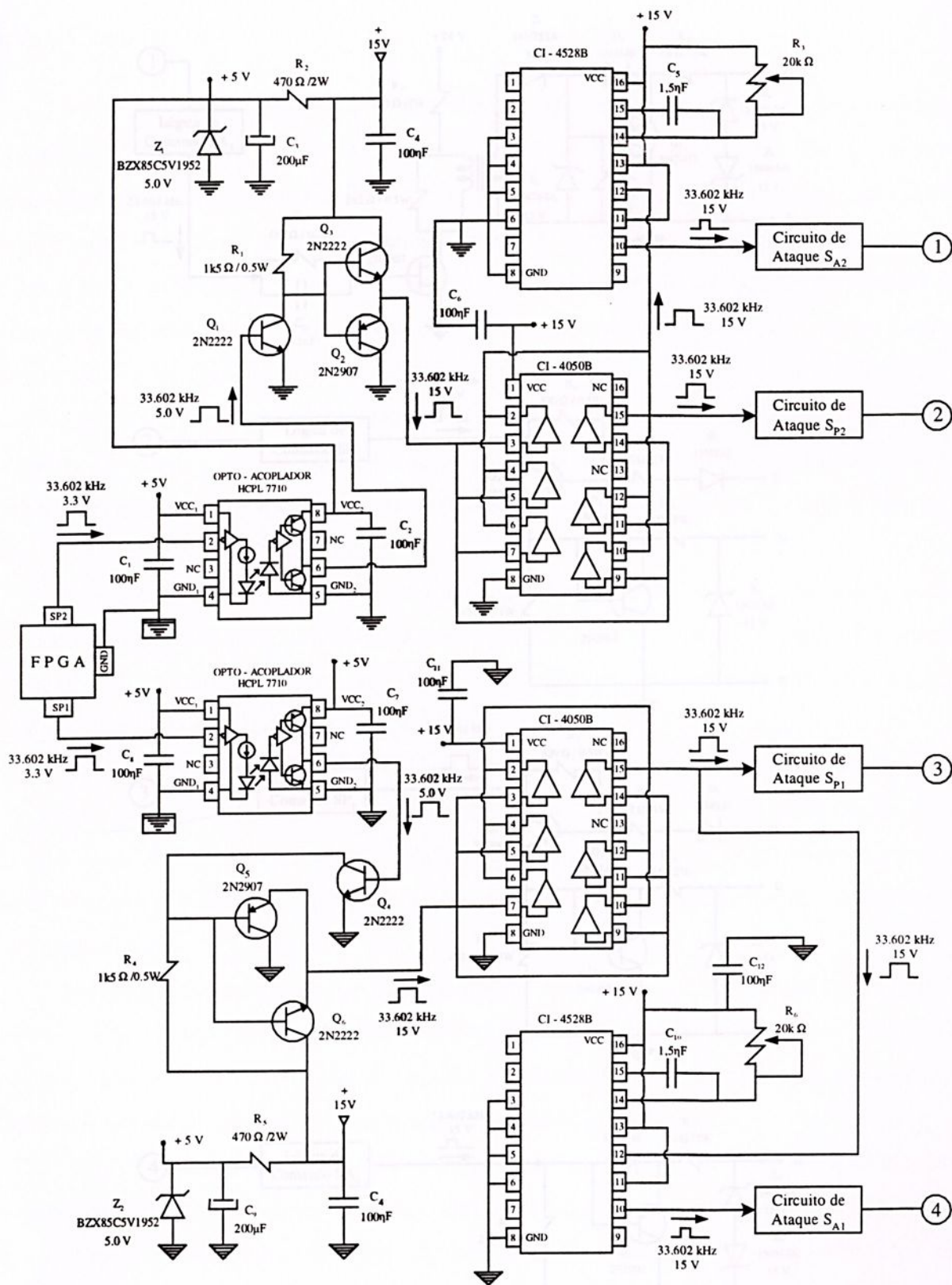


Figura 3.11(a) – Diagrama esquemático para os circuitos de ataque de gate para os interruptores principais e auxiliares, parte a.

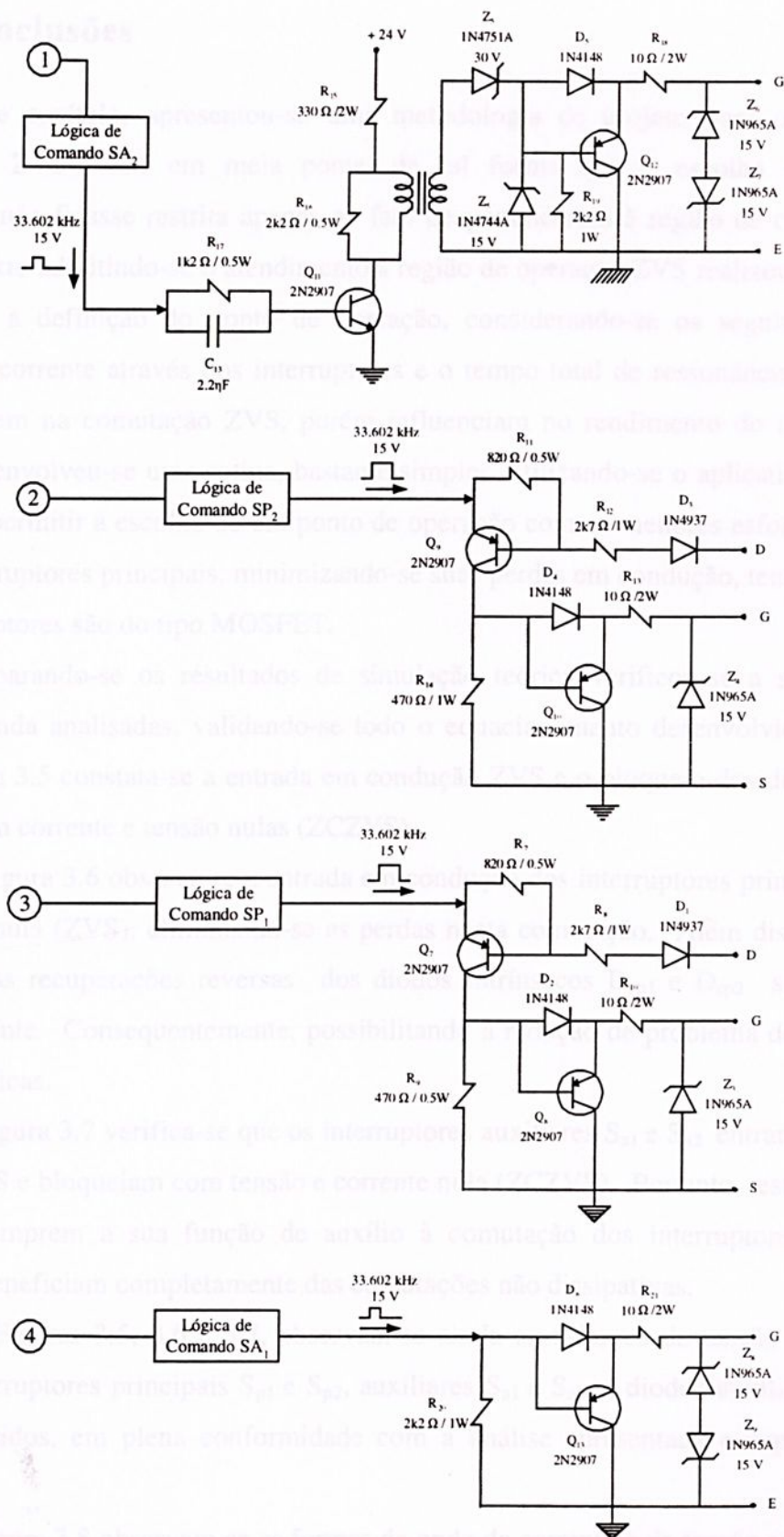


Figura 3.11 (b) – Diagrama esquemático para os circuitos de ataque de gate para os interruptores principais e auxiliares, parte b.

3.9 – Conclusões

Neste capítulo, apresentou-se uma metodologia de projeto para o novo inversor monofásico ZVS-PWM em meia ponte, de tal forma que a escolha dos parâmetros ressonantes não ficasse restrita apenas ao fato de pertencerem à região de comutação ZVS. Neste contexto admitindo-se o atendimento à região de operação ZVS realizou-se uma análise crítica para a definição do ponto de operação, considerando-se os seguintes fatores: os esforços de corrente através dos interruptores e o tempo total de ressonância. Estes fatores não interferem na comutação ZVS, porém influenciam no rendimento do inversor. Neste sentido, desenvolveu-se uma rotina, bastante simples, utilizando-se o aplicativo Mathcad, de tal forma a permitir a escolha de um ponto de operação com os menores esforços de corrente para os interruptores principais, minimizando-se suas perdas em condução, tendo em vista que estes interruptores são do tipo MOSFET.

Comparando-se os resultados de simulação teórica verificou-se a semelhança das formas de onda analisadas, validando-se todo o equacionamento desenvolvido. De acordo com a Figura 3.5 constata-se a entrada em condução ZVS e o bloqueio dos diodos auxiliares D_{a1} e D_{a2} com corrente e tensão nulas (ZCZVS).

Na Figura 3.6 observa-se a entrada em condução dos interruptores principais S_{p1} e S_{p2} com tensão nula (ZVS), eliminando-se as perdas nesta comutação. Além disso, evitando-se os efeitos das recuperações reversas dos diodos intrínsecos D_{sp1} e D_{sp2} sobre S_{p1} e S_{p2} , respectivamente. Conseqüentemente, possibilitando a redução de problema de interferências eletromagnéticas.

Na Figura 3.7 verifica-se que os interruptores auxiliares S_{a1} e S_{a2} entram em condução de forma ZCS e bloqueiam com tensão e corrente nula (ZCZVS). Portanto, estes dispositivos auxiliares cumprem a sua função de auxílio à comutação dos interruptores principais e também se beneficiam completamente das comutações não dissipativas.

Nas Figuras 3.5, 3.6 e 3.7, observam-se ainda os esforços de tensão e corrente aos quais os interruptores principais S_{p1} e S_{p2} , auxiliares S_{a1} e S_{a2} e diodos auxiliares D_{a1} e D_{a2} , estão submetidos, em plena conformidade com a análise apresentada e especificações de projeto.

Na Figura 3.8 observam-se as formas de onda da corrente e da tensão senoidal sobre a carga. Pode-se verificar a ótima qualidade destas formas de onda, e o fato da corrente estar em fase com a tensão, destacando-se o bom desempenho do filtro de saída, considerando-se a carga linear alimentada.



Portanto, proporcionando condições para a obtenção de reduzida taxa de distorção harmônica para a tensão de saída do inversor, assim como, um fator de potência elevado, considerando-se a reduzida distorção harmônica da corrente, para o caso de alimentação de carga linear. Observa-se finalmente que todos os resultados de simulação serão devidamente verificados através dos resultados experimentais apresentados no Capítulo 5.

Dispositivos Lógicos Programáveis FPGA

4.1 – Introdução

Neste capítulo apresenta-se uma abordagem sucinta sobre Dispositivos Lógicos Programáveis (FPGA - Field Programmable Gate Array), enfocando suas principais vantagens em relação aos sistemas digitais convencionais utilizados em acionamento e controle. Na sequência, apresenta-se os procedimentos para obtenção das larguras de pulso PWM, visando o controle do novo inversor ZVS-PWM, sendo o código de programação descrito através da linguagem VHDL (Hardware Description Language). O compilador e o CI programável XC2S300E utilizado para a implementação em FPGA foi adquirido junto à Xilinx (Versão 5.1/Spartan2e).

4.2 – Dispositivos Lógicos Programáveis FPGA com o uso da Linguagem de Descrição de Hardware VHDL

O acionamento e controle de dispositivos, utilizando circuitos digitais, implementado de forma convencional, consiste no fato de que a lógica seja expressa através de tabelas verdade, para circuitos combinacionais, ou em forma de diagramas de estados, para o caso de circuitos sequenciais. Por fim, esta lógica resulta em diagramas esquemáticos, como: Portas lógicas, pinos de conexões, barramentos, etc. Este tipo de abordagem traz algumas dificuldades na fase de projeto, em se tratando de circuitos mais complexos, no que diz respeito à simulação e prototipagem, dentre as quais destacamos:

- ➔ Manuseio de uma grande quantidade de dados de dispositivos (biblioteca);
- ➔ Necessidade de várias placas de testes (proto-boards) para simular um único circuito, trazendo problemas de arranjo físico dessas placas e conexões adequadas;
- ➔ As placas de circuito impresso ou a confecção dos dispositivos de controle integrados (chips) podem demandar muito tempo para serem concluídas.

CAPÍTULO 4

4 – Sistema de Geração das Larguras de Pulsos para os Comandos dos Interruptores Principais e Auxiliares, através de Dispositivos Lógicos Programáveis FPGA

4.1 – Introdução

Neste capítulo apresenta-se uma abordagem sucinta sobre Dispositivos Lógicos Programáveis FPGA (Field Programmable Gate Array), enfocando suas principais vantagens em relação aos sistemas digitais convencionais utilizados em acionamento e controle. Na seqüência, apresentam-se os procedimentos para obtenção das larguras de pulsos PWM, visando o controle do novo inversor ZVS-PWM, sendo o código de programação descrito através da linguagem VHDL (Hardware Description Language). O compilador e o CI programável XC2S200E utilizado para a implementação em FPGA foi adquirido junto à Xilinx (Versão 5.1/Spartan2e).

4.2 – Dispositivos Lógicos Programáveis FPGA com o uso da Linguagem de Descrição de Hardware VHDL

O acionamento e controle de dispositivos, utilizando circuitos digitais, implementado de forma convencional, consiste no fato de que a idéia seja expressa através de tabelas verdade, para circuitos combinacionais, ou em forma de diagramas de estado, para o caso de circuitos seqüenciais. Por fim, esta idéia resulta em diagramas esquemáticos, como: Portas lógicas, pinos de conexões, barramentos, etc. Este tipo de abordagem traz algumas dificuldades na fase de projeto, em se tratando de circuitos mais complexos, no que diz respeito à simulação e prototipagem, dentre as quais destacam-se:

- ➔ Manuseio de uma grande quantidade de dados técnicos de dispositivos (datasheets);
- ➔ Necessidade de várias placas de testes (proto-boards) para simular um único circuito, trazendo problemas de arranjo físico dessas placas e conexões adequadas;
- ➔ As placas de circuito impresso ou a confecção dos dispositivos de controle integrado (chips) podem demandar muito tempo para serem confeccionadas.



Além desses problemas, em uma adaptação futura do projeto já concluído, há a necessidade de se refazer toda a confecção de placas ou chips, demandando tempo e custos.

Com o rápido desenvolvimento dos recursos de concepção de circuitos integrados e de softwares, tornou-se possível efetuar simulações de circuitos digitais em computadores, utilizando-se apenas o esquemático (CAD – Computer Aided Design), reduzindo-se o tempo de desenvolvimento do projeto. Numa época mais recente, surgiram os dispositivos com lógica programável. Tais dispositivos permitem aos usuários implementar circuitos mais complexos sem a necessidade dos custos elevados envolvidos na fabricação das estruturas empregando diretamente o manuseio do silício. Além disso, por serem reprogramáveis, tem-se uma redução de custo e tempo nas fases preliminares do projeto [42 e 43].

O uso de dispositivos lógicos programáveis consiste basicamente em fazer uma descrição do circuito a ser implementado, através de um software de descrição de hardware. Neste caso, nos restringimos à Linguagem de Descrição de Hardware VHDL. A descrição poderá ser feita de forma estrutural ou comportamental. Ou ainda, através de uma descrição intercalando-se as duas formas, estrutural e comportamental.

A descrição estrutural é uma descrição idêntica ao circuito esquemático, utilizando-se de bibliotecas específicas do software (Portas AND, OR, NAND, etc.). Já a descrição comportamental, não está vinculada a um circuito e sim a uma idéia a ser implementada. Portanto, a descrição comportamental é uma forma trivial de programação, como a linguagem C++, por exemplo, dando mais liberdade ao projetista na busca de uma otimização do projeto. A linguagem VHDL é uma linguagem de alto nível, fazendo com que um circuito digital seja descrito em um grau elevado de abstração, não sendo mais necessário trabalhar em descrição de baixo nível, como transistores e portas lógicas. Com isso, as metodologias de projetos de circuitos digitais tornam-se mais simplificadas [43].

O projeto em linguagem descritiva de hardware facilita as modificações e correções de erros, podendo assim, o projetista ampliar facilmente o seu projeto apenas modificando algumas linhas de comando. Assim, além de reduzir drasticamente o tempo e o custo de projeto na fase de simulação, por não haver mais a necessidade de montar um circuito esquemático, facilita enormemente na fase de projeto e implementação.

Uma vez que o projeto já foi descrito, compilado e simulado, a linguagem VHDL configura essa descrição para trabalhar conforme o que foi descrito e traduz essa descrição para um CI programável (FPGA). Tais dispositivos são circuitos programáveis compostos por um conjunto de células lógicas, ou blocos lógicos, alocados em forma de uma matriz.



Circuitos programáveis EPLD (EPROM Programmable Logic Devices) são componentes que possuem transistores EPROM para possibilitar a sua programação. Os transistores EPROM são usados para forçar valores nas entradas dos blocos lógicos. As estruturas FPGAs são EPLDs que permitem-nos implementar aplicações diretamente em hardware. Diferentemente dos microprocessadores, FPGAs são intrinsecamente estruturas paralelas. Elas incluem um conjunto de blocos lógicos simples (drivers, interruptores, memórias RAM e funções lógicas) que podem ser interconectadas através de interconexões programáveis para implementar diferentes funções lógicas, a baixo custo.

Neste sentido torna-se viável a substituição de circuitos convencionais implementados em eletrônica de potência para o controle e acionamento de conversores de potência, por dispositivos lógicos programáveis FPGA. Através de um CI programável (FPGA) e o compilador VHDL pode-se emular a evolução no tempo de funções senoidais, triangulares, dente de serra e outras, possibilitando-se ainda manipulações algébricas e comparações lógicas destas funções. Tem-se também a possibilidade de adquirir sinais externos para compor a lógica implementada em VHDL. Desse modo pode-se gerar e controlar larguras de pulsos para os circuitos de ataque de dispositivos semicondutores (Como por exemplo MOSFETs e IGBTs) de forma confiável, com redução de tempo e custos [45 e 46].

4.3 – Modulação PWM Senoidal

A aplicação da técnica de controle PWM senoidal em sistemas inversores consiste na comparação de um sinal de referência senoidal com um outro sinal triangular de frequência fixa, gerando-se os sinais de comando para os interruptores (largura de pulso). Os sinais de comando possuem valor lógico “1” quando a senóide de referência for maior do que a forma de onda triangular, e “0” quando a senóide de referência for menor do que a triangular. A frequência da componente fundamental da tensão de saída do inversor é imposta pela frequência da senóide de referência. Já a frequência de comutação do conversor é dada pela frequência da forma de onda triangular. Observa-se que estes dois sinais são sincronizados de modo que a relação entre as duas frequências seja um número par, conforme Figura 4.1.

É possível se obter uma redução significativa do conteúdo harmônico da tensão de saída, utilizando-se uma frequência de comutação elevada. Além disso, tem-se uma redução do volume dos elementos de filtro. A Figura 4.1 apresenta o controle PWM senoidal definido de forma clássica.



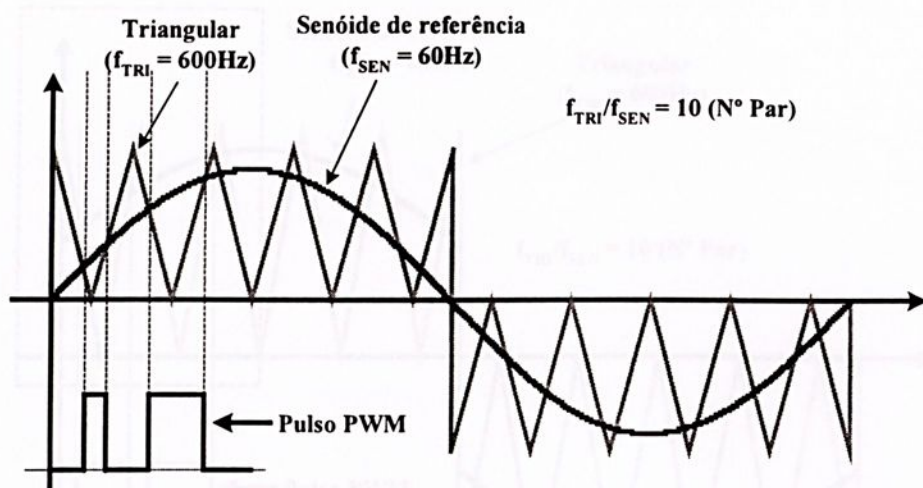


Figura 4.1 – Forma clássica de obtenção de Larguras de pulsos PWM senoidal, para estruturas inversoras.

No caso da topologia inversora em análise, conforme se analisou no Capítulo 2, existe limitação para a razão cíclica para que a estrutura possa operar no modo de condução contínua. Portanto, utilizando-se o esquema mostrado na Figura 4.1, o inversor operará na descontinuidade em torno de 40% do período da tensão alternada de saída. Neste caso, adiciona-se à senoide de referência um valor CC constante, correspondendo a um valor de no mínimo a metade do valor de pico da forma de onda triangular, para garantir a operação no modo de condução contínua. A Figura 4.2 exemplifica o uso desta técnica, a ser empregada para obtenção dos pulsos para os interruptores principais.

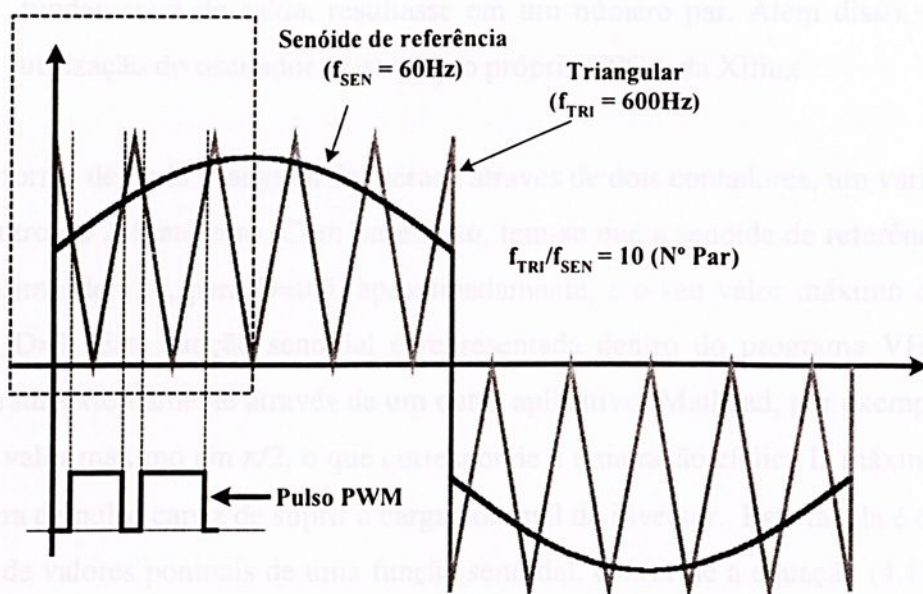


Figura 4.2 – Variação da Forma clássica de obtenção de Larguras de pulsos PWM senoidal, para a estrutura proposta.

4.4 – Descrição do Código VHDL para Obtenção dos Pulsos PWM

O controle digital desenvolvido para o novo inversor ZVS – PWM em análise neste trabalho, foi desenvolvido para o acionamento dos interruptores em malha aberta de tensão. Portanto, toda a lógica consiste na reprodução exata do sistema de controle representado na Figura 4.2, ou seja, gerar uma senóide de referência na frequência da tensão de saída e uma forma de onda triangular na frequência de comutação, ambas digitais, através de um programa em VHDL. Da mesma forma, os pulsos PWM para os interruptores principais ocorrem quando a senóide de referência torna-se maior do que a triangular.

Para a obtenção dos pulsos PWM através de um código VHDL, propôs-se trabalhar inicialmente com um sistema de 8 bits (0 a 256 - decimal), visando uma frequência de operação em torno de 30 kHz, considerado-se o fato de que a relação entre as frequências deveria resultar em um número par, conforme mencionado anteriormente. Por fim, constatou-se que a operação mais adequada seria com os seguintes dados:

- Frequência de comutação: $f_s = 33,602 \text{ kHz}$;
- Frequência fundamental da tensão de saída: $f_r = 60 \text{ Hz}$;
- Frequência de clock (gerado internamente), para o gerenciamento do programa VHDL: $f_{\text{clock}} = 16,7 \text{ MHz}$;
- Sistema de 8 bits: Variação decimal de 0 até 248, ao invés de 0 a 256. Essa adaptação foi necessária para que a relação entre as frequências de comutação e da

fundamental de saída, resultasse em um número par. Além disso, possibilitou a utilização do oscilador existente no próprio FPGA da Xilinx.

A forma de onda triangular foi gerada através de dois contadores, um variando de 0 até 248 e o outro de 248 até zero. Com base nisto, tem-se que a senóide de referência possui um valor mínimo de 124, para $D=0,5$, aproximadamente, e o seu valor máximo corresponde a 248, para $D=1$. Esta função senoidal é representada dentro do programa VHDL por uma tabela, gerada externamente através de um outro aplicativo (Mathcad, por exemplo), de forma que o seu valor máximo em $\pi/2$, o que corresponde a uma razão cíclica D máxima, resulte em uma largura de pulso capaz de suprir a carga nominal do inversor. Esta tabela é o resultado da aquisição de valores pontuais de uma função senoidal, conforme a equação (4.1), oscilando a uma frequência de 60 Hz. Realizou-se a aquisição desses valores pontuais a uma frequência de 33,602 kHz, o que corresponde à frequência de comutação do inversor. Isto corresponde a 140 pontos adquiridos, entre 0 e $\pi/2$ (rad), no primeiro quadrante. Estes 140 pontos são suficientes para emular via programa, em VHDL, a evolução de uma senóide nos outros três quadrantes, com o auxílio de contadores, tendo em vista que os dados são repetitivos.

Conforme o diagrama de funcionamento do programa, apresentado na Figura 4.3, a cada pulso de clock é incrementado um valor no contador de 8 bits, o qual varia de 0 a 248 em valores decimais. Um período da função triangular termina com 496 pulsos de clock. Neste instante, constitui-se um período de comutação do inversor em análise, selecionado-se um novo valor na senóide de referência. Portanto, verifica-se que a função triangular evolui à frequência de clock de 16,7 MHz e a senóide de referência, representada pela tabela de dados, evolui na frequência de comutação ($f_s=33,602$ kHz). Observa-se entretanto que a frequência de comparação destes dois sinais ocorre na frequência do clock, a mesma do contador. O comparador verifica quando a função senoidal de referência é maior do que a triangular, gerando o pulso PWM para ativação dos interruptores principais.

Conforme análise apresentada no Capítulo 2, a obtenção dos pulsos de comando para os interruptores auxiliares se dará através dos pulsos PWM, com modulação senoidal, obtidos para os interruptores principais, conforme Figura 4.3.

Os pulsos para os interruptores auxiliares terão sempre largura constante e iguais à Δt , largura esta dependente apenas dos parâmetros ressonantes a serem especificados em projeto. Para o exemplo de projeto apresentado no Capítulo 3, $\Delta t = 1,9\mu s$.



Obviamente, como analisado no Capítulo 2, os interruptores auxiliares são comandados sempre antes de seus correspondentes principais, ou seja, os pulsos obtidos conforme Figura 4.3 para os interruptores principais, ainda serão manipulados pelos circuitos de ataque ZVS (tipo tiristor dual), para estes interruptores, permitindo que entrem em condução somente quando a tensão dreno-source correspondente for próxima à zero. Observa-se que os circuitos de ataque tanto para os interruptores principais, quanto auxiliares, foram apresentados no Capítulo 3.

$$\text{Sen_ref}(2.\pi.f_r.t) = D_m.2^x.[1 + \text{sen}(2.\pi.f_r.t)] \quad (4.1)$$

Onde:

D_m = Razão cíclica máxima;

f_r = Frequência da tensão senoidal de saída;

x = quantidade de bits.

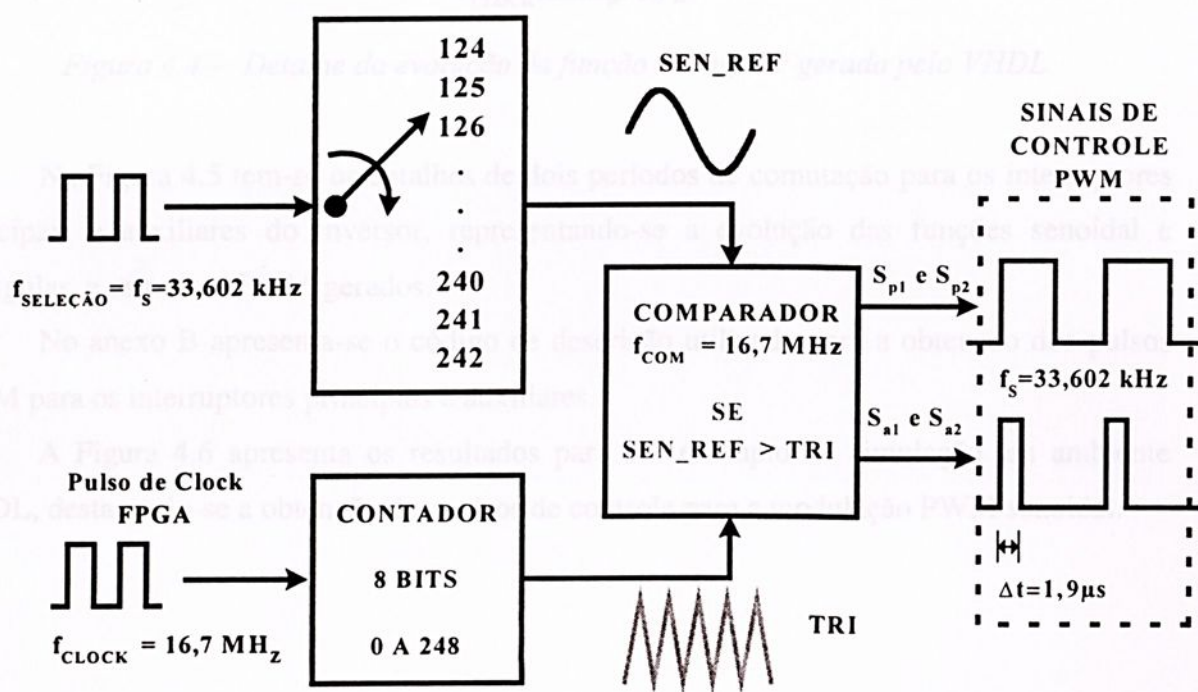


Figura 4.3 – Visualização do programa VHDL em digrama de blocos.

Adicionalmente, observa-se que os pulsos PWM gerados pela pastilha FPGA (Xilinx – Spartan2e), corresponde a um valor com amplitude de 3,3 V, sendo necessário portanto um outro dispositivo intermediário que possibilite o acionamento dos interruptores (buffer e circuito de ataque), já que as tensões de gate exigidas estão em torno de 12 a 15V.

Na Figura 4.4 apresenta-se um detalhe da função triangular, com derivada descendente, sendo incrementada a cada pulso de clock.

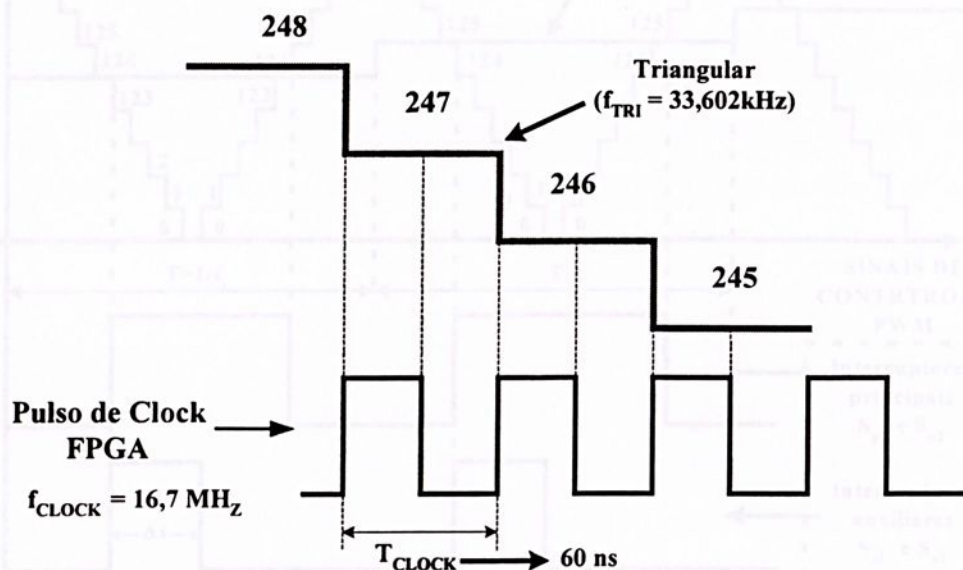


Figura 4.4 – Detalhe da evolução da função triangular gerada pelo VHDL.

Na Figura 4.5 tem-se os detalhes de dois períodos de comutação para os interruptores principais e auxiliares do inversor, representando-se a evolução das funções senoidal e triangular, e os pulsos PWM gerados.

No anexo B apresenta-se o código de descrição utilizado para a obtenção dos pulsos PWM para os interruptores principais e auxiliares.

A Figura 4.6 apresenta os resultados para um exemplo de simulação em ambiente VHDL, destacando-se a obtenção dos pulsos de controle para a modulação PWM senoidal.

4.5 – Conclusões

Apresentou-se neste capítulo os procedimentos utilizados para obtenção dos pulsos PWM para o controle do inversor ZVS – PWM proposto através de um dispositivo digital de tipo Spartan2e, sendo toda a lógica de controle implementada em linguagem VHDL versão 5.1.

A aplicação de técnicas digitais com o uso de FPGAs para a implementação de controladores de inversores em eletrônica de potência, tornou-se uma tarefa especializada durante as fases de projeto, implementação em hardware e em sua posterior verificação.

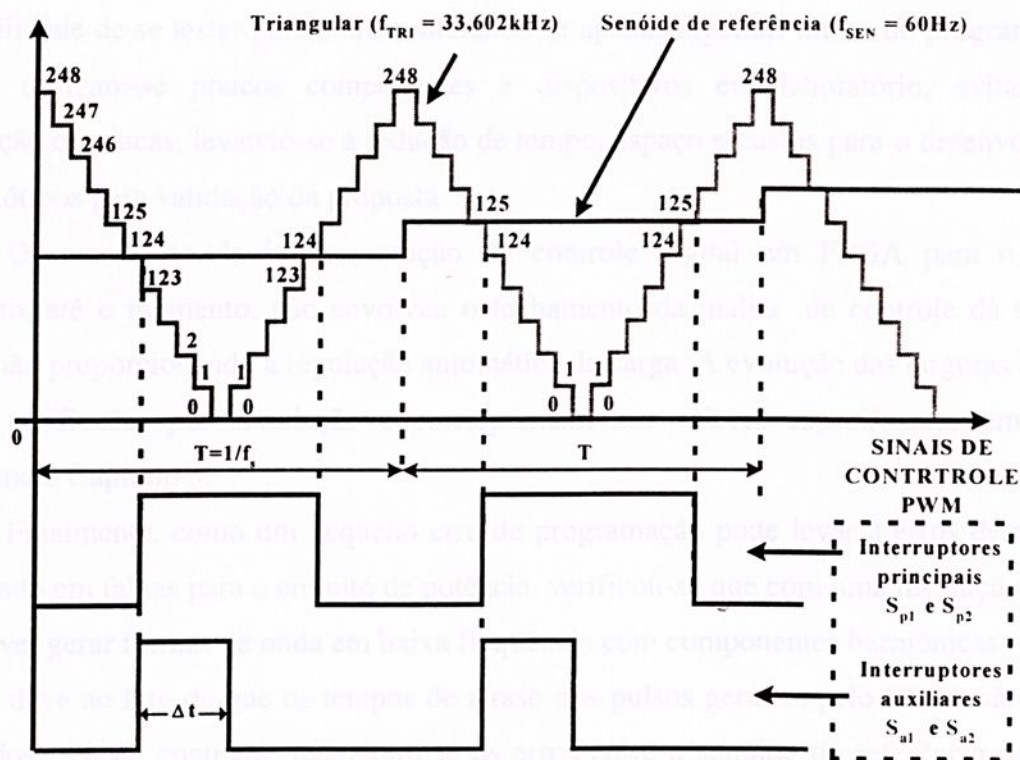


Figura 4.5 – Detalhe da obtenção de Largura de pulso PWM senoidal em VHDL.

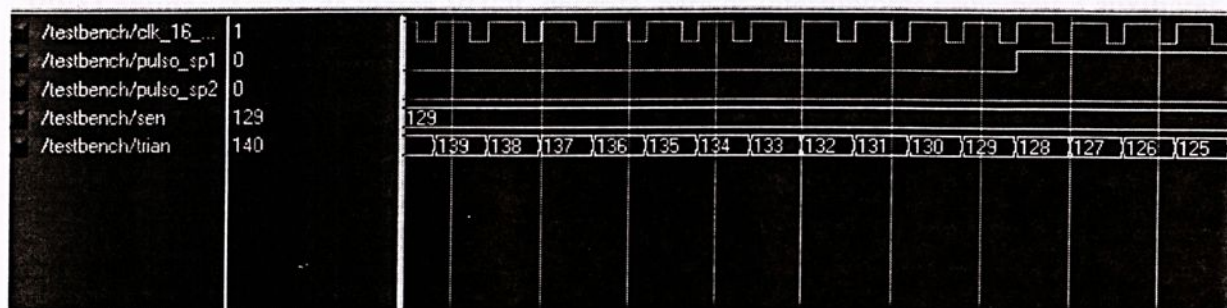


Figura 4.6 – Exemplo de simulação em ambiente VHDL para a lógica de controle de modulação PWM senoidal.

4.5 – Conclusões

Apresentou-se neste capítulo os procedimentos utilizados para obtenção dos pulsos PWM, para o controle do inversor ZVS – PWM proposto, através de um dispositivo FPGA Xilinx do tipo Spartan2e, sendo toda a lógica de controle implementada em linguagem VHDL versão 5.1.

A aplicação de técnicas digitais com o uso de FPGAs, para o acionamento e controle de conversores em eletrônica de potência, permite ao projetista uma maior flexibilidade durante as fases de projeto, implementação em bancada e em fase posterior, devido à

possibilidade de se testar parâmetros, alterando-se apenas algumas linhas do programa. Desta forma, utilizam-se poucos componentes e dispositivos em laboratório, evitando-se a confecção de placas, levando-se à redução de tempo, espaço e custos para o desenvolvimento de protótipos para validação da proposta.

Os resultados da implementação do controle digital em FPGA para o inversor proposto, até o momento, não envolveu o fechamento da malha de controle da tensão de saída, não proporcionando a regulação automática da carga. A evolução das larguras de pulsos foram verificadas por simulação e correspondem aos valores especificados em projeto, conforme o Capítulo 3.

Finalmente, como um pequeno erro de programação pode levar à erros de comando, resultando em falhas para o circuito de potência, verificou-se que com uma resolução de 8 bits é possível gerar formas de onda em baixa frequência com componentes harmônicas reduzidas. Isso se deve ao fato de que os tempos de atraso dos pulsos gerados pelo FPGA são bastante reduzidos. Neste contexto, reduziram-se os erros entre a senóide de referência desejada e aquela obtida de forma digital.

Finalmente, no Capítulo 5 apresentar-se-ão os resultados experimentais para os pulsos PWM obtidos através da lógica VHDL descrita, para os interruptores principais e auxiliares.

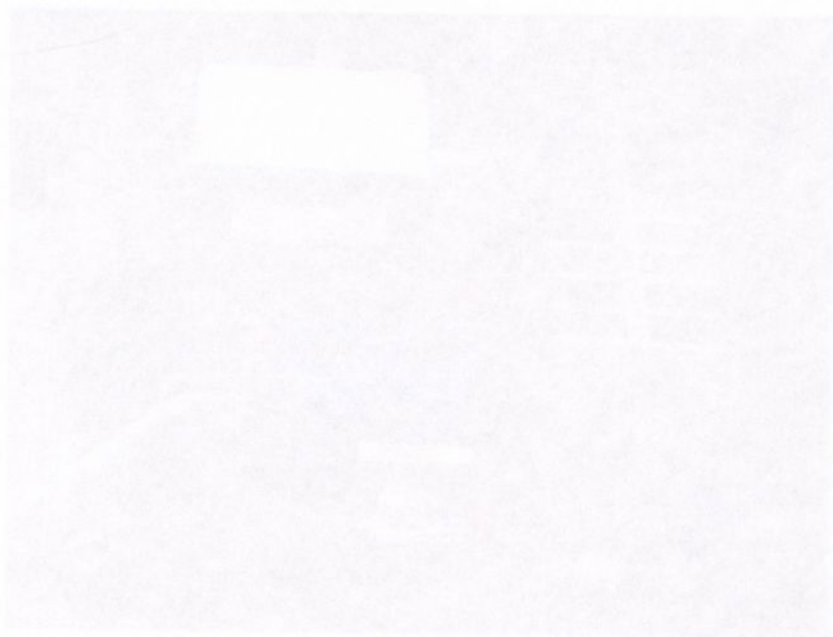


Figura 3.1 – Vista superior do estágio de potência – conversor ZVS-PWM

Observe-se que, como continuidade desta pesquisa, pretende-se adicionar a parte CC de entrada por estruturas baseadas na conversão $\Delta\Sigma$ para obter uma tensão regulada.

CAPÍTULO 5

5 – Principais Resultados Experimentais para o Novo Inversor ZVS-PWM

5.1 – Introdução

Neste capítulo apresentam-se as formas de onda obtidas na implementação prática de um protótipo do inversor ZVS-PWM, fazendo uso da nova célula de comutação apresentada no capítulo 2.

5.2 – Protótipo Implementado

Na figura 5.1 apresenta-se uma foto para o protótipo implementado, considerando-se a alimentação proveniente de uma fonte CC Modelo TCA 300-10 BR da Tectrol.

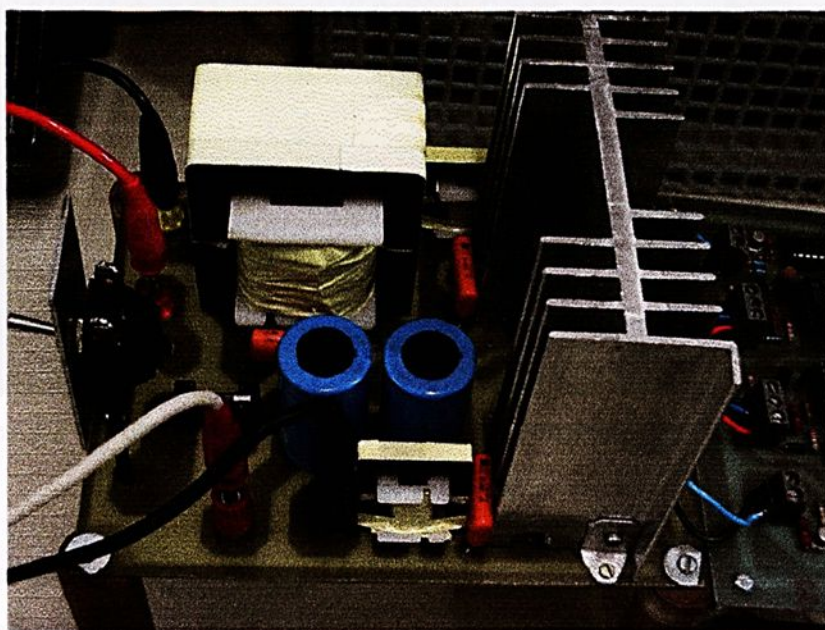


Figura 5.1 – Vista superior do estágio de potência implementado para o novo inversor ZVS - PWM.

Observa-se que, como continuidade desta pesquisa, pretende-se substituir a fonte CC de entrada por estruturas baseadas na conversão fotovoltaica e/ou células combustível.

Em função da estrutura de potência absorver os elementos parasitas do circuito e intrínsecos dos semicondutores (interruptores principais e diodos), a estrutura de potência resulta compacta e possibilitando a obtenção de uma estrutura com elevada densidade de potência. Entretanto nota-se que o maior volume apresentado na Figura 5.1, refere-se ao filtro de saída, uma vez que o mesmo foi projetado para atender restrições de alimentação de carga não linear.

Na Figura 5.2 apresenta-se a foto contendo os circuitos de gate para os interruptores principais e auxiliares.

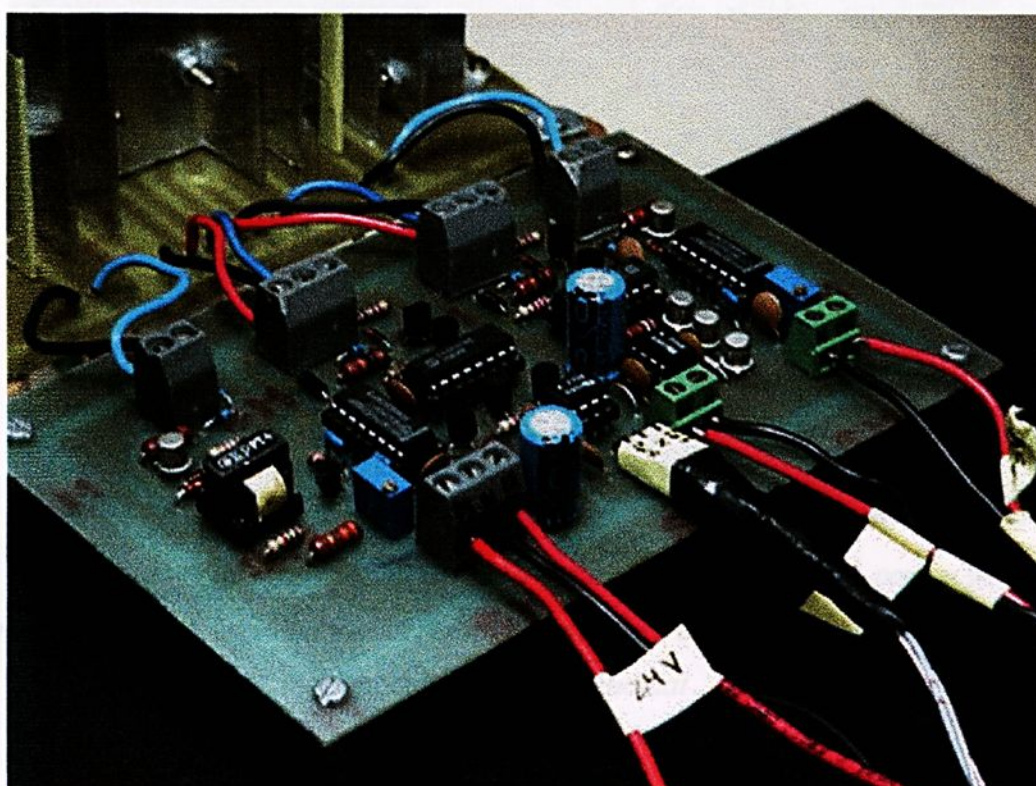


Figura 5.2 – Vista superior dos circuitos de comando de gate para os interruptores principais e auxiliares.

O circuito de comando de gate apresentado na Figura 5.2 foi implementado de acordo com o projeto do circuito de ataque de gate apresentado nas Figuras 3.10 e 3.11, no Capítulo 3. Observa-se que os pulsos de comando obtidos com o módulo FPGA da Xilinx, possuem amplitude inadequada para o comando dos interruptores, e, adicionalmente necessitam ser isolados em função da disposição dos interruptores principais e auxiliares.

Na Figura 5.3 apresenta-se uma foto para o módulo de desenvolvimento FPGA da Xilinx utilizado (Spartan 2e).

Observa-se que, para uma aplicação prática real, o dispositivo FPGA seria muito mais simples e de menor custo, dedicado à aplicação. Este módulo de desenvolvimento é genérico e oferece inúmeras funções adicionais não utilizadas para esta pesquisa.

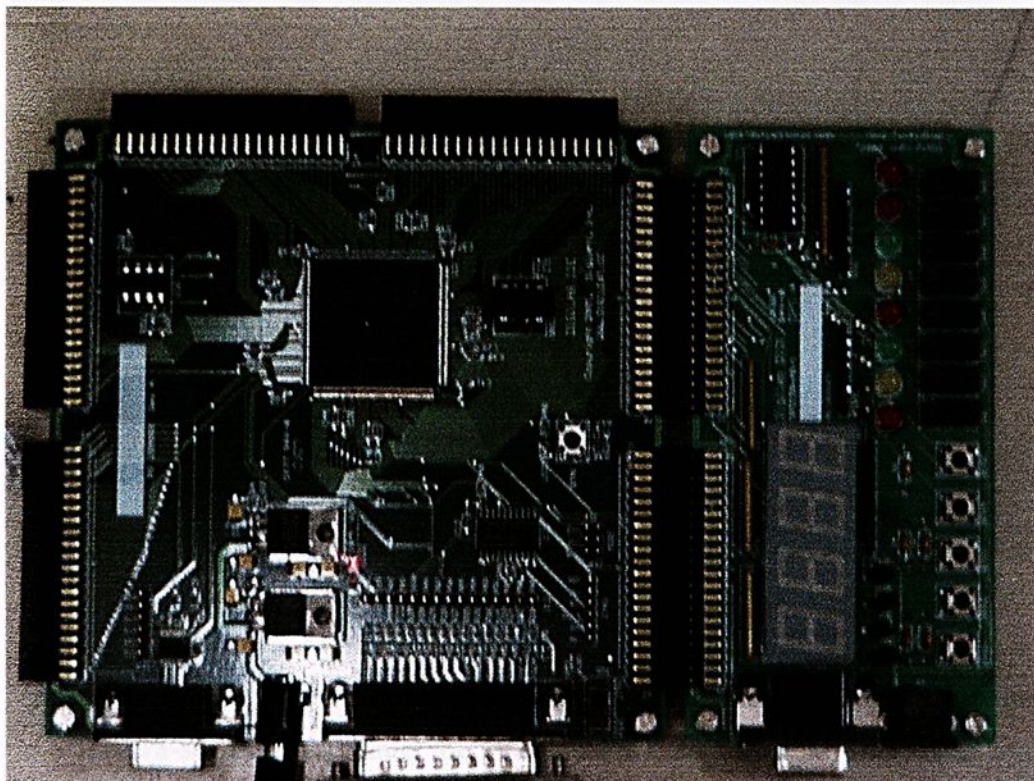


Figura 5.3 – Vista superior da placa FPGA da Xilinx (Spartan2e) para a geração dos sinais de controle, incluindo-se os pulsos de gate para os interruptores principais com modulação PWM senoidal.

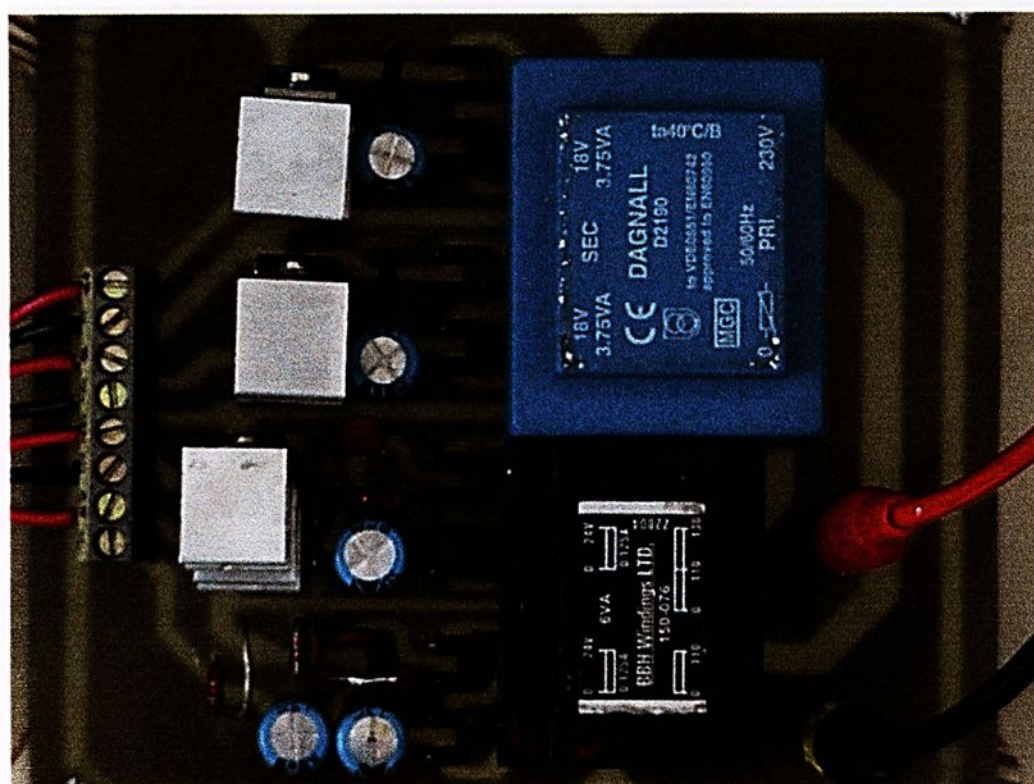


Figura 5.4 – Vista superior da placa auxiliar de alimentação.

Na Figura 5.4 apresenta-se a fonte auxiliar de alimentação para os circuitos de comando. Observa-se que esta fonte foi implementada de forma auxiliar, uma vez que é alimentada diretamente da rede elétrica de corrente alternada. Para uma implementação com finalidade prática de utilização do protótipo, esta alimentação auxiliar deverá ser desenvolvida através do barramento CC de alimentação do inversor.

Na Figura 5.5 apresenta-se a montagem completa para o novo inversor monofásico em meia ponte ZVS – PWM, implementado com a finalidade da obtenção dos principais resultados laboratoriais para validação da proposta.

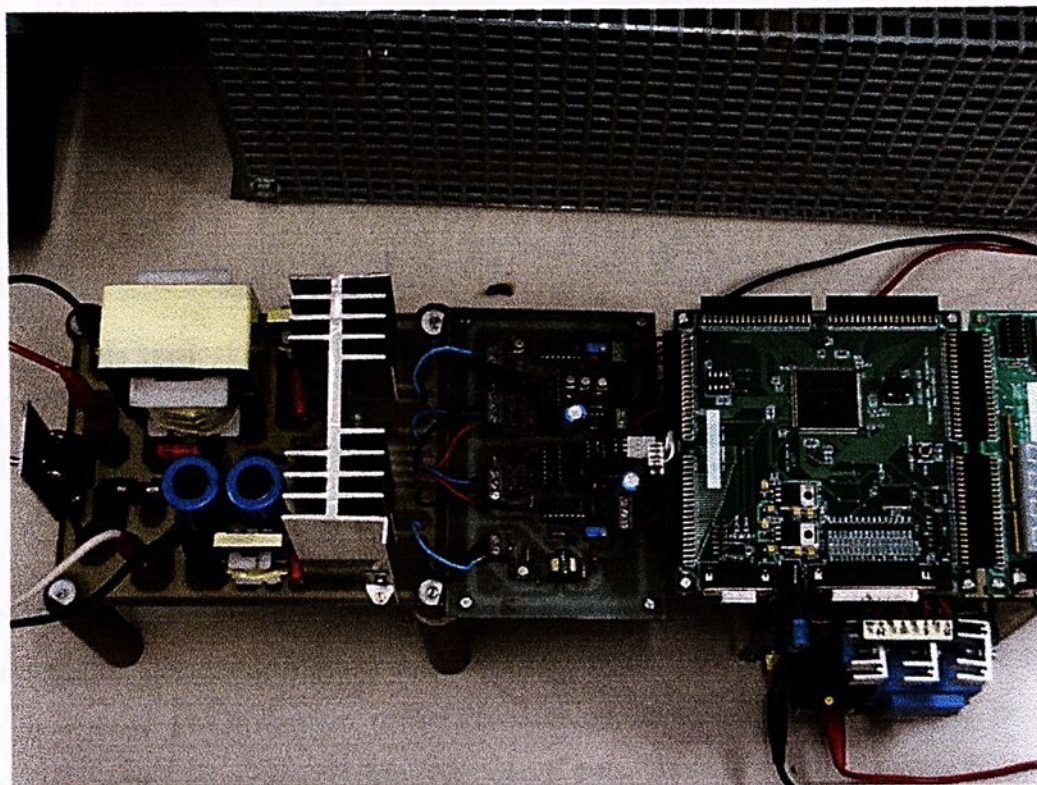
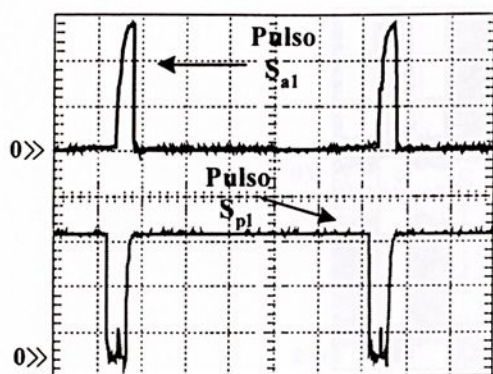


Figura 5.5 – Visão superior da montagem completa para o inversor monofásico em meia ponte ZVS – PWM proposto, com controle digital através de dispositivo FPGA e linguagem VHDL.

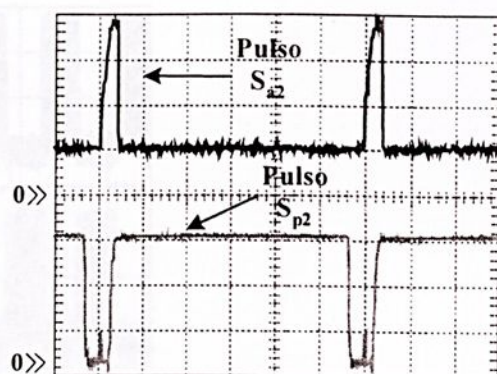
5.3 – Principais Resultados Experimentais

Apresentam-se a seguir os principais resultados experimentais obtidos com o protótipo implementado. Na Figura 5.6 tem-se os detalhes dos pulsos auxiliares para o acionamento dos interruptores IGBTs S_{a1} e S_{a2} , e dos pulsos principais para o acionamento dos MOSFETs S_{p1} e S_{p2} .



(a)

Escala vertical: 5V/div;
Escala horizontal: 5μs/div;



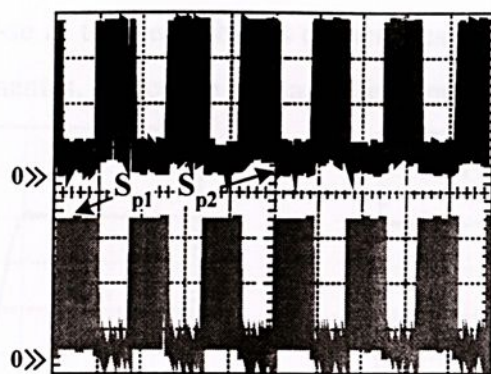
(b)

Escala vertical: 5V/div;
Escala horizontal: 5μs/div;

Figura 5.6 – Detalhes dos pulsos auxiliares e principais para controle dos interruptores auxiliares e principais

Na Figura 5.6 nota-se que o pulso auxiliar está um pouco adiantado em relação ao pulso principal. De acordo com o esquemático do circuito de comando, apresentado no capítulo 3, o pulso PWM gerado pelo FPGA, chega ao circuito de ataque do interruptor principal (MOSFET) ao mesmo instante em que o pulso auxiliar chega no circuito de ataque do interruptor auxiliar (IGBT). Neste instante, o interruptor auxiliar entra em condução, dando início às etapas ressonantes, conforme descrição apresentada no Capítulo 2, entretanto, o pulso para o interruptor principal somente será liberado quando a tensão dreno-source for próxima de zero, através da atuação do circuito de ataque com características de controle para tiristor dual.

Na Figura 5.7 apresentam-se os pulsos de gate para os interruptores principais S_{p1} e S_{p2} , em alguns períodos da tensão senoidal de saída, de aproximadamente 16,6667ms. Observa-se que durante meio período de V_O senoidal tem-se 280 pulsos PWM, ocorrendo na frequência de comutação do inversor, sendo que a sua razão cíclica varia entre 0,5 e 1,0, através de uma modulação senoidal. Enquanto o dispositivo FPGA está enviando pulsos para um braço inversor, para o outro braço é mantido o sinal lógico zero, e assim sucessivamente, para cada meio período de V_O .

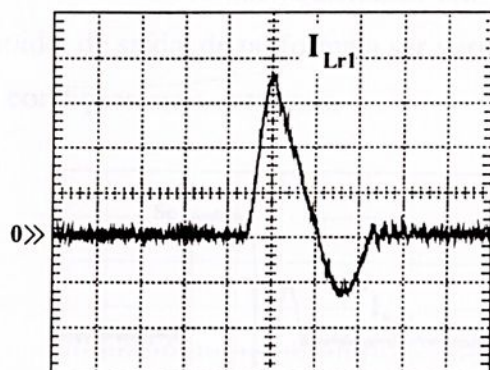


(a)

Escala vertical: 5V/div
Escala horizontal: 10ms/div;

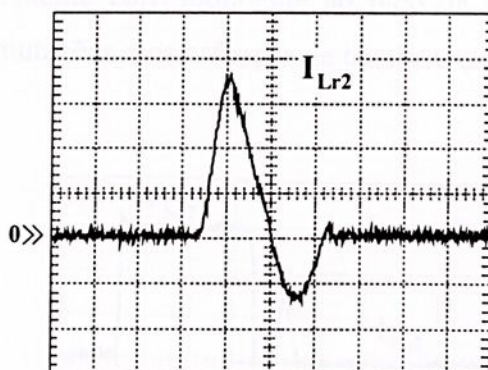
Figura 5.7 - Pulsos de acionamento para os interruptores principais, no período da tensão de saída.

Apresentam-se na Figura 5.8 as correntes ressonantes através dos indutores L_{r1} e L_{r2} . Observa-se nesta figura o comportamento ressonante da corrente através dos ramos auxiliares de comutação, em conformidade com o projeto e análise desenvolvida.



(a)

Escala vertical: I_{Lr1} : 5A/div;
Escala horizontal: 1μs/div;



(b)

Escala vertical: I_{Lr2} : 5A/div;
Escala horizontal: 1μs/div;

Figura 5.8 – Correntes através dos ramos ressonantes auxiliares em um período de comutação: (a) Indutor ressonante L_{r1} ; (b) Indutor ressonante L_{r2} .

Na Figura 5.9 têm-se as tensões sobre os capacitores ressonantes C_{ra1} e C_{ra2} , durante a evolução das etapas ressonantes, de acordo com a análise apresentada no capítulo 2.

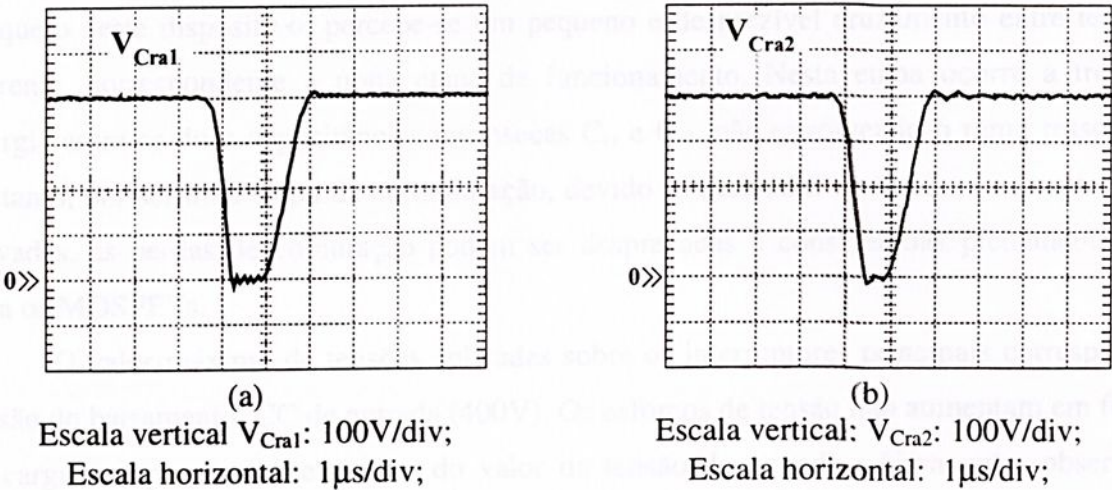


Figura 5.9 – Tensões sobre os capacitores ressonantes do ramo auxiliar em um período de comutação: (a) Capacitor ressonante C_{ra1} ; (b) Capacitor ressonante C_{ra2}

Na Figura 5.10 têm-se as formas de onda da tensão e corrente através dos interruptores principais, mostrando em detalhe a entrada em condução com tensão nula (ZVS). Estas formas de onda foram aquisitadas em torno do instante correspondente ao pico da tensão senoidal de saída, de tal forma a ser verificar as comutações e os esforços de tensão e corrente em condições mais extremas.

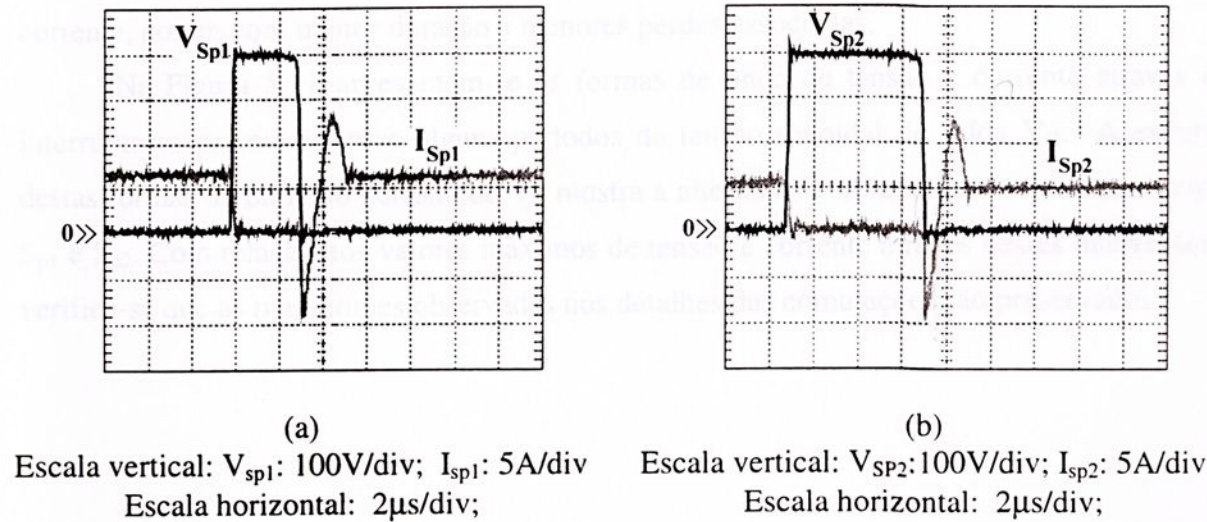
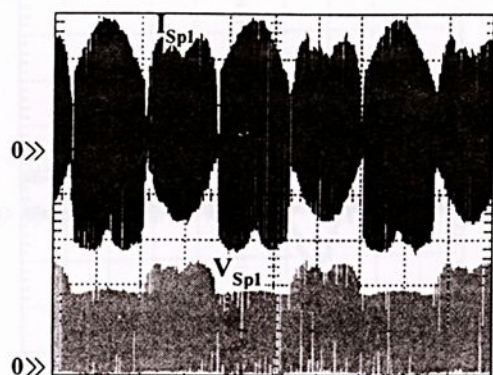


Figura 5.10 – Detalhes das comutações para os interruptores principais:
(a) Interruptor principal S_{p1} ; (b) Interruptor principal S_{p2} .

Pode-se observar que a comutação ZVS ocorre perfeitamente validando-se a análise desenvolvida no Capítulo 2 e de acordo com as especificações do Capítulo 3. Durante o bloqueio deste dispositivo, percebe-se um pequeno e desprezível cruzamento entre tensão e corrente, correspondente a nona etapa de funcionamento. Nesta etapa ocorre a troca de energia entre as duas capacitâncias intrínsecas C_{r1} e C_{r2} , não envolvendo o ramo ressonante. Portanto, por ser uma etapa de curta duração, devido as derivadas de tensão e corrente serem elevadas, as perdas de comutação podem ser desprezadas e consideradas plenamente ZVS para os MOSFETs.

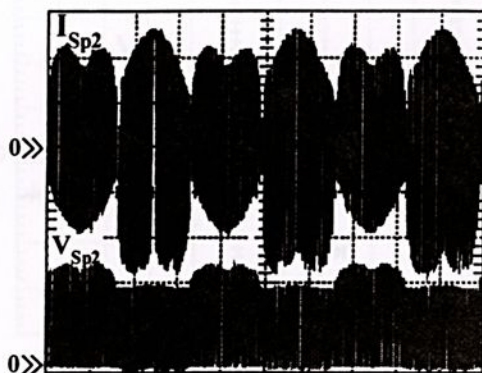
O valor máximo de tensões aplicadas sobre os interruptores principais corresponde à tensão do barramento CC de entrada (400V). Os esforços de tensão não aumentam em função da carga e dependem diretamente do valor da tensão de entrada. Uma outra observação importante é que o valor máximo de corrente em circulação através destes interruptores é menor do que 15A, portanto validando a metodologia de projeto, apresentada no capítulo 3, onde foi previsto que o valor máximo de corrente em circulação por este dispositivo seria de 14,16A. O valor deste pico de corrente varia em função da carga e causa o aumento das perdas em condução. Observa-se finalmente que o tempo em que o interruptor principal é submetido a esse pico de corrente é relativamente pequeno, correspondendo a menos da metade do tempo total de ressonância. Portanto, as perdas adicionais em condução são reduzidas. Observa-se ainda que, para uma comutação convencional PWM, os esforços de corrente durante a entrada em condução podem ser bem maiores, elevando-se os esforços de corrente, porém com menor duração e menores perdas associadas.

Na Figura 5.11 apresentam-se as formas de onda de tensão e corrente através dos interruptores principais, para alguns períodos da tensão senoidal de saída V_O . A excursão destas formas de onda no período de V_O mostra a alternância entre os interruptores principais S_{p1} e S_{p2} . Com relação aos valores máximos de tensão e corrente através destes interruptores, verifica-se que as magnitudes observadas nos detalhes das comutações são preservados.



(a)

Escala vertical: V_{sp1} : 250V/div; I_{sp1} : 5A/div
Escala horizontal: 5ms/div;

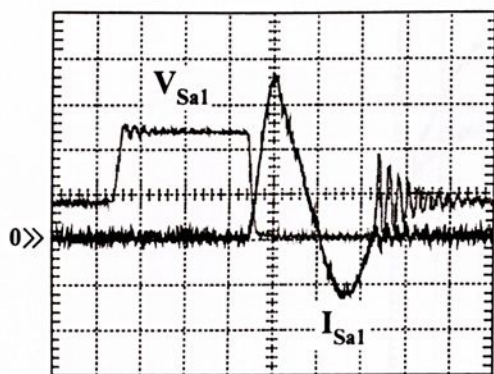


(b)

Escala vertical: V_{sp2} : 250V/div; I_{sp2} : 5A/div
Escala horizontal: 5ms/div;

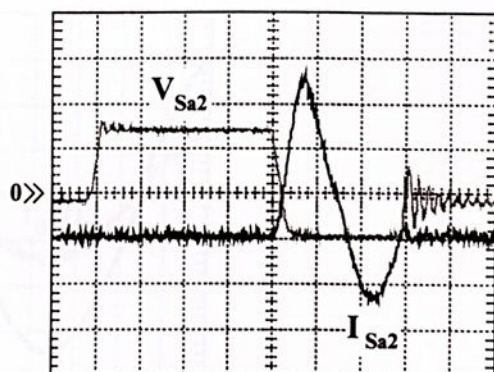
Figura 5.11– Comutações para os interruptores principais no período da tensão de saída: (a) Interruptor principal S_{p1} ; (b) Interruptor principal S_{p2} .

Na Figura 5.12 observam-se os detalhes das comutações para os interruptores auxiliares S_{a1} e S_{a2} . A corrente que circula através destes dispositivos é a corrente ressonante, sendo I_{Lr1} através de S_{a1} e I_{Lr2} através de S_{a2} . Os interruptores auxiliares, conforme discutido nas etapas de funcionamento do capítulo 2, entram em condução de forma ZCS e bloqueiam com corrente e tensão nulas, ou seja ZCZVS. Os valores de pico da corrente podem atingir até 18A . Entretanto, a curta duração dessa corrente de pico e o fato do interruptor IGBT ser sensível à corrente média, resultam em perdas bastante reduzidas, não interferindo de forma significativa no rendimento da estrutura. Os valores dos esforços de tensão sobre os interruptores auxiliares atinge o seu valor máximo na primeira etapa de funcionamento (roda-livre) correspondendo à um acréscimo de 50% do valor da tensão do barramento CC de entrada, ou seja $1,5.E$, ou, três vezes a tensão de entrada em cada braço inversor ($3.V_{in}$), ou seja 600V. Observa-se que sua variação não está vinculada à variação da carga e sim à tensão de entrada.



(a)

Escala vertical: V_{sa1} : 250V/div; I_{sa1} : 5A/div
Escala horizontal: 1 μ s/div;



(b)

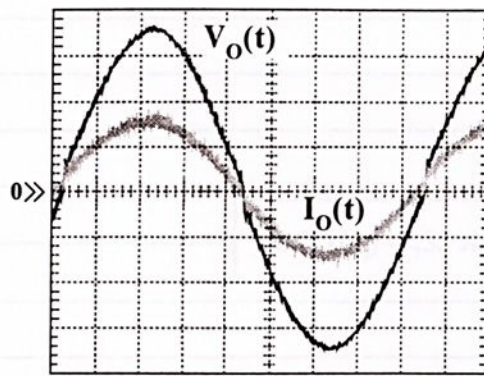
Escala vertical: V_{sa2} : 250V/div; I_{sa2} : 5A/div
Escala horizontal: 1 μ s/div;

Figura 5.12 – Detalhes das comutações para os interruptores auxiliares:

(a) Interruptor auxiliar S_{a1} ; (b) Interruptor auxiliar S_{a2} .

Na Figura 5.13 tem-se as formas de onda da tensão e corrente através da carga, sendo mostrada a evolução em um ciclo de aproximadamente 16,6667ms. Pode-se constatar a excelente qualidade tanto para a tensão senoidal aplicada sobre a carga, quanto para a corrente de carga, uma vez que a carga é linear nestes ensaios.

Isto demonstra o bom desempenho da técnica de modulação PWM empregada, com o uso do módulo FPGA da Xilinx. Com base na Figura 5.13 pode-se observar que o defasamento entre tensão e corrente pode ser considerado nulo e os valores de ripple para a tensão e corrente na carga são bastante reduzidos. Quanto à defasagem, houve o cuidado no cálculo do filtro no sentido de que o ângulo de fase do filtro em composição com a carga não ultrapassasse 2°. Além disso, admitiu-se uma ondulação máxima de 1,0A para a corrente que circula através do indutor de filtro L_O . Já para a tensão senoidal de saída admitiu-se em projeto uma ondulação máxima de 2,5V (ripple de 2%). Logo, analisando-se a Figura 5.13, constatou-se que estes parâmetros de projeto foram atendidos plenamente, apresentando-se menores ripples tanto para a tensão, quanto para a corrente.



Escala vertical: V_o : 50V/div; I_o : 5A/div
Escala horizontal: 2ms/div;

Figura 5.13 – Tensão e corrente na carga, com detalhe do valor de ripple.

Analisando-se os resultados da Figura 5.13, com o software Wavestar da Tektronix, apresentam-se nas figuras 5.14 e 5.15 os espectros harmônicos para a tensão de saída e para a corrente na carga. Verificou-se uma TDH (Taxa de Distorção Harmônica) para a tensão de saída, na carga, de 3,3% e uma TDH para a corrente de 3,53%, considerando-se carga nominal.

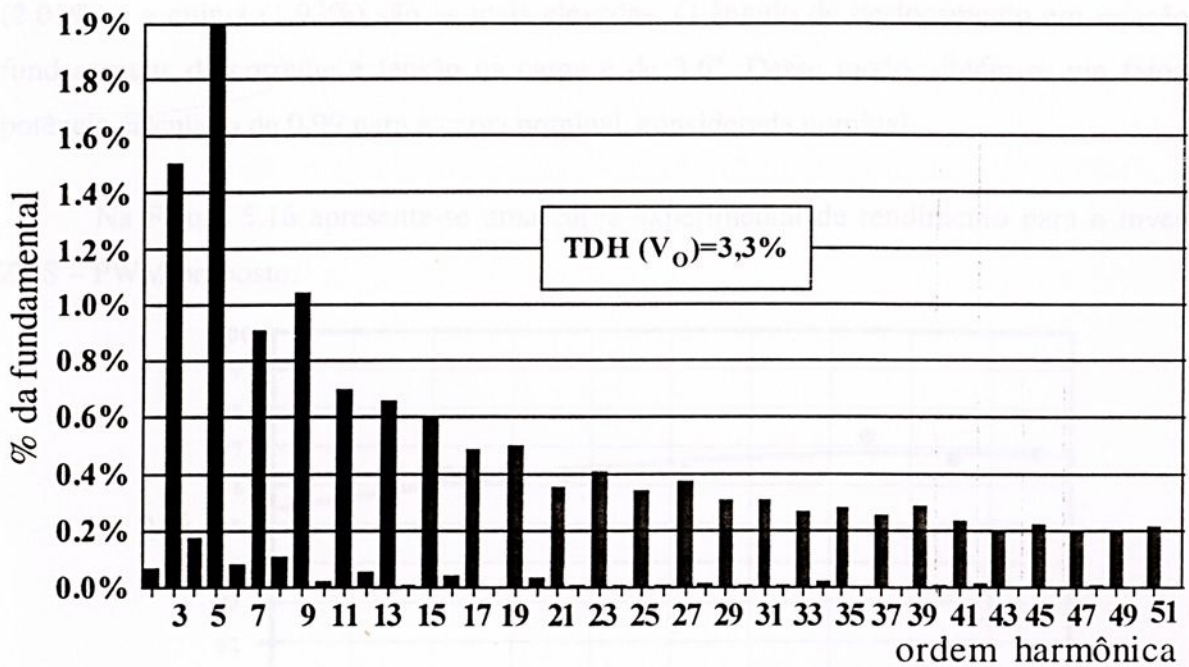


Figura 5.14 – Espectro harmônico para a tensão de saída aplicada sobre a carga.

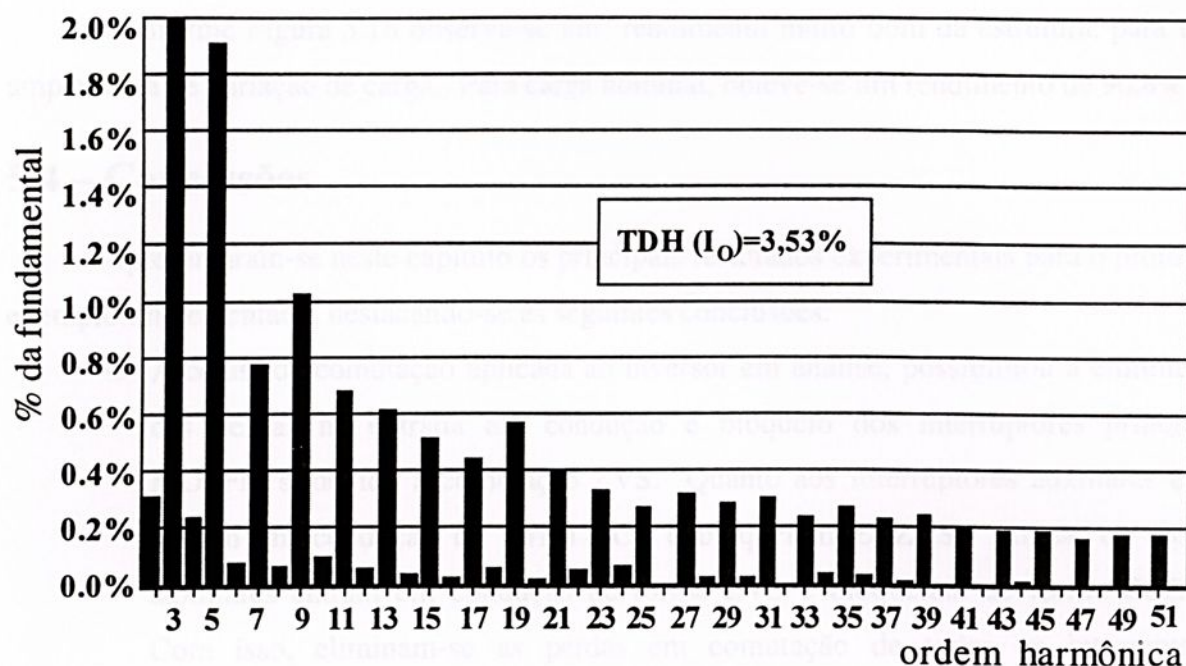


Figura 5.15 – Espectro harmônico para a corrente na carga.

Observa-se nas Figuras 5.12 e 5.13 que as componentes harmônicas ímpares são as mais preponderantes. Para a tensão de saída as componentes harmônicas que prevalecem são: A terceira (1,47%) e a quinta (1,95%). Para a corrente de carga, observa-se que a terceira (2,01%) e a quinta (1,92%) são as mais elevadas. O ângulo de deslocamento em relação às fundamentais da corrente e tensão na carga é de 3,6°. Desse modo, obtém-se um fator de potência calculado de 0,99 para a carga nominal, considerada nominal.

Na Figura 5.16 apresenta-se uma curva experimental de rendimento para o inversor ZVS – PWM proposto.

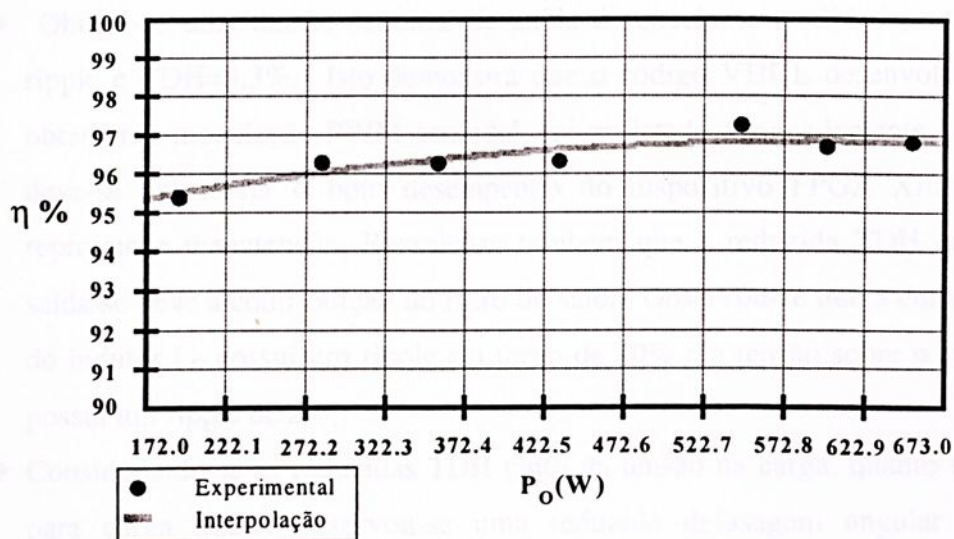


Figura 5.16 – Rendimento experimental para o novo inversor ZVS - PWM.

Conforme Figura 5.16 observa-se um rendimento muito bom da estrutura, para uma ampla faixa de variação de carga. Para carga nominal, obteve-se um rendimento de 96,8%.

5.4 – Conclusões

Apresentaram-se neste capítulo os principais resultados experimentais para o protótipo exemplo implementado, destacando-se as seguintes conclusões:

- ➔ A célula de comutação aplicada ao inversor em análise, possibilitou a eliminação das perdas na entrada em condução e bloqueio dos interruptores principais MOSFETs, devido à comutação ZVS. Quanto aos interruptores auxiliares estes entram em condução de forma ZCS e bloqueiam ZCZVS. Ainda, os diodos auxiliares entram em condução de forma ZVS e bloqueiam de forma ZCZVS. Com isso, eliminam-se as perdas em comutação de todos os interruptores principais e auxiliares;
- ➔ Os esforços de tensão sobre os interruptores principais e diodos auxiliares correspondem no máximo ao valor da tensão de entrada, 400V. Já para os interruptores auxiliares os esforços de tensão são acrescidos em 50% acima do valor da tensão de entrada, 600V.
- ➔ Os esforços de corrente através dos interruptores principais são de no máximo duas vezes a corrente de carga, por um curto intervalo de tempo, em torno de 4% do período de comutação. Isto possibilita a redução das perdas em condução;
- ➔ O rendimento obtido foi elevado devido à eliminação das perdas em comutação e de reduzidas perdas em condução,
- ➔ Obteve-se uma tensão senoidal de saída de excelente qualidade, com reduzido ripple e TDH=3,3%. Isto demonstra que o código VHDL desenvolvido para se obter uma modulação PWM senoidal, foi projetado adequadamente. Além disso, deve-se considerar o bom desempenho do dispositivo FPGA Xilinx, de fácil reprojeto e manutenção. Ressalta-se também que a reduzida TDH da tensão de saída se deve à contribuição do filtro de saída. Observou-se que a corrente através do indutor L_o possui um ripple em torno de 20% e a tensão sobre o capacitor C_o possui um ripple de 2%;
- ➔ Considerando-se as reduzidas TDH tanto da tensão na carga, quanto da corrente, para carga linear, observou-se uma reduzida defasagem angular entre suas



fundamentais de $3,6^\circ$, pouco acima do esperado em projeto (2°). Entretanto, para a carga analisada, o Fator de Potência encontra-se em torno de 0,99.

Finalmente, em continuidade a este trabalho, pretende-se implementar o fechamento da malha de controle de tensão, implementada totalmente na plataforma digital da Xilinx, para permitir a alimentação de cargas não lineares e a manutenção de reduzida taxa de distorção harmônica para a tensão de saída.

CAPÍTULO 6

6 – Conclusões Gerais

Uma vez que a estrutura proposta para o inversor incorpora os elementos parasitas do circuito e intrínsecos dos semicondutores e se beneficia de técnicas de comutações não dissipativas ZVS e ZCS, permite a operação em frequências de comutação mais elevadas e conseqüentemente a elevação da densidade de potência do circuito. Utilizando-se estes conceitos, esta estrutura analisada possibilita a comutação não dissipativa para todos os interruptores principais e auxiliares, incluindo-se diodos auxiliares. Sendo que os interruptores principais entram em condução e bloqueiam com tensão nula (ZVS) e os auxiliares entram em condução com corrente nula (ZCS) e bloqueiam com corrente e tensão nulas (ZCZVS). Desta forma, evitando-se os efeitos da recuperação reversa dos diodos e permitindo condições para a redução de interferências eletromagnéticas.

Apresentou-se a implementação da técnica de modulação PWM senoidal através de um código VHDL implementado em dispositivo FPGA da Xilinx (Spartan XC2S200E), onde se emulou uma tensão senoidal de referência de excelente qualidade com resolução de 8 bits. Neste sentido, obtiveram-se os pulsos de controle para os interruptores com extrema confiabilidade e reduzido nível de interferências.

Propôs-se uma metodologia de projeto para o estágio de potência que além de atender às restrições para a comutação ZVS, possibilita o conhecimento prévio de algumas características de funcionamento do conversor, de maiores influências no rendimento da estrutura, como por exemplo, os esforços de corrente através dos interruptores principais. Neste sentido, foi possível a implementação do projeto, reduzindo-se os esforços nos semicondutores e em conseqüência as perdas em condução.

Os resultados experimentais estão em plena conformidade com o esperado, devido aos seguintes fatores:

- Boa qualidade dos pulsos PWM para o comando dos interruptores, obtidos através do dispositivo FPGA da Xilinx;
- Excelente desempenho do filtro de saída, o qual possibilitou valores de ripple de tensão e corrente reduzidos, sendo de 20% para a corrente no indutor e de 2% para a



tensão no capacitor de saída, resultando ainda numa pequena defasagem entre as fundamentais de tensão e corrente, de apenas $3,6^\circ$;

➔ Portanto, a taxa de distorção harmônica da tensão de saída foi de apenas 3,3%, considerando-se carga nominal.

Portanto, as características apresentadas para o inversor ZVS-PWM proposto, torna-o atrativo para alimentação de pequenas cargas em corrente alternada, como por exemplo, aquelas alimentadas através de fontes alternativas de energia, tais como: painéis fotovoltaicos e células combustível.

Como continuidade do trabalho, propõe-se a operação em malha fechada do inversor, implementada completamente através do módulo digital de controle FPGA, com seus reguladores de corrente e tensão digitais, permitindo a regulação dinâmica da estrutura e a alimentação de cargas não lineares.

- [6] J. G. Choi et al., "Zero-voltage and zero-voltage-current switching using the soft-switched power", *Conf. Rec. of IEEE IPEC'88*, pp. 18-22, 1988.
- [7] J. A. Ferreira et al., "A generic soft-switching converter topology with a parallel nonlinear network for high-power applications", *Conf. Rec. of IEEE PESC'90*, pp. 294-303, 1990.
- [8] J. A. Ferreira et al., "Study of a specific topology for a double nonlinear resonant pole converter", *Conf. Rec. of IEEE PESC'92*, pp. 246-254, 1992.
- [9] Al-Haddad et al., "A rugged soft-switched PWM inverter for AC drives", *Conf. Rec. of IEEE PESC'90*, pp. 550-562, 1990.
- [10] R. W. De Doncker, "The auxiliary resonant converted pole converter", *Conf. Rec. of IEEE IAS'90*, pp. 1224-1232, 1990.
- [11] L. Batini et al., "A new PWM zero-voltage switching pole with very low additional rms current stress", *Conf. Rec. of IEEE PESC'91*, pp. 261-267, 1991.
- [12] W. McMurray, "Resonant converters with auxiliary switches", *Conf. Rec. of IEEE IAS'89*, pp. 437-444, 1989.
- [13] R. W. De Doncker et al., "Soft-switching for high-power converters", *Session of APEC'90*, pp. 38-53/26, 1990.
- [14] G. Buja, J. L. Lee and P. C. Lee, "Zero-voltage-switched PWM converters", *Conf. Rec. of IEEE PESC'92*, pp. 37-61, 1992.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] M. D. Bellar et all, "A Review of Soft-Switched DC-AC Converters", IEEE Transactions on Industry Applications, pp.847-860, 1998;
- [2] F. C. Schwarz, "An Improved Method of Resonant Current Pulse Modulation for Power Converters", IEEE Transactions on Industrial Electronics, pp.133-141, 1976;
- [3] K. H. Liu, R. Oruganti and F. C. Lee, "Resonant Switches – Topologies and Characteristics", Conf. Rec. of IEEE PESC'85, pp.62-67, 1985;
- [4] O. D. Patterson and D. Divan, "A Pseudo resonant full bridge DC/DC converter", Conf. Rec. of IEEE PESC'87, pp.424-430, 1987;
- [5] H. Foch, "Chopper and PWM inverter using GTOs in Dual Thyristor operation", Conf. Rec. of EPE'87, pp. 383-389, 1987;
- [6] J. G. Cho, et alli, "Three phase sine wave voltage source inverter using the soft switched poles", Conf. Rec. of IECON'89, pp.48-53, 1989;
- [7] J. A. Ferreira et alli, "A generic soft switching converter topology with a parallel nonlinear network for high power applications", Conf. Rec. of IEEE PESC'90, pp.298-303, 1990;
- [8] J. A. Ferreira et alli, "Study of a generic topology for a double nonlinear resonant pole converter", Conf. Rec. of IEEE PESC'92, pp.298-304, 1992;
- [9] Al-Haddad et alli, "A rugged soft commuted PWM inverter for AC driver", Conf. Rec. of IEEE PESC'90, pp.656-662, 1990;
- [10] R. W. De Doncher, "The auxiliary resonant commuted pole converter", Conf. Rec. of IEEE IAS'90, pp.1228-1235, 1990;
- [11] I. Barbi et alli, "A true PWM zero-voltage switching pole with very low additional rms current stress", Conf. Rec. of IEEE PESC'91, pp.261-267, 1991;
- [12] W. McMurray, "Resonant snubbers with auxiliary switches", Conf. Rec. of IEEE IAS'89, pp.829-834, 1989;
- [13] R. W. De Doncker et alli, "Soft switching in high power converters", Seminar of APEC'90, pp.58-53-76, 1990;
- [14] G. Hua, G. S. Leu and F. C. Lee, "Novel zero-voltage transition PWM converters", Conf. Rec. of IEEE-PESC'92, pp.55-61, 1992;



- [15] V. Vlatkovic, D. Borojevic, and F. C. Lee, "Soft-transition three phase PWM conversion technology", Proc. of VPEC Seminar, pp.17-22, 1994;
- [16] V. Vlatkovic et. al., "A new zero-voltage transition, three-phase PWM rectifier/converter circuit", Conf. Rec. of IEEE PESC'93, pp.868-873, 1993;
- [17] H. Mao and F. C. Lee, "Improved zero-voltage-transition 3-phase PWM voltage link converter", Proc. of VPEC Seminar, pp.53-61, 1994;
- [18] C. Quadros et. al., "Space vector modulated, zero-voltage transition three-phase to DC bidirectional converter", Conf. Rec. of IEEE PESC'94, 1994, pp.16-23, 1994;
- [19] H. Mao and F. C. Lee, "Improved on zero-voltage transition three-phase rectifier/inverter", Proc. of VPEC Seminar, pp.19-27, 1995;
- [20] A. Peres e I. Barbi, "Novo inversor de tensão modulado por largura de pulso senoidal com comutação suave empregando a técnica de grampeamento ativo", Anais do CBA'2000, pp.435-440, 2000;
- [21] M. Mezaroba, D. C. Martins e I. Barbi, "Novo inversor ZVS com grampeamento de tensão utilizando um único interruptor auxiliar", Anais do CBA'2000, pp.130-138, 2000;
- [22] Basset, "New zero voltage switching. High frequency boost converter topology for power factor correction", Conf. Rec. of INTELEC'95, pp.813-820, 1995;
- [23] P. D. Tollik, "A new high power single-phase power factor corrector with soft-switching", Conf. Rec. of INTELEC'96, pp.114-119, 1996 ;
- [24] M. Mezaroba, D. C. Martins and I. Barbi, "A ZVS PWM inverter with voltage clamping technique using only a single auxiliary switch", Conf. Rec. of IEEE PESC'00, pp.133-138, 2000;
- [25] M. Mezaroba, D. C. Martins and I. Barbi, "A ZVS PWM half-bridge Inverter with active clamping technique using the reverse recovery energy of the diodes", Conf. Rec. of IEEE PESC-01, pp.1165-1169, 2001;
- [26] M. Mezaroba, D. C. Martins and I. Barbi, "A ZVS PWM three-phase inverter with voltage clamping technique using only a single auxiliary switch", Conf. Rec. of IEEE PESC'03, pp.521-526, 2003;
- [27] C. M. O. Stein, H. L. Hey, J. R. Pinheiro and H. A. Grundling, "Analysis, design, and implementation of a new ZCZVT commutation cell for PWM DC-AC converters", Conf. Rec. of IEEE IAS'01, pp.845-850, 2001;



- [28] C. A. Canesin and I. Barbi, "Novel zero-current switching PWM converter", IEEE Transactions on Industrial Electronics, vol. 44, n.3, pp.372-381, 1997;
- [29] M. J. Bonato, F. T. Wakabayashi and C. A. Canesin, "Novel high-power-factor ZCS-PWM pre-regulators", IEEE Transactions on Industrial Electronics, vol. 48, n. 2, pp.322-333, 2001;
- [30] F. T. Wakabayashi e C. A. Canesin, "Retificador pré-regulador boost com elevados fator de potência e rendimento, para sistemas de telecomunicações", Revista Eletrônica de Potência - SOBRAEP, v. 7, n. 1, pp.71-78, 2002;
- [31] R. A. Duarte, "Uma nova família de conversores CC-CC com comutação não dissipativa do tipo com tensão nula e frequência de chaveamento constante, ZVS-PWM", Dissertação de Mestrado, LEP-UNESP, Ilha Solteira/SP, Julho/03, 82 páginas;
- [32] W. A. Tabisz and F. C. Lee, "Zero-voltage-switching multi-resonant technique – A novel approach to improve performance of high frequency quasi-resonant converters", Conf. Rec. of IEEE PESC'88, pp.9 – 17, 1988;
- [33] K. Philips, "Power electronics: Will our current technical vision takens to the next level of AC drive product performance?", Proc. of CPES Seminar, pp.18-26, 2001;
- [34] V. H. Prasad, S. Dubovsky, N. Celanivi, R. Zhang and D. Boroyevich, "DSP based implementation of a power electronics control system", Proc. of VPEC Seminar, pp.61-68. 1997;
- [35] B. Song, Y. Tang and e J. Lai, "Design improvement of the ZVT IGBT soft-switching inverter for induction motor applications", Proc. of VPEC Seminar, pp.75-82, 1997;
- [36] J. Wu, H. Dai, K. Xing, F. C. Lee and D. Boroyevich, "Implementation of a 100kW three-phase pfc rectifier with ZCT soft-switching technique", Proc. of CPES Seminar,in CD, 1998;
- [37] Y. Li and F. C. Lee, "A novel three-phase zero-current-transition and quasi-zero-voltage-transition inverter/rectifier with optimal variable timing control", Proc. of CPES Seminar, pp.306-313, 1999;
- [38] W. Dong, H. Yu, J. Lai and F. C, Lee, "A novel load adaptive soft-switching control for delta-configured resonant snubber inverter", Proc. of CPES Seminar, pp.291-297, 1999;
- [39] J. M. Coleta, J. C. M. de Lima and F. B. Libano, "A inverter with control based on FPGA", Conf. Rec. of INDUSCON'00, pp.270-274, 2000;



- [40] M. Cirstea, A. Aounis, M. McCormick and P. Urwin, "Vector control system design and analysis using VHDL", Conf. Rec. of IEEE-PESC'01, pp.81-84, 2001;
- [41] G. H. Bode, D. N. Zmood and D. G. Holmes, "A novel hysteresis current controller for multilevel single phase voltage source inverters", Conf. Rec. of IEEE PESC'01, pp 1845-1850, 2001;
- [42] D. L. Perry, "McGraw-Hill Series on Computer Engineering", 2nd Eddition, 1993, 390 páginas;
- [43] K. C. Chang, "Digital design and modeling with VHDL and synthesis", IEE Computer Society Press, 1997, 345 páginas.;
- [44] A. Ahmed, "Eletrônica de Potência", Editora Prentice Hall, São Paulo (SP), 2000, 479 páginas;
- [45] Fausto Donizeti Dantas, Jonas Barcellos de Moraes, Márcio Lorenzoni Portela, Alexandre César Rodrigues da Silva e Carlos Alberto Canesin, "Um controlador digital em VHDL aplicado para correção ativa do fator de potência num regulador de tensão alternada", ENPIC'03, Seminário, em CD, pp 39-49, 2003;
- [46] F. D. Dantas and C. A. Canesin, "A new high-power-factor ac voltage regulator in high-switching frequency of operation", Proc. of COBEP'03, Seminar, in CD, pp 584-589, 2003.



APÊNDICES

Apêndice A - Rotina para Simulação Através do Pspice Orcad 9.1

CIRCUITO DE POTÊNCIA - INVERSOR HALF BRIDGE ZVS - PWM

*Parâmetros de entrada

```
.param fs=33.602k
.param Ts={ 1/fs}
.param frede=60
.param Trede={ 1/frede}
```

*Alimentação

```
Vin1 1 6 200
```

```
Vin2 6 0 200
```

*Interruptor principal Sp1

```
Sp1 1 2 1g 0 INTERRUPTOR
```

```
D1 2 3 DIODO
```

```
Cr1 1 3 330p ic=400
```

```
Dsp1 3 1 DIODO
```

*Interruptor auxiliar Sa1

```
Sa1 8 9 11g 0 INTERRUPTOR
```

```
D3 9 3 DIODO
```

```
Lsa1 8a 8 5n
```

```
Dsa1 3 8a DIODO
```

```
Da1 7 8 DIODO
```

```
Cra1 8 7 13.6n ic=400
```

```
Lr1 6 7 10.8u ic=0
```

*Interruptor principal Sp2

```
Sp2 3 4 2g 0 INTERRUPTOR
```

```
D2 4 0 DIODO
```

```
Cr2 3 0 330p ic=0
```

```
Dsp2 0 3 DIODO
```

*Interruptor auxiliar Sa2

```
Sa2 3 12 22g 0 INTERRUPTOR
```

```
Lsa2 12a 11 5n
```

```
D4 12 12a DIODO
```

```
Dsa2 11 3 DIODO
```

```
Da2 11 10 DIODO
```

```
Cra2 10 11 13.6n ic=400
```

```
Lr2 6 10 10.8u ic=0
```

*Filtro de saída

```
Lo 3 5 2.8m ic=0
```

```
Co 5 6 1u IC=0
```

*Carga

```
Ro 5 6 25.4
```

CIRCUITO DE COMANDO - INVERSOR HALF BRIDGE ZVS - PWM

*Tensão senoidal de referência

Vref_P 88 0 sin(2.6 2.18 {frede} 0 0 2.5)

Vref_N 77 0 sin(-2.6 2.18 {frede} 0 0 2.5)

Vref 55 0 sin(0 7.07 {frede} 0 0 0)

Eref_Pulse 13 0 value={if(V(55)>0,V(88),V(77))}

*Tensão dente de serra

VPULSE_P 14 0 PULSE(0 5 {-Ts/2} {Ts/2} {Ts/2} 0.1p {Ts})

VPULSE_N 15 0 PULSE(0 -5 {-Ts/2} {Ts/2} {Ts/2} 0.1p {Ts})

Epulse 16 0 value={if(V(13)>0,V(14),V(15))}

E1P 20 0 value={if(V(13)>0&V(13)>V(14),10,0)}

E1N 32 0 value={if(V(13)<0&V(13)<V(15),10,0)}

*

*COMANDO PWM - CICLO "POSITIVO" DA SENÓIDE

*

*

*Comando para interruptor auxiliar Sa1

*

*Derivador

Cd1 20 21 1.7n

Rd1 21 0 390

*Pulso Sa1

E2 11g 0 value={if(V(21)>0.35,10,0)}

Re2 11g 0 5k

*

*Comando para interruptor principal Sp1

*

*Sensor de tensão zero sobre o interruptor Sp1

E3a 22 0 TABLE {V(1,3)} (-5,10)(0,10)(125u,10)(8,10)(8.03,0)(400,0)

R6 22 0 5k

*Circuito de atraso de pulso Sp1

D5 22 23 DIODO

R8 23 0 500

R7 23 24 500

C1 24 0 6.8p

*Pulso para o comando do interruptor principal Sp1

E4 1g 0 value={if((V(24)+V(20))>18.55,10,0)}


```

*-----
*COMANDO PWM - CICLO "NEGATIVO" DA SENÓIDE
*-----
*-----
*Comando para interruptor auxiliar Sa2
*-----
*Derivador
Cd2 32 33 1.7n
Rd2 33 0 390

*Pulso Sa2
E6 22g 0 value={if(V(33)>0.35,10,0)}
Re6 22g 0 1k

*-----
*Comando para interruptor principal Sp2
*-----
*Sensor de tensão zero sobre o interruptor Sp2
E7a 34 0 TABLE {V(3)} (-5,10)(0,10)(125u,10)(8,10)(8.03,0)(400,0)
R15 34 0 50k

*Circuito de atraso de pulso Sp2
D6 34 35 DIODO
R17 35 0 500
R16 35 36 500
C2 36 0 6.8p

*Pulso para o comando do interruptor principal Sp2
E8 2g 0 value={if((V(36)+V(32))>18.55,10,0)}

*-----
*MODELO DOS INTERRUPTORES E DIODOS
*-----

.MODEL INTERRUPTOR VSWITCH(ROFF=1E6 VON=4 VOFF=2)
.MODEL DIODO D(Rs=1m TT=0 CJO=0 VJ=0.01)

*TOLERANCIAS
.TRAN 70n 34m 0m 70n uic;*ipsp*
.LIB
.PROBE
.FOUR 60 20 V(5,6)
.OPTIONS itl4=100 itl5=0 abstol=1u vntol=1m reltol=27m;*ipsp*
.END

```

Apêndice B - Código VHDL

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;
```

```
entity control is
```

```
    Port ( clk_50MHz : in std_logic;
          clk_16_7MHZ : out std_logic;
          reset : in std_logic;
          pulso_Sp1 : out std_logic;
          pulso_Sp2 : out std_logic;
          sen : out integer;
          trian : out integer);
```

```
end control;
```

```
architecture controle of control is
```

```
SIGNAL GATE_OUT : STD_LOGIC;
```

```
begin
```

```
-- Neste process é gerado um pulso de clock (GATE) de 16.7MHz, tomando como base o clock de
-- 50MHz da pastilha XILINX ESPARTAN 2E.
```

```
PROCESS(clk_50MHz)
```

```
    VARIABLE I,J,K: INTEGER:=0;
```

```
    VARIABLE GATE_TEMP: STD_LOGIC;
```

```
    BEGIN
```

```
        IF(clk_50MHz'EVENT AND clk_50MHz='1') THEN
```

```
            I:=I+1;
```

```
            if I<3 then GATE_TEMP:= '1';
```

```
                else GATE_TEMP:= '0';
```

```
            end if;
```

```
            if I=3 then I:=0;
```

```
            end if;
```

```
            GATE_OUT<=GATE_TEMP;
```

```
            clk_16_7MHZ<=GATE_TEMP;
```

```
        END IF;
```

```
    END PROCESS;
```



-- Este process é sensível ao pulso de clock (GATE) de 16.7MHz, gerado no process anterior.

PROCESS(GATE_OUT,reset)

VARIABLE sin_ref,F1,F2,function_tri,Estado_clock: INTEGER:=0;

VARIABLE cont_clock_reta,cont_clock_tri,Estado_clock_rede: INTEGER:=0;

VARIABLE set_function_tri,cont_clock_sin,Sinal_semi_ciclo: INTEGER:=0;

VARIABLE Estado_sin : INTEGER RANGE 0 TO 139;

VARIABLE PULSE : STD_LOGIC;

BEGIN

IF(GATE_OUTEVENT AND GATE_OUT='1') THEN

-- Identifica o valor da senóide de referência em função da evolução dos pulsos de clock.

case Estado_sin is

when 0	=>	sin_ref :=	129	;
when 1	=>	sin_ref :=	131	;
when 2	=>	sin_ref :=	132	;
when 3	=>	sin_ref :=	133	;
when 4	=>	sin_ref :=	135	;
when 5	=>	sin_ref :=	136	;
when 6	=>	sin_ref :=	137	;
when 7	=>	sin_ref :=	138	;
when 8	=>	sin_ref :=	140	;
when 9	=>	sin_ref :=	141	;
when 10	=>	sin_ref :=	142	;
when 11	=>	sin_ref :=	144	;
when 12	=>	sin_ref :=	145	;
when 13	=>	sin_ref :=	146	;
when 14	=>	sin_ref :=	147	;
when 15	=>	sin_ref :=	149	;
when 16	=>	sin_ref :=	150	;
when 17	=>	sin_ref :=	151	;
when 18	=>	sin_ref :=	152	;
when 19	=>	sin_ref :=	154	;
when 20	=>	sin_ref :=	155	;
when 21	=>	sin_ref :=	156	;
when 22	=>	sin_ref :=	157	;
when 23	=>	sin_ref :=	159	;
when 24	=>	sin_ref :=	160	;
when 25	=>	sin_ref :=	161	;
when 26	=>	sin_ref :=	162	;
when 27	=>	sin_ref :=	164	;
when 28	=>	sin_ref :=	165	;
when 29	=>	sin_ref :=	166	;
when 30	=>	sin_ref :=	167	;
when 31	=>	sin_ref :=	168	;

when	32	=>	sin_ref	:=	170	;
when	33	=>	sin_ref	:=	171	;
when	34	=>	sin_ref	:=	172	;
when	35	=>	sin_ref	:=	173	;
when	36	=>	sin_ref	:=	174	;
when	37	=>	sin_ref	:=	175	;
when	38	=>	sin_ref	:=	177	;
when	39	=>	sin_ref	:=	178	;
when	40	=>	sin_ref	:=	179	;
when	41	=>	sin_ref	:=	180	;
when	42	=>	sin_ref	:=	181	;
when	43	=>	sin_ref	:=	182	;
when	44	=>	sin_ref	:=	184	;
when	45	=>	sin_ref	:=	185	;
when	46	=>	sin_ref	:=	186	;
when	47	=>	sin_ref	:=	187	;
when	48	=>	sin_ref	:=	188	;
when	49	=>	sin_ref	:=	189	;
when	50	=>	sin_ref	:=	190	;
when	51	=>	sin_ref	:=	191	;
when	52	=>	sin_ref	:=	192	;
when	53	=>	sin_ref	:=	193	;
when	54	=>	sin_ref	:=	194	;
when	55	=>	sin_ref	:=	195	;
when	56	=>	sin_ref	:=	197	;
when	57	=>	sin_ref	:=	198	;
when	58	=>	sin_ref	:=	199	;
when	59	=>	sin_ref	:=	200	;
when	60	=>	sin_ref	:=	201	;
when	61	=>	sin_ref	:=	202	;
when	62	=>	sin_ref	:=	203	;
when	63	=>	sin_ref	:=	204	;
when	64	=>	sin_ref	:=	205	;
when	65	=>	sin_ref	:=	205	;
when	66	=>	sin_ref	:=	206	;
when	67	=>	sin_ref	:=	207	;
when	68	=>	sin_ref	:=	208	;
when	69	=>	sin_ref	:=	209	;
when	70	=>	sin_ref	:=	210	;
when	71	=>	sin_ref	:=	211	;
when	72	=>	sin_ref	:=	212	;
when	73	=>	sin_ref	:=	213	;
when	74	=>	sin_ref	:=	214	;
when	75	=>	sin_ref	:=	214	;
when	76	=>	sin_ref	:=	215	;
when	77	=>	sin_ref	:=	216	;
when	78	=>	sin_ref	:=	217	;
when	79	=>	sin_ref	:=	218	;
when	80	=>	sin_ref	:=	219	;
when	81	=>	sin_ref	:=	219	;
when	82	=>	sin_ref	:=	220	;
when	83	=>	sin_ref	:=	221	;
when	84	=>	sin_ref	:=	222	;
when	85	=>	sin_ref	:=	222	;
when	86	=>	sin_ref	:=	223	;
when	87	=>	sin_ref	:=	224	;




```

when 88      => sin_ref := 225 ;
when 89      => sin_ref := 225 ;
when 90      => sin_ref := 226 ;
when 91      => sin_ref := 227 ;
when 92      => sin_ref := 227 ;
when 93      => sin_ref := 228 ;
when 94      => sin_ref := 229 ;
when 95      => sin_ref := 229 ;
when 96      => sin_ref := 230 ;
when 97      => sin_ref := 230 ;
when 98      => sin_ref := 231 ;
when 99      => sin_ref := 232 ;
when 100     => sin_ref := 232 ;
when 101     => sin_ref := 233 ;
when 102     => sin_ref := 233 ;
when 103     => sin_ref := 234 ;
when 104     => sin_ref := 234 ;
when 105     => sin_ref := 235 ;
when 106     => sin_ref := 235 ;
when 107     => sin_ref := 236 ;
when 108     => sin_ref := 236 ;
when 109     => sin_ref := 237 ;
when 110     => sin_ref := 237 ;
when 111     => sin_ref := 238 ;
when 112     => sin_ref := 238 ;
when 113     => sin_ref := 238 ;
when 114     => sin_ref := 239 ;
when 115     => sin_ref := 239 ;
when 116     => sin_ref := 239 ;
when 117     => sin_ref := 240 ;
when 118     => sin_ref := 240 ;
when 119     => sin_ref := 240 ;
when 120     => sin_ref := 241 ;
when 121     => sin_ref := 241 ;
when 122     => sin_ref := 241 ;
when 123     => sin_ref := 241 ;
when 124     => sin_ref := 242 ;
when 125     => sin_ref := 242 ;
when 126     => sin_ref := 242 ;
when 127     => sin_ref := 242 ;
when 128     => sin_ref := 242 ;
when 129     => sin_ref := 243 ;
when 130     => sin_ref := 243 ;
when 131     => sin_ref := 243 ;
when 132     => sin_ref := 243 ;
when 133     => sin_ref := 243 ;
when 134     => sin_ref := 243 ;
when 135     => sin_ref := 243 ;
when 136     => sin_ref := 243 ;
when 137     => sin_ref := 243 ;
when 138     => sin_ref := 243 ;
when 139     => sin_ref := 243 ;

```

end case;



-- Conta a quantidade de pulsos de clock para meio período de comutação e atribui valores
-- para as duas retas (F1 e F2) que constituem a função triangular.

```
if reset='1' then cont_clock_reta:=0; Estado_sin:=0;  
    else cont_clock_reta:=cont_clock_reta+1;  
end if;
```

```
F1:=248-cont_clock_reta; F2:=cont_clock_reta;
```

-- Contador de pulsos de clock para um período de comutação (1/fs).

```
if reset='1' then cont_clock_tri:=0;  
    else cont_clock_tri:=cont_clock_tri+1;  
end if;
```

-- Identifica se a derivada da função triangular é crescente ou decrescente, para fins de comparação
-- a função de referência senoidal.

```
if cont_clock_tri>248  
then Function_tri:=F2;  
  
else Function_tri:=F1;  
  
end if;
```

-- SAÍDA DE DADOS

-- Gera uma largura de pulso quando a senóide de referência é maior do que a função triangular.

```
IF sin_ref>Function_tri THEN PULSE:='1';
```

```
    ELSE PULSE:='0';
```

```
END IF;
```

-- Identifica qual o semi-ciclo vigente da senóide de referência. Através da variável Estado_clock_rede
 -- é possível identificar se a senóide de saída está no semi-ciclo positivo ou negativo, possibilitando o
 -- controle do sinal de gate para apenas um braço do inversor.

```
if Sinal_semi_ciclo=1 then pulso_Sp2<=PULSE; -- semi-ciclo negativo
```

```
    pulso_Sp1<=0;
```

```
else pulso_Sp1<=PULSE; -- semi-ciclo positivo
```

```
    pulso_Sp2<=0;
```

```
end if;
```

-- Saída de dados complementares.

```
trian<=Function_tri;
```

```
SIN<=Estado_sin;
```

```
sen<=sin_ref;
```

```
SINAL_REDE<=Sinal_semi_ciclo;
```

-- Incrementa a variável estado_clock ao final de cada período de comutação. Além disso, zera o contador
 -- cont_clock_tri. Observa-se que a variável estado_clock conta a quantidade de períodos de comutação
 -- (1/fs), em meio período da rede (60Hz), sendo um total de 280. Através da variável estado_clock é possível
 -- identificar se a derivada na senóide de referência é ascendente ou descendente. Já a variável
 -- Estado_clock_rede conta a quantidade de períodos de comutação (1/fs) durante todo o período da rede
 -- (60Hz), sendo um total de 560.

```
if cont_clock_tri=496 then Estado_clock:=Estado_clock+1; -- contador de estados de 0 a 280
```

```
    cont_clock_tri:=0; -- zera o contador de pulso em 1/fs
```

```
    if Estado_clock<139 then Estado_sin:=Estado_sin+1; -- derivada positiva da senóide
    end if;
```

```
    if Estado_clock=139 then Estado_sin:=139; -- pico da senóide
    end if;
```

```
    if Estado_clock=140 then Estado_sin:=139; -- pico da senóide
    end if;
```

```
    if Estado_clock>140 then Estado_sin:=Estado_sin-1; -- derivada negativa da senóide
    end if;
```

```
    Estado_clock_rede:=Estado_clock_rede+1; -- contador de estados de 0 a 560
```

```
    if Estado_clock_rede>280 then Sinal_semi_ciclo:=1; -- semi ciclo negativo da senóide
    else Sinal_semi_ciclo:=0; -- semi ciclo positivo da senóide
    end if;
```

```
end if;
```

-- Identifica o instante em que a senóide de referência se torna zero (em 360 graus) e reinicia a contagem de
-- estados para o semi ciclo positivo da senóide.

if Estado_clock_rede=560 then Estado_clock_rede:=0;
end if;

-- Identifica o instante em que a senóide de referência se torna zero (em 180 graus) e reinicia a contagem de
-- estados para o semi ciclo negativo da senóide.

if Estado_clock=280 then Estado_clock:=0; Estado_sin:=0;
end if;

-- Zera o contador de pulsos de clock (cont_clock_reta) ao término de meio período de comutação.

if cont_clock_reta=248 then cont_clock_reta:=0;
end if;

END IF;

END PROCESS;

END CONTROLE;





UNIVERSIDADE ESTADUAL PAULISTA
"JÚLIO DE MESQUITA FILHO"

Câmpus de Ilha Solteira
Programa de Pós-Graduação em Engenharia Elétrica
Av. Brasil Centro, 56
15385-000 Ilha Solteira - SP
www.dee.feis.unesp.br

