

UNIVERSIDADE ESTADUAL PAULISTA “JÚLIO DE MESQUITA FILHO” CÂMPUS
EXPERIMENTAL DE SÃO JOÃO DA BOA VISTA BACHARELADO EM ENGENHARIA
ELETRÔNICA E DE TELECOMUNICAÇÕES

PEDRO HENRIQUE PENNA DA SILVA

PROJETO DE CÉLULA DE MEMÓRIA SRAM EM TRÊS DIFERENTES NÓS
TECNOLOGICOS

SÃO JOÃO DA BOA VISTA

2021

PEDRO HENRIQUE PENNA DA SILVA

PROJETO DE CÉLULA DE MEMÓRIA SRAM EM TRÊS DIFERENTES NÓS
TECNOLOGICOS

Trabalho de Conclusão de Curso
apresentado à Universidade Estadual
Paulista “Júlio de Mesquita Filho” como
requisito para obtenção do título de
Bacharel em Engenharia Eletrônica e de
Telecomunicações.

Orientador: Prof (a). Dra. Paula Ghedini
Der Agopian

SÃO JOÃO DA BOA VISTA

2021

S586p

Silva, Pedro Henrique Penna da

Projeto de célula de memória SRAM em três diferentes nós tecnológicos / Pedro Henrique Penna da Silva. -- São João da Boa Vista, 2021

64 f. : il., tabs.

Trabalho de conclusão de curso (Bacharelado - Engenharia de Telecomunicações) - Universidade Estadual Paulista (Unesp), Câmpus Experimental de São João da Boa Vista, São João da Boa Vista

Orientadora: Paula Ghedini Der Agopian

1. Semiconductors. 2. Metal oxide semiconductors. 3. Memória de acesso aleatório. 4. Circuitos eletrônicos. 5. Microeletrônica. I. Título.

Sistema de geração automática de fichas catalográficas da Unesp. Biblioteca do Câmpus Experimental de São João da Boa Vista. Dados fornecidos pelo autor(a).

Essa ficha não pode ser modificada.

UNIVERSIDADE ESTADUAL PAULISTA
“JÚLIO DE MESQUITA FILHO”
CÂMPUS EXPERIMENTAL DE SÃO JOÃO DA BOA VISTA
GRADUAÇÃO EM ENGENHARIA ELETRÔNICA E DE TELECOMUNICAÇÕES

TRABALHO DE CONCLUSÃO DE CURSO

PROJETO DE CÉLULA DE MEMÓRIA SRAM EM TRÊS DIFERENTES NÓS
TECNOLÓGICOS

Aluno: Pedro Henrique Penna da Silva

Orientadora: Prof^ª. Dr^ª. Paula Ghedini Der Agopian

Banca Examinadora:

- Paula Ghedini Der Agopian (Orientadora)
- Jozue Vieira Filho (Examinador)
- Wilian Miranda dos Santos (Examinador)

A ata da defesa com as respectivas assinaturas dos membros encontra-se no prontuário do aluno (Expediente nº 058/2021)
--

São João da Boa Vista, 10 de novembro de 2021

RESUMO

Com um mundo cada vez mais tecnológico, as pessoas passaram a exigir mais velocidade e maior desempenho dos aparelhos eletroeletrônicos. Baseado nessas informações a principal estratégia foi a diminuição no tamanho dos componentes eletrônicos para então ter uma redução em área, colocando mais componentes e assim, aumentando a complexidade dos circuitos.

A partir dos anos 70, a tecnologia MOSFET, revelou ser capaz de construir transistores cada vez menores, de chaveamento rápido e alta capacidade de escalonamento. Através desta miniaturização e a diminuição na área ocupada, foi possível construir aparelhos com um número maior de transistores, melhorando assim, a sua velocidade e o seu desempenho.

Neste trabalho foi estudado uma célula de memória de acesso aleatório estático de seis transistores 6TSRAM, que foi projetada através do *software* Microwind2 para três diferentes nós tecnológicos: 350 nm, 130 nm e 65 nm. Este trabalho teve como base a comparação dos resultados entre os três nós tecnológicos. A primeira comparação a ser feita foi sobre o tamanho dos transistores e a área total ocupada pela célula de memória. A segunda foi sobre a velocidade de escrita e leitura da célula. A última foi a comparação da margem de ruído estático. O intuito foi mostrar que conforme diminuisse o nó tecnológico teria um ganho de espaço, velocidade e maior susceptibilidade a ruídos. Nesta monografia também é ressaltado o problema de diminuir muito o tamanho do nó tecnológico utilizando a tecnologia MOSFET, que começa a ser influenciada pelos efeitos de canal curto.

Palavras chaves: MOS, célula de memória 6TSRAM, Nós tecnológicos.

ABSTRACT

With a world that is becoming more and more technological, people started to demand more speed and higher performance from electro-electronic devices. Based on this information, the main strategy was to reduce the size of the electronic components to then have a reduction in area, placing more components and thus increasing the complexity of the circuits.

Starting in the 1970s, the MOSFET technology revealed itself capable of building ever-smaller transistors, with fast switching and high scaling capacity. Through this miniaturization and the decrease in the occupied area, it was possible to build devices with a larger number of transistors, thus improving their speed and performance.

In this work a six-transistor 6T1SRAM static random access memory cell was studied, which was designed through Microwind2 software for three different technology nodes: 350 nm, 130 nm and 65 nm. This work was based on comparing the results between the three technology nodes. The first comparison to be made was about the size of the transistors and the total area occupied by the memory cell. The second was about the write and read speed of the cell. The last one was the comparison of the static noise margin. The intention was to show that as the technology node was reduced, there would be a gain in space, speed, and greater susceptibility to noise. This monograph also highlights the problem of decreasing the size of the technology node too much using MOSFET technology, which starts to be influenced by short channel effects.

Keywords: MOS, technological nodes, 6T1SRAM.

AGRADECIMENTOS

Dedico meu trabalho de conclusão de curso a Universidade Estadual Paulista – UNESP que me proporcionou a oportunidade de um ensino de qualidade e de forma gratuita. À todos docentes que colaboraram com seus ensinamentos para minha formação profissional. Em especial a minha orientadora Dra Paula Ghedini Der Agopian pela paciência em suas explicações para obtenção dos resultados desta monografia, e também pelos seus ensinamentos em eletrônica que levarei para vida toda. Dedico também ao meu pai, minha mãe e família que sempre me forneceram oportunidades e incentivos para estudar. E por último, dedico de forma mais especial ao meu avô materno Sr Celio Penna (in memorian) que sempre me incentivou a fazer esta graduação, sempre me suportou nos momentos mais difíceis da faculdade e tinha o grande sonho de me ver formar.

LISTA DE FIGURAS

Figura 1- Composição dos transistores NMOS e PMOS.	13
Figura 2- Estrutura de uma DRAM (a) e de uma SRAM (b).	14
Figura 3- Ilustração do acesso à célula.....	16
Figura 4- Célula de uma memória DRAM.[4]	18
Figura 5 - Inversores de acoplamento cruzado.[7]	19
Figura 6- Inversor CMOS.	20
Figura 7 - Regiões de operação do Inversor CMOS.[6].....	21
Figura 8 - Comportamento Dinâmico do Inversor CMOS.....	22
Figura 9 - 6TSRAM.	22
Figura 10 - 4TSRAM.[7].....	23
Figura 11 - 8TSRAM. [7].....	24
Figura 12 - Circuito completo 6TSRAM.[8].....	25
Figura 13 - Modo Leitura 6TSRAM.	26
Figura 14 - Modo escrita 6TSRAM.	27
Figura 15 - Circuito para obtenção da SNM para o modo standby.	28
Figura 16 - Gráfico para retirar a medida da SNM para o modo Standby.[8].....	29
Figura 17 - Código e modelo analisado pelo Microwind.	31
Figura 18 - Tela do <i>Help</i> do AIMSPICE destacando o nível correspondente ao do Microwind.	31
Figura 19 - Circuito sem infringir nenhuma regra de <i>layout</i>	33
Figura 20 - Regra do Conector.	34
Figura 21 - Comprimento e largura de todos transistores do circuito.	34
Figura 22 - Regra de layout para o nó de 130 nm.	35
Figura 23 - <i>Layout</i> do circuito para 130 nm.	36
Figura 24 - Medida da área da célula com nó de 350 nm.....	37
Figura 25 - Funcionamento da célula de memória para o nó de 350 nm.	38
Figura 26 - Circuito complexo para Leitura. [16]	38
Figura 27 - Circuito externo para leitura.	39
Figura 28 - Ligação entre a célula de memória e o circuito de leitura.	40
Figura 29 - Tempo de Escrita da célula de 350 nm para possibilidade 1.	41
Figura 30 - Tempo de Leitura da célula de 350 nm para possibilidade 1.	41
Figura 31 - Tempo de Escrita da célula de 350 nm para possibilidade 2.	42
Figura 32 - Tempo de Leitura da célula de 350 nm para possibilidade 2.	42
Figura 33 - Tempo de Escrita da célula de 350 nm para possibilidade 3.	43
Figura 34 - Tempo de Leitura da célula de 350 nm para possibilidade 3.	43
Figura 35 - SNM para o nó de 350 nm.....	44
Figura 36 - Medida da área da célula com nó de 130nm.	46
Figura 37 - Funcionamento da célula de memória para o nó de 130nm.	47
Figura 38 - Tempo de Escrita da célula de 130 nm para possibilidade 1.	47
Figura 39 - Tempo de Leitura da célula de 130 nm para possibilidade 1.	48
Figura 40 - Tempo de Escrita da célula de 130 nm para possibilidade 2.	48
Figura 41 - Tempo de Leitura da célula de 130 nm para possibilidade 2.	49
Figura 42 - Tempo de Escrita da célula de 130 nm para possibilidade 3.	49
Figura 43 - Tempo de Leitura da célula de 130 nm para possibilidade 3.	50
Figura 44 - SNM para o nó de 130 nm.....	51
Figura 45 - Medida da área da célula com nó de 65 nm.	52
Figura 46 - Funcionamento da célula de memória para o nó de 65 nm.	53
Figura 47 - Tempo de Escrita da célula de 65 nm para possibilidade 1.	53
Figura 48 - Tempo de Leitura da célula de 65 nm para possibilidade 1.	54
Figura 49 - Tempo de Escrita da célula de 65 nm para possibilidade 2.	54
Figura 50 - Tempo de Leitura da célula de 65 nm para possibilidade 2.	55
Figura 51 - Tempo de Escrita da célula de 65 nm para possibilidade 3.	55
Figura 52 - Tempo de Leitura da célula de 65 nm para possibilidade 3.	56
Figura 53 - SNM para o nó de 65nm.....	57

LISTA DE TABELAS

Tabela 1 - Comprimento (L) e Largura (W) dos transistores para o nó de 350 nm.	36
Tabela 2 – Tempos de Escrita e Leitura para o nó de 350 nm.	44
Tabela 3 - Comprimento (L) e Largura (W) dos transistores para o nó de 130 nm.	45
Tabela 4 - Tempos de Escrita e Leitura para o nó de 130 nm.	50
Tabela 5 - Comprimento (L) e Largura (W) dos transistores para o nó de 65nm.	51
Tabela 6 - Tempos de Escrita e Leitura para o nó de 65 nm.	56
Tabela 7 – Comparação do tamanho dos transistores para os três nós.	58
Tabela 8 – Comparação da área ocupada pela célula para os três nós.	58
Tabela 9 – Comparação dos tempos de escrita e leitura nos três nós para 1ª possibilidade.	59
Tabela 10 – Comparação dos tempos de escrita e leitura nos três nós para 2ª possibilidade.	60
Tabela 11 - Comparação dos tempos de escrita e leitura nos três nós para 3ª possibilidade.	60
Tabela 12 – Comparação da SNM para os três diferentes nós.	61

LISTA DE SÍMBOLOS

VDD	Tensão aplicada no dreno do transistor (V)
V_t	Tensão de limiar (V)
V_{INV}	Tensão de inversão lógica (V)
VE	Tensão de entrada (V)
t_f	Tempo de descida (ns)
t_r	Tempo de subida (ns)
VSS	Tensão de saída da fonte (V)
W	Largura de canal (μm)
L	Comprimento de canal (μm)
λ	Medida fornecida pelo software MicroWind e difere dependente do nó

LISTA DE ABREVIATURA

MOSFET'S	Transistor de efeito de campo Metal-óxido-semicondutor
MOS	<i>Metal-Oxide semiconductor</i>
PMOS	Transistor MOSFET tipo canal P
NMOS	Transistor MOSFET tipo canal N
SRAM	<i>Static Random-Access Memory</i>
DRAM	<i>Dynamic Random-Access Memory</i>
6TSRAM	<i>6 Transistors Static Random-Access Memory</i>
RAM	<i>Random-Access Memory</i>
CMOS	<i>Complementary Metal-Oxide Semiconductor</i>
DDP	Diferença de potencial
4TSRAM	<i>4 Transistors Static Random-Access Memory</i>
8TSRAM	<i>8 Transistors Static Random-Access Memory</i>
BL	<i>BitLine</i>
WL	<i>WordLine</i>
GND	<i>Ground</i>
SNM	<i>Static Noise Margin</i>
IEEE	<i>Institute of Electrical and Electronic Engineers</i>

Sumário

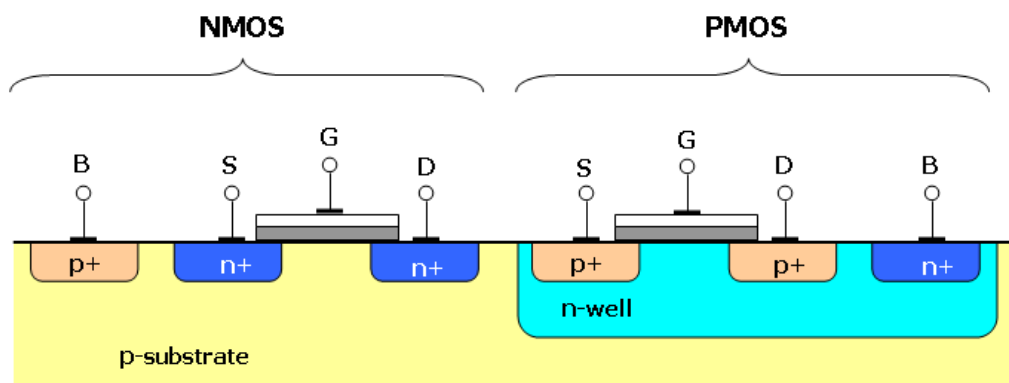
1.	INTRODUÇÃO	13
1.1	Objetivo do Trabalho.....	14
1.2	Estrutura do Trabalho.	14
2.	REVISÃO BIBLIOGRÁFICA.....	16
2.1	Memória semicondutora de acesso aleatório.	16
2.1.1	Memória semicondutora de acesso aleatório dinâmico (DRAM).	17
2.1.2	Memória semicondutora de acesso aleatório estático (SRAM).....	18
2.1.2.1	Operação de uma SRAM.....	18
2.1.2.2	Inversor CMOS.	19
2.1.2.3	Célula de Bits.	22
2.2	A célula de Bits 6TSRAM.....	24
2.2.1	Modo standby	25
2.2.2	Modo Leitura	25
2.2.3	Modo Escrita	26
2.3	Tempo de acesso à célula.....	27
2.3.1	Tempo de acesso à escrita.	27
2.3.2	Tempo de acesso à leitura.....	27
2.4	Margem de ruído estático(SNM).....	27
2.4.1	SNM para o Modo <i>standby</i>	28
2.5	Nós Tecnológicos.....	29
3.	MATERIAIS E MÉTODOS	30
3.1	Softwares utilizados no trabalho.....	30
4.	RESULTADOS E DISCUSSÕES.....	32
4.1	. Projeto da célula de memória 6TSRAM.....	32
4.1.1	Célula de memória desenvolvida para o nó tecnológico de 350 nm.	36
4.1.2	Célula de memória desenvolvida para o nó tecnológico de 130 nm.	45
4.1.3	Célula de memória desenvolvida para o nó tecnológico de 65nm.	51
4.2	Comparação dos resultados.	57
5.	CONCLUSÃO	62
	REFERÊNCIAS	63

1. INTRODUÇÃO

Com o advento da tecnologia e a disseminação de aparelhos eletroeletrônicos pelo mundo, começou-se a exigir maior capacidade de armazenamento, mais velocidade e maior desempenho destes aparelhos. A fim de obter estes requisitos, a tecnologia voltou-se a MOSFET'S que tem uma grande aplicabilidade, um chaveamento rápido, baixa perda de potência e uma grande capacidade de miniaturização.

A tecnologia MOS é composta de uma estrutura metal-óxido-semicondutor, onde geralmente o semicondutor utilizado é o silício. Os transistores desta tecnologia podem ser classificados como PMOS e NMOS, onde a diferenciação das dopagens definirá se é um NMOS ou PMOS. Através da Figura 1 é possível observar os transistores formados pela tecnologia MOS. [1]

Figura 1- Composição dos transistores NMOS e PMOS.



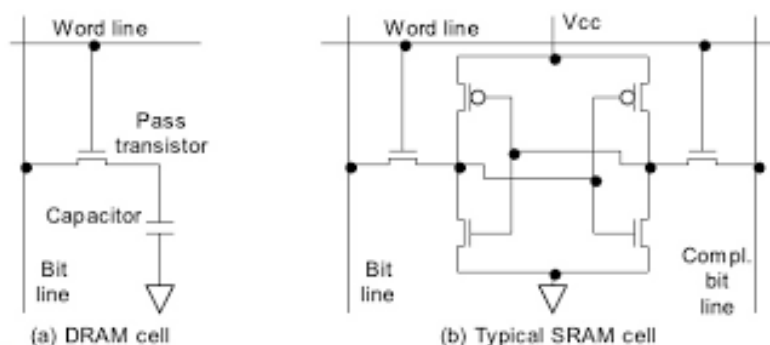
Fonte: Santos, B, 2019. [2]

Os transistores MOS ganharam grande prestígio devido ao fato de ter uma grande capacidade de miniaturização, quanto menores as dimensões do transistor, menor o nó tecnológico. No entanto, vale lembrar que além da redução das dimensões, muitas vezes esta evolução também está associada à melhoria do processo de fabricação. Com essa redução do tamanho tem-se uma menor área de silício ocupada por estes componentes, possibilitando aumentar a quantidade de componentes numa mesma área, ou seja, aumentando a densidade de integração dos dispositivos. A maior integração permite que se tenha mais funcionalidades em uma pastilha de silício.

Muitos circuitos passaram a ser estudados através da miniaturização de seus componentes. Um desses dispositivos é a memória semicondutora de acesso aleatória

estático (SRAM), que é abundantemente utilizada como memórias cache em microprocessadores devido sua alta velocidade de operação, já que ela mesma mantém sozinha o dado armazenado, não precisando de outros componentes como a memória semicondutora de acesso aleatório dinâmico (DRAM), que necessita de um capacitor para manter o dado e acaba ocasionando uma diminuição na velocidade de resposta da mesma [3]. Na Figura 2 é possível observar ambas memórias.

Figura 2- Estrutura de uma DRAM (a) e de uma SRAM (b).



Fonte: Krishnan, Arunkumar, 2018. [3]

Neste trabalho de conclusão de curso decidiu-se focar no projeto de uma célula de memória SRAM utilizando-se diferentes nós tecnológicos e avaliar o impacto desta modificação causada pela diminuição do nó tecnológico, ou seja, avaliar como isso impacta na sua resposta, velocidade e tamanho. Para isso foram utilizados três diferentes nós tecnológicos: 350 nm, 130 nm e 65 nm. Neste estudo decidiu-se utilizar a célula de memória SRAM composta por seis transistores que é conhecida como 6TSRAM, pois geralmente é a mais utilizada.

1.1 Objetivo do Trabalho.

Neste trabalho estudou-se o circuito de uma célula de memória semicondutora de acesso aleatório estático de seis transistores (6TSRAM) projetada com três diferentes nós tecnológicos, com intuito de fazer uma comparação de desempenho, velocidade e área otimizada conforme fosse diminuindo o tamanho do nó tecnológico.

1.2 Estrutura do Trabalho.

Este trabalho foi estruturado em cinco capítulos, que estão dispostos na seguinte

sequência:

Capítulo 1: No primeiro capítulo está situada a introdução onde é apresentado a importância da diminuição dos componentes através da tecnologia MOS e como a diminuição nos componentes ajudou na melhoria de tecnologias passadas.

Capítulo 2: No capítulo dois está apresentada a revisão bibliográfica, onde está disposto as memórias semicondutoras de acesso aleatório (RAM). Também é neste capítulo que está apresentado a memória semicondutora de acesso aleatório estático de seis transistores (6T1SRAM), cujo é o principal objeto de estudo deste trabalho. E por último é apresentado os nós tecnológicos que serão utilizados.

Capítulo 3: Neste capítulo é exposto todos os métodos e materiais utilizados para o desenvolvimento deste estudo.

Capítulo 4: É neste capítulo que são apresentados os resultados e discussões, detalhando a obtenção dos resultados, explicando-os e comparando-os.

Capítulo 5: Neste capítulo é apresentada a conclusão.

E por fim são fornecidas as referências bibliográficas deste trabalho.

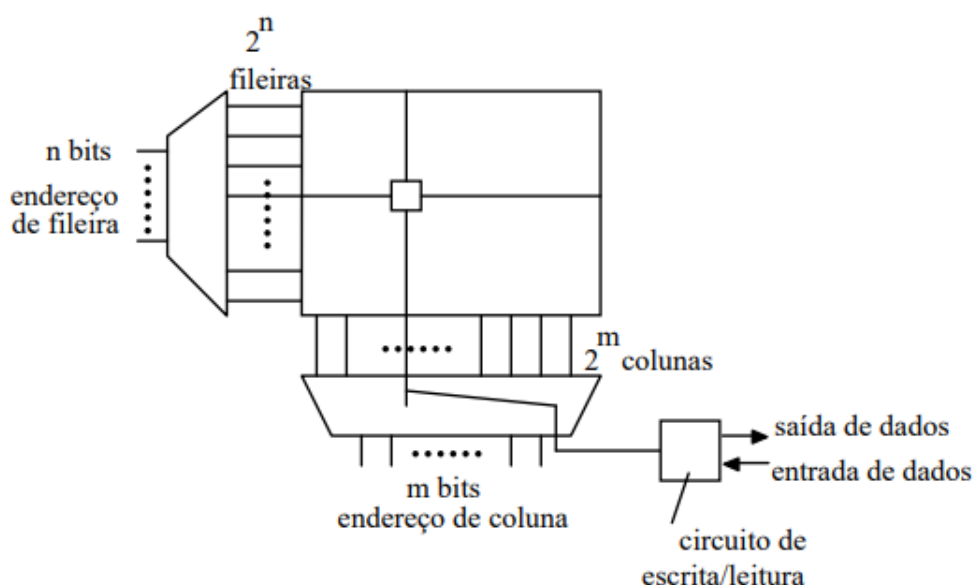
2. REVISÃO BIBLIOGRÁFICA

2.1 Memória semicondutora de acesso aleatório.

A memória semicondutora de acesso aleatório (RAM) , é conhecida desta forma, por permitir o acesso a qualquer endereço da memória, em qualquer posição e no mesmo tempo tanto para escrita quanto para leitura. Isto a torna diferente de algumas memórias que impõem o acesso sequencial, como fitas magnéticas e discos. A RAM é uma memória volátil, ou seja, ela mantém o dado armazenado através de um mecanismo de *feedback* que fica ‘girando’ o dado na célula e o mantendo reforçado até caso a energia seja cortada. O armazenamento de uma RAM é feito por células que são compostas por componentes como transistores e capacitores, os quais armazenam o dado e os mantêm até que a energia seja cortada ou se sobreescreva um outro dado por cima deste. [4]

As células que armazenam os dados ficam dispostas em linhas e colunas. As colunas são chamadas de linhas de bits (*BitLines*) e é por onde os dados trafegam para serem armazenados. A linha que é chamada de linha de palavra (*WordLine*) é controlada do lado de fora do armazenamento da memória. Esta linha de palavra é responsável por permitir ou não a entrada de dados a serem armazenados na célula. Na Figura 3 observa-se a ilustração de como as células são acessadas para leitura e escrita. [4]

Figura 3- Ilustração do acesso à célula.



Fonte: Chau, W.J, 2017. [4]

O custo para produção de uma memória RAM de alto desempenho está ligado a

capacidade de miniaturização da célula, diminuindo o tamanho de seus componentes através de diferentes nós tecnológicos. Quando colocam-se mais células numa mesma área que foi otimizada, espera-se ter uma maior capacidade de armazenamento e um maior desempenho da memória. Isto pode ser também encontrado nas literaturas que se reportam a Lei de Moore, que observou que o número de transistores em uma mesma área de silício crescia exponencialmente com o passar do tempo [4] .

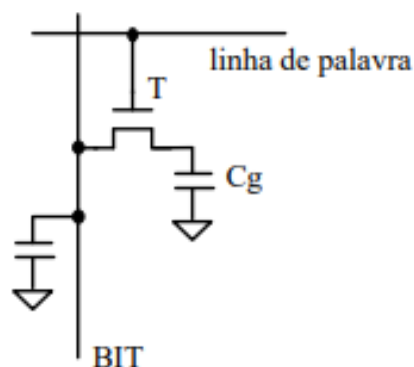
As memórias RAM's são divididas em dois tipos, a memória de acesso aleatório dinâmico (DRAM) e a memória de acesso aleatório estático (SRAM), a qual engloba o estudo deste trabalho. Ambas serão descritas posteriormente.

2.1.1 Memória semicondutora de acesso aleatório dinâmico (DRAM).

Um tipo de memória RAM é a memória semicondutora de Acesso Aleatório Dinâmico (DRAM), e o que a diferencia para a SRAM é o circuito de sua célula de memória, que é composto por um capacitor MOS e um transistor MOS. O capacitor faz com que a memória tenha um sistema de atualização de dado, porém ao utilizar um capacitor há perdas de cargas elétricas devido sua composição, portanto, para o dado ser mantido deve-se reescrevê-lo a todo momento, com o intuito de manter o capacitor na sua carga inicial. Vale ressaltar também que devido ao fato de ser composta por capacitores a DRAM é mais suscetível a ruídos, podendo até ter perdas de dados por este fato. [4] [5]

Devido ao seu sistema de atualização de dado, a DRAM torna-se mais lenta no quesito de tempo quando comparada a uma SRAM, porém ela é amplamente usada, devido ao circuito de sua célula ser simples, sendo composto somente por um capacitor e um transistor, como pode ser observado na Figura 4. Com isso, somente um transistor e um capacitor são utilizados para manter um bit, diferente da SRAM que no mínimo utilizará 4 transistores para manter um bit, o que permite uma economia na área da célula e portanto, uma maior capacidade de armazenamento por área. [5]

Figura 4- Célula de uma memória DRAM.[4]



Fonte: Chau, W.J, 2017. [4]

A DRAM tem um baixo custo devido ao fato de ter uma grande economia na área do chip para sua produção, isto torna ela viável a ser utilizada como memória principal de computadores.

2.1.2 Memória semicondutora de acesso aleatório estático (SRAM).

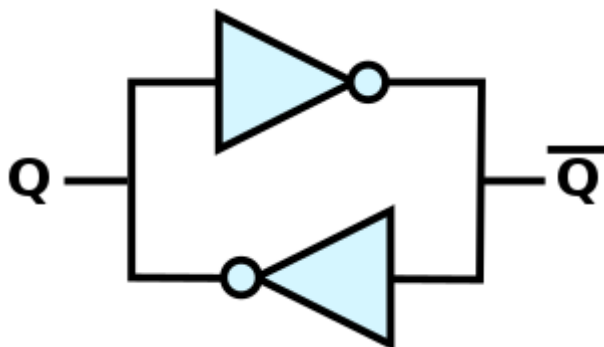
A memória de acesso aleatório estático (SRAM) é outro tipo de memória RAM. A diferença entre uma SRAM e uma DRAM é o circuito de sua célula, que é composto por um circuito biestável, formado normalmente por quatro transistores que formam dois inversores CMOS acoplados de maneira que a entrada de um é a saída do outro, tornando a SRAM mais estável que a DRAM, pois é menos suscetível a ruídos, oscilações e perda de dados. A SRAM é mais rápida do que uma DRAM pelo fato do circuito biestável ser o mecanismo de *feedback*, não necessitando então do sistema de atualização de dados como na DRAM. Por outro lado pelo seu circuito biestável ser composto por quatro transistores, sua área por célula e consequentemente por chip é maior que a de uma DRAM, contudo pesquisadores veem estudando células SRAM em diferentes nós tecnológicos e tentando diminuir sua área e melhorar seu desempenho.[4]

2.1.2.1 Operação de uma SRAM.

A SRAM é composta de células que contêm um mecanismo de *feedback*, que vai manter o dado armazenado enquanto o dispositivo estiver ligado. Comumente o mecanismo de *feedback* pode ser projetado por um par de inversores com acoplamento cruzado, onde a entrada de um é a saída do outro, portanto, enquanto houver energia o

dado sempre será mantido na célula. A Figura 5 ilustra o mecanismo de *feedback* da SRAM.

Figura 5 - Inversores de acoplamento cruzado.[7]



Fonte: WikiChip. [7]

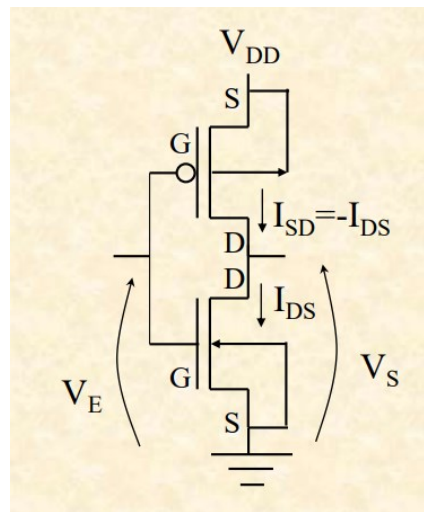
De maneira simples para escrever um novo dado na célula deve-se direcionar o dado e o seu complemento para a entrada e saída dos inversores. Para ler um dado armazenado, deve-se fazer a leitura da saída da célula. Posteriormente nesta monografia os processos de Leitura e de Escrita serão detalhados a fundo.[7]

Para entender melhor o circuito de *feedback*, é necessário um melhor entendimento do circuito inversor.

2.1.2.2 Inversor CMOS.

O inversor CMOS é constituído por dois transistores em série, curto circuitados pela sua porta, sendo um PMOS e um NMOS. Contém-se a fonte do transistor P ligado a VDD e a fonte do transistor N ligado ao terra. A Figura 6 ilustra um inversor CMOS.

Figura 6- Inversor CMOS.



Fonte: Agopian. P.G.D., 2020. [6]

O inversor CMOS pode ser caracterizado por dois comportamentos, o estático e o dinâmico. No comportamento estático o inversor CMOS opera em 5 regiões diferentes (A, B, C, D e E) conforme ilustrado pela Figura 7. Na região A pode-se observar que a diferença de potencial (DDP) entre porta e a fonte do NMOS (V_E) é 0, já a DDP entre porta e fonte do PMOS é $-V_{DD}$, portanto tem-se uma condução de PMOS e um corte em NMOS, o que faz com que PMOS esteja na região de triodo e NMOS na região de corte.

Na região B a tensão de entrada é aumentada de tal forma que seja maior que a tensão de limiar (V_t) de NMOS, permitindo então a passagem de corrente pelo mesmo, através disso, NMOS entra na região de saturação e PMOS ainda continua na região de triodo.

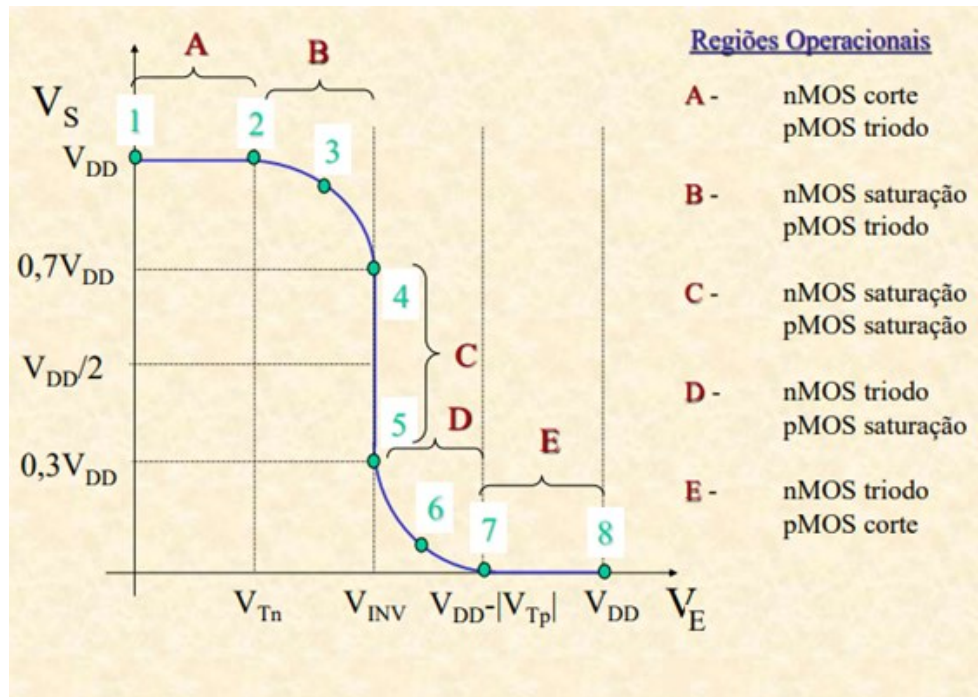
Na região C, a tensão de entrada continua sendo aumentada de forma que fique maior que a tensão de limiar de ambos transistores, permitindo então a passagem de corrente pelos mesmos, de modo que, ambos transistores estão na região de saturação. Ainda na região C pode-se observar a diminuição da tensão de saída quando comparada a de entrada, essa diminuição chama-se tensão de inversão (V_{INV}).

Na Região D pode-se observar um aumento na tensão de entrada, tornado-a maior que a tensão de Inversão (V_{INV}) e é quando NMOS passa a conduzir na região de triodo e PMOS continua em saturação.

Na Região E têm-se um aumento de V_E fazendo com que o valor da DDP entre porta e fonte do PMOS seja menor que sua tensão de limiar (V_t), passando então o

transistor PMOS a região de corte e o transistor NMOS a região de triodo.[6]

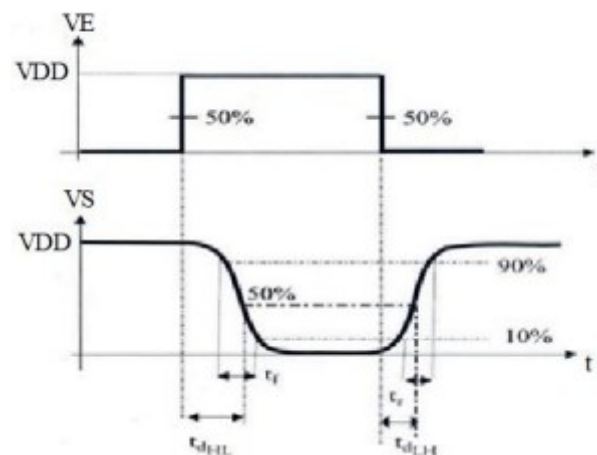
Figura 7 - Regiões de operação do Inversor CMOS.[6]



Fonte: Agopian. P.G.D., 2020. [6]

No comportamento dinâmico é aplicado a entrada do inversor CMOS um sinal quadrado e após isso, observa-se a saída do dispositivo. A Figura 8 ilustra o sinal quadrado aplicado a entrada e o sinal mensurado na saída. Através da Figura 8 observa-se um atraso da propagação do sinal para saída. Esse atraso pode ser mensurado através do tempo de descida (t_f) que é medido a partir do momento que o sinal de saída diminui de $0,9 V_{DD}$ até $0,1 V_{DD}$. Já o tempo de subida (t_r) é mensurado de maneira análoga só que ao contrário, sendo do momento que o sinal de saída atinge $0,1 V_{DD}$ até o momento que atinge $0,9 V_{DD}$. [1]

Figura 8 - Comportamento Dinâmico do Inversor CMOS.

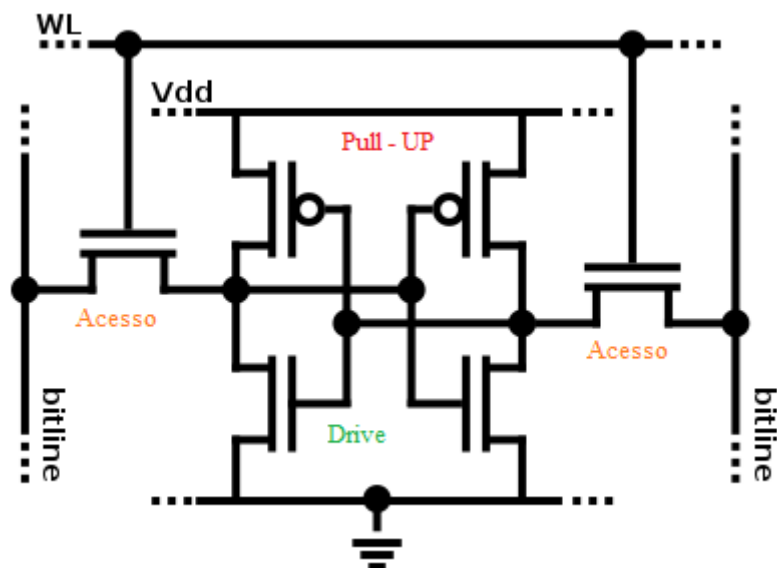


Fonte: Martino, J. A. Pavanello.,et al, 2004.[1]

2.1.2.3 Célula de Bits.

A célula de bits mais utilizada é a célula de bits de seis transistores, chamada de 6T1SRAM, esta foi escolhida para ser o principal foco deste estudo. A célula 6T1SRAM é composta por 6 transistores, sendo quatro compondo o par de inversores cruzado, onde os dois PMOS são conhecidos como PULL-UP e os dois NMOS são conhecidos como *Drive* e sendo mais dois NMOS como transistores de acesso. Na Figura 9 observa-se a composição da célula 6T1SRAM.

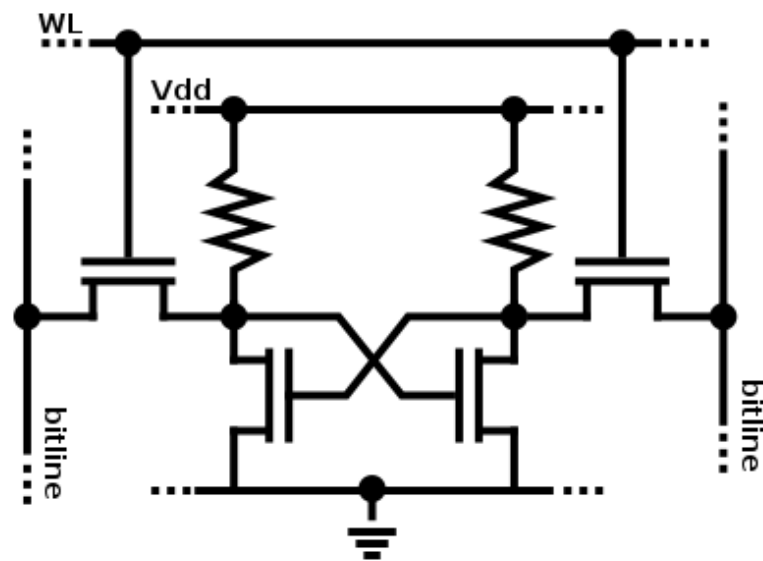
Figura 9 - 6T1SRAM.



Fonte: WikiChip. [7]

Outra célula de bits, porém menos utilizada é a de quatro transistores (4T1SRAM), onde dois transistores são de acesso à célula e outros dois são NMOS. No lugar dos dois transistores PMOS para formar os inversores cruzados, são utilizados dois resistores de alta resistência, porém com a utilização dos resistores têm-se uma pior dissipação de energia estática. O circuito da célula 4T1SRAM pode ser observado na Figura 10.[7]

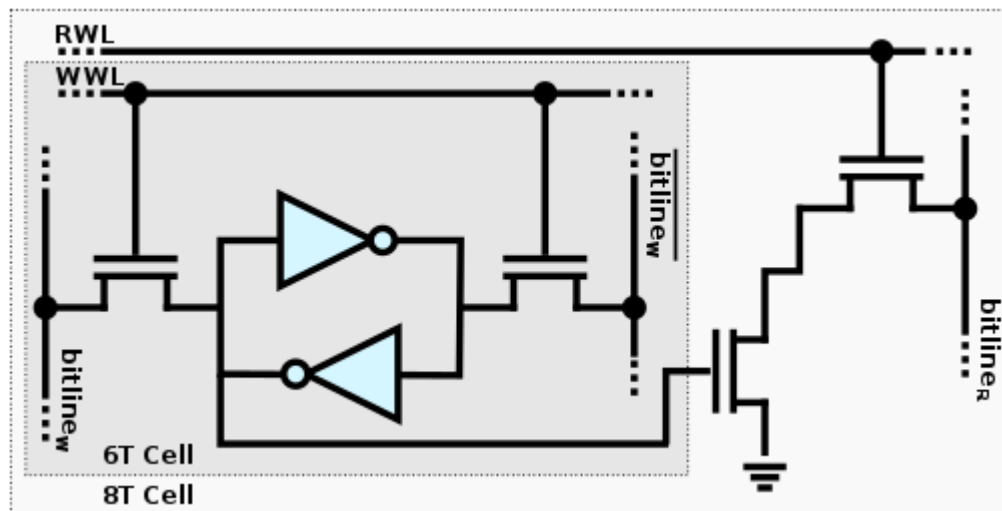
Figura 10 - 4T1SRAM.[7]



Fonte: WikiChip. [7]

Por último, há a célula de oito transistores 8T1SRAM, que é uma forma aprimorada da 6T1SRAM. Na 8T1SRAM, tem-se a escrita separada da leitura, o que faz com que obtenha-se uma leitura melhor e mais limpa. Para fazer a leitura com essa separação deve-se adicionar dois transistores a 6T1SRAM, com isso formando a 8T1SRAM. A célula 8T1SRAM é ilustrada na Figura 11, onde têm-se a 6T1SRAM e os outros dois transistores separados, formando a leitura da 8T1SRAM.[7]

Figura 11 - 8TSRAM. [7]



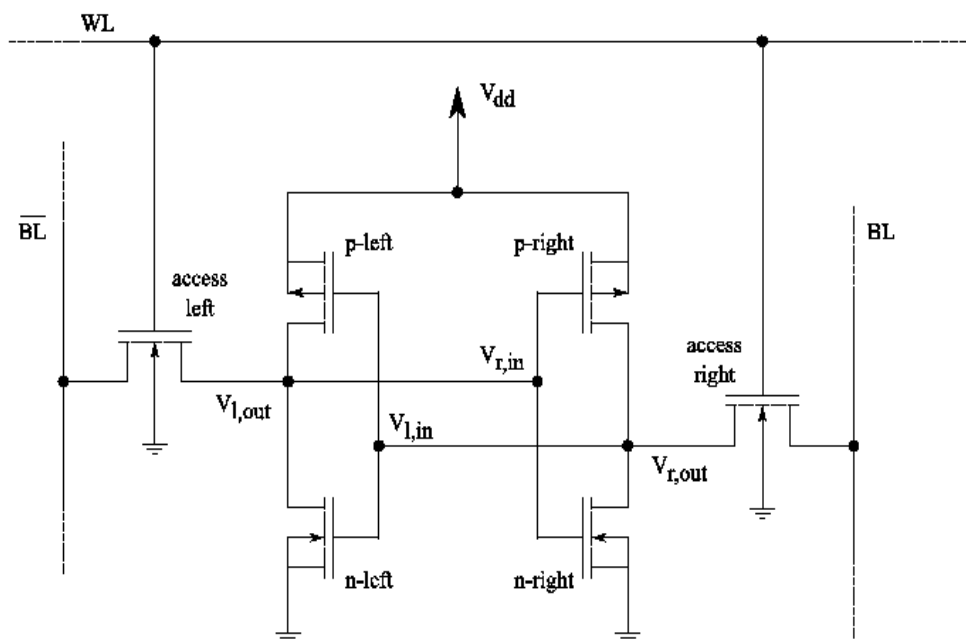
Fonte: WikiChip. [7]

2.2 A célula de Bits 6TSRAM.

A célula escolhida para este estudo foi a 6TSRAM, devido ao fato de ter uma capacidade de diminuição na sua área, ter boas margens de ruído estático, baixo vazamento de dados e uma densidade relativamente boa.

O circuito que compõe a 6TSRAM de forma mais complexa tem um par de inversores CMOS como acoplamento cruzado, um par de transistores de acesso, dois pontos de tráfego do dado para célula chamado de *BitLine* (BL), onde trafega o dado pela BL e seu complemento pela BL barrada. Tem-sê também a *WordLine*, que controla os transistores de acesso e permite ou não o fluxo de dados para a célula. A Figura 12 retrata completamente o circuito esquemático da célula 6TSRAM, onde, observa-se a WL, BL, BL barrada, dois transistores de acesso controlados pela WL e os inversores CMOS cruzados.[8]

Figura 12 - Circuito completo 6T1SRAM.[8]



Fonte: ENTNER, R., 2007. [8]

A 6T1SRAM pode operar em 3 modos, o modo *standby* quando está mantendo um dado preso nela, o modo de leitura quando está lendo um dado e o modo de escrita quando esta escrevendo um dado na célula.

2.2.1 Modo standby

O modo *standby* é quando um dado sendo mantido na célula através do mecanismo de *feedback*. Neste modo há nível lógico baixo '0' na WL, portanto, os transistores de acesso estão desativados, não permitindo o acesso da BL a célula e com isso os inversores de acoplamento cruzado continuam a funcionar e manter o dado 'vivo' na célula. [9]

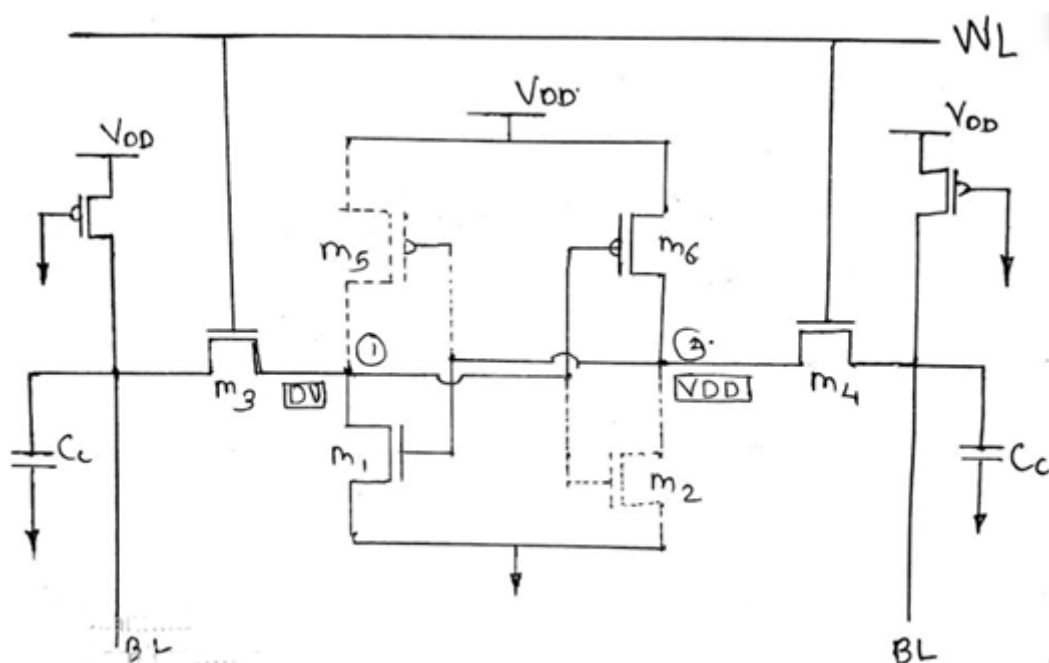
2.2.2 Modo Leitura

Primeiramente para entender o modo de leitura deve-se observar a Figura 13 e supor que têm-se 0 Volts (v) no nó 1 e V_{DD} no nó 2. Através dessa suposição os transistores M5 e M2 estarão desligados devido ao valor de tensão em sua porta e os transistores M1 e M6 estarão ligados.

No modo leitura há um pré carregamento das linhas de BIT com V_{DD} , também é colocado em nível lógico alto '1' a WL que faz com que os transistores de acesso M3 e M4 estejam habilitados pela sua porta. Para o transistor de acesso M4 não existe diferença

de potencial entre dreno e fonte, portanto não há passagem de corrente por ele. Já para o transistor M3 existe uma diferença de potencial entre dreno e fonte o que faz uma corrente fluir no sentido M3 $\rightarrow$ M1 $\rightarrow$ GND. Esta corrente faz com que o nível de tensão da BL comece a cair o que resulta então na descarga do capacitor parasita formado na BL, fazendo com que a tensão no nó 1 aumente e seja detectada pelo amplificador de sentido, amplificado e lido pelo circuito de leitura de dados. Na Figura 13 observa-se o Modo de Leitura de uma célula 6T1RAM.[9]

Figura 13 - Modo Leitura 6T1RAM.



Fonte: HETALGO, Savi., 2018. [9]

2.2.3 Modo Escrita

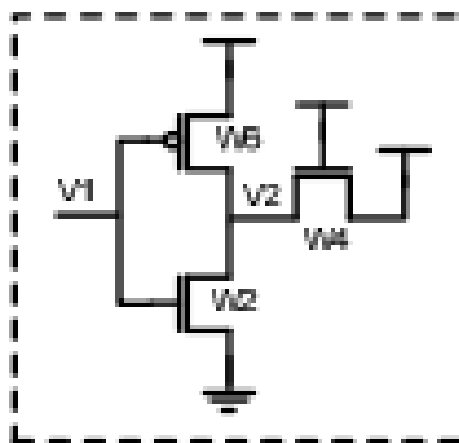
Para entendimento do modo escrita deve-se supor o nó 1 como VDD e o nó 2 como 0, fazendo com que agora M1 e M6 estejam desligados e M2 e M5 ligados. Após isso têm-se a WL em nível lógico alto '1', portanto os transistores de acesso M3 e M4 estão habilitados pela porta. Para escrever o 0 do nó 2 no nó 1, têm-se que encontrar uma maneira de descarregar o VDD presente no nó 1. Uma maneira é levar o transistor M5 a saturação, com isso M1 vai habilitar, tendo passagem de corrente do nó 1 ao GND e portanto, 0 é escrito no nó 1. A Figura 14 retrata o processo de escrita da célula 6T1RAM.[9]

for maior que a SNM o dado da célula pode ser corrompido ou até perdido. A SNM é obtida através de 3 passos, o primeiro é obter a curva de transferência do inversor esquerdo da célula, o segundo é obter do direito e o terceiro é plotar ambas curvas em um mesmo gráfico. A SNM pode ser medida nos três modos de operação da célula SRAM, contudo ela é melhor utilizada quando medida no modo *standby*, pois é quando um dado está preso na célula e sujeito a oscilações e ruídos externos e é neste momento que não pode ter uma perda ou mudança deste dado.[11]

2.4.1 SNM para o Modo *standby*

A principal SNM a ser obtida é a do modo *standby*, pois é quando o dado está sendo mantido na célula e este não pode de maneira nenhuma sofrer oscilação ou uma mudança de estado, pois posteriormente o dado será lido de forma errônea. A SNM é medida obtendo a curva de transferência de ambos inversores da célula SRAM e plotando ambas em um mesmo gráfico. O circuito para medir a curva de transferência do inversor direito da célula no modo *standby* está apresentado pela Figura 15, para o inversor do lado esquerdo é só espelhar o circuito para o outro inversor. [11]

Figura 15 - Circuito para obtenção da SNM para o modo *standby*.

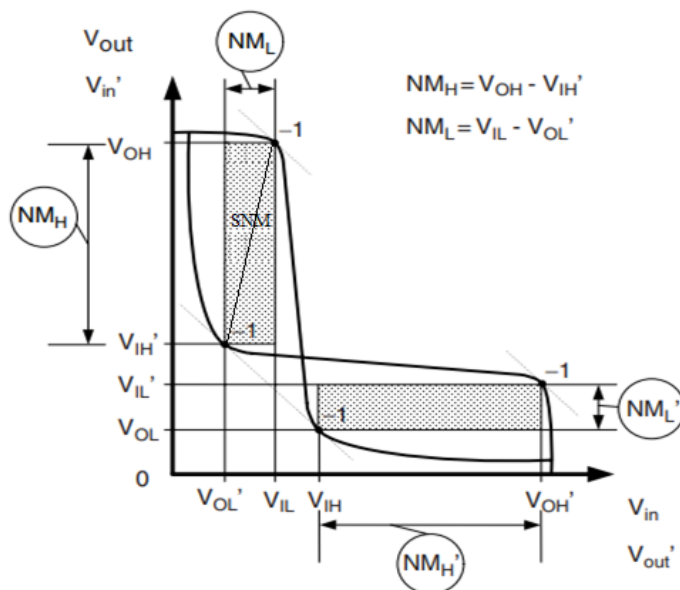


Fonte: C. D. C. Arandilla.,et al, 2011.[11]

Neste circuito um nível lógico é colocado no V1 e sua saída medida em V2, obtendo assim a curva de transferência do Inversor CMOS. Obtendo a curva de transferência de ambos inversores e plotando-as no mesmo gráfico obtêm-se algo semelhante a Figura 16, onde é a SNM é medida em volts pelo comprimento diagonal do retângulo. Para obter este comprimento diagonal deve-se mensurar a NML (comprimento

lateral do retângulo) e a NMH (comprimento de altura do retângulo), após isso, deve-se elevar ambas ao quadrado, soma-las e retirar a raiz do resultado ($SNM = \sqrt{NML^2 + NMH^2}$). Esta é uma maneira mais simplista e qualitativa de medir a SNM, já que a maneira real é mais complexa e envolve um cálculo muito grande e acaba chegando em resultados muito parecidos.[11]

Figura 16 - Gráfico para retirar a medida da SNM para o modo Standby.[8]



Fonte: : ENTNER, R., 2007. [8]

2.5 Nós Tecnológicos

Um nó tecnológico refere-se a um processo de fabricação de semicondutor e suas regras de projeto. Quanto menor o nó tecnológico, menor será os componentes produzidos com ele. Quanto menor o nó tecnológico menor é a área ocupada por um componente, com isso, consegue-se colocar mais componentes naquela área, aumentar o seu desempenho e muitas vezes gerar um componente mais veloz. Segundo um relatório do IEEE um novo e menor nó tecnológico surge a cada dois anos.[12][13]

Os nós tecnológicos escolhidos para o estudo foram três: 350 nm, 130 nm e 65 nm para que fosse possível melhor compreender a evolução desta célula de memória com a evolução tecnológica, chegando a valores bem mais baixos que os tratados durante a graduação. A 6TSRAM será projetada para estes nós e então será avaliado seu desempenho a partir de análise comparativa de suas figuras de mérito.

3. MATERIAIS E MÉTODOS

Vale considerar que esta monografia foi totalmente realizada de maneira virtual e por isso foram utilizados os seguintes softwares:

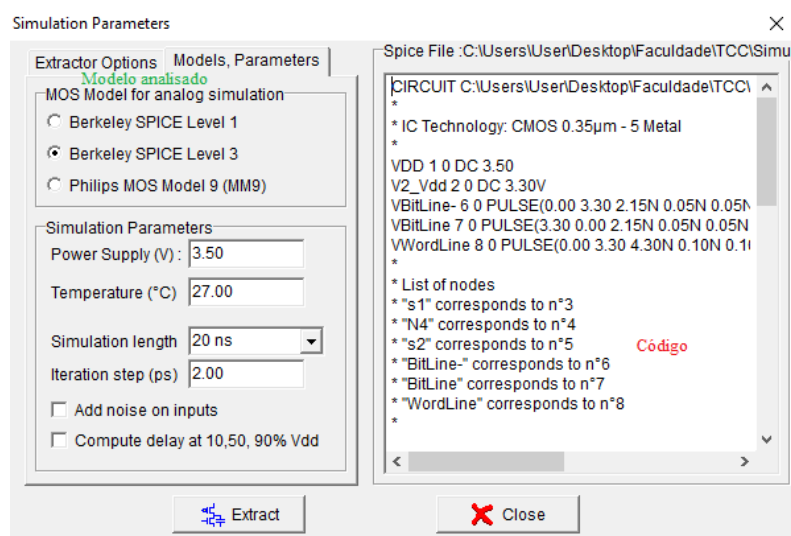
- Simulador e confeccionador de circuitos integrados Microwind2 ;
- Simulador de Circuitos AIM-SPICE.

3.1 Softwares utilizados no trabalho

O primeiro *software* utilizado foi o Microwind2, que já é um *software* consolidado na confecção de circuitos integrados. O Microwind2 vem de uma série de programas para desenvolvimento de circuito integrado, cujo a tela tem um fator de escala (λ) e não uma dimensão já pré definida, portanto quando seleciona-se um nó tecnológico o programa já define o tamanho do λ . A grande vantagem de utilizar o λ é a facilidade de mudar e adequar os parâmetros caso haja uma mudança de nó tecnológico. Como neste trabalho tem três nós tecnológicos diferentes, todos parâmetros das células de memória foram baseados em λ . No Microwind2 também foram simulados e obtidos alguns resultados sobre a memória.

O segundo *software* utilizado foi o AIM-SPICE. Este *software* foi utilizado de maneira complementar, pois a simulação do circuito projetado (*layout*) utiliza os modelos spice. Este nos auxiliou a trabalhar com a menor tecnologia, onde efeitos de canal curto devem ser considerados, e podendo-se entender melhor os resultados obtidos pelas simulações. Vale ressaltar que o Microwind2 gera o código do circuito a ser simulado no AIM-SPICE. Na Figura 17 é possível observar o modelo analisado (Berkeley SPICE Level 3) e o código gerado pelo Microwind. Já na Figura 18 observa-se a quantidade de níveis que tem no AIM-SPICE e após uma análise, descobriu-se que o Level no AIM-SPICE correspondente ao Berkeley SPICE Level 3 era o nível 3 que está destacado na Figura 18.

Figura 17 - Código e modelo analisado pelo Microwind.



Fonte: Elaborado pelo autor.

Figura 18 - Tela do *Help* do AIMSPICE destacando o nível correspondente ao do Microwind.

MOSFET Model

```
.MODEL [model name] NMOS <model parameters>
.MODEL [model name] PMOS <model parameters>
```

AIM-Spice supports a wide variety of MOSFET models. The parameter LEVEL selects which model to use. The default is LEVEL=1.

LEVEL=1	Shichman-Hodges
LEVEL=2	Geometric based analytical model
LEVEL=3	Semi-empirical short channel model
LEVEL=4	BSIM1 (Berkeley Short Channel Igfet Model)
LEVEL=5	BSIM2 (as described in [1])
LEVEL=6	MOS6 (as described in [2])
LEVEL=7	An universal extrinsic short channel MOS model (as described in Section 3.9 in [3])
LEVEL=8	An unified long channel MOS model (as described in Section 3.10 and 3.11 in [3])
LEVEL=9	A short channel MOS model (as described in Section 3.10 and 3.11 in [3])
LEVEL=10	An unified intrinsic short channel model (as described in Section 3.10 and 3.11 in [3])
LEVEL=11	An unified extrinsic amorphous silicon thin film transistor model (as described in Section 5.2 in [3])
LEVEL=12	A model for polysilicon thin film transistors (as described in Section 5.3 in [3])
LEVEL=13	BSIM3 version 2.0 [4]
LEVEL=14	BSIM3 version 3.1 [5]
LEVEL=15	ASIA2, amorphous-Si TFT model
LEVEL=16	PSIA2, poly-Si TFT model
LEVEL=17	BSIM3 version 3.2.4

Fonte: Elaborado pelo autor.

Ao simular o código gerado pelo Microwind2 no AIM-SPICE observou-se que realmente o problema estava no Microwind2 em executar de maneira correta alguns resultados.

4. RESULTADOS E DISCUSSÕES

4.1. Projeto da célula de memória 6TSRAM.

Ao iniciar o desenvolvimento da célula de memória, o intuito principal era projetar o circuito parametrizado em λ . A quantidade de 2λ refere-se à dimensão mínima da tecnologia. Assim parametrizando as dimensões por λ podemos fazer uma comparação entre as tecnologias de maneira mais justa (tendo a dimensão mínima de cada uma como referência). Vale ressaltar que apesar de parametrizados em λ é importante reveras regras de *layout* quando mudamos a tecnologia pois, estas regras são diferentes para cada nó tecnológico.

Para desenvolvimento da célula de memória, primeiramente foi observado e analisado o circuito da Figura 12 e de acordo com a referência [14] que auxilia na construção do *layout* da célula de memória para circuitos integrados. A sua construção foi feita através de um processo chamado N-Well CMOS que utiliza de 3 metais diferentes e de fotomáscaras para produção dos 6 transistores da memória. Antes de começar a confecção da célula, deve-se primeiramente fazer um bom dimensionamento da largura e comprimento de canal dos 6 transistores, com intuito de que não haja grandes problemas de leitura e escrita na célula.

Segundo [14] os transistores N (transistores de drive) do inversor de acoplamento cruzado devem ter uma relação $\frac{W}{L}$ maior que a relação dos transistores de acesso e estes devem ter uma relação maior que os transistores P (transistores de Pull-Up) do inversor de acoplamento cruzado. Portanto, a relação deve ser da seguinte forma: $\frac{W}{L}$ dos transistores de drive são maiores que $\frac{W}{L}$ dos Transistores de Acesso, que por sua vez, são maiores que $\frac{W}{L}$ dos Transistores de Pull-UP. Seguindo a indicação da referência base deste trabalho [14], decidiu-se usar a seguinte relação de $\frac{W}{L}$:

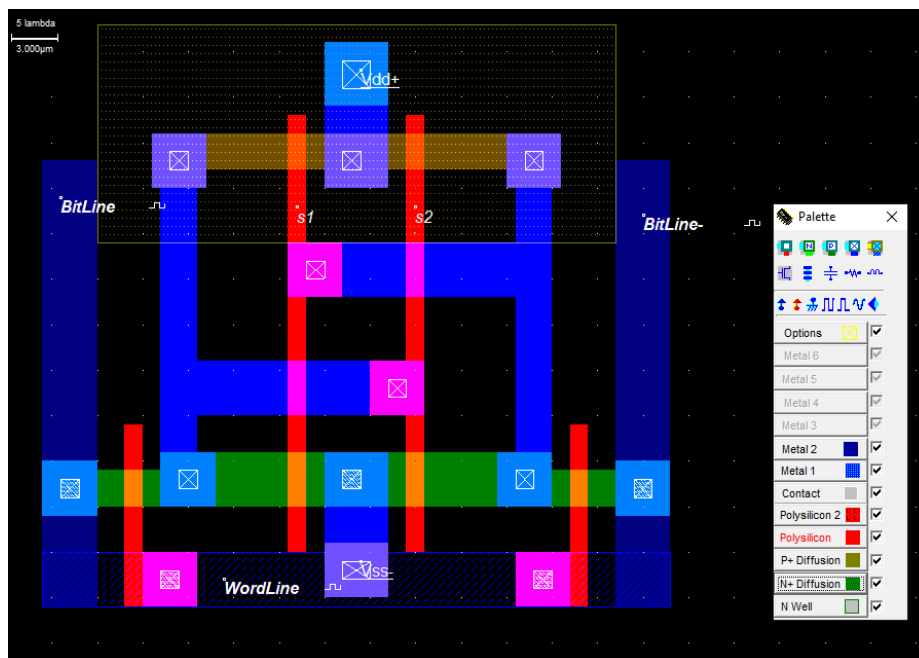
- Transistores N do acoplamento cruzado (Drive) = $\frac{W}{L} = \frac{6\lambda}{2\lambda}$;
- Transistores de Acesso = $\frac{W}{L} = \frac{4\lambda}{2\lambda}$;
- Transistores P do acoplamento cruzado (Pull-UP) = $\frac{W}{L} = \frac{3\lambda}{2\lambda}$.

O circuito foi implementado o circuito com 3 metais diferentes, sendo o metal 1 para tensão de alimentação (V_{DD}) e aterramento (V_{SS}), metal 2 para a BitLine e BitLine barrada por onde passarão os dados, e metal 3 para a WordLine que é por onde passa o sinal que

controlará os transistores de acesso e que permitirá a entrada de dado ou não. Já para fazer a ligação entre as portas dos transistores de acoplamento cruzado, conforme o circuito ilustrado na Figura 12, utilizou-se polisilicon. [14]

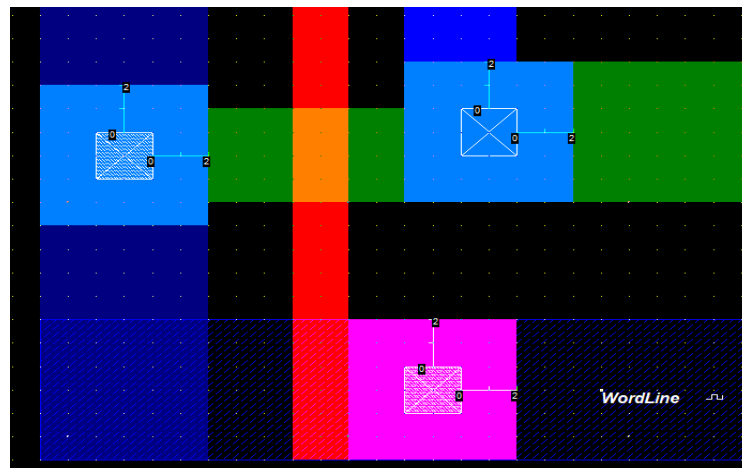
Ao concluir o primeiro circuito para teste descobriu-se uma regra de *layout* que não permitiria nenhuma largura de canal ser menor que 4λ , sendo necessário alterar o W do transistor de Pull-UP para 4λ . Vale ressaltar também a regra de *layout* que não permite um espaçamento menor que 2λ de distância de qualquer conector para a borda de qualquer elemento do circuito, por isso tem-se um “quadrado” maior de elementos ao redor do conector. Ao finalizar a montagem, o primeiro circuito obtido sem infringir nenhuma regra de *layout* está apresentado na Figura 19. Já na Figura 20 é possível observar a regra de layout intitulado como “regra do conector” que já foi citada anteriormente. Na Figura 21 observar o comprimento e largura dos transistores de Drive, Pull-UP e Acesso.

Figura 19 - Circuito sem infringir nenhuma regra de *layout*.



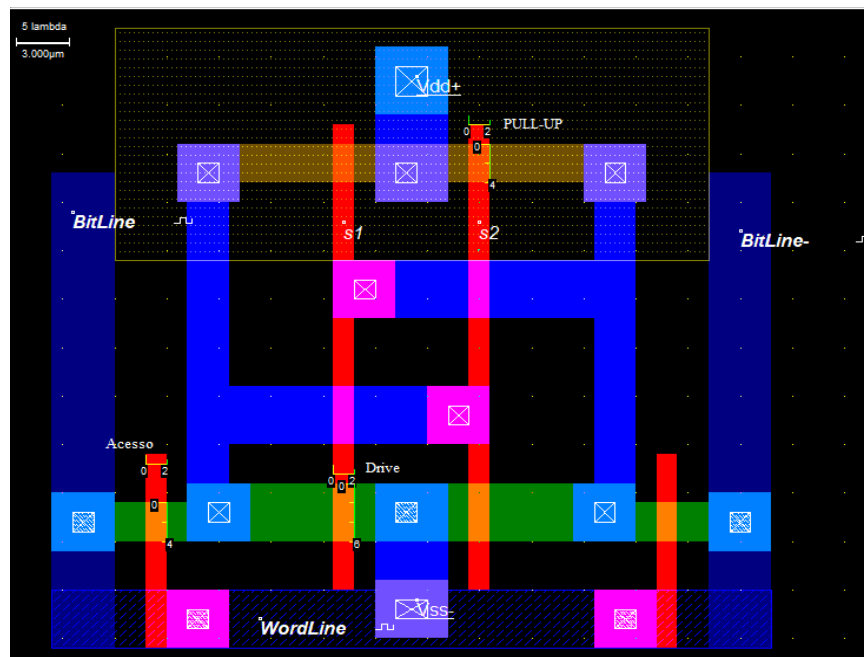
Fonte: Elaborado pelo autor.

Figura 20 - Regra do Conector.



Fonte: Elaborado pelo autor.

Figura 21 - Comprimento e largura de todos transistores do circuito.

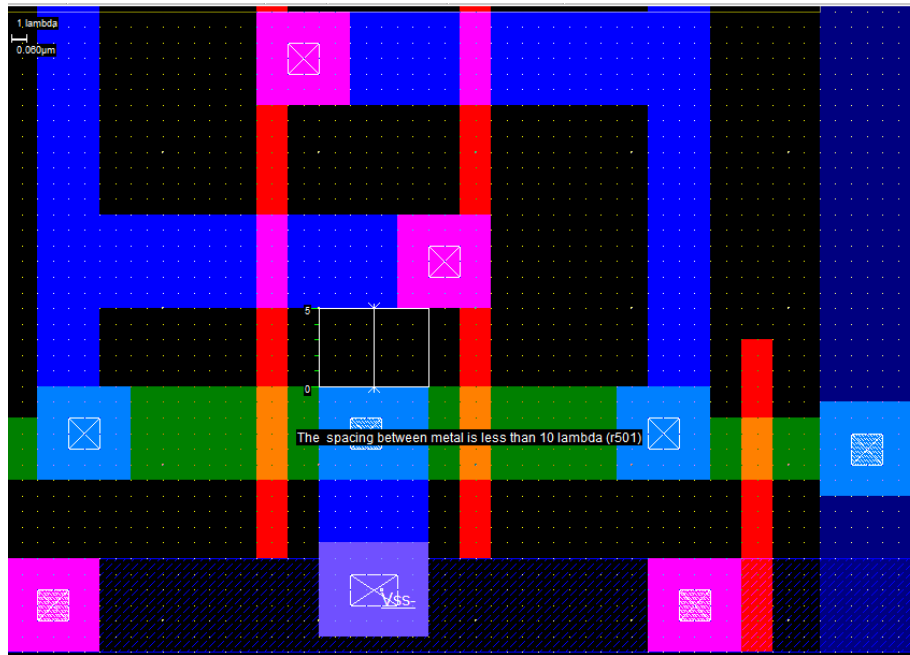


Fonte: Elaborado pelo autor.

Ao obter o circuito sem infringir nenhuma regra de *layout*, foram selecionados e implementados neste circuito os nós tecnológicos de 350 nm, 130 nm e 65 nm com intuito de verificar quando há uma mudança no nó tecnológico, haveria também alguma infração de regra de layout. Para o nó de 350 nm não houve nenhuma infração e portanto não necessitou fazer mudança no circuito. Para os nós de 130 nm e 65 nm houve uma infração que dizia que o tamanho dos conectores que interligavam metais diferentes não poderiam ser menores que 3λ , infração esta que foi facilmente corrigida. Somente para o nó de 130

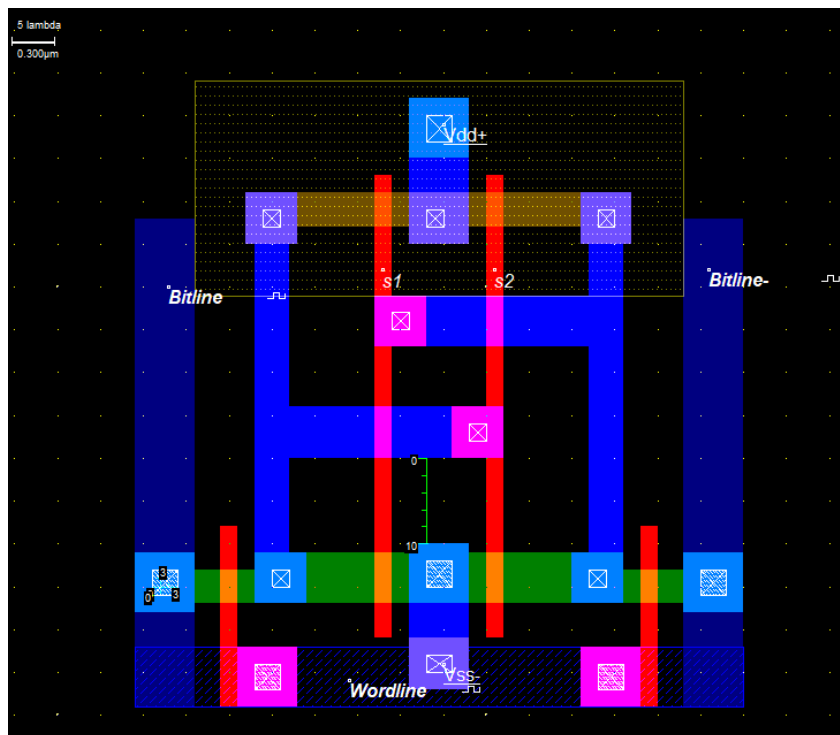
nm houve uma infração que diz que o metal do conector que liga o transistor de Drive ao terra deveria se distanciar em 10λ do metal de cruzamento dos inversores. Esta infração pode ser observada na Figura 22.

Figura 22 - Regra de layout para o nó de 130 nm.



Fonte: Elaborado pelo autor.

Ao aumentar essa distância para 10λ o erro foi corrigido, e o nó tecnológico de 130nm ficou com o circuito ilustrado na Figura 23. Pode-se observar também o aumento para 3λ nos conectores.

Figura 23 - *Layout* do circuito para 130 nm.

Fonte: Elaborado pelo autor.

4.1.1 Célula de memória desenvolvida para o nó tecnológico de 350 nm.

O primeiro nó tecnológico escolhido para análise foi o nó de 350 nm, que segundo [15] deve utilizar uma tensão de alimentação de 3,3V. Como já citado anteriormente o *software* define a dimensão mínima como 2λ para cada nó tecnológico e neste caso o valor de λ para o nó tecnológico de 350 nm é $0,2 \mu\text{m}$. Com isso os valores dos transistores convertidos em metros estão amostrados na Tabela 1.

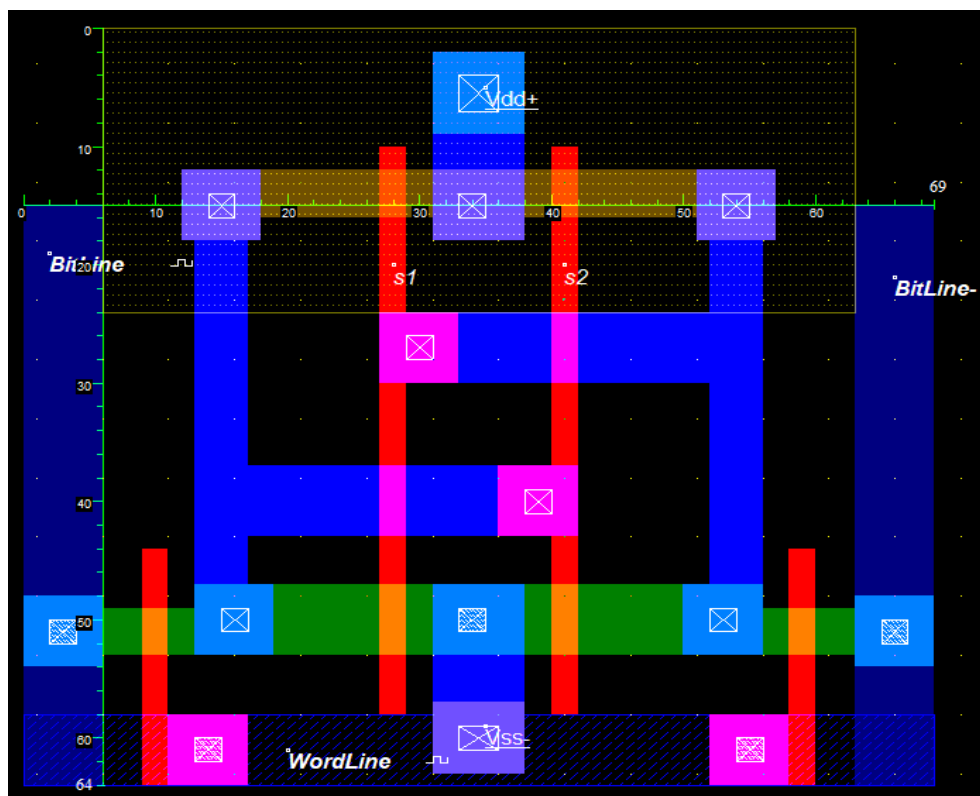
Tabela 1 - Comprimento (L) e Largura (W) dos transistores para o nó de 350 nm.

	W	L
Transistor de Drive	$6\lambda = 1,2 \mu\text{m}$	$2\lambda = 0,4 \mu\text{m}$
Transistor de Pull-UP	$4\lambda = 0,8 \mu\text{m}$	$2\lambda = 0,4 \mu\text{m}$
Transistor de Acesso	$4\lambda = 0,8 \mu\text{m}$	$2\lambda = 0,4 \mu\text{m}$

Fonte: Elaborado pelo autor.

A próxima análise a ser feita neste nó, foi o quanto de área total a célula ocupa. Esta área obteve tamanho de $64\lambda \times 69\lambda$, ou seja, a área total composta por esta célula é de $12,8 \mu\text{m}$ por $13,8 \mu\text{m}$, ou seja, $176,64 \mu\text{m}^2$. Esta área pode ser observada através da Figura 24.

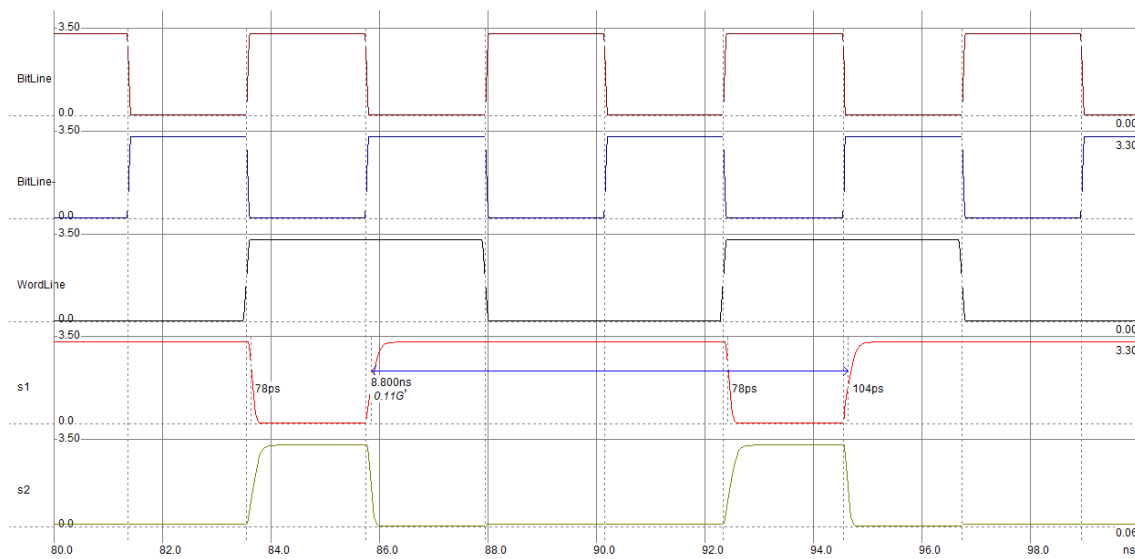
Figura 24 - Medida da área da célula com nó de 350 nm.



Fonte: Elaborado pelo autor.

A primeira observação feita é a respeito do sinal da *WordLine*. Quando a *WordLine* encontra-se em nível lógico alto, tem-se a passagem dos dados da *BitLine* e *BitLine* barrada para dentro da célula e quando ela esta em nível lógico baixo, não há escrita e o dado é mantido dentro da célula sem variação na saída. Vale ser ressaltado que quando a *WordLine* está em nível lógico alto e a *BitLine* também, a saída 1(s1) deve ter o nível lógico baixo, já que o dado passa por um inversor para chegar a saída 1 e vice-versa. Quando se tem nível lógico baixo na *BitLine*, a saída 1 deve ter um nível lógico alto. Já para a *Bitline* barrada vale o mesma lógica, porém para a saída 2(s2). Ao observar a Figura 25 constata-se que este circuito está funcionando de maneira correta.[14]

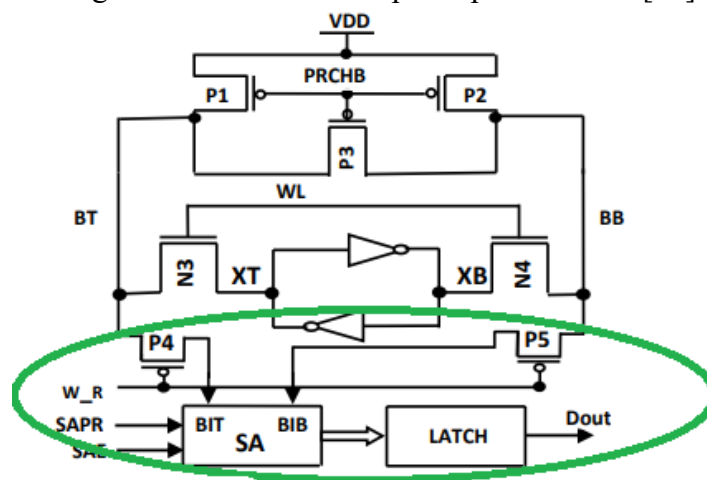
Figura 25 - Funcionamento da célula de memória para o nó de 350 nm.



Fonte: Elaborado pelo autor.

Os próximos resultados a serem analisados são os tempos que os dados demoram para serem escritos e lidos nesta célula. Como já citado anteriormente, o tempo de escrita é descrito pela quantidade de tempo que o dado leva para obter seu nível lógico na saída, a partir do momento que a *WordLine* foi ativada. Deve-se observar o tempo de subida da saída para se escrever 1 e tempo de descida para se escrever 0. Já para o tempo de leitura poderia ser desenvolvido um circuito complexo, este circuito está circundado em verde e pode ser observado na Figura 26.

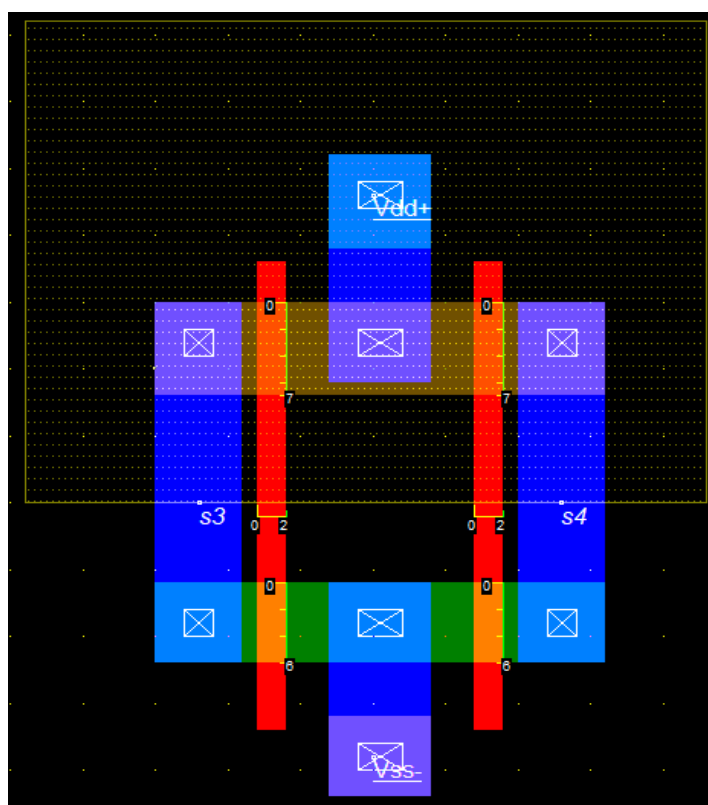
Figura 26 - Circuito complexo para Leitura. [16]



Fonte: Kumar, Satyendra., et al, 2015.

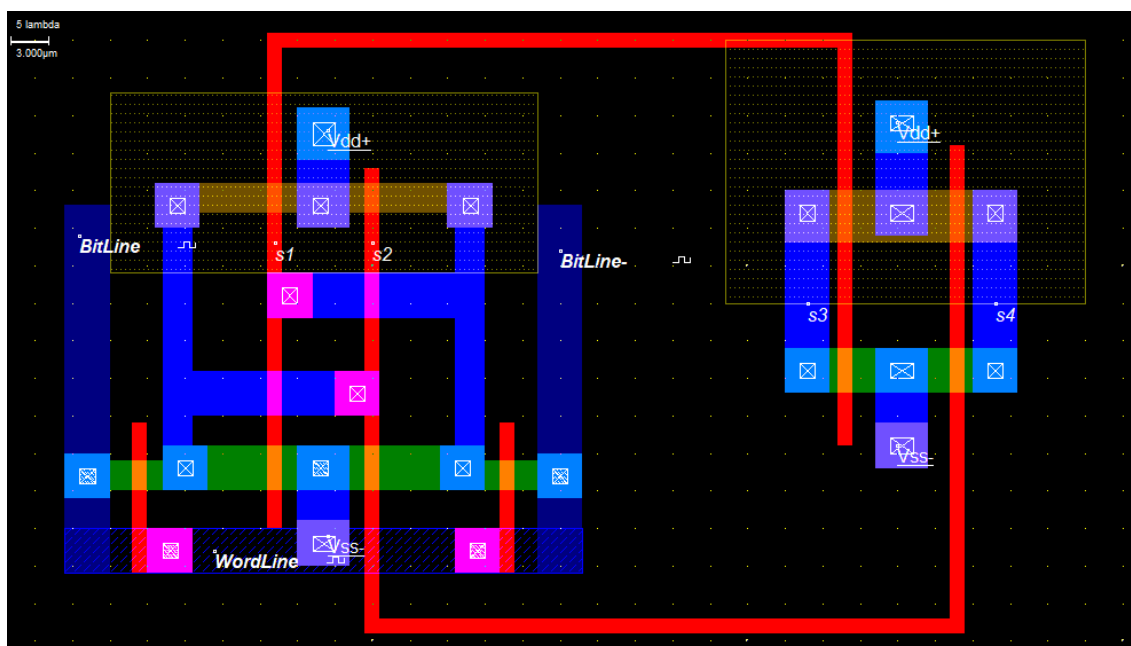
Porém seguindo a referência [14] observou-se um circuito simples composto por dois inversores CMOS e duas saídas (s3 e s4) que obtem um resultado muito próximo do resultado previsto pelo circuito complexo, ou seja, este circuito também consegue ler o dado que está armazenado na célula. Este circuito foi projetado e está disposto na Figura 27. A interligação da célula de memória ao circuito externo para leitura pode ser observada na Figura 28.

Figura 27 – Circuito externo para leitura.



Fonte: Elaborado pelo autor.

Figura 28 – Ligação entre a célula de memória e o circuito de leitura.



Fonte: Elaborado pelo autor.

Agora torna-se mais simples a medição do tempo de leitura. Para medi-lo, deve-se observar também o exato momento que a *WordLine* é ativada até a obtenção do dado nas saídas do circuito externo. A observação deve ser feita também para o tempo de subida (quando se escreve 1 na saída) e para o tempo de descida (quando se escreve 0 na saída). Porém deve-se olhar somente a saída que é semelhante ao dado de entrada da *BitLine*, já que é este o dado que é escrito e lido na célula e o outro é somente seu complemento para reforçá-lo. Para a escrita deve observar a Saída 2 e para leitura a Saída 3 (s3).

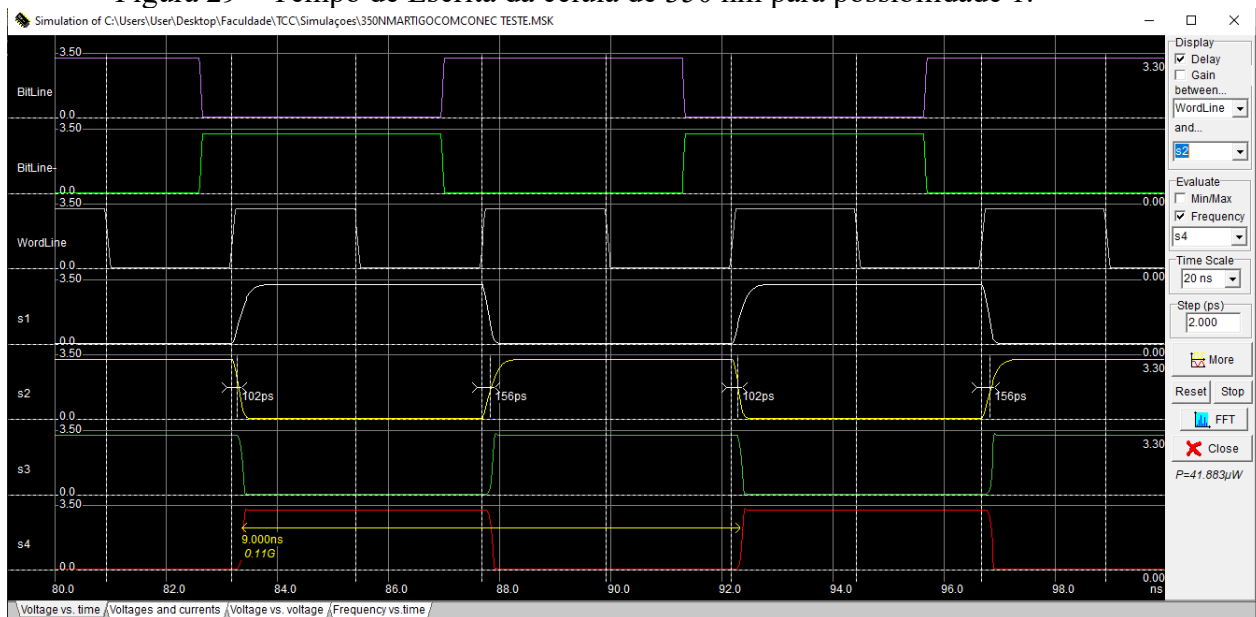
Vale ser ressaltado também que a memória pode trabalhar com três possibilidades, que são:

- 1ª Possibilidade: É da *WordLine* ativar quando o dado já está em 0 ou 1;
- 2ª Possibilidade: É da *WordLine* já estar ativa e a *BiLine* variar para 1 e para 0;
- 3ª Possibilidade: É a de o dado da *BitLine* subir para 1 ou descer para 0 juntamente com a ativação da *WordLine*.

Essas possibilidades valem tanto para leitura quanto para escrita.

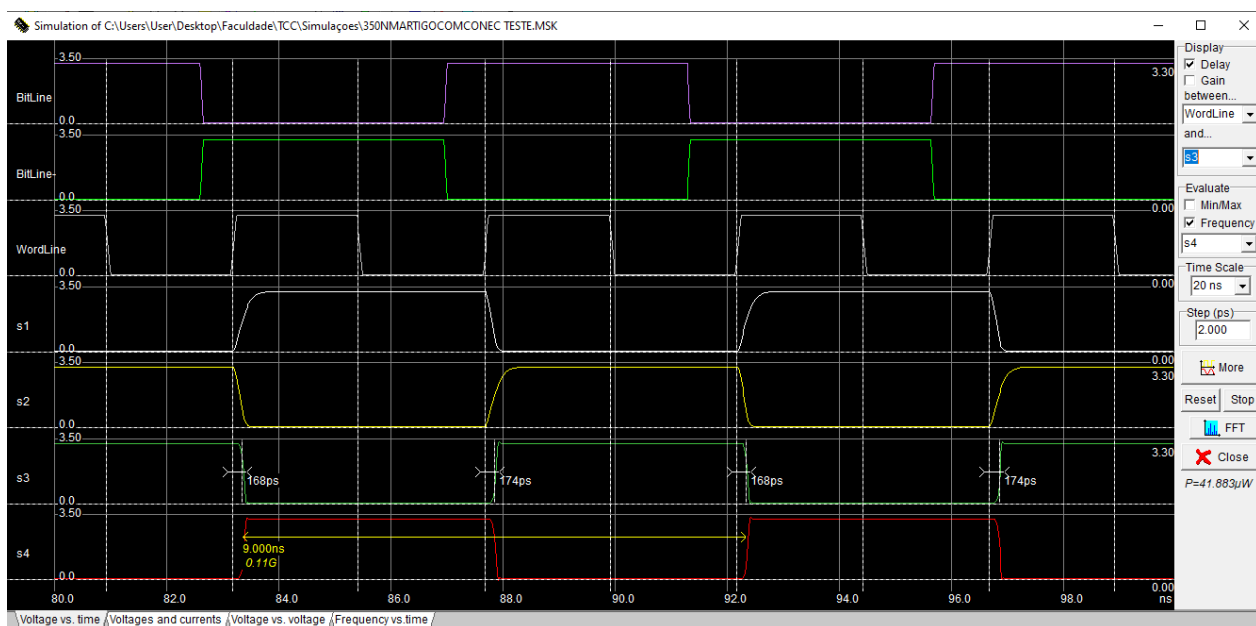
Na Figura 29 e Figura 30 pode-se observar os tempos de escrita e leitura para possibilidade 1 do nó de 350 nm.

Figura 29 – Tempo de Escrita da célula de 350 nm para possibilidade 1.



Fonte: Elaborado pelo autor.

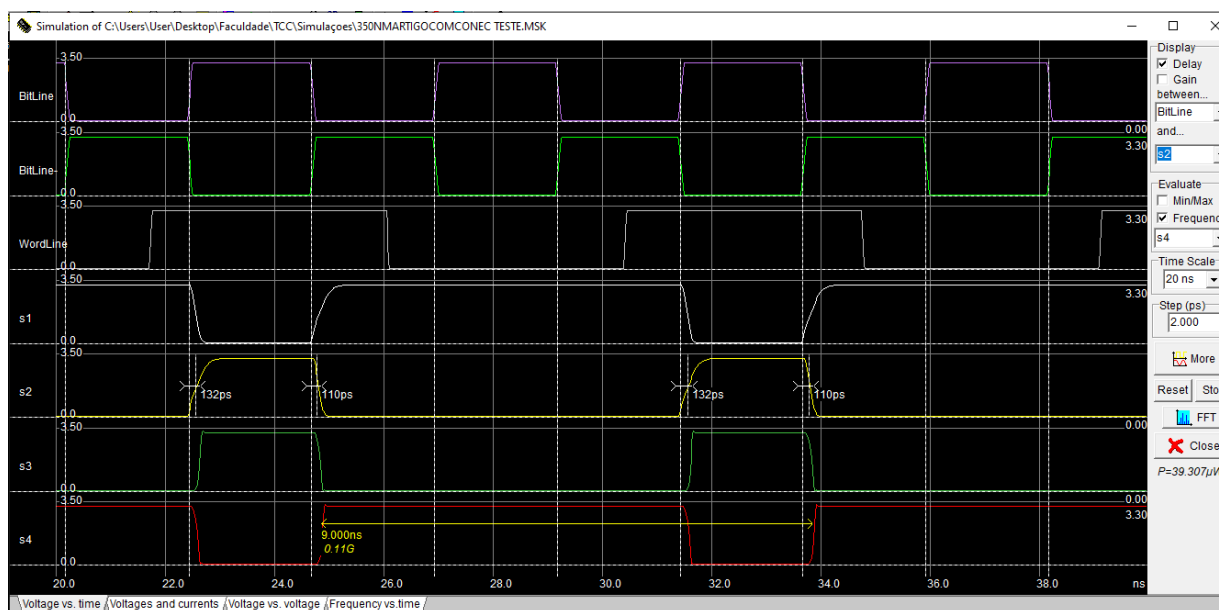
Figura 30 - Tempo de Leitura da célula de 350 nm para possibilidade 1.



Fonte: Elaborado pelo autor.

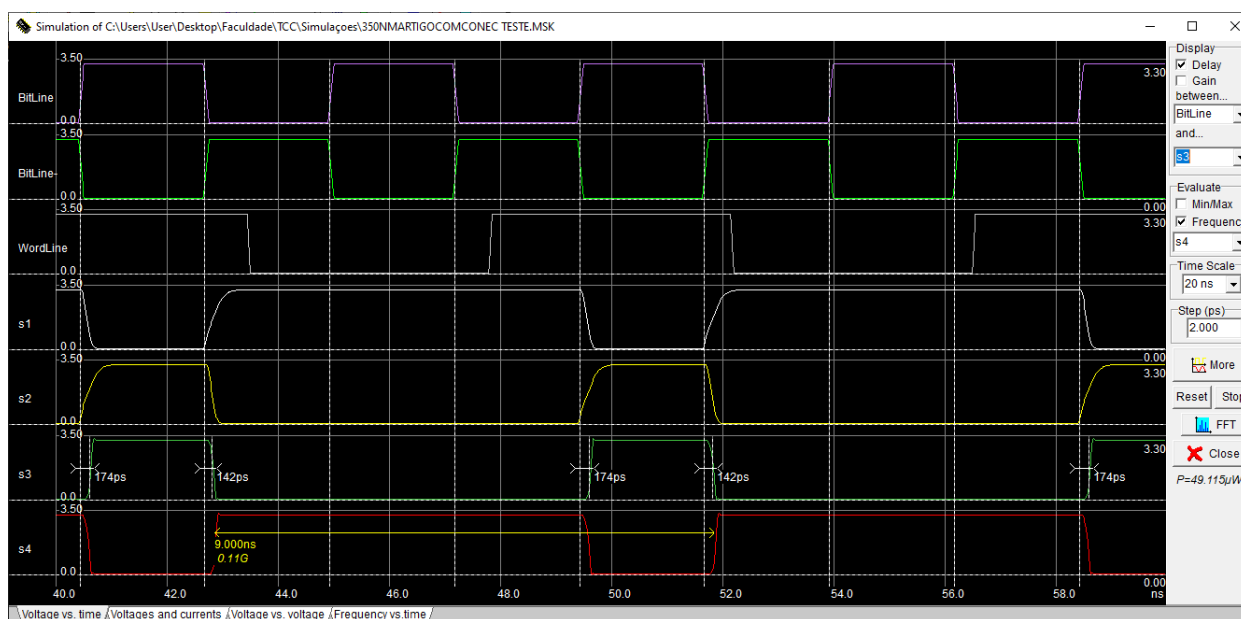
Já na Figura 31 e Figura 32 pode ser observado os tempos de escrita e leitura para a possibilidade 2.

Figura 31 - Tempo de Escrita da célula de 350 nm para possibilidade 2.



Fonte: Elaborado pelo autor.

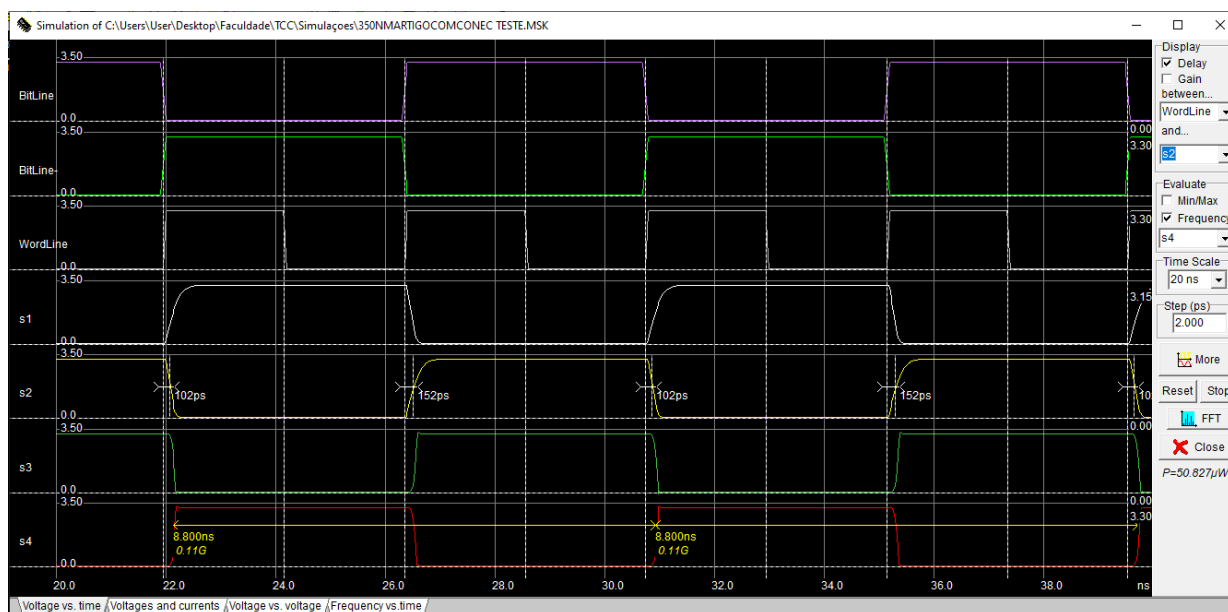
Figura 32 - Tempo de Leitura da célula de 350 nm para possibilidade 2.



Fonte: Elaborado pelo autor.

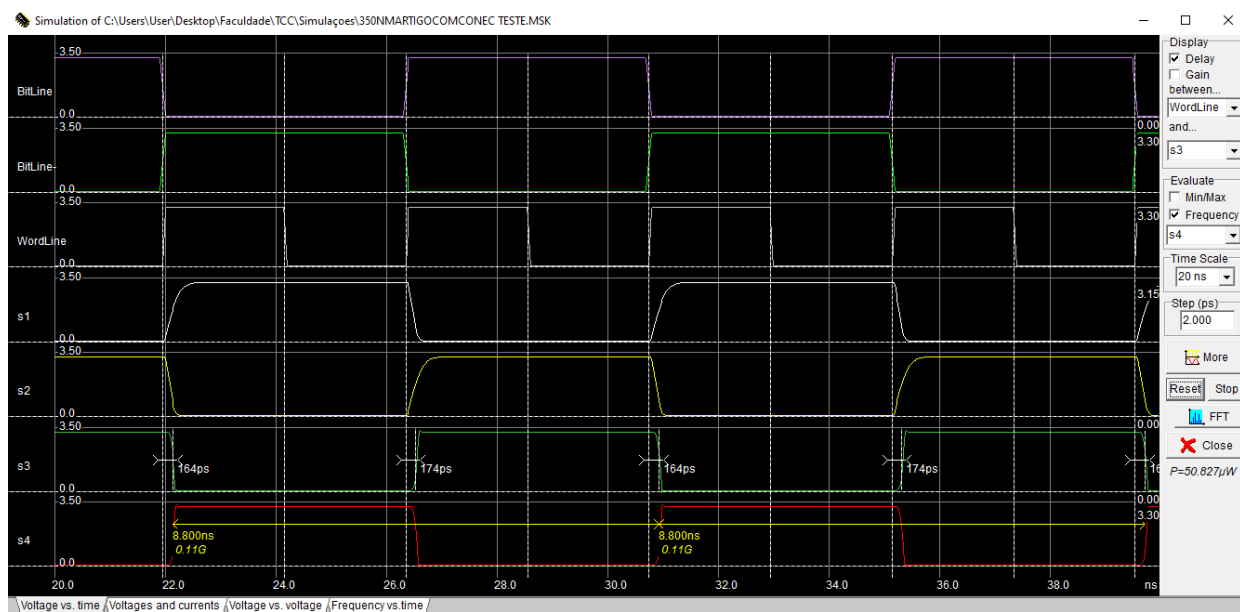
E por último a Figura 33 e Figura 34 apresentam consequentemente os tempos de escrita e leitura da possibilidade 3.

Figura 33 - Tempo de Escrita da célula de 350 nm para possibilidade 3.



Fonte: Elaborado pelo autor.

Figura 34 - Tempo de Leitura da célula de 350 nm para possibilidade 3.



Fonte: Elaborado pelo autor.

Na Tabela 2, foram sumarizados os tempos de cada possibilidade.

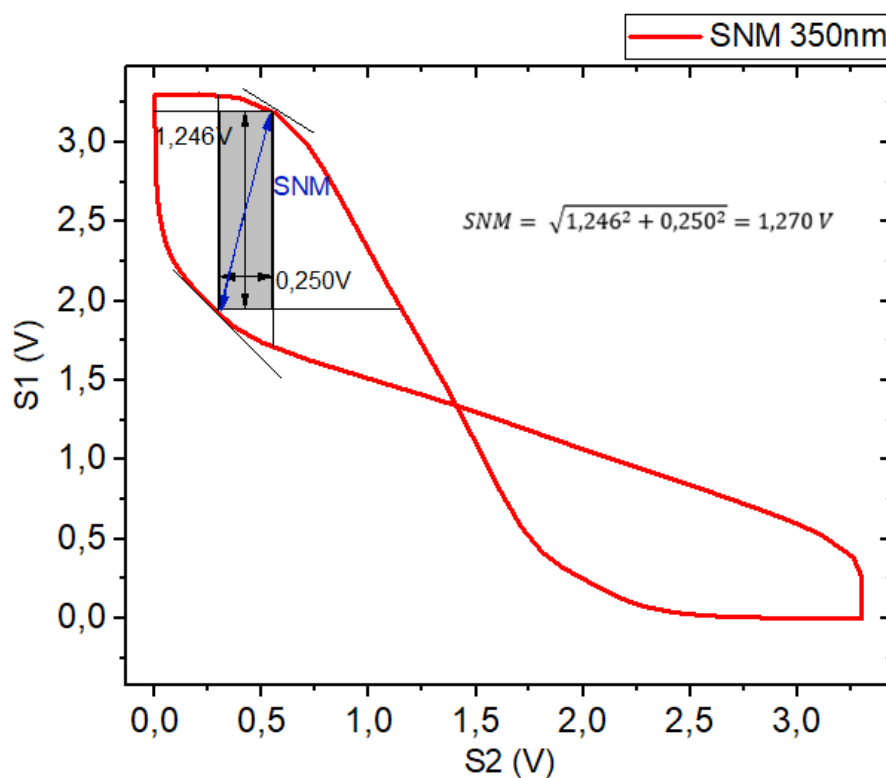
Tabela 2 – Tempos de Escrita e Leitura para o nó de 350 nm.

Nó tecnológico	Tempo de Escrita (ps)		Tempo de Leitura (ps)	
350 nm	Saída 2		Saída 3	
	0	1	0	1
Possibilidade 1	102	156	168	174
Possibilidade 2	110	132	174	142
Possibilidade 3	102	152	164	174

Fonte: Elaborado pelo autor.

A última análise a ser feita é o parâmetro SNM que diz o quanto a célula é suscetível a ruídos externos e perdas de dados. Para observação deste resultado teve que seguir o passo descrito nos materiais e métodos, isto devido ao problema do Microwind em plotar estes gráficos, portanto teve-se que utilizar o software Origin 9.0 obtendo assim a SNM ilustrada pela Figura 35, onde ao observar, pode-se perceber que ela tem uma NML de 0,250 volts e uma NMH de 1,246 volts, portanto sua SNM equivale a 1,27 V.

Figura 35 - SNM para o nó de 350 nm.



Fonte: Elaborado pelo autor.

4.1.2 Célula de memória desenvolvida para o nó tecnológico de 130 nm.

O segundo nó tecnológico utilizado, foi o de 130 nm, que segundo a referência [12] deve utilizar uma tensão de alimentação de 1,2 volts. Assim como a célula de 350 nm, o define-se um λ para o nó de 130 nm que tem o valor de $0,06 \mu\text{m}$ e através deste valor é possível obter o tamanho dos transistores em metros. O tamanho dos transistores em metros pode ser observado na Tabela 3.

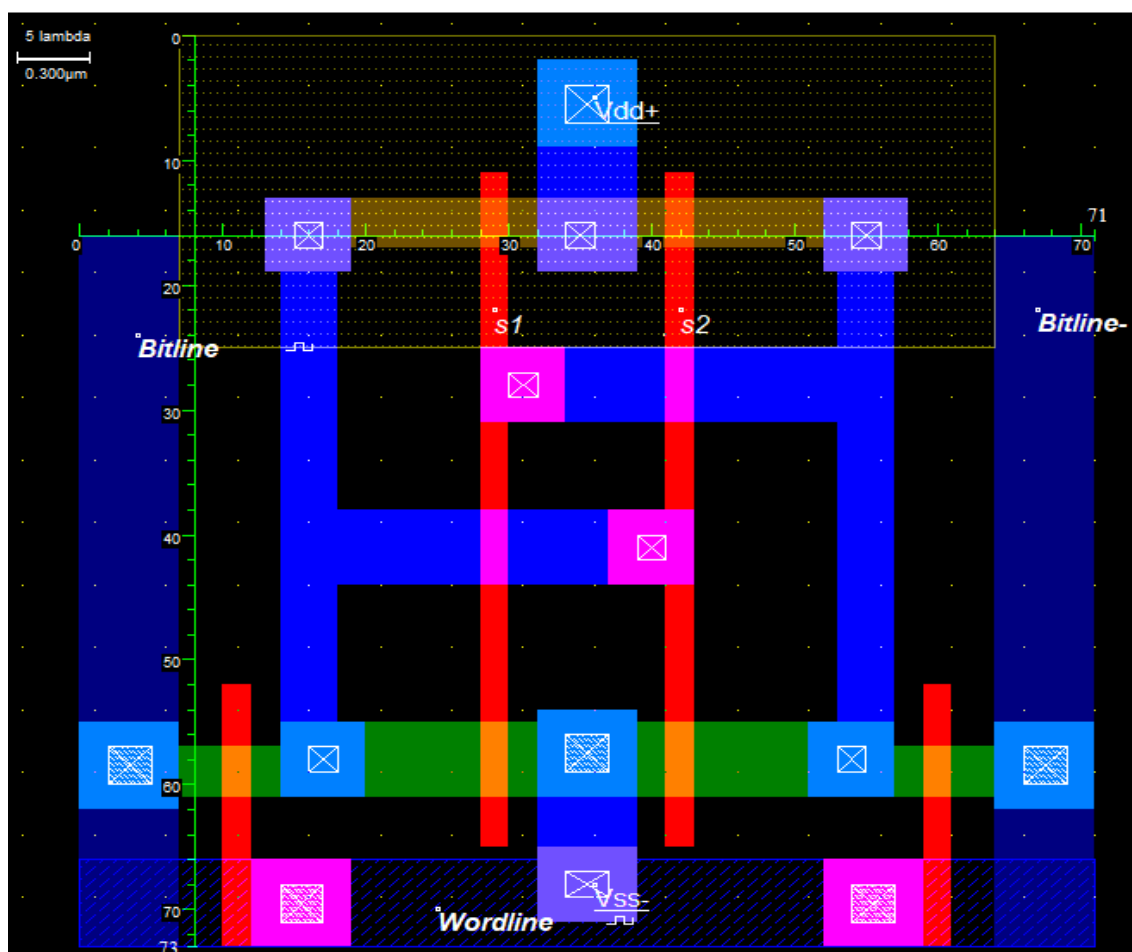
Tabela 3 - Comprimento (L) e Largura (W) dos transistores para o nó de 130 nm.

	W	L
Transistor de Drive	$6 \lambda = 0,36 \mu\text{m}$	$2 \lambda = 0,12 \mu\text{m}$
Transistor de Pull-UP	$4 \lambda = 0,24 \mu\text{m}$	$2 \lambda = 0,12 \mu\text{m}$
Transistor de Acesso	$4 \lambda = 0,24 \mu\text{m}$	$2 \lambda = 0,12 \mu\text{m}$

Fonte: Elaborado pelo autor.

Seguindo o mesmo passo do nó de 350 nm, é possível mensurar também a área total da célula de 130 nm, que obteve um valor de $73\lambda \times 71\lambda$, ou seja, a área total em metros equivale a $4,38 \mu\text{m} \times 4,26 \mu\text{m}$, ou seja, $18,65 \mu\text{m}^2$. Este aumento nos multiplicadores da área já foram explicados anteriormente devido ao fato da regra de *layout* aplicada a este nó. Na Figura 36 é possível observar a medida da área do nó de 130nm.

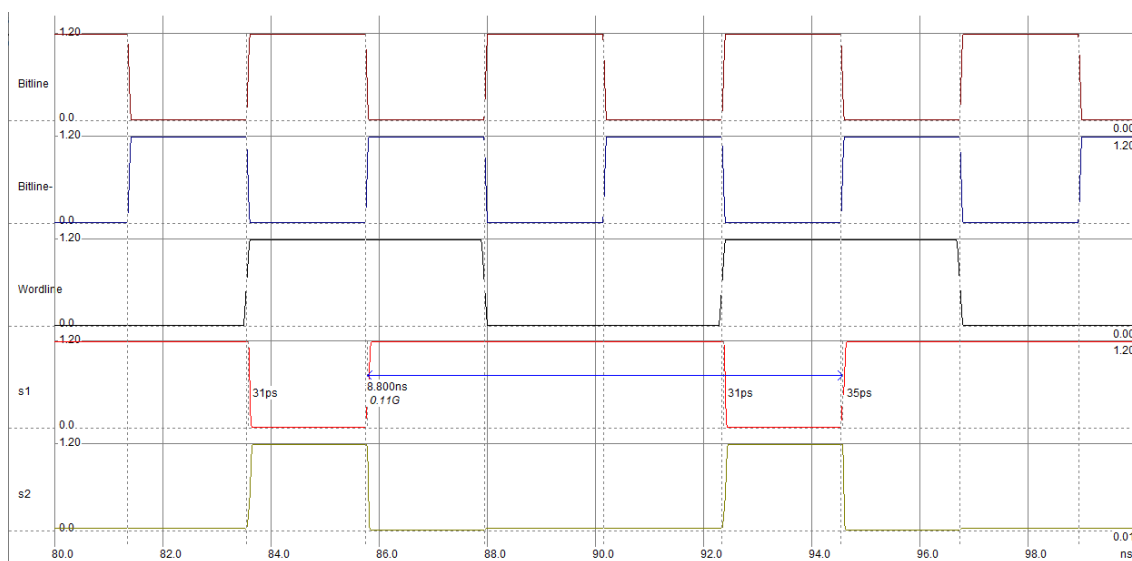
Figura 36 - Medida da área da célula com nó de 130nm.



Fonte: Elaborado pelo autor.

Utilizando a mesma análise para os resultados de funcionamento do nó de 350 nm, através da Figura 37 pode-se observar o funcionamento correto da célula para o nó de 130 nm.

Figura 37 - Funcionamento da célula de memória para o nó de 130nm.

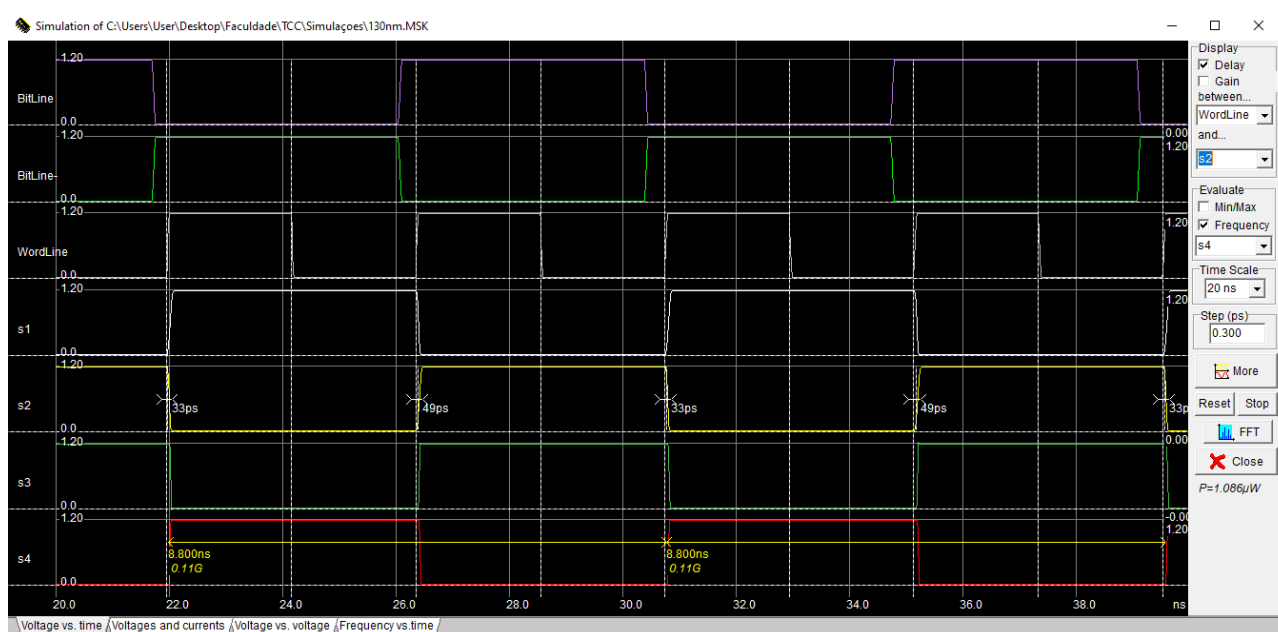


Fonte: Elaborado pelo autor.

A próxima análise a ser feita é semelhante a anterior na sessão 4.1.1 para os tempos de escrita e leitura do nó de 350 nm, só que agora para o nó de 130 nm.

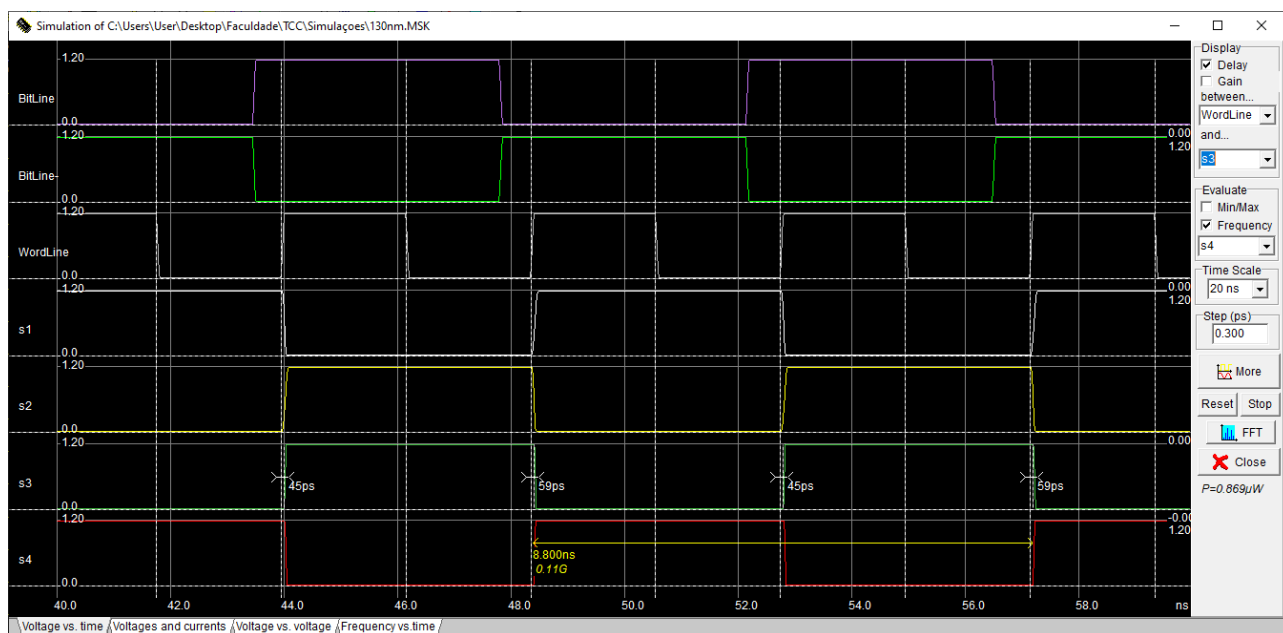
Seguindo os mesmos passos, a Figura 38 e Figura 39, consequentemente, apresentam os tempos de escrita e leitura da célula de 130 nm, para a possibilidade 1.

Figura 38 - Tempo de Escrita da célula de 130 nm para possibilidade 1.



Fonte: Elaborado pelo autor

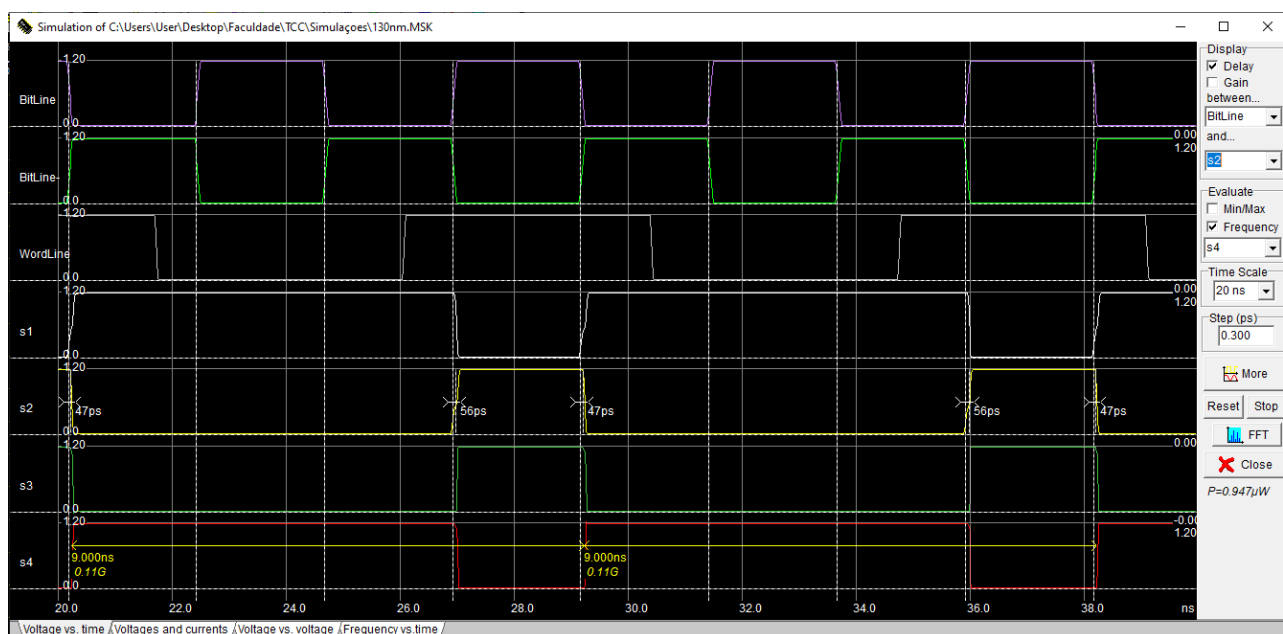
Figura 39 - Tempo de Leitura da célula de 130 nm para possibilidade 1.



Fonte: Elaborado pelo autor.

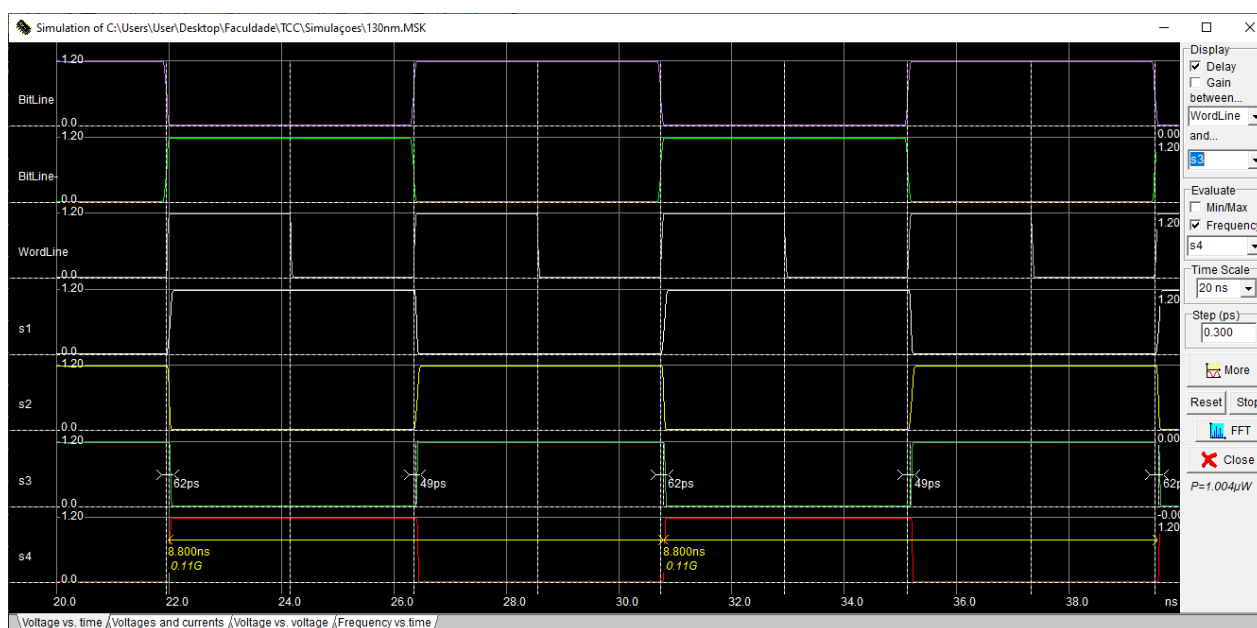
Já a Figura 40 e Figura 41, consequentemente, apresentam os tempos de escrita e leitura da possibilidade 2 do nó de 130 nm.

Figura 40 - Tempo de Escrita da célula de 130 nm para possibilidade 2.



Fonte: Elaborado pelo autor.

Figura 43 - Tempo de Leitura da célula de 130 nm para possibilidade 3.



Fonte: Elaborado pelo autor.

Na Tabela 4 é apresentado todos os tempos de escrita e leitura para o nó de 130 nm.

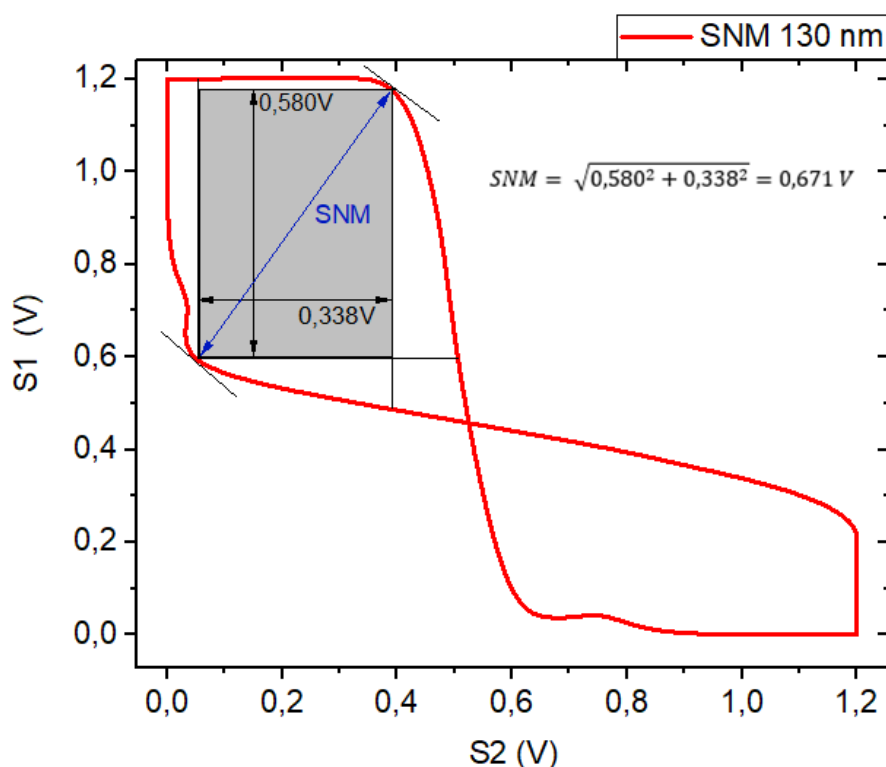
Tabela 4 - Tempos de Escrita e Leitura para o nó de 130 nm.

Nó tecnológico	Tempo de Escrita (ps)		Tempo de Leitura (ps)	
130 nm	Saída 2		Saída 3	
	0	1	0	1
Possibilidade 1	33	49	45	59
Possibilidade 2	47	56	59	67
Possibilidade 3	37	52	49	62

Fonte: Elaborado pelo autor.

Assim como a célula com o nó de 350 nm, foi mensurado também a SNM da célula do nó tecnológico de 130 nm, que obteve uma NML de 0,338 volts e uma NMH de 0,580 V, ou seja, a célula obteve uma SNM de 0,671 V. É importante notar que $V_{DD}=1,2$ V nesta tecnologia. Na Figura 44 pode-se observar a extração de SNM para o nó tecnológico de 130 nm.

Figura 44 - SNM para o nó de 130 nm.



Fonte: Elaborado pelo autor.

4.1.3 Célula de memória desenvolvida para o nó tecnológico de 65nm.

Assim como os dois nós tecnológicos anteriores, foram feitas as mesmas análises para o nó de 65 nm, que segundo a referência [12] deve ter uma tensão de alimentação de 0,9 volts. Igualmente aos nós anteriores o MicroWind estabelece um valor de λ diferente, no caso do nó de 65 nm o λ equivale a 0,04 μm . Através da Tabela 5 é possível observar o tamanho dos transistores em metros.

Tabela 5 - Comprimento (L) e Largura (W) dos transistores para o nó de 65nm.

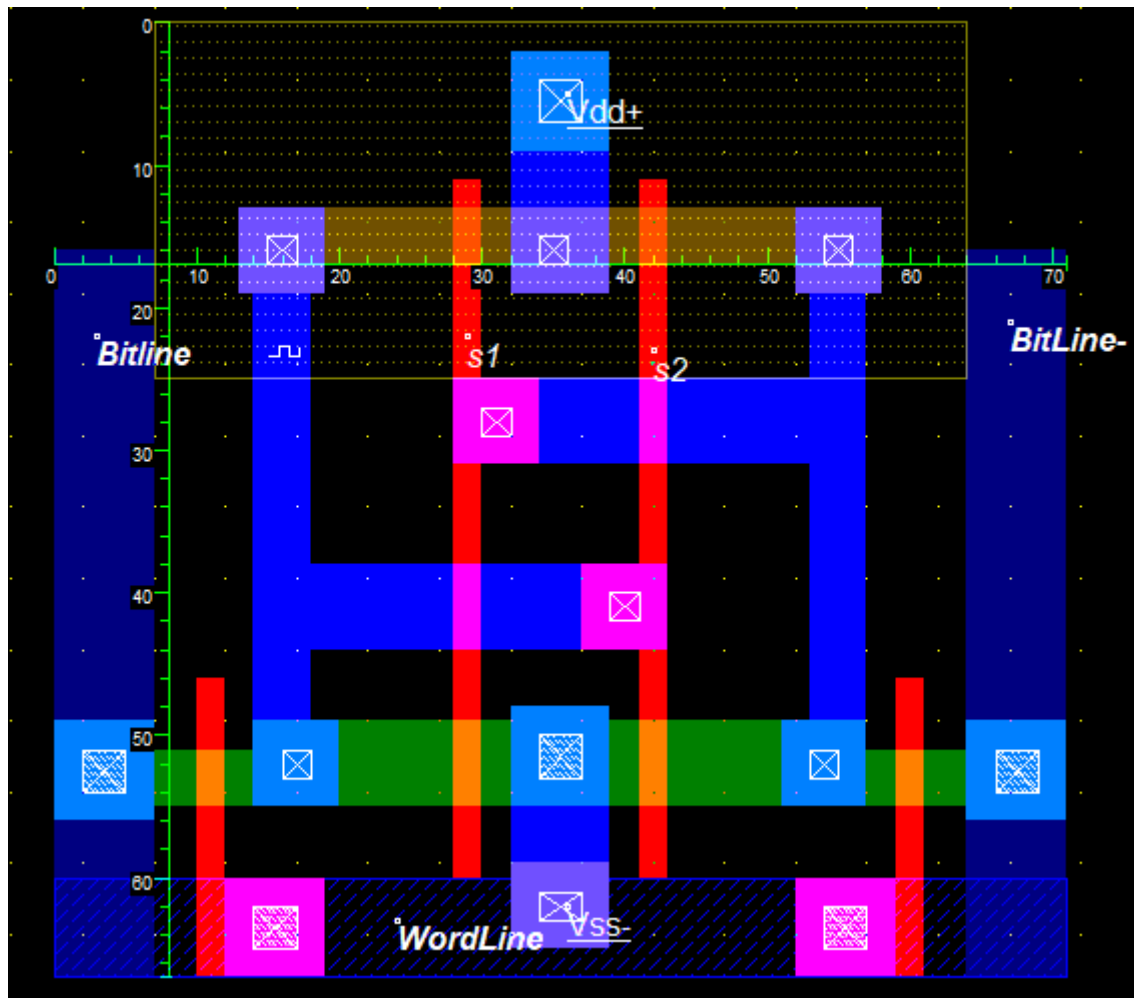
	W	L
Transistor de Drive	$6 \lambda = 0,24 \mu\text{m}$	$2 \lambda = 0,08 \mu\text{m}$
Transistor de Pull-UP	$4 \lambda = 0,16 \mu\text{m}$	$2 \lambda = 0,08 \mu\text{m}$
Transistor de Acesso	$4 \lambda = 0,16 \mu\text{m}$	$2 \lambda = 0,08 \mu\text{m}$

Fonte: Elaborado pelo autor.

Igualmente aos nós anteriores, foi também mensurada a área total ocupada pela célula de memória, que obteve um resultado de $67\lambda \times 71\lambda$, que equivale a $2,68 \mu\text{m} \times$

2,84 μm , ou seja, 7,61 μm^2 esta área pode ser observada através da Figura 45.

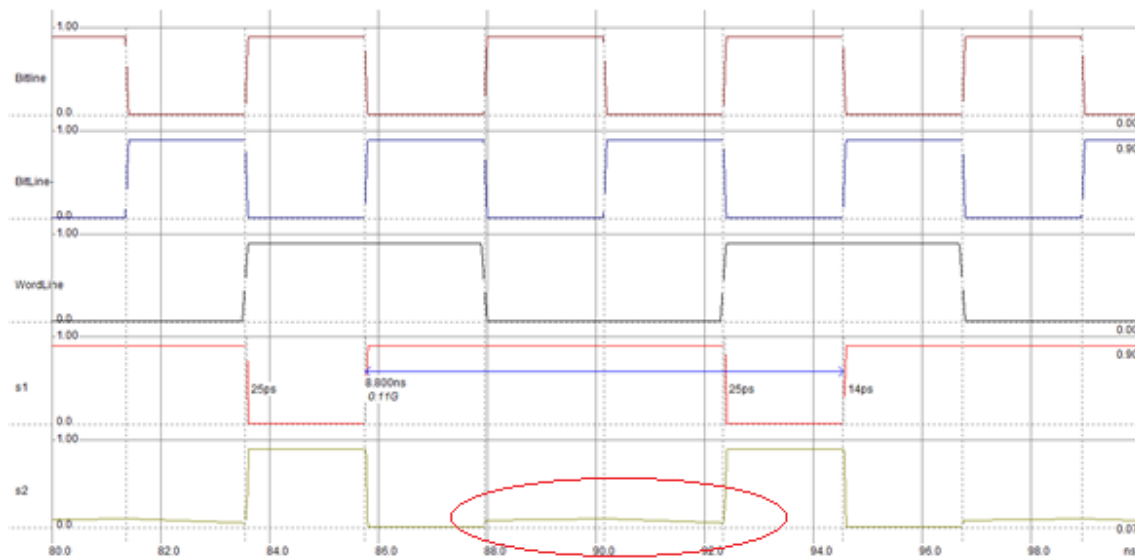
Figura 45 - Medida da área da célula com nó de 65 nm.



Fonte: Elaborado pelo autor.

Seguindo os mesmos passos para a análise dos resultados de funcionamento dos nós já apresentados anteriormente, através da Figura 46 pode-se observar o funcionamento correto da célula para o nó de 65 nm. Uma única ressalta a se fazer, esta circundada em vermelho que é um aumento na tensão, devido ao fato de se utilizar um *software* gratuito e sem tanta precisão, o que acaba desconsiderando os efeitos de canal curto em cada transistor e acaba surgindo uma tensão indesejada.

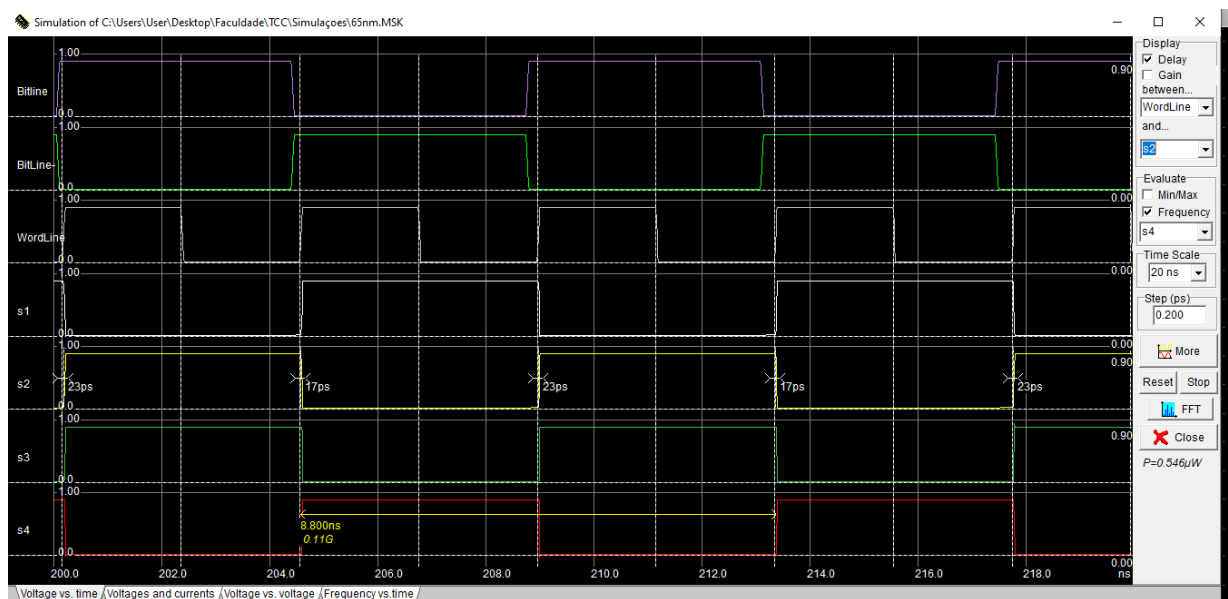
Figura 46 - Funcionamento da célula de memória para o nó de 65 nm.



Fonte: Elaborado pelo autor.

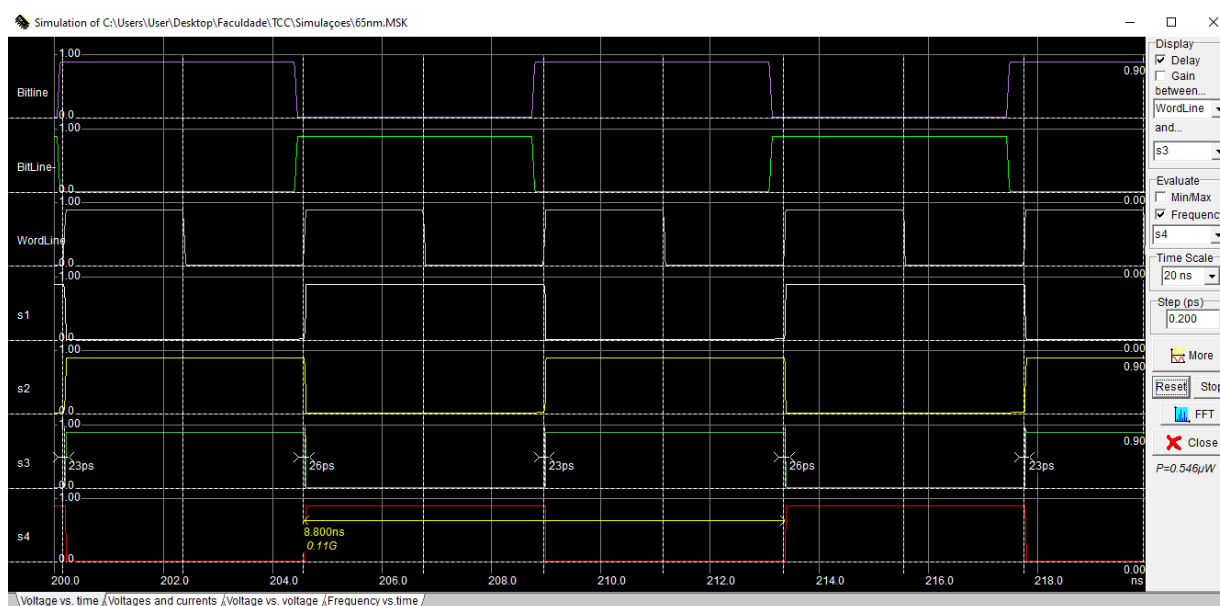
Da mesma maneira que para os nós anteriores, foram mensurados os tempos de resposta da célula tanto para escrita quanto para leitura. Na Figura 47 e Figura 48, consequentemente pode ser observado os tempos de escrita e leitura com a possibilidade 1 para o nó de 65 nm.

Figura 47 - Tempo de Escrita da célula de 65 nm para possibilidade 1.



Fonte: Elaborado pelo autor.

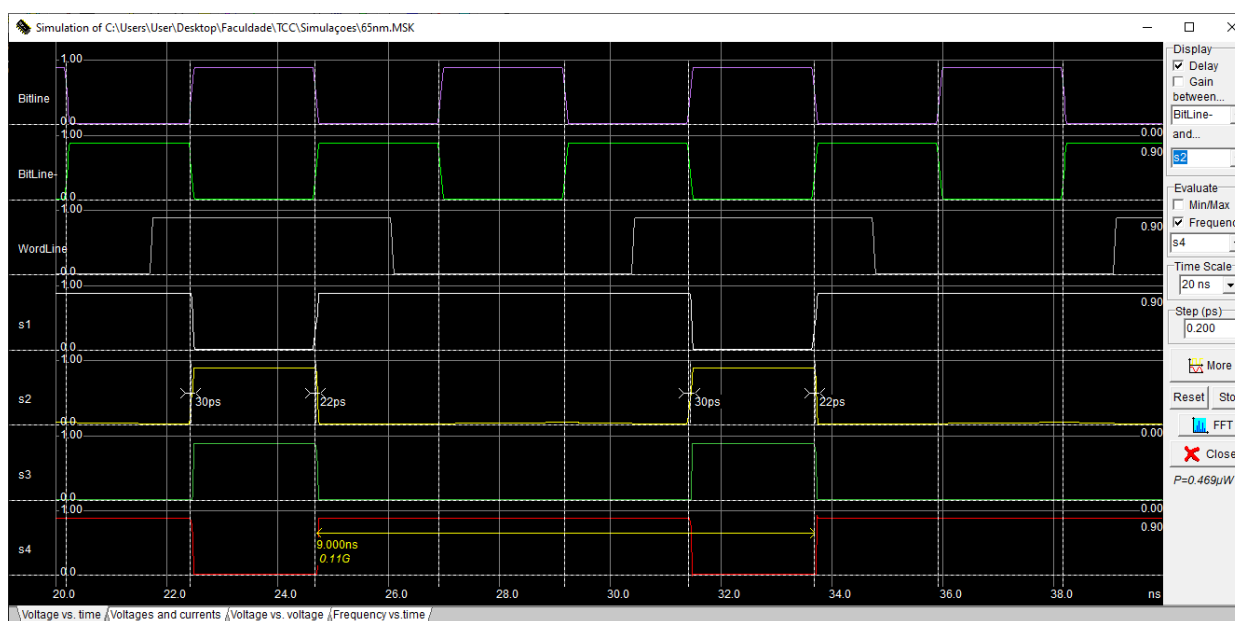
Figura 48 – Tempo de Leitura da célula de 65 nm para possibilidade 1.



Fonte: Elaborado pelo autor.

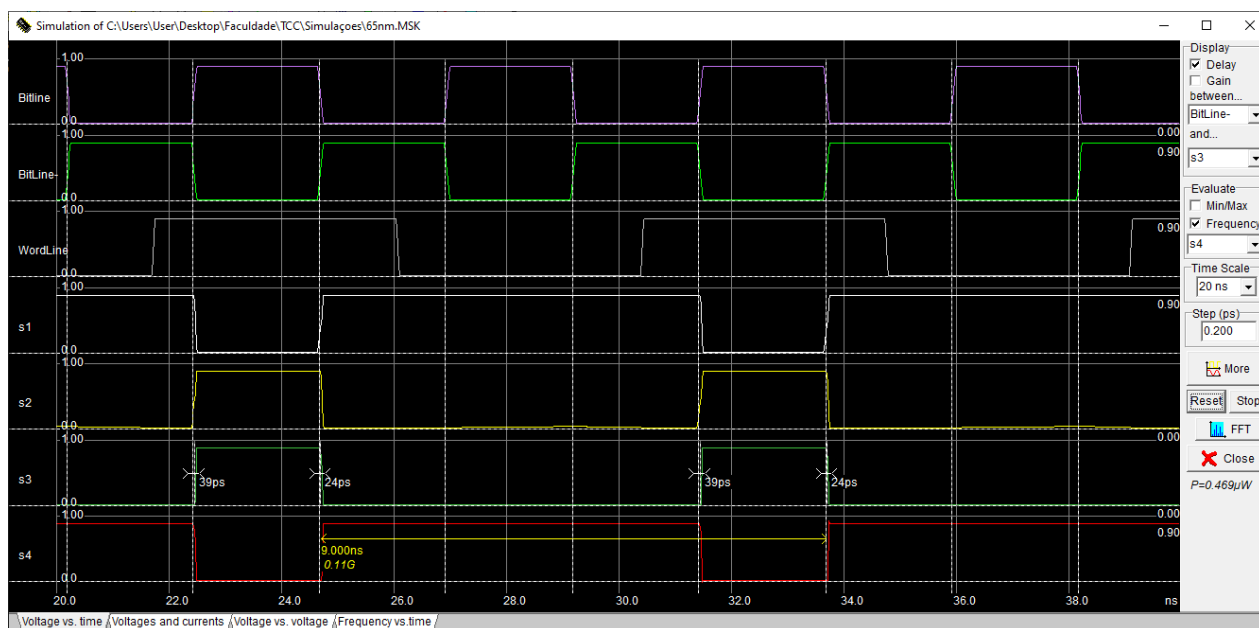
Já a Figura 49 e Figura 50 apresentam os tempos de Escrita e Leitura para a possibilidade 2 no nó de 65 nm.

Figura 49 - Tempo de Escrita da célula de 65 nm para possibilidade 2.



Fonte: Elaborado pelo autor.

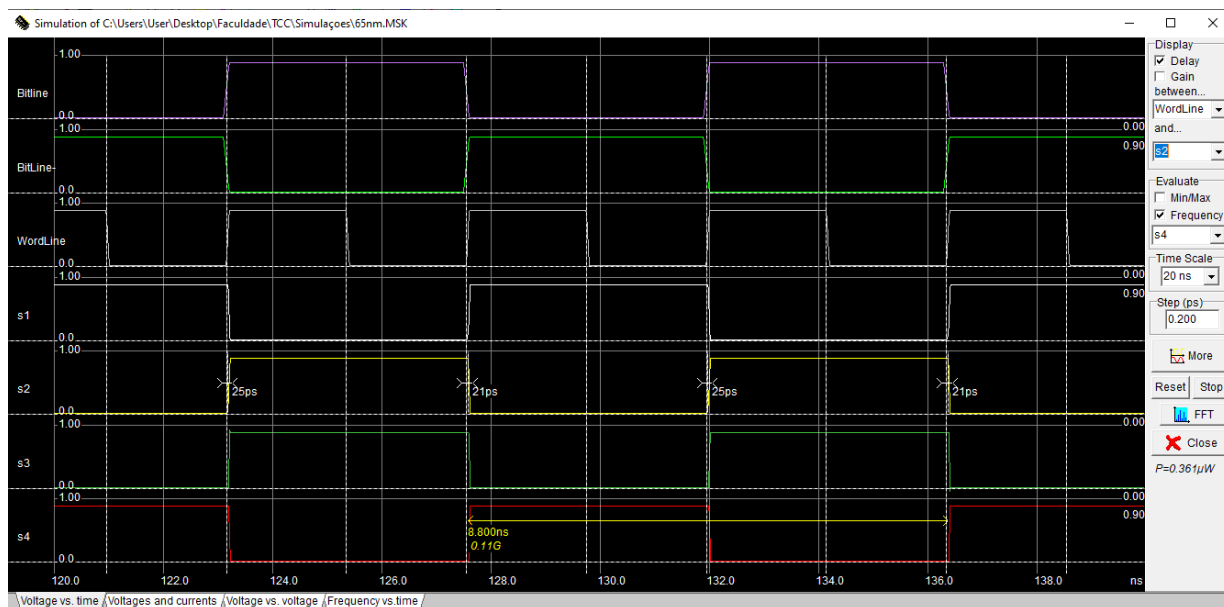
Figura 50 - Tempo de Leitura da célula de 65 nm para possibilidade 2.



Fonte: Elaborado pelo autor.

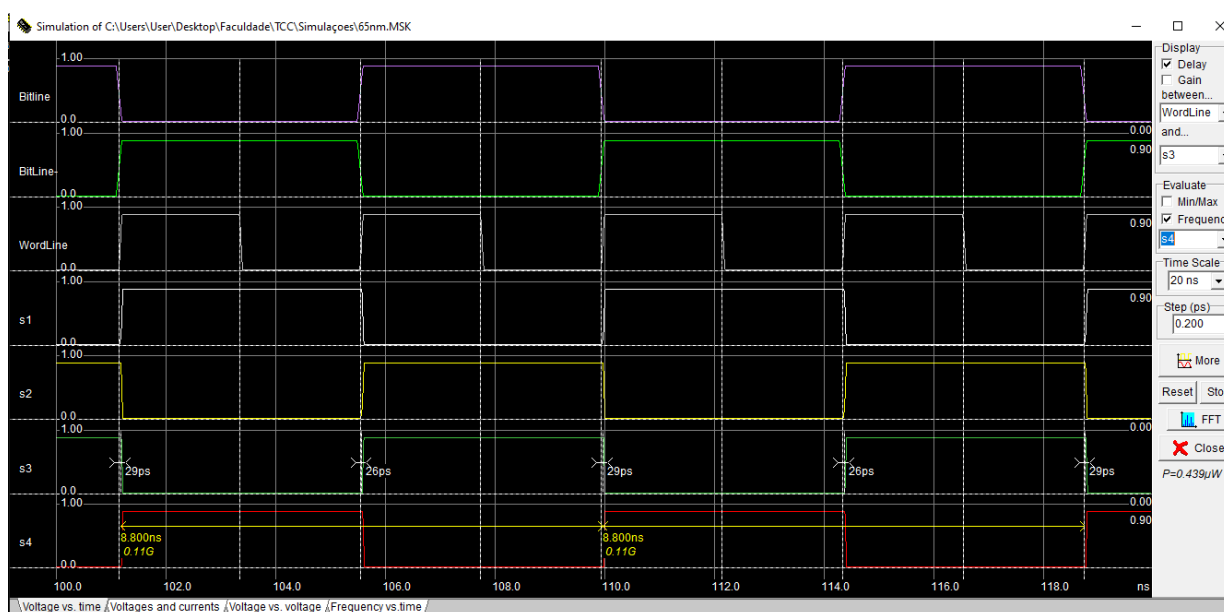
Na Figura 51 e Figura 52 pode-se observar os tempos de escrita e leitura para a possibilidade 3 do nó de 65 nm.

Figura 51 - Tempo de Escrita da célula de 65 nm para possibilidade 3.



Fonte: Elaborado pelo autor.

Figura 52 - Tempo de Leitura da célula de 65 nm para possibilidade 3.



Fonte: Elaborado pelo autor.

Ao observar a Tabela 6 é possível observar os tempos de escrita e leitura para a célula com o nó de 65 nm.

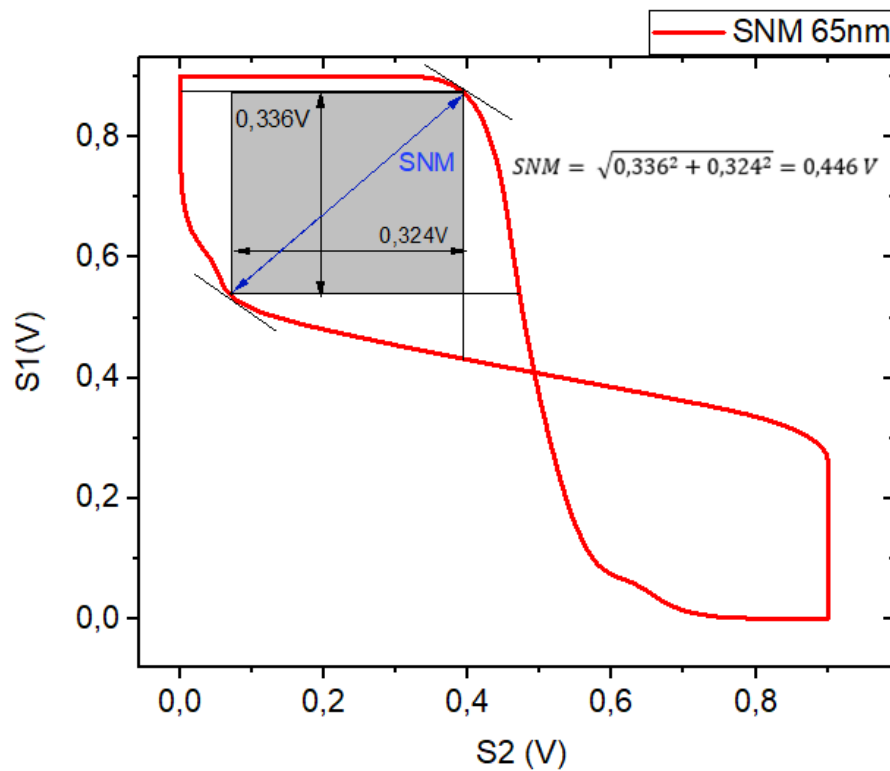
Tabela 6 - Tempos de Escrita e Leitura para o nó de 65 nm.

Nó tecnológico	Tempo de Escrita (ps)		Tempo de Leitura (ps)	
65 nm	Saída 2		Saída 3	
	0	1	0	1
Possibilidade 1	17	23	26	23
Possibilidade 2	30	22	39	24
Possibilidade 3	21	25	29	26

Fonte: Elaborado pelo autor.

Foi mensurado novamente a SNM da célula de memória para o nó tecnológico de 65 nm. Este resultado está apresentado através da Figura 53, nesta figura pode-ser observado uma NML de 0,324 V e uma NMH de 0,336 V, portanto a célula de 65 nm obteve uma SNM de 0,446 V, para um $V_{DD}=0,9$ V.

Figura 53 - SNM para o nó de 65nm.



Fonte: Elaborado pelo autor.

4.2 Comparação dos resultados.

O intuito deste estudo é comparar os diferentes resultados para os três nós tecnológicos e então, verificar qual é a vantagem ou desvantagem de se reduzir o tamanho do nó.

A primeira comparação a ser feita é sobre o tamanho dos transistores tanto em largura (W) do canal quanto em comprimento (L). Na Tabela 7 é apresentado a largura dos transistores para os diferentes nós.

Tabela 7 – Comparação do tamanho dos transistores para os três nós.

Dimensão dos transistores (W e L)						
Nós tecnológicos (nm)	Transistores					
	Drive (μm)		Pull-UP (μm)		Acesso (μm)	
	W	L	W	L	W	L
350	1,2	0,4	0,8	0,4	0,8	0,4
130	0,36	0,12	0,24	0,12	0,24	0,12
65	0,24	0,08	0,16	0,08	0,16	0,08

Fonte: Elaborado pelo autor.

Através da Tabela 7 pode-se observar uma redução significativa na largura (W) e no comprimento (L) dos transistores, onde do primeiro nó tecnológico (350) para o segundo (130) houve uma redução de 70% no tamanho do transistor, e do segundo nó (130) para o terceiro (65) houve uma redução de 33,33%. Também pode ser feita a comparação do primeiro nó (350) analisado para o terceiro (65), onde houve uma redução de 80% no tamanho do transistor. Esta grande redução já era esperada e é de suma importância para tecnologia, pois conforme já citado anteriormente, quando ocorre uma diminuição no tamanho dos transistores mais componentes podem ser adicionados neste espaço, além disso, há grande economia no tamanho dos *layouts*, fazendo com que circuitos sejam criados em menores espaços, tendo uma economia no uso de placas de silício.

Outra análise que pode ser feita é o tamanho ocupado pela área desta célula de memória, na Tabela 8 é apresentada a área ocupado por cada célula nos diferentes nós estudados.

Tabela 8 – Comparação da área ocupada pela célula para os três nós.

Nós tecnológicos (nm)	Área ocupada (μm^2)	Redução
350	176,64	--
130	18,65	x 9,47
65	7,61	x 23,21

Fonte: Elaborado pelo autor.

Através da Tabela 8 é possível observar uma grande redução na área ocupada por uma

célula de memória, onde do primeiro nó (350 nm) para o segundo (130 nm) houve uma redução de 89,44% (área 9.47 vezes menor que para nó tecnológico de 350 nm) e para o terceiro (65 nm) teve uma redução de 95,7% (área 23,21 vezes menor que para nó tecnológico de 350 nm). Este resultado é ótimo, pois reduzindo-se a área ocupada pode-se colocar mais células de memória nesta área economizada e melhorar o dispositivo que está sendo desenvolvido (memória com maior capacidade, melhor desempenho e velocidade). Teoricamente conforme aumenta-se o número de células, aumenta-se também o número de transistores, o que acaba ocasionando no aumento da capacidade de armazenamento e desempenho do dispositivo a ser produzido.

A segunda comparação a ser feita são os tempos de escrita e leitura, para as diferentes possibilidades, o intuito é verificar se o tempo melhora ou piora. Começando através da 1ª possibilidade.

A Tabela 9 ilustra os tempos já citados anteriormente para os diferentes nós com a 1ª possibilidade.

Tabela 9 – Comparação dos tempos de escrita e leitura nos três nós para 1ª possibilidade.

1ª Possibilidade				
Nó tecnológico (nm)	Tempo de Escrita (ps)		Tempo de Leitura (ps)	
	Saída 2		Saída 3	
	0	1	0	1
350	102	156	168	174
130	33	49	45	59
65	17	23	26	23

Fonte: Elaborado pelo autor.

Para esta primeira possibilidade é evidente a melhora nos tempos tanto para escrita quanto para leitura, quando tem-se uma diminuição no nó tecnológico.

Os tempos para a comparação utilizando a segunda possibilidade estão descritos na Tabela 10.

Tabela 10 – Comparação dos tempos de escrita e leitura nos três nós para 2ª possibilidade.

2ª Possibilidade				
Nó tecnológico (nm)	Tempo de Escrita (ps)		Tempo de Leitura (ps)	
	Saída 2		Saída 3	
	0	1	0	1
350	110	132	174	142
130	47	56	59	67
65	30	22	39	24

Fonte: Elaborado pelo autor.

Nesta segunda possibilidade também pode-se observar a melhora significativa nos tempos tanto de leitura quanto de escrita quando tem-se a diminuição no nó.

Na Tabela 11, estão apresentados os tempos de leitura e escrita para os diferentes nós com a 3ª possibilidade

Tabela 11 - Comparação dos tempos de escrita e leitura nos três nós para 3ª possibilidade.

3ª Possibilidade				
Nó tecnológico (nm)	Tempo de Escrita (ps)		Tempo de Leitura (ps)	
	Saída 2		Saída 3	
	0	1	0	1
350	102	152	164	174
130	37	52	49	62
65	21	25	29	26

Fonte: Elaborado pelo autor.

Nesta terceira possibilidade também é evidente a melhora nos tempos quando diminui-se o nó. Portanto observando as três possibilidades, fica claro que quando tem-se a diminuição do nó tecnológico, diminui-se também o tempo de escrita e leitura. Pode ser observadas diminuições de até seis vezes quando comparado o maior nó (350 nm) com o menor (65 nm). Esta redução no tempo é de suma importância para a criação de dispositivos como processadores e memórias mais velozes e com melhores desempenhos.

A última comparação a ser feita é sobre a SNM e como ela se comporta conforme tem-se a diminuição do nó tecnológico. Os resultados das SNM's para os diferentes nós estão apresentados na Tabela 12 e estes resultados já foram apresentados anteriormente no capítulo 4.1.

Tabela 12 – Comparação da SNM para os três diferentes nós.

Nós tecnológicos (nm)	SNM (v)	V _{DD} (V)
350	1,27	3,3
130	0,671	1,2
65	0,446	0,9

Fonte: Elaborado pelo autor.

Ao se comparar as SNM's já era evidente que a SNM do nó de 65 nm era a pior de todas. Ao comparar os valores da Tabela 12, observa-se também o pior resultado para o nó de 65 nm, pois ele tem um V_{DD} de 0,9 volts e está suscetível a perda de dados com ruídos de apenas 0,446 volts. O melhor resultado de SNM foi obtido com o nó de 350 nm, já que ele obteve o maior resultado da Tabela 12, com 1,270 volts para 3,3 volts de V_{DD}. O resultado absoluto intermediário ficou com o nó de 130 nm, este opera com um V_{DD} de 1,2 volts e está suscetível a ruídos de até 0,6710 V. Portanto, sabendo-se que quanto mais alta for a SNM, menor é o efeito do ruído de fundo sobre a detecção ou medição do sinal, ao comparar a SNM de cada nó, pode-se observar que o nó de 350 nm é o melhor de todos, pois ele tem a maior SNM quando comparada aos outros nós tecnológicos.. .

5. CONCLUSÃO

Através dos estudos realizados para desenvolvimento deste trabalho de conclusão de curso, foi possível projetar e avaliar o circuito de uma célula de memória de acesso aleatório estático de seis transistores para três diferentes nós tecnológicos (350, 130 e 65 nm), através do tamanho dos seus transistores, da área ocupada por ela, do tempo que demora para o dado ser escrito e lido na célula e por último do seu parâmetro SNM que mede o quão suscetível a célula está ao ruído.

A partir do estudo apresentado, observou-se que células de memórias desenvolvidas em nós tecnológicos de menores tamanhos apresentam um melhor desempenho quando comparado a células desenvolvidas em nós maiores, já que tem-se uma diminuição no tamanho dos transistores, na área ocupada pela célula e nos tempos de escrita e leitura da célula. Porém um fator que apresenta que células desenvolvidas em nós menores são piores que as desenvolvidas em nós maiores é o parâmetro SNM que diminui conforme diminui o nó tecnológico, ou seja, células desenvolvidas em menores nós tendem a serem mais suscetíveis a ruídos que células desenvolvidas em nós maiores. Vale salientar que a diminuição no tamanho dos transistores e consequentemente da área ocupada por uma célula é de suma importância, visto que mais células de memórias podem ser colocadas neste espaço reduzido, resultando assim em processadores e memórias de alto desempenho.

Constatou-se também, que nós tecnológicos próximos e menores que 65 nm, acabam resultando em transistores muito pequenos que resultam em um problema conhecido como efeito de canal curto, já que os transistores ficam com canal muito pequeno e acabam resultando em fugas de corrente. Para isso já há tecnologias mais avançadas como os transistores de múltiplas portas, como por exemplo, os transistores FinFETS que podem corrigir este efeito de canal curto, porém isto não está no escopo desta monografia. Com esta discussão, pode-se afirmar que conforme diminui o nó tecnológico tem-se uma melhoria muito grande, portanto para haver altas performances em dispositivos deve-se utilizar de nós tecnológicos cada vez menores, porém atentando-se também aos efeitos causados por estas diminuições.

REFERÊNCIAS

- [1] Martino, J. A. Pavanello, A. M. Verdonck, B. P.. “Caracterização Elétrica de Tecnologia e Dispositivos MOS”. Thomsom 2004.
- [2] Hilbert, Beatriz Santos. “Caracterização elétrica de Transistores MOS fabricados na tecnologia CMOS de 180nm de comprimento mínimo de canal”. (Iniciação científica) – Centro Universitário da FEI. São Bernardo do Campo – SP, 2019
- [3] Krishnan, Arunkumar. SRAM and DRAM. Arunkumar Blog, 12 de fevereiro de 2018. Disponível em: <<https://arunk2.medium.com/sram-and-dram-sdram-9b6d01f09eb7>>. Acesso em: 18, 06 e 2021.
- [4] Chau, Wang Jiang. “Memórias semicondutoras”. (Artigo) – Escola Politécnica da Universidade de São Paulo Departamento de Engenharia de Sistemas Eletrônicos (PSI). São Paulo - SP, 2017.
- [5] Borucki, "Comparison of Accelerated DRAM Soft Error Rates Measured at Component and System Level", 46th Annual International Reliability Physics Symposium, Phoenix, 2008, pp. 482–487.
- [6] AGOPIAN, P. G. D. “Transistores MOS e portas lógicas básicas CMOS - Comportamento como chave. Circuitos lógicos CMOS complexos - Parte 1.” (Notas de aula – Disciplina de Introdução aos Circuitos Integrados) – UNESP. São João da Boa Vista – SP. 2020.
- [7] Static Random-Access Memory (SRAM). WikiChip. Disponível em: <https://en.wikichip.org/wiki/static_random-access_memory>. Acesso em: 24, Junho de 2021.
- [8] ENTNER, R. Modeling and Simulation of Negative Bias Temperature Instability. Dissertação – Universidade técnica de Viena. Viena – Áustria.
- [9] HETALGO, Savi. Explain READ and WRITE operation of 6-T SRAM cell in detail. OR Explain working of 6-T SRAM cell. Ques10, 2018. Disponível em: <<https://www.quora.com/p/23593/explain-read-and-write-operation-of-6-t-sram-cell/>>. Acesso em: 01, julho de 2021.
- [10] S.Kumar; K.Saha; H.Gupta. "Run Time Write Detection in SRAM", International Conference on Signal Processing and Communication (ICSC-2015), Noida, India, pp 328-333, March 2015.
- [11] C. D. C. Arandilla, A. B. Alvarez and C. R. K. Roque, "Static Noise Margin of 6T SRAM Cell in 90-nm CMOS," *2011 UkSim 13th International Conference on Computer Modelling and Simulation*, 2011, pp. 534-539, doi: 10.1109/UKSIM.2011.108.
- [12] Technology Node. WikiChip. Disponível em: <https://en.wikichip.org/wiki/technology_node>. Acesso em: 24, Junho de 2021.
- [13] Technology Node. anysilicon. Disponível em: <<https://anysilicon.com/semipedia/technology-node/>>. Acesso em: 24, Junho de 2021.
- [14] Apostolidis, G. & Balobas, Dimitrios & Konofaos, Nikos. (2016). Design and Simulation of 6T SRAM Cell Architectures in 32nm Technology. *Journal of Engineering Science and Technology Review*. 9. 145-149.

- [15] 350nm lithography process. WikiChip. Disponível em https://en.wikichip.org/wiki/350_nm_lithography_process>. Acesso em: 24, Junho de 2021.
- [16] Kumar, Satyendra & Saha, Kaushik & Gupta, Hari. (2015). Run Time Write Detection in SRAM.