

**UNIVERSIDADE ESTADUAL PAULISTA – UNESP**  
Faculdade de Engenharia – Câmpus de Ilha Solteira  
Departamento de Engenharia Elétrica

**ENZO LUIZ FERNANDES**

**DESENVOLVIMENTO E ANÁLISE DE UM CONTROLADOR ELETRÔNICO DE  
VELOCIDADE PARA MOTORES DE CORRENTE CONTÍNUA SEM ESCOVAS**

Ilha Solteira  
2026

**Enzo Luiz Fernandes**

**Desenvolvimento e Análise de um Controlador Eletrônico de Velocidade para Motores de Corrente Contínua Sem Escovas**

Trabalho de Conclusão de Curso apresentado à Universidade Estadual Paulista (UNESP), Faculdade de Engenharia, Câmpus de Ilha Solteira, para obtenção do título de Bacharel em Engenharia Elétrica.

Orientador: Prof. Dr. Guilherme de Azevedo e Melo

Ilha Solteira  
2026

F363d

Fernandes, Enzo Luiz

Desenvolvimento e análise de um controlador eletrônico de velocidade para motores de corrente contínua sem escovas / Enzo Luiz Fernandes. – Ilha Solteira, 2026

128 p. : il., tabs., fotos

Trabalho de conclusão de curso (Bacharelado - Engenharia Elétrica) – Universidade Estadual Paulista (UNESP), Faculdade de Engenharia, Ilha Solteira

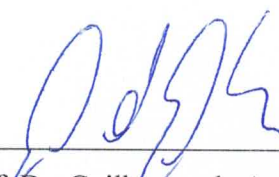
Orientador: Guilherme de Azevedo e Melo

1. Engenharia elétrica. 2. Motores elétricos. 3. Eletrônica de potência. 4. Sistemas embarcados. 5. Controle automático. I. Título.

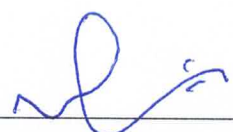
Sistema de geração automática de fichas catalográficas da Unesp. Dados fornecidos pelo autor(a).

**ATA DE DEFESA DE TRABALHO DE GRADUAÇÃO**

Aos seis dias do mês de julho do ano de dois mil e vinte e seis, o discente **Enzo Luiz Fernandes**, matriculado sob o nº 181053616, tendo como banca examinadora o seu orientador, o Prof. Dr. *Guilherme de Azevedo e Melo*, o Dr. *Rodrigo Alessandro Nunes de Oliveira* e o Dr. *Pablo Mauricio Portilla Hernandez*, apresentou o Trabalho de Graduação intitulado “ **Desenvolvimento e Análise de um Controlador Eletrônico de Velocidade para Motores de Corrente Contínua Sem Escovas**”, obtendo a nota 9,5 (*nove e meio*) e conceito aprovado.

  
\_\_\_\_\_  
Prof. Dr. Guilherme de Azevedo Melo  
- orientador -

  
\_\_\_\_\_  
Enzo Luiz Fernandes  
- discente -

  
\_\_\_\_\_  
Dr. Rodrigo Alessandro Nunes de Oliveira  
- Membro da Banca -

  
\_\_\_\_\_  
Dr. Pablo Mauricio Portilla Hernandez  
- Membro da Banca -

## RESUMO

Este trabalho apresenta o desenvolvimento e a análise de um protótipo de controlador eletrônico de velocidade (ESC) para motores de corrente contínua sem escovas (BLDC), utilizando o microcontrolador ESP32. A fundamentação teórica aborda a conversão eletromecânica, as constantes  $K_T$ ,  $K_V$  e  $K_e$ , a comutação trapezoidal de seis passos, a modulação por largura de pulso (PWM), a partida *sensorless*, o controle proporcional-integral (PI) e os principais aspectos de eletrônica de potência e software embarcado aplicáveis ao acionamento. A metodologia seguiu uma abordagem de engenharia de sistemas, envolvendo o dimensionamento de uma ponte inversora trifásica, do barramento DC, dos circuitos de acionamento por *gate driver*, das proteções de sobrecorrente e subtensão, do sensoriamento de corrente, da reconstrução de neutro virtual e do condicionamento da força contraeletromotriz para futura detecção de cruzamento por zero (ZCD). Também foram desenvolvidos a PCB protótipo e um *firmware* modular em PlatformIO/FreeRTOS, com camada de abstração de hardware, máquina de estados, comutação seis passos via MCPWM, PWM a 20 kHz, malha de controle a 1 kHz e interfaces de comando e telemetria. Os resultados incluem validações em LTSpice, análise dos esquemáticos e da PCB, testes estáticos de bancada e avaliação da arquitetura de *firmware*. As simulações confirmaram os caminhos de corrente, o estado de alta impedância da fase não energizada e a necessidade do banco de capacitores do *DC link*. Os ensaios estáticos validaram a manipulação do MCPWM, o tempo morto implementado por *hardware* e as rotinas de proteção. Entretanto, a validação dinâmica integral com motor em rotação foi interrompida após o ensaio a vazio indicar consumo transiente excessivo e disparo da proteção da fonte, compatíveis com falha estrutural no estágio físico de potência. Assim, o objetivo geral foi parcialmente atingido: a base teórica, eletrônica, computacional e de *firmware* foi consolidada e documentada, enquanto a operação completa do ESC permanece dependente de uma nova iteração do *hardware* de potência.

**Palavras-chave:** Motor BLDC; Controlador Eletrônico de Velocidade; ESP32; Comutação de Seis Passos; Controle Embarcado.

## ABSTRACT

This work presents the development and analysis of an electronic speed controller (ESC) prototype for brushless direct current (BLDC) motors using the ESP32 microcontroller. The theoretical foundation covers electromechanical energy conversion, the  $K_T$ ,  $K_V$ , and  $K_e$  constants, trapezoidal six-step commutation, pulse-width modulation (PWM), sensorless startup, proportional-integral (PI) control, and the main power electronics and embedded software aspects involved in the drive. The methodology followed a systems engineering approach, including the design of a three-phase inverter, the DC bus, gate-driver circuits, overcurrent and undervoltage protections, current sensing, virtual-neutral reconstruction, and back-electromotive-force signal conditioning for future zero-crossing detection (ZCD). A prototype PCB and a modular PlatformIO/FreeRTOS firmware were also developed, with a hardware abstraction layer, finite-state machine, MCPWM-based six-step commutation, 20kHz PWM, a 1 kHz control loop, and command and telemetry interfaces. The results include LTSpice validations, schematic and PCB analysis, static bench tests, and firmware architecture evaluation. The simulations confirmed the current paths, the high-impedance state of the non-energized phase, and the need for the DC-link capacitor bank. The static tests validated MCPWM handling, hardware dead-time insertion, and protection routines. However, full dynamic validation with the motor rotating was interrupted after the no-load test indicated excessive transient current consumption and power-supply protection triggering, consistent with a structural fault in the physical power stage. Therefore, the main objective was partially achieved: the theoretical, electronic, computational, and firmware foundation was consolidated and documented, while complete ESC operation remains dependent on a new iteration of the power hardware.

**Keywords:** BLDC Motor; Electronic Speed Controller; ESP32; Six-Step Commutation; Embedded Control.

## LISTA DE ILUSTRAÇÕES

|                                                                                                                                                                                                                        |    |
|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----|
| Figura 1 – Configuração de um motor DC convencional (A) e motor BLDC (B). . . . .                                                                                                                                      | 16 |
| Figura 2 – Sequência de acionamento para um BLDC trifásico. . . . .                                                                                                                                                    | 25 |
| Figura 3 – Modulação por largura de pulso utilizando uma fonte de 100V. . . . .                                                                                                                                        | 29 |
| Figura 4 – Motor Brushless Turnigy XK3674-2200KV. . . . .                                                                                                                                                              | 47 |
| Figura 5 – Turnigy Graphene Panther 1300mAh 6S 75C. . . . .                                                                                                                                                            | 48 |
| Figura 6 – Módulo Comercial LM2596. . . . .                                                                                                                                                                            | 54 |
| Figura 7 – Visão Geral do Microcontrolador ESP32-DevKit C. . . . .                                                                                                                                                     | 56 |
| Figura 8 – Pinagem do Microcontrolador ESP32-DevKit C. . . . .                                                                                                                                                         | 57 |
| Figura 9 – Arquitetura em camadas do firmware do ESC com inversão de dependência. . . . .                                                                                                                              | 58 |
| Figura 10 – Máquinas de estados finitas do ESC: (a) com ZCD habilitado; (b) sem ZCD<br>(implementação validada em bancada). . . . .                                                                                    | 68 |
| Figura 11 – Esquemático da simulação trifásica do ESC em estado estático de comutação. . . . .                                                                                                                         | 75 |
| Figura 12 – Dinâmica das correntes de fase do motor durante os primeiros 100 $\mu s$ de<br>simulação (Passo 1). . . . .                                                                                                | 77 |
| Figura 13 – Tensões de fase em relação ao ponto neutro do motor durante o Passo 1. . . . .                                                                                                                             | 78 |
| Figura 14 – Análise dinâmica dos parâmetros de entrada da bateria LiPo (escala ajustada):<br>(a) Tensão nominal; (b) Rampa de corrente contínua. . . . .                                                               | 79 |
| Figura 15 – Detalhamento do estresse transiente sobre a bateria LiPo: (a) Quedas<br>instantâneas de tensão ( <i>voltage sags</i> ); (b) Picos transientes de corrente de<br>comutação. . . . .                         | 79 |
| Figura 16 – Esquemático do estágio de entrada, filtragem do barramento DC e regulação<br>de tensão auxiliar (Folha <i>Supply</i> ). . . . .                                                                            | 81 |
| Figura 17 – Esquemáticos do núcleo de controle e interface de potência: (a) Microcontro-<br>lador ESP32-WROOM-32; (b) Estágio de translação de nível com <i>drivers</i><br>IR2110. . . . .                             | 83 |
| Figura 18 – Esquemáticos do estágio de sensoriamento e proteção: (a) Monitoramento da<br>bateria; (b) Amplificadores de corrente das fases (INA240); (c) Comparadores<br>de sobrecorrente (LM339). . . . .             | 85 |
| Figura 19 – Esquemático do estágio de potência contendo a ponte inversora trifásica e<br>resistores <i>shunt</i> individuais para medição de corrente. . . . .                                                         | 87 |
| Figura 20 – Projeto de roteamento da Placa de Circuito Impresso no Altium Designer:<br>(a) <i>Top Layer</i> evidenciando os polígonos de potência; (b) <i>Bottom Layer</i><br>evidenciando os planos de terra. . . . . | 89 |
| Figura 21 – Protótipo do ESC: (a) Visão Superior; (b) Visão Inferior. . . . .                                                                                                                                          | 90 |
| Figura 22 – Motor BLDC A2212/10T 1400 kV utilizado como carga de bancada (Prova<br>de Conceito em escala reduzida). . . . .                                                                                            | 98 |

Figura 23 – Oscilograma na perna de R13 (*gate* High-Side da Fase A) durante tentativa de ALIGN: subida até  $V_{max} \approx 14,5\text{ V}$  (saída do IR2110) seguida de colapso abrupto quando a fonte de bancada aciona OCP e remove  $V_{DC}$  da placa ( $V_{pp} = 11,8\text{ V}$ ; evento não periódico; escala 20 ms/div, 5 V/div, sonda  $\times 1$ ). . 116

## LISTA DE TABELAS

|                                                                                                                                                  |     |
|--------------------------------------------------------------------------------------------------------------------------------------------------|-----|
| Tabela 1 – Unidades de Constantes de Motor e Fatores de Conversão para o SI . . . . .                                                            | 20  |
| Tabela 2 – Estados principais e intervalos transitórios na comutação trapezoidal . . . . .                                                       | 24  |
| Tabela 3 – Duas camadas de controle no ESC deste trabalho . . . . .                                                                              | 32  |
| Tabela 4 – Panorama de frequências de chaveamento PWM em acionamentos BLDC e<br>afins . . . . .                                                  | 37  |
| Tabela 5 – Ganhos PI padrão do firmware . . . . .                                                                                                | 60  |
| Tabela 6 – Sequência de Comutação de Seis Passos e Estado dos MOSFETs . . . . .                                                                  | 65  |
| Tabela 7 – Mapeamento dos Estados de Comutação para os Geradores MCPWM do ESP32                                                                  | 66  |
| Tabela 8 – Regressões de firmware na coexistência Bluetooth, Wi-Fi AP e RUNNING. .                                                               | 100 |
| Tabela 9 – Regressões de enlace Bluetooth Classic (PS4 / Bluepad32) em ensaios de<br>potência, Wi-Fi desligado. . . . .                          | 102 |
| Tabela 10 – Resultados do isolamento de falha no braço B da ponte inversora (placa<br>desenergizada). . . . .                                    | 106 |
| Tabela 11 – Resultados do isolamento de falha no amplificador INA240 U9 (placa<br>desenergizada, exceto onde indicado). . . . .                  | 108 |
| Tabela 12 – Depuração dos pinos SD em RTC GPIO (placa energizada, motor desconec-<br>tado). . . . .                                              | 109 |
| Tabela 13 – Evolução das mitigações firmware e comportamento de $I_A$ em IDLE (motor<br>desconectado, boot completo com Wi-Fi AP e PS4). . . . . | 111 |
| Tabela 14 – Cronologia de correções de firmware na depuração do OCP na fase ALIGN<br>(junho de 2026). . . . .                                    | 117 |
| Tabela 15 – Uso de memória reportado pelo PlatformIO (Identificador de ensaio 30,<br>29/06/2026). . . . .                                        | 121 |

## LISTA DE ABREVIATURAS E SIGLAS

|       |                                        |
|-------|----------------------------------------|
| ADC   | Conversor analógico-digital            |
| BLDC  | Motor de corrente contínua sem escovas |
| CAN   | <i>Controller Area Network</i>         |
| ESC   | Controlador eletrônico de velocidade   |
| FCEM  | Força contraeletromotriz               |
| FOC   | Controle orientado de campo            |
| FSM   | Máquina de estados finitos             |
| GPIO  | Entrada/saída de propósito geral       |
| HAL   | Camada de abstração de hardware        |
| MCPWM | Módulo de PWM para controle de motores |
| OCP   | Proteção contra sobrecorrente          |
| PCB   | Placa de circuito impresso             |
| PI    | Proporcional-integral                  |
| PWM   | Modulação por largura de pulso         |
| UVLO  | Bloqueio por subtensão                 |
| ZCD   | Detecção de cruzamento por zero        |

## LISTA DE SÍMBOLOS

|                 |                                       |
|-----------------|---------------------------------------|
| $C_{bus}$       | Capacitância total do barramento CC   |
| $D$             | Ciclo de trabalho do sinal PWM        |
| $f_{sw}$        | Frequência de chaveamento             |
| $I_A, I_B, I_C$ | Correntes das fases A, B e C          |
| $K_e$           | Constante de força contraeletromotriz |
| $K_m$           | Constante de mérito do motor          |
| $K_T$           | Constante de torque                   |
| $K_V$           | Constante de velocidade               |
| $T_e$           | Torque eletromagnético                |
| $V_{DC}$        | Tensão do barramento CC               |
| $\omega$        | Velocidade angular                    |

## SUMÁRIO

|                |                                                                                        |           |
|----------------|----------------------------------------------------------------------------------------|-----------|
| <b>1</b>       | <b>INTRODUÇÃO . . . . .</b>                                                            | <b>15</b> |
| <b>1.1</b>     | <b>Objetivos . . . . .</b>                                                             | <b>15</b> |
| <b>1.2</b>     | <b>Motores CC Sem Escova . . . . .</b>                                                 | <b>15</b> |
| <b>1.2.1</b>   | <b>Fundamentos Físicos da Conversão Eletromecânica . . . . .</b>                       | <b>17</b> |
| <b>1.2.1.1</b> | <b>A Força de Lorentz e a Condição de Torque Máximo . . . . .</b>                      | <b>17</b> |
| <b>1.2.1.2</b> | <b>A Lei de Faraday . . . . .</b>                                                      | <b>17</b> |
| <b>1.2.2</b>   | <b>Modelo Matemático do Motor e a Definição das Constantes . . . . .</b>               | <b>18</b> |
| <b>1.2.3</b>   | <b>A constante de Torque <math>K_T</math> . . . . .</b>                                | <b>18</b> |
| <b>1.2.4</b>   | <b>As constantes de Velocidade <math>K_V</math> . . . . .</b>                          | <b>19</b> |
| <b>1.2.5</b>   | <b>A Equivalência entre <math>K_T</math> e <math>K_e</math> . . . . .</b>              | <b>19</b> |
| <b>1.2.6</b>   | <b>Conversão de Unidades . . . . .</b>                                                 | <b>20</b> |
| <b>1.2.7</b>   | <b>A Constante do Motor (<math>K_m</math>) como Figura de Mérito . . . . .</b>         | <b>21</b> |
| <b>1.2.8</b>   | <b>Influência da Temperatura . . . . .</b>                                             | <b>21</b> |
| <b>1.3</b>     | <b>Controlador Eletrônico de Velocidade (ESC) . . . . .</b>                            | <b>21</b> |
| <b>1.3.1</b>   | <b>Consequências Práticas da Seleção de <math>K_V</math> . . . . .</b>                 | <b>22</b> |
| <b>1.3.2</b>   | <b>Princípios de Operação . . . . .</b>                                                | <b>22</b> |
| <b>1.3.2.1</b> | <b>Comutação de Seis Passos . . . . .</b>                                              | <b>23</b> |
| <b>1.3.2.2</b> | <b>Análise da Ondulação de Torque (Torque Ripple) . . . . .</b>                        | <b>26</b> |
| <b>1.3.2.3</b> | <b>Modulação por Largura de Pulso (PWM) . . . . .</b>                                  | <b>27</b> |
| <b>1.3.3</b>   | <b>Estratégia de Partida em Malha Aberta para Operação <i>Sensorless</i> . . . . .</b> | <b>29</b> |
| <b>1.3.3.1</b> | <b>Alinhamento do Rotor . . . . .</b>                                                  | <b>29</b> |
| <b>1.3.3.2</b> | <b>Comutação Forçada (Rampa de Aceleração) . . . . .</b>                               | <b>30</b> |
| <b>1.3.4</b>   | <b>Desafios e Limitações da Partida Forçada . . . . .</b>                              | <b>30</b> |
| <b>1.3.4.1</b> | <b>Análise do Fenômeno de Perda de Sincronismo (Stall) . . . . .</b>                   | <b>30</b> |
| <b>1.3.4.2</b> | <b>Outros Efeitos Adversos . . . . .</b>                                               | <b>31</b> |
| <b>1.4</b>     | <b>Controle Proporcional-Integral em Malhas Fechadas de ESC . . . . .</b>              | <b>31</b> |
| <b>1.4.1</b>   | <b>Distinção entre Malhas de Comutação e Malhas PI . . . . .</b>                       | <b>32</b> |
| <b>1.4.2</b>   | <b>Fundamentos do Controlador PI . . . . .</b>                                         | <b>33</b> |
| <b>1.4.3</b>   | <b>Limitações do Controle Proporcional Puro . . . . .</b>                              | <b>34</b> |
| <b>1.4.4</b>   | <b>Exclusão do Termo Derivativo: por que PI e não PID . . . . .</b>                    | <b>34</b> |
| <b>1.4.5</b>   | <b>Aplicabilidade ao ESC Trifásico Deste Trabalho . . . . .</b>                        | <b>35</b> |
| <b>1.5</b>     | <b>Aspectos de Eletrônica de Potência . . . . .</b>                                    | <b>35</b> |
| <b>1.5.1</b>   | <b>O MOSFET de Potência e Perdas . . . . .</b>                                         | <b>36</b> |
| <b>1.5.2</b>   | <b>Seleção da Frequência de Chaveamento PWM . . . . .</b>                              | <b>36</b> |
| <b>1.5.3</b>   | <b>O Barramento DC e a Indutância Parasita . . . . .</b>                               | <b>37</b> |

|         |                                                                         |    |
|---------|-------------------------------------------------------------------------|----|
| 1.5.4   | Técnica de <i>Bootstrap</i> para Acionamento <i>High-Side</i> . . . . . | 38 |
| 1.5.4.1 | Dimensionamento do Capacitor de Bootstrap . . . . .                     | 38 |
| 1.6     | Fundamentos de Software para Sistemas de Controle Embarcado . . . .     | 39 |
| 1.6.1   | Camada de Abstração de Hardware (HAL) . . . . .                         | 39 |
| 1.6.2   | Máquinas de Estado Finito (FSM) em Sistemas Críticos . . . . .          | 40 |
| 1.6.3   | Programação Orientada ao Tempo Real: Interrupções e Concorrência .      | 41 |
| 1.7     | Estado da Arte em Algoritmos de Controle e Estimação . . . . .          | 42 |
| 1.7.1   | Métodos Baseados em Força Contraeletromotriz (FCEM) . . . . .           | 42 |
| 1.7.2   | Controle Orientado de Campo (FOC) e Observadores . . . . .              | 43 |
| 1.7.3   | Técnicas Baseadas em Análise de Sinais e Harmônicos . . . . .           | 43 |
| 1.8     | Parâmetros Críticos para Modelagem Dinâmica . . . . .                   | 43 |
| 1.9     | Vantagens e Desvantagens no uso de motores BLDC . . . . .               | 44 |
| 1.10    | Aplicações . . . . .                                                    | 45 |
| 2       | METODOLOGIA . . . . .                                                   | 46 |
| 2.1     | Arquitetura do Sistema . . . . .                                        | 46 |
| 2.2     | Dimensionamento e Hardware de Potência . . . . .                        | 46 |
| 2.2.1   | Especificações do Motor e Carga . . . . .                               | 46 |
| 2.2.2   | Fonte de Alimentação Principal (Bateria) . . . . .                      | 47 |
| 2.2.3   | Sistema de Proteção Contra Sobrecorrentes . . . . .                     | 48 |
| 2.2.4   | Filtragem do Barramento DC (Link DC) . . . . .                          | 49 |
| 2.2.5   | Dimensionamento do Inversor (MOSFETs) . . . . .                         | 50 |
| 2.2.6   | Driver de Gate e Circuito de Bootstrap . . . . .                        | 50 |
| 2.2.7   | Determinação da Frequência de Chaveamento . . . . .                     | 52 |
| 2.2.7.1 | Análise de Perdas por Comutação . . . . .                               | 52 |
| 2.2.7.2 | Mitigação de Ruído Acústico . . . . .                                   | 53 |
| 2.2.7.3 | Ripple de Corrente e Torque . . . . .                                   | 53 |
| 2.2.7.4 | Validação da Compatibilidade do Driver . . . . .                        | 53 |
| 2.2.8   | Fonte de Alimentação Auxiliar . . . . .                                 | 54 |
| 2.2.9   | Sensoriamento de Corrente e Proteção (Shunt) . . . . .                  | 54 |
| 2.3     | Simulação Computacional . . . . .                                       | 55 |
| 2.4     | Montagem, Prototipagem e Desenvolvimento do Firmware . . . . .          | 55 |
| 2.4.1   | Disponibilização dos artefatos do projeto . . . . .                     | 56 |
| 2.4.2   | Plataforma de Controle: O Microcontrolador ESP32 . . . . .              | 56 |
| 2.4.3   | Arquitetura de Firmware e Controle . . . . .                            | 57 |
| 2.4.3.1 | Taxa de Amostragem da Malha de Controle . . . . .                       | 58 |
| 2.4.3.2 | Estratégia de Controle PI . . . . .                                     | 59 |
| 2.4.4   | Interface de Entrada: Controle DualShock 4 via Bluetooth . . . . .      | 60 |
| 2.4.5   | Dashboard de Telemetria via Wi-Fi . . . . .                             | 61 |

|          |                                                                                                      |    |
|----------|------------------------------------------------------------------------------------------------------|----|
| 2.4.6    | Escolha da Linguagem e Paradigma de Programação . . . . .                                            | 61 |
| 2.4.7    | Ambiente de Desenvolvimento: PlatformIO . . . . .                                                    | 62 |
| 2.4.8    | Estrutura de Módulos: Cabeçalhos e Arquivos-Fonte . . . . .                                          | 63 |
| 2.4.9    | Lógica de Comutação de Seis Passos . . . . .                                                         | 64 |
| 2.4.10   | Periférico MCPWM e Sequência de Inicialização Segura . . . . .                                       | 65 |
| 2.4.11   | Sistema de Realimentação por Força Contraeletromotriz . . . . .                                      | 67 |
| 2.4.12   | Estratégia de Partida e Transição para Malha Fechada . . . . .                                       | 67 |
| 2.4.13   | Reconstrução do Neutro Virtual e Divisores de Tensão . . . . .                                       | 69 |
| 2.4.14   | Filtragem de Ruído PWM . . . . .                                                                     | 69 |
| 2.4.15   | Análise e Compensação do Atraso de Fase do Filtro . . . . .                                          | 70 |
| 2.4.16   | Estágio Comparador com LM339 . . . . .                                                               | 71 |
| 2.4.17   | Considerações de Sensibilidade e Escalabilidade . . . . .                                            | 71 |
| 2.4.18   | Protocolo de Validação Experimental Proposto . . . . .                                               | 72 |
| 2.4.18.1 | Estratégia de carga e parametrização prevista . . . . .                                              | 72 |
| 2.4.18.2 | Ensaio dinâmico 4.1: Sequência de partida e comutação trapezoidal com carga                          | 72 |
| 2.4.18.3 | Ensaio dinâmico 4.2: Determinismo temporal do PWM sob carga do escalonador<br>FreeRTOS . . . . .     | 73 |
| 2.4.18.4 | Ensaio dinâmico 4.3: Resposta dinâmica ao degrau de corrente e acompanha-<br>mento pelo PI . . . . . | 73 |
| 2.4.18.5 | Ensaio dinâmico 4.4: Limite inferior em malha aberta e motivação do ZCD . .                          | 73 |
| 2.4.18.6 | Ensaio dinâmico 4.5: Proteção de <i>stall</i> por travamento mecânico . . . . .                      | 73 |
| 2.4.18.7 | Ensaio complementares de instrumentação . . . . .                                                    | 73 |
| 2.4.18.8 | Telemetria Wi-Fi em rotação . . . . .                                                                | 74 |
| 3        | RESULTADOS E DISCUSSÃO . . . . .                                                                     | 75 |
| 3.1      | Validação Computacional (Simulação) . . . . .                                                        | 75 |
| 3.2      | Projeto Eletrônico e Análise dos Esquemáticos . . . . .                                              | 80 |
| 3.2.1    | Circuito de Alimentação Auxiliar e Regulação . . . . .                                               | 80 |
| 3.2.2    | Unidade de Processamento Lógico e Interface de Acionamento . . . . .                                 | 82 |
| 3.2.3    | Condicionamento de Sinais e Sensoriamento . . . . .                                                  | 84 |
| 3.2.4    | Estágio de Potência e Ponte Inversora . . . . .                                                      | 86 |
| 3.2.5    | Estratégias de Layout, Roteamento e Fabricação da PCB Protótipo . . .                                | 88 |
| 3.3      | Desenvolvimento e Validação do Firmware . . . . .                                                    | 90 |
| 3.3.1    | Arquitetura Modular e Isolamento da <i>Hardware Abstraction Layer</i> (HAL)                          | 91 |
| 3.3.1.1  | Implementação da Malha de Controle . . . . .                                                         | 92 |
| 3.3.2    | Máquina de Estados e Robustez das Transições . . . . .                                               | 93 |
| 3.3.3    | Rotinas de Proteção e Tratamento de Exceções . . . . .                                               | 94 |
| 3.3.3.1  | Proteção de Sobrecorrente em Hardware (OCP) . . . . .                                                | 95 |
| 3.3.3.2  | Proteção de Sobrecorrente em Software . . . . .                                                      | 95 |

|           |                                                                                                      |     |
|-----------|------------------------------------------------------------------------------------------------------|-----|
| 3.3.3.3   | Proteção de Subtensão (UVLO) . . . . .                                                               | 95  |
| 3.3.3.4   | Deteção de Stall (Dessincronismo) . . . . .                                                          | 96  |
| 3.3.3.5   | Sequência Unificada de Entrada em Falha e Recuperação . . . . .                                      | 97  |
| 3.3.4     | Carga de bancada prevista . . . . .                                                                  | 97  |
| 3.3.5     | Interface de Monitoramento e Telemetria Sem Fio . . . . .                                            | 98  |
| 3.3.5.1   | Regressões de firmware na coexistência Bluetooth, Wi-Fi e <code>RUNNING</code> . . . . .             | 99  |
| 3.3.5.2   | Instabilidade do enlace Bluetooth Classic (DualShock 4) e impacto nos ensaios de potência . . . . .  | 101 |
| 3.3.5.3   | Coerência metrológica prevista (dashboard e UART) . . . . .                                          | 102 |
| 3.4       | Estado de Implementação da Deteção de Cruzamento por Zero (ZCD) . . . . .                            | 103 |
| 3.5       | Testes Físicos de Bancada . . . . .                                                                  | 103 |
| 3.5.1     | Validação Estática e Calibração de Hardware . . . . .                                                | 104 |
| 3.5.1.1   | Ensaio 0: Inicialização segura do MCPWM e prevenção de <i>shoot-through</i> no <i>boot</i> . . . . . | 104 |
| 3.5.1.2   | Ensaio 0b: Depuração de curto-circuito no acionamento da fase B . . . . .                            | 105 |
| 3.5.1.3   | Ensaio 0c: Depuração de curto-circuito no amplificador INA240 (U9) . . . . .                         | 107 |
| 3.5.1.4   | Ensaio 0d: Pinos <i>Shutdown</i> em RTC GPIO e falsa desativação dos IR2110 . . . . .                | 108 |
| 3.5.1.5   | Ensaio 1: Calibração de Tensão de Referência e Ganho dos Amplificadores INA240 . . . . .             | 109 |
| 3.5.1.5.1 | Ensaio 1a, Deriva pós-RF no canal A (GPIO 34) e mitigação firmware . . . . .                         | 111 |
| 3.5.1.6   | Ensaio 2: Validação dos Sinais Lógicos e Medição do <i>Dead-Time</i> . . . . .                       | 112 |
| 3.5.1.7   | Ensaio 3: Proteção por <i>Hardware</i> (OCP Trip) e Ondulação do Barramento DC . . . . .             | 113 |
| 3.5.1.7.1 | Validação do Disparo de Sobrecorrente (OCP Trip) do LM339. . . . .                                   | 113 |
| 3.5.1.7.2 | Medição da Ondulação de Tensão ( <i>Ripple</i> ) no Barramento DC. . . . .                           | 114 |
| 3.5.1.8   | Ensaio a Vazio: Falha estrutural no estágio de potência . . . . .                                    | 115 |
| 3.5.2     | Interrupção do protocolo experimental . . . . .                                                      | 117 |
| 3.5.3     | Métricas de Desempenho e Escalabilidade de Software . . . . .                                        | 117 |
| 3.5.3.1   | Sub-teste 5.1: Latência da Malha de Controle e Tempo Ocioso da CPU . . . . .                         | 118 |
| 3.5.3.2   | Sub-teste 5.2: Análise de Recursos de Memória: <i>Heap</i> e Flash . . . . .                         | 119 |
| 3.5.3.3   | Síntese do Impacto da Telemetria Wi-Fi no Desempenho Global . . . . .                                | 121 |
| 4         | CONCLUSÃO . . . . .                                                                                  | 124 |
|           | Referências . . . . .                                                                                | 126 |

# 1 INTRODUÇÃO

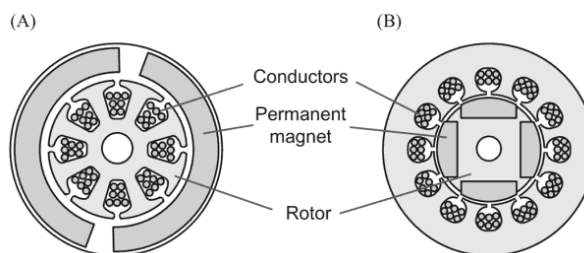
Os motores BLDC (*Brushless Direct Current Motor*) representam um avanço significativo em relação aos motores CC tradicionais porque eliminam a necessidade de escovas mecânicas para a conversão de energia, resultando em maior rendimento energético, menos desgaste e maior vida útil (Hanselman, 2003). Esses avanços tecnológicos estão sendo impulsionados pela crescente demanda por sistemas de acionamento de maior rendimento, confiáveis e de baixa manutenção em diversas aplicações industriais, comerciais e de consumo. A precisão e controlabilidade dos motores BLDC os tornam ideais para aplicações que exigem alta exatidão de movimento, velocidade e controle de torque, como robótica, automação industrial, veículos elétricos e eletrônicos de consumo.

## 1.1 Objetivos

Estudar o princípio de funcionamento de um controlador de motores Brushless, tornando possível o projeto e desenvolvimento de um protótipo que possa oferecer uma operação suave e precisa em diferentes cenários de aplicação.

## 1.2 Motores CC Sem Escova

O princípio de funcionamento dos motores BLDC é baseado em campos magnéticos gerados por ímãs permanentes e enrolamentos de (Figura 1). A comutação da corrente para gerar movimento ocorre eletronicamente, por meio de um controlador dedicado normalmente chamado de ESC (Electronic Speed Controller), que pode usar ou não sensores durante o processo, eliminando assim a necessidade de escovas mecânicas utilizadas em motores DC tradicionais. Esta abordagem resulta em uma diminuição significativa do desgaste mecânico, aumentando a vida útil do motor e reduzindo a necessidade de manutenção. Os motores BLDC são amplamente utilizados em uma variedade de aplicações, desde eletrônicos de consumo, como ventiladores e ferramentas elétricas, até aplicações industriais e automotivas. Sua capacidade de fornecer um controle preciso de velocidade e posição, juntamente com uma resposta rápida, faz deles a escolha ideal para sistemas que exigem rendimento energético e alta performance.

**Figura 1** – Configuração de um motor DC convencional (A) e motor BLDC (B).

Fonte: (Kim, 2017).

Apesar das muitas vantagens, eles não estão isentos de algumas limitações. A complexidade eletrônica necessária para o controle preciso, o custo inicial potencialmente mais elevado comparado a motores elétricos escovados, a sensibilidade a ambientes de alta temperatura, pois podem gerar a desmagnetização dos ímãs permanentes, a exigência de eletrônica de controle especializada, o potencial de ruído eletromagnético (EMI) e a complexidade de manutenção do sistema como um todo são fatores a serem considerados ao escolher essa tecnologia. Cada aplicação específica deve ponderar essas considerações em relação aos benefícios que os BLDC oferecem, como rendimento, durabilidade e controle superior.

São categorizados como síncronos, ou seja, o rotor gira na mesma frequência do campo magnético gerado pelo estator (Jahns, 1984). Também não apresentam o fenômeno de escorregamento que é característico dos motores de indução. Os motores BLDC estão disponíveis em configurações de uma fase, duas fases e três fases, sendo essa a mais amplamente utilizada, por serem equilibrados em relação a oscilação de torque e custo de construção (Hendershot; Miller, 1994).

A nomenclatura "Brushless DC" pode gerar uma interpretação equivocada. Embora alimentado por uma fonte de corrente contínua (DC), o motor BLDC é, em sua essência, um motor síncrono de ímãs permanentes (PMSM) (Umans, 2014). A rotação é induzida por campos magnéticos girantes gerados nos enrolamentos do estator, que são alimentados por formas de onda de corrente alternada (AC) sintetizadas por um controlador eletrônico. Portanto, a designação "DC" refere-se à fonte de alimentação externa, e não ao princípio físico de operação interna, que requer uma lógica de controle sofisticada para operar (Texas Instruments, 2013).

Nesse contexto, a performance do sistema é governada por parâmetros intrínsecos que descrevem a física da conversão de energia. Duas das mais importantes dessas constantes são a **constante de torque** ( $K_T$ ) e a **constante de velocidade** ( $K_V$ ). Estes parâmetros são a manifestação matemática dos princípios físicos que regem a interação entre os domínios elétrico e mecânico do motor.

### 1.2.1 Fundamentos Físicos da Conversão Eletromecânica

A operação de um motor elétrico é governada por dois princípios físicos interligados: a Força de Lorentz, que gera o torque, e a Lei da Indução de Faraday, que gera uma força contraeletromotriz.

#### 1.2.1.1 A Força de Lorentz e a Condição de Torque Máximo

A produção de força mecânica em um motor origina-se na Força de Lorentz. Esta lei descreve a força ( $\vec{F}$ ) sobre um condutor de comprimento vetorial ( $\vec{L}$ ) percorrido por uma corrente ( $I$ ) e imerso em um campo magnético ( $\vec{B}$ ). A relação vetorial é:

$$\vec{F} = I \cdot (\vec{L} \times \vec{B}) \quad (1.1)$$

A magnitude desta força,  $F = I \cdot L \cdot B \cdot \sin(\theta)$ , onde  $\theta$  é o ângulo entre o condutor e o campo magnético, é maximizada quando  $\sin(\theta) = 1$ , o que ocorre precisamente quando  $\theta = 90^\circ$ . Esta condição de ortogonalidade é o princípio mais elementar para a máxima conversão de energia.

Em um motor rotativo, o objetivo é o torque, que pode ser entendido como a interação entre o campo magnético gerado pelo estator ( $\vec{B}_{\text{estator}}$ ) e o campo gerado pelos ímãs permanentes do rotor ( $\vec{B}_{\text{rotor}}$ ). O torque eletromagnético ( $\vec{T}_{em}$ ) é o produto vetorial desses dois campos (Vas, 1998):

$$\vec{T}_{em} \propto \vec{B}_{\text{estator}} \times \vec{B}_{\text{rotor}} \quad (1.2)$$

A magnitude do torque é, portanto, diretamente proporcional ao seno do ângulo elétrico ( $\theta_e$ ) entre os dois vetores de campo. O torque máximo é alcançado quando este ângulo é mantido em 90 graus elétricos. Manter esta condição de ortogonalidade de forma contínua é o objetivo central das estratégias de controle de alto desempenho, como o Controle Orientado por Campo (FOC), pois garante não apenas o torque máximo para uma dada corrente, mas também o máximo rendimento na conversão eletromecânica.

#### 1.2.1.2 A Lei de Faraday

Simultaneamente à produção de torque, um motor em rotação atua como um gerador. A Lei da Indução de Faraday afirma que a variação do fluxo magnético através de uma espira de fio induz uma força eletromotriz (FEM). Em um motor, o movimento dos ímãs do rotor em relação aos enrolamentos do estator induz uma tensão conhecida como **força contraeletromotriz (FCEM)**, ou *back-EMF*.

De acordo com a Lei de Lenz, a polaridade desta tensão induzida ( $e_a$ ) se opõe diretamente à tensão terminal ( $V$ ) aplicada ao motor (Infineon Technologies, 2011). A magnitude da FCEM é diretamente proporcional à velocidade angular ( $\omega$ ) do motor, estabelecendo a ligação física entre o movimento mecânico (velocidade) e um fenômeno elétrico (tensão induzida).

### 1.2.2 Modelo Matemático do Motor e a Definição das Constantes

Os princípios de Lorentz e Faraday são sintetizados em um modelo matemático que descreve a dinâmica do motor.

**Equação Elétrica (Lei de Kirchhoff):**

$$V = e_a + I_a \cdot R_a + L_a \cdot \frac{dI_a}{dt} \quad (1.3)$$

Onde  $V$  é a tensão aplicada,  $e_a$  é a FCEM de Armadura,  $I_a \cdot R_a$  é a queda de tensão resistiva de Armadura e  $L_a \cdot \frac{dI_a}{dt}$  é a queda de tensão indutiva de Armadura (Umans, 2014). Vale ressaltar que Armadura é o termo técnico para o enrolamento em motores elétricos, onde a principal conversão de energia acontece.

**Equação Mecânica (2ª Lei de Newton para Rotação):**

$$T_e = T_l + J \cdot \frac{d\omega}{dt} + B \cdot \omega \quad (1.4)$$

Onde  $T_e$  é o torque eletromagnético,  $T_l$  é o torque de carga,  $J \cdot \frac{d\omega}{dt}$  é o torque inercial e  $B \cdot \omega$  é o torque de atrito viscoso (Umans, 2014).

Dentro deste modelo, as constantes do motor surgem como os fatores de proporcionalidade que conectam os domínios elétrico e mecânico.

### 1.2.3 A constante de Torque $K_T$

A constante de torque ( $K_T$ ) define a capacidade de um motor de converter corrente elétrica em torque mecânico. É formalmente definida como a relação linear:

$$T_e = K_T \cdot I_a \quad (1.5)$$

O valor de  $K_T$  não é arbitrário, mas determinado pelas características construtivas do motor (Hendershot; Miller, 1994):

- **Força do Campo Magnético ( $B$ ):** Ímãs mais fortes (ex: Neodímio) resultam em um  $K_T$  maior.
- **Configuração do Enrolamento:** É diretamente proporcional ao número de espiras ( $N$ ) nos enrolamentos.
- **Geometria do Motor:** Dimensões como o comprimento e o raio do estator influenciam diretamente seu valor.

Para um dado torque de carga, um motor com  $K_T$  maior demandará uma corrente menor, resultando em menores perdas por efeito Joule ( $P = I^2 \cdot R$ ) e, portanto, maior rendimento.

### 1.2.4 As constantes de Velocidade $K_V$

De forma análoga, a relação entre a FCEM e a velocidade é quantificada por constantes.

- **Constante de FCEM ( $K_e$ ):** É a constante física que relaciona a FCEM gerada ( $e_a$ ) com a velocidade angular do motor ( $\omega$ ):

$$e_a = K_e \cdot \omega \quad (1.6)$$

Assim como  $K_T$ ,  $K_e$  (também denotado como  $k_b$ ) depende do projeto físico do motor (Zoltan, 2012).

- **Constante de Velocidade ( $K_V$ ):** Muito mais comum em folhas de dados comerciais,  $K_V$  é definida como a relação entre a velocidade do motor sem carga e a tensão aplicada, geralmente em unidades de **RPM/V**. A relação entre  $K_V$  e  $K_e$  é de simples inversão (Infineon Technologies, 2011):

$$K_V = \frac{1}{K_e} \quad (1.7)$$

A FCEM é o mecanismo que limita a velocidade máxima do motor. O motor acelera até que a FCEM ( $e_a = K_e \cdot \omega$ ) se aproxime da tensão de alimentação ( $V$ ), ponto no qual a corrente resultante é apenas suficiente para vencer o atrito.

### 1.2.5 A Equivalência entre $K_T$ e $K_e$

Um dos resultados mais notáveis na teoria de motores é a equivalência numérica entre  $K_T$  e  $K_e$  quando ambas são expressas em unidades do Sistema Internacional (SI): **Nm/A** para  $K_T$  e **V·s/rad** para  $K_e$ .

$$K_T [\text{Nm/A}] = K_e [\text{V·s/rad}] \quad (1.8)$$

Esta equivalência não é uma coincidência, mas uma consequência da **lei da conservação de energia**.

#### **Demonstração por Balanço de Potência:**

1. A potência elétrica convertida em potência mecânica ( $P_{\text{conv}}$ ) é a parte da potência de entrada que não é perdida como calor nos enrolamentos.
2. A potência elétrica fornecida à armadura é

$$P_{\text{in}} = V \cdot I_a \quad (1.9)$$

Substituindo a equação elétrica  $V = e_a + I_a R_a$ :

$$P_{\text{in}} = (e_a + I_a R_a) I_a = e_a I_a + I_a^2 R_a \quad (1.10)$$

A parcela  $I_a^2 R_a$  corresponde às perdas Joule nos enrolamentos; descontando-as, a potência eletromecanicamente convertida é

$$P_{\text{conv}} = e_a I_a \quad (1.11)$$

3. A potência mecânica de saída ( $P_{\text{mec}}$ ) é o produto do torque eletromagnético e da velocidade angular:

$$P_{\text{mec}} = T_e \cdot \omega \quad (1.12)$$

4. Pela conservação de energia, a potência convertida iguala-se à potência mecânica de saída:

$$P_{\text{conv}} = P_{\text{mec}} \quad (1.13)$$

5. Combinando os itens anteriores,  $P_{\text{conv}} = P_{\text{mec}}$  implica

$$e_a I_a = T_e \omega \quad (1.14)$$

Substituindo as definições  $e_a = K_e \omega$  e  $T_e = K_T I_a$ :

$$(K_e \omega) I_a = (K_T I_a) \omega \quad (1.15)$$

6. Para qualquer condição de operação não nula, podemos cancelar  $\omega$  e  $I_a$  de ambos os lados, provando que:

$$K_e = K_T \quad (1.16)$$

Esta prova revela que o mesmo mecanismo de acoplamento eletromagnético que produz torque a partir da corrente (princípio motor,  $K_T$ ) é o que gera tensão a partir do movimento (princípio gerador,  $K_e$ ). Eles são duas manifestações do mesmo fenômeno físico (Zoltan, 2012; Garcia, 1997).

### 1.2.6 Conversão de Unidades

A elegância teórica é frequentemente obscurecida pelo uso de unidades inconsistentes na prática. A habilidade de converter valores de folhas de dados para o padrão SI é indispensável. A relação prática mais importante é entre  $K_T$  e  $K_V$ :

$$K_T [\text{N}\cdot\text{m/A}] = \frac{60 \cdot K_V [\text{RPM/V}]}{2\pi} \quad (1.17)$$

Esta fórmula é derivada diretamente da equivalência  $K_T = K_e = 1/K_V$  após a conversão da velocidade para rad/s (Infineon Technologies, 2011). A tabela abaixo resume as conversões chave.

**Tabela 1** – Unidades de Constantes de Motor e Fatores de Conversão para o SI

| Parâmetro                         | Unidade SI | Unidades Comuns Não-SI | Fórmula de Conversão para SI                           |
|-----------------------------------|------------|------------------------|--------------------------------------------------------|
| Constante de Torque ( $K_T$ )     | N·m/A      | oz-in/A<br>mN·m/A      | 1 oz-in/A = 0.00706155 N·m/A<br>1 mN·m/A = 0.001 N·m/A |
| Constante de FCEM ( $K_e$ )       | V·s/rad    | V/krpm                 | 1 V/krpm = 0.009549 V·s/rad                            |
| Constante de Velocidade ( $K_V$ ) | rad/(V·s)  | RPM/V                  | 1 RPM/V = 0.10472 rad/(V·s)                            |

Fonte: Elaborado pelo autor (2026).

### 1.2.7 A Constante do Motor ( $K_m$ ) como Figura de Mérito

Uma constante mais fundamental para avaliar a qualidade do projeto de um motor é a **constante do motor** ( $K_m$ ):

$$K_m = \frac{K_T}{\sqrt{R_a}} \quad (1.18)$$

Sua unidade no SI é  $\text{N}\cdot\text{m}/\sqrt{\text{W}}$ .  $K_m$  representa a capacidade do motor de produzir torque por watt de potência dissipada como calor. Um  $K_m$  mais alto indica um motor com maior rendimento na conversão de energia. Notavelmente,  $K_m$  é invariante a alterações no enrolamento para um mesmo tamanho de carcaça, tornando-se uma excelente figura de mérito para comparar a qualidade de diferentes projetos de motores (Infineon Technologies, 2011).

### 1.2.8 Influência da Temperatura

Embora chamadas de "constantes",  $K_T$  e  $K_e$  são afetadas pela temperatura. O aquecimento do motor causa uma redução na força magnética dos ímãs permanentes. Como ambas as constantes são diretamente proporcionais à densidade de fluxo magnético, um motor operando em alta temperatura produzirá menos torque para a mesma corrente (menor  $K_T$ ) e precisará girar mais rápido para gerar a mesma FCEM (menor  $K_e$ , consequentemente um  $K_V$  ligeiramente maior), resultando em uma performance geral degradada.

## 1.3 Controlador Eletrônico de Velocidade (ESC)

Os controladores eletrônicos de velocidade, são dispositivos eletrônicos que controlam a velocidade e o torque de motores BLDC. São classificados pela sua corrente e tensão máxima de saída. São constituídos dos seguintes componentes básicos:

- **Circuito de entrada:** O circuito de entrada converte a tensão fornecida pela bateria em tensão que pode ser usada pelo circuito de controle utilizando PWM para gerar uma tensão média desejada que será fornecida ao motor. Também pode inverter a sequência de comutação das fases fazendo com que o sentido de rotação também seja invertido.
- **Circuito de controle:** O circuito de controle é responsável por calcular a corrente que deve ser fornecida às bobinas do motor. Normalmente se utilizam de sinais com características de PWM como sinal de referência para definir a velocidade e sentido de rotação.
- **Circuito de saída:** O circuito de saída fornece a corrente necessária às bobinas do motor.

Além desses componentes básicos, os ESCs para motor BLDC pode incluir os seguintes recursos, além dos já discutidos anteriormente:

- **Filtro de ruído:** O filtro de ruído é usado para reduzir o ruído elétrico que pode ser gerado pelo motor.

- **Proteção térmica:** A proteção térmica é usada para proteger o motor de superaquecimento.
- **Proteção contra sobrecarga:** O ESC pode desligar o motor se ele experimentar correntes superiores às nominais que representam riscos de deterioração das bobinas do motor.

As equações lineares de um motor DC só são diretamente aplicáveis a um motor BLDC devido à ação sofisticada do seu **Controlador Eletrônico de Velocidade (ESC)**. O ESC realiza a comutação eletrônica, energizando sequencialmente os enrolamentos do estator para criar um campo magnético giratório. Isso força a complexa máquina AC a se comportar como o motor DC idealizado, tornando as constantes  $K_T$  e  $K_e$  ferramentas de análise e projeto perfeitamente válidas (Hendershot; Miller, 1994).

### 1.3.1 Consequências Práticas da Seleção de $K_V$

A seleção de  $K_V$  é uma decisão de projeto crítica que estabelece um compromisso fundamental:

- **Motores de Alto  $K_V$ :** Possuem menos espiras de fio mais grosso. Resultam em baixo  $K_T$ , baixa resistência e baixa indutância. Para produzir torque, exigem alta corrente, mas atingem altas velocidades. Ideais para aplicações de alta velocidade e baixo torque, como drones de corrida e fusos de usinagem (T-MOTOR, 2019).
- **Motores de Baixo  $K_V$ :** Possuem mais espiras de fio mais fino. Resultam em alto  $K_T$ , alta resistência e alta indutância. Geram alto torque com baixas correntes, apresentando maior rendimento para essa finalidade, mas com menor velocidade máxima. Ideais para aplicações de acionamento direto e alto torque, como drones de carga, guinchos e atuadores robóticos (Build Your Own Drone, 2018).

### 1.3.2 Princípios de Operação

O controlador eletrônico tem a função de fornecer tensão e corrente adequadas às bobinas do estator, visando o controle preciso da velocidade e do torque da máquina (Jahns; Soong, 1996). A topologia fundamental para esta finalidade é a ponte inversora trifásica, à qual o motor BLDC pode ser acoplado em configuração estrela ou triângulo. O chaveamento dos transistores do inversor deve ser orquestrado de forma que cada fase seja percorrida por uma corrente com forma de onda senoidal ou trapezoidal. A excitação senoidal é voltada para um acionamento de alto desempenho e suavidade, enquanto a trapezoidal destaca-se pela simplicidade de controle e baixo custo de implementação. Para garantir a geração de um campo magnético girante e a rotação contínua do rotor, as formas de onda das três fases devem ser defasadas em 120 graus elétricos entre si.

### 1.3.2.1 Comutação de Seis Passos

A comutação de seis passos demanda um sincronismo de disparo dos transistores de modo que, no modelo ideal, sempre dois deles estejam fechados: um transistor do lado superior (*high-side*) conectado ao barramento positivo e um transistor do lado inferior (*low-side*) conectado ao barramento negativo. Assim, em cada setor de  $60^\circ$  elétricos, duas fases são energizadas e a terceira permanece eletricamente aberta para que sua FCEM possa ser observada (Figura 2). Cada transistor permanece em condução durante  $120^\circ$  elétricos.

A denominação “seis passos”, entretanto, descreve apenas os seis estados estacionários comandados pelo controlador ao longo de um ciclo elétrico. Do ponto de vista físico da corrente, cada passagem entre dois setores contém também um intervalo transitório de comutação. Portanto, uma descrição mais completa pode ser entendida como doze subintervalos por ciclo elétrico: seis intervalos de condução principal, nos quais a corrente percorre duas fases, e seis intervalos de transferência, nos quais a corrente da fase que está sendo desligada ainda precisa encontrar um caminho de circulação.

Esse comportamento ocorre porque os enrolamentos do estator são indutivos. A corrente de um elemento indutivo não pode variar instantaneamente, logo, quando um MOSFET é bloqueado, a corrente que circulava naquela fase não desaparece. Ela força a tensão do terminal da fase a se deslocar até polarizar diretamente o diodo de corpo de algum MOSFET. A corrente que estava circulando pela fase de saída continua fluindo pelo enrolamento da fase de saída e é desviada para um caminho de roda livre formado pelos diodos intrínsecos dos MOSFETs, até que sua energia magnética seja transferida para a outra fase.

Considere, por exemplo, a transição do setor  $A^+B^-$  para o setor  $A^+C^-$ . Antes da comutação, a corrente principal percorre o caminho  $+V_{DC} \rightarrow H_A \rightarrow A \rightarrow B \rightarrow L_B \rightarrow -V_{DC}$ , onde  $H_A$  representa o transistor superior da fase A e  $L_B$  o transistor inferior da fase B. Quando  $L_B$  é desligado, a corrente que saía pela fase B continua no mesmo sentido por causa da energia armazenada no indutor. Como o caminho pelo transistor inferior foi aberto, o terminal B é elevado até conduzir pelo diodo de corpo do transistor superior da mesma fase ( $H_B$ ), fechando uma malha de recirculação. Ao mesmo tempo,  $L_C$  começa a conduzir e a corrente cresce na nova fase de retorno C. Durante esse intervalo, a corrente se divide entre uma malha antiga em decaimento, associada à fase B, e uma malha nova em crescimento, associada à fase C.

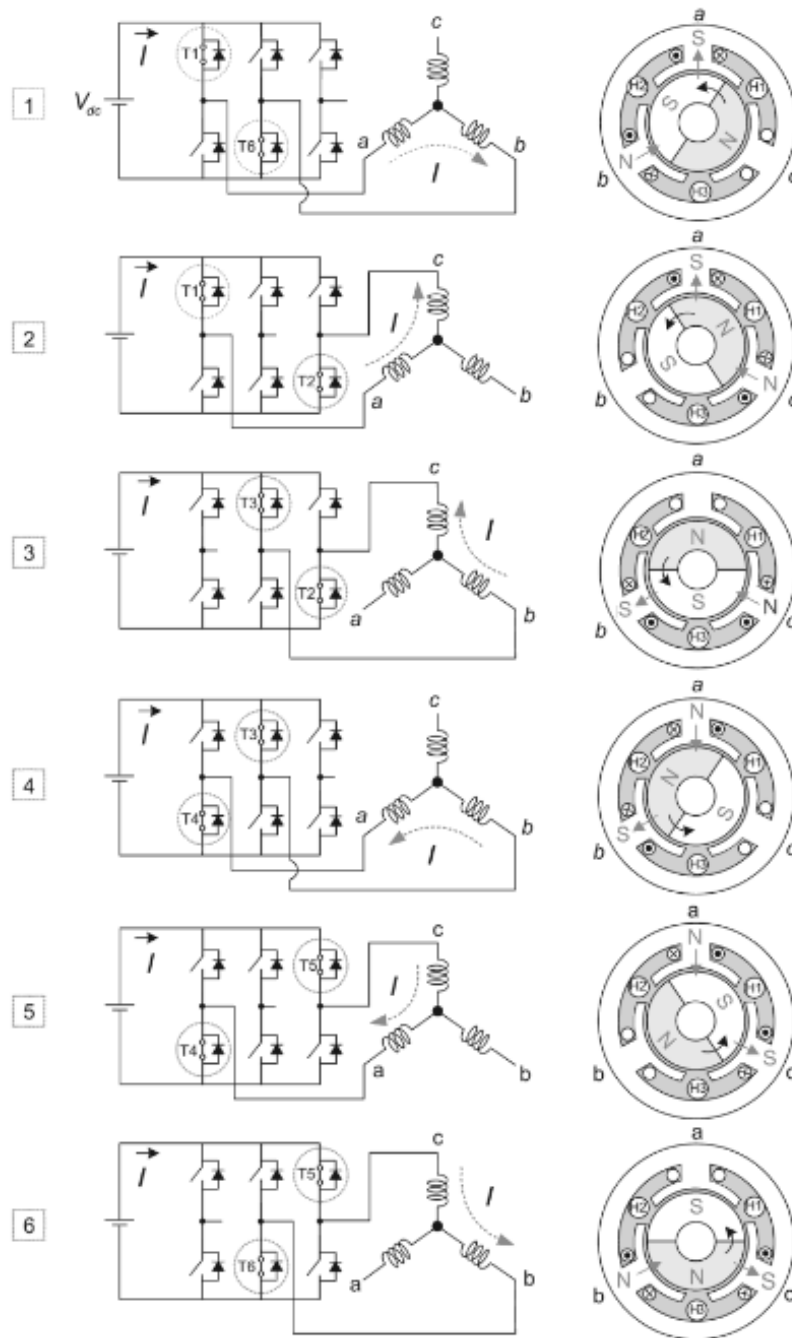
O caso complementar ocorre quando a fase que está saindo é conectada ao terminal positivo do barramento CC. Em uma transição como  $A^+C^-$  para  $B^+C^-$ , o transistor superior de A é bloqueado e a corrente da fase A, que ainda tende a entrar no enrolamento, força o terminal A a conduzir pelo diodo de corpo do transistor inferior de A ( $L_A$ ). Assim, quando um transistor superior é bloqueado, o caminho complementar é formado pelo diodo em antiparalelo do transistor inferior da mesma fase e quando um transistor inferior é bloqueado, o caminho complementar é formado pelo diodo em antiparalelo do transistor superior da mesma fase. A Tabela 2 resume essa sequência para uma rotação elétrica completa.

**Tabela 2** – Estados principais e intervalos transitórios na comutação trapezoidal

| Setor | Estado principal | Caminho principal da corrente                                                             | Intervalo de transferência para o próximo setor                                                                            |
|-------|------------------|-------------------------------------------------------------------------------------------|----------------------------------------------------------------------------------------------------------------------------|
| 1     | $A^+B^-$         | $+V_{DC} \rightarrow H_A \rightarrow A \rightarrow B \rightarrow L_B \rightarrow -V_{DC}$ | $B$ deixa de ser a fase de retorno; sua corrente decai pelo diodo de $H_B$ , enquanto $C$ passa a conduzir por $L_C$ .     |
| 2     | $A^+C^-$         | $+V_{DC} \rightarrow H_A \rightarrow A \rightarrow C \rightarrow L_C \rightarrow -V_{DC}$ | $A$ deixa de ser a fase de alimentação; sua corrente decai pelo diodo de $L_A$ , enquanto $B$ passa a conduzir por $H_B$ . |
| 3     | $B^+C^-$         | $+V_{DC} \rightarrow H_B \rightarrow B \rightarrow C \rightarrow L_C \rightarrow -V_{DC}$ | $C$ deixa de ser a fase de retorno; sua corrente decai pelo diodo de $H_C$ , enquanto $A$ passa a conduzir por $L_A$ .     |
| 4     | $B^+A^-$         | $+V_{DC} \rightarrow H_B \rightarrow B \rightarrow A \rightarrow L_A \rightarrow -V_{DC}$ | $B$ deixa de ser a fase de alimentação; sua corrente decai pelo diodo de $L_B$ , enquanto $C$ passa a conduzir por $H_C$ . |
| 5     | $C^+A^-$         | $+V_{DC} \rightarrow H_C \rightarrow C \rightarrow A \rightarrow L_A \rightarrow -V_{DC}$ | $A$ deixa de ser a fase de retorno; sua corrente decai pelo diodo de $H_A$ , enquanto $B$ passa a conduzir por $L_B$ .     |
| 6     | $C^+B^-$         | $+V_{DC} \rightarrow H_C \rightarrow C \rightarrow B \rightarrow L_B \rightarrow -V_{DC}$ | $C$ deixa de ser a fase de alimentação; sua corrente decai pelo diodo de $L_C$ , enquanto $A$ passa a conduzir por $H_A$ . |

Dessa forma, o controle é comandado em seis setores, mas a corrente percorre doze situações relevantes: seis caminhos principais de produção de torque e seis caminhos transitórios de roda livre ou regeneração parcial. Durante essas transições, nenhuma fase é instantaneamente desligada em termos eletromagnéticos; a fase de saída permanece conduzindo por diodo por uma fração do período, enquanto a fase de entrada ainda está estabelecendo corrente. A consequente distorção transitória das tensões de fase e a assimetria entre a corrente que decai e a corrente que cresce são as principais causas das oscilações no torque do motor (*torque ripple*) características deste método (Kim, 2017; Jahns; Soong, 1996).

Esse algoritmo de acionamento dos transistores, também chamado de Controle Trapezoidal, é a base para o funcionamento do motor BLDC. Embora seja possível operá-lo em malha aberta (sequência fixa), esta abordagem apresenta baixo rendimento e é propensa à perda de sincronismo sob variações de carga. Portanto, neste trabalho, projeta-se e implementa-se a infraestrutura de *hardware* e *firmware* para um **ESC trapezoidal sensorless**, incluindo os circuitos de reconstrução de neutro virtual, filtragem RC e comparadores LM339 destinados à detecção de cruzamento por zero (ZCD) da FCEM.

**Figura 2** – Sequência de acionamento para um BLDC trifásico.

Fonte: (Kim, 2017).

Nesta etapa de validação, a comutação opera em **malha aberta** (alinhamento e rampa forçada); a **transição para comutação em malha fechada orientada por ZCD** permanece como passo subsequente, após a confirmação da sequência 6-step e do condicionamento do sinal, conforme detalhado no Capítulo 4.

Quando a aplicação necessita que o motor possua apenas uma velocidade, a fonte de alimentação de tensão fixa é suficiente. Para casos onde é necessário variar a velocidade

do motor, a técnica de Modulação por Largura de Pulso (PWM) é normalmente empregada. Um ESC, por exemplo, utiliza PWM para ajustar a tensão média aplicada ao motor, controlando assim sua velocidade. Essa técnica, no entanto, pode demandar a utilização de controladores que comparem a velocidade desejada com a medida no rotor para um controle preciso, estratégia desenvolvida teoricamente na Seção 1.4.

### 1.3.2.2 Análise da Ondulação de Torque (*Torque Ripple*)

A principal desvantagem intrínseca à comutação forçada de seis passos (malha aberta) é a geração de uma ondulação de torque (*torque ripple*), que se manifesta como pulsações no torque de saída do motor (Jahns, 1984; Ali; Zulkifli; Abd Halim, 2017). Essas pulsações podem causar oscilações na velocidade, ruído acústico e vibrações mecânicas, sendo particularmente prejudiciais em aplicações que exigem alta precisão de movimento (Jahns; Soong, 1996). A frequência desta ondulação é seis vezes a frequência elétrica fundamental do motor, correspondendo a uma pulsação a cada evento de comutação (Jahns, 1984). Conforme analisado em trabalhos seminais como os de Jahns (1984) e Hendershot & Miller (1994), este fenômeno é consequência de dois fatores principais (Kim, 2017; Hendershot; Miller, 1994).

1. **Incompatibilidade de Formas de Onda:** O modelo ideal do controle trapezoidal assume uma forma de onda de corrente perfeitamente retangular e uma FCEM perfeitamente trapezoidal. Na prática, a FCEM dos motores reais raramente é um trapézio ideal, e a corrente injetada não é perfeitamente retangular. Qualquer desalinhamento ou incompatibilidade entre a forma de onda da corrente e a da FCEM resulta em variações no torque produzido, conforme a equação  $T_e = (e_a \cdot i_a + e_b \cdot i_b + e_c \cdot i_c) / \omega$  (Hendershot; Miller, 1994).
2. **Transientes de Comutação:** A causa mais significativa da ondulação de torque é o próprio processo de comutação. Devido à indutância presente nos enrolamentos do motor, a corrente não pode variar instantaneamente. Quando o controlador comuta de um passo para o outro (por exemplo, de A-B para A-C), há um período de tempo finito durante o qual a corrente na fase que está sendo desligada (fase B) decai através do diodo de roda livre, e a corrente na fase que está sendo ligada (fase C) aumenta através da chave ativa (Jahns; Soong, 1996; Joice; Paranjothi; Kumar, 2013). Durante este intervalo de comutação, o torque eletromagnético total produzido pelo motor não é constante. A taxa de variação da corrente na fase de entrada ( $\frac{di_{in}}{dt}$ ) e na de saída ( $\frac{di_{out}}{dt}$ ) é assimétrica devido à diferença de potencial aplicada em cada malha. Enquanto o crescimento da corrente na fase de entrada é retardado pela oposição da sua Força Contra-Eletromotriz (FCEM), o decaimento da corrente na fase de saída é acelerado pela soma da tensão do barramento com a sua respectiva FCEM durante a condução pelo diodo de roda livre. Essa diferença nas derivadas de corrente gera uma perturbação transitória na soma total das correntes do

estator, resultando em um mergulho (*dip*) ou pico de torque a cada 60° elétricos (Choi; Lee; Lee, 1998; Chen *et al.*, 2019).

A ondulação de torque não é apenas um efeito colateral indesejado; é a manifestação mecânica de uma conversão de energia eletromecânica periodicamente de baixo rendimento. O objetivo do motor é converter potência elétrica em potência mecânica (torque vezes velocidade) de forma contínua e suave. Durante os intervalos de comutação, o vetor de corrente do estator está em transição entre duas posições estáveis. Neste período, o alinhamento entre o campo magnético do estator e o campo magnético do rotor desvia-se momentaneamente da orientação ótima de 90° elétricos necessária para a produção máxima de torque. Consequentemente, para uma mesma magnitude de corrente de entrada, o torque de saída é reduzido, representando uma queda transitória no rendimento da conversão de energia. A ondulação de torque observada é, portanto, o resultado direto desses intervalos de conversão sub-ótima, inerentes à natureza discreta do chaveamento de seis passos.

### 1.3.2.3 Modulação por Largura de Pulso (PWM)

O controle de velocidade e torque de motores BLDC exige a imposição de uma tensão terminal variável nos enrolamentos do estator. Dado que as fontes de alimentação primárias disponíveis na maioria das aplicações (como baterias e fontes de bancada) operam com uma tensão contínua fixa ( $V_{DC}$ ), faz-se necessária a aplicação da técnica de Modulação por Largura de Pulso (PWM, *Pulse Width Modulation*). Esta técnica consiste no chaveamento periódico de alta frequência dos semicondutores de potência da ponte inversora, aplicando pulsos de tensão retangulares de amplitude fixa e largura variável à carga indutiva.

O parâmetro fundamental que rege o comportamento do PWM é a razão cíclica (*duty cycle*,  $D$ ), definida matematicamente como a relação entre o tempo em que o sinal permanece em nível lógico alto ( $t_{on}$ ) e o período total do ciclo de chaveamento ( $T$ ), conforme expresso na Equação 1.19:

$$D = \frac{t_{on}}{T} = t_{on} \cdot f_c \quad (1.19)$$

Em que  $f_c$  representa a frequência de portadora ou frequência de chaveamento. A tensão média efetiva entregue aos enrolamentos do estator ( $V_{média}$ ) é obtida por meio da integração do sinal de tensão instantâneo ao longo de um período completo, resultando em uma relação linear direta com a razão cíclica, explicitada na Equação 1.20:

$$V_{média} = \frac{1}{T} \int_0^{t_{on}} V_{DC} dt = \frac{t_{on}}{T} V_{DC} = D \cdot V_{DC} \quad (1.20)$$

A seleção da frequência de chaveamento ( $f_c$ ) constitui um compromisso crítico de projeto de engenharia, governado por restrições de ordem magnética, acústica e térmica. Motores BLDC de alto desempenho e tamanho reduzido comumente apresentam resistência estatórica e indutância

de fase extremamente baixas. Sob frequências de chaveamento reduzidas, a baixa constante de tempo indutiva ( $\tau = L/R$ ) resulta em uma elevada ondulação de corrente (*current ripple*), o que culmina em perdas excessivas por efeito Joule no cobre e geração de ruído acústico na faixa audível humana (20 Hz a 20 kHz).

Por outro lado, a elevação excessiva de  $f_c$  acarreta o aumento linear das perdas por comutação (*switching losses*) nos MOSFETs de potência, dadas pela transição periódica entre os estados de condução e bloqueio, conforme modelado simplificado na Equação 1.21:

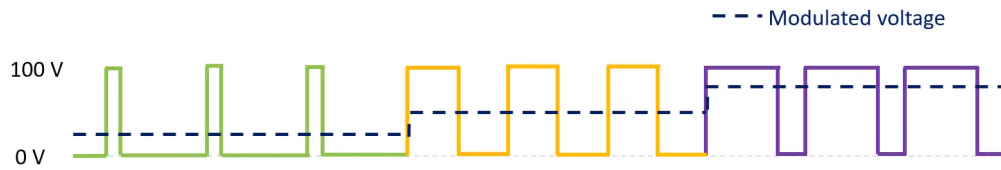
$$P_{sw} = V_{DC} \cdot I_{out} \cdot f_c \cdot \left( \frac{t_r + t_f}{2} \right) \quad (1.21)$$

Em que  $I_{out}$  é a corrente de saída, e  $t_r$  e  $t_f$  são os tempos de subida (*rise time*) e descida (*fall time*) do transistor, respectivamente. No desenvolvimento de inversores voltados a protótipos de ESC, adota-se rotineiramente uma frequência de portadora de aproximadamente 20 kHz. Esse valor se posiciona no limiar superior da audição humana, mitigando poluição sonora decorrente do magnetostritismo, ao mesmo tempo em que preserva a integridade térmica dos transistores e minimiza a ondulação da corrente contínua através do estator.

No âmbito da comutação trapezoidal de seis passos, o sinal PWM gerado pelo periférico de controle (como o módulo MCPWM) pode ser aplicado de diferentes formas aos braços do inversor trifásico durante o setor de condução de  $120^\circ$  elétricos. Destacam-se as seguintes estratégias de modulação unipolar:

- **Estratégia H\_PWM - L\_ON:** O sinal PWM de alta frequência é aplicado exclusivamente ao transistor do lado da alta (*High-Side*), enquanto o dispositivo correspondente do lado da baixa (*Low-Side*) permanece permanentemente conduzindo em nível contínuo (SINK) durante todo o intervalo de  $120^\circ$ . Esta abordagem reduz sensivelmente as perdas por comutação totais da ponte, uma vez que apenas uma das chaves ativas sofre transições rápidas a cada período.
- **Estratégia H\_ON - L\_PWM:** Configuração inversa à anterior, na qual a chave superior é mantida saturada em nível lógico alto e a chave inferior modula a corrente em alta frequência.

Durante os períodos de desligamento do PWM ( $t_{off}$ ) na estratégia H\_PWM - L\_ON, a energia armazenada no campo magnético indutivo da bobina força a circulação da corrente através do diodo de roda livre intrínseco do MOSFET complementar, estabelecendo um circuito de recirculação. A correta temporização e o entendimento de que a largura de pulso atua diretamente na magnetização do estator formam o alicerce para o controle de torque do sistema.

**Figura 3** – Modulação por largura de pulso utilizando uma fonte de 100V.

Fonte: (MATLAB, 2019).

### 1.3.3 Estratégia de Partida em Malha Aberta para Operação *Sensorless*

A implementação de um controle *sensorless* eficaz depende da capacidade do controlador de estimar a posição do rotor a partir de grandezas elétricas, mais comumente a FCEM. Contudo, esta abordagem apresenta um desafio fundamental: em repouso (velocidade zero), não há movimento relativo entre os ímãs do rotor e os enrolamentos do estator, e, portanto, nenhuma FCEM é gerada (Texas Instruments, 2013; NXP Semiconductors, 2023). Nesta condição "cega", o controlador não possui informações sobre a posição angular do rotor, tornando impossível determinar qual par de fases deve ser energizado para iniciar a rotação na direção desejada. Para superar essa limitação, é necessária uma rotina de partida especializada, operando em malha aberta, que força o motor a girar até que uma velocidade suficiente seja atingida para que a FCEM se torne detectável e o controle em malha fechada possa assumir. Este procedimento é universalmente dividido em duas fases sequenciais: alinhamento e comutação forçada.

#### 1.3.3.1 Alinhamento do Rotor

O primeiro passo para uma partida confiável é estabelecer uma posição inicial conhecida para o rotor. A fase de alinhamento realiza isso ao energizar um conjunto específico de enrolamentos do estator com uma corrente contínua (DC) por um período de tempo pré-determinado (Texas Instruments, 2022; NXP Semiconductors, 2023). Por exemplo, o controlador pode aplicar uma tensão positiva à fase C e conectar as fases A e B ao terra (Texas Instruments, 2022). Esta ação cria um campo magnético estático e fixo no estator. Os ímãs permanentes do rotor, livres para girar, irão se alinhar com este campo para minimizar a relutância magnética do circuito, de forma análoga a uma agulha de bússola se alinhando com o campo magnético terrestre. Ao final deste processo, o rotor estará travado em uma posição angular conhecida e previsível. Os parâmetros críticos que governam esta fase são a duração do alinhamento e a magnitude da corrente de alinhamento (Texas Instruments, 2022).

A fase de alinhamento funciona como uma etapa de otimização pré-torque, o seu objetivo primordial é condicionar o sistema para que o primeiro passo de comutação dinâmica gere o máximo torque possível. O maior desafio ao iniciar um motor a partir do repouso é vencer a inércia da carga e o atrito estático, o que exige um impulso de torque inicial elevado. A teoria de motores elétricos, conforme estabelecido na Seção 1.1.1, dita que o torque é maximizado

quando o campo magnético do estator está orientado a  $90^\circ$  elétricos em relação ao campo do rotor. O algoritmo de controle é projetado sabendo a posição final do rotor após o alinhamento. Assim, a primeira combinação de fases a ser energizada na fase seguinte (rampa de aceleração) é escolhida para criar um novo vetor de campo magnético do estator que esteja precisamente na orientação ótima em relação à posição agora conhecida do rotor. Isso garante que o primeiro passo dinâmico produza um torque potente e eficaz, "chutando" o rotor para o movimento e superando as resistências iniciais. Uma duração de alinhamento insuficiente ou uma corrente muito baixa pode resultar em um alinhamento incompleto, levando a um torque inicial fraco e, conseqüentemente, a uma falha na partida (Texas Instruments, 2022).

### 1.3.3.2 Comutação Forçada (Rampa de Aceleração)

Com o rotor devidamente alinhado, o controlador inicia a fase de comutação forçada. Nesta etapa, o sistema opera em malha aberta, comutando as fases em uma sequência predefinida, sem qualquer realimentação da posição do rotor (NXP Semiconductors, 2023). A frequência de comutação não é aplicada abruptamente; em vez disso, ela é aumentada gradualmente a partir de um valor inicial baixo, seguindo um perfil de aceleração pré-programado, conhecido como "curva de partida em malha aberta" (*open-loop starting curve*) (Texas Instruments, 2022). Esta rampa de aceleração é definida por coeficientes pré-definidos (Texas Instruments, 2022).

Durante esta fase, o controlador essencialmente comanda a rotação do campo magnético do estator e "assume" que o rotor, devido à sua inércia e ao torque gerado, conseguirá acompanhar este campo giratório. O processo continua, com a frequência de comutação aumentando progressivamente, até que a velocidade de rotação do motor seja alta o suficiente (tipicamente em torno de 5% da velocidade nominal) para que a FCEM gerada nos enrolamentos atinja uma amplitude que possa ser medida de forma confiável (Texas Instruments, 2022; NXP Semiconductors, 2023). Neste ponto, o sistema realiza a transição (*handoff*) do controle em malha aberta para um modo de controle em malha fechada (por exemplo, baseado na detecção de cruzamento por zero da FCEM), que é de maior rendimento e robusto para a operação contínua.

### 1.3.4 Desafios e Limitações da Partida Forçada

A estratégia de partida em malha aberta não é isenta de desafios e limitações significativas. A sua natureza "cega" a torna vulnerável a variações de carga e a parâmetros não ideais do sistema.

#### 1.3.4.1 Análise do Fenômeno de Perda de Sincronismo (Stall)

O risco mais proeminente do controle em malha aberta é a perda de sincronismo, comumente conhecida como *stall* ou perda de passo. Este fenômeno ocorre quando a aceleração real do rotor não consegue acompanhar a velocidade de rotação do campo magnético do estator imposta pelo controlador. Se o torque de carga aplicado ao eixo do motor, somado à sua própria inércia, for maior que o torque eletromagnético que o motor consegue produzir em um determinado passo, o

rotor "perderá o passo" e ficará para trás (NXP Semiconductors, 2023). Isso pode ser causado por uma carga inicial muito elevada ou por uma rampa de aceleração excessivamente agressiva, que aumenta a frequência de comutação mais rápido do que o rotor consegue acelerar (Texas Instruments, 2022).

Uma vez que o sincronismo é perdido, o alinhamento entre os campos do rotor e do estator se torna desfavorável, e a produção de torque efetivo colapsa. O resultado é um movimento errático, vibrações intensas, ruído audível e, frequentemente, a parada completa do motor, enquanto o controlador continua a injetar corrente nos enrolamentos de forma ineficaz. Este estado pode levar a picos de corrente perigosos para a eletrônica de potência. Por essa razão, o controle em malha aberta é inadequado para aplicações com cargas variáveis ou que exigem alto torque de partida.

#### 1.3.4.2 Outros Efeitos Adversos

Além do risco de perda de passo, a partida forçada apresenta outras desvantagens:

- **Picos de Corrente:** No início da partida, a velocidade do motor é baixa ou nula, o que significa que a FCEM, que normalmente se opõe à tensão de alimentação e limita a corrente, também é baixa ou inexistente. Sem essa oposição, a corrente que flui para os enrolamentos é limitada apenas pela resistência ôhmica e pela tensão aplicada, podendo atingir valores muito elevados se não for cuidadosamente controlada pelo *duty cycle* do PWM. Estes picos de corrente podem estressar a bateria e os componentes da ponte inversora.
- **Vibração e Baixo Rendimento:** Como o controle é feito "às cegas", o alinhamento entre o campo do estator e o rotor durante a rampa de aceleração nunca é perfeito. Este desalinhamento constante é a fonte da ondulação de torque discutida anteriormente, que se manifesta como vibração mecânica e resulta em uma operação de baixo rendimento, onde uma parte da energia elétrica consumida é dissipada em vez de ser convertida em torque útil.

É fundamental reiterar que a partida forçada em malha aberta é uma fase transitória e um meio para um fim. É uma estratégia de *bootstrap* projetada exclusivamente para levar o motor de um estado de repouso para uma velocidade operacional mínima, onde métodos de controle em malha fechada, de maior rendimento, precisos e robustos, podem ser ativados para a operação contínua do sistema (Texas Instruments, 2022; NXP Semiconductors, 2023).

### 1.4 Controle Proporcional-Integral em Malhas Fechadas de ESC

Além da comutação trapezoidal e da modulação PWM, a operação precisa de um ESC em regime depende de **malhas de realimentação** que ajustem continuamente a tensão média

aplicada ao motor (ou a corrente de fase) de modo a acompanhar referências de corrente ou velocidade impostas pelo operador. Neste trabalho, essa função é desempenhada por controladores **proporcional-integral (PI)**, algoritmo amplamente adotado em acionamentos de motores BLDC e PMSM por combinar simplicidade de implementação, robustez frente a perturbações de carga e capacidade de eliminar erro estacionário (Krishnan, 2010; Xia, 2012; Kim, 2017).

#### 1.4.1 Distinção entre Malhas de Comutação e Malhas PI

Um ESC trifásico opera com **duas camadas de controle independentes**, que não devem ser confundidas. A primeira decide *quando* comutar as fases (sincronismo angular com o rotor); a segunda decide *quanto* esforço elétrico aplicar em cada passo (corrente ou velocidade desejada). A nomenclatura “malha aberta” e “malha fechada” aplica-se separadamente a cada camada, e não ao sistema como um todo.

**Tabela 3** – Duas camadas de controle no ESC deste trabalho

| Camada           | Grandeza regulada                            | Realimentação                         | Estado neste projeto                                                                                     |
|------------------|----------------------------------------------|---------------------------------------|----------------------------------------------------------------------------------------------------------|
| Comutação 6-step | Instante de troca de fase (posição do rotor) | FCEM/ZCD ou temporizador              | Malha <b>aberta</b> na validação atual (rampa por temporizador; ver Subseções anteriores deste capítulo) |
| Malha PI         | Corrente de fase e/ou velocidade             | INA240 + ADC1; intervalo entre passos | Malha <b>fechada</b> sempre que o PI está ativo                                                          |

Fonte: Elaborado pelo autor (2026).

Três esclarecimentos estruturam o uso desses termos ao longo deste trabalho:

1. **O controlador PI é malha fechada, e não aberta.** Por definição, o PI exige comparar referência  $r$  com medição  $y$  (Equação 1.23 adiante). No firmware, a corrente de fase é medida pelos amplificadores INA240 e convertida pelo ADC1; no modo velocidade, a velocidade é estimada a partir do intervalo entre passos de comutação. Sem essa realimentação, não haveria erro  $e = r - y$  nem termo integral, tratar-se-ia apenas de um *duty cycle* fixo ou de uma rampa pré-programada, o que não caracteriza um regulador PI.
2. **O sistema ESC como um todo não é inteiramente malha fechada.** Na fase de validação descrita neste trabalho, a comutação trapezoidal avança em **malha aberta**: a sequência 6-step progride por temporizador (rampa de frequência elétrica), sem usar o cruzamento por zero da FCEM para sincronizar o rotor. A infraestrutura de *hardware* para comutação em malha fechada por ZCD (comparadores LM339, neutro virtual) está projetada, mas o

*handover* para essa modalidade permanece como etapa subsequente (Subseção anterior sobre comutação *sensorless* e Capítulo de Resultados). Enquanto isso, as malhas PI de corrente e velocidade operam em paralelo, em malha fechada, regulando o esforço elétrico dentro de cada passo comutado.

3. **Onde cada conceito é tratado neste texto.** A comutação e a partida em malha aberta alinhamento, rampa forçada, risco de *stall* e transição futura para ZCD, são desenvolvidas na Seção anterior (Controlador Eletrônico de Velocidade). A presente seção trata exclusivamente das malhas PI em malha fechada (corrente e velocidade). A implementação no firmware, ganhos  $K_p$  e  $K_i$ , e os resultados de bancada encontram-se nos Capítulos de Metodologia e de Resultados e Discussão.

#### 1.4.2 Fundamentos do Controlador PI

Em uma malha fechada, o controlador recebe uma **referência**  $r$  (por exemplo, corrente ou velocidade desejada) e compara-a com a **medição**  $y$  proveniente dos sensores. O **erro** instantâneo é definido como:

$$e(t) = r - y(t) \quad (1.22)$$

A ação de controle  $u(t)$  combina uma resposta proporcional ao erro atual e uma resposta integral que acumula o erro ao longo do tempo:

$$u(t) = K_p e(t) + K_i \int_0^t e(\tau) d\tau \quad (1.23)$$

onde  $K_p$  é o ganho proporcional e  $K_i$  o ganho integral. O termo proporcional confere resposta imediata a desvios; o termo integral corrige desvios persistentes, pois continua a agir enquanto  $e(t) \neq 0$ .

Em sistemas embarcados, a Equação 1.23 é implementada em tempo discreto com período de amostragem  $T_s = \Delta t$ . Adotando integração de Euler, a forma recorrente adotada neste projeto é:

$$P_k = K_p e_k \quad (1.24)$$

$$I_k = I_{k-1} + K_i e_k \Delta t \quad (1.25)$$

$$u_k = \text{clamp}(P_k + I_k, u_{\min}, u_{\max}) \quad (1.26)$$

Quando a saída  $u_k$  atinge os limites físicos do atuador (por exemplo, o teto de *duty cycle* do PWM), o integrador pode continuar a acumular erro (*windup*), provocando sobressinal ao sair da saturação. Por isso, impõe-se **anti-windup** por limitação (*clamping*) do estado integral  $I_k$  dentro de intervalos  $[I_{\min}, I_{\max}]$ , detalhes de implementação no firmware são apresentados nos Capítulos de Metodologia e de Resultados.

### 1.4.3 Limitações do Controle Proporcional Puro

Um controlador puramente proporcional ( $u = K_p \cdot e$ ) reage instantaneamente ao erro, mas apresenta uma limitação estrutural: na presença de perturbações constantes ou de plantas com comportamento integrador, o sistema estabiliza com **erro estacionário** não nulo. Intuitivamente, um ganho  $K_p$  finito exige um erro residual para produzir a ação de controle necessária ao equilíbrio.

No contexto de um ESC trapezoidal, essa limitação manifesta-se de forma concreta. Para manter uma corrente de fase constante  $I_{cmd}$ , o *duty cycle* do PWM deve compensar não apenas a queda ôhmica nos enrolamentos, mas também a FCEM, cujo valor cresce linearmente com a velocidade ( $e_a = K_e \cdot \omega$ ). À medida que o motor acelera ou a tensão do barramento decai, o *duty* necessário para o mesmo  $I_{cmd}$  aumenta. Um controlador P puro, com ganho fixo, não possui mecanismo para ajustar esse *offset* operacional: a corrente medida estabilizaria abaixo da referência. O termo integral supre exatamente essa lacuna, acumulando a ação necessária até anular o erro residual.

De forma análoga, na regulação de velocidade, variações de carga mecânica (atrito, inércia da carga) exigem correntes distintas para manter a mesma velocidade. Sem integral, um controlador P de velocidade deixaria um desvio permanente entre a referência e a rotação medida sempre que a carga se alterasse.

### 1.4.4 Exclusão do Termo Derivativo: por que PI e não PID

O controlador PID acrescenta um termo derivativo  $K_d \cdot de/dt$ , sensível à taxa de variação do erro. Embora possa melhorar a resposta transitória em plantas bem modeladas e pouco ruidosas, a inclusão do termo D neste ESC traz desvantagens que superam os benefícios esperados:

- **Amplificação de ruído:** A corrente de fase é medida por amplificadores INA240 e convertida pelo ADC1 a 1 kHz, em ambiente de comutação PWM a 20 kHz e de sequência trapezoidal de seis passos. O termo derivativo amplificaria as componentes de alta frequência (ripple de corrente, transientes de comutação), degradando a qualidade do sinal de realimentação e podendo induzir oscilações na saída do controlador.
- **Dinâmica dominante lenta:** A malha externa de velocidade e a sequência de comutação operam em escala de milissegundos (frequência elétrica de dezenas a centenas de hertz). A dinâmica mecânica e elétrica do sistema trapezoidal não se beneficia de previsão agressiva baseada em derivadas, ao contrário de malhas de corrente de FOC em dezenas de quilohertz.
- **Derivative kick:** Degraus na referência (comando do operador via gatilho analógico) produzem picos instantâneos em  $de/dt$ . Embora o firmware limite a taxa de variação da referência (*slew rate limiter*), o termo D permaneceria sensível a saltos residuais de erro.

- **Prática consolidada:** Malhas de corrente e de velocidade em acionamentos BLDC trapezoidais utilizam PI como padrão industrial (Krishnan, 2010; Xia, 2012; Hanselman, 2003). A sintonia de três ganhos ( $K_p$ ,  $K_i$ ,  $K_d$ ) com filtragem do termo derivativo agregaria complexidade sem retorno mensurável na arquitetura de controle adotada neste trabalho.

Por essas razões, o firmware deste projeto implementa estritamente controladores PI, sem termo derivativo.

#### 1.4.5 Aplicabilidade ao ESC Trifásico Deste Trabalho

A estratégia de controle PI adapta-se diretamente à topologia do ESC desenvolvido, organizada em uma ou duas malhas conforme o modo operacional:

- **Malha interna de corrente:** O PI de corrente compara a referência  $I_{cmd}$  (limitada pelo operador ou pela malha externa) com a corrente de fase medida e produz o *duty cycle* do PWM (0 a 95 %). Essa malha regula o esforço elétrico do motor, aproximando torque  $\propto I$ , e constitui a primeira linha de defesa contra sobrecorrente antes das proteções analógicas e de software.
- **Malha externa de velocidade (modo cascata):** Quando habilitado o modo de controle por velocidade, um segundo PI compara  $RPM_{cmd}$  com a velocidade estimada a partir do intervalo entre passos de comutação 6-step e gera a referência de corrente para o PI interno. A corrente adapta-se automaticamente à carga mecânica, dentro do limite de 5 A configurado.
- **Modo corrente direta:** Com apenas o PI de corrente ativo, a velocidade resultante depende da carga e da rampa de comutação em malha aberta, útil para ensaios de bancada com esforço elétrico limitado.

Dois requisitos de implementação derivam diretamente da teoria PI e condicionam o firmware: (1) o período de amostragem  $\Delta t = 1$  ms deve ser estável, pois o termo integral da Equação 1.25 depende de  $\Delta t$  constante, requisito tratado na Seção 1.6; (2) a saturação da saída em 95 % de *duty cycle*, imposta pela recarga do capacitor de *bootstrap* dos drivers IR2110, torna obrigatório o anti-windup para evitar sobressinal ao retornar da saturação.

A materialização dessas malhas no firmware, arquitetura em cascata, ganhos  $K_p$  e  $K_i$ , temporizador de 1 kHz e validação em bancada, é descrita no Capítulo de Metodologia e discutida no Capítulo de Resultados e Discussão.

### 1.5 Aspectos de Eletrônica de Potência

A implementação física do inversor exige a compreensão de componentes e técnicas que viabilizam a comutação em alta frequência e corrente.

### 1.5.1 O MOSFET de Potência e Perdas

O MOSFET (*Metal-Oxide-Semiconductor Field-Effect Transistor*) é o dispositivo de chaveamento predominante em aplicações de baixa e média tensão devido à sua alta velocidade de comutação e facilidade de acionamento (Rashid, 2014). Em um inversor para controle de motores, o MOSFET não atua na região linear (amplificação), mas alterna entre os estados de corte (chave aberta) e saturação (chave fechada).

O rendimento do inversor é limitado por dois mecanismos principais de perda no MOSFET (Kim, 2017):

- **Perdas por Condução ( $P_{cond}$ ):** Quando o transistor está ligado, ele apresenta uma resistência interna residual entre dreno e fonte, denominada  $R_{DS(on)}$ . A potência dissipada é dada por  $P_{cond} = I_D^2 \cdot R_{DS(on)}$ . Componentes modernos buscam minimizar o  $R_{DS(on)}$  para reduzir o aquecimento.
- **Perdas por Comutação ( $P_{sw}$ ):** Ocorrem durante a transição entre ligado e desligado. Como a tensão e a corrente não variam instantaneamente, há um breve período em que ambas são não-nulas, gerando um pico de potência dissipada. Esta perda é diretamente proporcional à frequência de chaveamento ( $f_{sw}$ ) e à carga total de gate ( $Q_g$ ) que o driver deve fornecer (Rashid, 2014).

### 1.5.2 Seleção da Frequência de Chaveamento PWM

A frequência de chaveamento ( $f_{sw}$ ) do PWM que modula os MOSFETs da ponte inversora é um parâmetro de projeto que acopla diretamente os mecanismos de perda descritos acima (em particular,  $P_{sw} \propto f_{sw}$ ) à ondulação de corrente (*ripple*) nas bobinas do motor e ao ruído acústico gerado por magnetostrição no estator (Mohan; Undeland; Robbins, 2003; Hanselman, 2003). Não existe um valor universalmente ótimo: a indústria opera em faixas distintas conforme a aplicação, a dissipação térmica disponível no inversor e a carga de gate ( $Q_g$ ) dos semicondutores selecionados (Rashid, 2014).

Neste trabalho adota-se **20 kHz** como compromisso de engenharia para o par MOSFET/driver IRFS7530–IR2110: a carga de gate elevada dos transistores automotivos selecionados torna inviável, com dissipação passiva no volume da placa, as faixas de alta performance do aeromodelismo (48 kHz ou 96 kHz, comuns em ESCs *racing*), enquanto valores inferiores a 16 kHz reintroduziriam ruído audível. O dimensionamento quantitativo, perdas de comutação, *ripple* de corrente e corrente média de *gate* do driver, encontra-se na Subseção de Determinação da Frequência de Chaveamento do Capítulo de Metodologia.

**Tabela 4** – Panorama de frequências de chaveamento PWM em acionamentos BLDC e afins

| Faixa típica  | Segmento / aplicação                            | Característica principal                                        |
|---------------|-------------------------------------------------|-----------------------------------------------------------------|
| 4–8 kHz       | Drives industriais legados, ESCs de baixo custo | Audível; menores perdas de comutação                            |
| 8–12 kHz      | Ferramentas elétricas, ESCs <i>entry-level</i>  | Zumbido perceptível ao operador                                 |
| 16–24 kHz     | ESCs BLDC genéricos, VANTs                      | Próximo ao limiar ultrassônico ( $\approx 20$ kHz)              |
| <b>20 kHz</b> | <b>Este projeto</b>                             | Equilíbrio térmico, silêncio e <i>ripple</i> (Cap. Metodologia) |
| 32–48 kHz     | Aeromodelismo, <i>drones</i> de consumo         | Menor <i>ripple</i> ; $P_{sw}$ maior                            |
| 48–96 kHz     | ESCs <i>racing</i> (ex.: BLHeli, SimonK)        | Alta resposta; exige baixo $Q_g$ e dissipação agressiva         |
| 10–20 kHz+    | FOC industrial                                  | Malha de corrente rápida; escopo distinto do trapezoidal 6-step |

Fonte: Elaborado pelo autor (2026), com base em (Rashid, 2014; Hanselman, 2003; Mohan; Undeland; Robbins, 2003).

### 1.5.3 O Barramento DC e a Indutância Parasita

Em inversores de fonte de tensão (VSI) que operam com altas frequências de chaveamento, a impedância da fonte de alimentação não pode ser considerada ideal. Os cabos de conexão entre a bateria e o inversor introduzem uma indutância parasita ( $L_{par}$ ) significativa no circuito. Durante a comutação dos transistores, a rápida variação de corrente ( $di/dt$ ) interage com essa indutância, gerando picos de tensão ( $V_{spike}$ ) de acordo com a lei de Faraday-Lenz:

$$V_{spike} = L_{par} \cdot \frac{di}{dt} \quad (1.27)$$

Se não mitigados, esses picos podem superar a tensão de ruptura dos semicondutores, causando falhas catastróficas. Para solucionar esse problema, utiliza-se um banco de capacitores no barramento DC (*DC Link*), posicionado fisicamente próximo aos interruptores. Este banco atua como uma fonte de tensão de baixa impedância local, fornecendo a corrente pulsada exigida pelo inversor e absorvendo a energia regenerada, além de filtrar a componente alternada (*ripple*) da corrente (Rashid, 2014).

Embora o cálculo analítico da capacitância mínima ( $C_{min}$ ) seja classicamente derivado da máxima variação de tensão admissível ( $\Delta V$ ) no barramento, conforme a Equação 1.28:

$$C_{min} = \frac{I_{peak} \cdot D \cdot (1 - D)}{f_{sw} \cdot \Delta V} \quad (1.28)$$

onde  $f_{sw}$  é a frequência de chaveamento e  $D$  é o ciclo de trabalho (*Duty Cycle*) do inversor. Observa-se que o esforço máximo sobre o capacitor ocorre quando  $D = 0,5$ , ponto em que o produto  $D \cdot (1 - D)$  é máximo.

Entretanto, em aplicações de baixa tensão e alta corrente (como em VANTs), o fator limitante do projeto não é apenas a armazenagem de carga ( $C_{min}$ ), mas sim a capacidade de condução de corrente de *ripple* ( $I_{Ripple,RMS}$ ) e a dissipação térmica. Capacitores eletrolíticos comerciais apresentam uma correlação inversa entre capacitância nominal e Resistência Série Equivalente (ESR).

Consequentemente, adota-se na prática de engenharia o sobredimensionamento do valor de capacitância (regras empíricas da ordem de  $10\mu F$  a  $20\mu F$  por Ampere de corrente de fase).

Esta abordagem visa, primariamente, reduzir a ESR total do banco de capacitores através da associação paralela e do uso de encapsulamentos maiores, garantindo que a corrente eficaz drenada pelo inversor não exceda o *Ripple Current Rating* dos componentes, prevenindo a degradação dielétrica prematura por superaquecimento (Rashid, 2014).

#### 1.5.4 Técnica de *Bootstrap* para Acionamento *High-Side*

Em uma ponte inversora trifásica, os transistores do "lado alto" (*High-Side*) têm seus drenos conectados ao barramento positivo ( $V_{CC}$ ) e suas fontes conectadas às fases do motor. Para ligar um MOSFET Canal-N nesta posição, a tensão no *gate* deve ser superior à tensão da fonte ( $V_{GS} > V_{th}$ ). Contudo, quando o transistor liga, a tensão da fonte sobe para aproximadamente  $V_{CC}$ , exigindo que a tensão do *gate* seja elevada para  $V_{CC} + V_{drv}$ .

A técnica de *Bootstrap* é a solução mais comum e econômica para gerar essa tensão flutuante. Ela utiliza um capacitor ( $C_{boot}$ ) e um diodo ( $D_{boot}$ ). O princípio de operação é cíclico:

1. Quando o transistor do "lado baixo" (*Low-Side*) está ligado, o terminal da fase é aterrado. O capacitor  $C_{boot}$  é então carregado através do diodo pela fonte de alimentação auxiliar ( $V_{drv}$ ).
2. Quando o *Low-Side* desliga e o *High-Side* precisa ser acionado, a carga armazenada em  $C_{boot}$  atua como uma "bateria flutuante", fornecendo a corrente necessária para carregar o *gate* do transistor superior.

**Limitação Importante:** O circuito de *Bootstrap* não permite operação com ciclo de trabalho (*duty cycle*) de 100% indefinidamente. O transistor *Low-Side* deve ser ligado periodicamente para recarregar o capacitor. Se o capacitor descarregar por falta de comutação, a tensão  $V_{GS}$  cai, podendo levar o MOSFET superior a operar na região linear e falhar por superaquecimento.

##### 1.5.4.1 Dimensionamento do Capacitor de *Bootstrap*

O capacitor de *bootstrap* ( $C_{boot}$ ), embora fisicamente conectado ao circuito do driver, tem como função primária atuar como um reservatório de energia flutuante para alimentar a porta (*gate*) do MOSFET superior (International Rectifier, 2007). O driver atua apenas como a chave de transferência, drenando carga de  $C_{boot}$  e injetando-a na capacitância de entrada do MOSFET para promover sua saturação.

Consequentemente, o dimensionamento deste capacitor depende intrinsecamente da quantidade de carga que o MOSFET exige para ligar, parâmetro conhecido como Carga Total de Gate ( $Q_g$ ). A carga total ( $Q_{tot}$ ) demandada do capacitor a cada ciclo de comutação é composta pela carga do MOSFET somada às perdas internas do driver (International Rectifier, 2007):

$$Q_{tot} = \underbrace{Q_g}_{\text{Carga do MOSFET}} + \underbrace{(I_{qbs} + I_{leak}) \cdot T_{on}}_{\text{Consumo do Driver e Fugas}} \quad (1.29)$$

onde  $I_{qbs}$  é a corrente quiescente do estágio de alta do driver e  $I_{leak}$  representa as correntes de fuga. Como  $Q_g$  é tipicamente muito maior que o consumo do driver em frequências usuais, ele é o fator determinante no dimensionamento. Para garantir que a tensão no capacitor não sofra uma queda brusca ( $\Delta V_{boot}$ ) ao transferir essa carga para o MOSFET o que poderia reduzir a tensão  $V_{GS}$  abaixo do nível seguro de saturação, a capacitância mínima é calculada como (International Rectifier, 2007):

$$C_{boot} \geq \frac{Q_{tot}}{\Delta V_{boot}} \quad (1.30)$$

Na prática de engenharia, para assegurar robustez contra transitórios e variações de temperatura, adota-se um capacitor capaz de armazenar pelo menos 15 vezes a carga do gate do MOSFET ( $Q_g$ ), garantindo uma fonte de tensão rígida para o driver (Adams, 1998).

## 1.6 Fundamentos de Software para Sistemas de Controle Embarcado

O hardware de potência de um ESC constituído pela ponte inversora, os *drivers* de *gate* e os sensores de corrente é condição necessária, mas não suficiente, para o funcionamento do sistema. Sem um firmware estruturado que orquestre com precisão a sequência de comutação, as malhas de controle e as rotinas de proteção, o hardware é inerte. Esta seção apresenta conceitos gerais de engenharia de software embarcado que fundamentam as decisões de projeto do firmware desenvolvido neste trabalho.

### 1.6.1 Camada de Abstração de Hardware (HAL)

Um microcontrolador moderno como o ESP32 é, do ponto de vista do programador, uma coleção de periféricos configuráveis por registradores de memória: o módulo MCPWM gera sinais PWM quando seus registradores de período, *duty cycle* e *dead-time* são programados; o ADC converte tensão em código binário quando seu registrador de controle é acionado; o GPIO muda de estado quando um bit específico é escrito em um endereço de memória mapeada.

Escrever a lógica de controle do motor diretamente em termos desses registradores cria um acoplamento rígido entre o algoritmo e o silício: uma mudança de pino, a substituição do amplificador de corrente ou a migração para outro microcontrolador exigiria reescrever o código de controle integralmente. A solução consiste em interpor uma **Camada de Abstração de Hardware** (*Hardware Abstraction Layer* HAL), uma fronteira de software que encapsula todo o acesso físico ao periférico e expõe uma interface de funções simples e independente de hardware.

A analogia mais imediata é o conceito de **interface padronizada**. Assim como uma tomada normalizada permite conectar qualquer equipamento certificado independentemente da fiação interna da instalação elétrica, a HAL permite que o algoritmo de controle se “conecte” ao hardware por meio de chamadas como `hal_adc_read_mv(channel)` ou `hal_pwm_set_phase_conduction(phase, mode)`, sem conhecer os registradores subjacentes. A

implementação dessas funções, os detalhes da "fiação interna", está confinada aos módulos da HAL.

O fluxo de dependência resultante é **unidirecional**: camadas superiores invocam camadas inferiores, mas o inverso nunca ocorre. O controlador PI, por exemplo, processa exclusivamente grandezas numéricas em ponto flutuante (referência, medição e limites) sem incluir nenhum cabeçalho de periférico. Sua lógica matemática permanece idêntica independentemente de o sinal de corrente provir de um amplificador com *shunt* resistivo de  $1\text{ m}\Omega$  ou de qualquer outro sensor. A conversão de milivolts para ampères, específica de cada componente, fica restrita ao módulo de *driver* correspondente, imediatamente acima da HAL e abaixo do controlador. Essa separação garante que a calibração de um sensor, a troca de um CI ou a alteração de um pino implique a modificação de exatamente um módulo, sem risco de regressão em qualquer outro subsistema.

### 1.6.2 Máquinas de Estado Finito (FSM) em Sistemas Críticos

O controle de um ESC envolve condições operacionais mutuamente exclusivas: o motor não pode estar simultaneamente em aceleração e em estado de falha; o PWM não deve ser armado quando a tensão da bateria está abaixo do mínimo seguro; a sequência de comutação trapezoidal só pode começar após o alinhamento estático do rotor. Gerenciar essas restrições por meio de combinações de variáveis booleanas dispersas pelo código torna o sistema propenso a inconsistências: um único caminho de execução imprevisto pode resultar em duas dessas variáveis assumindo valores contraditórios simultaneamente, com consequências potencialmente catastróficas para a eletrônica de potência.

A solução formal para esse problema é a **Máquina de Estados Finita** (*Finite State Machine* FSM), um modelo computacional em que o sistema ocupa, em qualquer instante, exatamente um entre um conjunto discreto e pré-definido de estados, e transita entre eles por regras explícitas e condicionadas. A FSM elimina estados ilegais por construção: se os estados definidos são `IDLE`, `RUNNING` e `FAULT`, é estruturalmente impossível para o sistema estar em `RUNNING` e `FAULT` simultaneamente. A saída é sempre determinística, não há estado intermediário ou flutuante entre 0 e 1. Uma FSM de software estende esse conceito para múltiplos estados e múltiplas condições de transição, com a mesma propriedade de determinismo. Assim o projetista de firmware garante que transições de estado proibidas jamais sejam ativadas, por meio das condições de guarda programadas nas funções de transição.

Em sistemas de potência, as vantagens da FSM são diretas:

- **Segurança estrutural**: transições perigosas são proibidas por código. A função de arme do ESC verifica explicitamente a ausência de subtensão e de falha ativa antes de liberar o PWM. Um sistema baseado em *flags* poderia armar inadvertidamente caso uma dessas verificações fosse omitida em algum caminho de execução.

- **Rastreabilidade:** o estado atual é uma variável enumerada (*enum*) visível na telemetria serial e na dashboard Wi-Fi, facilitando o diagnóstico em bancada sem necessidade de osciloscópio ou depurador em circuito.
- **Resposta a falhas centralizada:** qualquer fonte de erro seja de hardware analógico, interrupção de sobrecorrente ou supervisão de software, converge para uma única função de entrada em falha, que executa a sequência de desligamento em ordem determinística: primeiro os *drivers* de potência, depois o PWM, garantindo que o estágio de potência esteja seguro mesmo que operações subsequentes falhem.
- **Manutenibilidade:** novas condições de transição por exemplo, uma proteção térmica futura são adicionadas à FSM sem modificar a lógica de comutação ou a camada de entrada, isolando o impacto da mudança em um único módulo.

Além da FSM do ESC, sistemas embarcados de controle de motores frequentemente empregam **sub-máquinas de estado** aninhadas. A sequência de partida de um motor *sensorless* (alinhamento estático, comutação forçada em rampa e transição para malha fechada) é ela própria uma FSM interna, cujos estados e transições são independentes da FSM de nível superior e executam apenas quando esta autoriza a operação.

### 1.6.3 Programação Orientada ao Tempo Real: Interrupções e Concorrência

Um ESC opera com múltiplas cadências temporais simultâneas e de magnitudes muito diferentes: a proteção de sobrecorrente deve agir em microssegundos para evitar a destruição dos semicondutores; a malha de controle de corrente deve amostrar e calcular a cada milissegundo para manter a estabilidade dinâmica; a interface com o operador pode ser atualizada a cada dezenas de milissegundos sem comprometer o desempenho. Atender a todos esses requisitos em um único fluxo sequencial de programa é inviável.

A solução combina dois mecanismos complementares. O primeiro é a **rotina de serviço de interrupção** (*Interrupt Service Routine* ISR), uma função que o hardware dispara automaticamente em resposta a um evento externo, a borda de descida de um sinal de falha, o cruzamento por zero de uma tensão, interrompendo o programa principal e executando com latência mínima. Por analogia com circuitos analógicos, a ISR é o equivalente funcional de um **comparador de janela**: quando o sinal monitorado cruza o limiar, uma ação imediata é disparada, independentemente de qualquer outra atividade do sistema. Para garantir baixa latência e segurança, ISRs devem executar apenas o mínimo indispensável: desarmar o PWM, sinalizar o evento por uma variável de estado e retornar ao fluxo principal. Operações mais elaboradas, como imprimir diagnóstico na serial ou calcular médias de corrente, são executadas no contexto do programa principal, que consulta a variável de sinalização periodicamente, padrão denominado *deferred processing* (processamento diferido).

O segundo mecanismo é o **temporizador periódico de hardware**, que dispara um *callback* em intervalos fixos e precisos, independentemente da duração de outras operações em andamento. A malha de controle de um ESC deve ser amostrada a período exatamente constante para que a equação do integrador  $I_k = I_{k-1} + K_i \cdot e_k \cdot \Delta t$  (Equação 1.25, Seção 1.4) produza resultados matematicamente corretos: qualquer variação em  $\Delta t$  introduz erro sistemático na integral e pode desestabilizar a malha fechada. Temporizadores de *software* que dependem do loop principal acumulam variação de tempo (*jitter*) inevitável, causada por operações de duração variável como transmissão Bluetooth e formatação de *strings*; o temporizador de hardware garante período estável e determinístico, requisito essencial para a integridade da malha de controle.

A coexistência de ISRs, temporizadores e loop principal introduz o problema de **concorrência**: uma variável escrita pela ISR pode ser lida pelo loop principal em estado inconsistente se o compilador, em sua otimização, armazenar o valor em um registrador da CPU em vez de na memória. O qualificador `volatile`, aplicado a essas variáveis compartilhadas, instrui o compilador a sempre ler o valor diretamente da memória, garantindo a coerência dos dados entre contextos de execução concorrentes.

## 1.7 Estado da Arte em Algoritmos de Controle e Estimação

Embora a técnica de comutação trapezoidal com detecção de cruzamento por zero (ZCD) seja robusta e amplamente utilizada, o desenvolvimento de microcontroladores de alto desempenho e FPGAs permitiu a implementação de estratégias de controle mais sofisticadas. Estas técnicas visam superar as limitações do ZCD, principalmente em baixas velocidades e no controle de torque.

### 1.7.1 Métodos Baseados em Força Contraeletromotriz (FCEM)

Esta categoria, na qual se insere a técnica utilizada neste trabalho, fundamenta-se na proporcionalidade entre a tensão induzida e a velocidade angular do rotor.

- **Detecção de Cruzamento por Zero (ZCD):** Monitora a tensão na fase não energizada para determinar os instantes de comutação. É simples e eficaz para médias e altas rotações.
- **Integração da FCEM:** Em vez de buscar apenas o zero, integra-se a área sob a curva da tensão induzida. Isso oferece maior imunidade a ruídos de PWM (ruído de comutação), pois a integração atua como um filtro natural.
- **Limitação e Solução:** A principal dificuldade é a inexistência de sinal em velocidade zero ou muito baixa. A solução padrão da indústria é a "Comutação Forçada" (*Sensorless Trapezoidal Control*), onde aplica-se uma sequência cega inicial para arrancar o motor até que a FCEM seja detectável.

### 1.7.2 Controle Orientado de Campo (FOC) e Observadores

O Controle Orientado de Campo (*Field-Oriented Control* - FOC) representa o padrão de alto desempenho. Diferente do controle trapezoidal que aciona o motor em passos discretos, o FOC controla as correntes do estator para manter o vetor de campo magnético sempre ortogonal ao rotor (90 graus), maximizando o torque por ampere e reduzindo a ondulação de torque. Para operação sem sensores (*sensorless*), utilizam-se observadores matemáticos:

- **Observadores de Estado (Luenberger):** Utilizam as equações diferenciais do motor para estimar a corrente e a FCEM. A diferença entre a corrente estimada e a medida (erro) é usada para corrigir a estimativa da posição do rotor em tempo real.
- **Filtro de Kalman Estendido (EKF):** Uma abordagem estocástica que considera as incertezas do modelo e o ruído das medições. O EKF prediz o estado futuro do sistema e corrige a predição com base nas medições atuais, sendo extremamente robusto em ambientes ruidosos, embora exija alto poder computacional.
- **Observadores Adaptativos:** Ajustam dinamicamente os parâmetros do modelo (como resistência ou fluxo) durante a operação, compensando variações térmicas que poderiam degradar a precisão da estimativa.

### 1.7.3 Técnicas Baseadas em Análise de Sinais e Harmônicos

Existem métodos que exploram as não-linearidades e características construtivas do motor para inferir a posição, úteis especialmente em baixa velocidade onde a FCEM é nula.

- **Deteção de Ondulação de Corrente (*Current Ripple*):** A interação entre os polos do rotor e as ranhuras do estator gera pequenas ondulações na corrente. Algoritmos de processamento de sinal podem contar essas ondulações para estimar a velocidade e posição.
- **Método de Injeção de Alta Frequência:** Aplica-se um sinal de tensão de alta frequência e baixa amplitude. Devido à saliência magnética do rotor ( $L_d \neq L_q$ ), a resposta de corrente varia conforme a posição angular, permitindo detectar a posição mesmo com o motor parado.

## 1.8 Parâmetros Críticos para Modelagem Dinâmica

A implementação de algoritmos avançados, como o FOC e os Observadores de Estado, exige um conhecimento preciso dos parâmetros intrínsecos do motor. A precisão do modelo matemático, e consequentemente a qualidade do controle, depende diretamente da caracterização das seguintes grandezas:

**Resistência de Estator ( $R_s$ ):** Determina a queda de tensão ôhmica nos enrolamentos. Erros na identificação de  $R_s$  causam desvios na estimativa de fluxo em baixas velocidades.

**Indutância de Estator ( $L_s, L_d, L_q$ ):** Fundamental para determinar a resposta dinâmica da corrente. Em motores de ímãs interiores (IPM), a diferença entre a indutância de eixo direto ( $L_d$ ) e em quadratura ( $L_q$ ) é o que permite o torque de relutância e a detecção de posição por injeção de sinal.

**Fluxo do Rotor ( $\lambda_m$ ):** Representa o fluxo magnético gerado pelos ímãs permanentes. É crucial para o cálculo do torque eletromagnético ( $T_e$ ) e da constante de FCEM ( $K_e$ ). Variações de temperatura podem alterar  $\lambda_m$  (desmagnetização temporária), afetando a constante  $K_T$  do motor.

**Momento de Inércia ( $J$ ) e Atrito ( $B$ ):** Parâmetros mecânicos que ditam a resposta de velocidade do sistema. O conhecimento de  $J$  é vital para o projeto das malhas de controle de velocidade, influenciando os ganhos  $K_p$  e  $K_i$  do controlador PI (Seção 1.4).

**Número de Polos ( $P$ ):** Define a relação entre a frequência elétrica e a velocidade mecânica. Um erro neste parâmetro inviabiliza qualquer algoritmo de estimação de velocidade.

O levantamento desses parâmetros geralmente requer equipamentos de precisão ou rotinas de auto-comissionamento implementadas no próprio inversor, destacando a complexidade superior dessas técnicas em comparação à comutação trapezoidal *sensorless* por ZCD prevista neste projeto.

## 1.9 Vantagens e Desvantagens no uso de motores BLDC

Os motores sem escovas, ou BLDC, apresentam diversas vantagens que contribuem para seu destaque em várias aplicações. O rendimento é uma característica proeminente, uma vez que convertem com maior rendimento a energia elétrica em torque quando comparados aos motores com escovas. Isso implica em uma demanda menor de energia para gerar a mesma quantidade de torque, resultando em um melhor desempenho global. A durabilidade é significativamente aprimorada, visto que a vida útil estendida desses motores está relacionada à ausência das escovas, componentes propensos a desgaste em motores convencionais.

Os motores de indução trifásicos (MIT) são concorrentes diretos dos motores BLDC, sendo que ambos são amplamente utilizados em diversas aplicações, cada uma com suas características distintas e vantagens específicas. Os motores de indução trifásicos são conhecidos pela sua confiabilidade, simplicidade de construção e custo relativamente baixo, quando comparado aos BLDC, utilizando os princípios da indução eletromagnética para gerar o torque e velocidade necessários para a aplicação. Embora tenham menor custo de produção quando comparados com os motores BLDC e podem ser controlados utilizando os mesmos protocolos, os MITs tendem a ter uma densidade de potência e torque menor em comparação com os motores

BLDC, principalmente em baixas velocidades, o que pode ser uma consideração importante em aplicações que requerem alta potência em um espaço limitado. No entanto, os MITs apresentam melhor rendimento em operações de baixo torque, o que pode ser relevante em aplicações de mobilidade, como em veículos elétricos.

Os motores BLDC são conhecidos por seu rendimento energético superior, controle preciso de velocidade e torque, além de uma vida útil mais longa devido à ausência de escovas mecânicas (Gieras, 2009). Embora os BLDCs tenham um custo inicial mais elevado em comparação com os MITs, eles oferecem uma operação de maior rendimento, especialmente em condições de carga variável e velocidade ajustável.

Em resumo, os motores sem escovas oferecem um conjunto de vantagens notáveis, incluindo rendimento aprimorado, operação mais silenciosa, maior durabilidade e menor necessidade de manutenção. Contudo, esses benefícios vêm com um custo inicial mais elevado e a exigência de um controlador de velocidade, o que pode tornar sua implementação menos acessível em certos contextos. A escolha entre motores com escovas e sem escovas dependerá das prioridades específicas de uma aplicação, considerando tanto os benefícios quanto as limitações de cada tecnologia.

## 1.10 Aplicações

Os motores BLDC são amplamente utilizados em diversas aplicações devido às suas características únicas, como elevado rendimento, alta densidade de potência, baixo ruído, baixa manutenção e longa vida útil. Esses motores são preferidos em aplicações que necessitam de controle preciso de torque com oscilações inferiores em comparação com outros motores.

Uma das principais aplicações dos motores BLDC é em veículos elétricos, como carros, motocicletas, bicicletas e *scooters* (Chau; Chan, 2007). Com o aumento da demanda por veículos elétricos, espera-se que os motores com tecnologia derivada do BLDC desempenhem um papel vital na indústria automotiva. Esses motores são usados para acionar o sistema de propulsão do veículo, fornecendo torque e potência para as rodas. Eles são preferidos em veículos elétricos devido à sua alta eficiência, baixo ruído e baixa manutenção. Essas motores são usados em aplicações que exigem alta precisão, controle de velocidade e torque, e baixo ruído.

## 2 METODOLOGIA

O desenvolvimento do ESC será realizado seguindo uma abordagem de engenharia de sistemas, partindo da especificação da carga e fonte de energia, passando pelo dimensionamento dos estágios de potência e controle, e finalizando com a validação experimental. A metodologia está estruturada em: definição da arquitetura do sistema, dimensionamento do hardware de potência, simulação computacional e, por fim, a montagem, prototipagem e desenvolvimento do firmware de controle.

### 2.1 Arquitetura do Sistema

Para a elaboração do projeto físico é necessário o levantamento dos requisitos mínimos que o projeto deve atender, como a categoria de motores e sua fonte de alimentação. A arquitetura proposta consiste em um fluxo de energia que parte de uma bateria de alta descarga, passa por um inversor trifásico controlado, o ESC, e alimenta o motor BLDC. O controle é supervisionado por um microcontrolador que monitora os parâmetros e gera os sinais de modulação.

O projeto do circuito começa pelo levantamento das especificações de carga, seguido pelo dimensionamento da fonte de energia e dos semicondutores de potência. Em paralelo, projeta-se o sistema de controle, definindo o microcontrolador adequado, a lógica de acionamento dos drivers de gate e as estratégias de proteção térmica e de sobrecorrente.

### 2.2 Dimensionamento e Hardware de Potência

A escolha dos componentes de potência baseia-se nas especificações do motor selecionado, garantindo margens de segurança para operação em regime contínuo e transitório.

#### 2.2.1 Especificações do Motor e Carga

O motor BLDC Turnigy XK3674-2200KV é um modelo comercial projetado principalmente para Automodelismo, sendo do tipo Inrunner possui quatro polos, 2200KV, Tensão Nominal de 25,2V, Corrente Nominal de 70A e sendo capaz de produzir até 1750W de potência. A velocidade e torque a vazio do motor, como já vistos nos segmentos anteriores, é de 55440RPM e 0,3Nm, desconsiderando efeitos dissipativos, como o atrito.

**Figura 4** – Motor Brushless Turnigy XK3674-2200KV.

Fonte: (HobbyKing, 2025a).

### 2.2.2 Fonte de Alimentação Principal (Bateria)

Em uma aplicação móvel para o ESC devemos fazer uso de baterias como a única fonte de potência para alimentar todo o sistema. Os valores nominais de tensão e corrente do motor a devem ser supridos pela bateria, por volta de 26V e 70A, mas considerando momentos de pico de corrente como por exemplo, uma situação de rotor travado ou de inversão de sentido de rotação é usada uma margem de segurança arbitrária de 30%, logo a bateria deve ser capaz de entregar 91A de corrente na descarga, um valor considerado alto para baterias.

Atualmente, a tecnologia de bateria com a maior taxa de descarga disponível comercialmente é a bateria de lítio de polímero (LiPo), podendo atingir taxas de descarga muito altas, que podem ultrapassar a 100C, dependendo da aplicação e do design.

Baterias LiPo tem três principais características:

- Configuração das Células (S): A nomenclatura "S" (do inglês *Series*) indica o número de células de polímero de lítio conectadas eletricamente em série no interior do *pack*. Nesta configuração, a tensão de cada célula se soma enquanto a capacidade de corrente se mantém. Considerando a tensão nominal de uma célula LiPo como 3,7V e a tensão de carga máxima como 4,2V, a tensão total do *pack* ( $V_{\text{pack}}$ ) é dada por:

$$V_{\text{pack}} = N_S \cdot V_{\text{célula}} \quad (2.1)$$

Assim, a bateria 6S especificada para este projeto possui 6 células, resultando em uma tensão nominal de 22,2V e uma tensão máxima de 25,2V (plenamente carregada). Este parâmetro é crítico para o dimensionamento do  $K_V$  do motor e da tensão máxima dos MOSFETs;

- Capacidade: Indica a quantidade de carga que a bateria pode fornecer antes de ser descarregada completamente, Normalmente é medida em miliampere-horas (*mAh*) ou ampere-horas (*Ah*);
- Taxa de Descarga (ou *C-rate*): Define a quantidade de corrente que a bateria pode fornecer sem danificar-se, é expressa em múltiplos de *C*.

Para calcular a corrente que tais baterias conseguem fornecer podemos aplicar a equação 2.2, desconsiderando efeitos dissipativos ou a variação de tensão nominal que varia de acordo com o nível de carga da bateria, vale ressaltar que a capacidade da bateria deve estar em *Ah*.

$$I = C - rate \cdot Capacidade \quad (2.2)$$

Uma bateria comercial que atende as especificações do projeto é o modelo Turnigy Graphene Panther 1300mAh 6S 75C, capaz de fornecer por volta de 97,5A, superior a margem de segurança estabelecida. Vale ressaltar que a baterias entrega de tensão nominal 22,2V, inferior a tensão nominal o que para motores BLDC não é um problema, resultando apenas na redução da sua velocidade nominal de 55440RPM para 48840RPM a vazio, uma redução de aproximadamente 12%.

**Figura 5** – Turnigy Graphene Panther 1300mAh 6S 75C.



Fonte: (HobbyKing., 2025b).

### 2.2.3 Sistema de Proteção Contra Sobrecorrentes

Dada a baixa resistência interna das baterias de Lítio-Polímero (LiPo) e a alta capacidade de corrente do sistema ( $> 90 \text{ A}$ ), um eventual curto-circuito no estágio de potência resultaria em correntes de falha de magnitude catastrófica, com risco real de incêndio e explosão da fonte de energia.

Para mitigar este risco, projetou-se um sistema de proteção passiva composto por um fusível do tipo **MIDI** de 100A, instalado em série com o polo positivo da bateria, imediatamente a jusante do conector de entrada na própria placa de circuito impresso (PCB). A seleção do tipo de fusível e da topologia de montagem baseou-se nos seguintes critérios:

- **Tipo de Fusível (MIDI):** Diferente dos fusíveis de lâmina automotivos comuns (ATO/ATC), o padrão MIDI possui terminais para fixação por parafusos (M5 ou M6). Isso garante uma pressão de contato elevada, minimizando a resistência de contato ( $R_{contato}$ ) e, consequentemente, o aquecimento indesejado no ponto de conexão sob altas correntes.
- **Instalação na PCB (On-Board):** Na implementação adotada, o fusível é fixado por parafusos diretamente na PCB, logo após o conector de bateria, e conectado ao barramento DC por trilhas de cobre de largura substancial. Essa topologia concentra a proteção na entrada de energia do ESC, reduz o comprimento de fiação de alta corrente entre o fusível e o *link* capacitivo e permite reforçar mecanicamente o condutor por deposição adicional de estanho (*solder reinforcement*) sobre as áreas de potência, diminuindo a resistência ôhmica e o aquecimento local sob correntes elevadas.
- **Alternativa: Instalação Externa (Off-Board):** Como alternativa de projeto frequentemente empregada em ESCs de alta potência, a alocação do fusível no cabo de alimentação, externalizada à PCB, preserva a integridade das trilhas de cobre em caso de fusão violenta do elemento condutor. Além disso, facilita a manutenção em campo e remove uma fonte de calor concentrada de perto dos transistores de potência.

O dimensionamento de 100A oferece uma margem de segurança de aproximadamente 10% sobre a corrente de pico estimada do motor (90A), garantindo que o dispositivo atue apenas em casos de falha real (curto-circuito ou travamento mecânico do rotor), sem interrupções espúrias durante a operação nominal.

#### 2.2.4 Filtragem do Barramento DC (Link DC)

Considerando a bateria LiPo como fonte primária de energia, e sabendo que a indutância dos cabos de alimentação pode gerar transientes destrutivos, projetou-se um estágio de filtragem para o barramento DC.

O dimensionamento dos capacitores do *Link DC* priorizou a minimização da Resistência Série Equivalente (ESR) para evitar o superaquecimento causado pela corrente de ripple. A capacitância mínima ( $C_{bus}$ ) foi estipulada seguindo a regra prática de engenharia para ESCs de alta performance, que recomenda aproximadamente  $220\mu F$  para cada 20A de corrente de fase:

$$C_{bus} \approx \frac{I_{peak}}{20} \cdot 220\mu F = \frac{90}{20} \cdot 220\mu F \approx 990\mu F \quad (2.3)$$

Dessa forma, a topologia final do barramento de entrada é composta por:

- Conector de alta corrente XT90 (anti-centelha) para conexão com a bateria;
- Dois capacitores eletrolíticos *Low-ESR* de  $470\mu F$  /  $35V$  ligados em paralelo (Total:  $940\mu F$ ), posicionados o mais próximo possível dos drenos dos MOSFETs de alta para minimizar o loop de indutância.

Esta escolha assegura que o banco de capacitores suporte a corrente  $I_{RMS}$  estimada do inversor, mantendo a temperatura de operação dentro dos limites seguros especificados para a série *Low-ESR*.

### 2.2.5 Dimensionamento do Inversor (MOSFETs)

Para o estágio de comutação da ponte inversora trifásica, a escolha do MOSFET foi governada por dois parâmetros críticos: a tensão de ruptura dreno-fonte ( $V_{DSS}$ ), representa o limite máximo de tensão que o dispositivo suporta em seus terminais principais enquanto está em estado de não-condução e a capacidade de dissipação térmica. Considerando que a bateria 6S carregada atinge  $25,2V$ , e prevendo picos de tensão indutiva ( $V_{spike}$ ) durante o chaveamento, selecionou-se o modelo **IRFS7530TRL7PP**. Este componente possui um  $V_{DSS}$  de  $60V$ , oferecendo uma margem de segurança superior a  $100\%$  em relação à tensão do barramento DC.

A validação térmica foi realizada considerando a resistência em condução ( $R_{DS(on)}$ ) máxima do componente, que é de aproximadamente  $1,4m\Omega$ . Para a corrente de pico projetada de  $90A$ , a potência dissipada estimada ( $P_{diss}$ ) é dada por:

$$P_{diss} = I^2 \cdot R_{DS(on)} = 90^2 \cdot 0,0014 \approx 11,34W \quad (2.4)$$

Embora o encapsulamento D2PAK-7 suporte altas correntes, a dissipação de aproximadamente  $11,34W$  exige o uso de uma área de cobre estendida na PCB ou acoplamento com dissipador térmico externo para manter a temperatura de junção dentro dos limites operacionais seguros.

### 2.2.6 Driver de Gate e Circuito de Bootstrap

Os microcontroladores operam tipicamente com níveis lógicos de  $3,3V$  ou  $5V$  e possuem pinos de entrada e saída (GPIO) com capacidade de fornecimento e dreno de corrente (*source/sink*) severamente limitada, situando-se na casa das dezenas de miliamperes. O acionamento eficiente de MOSFETs de potência impõe dois desafios elétricos simultâneos. O primeiro refere-se à elevação de tensão: o terminal de porta (*gate*) desses transistores requer um potencial nominal entre  $10V$  e  $15V$  para assegurar a saturação completa do canal de condução, minimizando a resistência intrínseca no estado ligado ( $R_{DS(on)}$ ).

O segundo desafio, e o mais crítico sob regimes de alta frequência, é a demanda de corrente transiente. Fisicamente, o terminal de porta de um MOSFET comporta-se como uma carga capacitiva ( $C_{iss}$ ). Durante os eventos de comutação, a transição em alta velocidade entre os

estados de corte e saturação exige que essa capacitância parasita seja carregada e descarregada de forma quase instantânea para evitar perdas térmicas elevadas. Devido à relação que rege o comportamento capacitivo da malha, essa dinâmica demanda injeção e dreno de correntes de pico da ordem de amperes, extrapolando em múltiplas ordens de grandeza o limite físico de um microcontrolador.

Por conseguinte, a inclusão de um estágio intermediário dedicado (*Gate Driver*) é estritamente mandatória em inversores trifásicos. Este componente atua não apenas como um conversor de nível lógico (*level shifter*), mas fundamentalmente como um amplificador de corrente de pico, isolando o controlador lógico do estresse dinâmico demandado pela etapa de potência. Além disso, o acionamento dos MOSFETs do lado alto (*High-Side*) exige uma tensão flutuante superior à tensão da bateria.

Para solucionar essa interface, foi selecionado o driver de meia-ponte **IR2110**, capaz de fornecer correntes de pico de até 2A para carga e descarga rápida da capacitância de gate ( $Q_g$ ). O driver é alimentado com 15V (derivados do circuito BEC), garantindo a saturação completa dos transistores.

De acordo com o datasheet do IRFS7530, a resistência interna de gate típica é de  $2,1\Omega$ . Para limitar a corrente de source ( $I_{source}$ ) ao máximo de 2A sob a tensão de alimentação de 15V, a resistência total do caminho de gate deve ser:

$$R_{total} \geq \frac{V_{drv}}{I_{max}} = \frac{15V}{2A} = 7,5\Omega \quad (2.5)$$

Subtraindo a resistência interna do componente, obtém-se o valor mínimo teórico para o resistor externo:

$$R_{g,ext} = R_{total} - R_{G,int} = 7,5\Omega - 2,1\Omega = 5,4\Omega \quad (2.6)$$

Para assegurar uma margem de segurança e maior amortecimento, selecionou-se o valor comercial de  $10\Omega$ . Com este valor, o tempo de comutação estimado ( $t_{sw}$ ) para a carga total de gate ( $Q_g \approx 360nC$ ) será:

$$I_{med} \approx \frac{V_{drv}}{R_{g,ext} + R_{G,int}} = \frac{15V}{12,1\Omega} \approx 1,24A \quad (2.7)$$

$$t_{sw} \approx \frac{Q_g}{I_{med}} = \frac{360nC}{1,24A} \approx 290ns \quad (2.8)$$

Este tempo de transição de aproximadamente  $290ns$  é adequado para a frequência de PWM do projeto (tipicamente  $20kHz$  a  $40kHz$ ), representando menos de 1,5% do período total, o que garante baixas perdas por comutação sem comprometer a estabilidade eletromagnética.

Para o acionamento do *High-Side*, utiliza-se a técnica de *Bootstrap*. O capacitor de bootstrap ( $C_{boot}$ ) foi dimensionado para sustentar a carga do gate durante o período de condução. Adotou-se o critério de projeto que recomenda que o capacitor seja capaz de armazenar uma carga pelo

menos 15 vezes superior à carga total de gate ( $Q_g$ ) do MOSFET (Adams, 1998). Considerando o IRFS7530 com  $Q_g \approx 360nC$ :

$$Q_{min} = 15 \cdot Q_g = 15 \cdot 360nC = 5,4\mu C \quad (2.9)$$

Para o banco de capacitores, optou-se por uma associação em paralelo de um capacitor eletrolítico de  $10\mu F$  (reserva de energia) e um cerâmico de  $100nF$  (para resposta em alta frequência). Alimentados pela tensão de  $15V$  do driver, a carga total armazenada é:

$$Q_{arm} = C_{boot} \cdot V_{drv} = 10\mu F \cdot 15V = 150\mu C \quad (2.10)$$

O valor obtido ( $150\mu C$ ) é significativamente superior ao mínimo requerido ( $5,4\mu C$ ), garantindo robustez. Além disso, a queda de tensão estimada no capacitor a cada ciclo de comutação ( $\Delta V_{boot}$ ) é desprezível:

$$\Delta V_{boot} = \frac{Q_g}{C_{boot}} = \frac{360nC}{10\mu F} = 0,036V \quad (2.11)$$

Essa queda de apenas  $36mV$  ( $0,24\%$  da tensão de alimentação) assegura que a tensão  $V_{GS}$  aplicada ao MOSFET permaneça estável, garantindo a saturação completa do semiconductor.

### 2.2.7 Determinação da Frequência de Chaveamento

A definição da frequência de chaveamento ( $f_{sw}$ ) é um parâmetro crítico no projeto de inversores de frequência de alta corrente, pois representa um *trade-off* direto entre rendimento térmico, qualidade da forma de onda e conforto acústico. O panorama de faixas adotadas pela indústria (desde ESCs audíveis de 8–12 kHz até conversores *racing* de 48–96 kHz) encontra-se sintetizado na Tabela 4 da Introdução Teórica (Subseção 1.5.2). Dentro desse contexto, a seleção de **20 kHz** para este protótipo fundamenta-se na compatibilidade com os MOSFETs IRFS7530 (elevado  $Q_g$ ), o driver IR2110 e a dissipação passiva disponível no *layout* da placa, descartando as frequências de aeromodelismo de alta performance em favor de um ponto de operação silencioso e termicamente gerenciável.

Para este projeto, optou-se pela frequência de **20 kHz**.

Esta escolha fundamenta-se em três critérios de engenharia principais e na validação de compatibilidade dos componentes selecionados:

#### 2.2.7.1 Análise de Perdas por Comutação

As perdas de potência em um MOSFET durante a comutação ( $P_{sw}$ ) são diretamente proporcionais à frequência de operação, conforme estabelecido na Equação 2.12 (Rashid, 2014):

$$P_{sw} = \frac{1}{2} V_d \cdot I_o \cdot (t_{on} + t_{off}) \cdot f_{sw} \quad (2.12)$$

Onde  $V_d$  é a tensão do barramento,  $I_o$  a corrente de carga e  $t_{on}/t_{off}$  os tempos de comutação. O projeto utiliza transistores automotivos IRFS7530, que, embora robustos, apresentam uma carga total de gate ( $Q_g$ ) significativa. A elevação da frequência para valores típicos de aeromodelismo (como  $48kHz$  ou  $96kHz$ ) resultaria em uma dissipação térmica excessiva nos semicondutores, exigindo sistemas de arrefecimento incompatíveis com o volume disponível. A frequência de  $20kHz$  mantém as perdas em um nível gerenciável pela dissipação passiva projetada.

### 2.2.7.2 Mitigação de Ruído Acústico

A operação de motores elétricos gera ruído audível devido à magnetostricção nas lâminas do estator e nas bobinas, excitadas pelos harmônicos da corrente PWM. Segundo Mohan, Undeland e Robbins (2003), recomenda-se que a frequência de chaveamento seja situada acima do limiar da audição humana. Ao fixar  $f_{sw}$  em  $20kHz$ , o sistema opera na região ultrassônica, eliminando o zumbido agudo característico de inversores que operam em faixas inferiores (como  $8kHz$  ou  $12kHz$ ), garantindo conforto acústico na operação do veículo.

### 2.2.7.3 Ripple de Corrente e Torque

Para garantir um torque constante, a frequência de chaveamento deve ser suficientemente alta para interagir com a indutância do motor, limitando a ondulação de corrente (*ripple*). Devido à ausência de dados de indutância e resistência no datasheet do fabricante (Turnigy), consideraram-se os valores típicos para motores BLDC de 4 polos (classe 3674) encontrados na literatura (Hanselman, 2003): indutância de fase na ordem de  $L \approx 20\mu H$  e resistência de  $R \approx 10m\Omega$ .

Isso resulta em uma constante de tempo elétrica estimada de  $\tau = L/R \approx 2$  ms. Dado que o período de chaveamento a  $20$  kHz é de  $T = 50\mu s$ , observa-se que  $T \ll \tau$ . Essa margem garante que a dinâmica elétrica do motor seja significativamente mais lenta que o chaveamento, assegurando a operação no modo de condução contínua com baixa ondulação de corrente (Hanselman, 2003).

### 2.2.7.4 Validação da Compatibilidade do Driver

Foi realizada a validação teórica do driver de gate IR2110 para assegurar sua operação estável na frequência definida. Segundo o datasheet do fabricante (IR2110/IR2113..., 2005), o componente apresenta tempos de propagação típicos de  $t_{on} = 120$  ns e  $t_{off} = 94$  ns. Considerando o período de  $50\mu s$ , os atrasos do driver representam menos de  $0,5\%$  do ciclo total, sendo desprezíveis para a dinâmica do controle.

Adicionalmente, calculou-se a corrente média de gate ( $I_{g,avg}$ ) necessária para comutar os MOSFETs, considerando o pior caso de carga de gate ( $Q_{g,max} = 354$  nC) especificado no datasheet do IRFS7530 (IRFS7530-7PPBF..., 2015), conforme a Equação 2.13:

$$I_{g,avg} = Q_{g,max} \cdot f_{sw} \approx 354 \text{ nC} \cdot 20 \text{ kHz} \approx 7,08 \text{ mA} \quad (2.13)$$

O valor calculado de  $7,08mA$  está amplamente dentro da capacidade de dissipação térmica do IR2110 e situa-se muito abaixo do seu limite de corrente de pico (2A), confirmando que o estágio de acionamento operará em regime seguro.

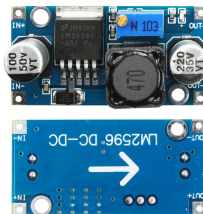
A frequência de  $20kHz$  foi validada teoricamente como o ponto ótimo de operação, equilibrando a minimização das perdas térmicas com a operação silenciosa e a integridade dos componentes de acionamento.

### 2.2.8 Fonte de Alimentação Auxiliar

Existem duas abordagens possíveis para a alimentação do microcontrolador e drivers: utilizar uma segunda bateria ou reduzir o nível de tensão da bateria principal. Para otimizar peso e volume, optou-se por um circuito BEC (*Battery Elimination Circuit*).

Dentre as topologias disponíveis, destacam-se os conversores buck (step-down). O conversor Buck é amplamente utilizado para a redução de tensão, operando com elevado rendimento (tipicamente superior a 85%) (Hauke, 2011). No projeto será aplicado o módulo comercial de baixo custo **LM2596**, um conversor buck de  $150kHz$  e 3A. O sistema é configurado em cascata: a tensão da bateria ( $22,2V - 25,2V$ ) é regulada para 15V para alimentar os drivers IR2110, e subsequentemente reduzida para  $5V/3,3V$  para o microcontrolador ESP32.

**Figura 6** – Módulo Comercial LM2596.



Fonte: (UsinaInfo, 2025).

### 2.2.9 Sensoriamento de Corrente e Proteção (Shunt)

Para implementar a proteção contra sobrecorrente e monitorar o consumo do sistema em tempo real, adotou-se a topologia de sensoriamento resistivo no lado baixo (*Low-Side Current Sensing*). A escolha por um resistor *shunt* em detrimento de sensores baseados em Efeito Hall (como a família ACS7xx) justifica-se pela necessidade de uma **elevada largura de banda e de um tempo de resposta minimizado** para a atuação da proteção de curto-circuito. Esta abordagem reduz drasticamente os atrasos de propagação inerentes aos estágios de processamento interno dos sensores magnéticos e elimina as não-linearidades e a histerese típicas desses componentes integrados.

O dimensionamento do resistor  $R_{shunt}$  buscou minimizar as perdas por condução sem comprometer a relação sinal-ruído. Selecionou-se um resistor de liga metálica de  $0,5m\Omega$ .

Considerando a corrente de pico de projeto ( $I_{peak} \approx 91A$ ), a potência dissipada por efeito Joule no elemento sensor é:

$$P_{shunt} = I_{peak}^2 \cdot R_{shunt} = 91^2 \cdot 0,0005 \approx 4,14W \quad (2.14)$$

Embora a dissipação de aproximadamente 4W exija um componente com encapsulamento de potência (formato 3920 ou 5930), a análise de impacto no rendimento global do sistema demonstra a viabilidade da solução. Comparando a perda no sensor com a potência elétrica total entregue ao motor na tensão nominal (22,2V):

$$P_{sys} \approx V_{bat} \cdot I_{peak} = 22,2V \cdot 91A \approx 2020W \quad (2.15)$$

$$\eta_{loss} = \frac{P_{shunt}}{P_{sys}} = \frac{4,14W}{2020W} \approx 0,2\% \quad (2.16)$$

A perda de apenas 0,2% é considerada desprezível frente às perdas de comutação e condução dos MOSFETs, validando a aplicação.

Para o condicionamento do sinal, a queda de tensão máxima gerada nos terminais do *shunt* será de  $V_{sense} = 91A \cdot 0,5m\Omega = 45,5mV$ . Como essa amplitude é insuficiente para a faixa dinâmica do ADC do ESP32 (0 – 3,3V), projetou-se um estágio amplificador não-inversor. O ganho ( $A_v$ ) necessário para mapear a corrente de pico na escala completa é:

$$A_v = \frac{V_{ADC(max)}}{V_{sense}} = \frac{3,3V}{0,0455V} \approx 72,5 \quad (2.17)$$

Fixou-se o ganho em  $A_v = 73$ , utilizando resistores de precisão de 1% na malha de realimentação do Amplificador Operacional, garantindo que a proteção atue precisamente antes dos limites térmicos do inversor serem atingidos.

## 2.3 Simulação Computacional

Para validar a lógica de controle e a integridade dos sinais de disparo antes da montagem física, utiliza-se a simulação computacional. Devido à complexidade dos modelos SPICE proprietários para os drivers de gate, opta-se pelo uso de modelos comportamentais equivalentes em software de simulação de circuitos (ex: LTSpice ou Proteus). A simulação foca na verificação das formas de onda de tensão de linha e de fase, bem como na garantia de que a sequência de seis passos não gera sobreposição de condução nos braços do inversor.

## 2.4 Montagem, Prototipagem e Desenvolvimento do Firmware

A etapa de integração física consiste na montagem do controlador em uma placa de circuito impresso (PCB) desenhada para suportar as altas correntes do barramento DC, com trilhas reforçadas e planos de terra adequados. O sistema é submetido a testes de bancada, iniciando com

cargas leves e alimentação limitada para verificação de segurança (teste de fumaça), progredindo para o acionamento do motor em rampa de velocidade para validação do protótipo funcional. Em paralelo à construção do hardware, desenvolve-se o firmware de controle, cujas decisões de arquitetura, linguagem e paradigmas de programação são descritas nas subseções subsequentes.

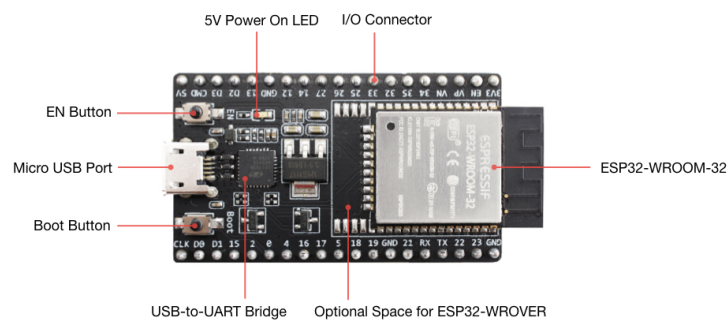
#### 2.4.1 Disponibilização dos artefatos do projeto

Todos os materiais produzidos neste trabalho, monografia, firmware, projeto de hardware, simulações e registros experimentais de bancada, encontram-se reunidos em repositório público versionado, organizado nas pastas Docs/Thesis/ (fonte L<sup>A</sup>T<sub>E</sub>X desta monografia e dados em ensaio\_bancada/), Firmware/ (código PlatformIO do ESP32), Hardware/PCB\_Project/ (esquemáticos, layout e Gerbers) e Simulation/ (modelos LTSpice e gráficos MATLAB) (Fernandes, 2025).

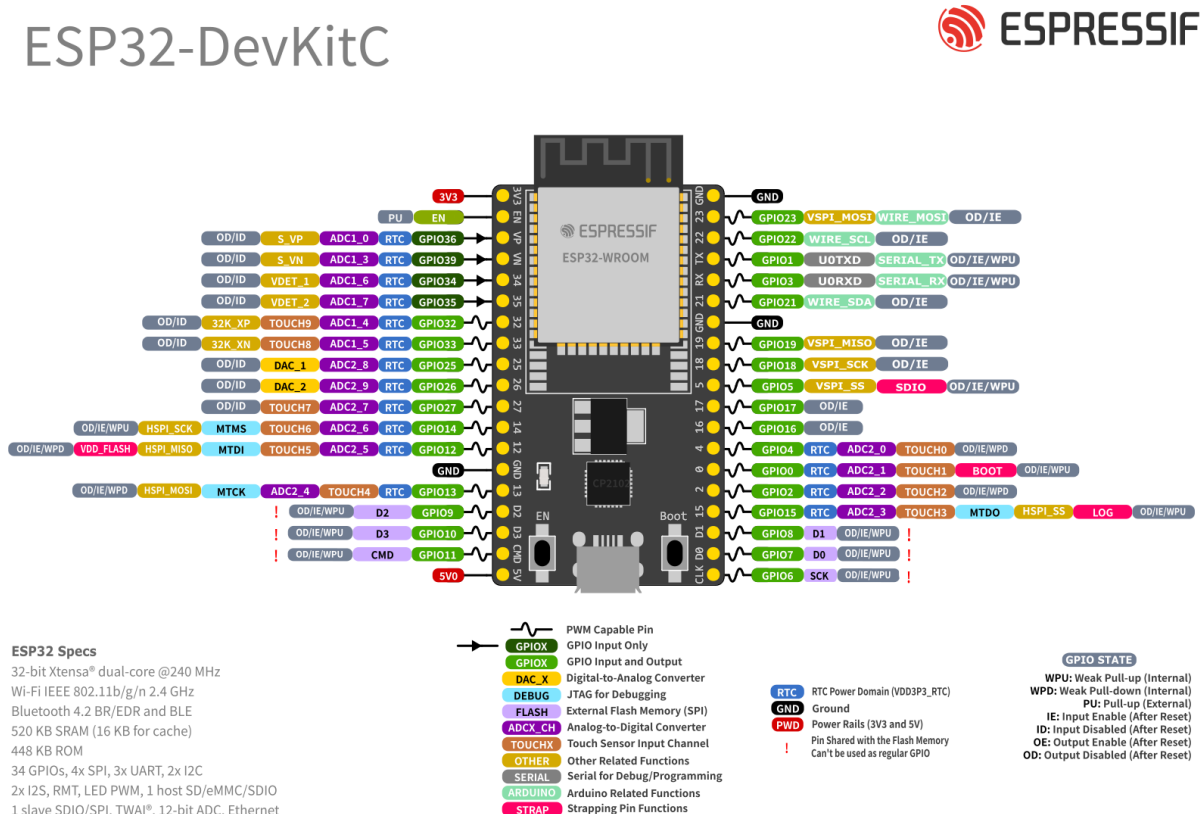
#### 2.4.2 Plataforma de Controle: O Microcontrolador ESP32

Para essa aplicação, foi selecionado o ESP32-DevKit C. Utilizando como principal elemento o módulo ESP32-WROOM-32, ele apresenta uma solução robusta para controle em tempo real. Capaz de operar em velocidades de clock de até  $240\text{MHz}$ , permite a execução paralela de tarefas, característica crítica para sistemas ESC. A resolução de 16 bits dos geradores PWM amplia a precisão no controle da velocidade.

**Figura 7** – Visão Geral do Microcontrolador ESP32-DevKit C.



Fonte: (Systems, 2025).

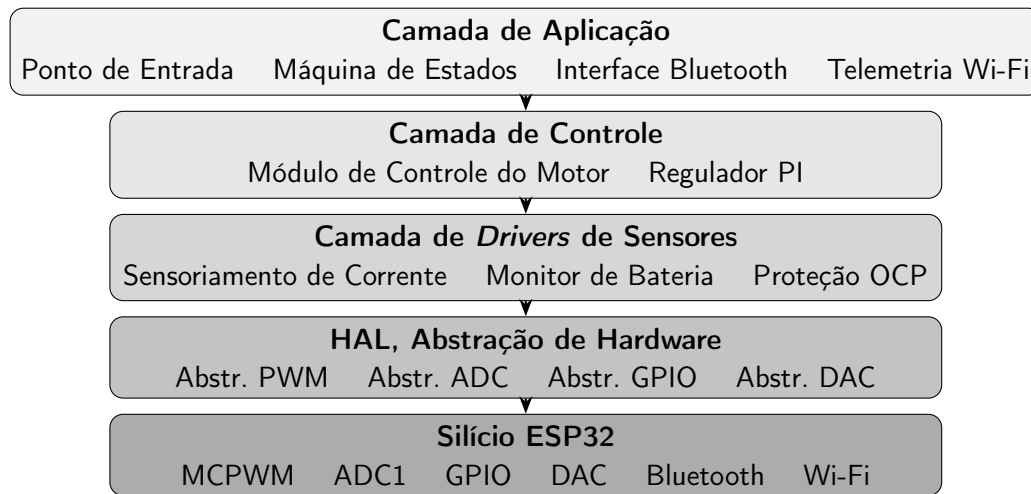
**Figura 8** – Pinagem do Microcontrolador ESP32-DevKit C.

Fonte: (Systems, 2025).

Apesar dessas vantagens, os níveis lógicos de 3,3V exigem o uso de drivers de gate dedicados para a interface com o estágio de potência, conforme detalhado na subseção de dimensionamento do inversor.

### 2.4.3 Arquitetura de Firmware e Controle

O controle lógico do inversor é centralizado no microcontrolador, responsável pela leitura de sinais, implementação da máquina de estados de comutação e geração dos sinais PWM. Para garantir a manutenibilidade e o determinismo temporal exigidos por um controlador de potência em tempo real, o firmware é concebido segundo uma arquitetura em camadas com inversão de dependência, na qual o acesso direto ao silício do ESP32 fica concentrado exclusivamente na Camada de Abstração de Hardware (HAL), conforme ilustrado na Figura 9.

**Figura 9** – Arquitetura em camadas do firmware do ESC com inversão de dependência.

Fonte: Elaborado pelo autor (2026).

#### 2.4.3.1 Taxa de Amostragem da Malha de Controle

A geração do PWM de comutação permanece a cargo do periférico MCPWM, operando de forma autônoma a  $f_{sw} = 20\text{kHz}$  (Subseção de definição da frequência de chaveamento). A **malha de controle de software**, reguladores PI de corrente e velocidade, lógica de comutação trapezoidal, detecção de *stall* e supervisão de proteções, foi dimensionada em cadência distinta e deliberadamente inferior: **1 kHz**, correspondente a um período de amostragem  $T_s = 1\text{ ms}$ .

Essa separação entre frequência de chaveamento e frequência da malha de controle é estrutural em ESCs trapezoidais: o estágio de potência mantém a forma de onda de alta frequência no hardware, enquanto o microcontrolador atua como *loop* externo de baixa frequência, ajustando referência de torque e sequência de comutação. Estratégias de Controle Orientado por Campo (FOC) exigem malhas internas da ordem de dezenas de quilohertz para estimativa contínua do ângulo do rotor; no controle trapezoidal de seis passos adotado neste trabalho, a dinâmica dominante é a da comutação discreta a  $60^\circ$  elétricos. Em motores BLDC comerciais de aplicações gerais, ferramentas elétricas, ventiladores, aeromodelismo e acionamentos leves, a frequência elétrica de comutação em regime nominal situa-se tipicamente na faixa de dezenas a poucas centenas de hertz, implicando intervalo entre passos da ordem de milissegundos. Nessa escala temporal,  $T_s = 1\text{ ms}$  oferece resolução adequada para supervisão da corrente, atualização dos reguladores PI e lógica de comutação, sem exigir reamostragem na escala do PWM; taxas dessa ordem são recorrentes em ESCs trapezoidais comerciais e mostram-se suficientes para a grande maioria dos motores dessa classe.

Do ponto de vista da dinâmica elétrica do motor, a constante de tempo estimada  $\tau = L/R \approx 2\text{ ms}$  (Subseção de *Ripple* de Corrente e Torque) estabelece a escala temporal da resposta de corrente de fase. Adotando a regra empírica de amostragem de malhas de corrente em sistemas de potência, período de amostragem significativamente inferior à constante de tempo elétrica,

tipicamente  $T_s \leq \tau/2$ , o valor  $T_s = 1$  ms situa-se na fronteira conservadora dessa faixa ( $T_s = 0,5 \tau$ ), assegurando que o discretizador PI capture variações de corrente sem subamostrar a planta. Taxas inferiores (por exemplo, 100Hz) degradariam a integração numérica do termo  $I$  do regulador e atrasariam a resposta a degraus de referência e a detecção de sobrecorrente por software; taxas superiores (por exemplo, 10kHz) não agregariam ganho proporcional à dinâmica mecânica e elétrica do sistema trapezoidal, mas elevariam o custo computacional da aquisição de correntes e competiriam com os subsistemas de comunicação sem fio previstos para a validação em bancada.

A materialização dessa taxa no firmware (temporizador periódico, despacho em *task* FreeRTOS, leitura síncrona do ADC1 e atualização do ciclo de trabalho do MCPWM) seria verificada experimentalmente quanto à margem computacional na Subseção 3.3.1.1 do Capítulo de Resultados e Discussão; a validação dinâmica das malhas de controle em rotação encontra-se no protocolo proposto (Subseção 2.4.18).

### 2.4.3.2 Estratégia de Controle PI

Conforme fundamentado na Seção 1.4, o firmware adota controladores PI (sem termo derivativo) para as malhas de corrente e, opcionalmente, de velocidade. A implementação concentra-se no módulo `pid_regulator`, agnóstico de hardware, invocado a cada ciclo de 1 ms pelo `motor_control_tick()`.

Dois modos operacionais, selecionados em tempo de compilação pela macro `MOTOR_CONTROL_USE_SPEED_MODE`, definem a topologia das malhas:

- **Modo corrente** (`MOTOR_CONTROL_USE_SPEED_MODE = 0`): um único PI de corrente (`s_current_pi`) compara a referência  $I_{cmd}$  (mapeada do gatilho R2) com a corrente de fase medida pelo INA240 e produz o *duty cycle* do PWM. A velocidade mecânica resultante depende da carga e da rampa de comutação em malha aberta.
- **Modo velocidade** (`MOTOR_CONTROL_USE_SPEED_MODE = 1`): estrutura **cascata** em dois níveis. O PI externo de velocidade (`s_speed_pi`) compara  $RPM_{cmd}$  (velocidade de comando) com a velocidade estimada a partir do intervalo entre passos e gera a referência de corrente  $I_{cmd}$  (limitada a 5 A). O PI interno de corrente regula o *duty cycle* para atingir  $I_{cmd}$ . Um *feedforward* de frequência elétrica ( $f_{el} = RPM \cdot p/60$ ) sincroniza a taxa de comutação com a referência de velocidade.

Os ganhos padrão, definidos em `board_config.h` e utilizados na inicialização de `motor_control_init()`, são:

**Tabela 5** – Ganhos PI padrão do firmware

| Malha                                  | $K_p$ | $K_i$ |
|----------------------------------------|-------|-------|
| Corrente ( <code>s_current_pi</code> ) | 8,0   | 120,0 |
| Velocidade ( <code>s_speed_pi</code> ) | 0,02  | 0,5   |

Fonte: Elaborado pelo autor (2026).

A saída do PI de corrente é limitada a 0–95 % de *duty cycle* (margem para recarga do *bootstrap* IR2110). O integrador de cada malha possui limites próprios ( `MOTOR_PI_INTEG_MIN/MAX` para corrente; `MOTOR_SPEED_PI_INTEG_MIN/MAX` para velocidade), implementando anti-windup por *clamping* conforme a Equação 1.26. Em eventos de falha ou desarme ( `motor_control_on_disarm()`), os estados integrais são zerados para evitar *windup* residual na re-armagem.

A taxa de variação das referências é limitada por limitadores de taxa de variação ( `MOTOR_TARGET_SLEW_AMPS_PER_S` = 2 A/s para corrente; `MOTOR_SPEED_SLEW_RPM_PER_S` = 1500 RPM/s para velocidade), reduzindo transitórios abruptos que poderiam disparar a proteção de sobrecorrente. A validação experimental dos ganhos e da resposta dinâmica das malhas constitui etapa do protocolo proposto na Subseção 2.4.18; a implementação em firmware é avaliada no Capítulo de Resultados e Discussão.

#### 2.4.4 Interface de Entrada: Controle DualShock 4 via Bluetooth

Para a etapa de validação experimental do protótipo em bancada, a definição de uma interface de entrada de dados ágil e ergonômica é um requisito funcional tão relevante quanto a arquitetura do inversor em si. O operador necessita enviar *setpoints* de comando ao ESC de forma contínua, graduada e segura, sem impedir o acesso físico ao conjunto motor-placa durante os ensaios.

Nesse contexto, foi adotado o controle *DualShock 4* (PS4) como dispositivo de entrada principal do sistema. A escolha fundamenta-se em três critérios de engenharia de sistemas: (1) o controle disponibiliza dois gatilhos analógicos de alta resolução (R2 para aceleração), com curso contínuo que permite mapear linearmente toda a faixa de referência de corrente ou velocidade do ESC sem os degraus discretos de um potenciômetro rotativo; (2) sua interface de comunicação é **Bluetooth Low Energy (BLE)**, eliminando cabos entre o operador e o banco de ensaios e, consequentemente, removendo qualquer risco de choque elétrico por conexão direta a um circuito de alta tensão em operação; (3) o controle expõe pinos de LED colorido (*lightbar*) e botões de ação nomeados (Circle, Options), os quais foram aproveitados como canal de diagnóstico visual e como comandos de arme/desarme e liberação de falha (*clear fault*) da Máquina de Estados do ESC, respectivamente, dispensando interface serial durante ensaios de campo.

A integração com o microcontrolador ESP32 é viabilizada pela biblioteca de código aberto **Bluepad32**, que implementa a pilha de protocolo HID Bluetooth para gamepads comerciais

diretamente sobre o núcleo Arduino customizado para o ESP32. Os detalhes de implementação desta integração são apresentados na subseção referente à escolha da linguagem de programação.

#### 2.4.5 Dashboard de Telemetria via Wi-Fi

A aquisição de dados em tempo real durante os ensaios de potência constitui requisito indispensável para a validação das malhas de controle, das rotinas de proteção e da máquina de estados do ESC. A abordagem convencional, conexão do microcontrolador ao computador do operador por cabo USB/UART introduz, contudo, um elo condutor entre o domínio de alta energia do inversor e o equipamento de medição. Em bancadas de eletrônica de potência, essa interligação expõe o operador e o hardware de aquisição a riscos elétricos severos:

- **Loops de terra (*ground loops*):** quando o referencial de terra do circuito de potência (barramento DC, carcaça do motor, blindagem do cabo de alimentação) não coincide com o terra do computador, circulam correntes parasitas pelo condutor USB, distorcendo medições e elevando a temperatura dos condutores de retorno.
- **Acoplamento de transientes e surtos:** picos de tensão indutiva no barramento, falhas de comutação ou eventos de proteção (disparo do LM339, UVLO) podem propagar-se pelo cabo de dados e atingir a interface USB do laptop, com potencial de dano irreversível à porta serial integrada ou ao próprio computador.
- **Restrição ergonômica em bancada:** o cabo USB limita a distância e a liberdade de movimento do operador durante ensaios dinâmicos com o controle Bluetooth, além de constituir obstáculo físico próximo ao eixo em rotação.

Para mitigar esses riscos sem renunciar à visibilidade do estado interno do firmware, adotou-se uma **Dashboard de Telemetria via Wi-Fi**, que estabelece um **isolamento galvânico virtual** entre o ESP32 e o equipamento de visualização: o notebook ou smartphone do operador comunica-se com o microcontrolador exclusivamente por ondas de rádio, sem qualquer condutor metálico compartilhado com o circuito de potência.

#### 2.4.6 Escolha da Linguagem e Paradigma de Programação

O ESP32 suporta múltiplos ambientes de desenvolvimento e linguagens de programação. Entre as opções disponíveis, três se destacam na comunidade de sistemas embarcados: **MicroPython**, **C** e **C/C++** via framework Arduino com acesso direto ao ESP-IDF.

O **MicroPython** é um interpretador da linguagem Python executado diretamente no microcontrolador. Sua principal vantagem é a rapidez de prototipagem: variáveis são tipadas dinamicamente e não há etapa de compilação. Contudo, para uma aplicação de controle de potência, essa vantagem converte-se em desvantagem crítica. O interpretador introduz latência imprevisível entre a instrução Python e sua execução em silício, um *jitter* que compromete a

estabilidade da malha de corrente a 1 kHz e inviabiliza o controle preciso do *dead-time* de 500 ns no periférico MCPWM. Adicionalmente, a coleta de lixo automática (*garbage collector*) do Python pode suspender a execução por dezenas de milissegundos em momentos arbitrários, comportamento incompatível com o determinismo exigido por um controlador de potência em tempo real.

O C oferece determinismo máximo e controle total sobre a alocação de memória, sendo a linguagem padrão dos SDKs de microcontroladores. Sua limitação, neste projeto, está na integração com a biblioteca Bluepad32 para o controle Bluetooth via DualShock 4: o núcleo Arduino customizado que embute a *stack* Bluetooth exige interfaces em C++, tornando impraticável a restrição estrita ao C.

O C/C++ combina o determinismo e o desempenho do C com os mecanismos de encapsulamento e compatibilidade de biblioteca do C++. No contexto deste projeto, o C++ é utilizado de forma restrita e deliberada: o módulo de ponto de entrada da aplicação e o módulo de interface Bluetooth utilizam C++ para integração com o Bluepad32, enquanto todos os módulos críticos de controle, *drivers* e HAL são implementados em C puro, compilados com convenção de ligação explicitamente declarada por meio do qualificador `extern "C"` nos cabeçalhos. Essa abordagem híbrida captura os benefícios de ambas as linguagens: compatibilidade binária e desempenho determinístico do C nos módulos de potência; integração simplificada com bibliotecas de alto nível em C++ na camada de aplicação.

A escolha rejeitou deliberadamente o uso de **alocação dinâmica de memória**, que é a prática de reservar e liberar espaço na memória (geralmente na região *heap*) durante a execução de um programa, em vez de no momento da compilação. Em sistemas de execução prolongada, a alocação e liberação repetidas de blocos de tamanhos variados fragmentam progressivamente o *heap*, região de memória de uso geral, degradando o desempenho e podendo levar a falhas de alocação imprevisíveis. O firmware adota alocação estática exclusiva: todas as variáveis de estado são declaradas `static` no escopo do módulo, e as instâncias dos controladores PI são estruturas globais estáticas, garantindo tempo de acesso e consumo de memória determinísticos em toda a vida útil do sistema.

#### 2.4.7 Ambiente de Desenvolvimento: PlatformIO

A programação de microcontroladores exige um conjunto de ferramentas que vai além de um editor de texto: compilador cruzado (*cross-compiler*) que gera código de máquina para a arquitetura alvo (Xtensa LX6, no caso do ESP32), *linker* que combina os módulos compilados em um único binário, ferramenta de gravação (*flasher*) para transferir o firmware ao chip por USB e, em um projeto de engenharia, um sistema de gestão de dependências que garanta reprodutibilidade.

A **Arduino IDE** tradicional oferece curva de aprendizado mínima e é adequada para projetos de pequena escala. Contudo, apresenta limitações relevantes para este projeto: a gestão de bibliotecas é global ao sistema, não por projeto, dificultando o controle de versão; a integração

com ferramentas de análise estática de código (*linting*) é limitada; e a estrutura de projeto não favorece a organização em múltiplas bibliotecas privadas com dependências bem definidas.

O **PlatformIO**, ambiente adotado neste trabalho, endereça essas limitações por meio de um arquivo de configuração declarativo do projeto. As principais vantagens que justificaram a escolha são:

- **Gestão de versões fixadas:** a versão exata do *toolchain* e do SDK é fixada no arquivo de configuração do projeto, garantindo que o firmware seja compilado de forma idêntica em qualquer máquina de desenvolvimento ou servidor de integração contínua, sem dependência do estado global do ambiente.
- **Compilação modular automática:** o *Library Dependency Finder* (LDF) compila automaticamente cada módulo no diretório de bibliotecas como uma biblioteca estática independente, vinculando-as ao binário final sem declarações manuais de dependências locais. Isso preserva o isolamento entre módulos e detecta inclusões circulares no processo de compilação.
- **Integração com ferramentas profissionais:** ao funcionar como extensão de editores de código modernos, o PlatformIO habilita *IntelliSense* (autocompletar e navegação por definição), indicação de erros em tempo real e integração com sistemas de controle de versão como o Git, recursos que reduzem erros e agilizam o ciclo de desenvolvimento.
- **Configuração de SDK por arquivo:** um arquivo de configuração específico permite ajustar opções de *firmware* do ESP-IDF (como desabilitar o console USB da pilha Bluetooth que conflitaria com a porta serial de telemetria) sem modificar o código-fonte, mantendo a separação entre configuração e implementação.
- **Filesystem LittleFS:** partição de arquivos na flash interna, gravada pelo comando `pio run -t uploadfs`, contendo `index.html` e `chart.min.js` da dashboard Wi-Fi.
- **Dependências de rede:** `ESPAsyncWebServer-esphome` e `AsyncTCP-esphome` declaradas em `platformio.ini`; `board_build.filesystem = littlefs`.

O projeto de compilação reside no diretório `Firmware/` do repositório (Fernandes, 2025).

#### 2.4.8 Estrutura de Módulos: Cabeçalhos e Arquivos-Fonte

A organização modular do firmware baseia-se em uma convenção fundamental da linguagem C/C++: a separação entre **declaração** e **definição** de funções e estruturas de dados, materializada nos dois tipos de arquivo presentes no projeto.

Os **arquivos de cabeçalho** (`.h`) funcionam como **contratos ou índices** de um módulo: declaram quais funções existem, quais tipos de dados elas recebem e quais valores retornam, sem revelar como são implementadas internamente. A analogia de hardware é precisa: um

arquivo de cabeçalho é equivalente ao *datasheet* de um componente eletrônico, que descreve os terminais, as tensões de operação e as características elétricas sem expor o circuito interno. O arquivo de cabeçalho do módulo de regulação PI, por exemplo, declara a estrutura de dados do controlador, com campos para os ganhos  $K_p$ ,  $K_i$ , o estado do integrador e os limites de saturação, e a assinatura da função de cálculo do controlador, definindo o “contrato” que qualquer módulo pode usar para computar a ação de controle, independentemente de onde o motor ou o sensor estão conectados.

Os **arquivos de implementação** (`.c` ou `.cpp`) contêm a **lógica real** que cumpre o contrato declarado no cabeçalho. Estendendo a analogia, são o **circuito interno do componente**: a implementação concreta dos transistores e resistores que produzem o ganho prometido no *datasheet*. O arquivo de implementação do módulo de regulação PI, por exemplo, contém as equações de erro, acumulação do integrador com *anti-windup* e saturação da saída, o código que transforma a declaração em comportamento real.

Essa separação produz dois benefícios práticos diretos para um projeto de engenharia:

- **Modularidade e manutenibilidade:** Um módulo que utiliza o controlador PI inclui apenas o cabeçalho correspondente e invoca a função de cálculo do controlador. Se a implementação do algoritmo for aprimorada por exemplo, substituindo a integração de Euler pela integração trapezoidal todos os módulos que o utilizam se beneficiam automaticamente após recompilação, sem necessidade de modificação. A mudança fica contida em um único arquivo de implementação.
- **Isolamento de dependências e testabilidade:** Ao não incluir cabeçalhos de hardware nos módulos de algoritmo, garante-se que a lógica matemática seja verificável de forma independente do hardware físico. O módulo de controle PI pode ser testado em um computador de desenvolvimento com dados simulados, validando sua resposta dinâmica antes de ser integrado ao firmware completo prática que reduz o tempo de depuração em bancada.

A regra de projeto adotada complementa essa estrutura: cada módulo expõe exatamente as funções necessárias para seu papel na arquitetura em camadas e declara `static` todas as variáveis de estado internas. O qualificador `static` no escopo do módulo restringe o acesso à variável ao próprio módulo, impedindo que camadas superiores modifiquem diretamente o estado interno de camadas inferiores e eliminando uma classe inteira de erros causados por acesso não intencional a variáveis compartilhadas.

#### 2.4.9 Lógica de Comutação de Seis Passos

A lógica de chaveamento constitui o núcleo funcional do ESC. Nesta abordagem, utiliza-se a comutação de seis passos em malha aberta, dentro de uma estratégia *sensorless* (sem sensores Hall ou encoder de posição). A ponte inversora trifásica é acionada de forma que apenas dois

MOSFETs conduzam simultaneamente a cada passo, criando um campo magnético giratório que avança em incrementos de  $60^\circ$ .

**Tabela 6** – Sequência de Comutação de Seis Passos e Estado dos MOSFETs

| Passo | Pos. Elétrica           | High A | Low B | High C | Low A | High B | Low C |
|-------|-------------------------|--------|-------|--------|-------|--------|-------|
| 1     | $0^\circ - 60^\circ$    | ON     | ON    | OFF    | OFF   | OFF    | OFF   |
| 2     | $60^\circ - 120^\circ$  | ON     | OFF   | OFF    | OFF   | OFF    | ON    |
| 3     | $120^\circ - 180^\circ$ | OFF    | OFF   | ON     | OFF   | ON     | OFF   |
| 4     | $180^\circ - 240^\circ$ | OFF    | OFF   | ON     | ON    | OFF    | OFF   |
| 5     | $240^\circ - 300^\circ$ | OFF    | ON    | OFF    | ON    | OFF    | OFF   |
| 6     | $300^\circ - 360^\circ$ | OFF    | OFF   | OFF    | OFF   | ON     | ON    |

Fonte: Elaborado pelo autor (2026).

#### 2.4.10 Periférico MCPWM e Sequência de Inicialização Segura

Propõe-se utilizar o periférico dedicado *Motor Control Pulse Width Modulator* (MCPWM) do ESP32 (TECHNICAL... , 2025) para a geração dos seis sinais de comutação, desonerando a CPU da modulação em alta frequência. Embora o controle trapezoidal convencional de seis passos em modo unipolar (*H-PWM / L-ON*) prescindia de tempo morto devido ao hiato natural de  $60^\circ$  elétricos de alta impedância entre as janelas de condução superior e inferior de uma mesma perna, o módulo MCPWM oferece a capacidade de inserção de tempo morto (*Dead Time*) via *hardware*. Este recurso atua como um mecanismo de blindagem e segurança indispensável caso o *firmware* adote estratégias avançadas de modulação complementar — tais como a retificação síncrona ou frenagem regenerativa ativa —, prevenindo curto-circuitos transientes no barramento CC por intercondução (*shoot-through*) decorrentes dos tempos de desligamento (*turn-off delay*) dos transistores de potência.

A configuração segue o mapeamento da Tabela 7, onde o *Duty Cycle* é aplicado ao transistor do lado alto (High-Side) para controle de corrente, enquanto o lado baixo (Low-Side) é mantido em condução plena ou chaveado de forma complementar, dependendo da estratégia de frenagem regenerativa desejada.

**Tabela 7** – Mapeamento dos Estados de Comutação para os Geradores MCPWM do ESP32

| Passo | Fases Energizadas | High-Side | Low-Side | OPR 0 (A)    | OPR 1 (B)    | OPR 2 (C)    |
|-------|-------------------|-----------|----------|--------------|--------------|--------------|
| 1     | A+ B-             | T1        | T4       | PWM / LOW    | LOW / ACTIVE | Hi-Z / Hi-Z  |
| 2     | A+ C-             | T1        | T6       | PWM / LOW    | Hi-Z / Hi-Z  | LOW / ACTIVE |
| 3     | B+ C-             | T3        | T6       | Hi-Z / Hi-Z  | PWM / LOW    | LOW / ACTIVE |
| 4     | B+ A-             | T3        | T2       | LOW / ACTIVE | PWM / LOW    | Hi-Z / Hi-Z  |
| 5     | C+ A-             | T5        | T2       | LOW / ACTIVE | Hi-Z / Hi-Z  | PWM / LOW    |
| 6     | C+ B-             | T5        | T4       | Hi-Z / Hi-Z  | LOW / ACTIVE | PWM / LOW    |

Fonte: Elaborado pelo autor (2026).

*Nota:* "PWM / LOW" indica modulação. "LOW / ACTIVE" indica condução ao terra. "Hi-Z" alta impedância.

Os *drivers* IR2110 operam com lógica *Active-High*: nível lógico alto no pino de entrada habilita a condução do MOSFET correspondente. A configuração do gerador PWM deve respeitar essa polaridade, qualquer inversão lógica (*Active-Low*) comprometeria a segurança da ponte. Adicionalmente, o ciclo de trabalho inicial de ambas as pernas de cada braço deve ser nulo (0 %) até que o operador autorize explicitamente a operação do inversor.

Durante o *power-up*, o *reset* ou a reprogramação do microcontrolador, a ordem de ativação dos recursos do MCPWM é crítica. Se os pinos de *gate* forem conectados ao periférico antes que o tempo morto esteja configurado e que ambas as pernas estejam garantidamente em repouso, ambos os sinais complementares de uma mesma fase podem assumir nível lógico alto simultaneamente, condição de curto-circuito direto no barramento DC, independentemente dos resistores de *pull-down* instalados nos *gates*, pois estes não contrabalanceiam correntes de acionamento impostas ativamente pelos *drivers*. Propõe-se, portanto, a seguinte sequência metodológica de inicialização, aplicada antes de qualquer comutação:

1. **Pull-down lógico:** configurar os seis pinos de controle (*AH, AL, BH, BL, CH, CL*) como saídas digitais em nível baixo, ainda no modo GPIO genérico, antes de delegar o controle ao periférico MCPWM;
2. **Tempo morto primário:** para cada timer de fase, inicializar o gerador PWM com ciclo de trabalho 0 % em ambas as pernas, habilitar o *dead-time* de 500 ns em modo complementar *Active-High* e fixar ambas as saídas em repouso elétrico, tudo isso antes de rotear os sinais do MCPWM para os pinos físicos;
3. **Atrelamento seguro:** somente então conectar cada saída do MCPWM ao GPIO correspondente e verificar imediatamente que ambas as pernas permanecem em nível baixo após o *mux* do microcontrolador.

Essa sequência constitui a contrapartida de software aos resistores de *pull-down* de 10 k $\Omega$  previstos no estágio de potência: enquanto estes protegem contra estados flutuantes na ausência de sinal ativo, a ordem de inicialização impede que o próprio sistema de controle imponha condução simultânea das duas pernas de um braço durante o arranque. Até a autorização

explícita de operação pelo operador, os sinais PWM permanecem desarmados e os pinos de *shutdown* dos IR2110 mantidos em nível baixo.

#### 2.4.11 Sistema de Realimentação por Força Contraeletromotriz

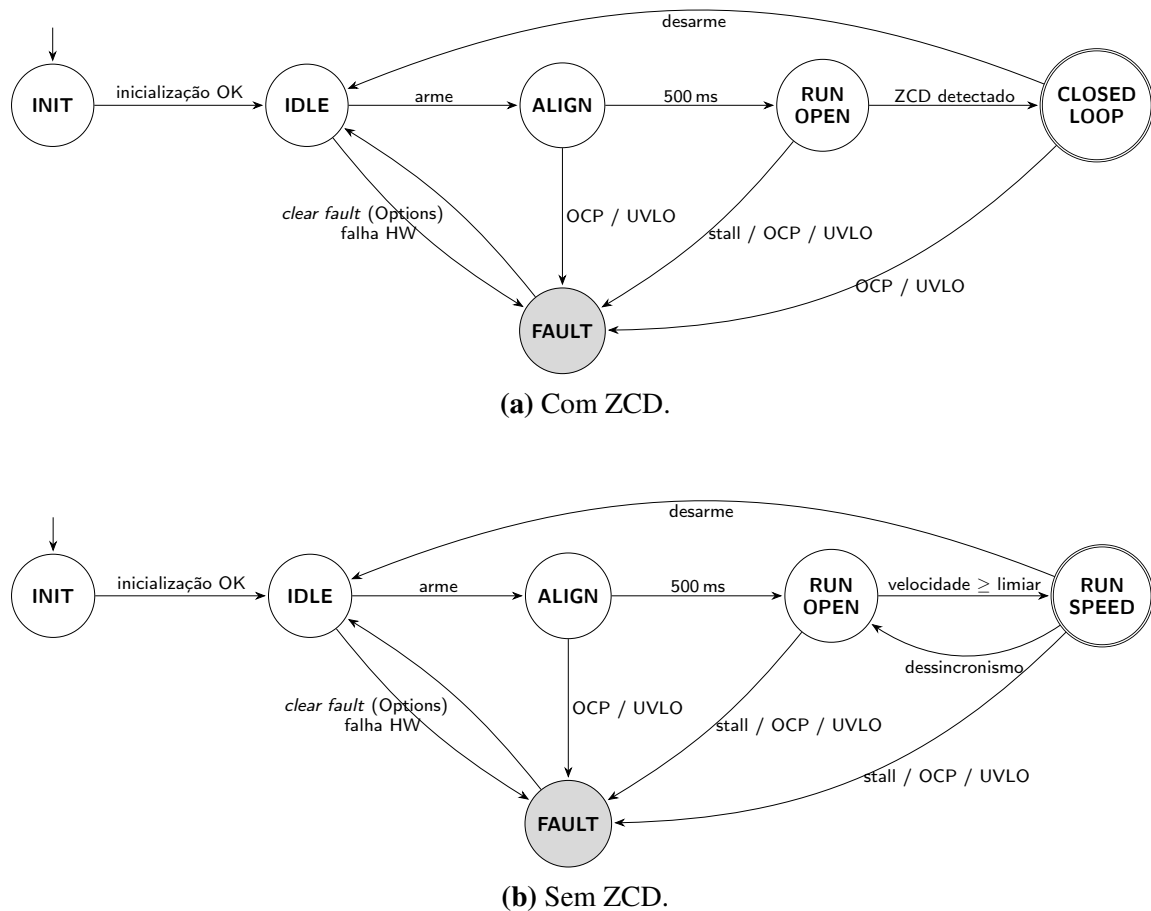
Para viabilizar a operação em malha fechada sem o uso de sensores de posição dedicados (sensores Hall), planeja-se implementar a técnica de detecção de cruzamento por zero (*Zero-Crossing Detection ZCD*) da força contraeletromotriz (FCEM). Esta técnica baseia-se no monitoramento da tensão na fase não energizada do motor durante a sequência de comutação de seis passos. O instante em que a FCEM cruza o nível de tensão do ponto neutro do motor indica uma posição angular conhecida do rotor, permitindo a sincronização precisa da comutação eletrônica.

Como o motor especificado (Turnigy XK3674) possui fechamento interno em triângulo ou estrela sem acesso ao ponto neutro, o sistema de realimentação é concebido em três estágios: reconstrução do neutro virtual, condicionamento de sinal e comparação.

#### 2.4.12 Estratégia de Partida e Transição para Malha Fechada

A técnica de detecção de cruzamento por zero da FCEM possui uma limitação física intrínseca: a amplitude da FCEM é proporcional à velocidade do rotor ( $e = K_e \cdot \omega$ ). Na partida ( $t = 0$ ), a FCEM é nula, impossibilitando a determinação da posição do rotor pelos comparadores. Para contornar isso, projeta-se uma máquina de estados finitos composta por estágios sequenciais de partida, conforme ilustrado na Figura 10:

**Figura 10** – Máquinas de estados finitas do ESC: (a) com ZCD habilitado; (b) sem ZCD (implementação validada em bancada).



Fonte: Elaborado pelo autor (2026).

1. **Alinhamento (Estágio Estático):** Aplica-se uma tensão constante em um par de fases específico (ex: Fase A em High, Fase B em Low) por um período fixo de 500ms. Isso força o rotor a se alinhar fisicamente com o campo magnético do estator, estabelecendo uma posição inicial conhecida ( $\theta_0$ ) antes do início do movimento.
2. **Aceleração em Malha Aberta (Blind Commutation):** A partir da posição conhecida, o controlador inicia a sequência de comutação de seis passos utilizando um temporizador interno, ignorando os sinais dos comparadores. A frequência de comutação é incrementada linearmente (Rampa) para acelerar o motor.  
  
Este estágio é mantido pelo menor tempo possível, apenas o suficiente para que o motor atinja cerca de 5% a 10% da sua velocidade nominal, ponto em que a amplitude da FCEM supera o limiar de histerese e ruído dos comparadores LM339.
3. **Transição pós-partida:** O comportamento após *RUN\_OPEN* depende da configuração de compilação (Figura 10):

- **Com ZCD** (Figura 10a): assim que o microcontrolador detecta uma sequência válida de cruzamentos por zero nos comparadores, o sistema realiza a transição de malha. O temporizador de malha aberta é desativado e o controle passa a ser orientado a eventos: cada ZCD dispara, após um atraso de 30° elétricos, a próxima comutação de fase.
- **Sem ZCD** (Figura 10b, implementação validada): a comutação permanece em malha aberta por temporizador. Quando a velocidade medida supera o limiar de transição de malha, o estado evolui para *RUN\_SPEED*, em que um PI de velocidade comanda a corrente. Dessincronismo provoca retorno a *RUN\_OPEN*, sem entrada em falha.

Essa abordagem híbrida elimina a necessidade de rampas longas e de baixo rendimento, garantindo uma partida robusta; com ZCD habilitado, a operação contínua é auto-sincronizada por FCEM.

#### 2.4.13 Reconstrução do Neutro Virtual e Divisores de Tensão

A ausência de um terminal de neutro físico acessível demanda a criação de um ponto de neutro virtual. Para isso, conecta-se um resistor de 33kΩ em cada uma das três fases do motor (*A, B, C*), unindo as extremidades opostas em um nó comum. Este nó fornece a referência de tensão média do sistema ( $V_{ref}$ ) para os comparadores, conforme topologia clássica para controle trapezoidal *sensorless* (Texas Instruments, 2013).

Considerando a escalabilidade do projeto para operar com baterias de até 6 células (6S,  $\approx 25,2V$ ), a rede de divisores resistivos é dimensionada para garantir a segurança do microcontrolador no pior caso de tensão. Utiliza-se uma topologia composta por um resistor de lado alto ( $R_{high}$ ) de 33kΩ e um resistor de lado baixo ( $R_{low}$ ) de 3,3kΩ, resultando em um fator de atenuação  $\alpha$ :

$$V_{out} = V_{in} \cdot \frac{R_{low}}{R_{high} + R_{low}} = 25,2 \cdot \frac{3,3k}{33k + 3,3k} \approx 2,29V \quad (2.18)$$

Esta configuração garante que a tensão máxima no pino do microcontrolador permaneça abaixo de 3,3V, preservando uma margem de segurança para picos indutivos (spikes) típicos de comutação.

#### 2.4.14 Filtragem de Ruído PWM

O sinal de tensão proveniente das fases contém componentes de alta frequência resultantes da modulação por largura de pulso (PWM), tipicamente na ordem de 20kHz. Para evitar múltiplos disparos falsos no comparador, adiciona-se um capacitor cerâmico ( $C_f$ ) de 10nF em paralelo com o resistor  $R_{low}$ , formando um filtro passa-baixa passivo de primeira ordem. A frequência de corte ( $f_c$ ) é dimensionada para preservar a componente fundamental da FCEM (proporcional à velocidade do motor) enquanto atenua o ruído de chaveamento:

$$f_c = \frac{1}{2\pi \cdot (R_{high} || R_{low}) \cdot C_f} \approx \frac{1}{2\pi \cdot 3000 \cdot 10 \cdot 10^{-9}} \approx 5,3kHz \quad (2.19)$$

#### 2.4.15 Análise e Compensação do Atraso de Fase do Filtro

A introdução do capacitor  $C_f$  no circuito divisor de tensão, embora essencial para a integridade do sinal, insere um polo no sistema que causa um atraso de fase ( $\phi$ ) dependente da frequência. Em um filtro RC de primeira ordem, o atraso de fase entre o sinal de entrada (BEMF real) e o sinal de saída (lido pelo comparador) é dado por (Texas Instruments, 2013):

$$\phi = \arctan(2\pi \cdot f_{el} \cdot R_{eq} \cdot C_f) = \arctan\left(\frac{f_{el}}{f_c}\right) \quad (2.20)$$

onde  $f_{el}$  é a frequência elétrica fundamental do motor e  $f_c$  é a frequência de corte do filtro ( $\approx 5,3kHz$ ).

Este atraso angular é crítico para o sincronismo da comutação. Na estratégia *sensorless* ideal, a comutação das fases deve ocorrer  $30^\circ$  elétricos após o cruzamento por zero da BEMF. No entanto, devido ao filtro, o comparador detecta o evento de cruzamento com um atraso de  $\phi$  graus. Se o microcontrolador aguardar os  $30^\circ$  teóricos após essa detecção tardia, a comutação efetiva ocorrerá em  $30^\circ + \phi$ , resultando em uma aplicação de torque fora do ponto de máximo rendimento.

Considerando as especificações do motor Turnigy XK3674 (2200KV, 4 polos) operando à tensão nominal de 22,2V, a velocidade máxima teórica aproxima-se de 48.840 RPM. A frequência elétrica máxima correspondente é:

$$f_{el\_max} = \frac{RPM \cdot P}{120} = \frac{48840 \cdot 4}{120} \approx 1.628 \text{ Hz} \quad (2.21)$$

Substituindo na Equação 2.20:

$$\phi_{max} = \arctan\left(\frac{1628}{5300}\right) \approx 17,07^\circ \quad (2.22)$$

Como o atraso máximo projetado ( $17,07^\circ$ ) é inferior ao intervalo de comutação padrão ( $30^\circ$ ), é possível realizar a compensação via software. A estratégia adotada, alinhada às recomendações da literatura especializada (Texas Instruments, 2013), consiste em calcular dinamicamente o ângulo de atraso  $\phi$  a cada ciclo e ajustar o temporizador de espera ( $T_{wait}$ ):

$$T_{wait} = T_{30^\circ} - T_{lag} \quad (2.23)$$

Onde  $T_{30^\circ}$  é o período correspondente a  $30^\circ$  na velocidade atual e  $T_{lag}$  é o tempo equivalente ao atraso de fase do filtro. Essa correção assegura que, mesmo em altas rotações, o alinhamento entre os campos do estator e rotor permaneça ortogonal.

#### 2.4.16 Estágio Comparador com LM339

A digitalização dos sinais analógicos é realizada pelo circuito integrado **LM339N** (encapsulamento DIP-14), que contém quatro comparadores de tensão independentes. A escolha deste componente justifica-se por sua saída em coletor aberto (*Open-Collector*) (LM339..., 2015). Esta característica permite que o comparador seja alimentado com uma tensão superior (ex: 5V ou 12V) para garantir a linearidade, enquanto a saída é referenciada ao nível lógico do microcontrolador (3,3V) através de resistores de *pull-up* de 10k $\Omega$ .

O circuito utiliza três comparadores configurados da seguinte forma:

- **Entrada Não-Inversora (+):** Tensão da Fase (A, B ou C) atenuada e filtrada.
- **Entrada Inversora (-):** Tensão do Neutro Virtual atenuada.
- **Saída:** Conectada a pinos de entrada digital do microcontrolador, configurados para interrupção externa.

#### 2.4.17 Considerações de Sensibilidade e Escalabilidade

O dimensionamento dos divisores de tensão impõe um compromisso de engenharia (*trade-off*) entre a proteção contra sobretensão e a sensibilidade em baixas velocidades. Com a atenuação de aproximadamente 11:1, sistemas operando com tensões de barramento menores (ex: baterias 2S ou 3S) ou motores em baixa rotação apresentarão sinais de amplitude reduzida na entrada do comparador.

Para mitigar o risco de instabilidade com sinais pequenos, recomenda-se a implementação de **histerese** no circuito comparador. Isso pode ser realizado através da realimentação positiva, conectando um resistor de alta impedância (ex: 1M $\Omega$ ) entre a saída do comparador e sua entrada não-inversora.

Ressalta-se que a escalabilidade é limitada por dois fatores físicos:

1. **Limite Inferior (3S):** A tensão mínima de operação é definida pelos drivers de gate (IR2110) e pela tensão de limiar ( $V_{GS}$ ) dos MOSFETs. Operar abaixo de 11,1V (3S) sem conversores Boost adicionais coloca os transistores na região linear, causando superaquecimento.
2. **Limite Superior (6S):** A tensão máxima é estritamente limitada pela tensão de ruptura ( $V_{DSS}$ ) dos MOSFETs utilizados (IRFS7530, 60V). Embora baterias 7S (29,4V) ou 8S (33,6V) pareçam estar dentro do limite estático, os picos indutivos gerados durante a comutação podem atingir o dobro da tensão de barramento, excedendo o  $V_{DSS}$  e causando falha catastrófica. Portanto, o limite de 6S (25,2V) garante a margem de segurança necessária para a robustez do inversor.

#### 2.4.18 Protocolo de Validação Experimental Proposto

Após a validação estática do hardware e da arquitetura de firmware documentada no Capítulo de Resultados e Discussão, previa-se um segundo lote de ensaios dinâmicos com o motor conectado à ponte inversora. O protocolo seguiria a filosofia de **energização incremental** já adotada nos ensaios estáticos: alimentação por fonte de bancada regulada, limitador de corrente configurável e interface de comando serial ou via controle DualShock 4. A carga representativa seria o motor A2212/10T 1400 kV (*outrunner*, 14 polos,  $p = 7$ ), ilustrado na Figura 22 do Capítulo de Resultados, selecionado como **Prova de Conceito em escala reduzida** em detrimento do motor de projeto Turnigy XK3674-2200 kV, permitindo operar com tensão compatível a pack 4S ( $\approx 14,8\text{ V}$ ) e corrente limitada a 3 A sem dissipadores externos.

##### 2.4.18.1 Estratégia de carga e parametrização prevista

A relação entre frequência elétrica de comutação e velocidade mecânica obedeceria à equação  $f_{el} = n \cdot p / 60$ . A rampa em malha aberta seria limitada a `MOTOR_OPEN_LOOP_COMM_HZ_MAX` = 300 Hz ( $\approx 2571\text{ RPM}$ ), com incremento de +1,5 Hz por passo comutado a partir de 5 Hz. Os controladores PI utilizariam os ganhos padrão da Tabela 5, com integração de Euler e *anti-windup* por limitação do integrador. O resultado esperado para esta etapa consistiria em confirmar que a rampa de frequência elétrica permitiria ao rotor acompanhar o campo girante do estator sem perda de sincronismo magnético durante a transição de `RUN_OPEN` para `RUN_SPEED`.

##### 2.4.18.2 Ensaio dinâmico 4.1: Sequência de partida e comutação trapezoidal com carga

Este ensaio teria como objetivo registrar, com pinças de corrente nos três terminais de fase, a evolução temporal das correntes de estator durante o ciclo completo de partida, comandado pelo gatilho R2 do DualShock 4 ou pela interface serial ( `A + setpoint`). Verificar-se-ia a integridade da sequência `ALIGN`  $\rightarrow$  `RUN_OPEN`  $\rightarrow$  `RUN_SPEED` no domínio elétrico (formas trapezoidais de corrente) e temporal (duração de cada estado).

Na fase `ALIGN`, aplicar-se-ia o vetor estático do Passo 0 com rampa de ciclo de trabalho de 0% a 3% em 100 ms. Em regime estacionário ao final da rampa, a corrente de alinhamento aproximar-se-ia de:

$$I_{align} \approx \frac{D_{align} \cdot V_{DC}}{R_{eq}} = \frac{0,03 \times 12\text{ V}}{R_{eq}} \quad (2.24)$$

onde  $R_{eq}$  englobaria resistência de armadura em série e  $R_{DS(on)}$  dos MOSFETs condutores. O resultado esperado seria um pulso de corrente estável nas fases A e B, referenciando  $\theta_0$  antes de `RUN_OPEN`.

Em `RUN_OPEN`, a frequência elétrica incrementar-se-ia linearmente até 300 Hz; as correntes de fase apresentariam o padrão trapezoidal característico da comutação de seis passos (pulsos de  $120^\circ$  elétricos, intervalo Hi-Z de  $60^\circ$ ). A transição para `RUN_SPEED` ocorreria quando a velocidade estimada superasse 600 RPM por 200 ms consecutivos.

#### 2.4.18.3 *Ensaio dinâmico 4.2: Determinismo temporal do PWM sob carga do escalonador FreeRTOS*

Com o motor em rotação estável, pressionar-se-iam repetidamente botões do DualShock 4 enquanto uma sonda monitoraria o sinal de *gate AH* em persistência infinita ( $\geq 1$  min). O resultado esperado seria período nominal  $T_{PWM} = 50 \mu s$  ( $f_{sw} = 20 \text{ kHz}$ ) sem *glitches*, confirmando que o MCPWM opera como autômato de hardware independente do `loop()` Arduino e da pilha Bluetooth.

#### 2.4.18.4 *Ensaio dinâmico 4.3: Resposta dinâmica ao degrau de corrente e acompanhamento pelo PI*

Com o motor em regime estável, aplicar-se-ia um degrau brusco no gatilho R2; a telemetria serial registraria referência rampeada e corrente medida. O *slew rate limiter* (`MOTOR_TARGET_SLEW_AMPS_PER_S = 2 A/s`) imporia incremento máximo  $\Delta I_{max} = 2 \text{ mA}$  por ciclo de 1 ms; um degrau de 0 a 3 A geraria rampa de referência de  $\approx 1,5 \text{ s}$ . O resultado esperado consistiria em rastreamento da corrente medida pelo INA240 com erro estacionário nulo (termo integral) e sobressinal limitado pelo *anti-windup* e pelo teto de 95 % de ciclo de trabalho.

#### 2.4.18.5 *Ensaio dinâmico 4.4: Limite inferior em malha aberta e motivação do ZCD*

Reduzir-se-ia progressivamente a referência de corrente até mapear a frequência elétrica mínima  $f_{el,min}$  em que o rotor ainda acompanharia o campo do estator sem escorregamento. Abaixo desse limiar, esperar-se-ia perda de sincronismo, vibração audível e disparo da proteção de *stall* por corrente sustentada. O resultado teórico motivaria a ativação futura de `BOARD_ENABLE_BEMF_ZCD = 1`, eliminando a “zona cega” entre velocidade nula e a velocidade mínima de sincronismo em malha aberta.

#### 2.4.18.6 *Ensaio dinâmico 4.5: Proteção de stall por travamento mecânico*

Com o motor em velocidade intermediária e  $I_{ref} = 1,5 \text{ A}$ , bloquear-se-ia fisicamente o eixo. A sequência esperada na telemetria seria: (i) anulação da FCEM e crescimento de corrente; (ii) saturação do PI em 95 %; (iii) detecção por `trip_stall_high_current` após 300 ms acima de 6 A; (iv) transição para `ESC_STATE_FAULT` com *lightbar* vermelha e código `MOTOR_FAULT_STALL`; (v) `pi_reset()` no desarme para evitar *windup* residual.

#### 2.4.18.7 *Ensaio complementares de instrumentação*

Os ensaios a seguir complementariam a validação quantitativa do hardware já verificado qualitativamente em bancada:

- **Tempo morto e  $V_{GS}$  (Identificadores de ensaio 16–17):** medição por osciloscópio nos *gates* complementares do braço A; resultado esperado:  $t_{dead} \approx 500\text{ ns}$ , conforme `mcpwm_deadtime_enable()`.
- **Disparo OCP em quatro canais (Identificadores 02 e 18):** estímulo no LM339 com captura simultânea de INA240, *OC Trip*, PWM e *shutdown*; resultado esperado:  $t_{OCP,total} < 2\text{ }\mu\text{s}$  frente a  $di/dt \approx 0,6\text{ A}/\mu\text{s}$ .
- **Ripple do barramento DC (Identificador 19):** medição em acoplamento AC nos terminais do *link* de  $940\text{ }\mu\text{F}$ ; comparação com a Equação de ondulação capacitiva do projeto.
- **UVLO com pack 4S (Identificador 03):** descarga controlada com marcação de histerese 3,3/3,5 V por célula.
- **Ganho INA240 (Identificador 15):** injeção de 1 A no *shunt* da fase B e medição de  $\Delta V_{out} \approx 20\text{ mV}$ .
- **Validação cruzada dashboard  $\times$  multímetro (Identificador 10):**  $\varepsilon_I$  e  $\varepsilon_{RPM,serial}$  em patamares de 1500 e 2000 RPM.
- **Oscilograma de FCEM em Hi-Z (Identificador 08):** forma trapezoidal na fase flutuante a  $\approx 2571\text{ RPM}$  em malha aberta.

#### 2.4.18.8 Telemetria Wi-Fi em rotação

A validação operacional da dashboard previa operação com `BOARD_ENABLE_WIFI_TELEMETRY = 1`, telemetria adiada em `RUNNING ( WIFI_TELEMETRY_DEFER_IN_RUNNING = 1 )` e critérios de aceite: pareamento Bluetooth estável por  $\geq 30\text{ s}$  em rotação, `GET /data/batch` com  $n > 0$  ao retornar a `IDLE`, gráficos preenchidos e exportação CSV. O resultado esperado consistiria em documentar corridas completas sem cabo USB, preservando o isolamento galvânico virtual entre o barramento de potência e o equipamento do operador.

Os resultados efetivamente obtidos na simulação, nos ensaios estáticos, na validação de firmware e no ensaio a vazio (bem como a interrupção deste protocolo dinâmico) são documentados no capítulo subsequente de Resultados e Discussão.

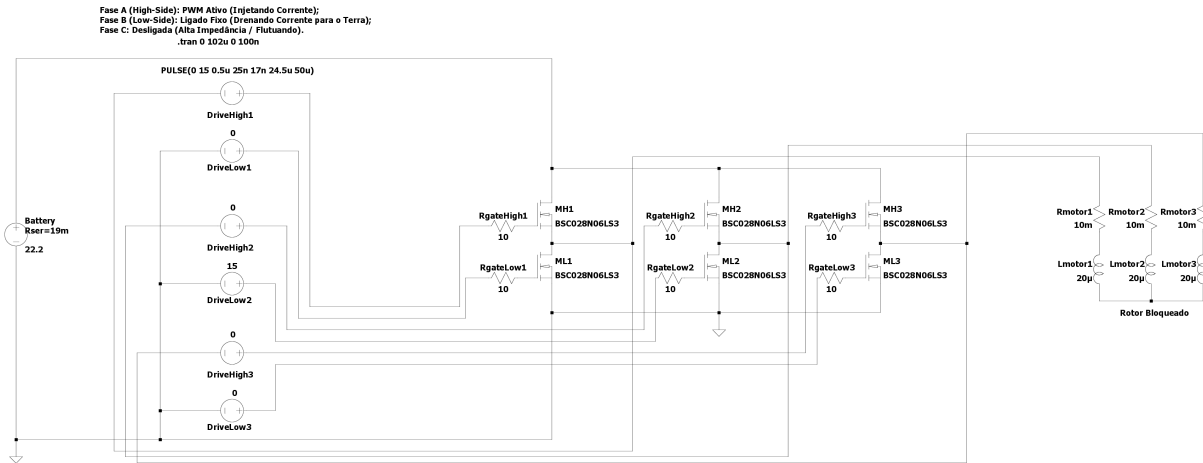
### 3 RESULTADOS E DISCUSSÃO

Este capítulo apresenta exclusivamente os resultados obtidos na execução do projeto: validação computacional por simulação, análise dos esquemáticos e da PCB protótipo, verificação da arquitetura de firmware (máquina de estados, correção do domínio RTC GPIO nos pinos *Shutdown* dos IR2110, malha de controle a 1 kHz) e ensaios de bancada com energização incremental. O ensaio a vazio documentou falha estrutural no estágio de potência, inviabilizando a continuidade do protocolo de validação dinâmica com motor em rotação, cujo planejamento encontra-se na Subseção 2.4.18 do Capítulo de Metodologia.

#### 3.1 Validação Computacional (Simulação)

Para a validação conceitual do hardware de potência antes da montagem física, utilizou-se o software **LTSpice**. A simulação concentrou-se no estágio de potência do inversor, modelando as chaves semicondutoras e a carga indutiva. Foram elaborados dois cenários de simulação: uma topologia monofásica (meia-ponte) para análise isolada e uma topologia trifásica completa para validação do fluxo de corrente inter-fases (Figura 11). Os esquemáticos e curvas de resultado em Simulation/ estão disponíveis no repositório (Fernandes, 2025).

**Figura 11** – Esquemático da simulação trifásica do ESC em estado estático de comutação.



Fonte: Elaborado pelo autor (2026).

O circuito é dividido em três blocos funcionais: alimentação, comutação e carga. A fonte de energia primária é modelada por uma fonte DC de 22,2 V com uma resistência série ( $R_{ser}$ ) de 19 mΩ, emulando com precisão a dinâmica de descarga e as perdas ôhmicas internas da bateria LiPo 6S definida para o projeto. O estágio de comutação é composto por uma ponte inversora trifásica utilizando transistores MOSFET (modelo comportamental BSC028N06LS3). As portas

(*gates*) destes semicondutores são excitadas através de resistores de  $10\Omega$ , valor projetado para limitar a corrente de pico do *driver* e amortecer ressonâncias (*ringing*) parasitas sem degradar o tempo de comutação. O acionamento através dos **drivers de gate** foram modeladas utilizando fontes de tensão do tipo pulso. O sinal de acionamento do lado alto (*High-Side*) da Fase A foi definido com os parâmetros PULSE(0 15 0 100n 100n 25u 50u), forçando a condução do Passo 1 da sequência trapezoidal. Este perfil injeta um sinal com amplitude de 15V, estabelecendo uma frequência de chaveamento de 20 kHz (período de  $50\mu s$ ) e um ciclo de trabalho (*Duty Cycle*) de 50%. Os tempos de transição de subida e descida foram definidos em 100 ns para simular o tempo de resposta do gate do **MOSFET**.

Por fim, o motor BLDC é representado por seu modelo elétrico equivalente de estator, consistindo em três ramos conectados em estrela (neutro comum). Cada fase possui uma resistência de armadura corrigida de  $10m\Omega$  em série com uma indutância de  $20\mu H$ . Esta modelagem a rotor bloqueado força o sistema a operar sob a condição mais severa de estresse elétrico, permitindo avaliar a capacidade máxima de condução de corrente dos transistores e a resposta transitória da rede indutiva sem a oposição da Força Contraeletromotriz (FCEM), garantindo que os resultados da simulação representem o limite operacional do *hardware*.

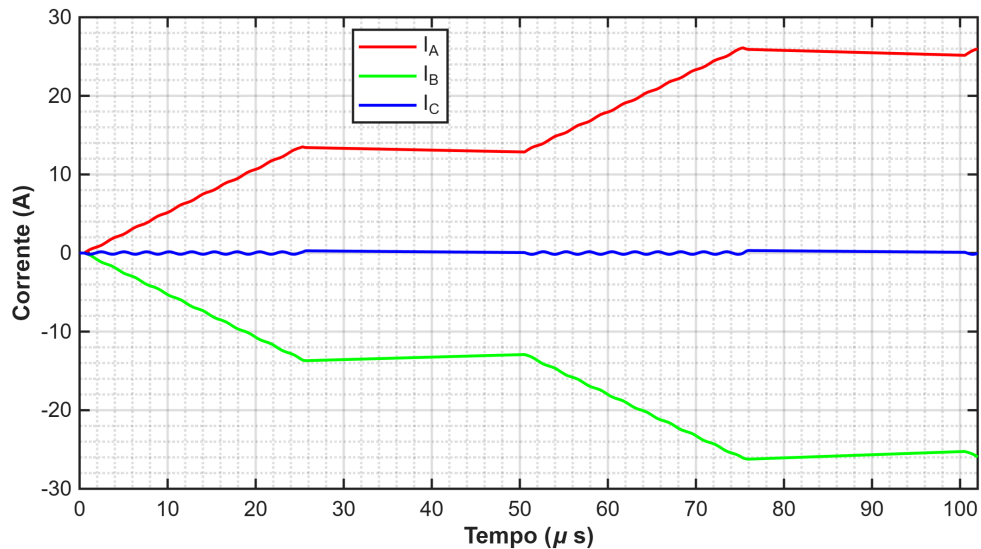
Como o esquemático foca na validação da transferência de energia em um instante específico da **comutação de seis passos** (Fase A injetando corrente e Fase B drenando para o terra), o transistor do lado baixo da Fase A foi mantido em **corte** (0V constante). Devido a esta modelagem estática de um único passo, a inserção de um **tempo morto** ( $t_{dead}$ ) dinâmico não se fez necessária no gerador de pulsos, assumindo-se o isolamento ideal entre os estados de condução. O motor foi adequadamente modelado na condição de **rotor bloqueado**, respeitando os parâmetros intrínsecos de resistência ( $R = 10m\Omega$ ) e indutância ( $L = 20\mu H$ ) por fase.

A Figura 12 apresenta os resultados transitórios das correntes de fase ( $I_A$ ,  $I_B$  e  $I_C$ ) durante os dois primeiros ciclos de chaveamento do inversor, totalizando  $100\mu s$ . Observa-se que, durante o primeiro tempo de condução ( $T_{on}$ ) do sinal PWM entre 0 e  $25\mu s$ , a corrente  $I_A$  ascende de forma linear até atingir o patamar de aproximadamente 13,5 A. Simultaneamente, a corrente  $I_B$  apresenta a mesma magnitude, porém com polaridade invertida ( $-13,5 A$ ), enquanto a corrente  $I_C$  permanece nula, oscilando apenas com os ruídos numéricos do simulador próximos a zero. Durante o tempo de bloqueio do PWM ( $T_{off}$ ) entre  $25\mu s$  e  $50\mu s$ , as correntes  $I_A$  e  $I_B$  não caem abruptamente para zero, mas sim sofrem um decaimento suave. O ciclo se repete aos  $50\mu s$ , elevando as correntes ao patamar de 26 A.

Este comportamento é a resposta direta da excitação do circuito indutivo do estator sob a topologia de modulação *High-Side PWM / Low-Side ON*. Ao disparar o transistor superior da fase A e manter o transistor inferior da fase B em condução plena, estabelece-se um fluxo de elétrons que obrigatoriamente passa por duas bobinas em série ( $V = L_{eq} \cdot \frac{di}{dt} + R_{eq} \cdot i$ ). A inclinação constante ( $di/dt$ ) da rampa de corrente é ditada pela reatância indutiva nominal do motor. Durante o ciclo  $T_{off}$  da chave superior, a energia magnética armazenada na indutância do estator força a manutenção do fluxo de corrente, que encontra caminho através do diodo de roda

livre (*freewheeling diodo*) intrínseco ao MOSFET inferior da fase A, justificando a lenta taxa de decaimento observada.

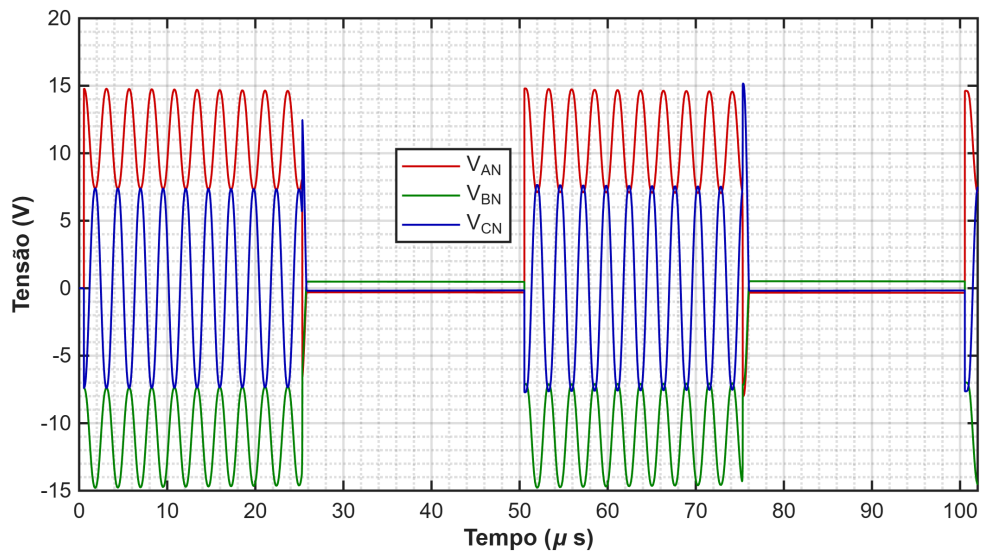
**Figura 12** – Dinâmica das correntes de fase do motor durante os primeiros  $100 \mu s$  de simulação (Passo 1).



Fonte: Elaborado pelo autor (2026).

Ao compararmos com o arcabouço teórico, o resultado valida a comutação de seis passos apresentada na Tabela 7. A frequência estabelecida pelo projeto de  $20 kHz$  é ratificada pelo período exato de  $50 \mu s$  entre os picos de chaveamento valor não arbitrário, mas coerente com o *trade-off* entre perdas térmicas, conforto acústico e *ripple* de corrente fundamentado na Subseção 1.5.2 e dimensionado quantitativamente na Subseção 2.2.7. Mais importante ainda, a completa inércia da fase C ( $I_C \approx 0 A$ ) confirma a eficácia do estado de alta impedância (Hi-Z) no braço inversor não excitado, condição *sine qua non* para a medição livre de distorções da Força Contraeletromotriz (FCEM) na posterior transição para a malha fechada.

A Figura 13 ilustra o comportamento dinâmico das tensões de fase referenciadas ao ponto neutro da carga ( $V_{AN}$ ,  $V_{BN}$  e  $V_{CN}$ ). Durante o período de condução do PWM ( $T_{on}$ ), nota-se que o eixo de oscilação das tensões se estabelece em médias de  $+11,1 V$  para a fase A,  $-11,1 V$  para a fase B, e  $0 V$  para a fase C. A severa oscilação de alta frequência (*ringing*) sobreposta aos sinais é um artefato numérico característico do ambiente de simulação. Como a fase C está em estado de alta impedância (flutuante) e o modelo utiliza indutores puros, forma-se um tanque LC não amortecido com as capacitâncias parasitas do transistor, fenômeno que no circuito físico real seria drasticamente atenuado pelas perdas no núcleo ferromagnético do motor e pelo filtro RC do circuito de leitura.

**Figura 13** – Tensões de fase em relação ao ponto neutro do motor durante o Passo 1.

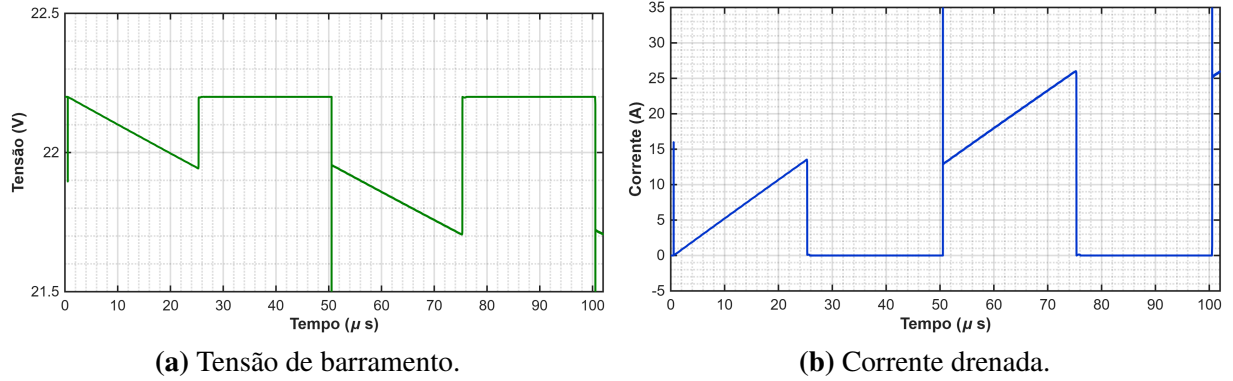
Fonte: Elaborado pelo autor (2026).

Do ponto de vista físico, o estabelecimento das tensões em  $\pm 11,1\text{ V}$  é o resultado direto da divisão de potencial no fechamento em estrela (Y) do estator. Com a fase A submetida à tensão plena do barramento ( $V_{DC} = 22,2\text{ V}$ ) e a fase B conectada ao referencial zero ( $0\text{ V}$ ), o nó central (neutro) assume naturalmente o potencial médio exato de  $11,1\text{ V}$ . Ensaios paralelos nas Fases B e C confirmaram a manutenção do transistor inferior em condução plena ( $15\text{ V}$ ) e os transistores da fase flutuante em corte ( $0\text{ V}$ ), atestando a robustez da topologia contra disparos espúrios.

Comparando este resultado com os fundamentos da comutação trapezoidal detalhados na metodologia, a simulação valida a correta formação e estabilidade do potencial de neutro. Esta validação teórica prévia é de suma importância, pois ratifica a viabilidade da técnica de reconstrução de neutro virtual adotada no *hardware*, assegurando que o microcontrolador possuirá uma referência de tensão simétrica e confiável para a detecção da Força Contraeletromotriz (FCEM) durante a operação em malha fechada.

A Figura 14 demonstra o comportamento macro e o esforço contínuo imposto à fonte de alimentação primária (bateria LiPo) quando conectada diretamente à ponte inversora, sem o auxílio do banco de capacitores de barramento (*Link DC*). Observa-se como fato primário que, durante o **tempo de condução** ( $T_{on}$ ), a tensão da bateria decai gradualmente de  $22,2\text{ V}$  para aproximadamente  $21,9\text{ V}$ , conforme ilustrado na Figura 14a. Esse comportamento acompanha a rampa de subida da corrente, que atinge o patamar de  $13\text{ A}$ . Durante o **tempo de bloqueio** ( $T_{off}$ ), a corrente da bateria cessa completamente, pois a corrente do motor passa a circular em roda livre pelos diodos da ponte.

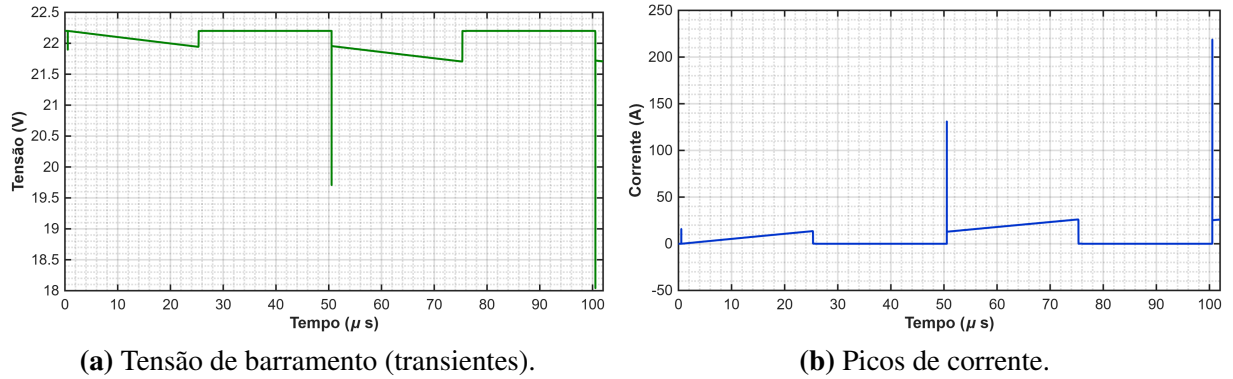
**Figura 14** – Análise dinâmica dos parâmetros de entrada da bateria LiPo (escala ajustada): (a) Tensão nominal; (b) Rampa de corrente contínua.



Fonte: Elaborado pelo autor (2026).

O fator mais crítico e destrutivo, no entanto, é revelado ao observar a escala completa do ensaio. Nos instantes exatos de comutação (50  $\mu\text{s}$  e 100  $\mu\text{s}$ ), a ponte inversora drena picos agudos de corrente que ultrapassam 130 A e 200 A, respectivamente, como detalhado na Figura 15b. Esses picos provocam quedas instantâneas (*voltage sags*) severas na tensão da bateria, reduzindo-a para níveis próximos a 19,5 V, conforme ilustrado na Figura 15a.

**Figura 15** – Detalhamento do estresse transiente sobre a bateria LiPo: (a) Quedas instantâneas de tensão (*voltage sags*); (b) Picos transientes de corrente de comutação.



Fonte: Elaborado pelo autor (2026).

A causa física para o decaimento gradual da tensão nominal é a queda de potencial ôhmica intrínseca ( $V_{drop} = I_a \cdot R_{ser}$ ) sobre a **resistência série equivalente** da bateria, que no modelo foi parametrizada como 19 m $\Omega$ . Por outro lado, os transientes agudos (*spikes*) de corrente são consequência da elevadíssima taxa de variação ( $di/dt$ ) exigida para carregar as capacitâncias parasitas dos MOSFETs e suprir a corrente de recuperação reversa (*reverse recovery*) dos diodos corporais nos instantes de ativação (*turn-on*). Como o circuito simulado neste ensaio possui

apenas a bateria como fonte de energia, ela é forçada a fornecer instantaneamente toda a carga transitória.

A comparação deste comportamento simulado com a teoria de eletrônica de potência embasa o dimensionamento estabelecido na Metodologia. A simulação prova que submeter uma bateria LiPo a este nível de corrente de ondulação (*ripple*) e picos transientes resultaria em superaquecimento severo e degradação química prematura das células. Fica, portanto, validada a necessidade imperativa da instalação do banco de **capacitores de filtro Low-ESR** (940  $\mu\text{F}$ ) projetado fisicamente na placa de circuito impresso (PCB), cuja função será atuar como um reservatório local de energia de baixíssima impedância para absorver estes transientes de alta frequência, isolando e protegendo a fonte primária.

### 3.2 Projeto Eletrônico e Análise dos Esquemáticos

Esta seção transita da validação computacional para o hardware físico do protótipo, confrontando o dimensionamento descrito na Metodologia com os esquemáticos finais e o layout da PCB. Os arquivos de esquemático e layout em Hardware/PCB\_Project/ encontram-se no repositório (Fernandes, 2025). A análise percorre, em sequência, a alimentação auxiliar e o barramento DC, o núcleo de controle (ESP32 e drivers IR2110), o condicionamento de sinais e as proteções analógicas, o estágio de potência com MOSFETs e, por fim, as escolhas de roteamento e montagem que condicionaram os ensaios de bancada documentados adiante.

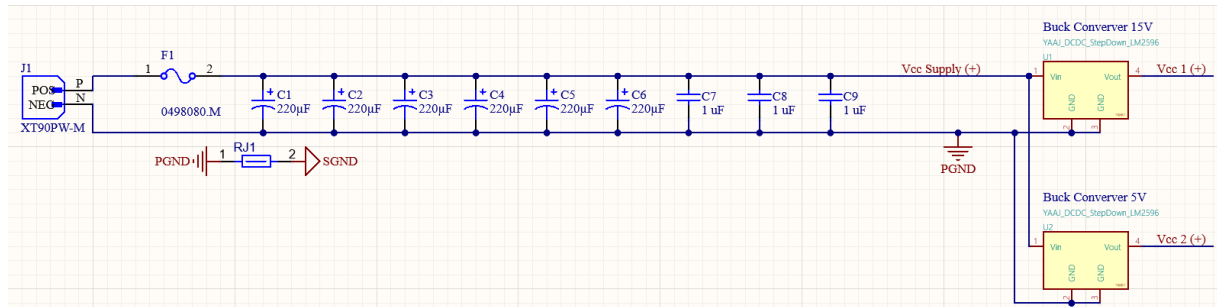
#### 3.2.1 Circuito de Alimentação Auxiliar e Regulação

A Figura 16 detalha a arquitetura de entrada e distribuição de energia do ESC. A conexão primária é realizada através de um conector de alta capacidade XT90, protegida imediatamente em série por um **fusível MIDI** de 80 A (modelo 0498080.M). O barramento DC (*Link DC*) é suportado por um banco de capacitores híbrido em topologia paralela, composto por seis capacitores polarizados de 220  $\mu\text{F}$  e três capacitores cerâmicos não polarizados de 1  $\mu\text{F}$ . A partir deste barramento filtrado, a tensão nominal da bateria alimenta dois módulos conversores *buck* LM2596 dispostos em paralelo, responsáveis por gerar as malhas de tensão independentes de 15 V ( $V_{cc1}$ ) e 5 V ( $V_{cc2}$ ). Adicionalmente, o esquemático implementa uma separação explícita entre o **terra de potência (PGND)** e o **terra de sinal (SGND)**, interligados fisicamente por RJ1.

Fisicamente, a divisão do banco capacitivo em múltiplas unidades de 220  $\mu\text{F}$  reduz drasticamente a **Resistência Série Equivalente (ESR)** total do barramento, otimizando a absorção da elevada corrente de ondulação (*ripple*) gerada pela ponte inversora sem causar aquecimento excessivo nos componentes. Os capacitores cerâmicos de 1  $\mu\text{F}$  atuam no desacoplamento de alta frequência, suprimindo transientes que os capacitores eletrolíticos não conseguem filtrar devido à sua **Indutância Série Equivalente (ESL)**. A separação galvânica e o controle de retorno por meio da junção estrita entre **PGND** e **SGND** (*Star Grounding*)

impedem que as severas correntes de comutação do motor provoquem flutuações de tensão (*ground bounce*) no referencial sensível do microcontrolador.

**Figura 16** – Esquemático do estágio de entrada, filtragem do barramento DC e regulação de tensão auxiliar (Folha *Supply*).



Fonte: Elaborado pelo autor (2026).

A comparação sistemática entre os valores dimensionados na Metodologia e os componentes implementados no esquemático final revela quatro divergências intencionais, cada uma motivada por razões técnicas ou pela disponibilidade comercial dos componentes.

A primeira divergência refere-se ao **fusível de proteção**. O dimensionamento preliminar havia estabelecido um fusível MIDI de 100 A, valor calculado com uma margem de  $\approx 10\%$  sobre a corrente de pico estimada de 90 A. O projeto final adota o modelo MIDI 80 A (0498080.M). A justificativa baseia-se na característica temporal dos fusíveis: ao contrário de chaves eletrônicas, um fusível MIDI não atua de forma instantânea ao cruzar sua corrente nominal, sua curva de tempo-corrente (*time-current curve*) permite suportar 125% do valor nominal (i.e., 100 A) por vários segundos antes da fusão. Picos transientes de comutação com duração de microssegundos, portanto, não representam risco de atuação espúria. A função real do fusível é a proteção de último nível contra curtos-circuitos catastróficos (resistência praticamente nula no barramento), nos quais a corrente atingiria centenas de ampères independentemente da classificação do fusível. Nesse contexto, o modelo de 80 A oferece uma janela de proteção mais precisa para sobrecargas sustentadas acima da corrente nominal de 70 A do motor, enquanto permanece imune às correntes de pico transitórias. Adicionalmente, o modelo 0498080.M é um valor padronizado comercialmente com dimensões físicas e terminação definidas para a série MIDI, cujas especificações de capacidade de interrupção foram verificadas como adequadas ao barramento de 25,2 V do projeto.

A segunda divergência envolve a **topologia do banco de capacitores do barramento DC**. A metodologia projetou dois capacitores eletrolíticos de 470  $\mu\text{F}$  em paralelo, totalizando 940  $\mu\text{F}$ . O projeto final emprega seis capacitores de 220  $\mu\text{F}$  em paralelo (1320  $\mu\text{F}$ ) complementados por três capacitores cerâmicos de 1  $\mu\text{F}$ . O argumento central para esta mudança é a redução da **ESR total do barramento**: associar seis unidades em paralelo divide a ESR equivalente por seis, enquanto duas unidades a dividem apenas por dois — resultando em uma corrente de ondulação (*ripple*)

por unidade três vezes menor, o que reduz drasticamente o aquecimento interno dos capacitores por efeito Joule ( $P = I_{rms}^2 \cdot ESR$ ). Secundariamente, capacitores de  $220 \mu F$  são componentes de dimensões físicas reduzidas que permitem uma distribuição espacial mais uniforme ao redor dos drenos dos MOSFETs, encurtando o comprimento dos laços de comutação e, portanto, a indutância parasita do circuito. Os capacitores cerâmicos de  $1 \mu F$  complementam o banco no domínio de alta frequência, suprimindo transientes que os eletrolíticos não conseguem filtrar devido à sua **ESL** (Indutância Série Equivalente).

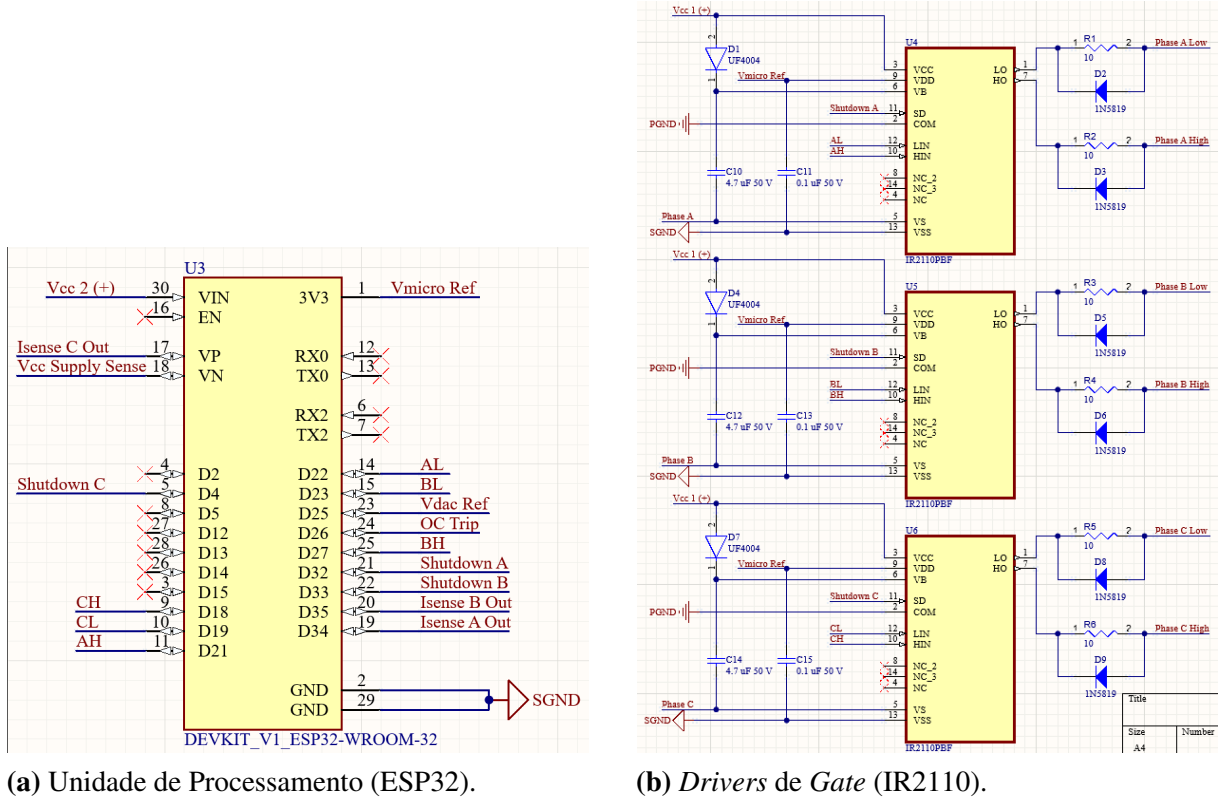
A terceira divergência refere-se à **topologia dos reguladores auxiliares**. Enquanto o texto preliminar previa reguladores em cascata (bateria  $\rightarrow 15 V \rightarrow 5 V$ ), o arranjo físico adota dois módulos LM2596 dispostos em paralelo, ambos alimentados diretamente pelo barramento DC. Esta decisão elimina o gargalo térmico de fazer o regulador de menor tensão processar toda a corrente do estágio primário, garantindo maior rendimento e isolamento galvânico entre o circuito de acionamento de *gate* ( $15 V$ ) e a lógica de processamento digital ( $5 V$ ).

### 3.2.2 Unidade de Processamento Lógico e Interface de Acionamento

A Figura 17 ilustra o núcleo de inteligência do ESC e sua interface direta com o estágio de potência. A Unidade de Processamento, baseada no módulo ESP32 (Figura 17a), é alimentada pela malha de  $5 V$  ( $V_{cc} 2$ ). O regulador linear interno do microcontrolador reduz essa tensão para  $3,3 V$ , sinal que é exportado pelo pino 1 sob a nomenclatura *Vmicro Ref*. Esta estratégia de projeto é fundamental: o *Vmicro Ref* é roteado diretamente para os pinos de alimentação lógica ( $VDD$ ) dos três *drivers* IR2110 (Figura 17b). Isso garante que o limiar de transição lógica (*logic high threshold*) dos *drivers* seja idêntico à tensão de saída dos pinos GPIO do ESP32, eliminando falhas de interpretação de sinal por incompatibilidade de níveis de tensão.

O isolamento contra ruídos é efetivado pela segregação dos planos de terra nos *drivers* IR2110. O referencial lógico ( $VSS$ ) é conectado exclusivamente ao terra de sinal (**SGND**), enquanto o retorno de potência ( $COM$ ), que lida com os pulsos de alta corrente de carga e descarga dos MOSFETs, é roteado para o terra de potência (**PGND**). A comunicação de segurança entre o microcontrolador e os *drivers* ocorre de forma redundante: o ESP32 gera os seis sinais do MCPWM (*AH*, *AL*, etc.) e possui controle direto sobre os pinos de *Shutdown* (*SD*) de cada IR2110. Adicionalmente, o pino *OC Trip* (*Overcurrent Trip*) permite que um evento de falta detectado pelos sensores interrompa a geração de PWM no *hardware* do ESP32 em microssegundos.

**Figura 17** – Esquemáticos do núcleo de controle e interface de potência: (a) Microcontrolador ESP32-WROOM-32; (b) Estágio de translação de nível com *drivers* IR2110.



Fonte: Elaborado pelo autor (2026).

Na saída dos *drivers*, o esquemático valida o projeto do circuito de *bootstrap* e o condicionamento de *gate*. A malha de *bootstrap* utiliza um diodo de recuperação ultra-rápida (UF4004) alimentando uma associação capacitiva paralela ( $4,7\ \mu\text{F}$  e  $0,1\ \mu\text{F}$ ), combinando grande capacidade de reserva de carga com resposta instantânea a transientes. O valor de  $4,7\ \mu\text{F}$  representa uma quarta divergência em relação ao dimensionamento preliminar, que havia especificado  $10\ \mu\text{F}$ . A justificativa é dupla: do ponto de vista funcional, ambos os valores satisfazem com ampla margem o critério de projeto de armazenar pelo menos  $15 \times Q_g$  da carga do gate ( $Q_{min} = 15 \times 360\text{ nC} = 5,4\ \mu\text{C}$ ), pois  $4,7\ \mu\text{F} \times 15\text{ V} = 70,5\ \mu\text{C} \gg 5,4\ \mu\text{C}$ , a queda de tensão por ciclo é de apenas  $\Delta V_{boot} = 360\text{ nC} / 4,7\ \mu\text{F} \approx 77\text{ mV}$  (0,5% da tensão de alimentação), desprezível para a saturação do MOSFET. Do ponto de vista comercial,  $4,7\ \mu\text{F}$  é o valor padronizado predominante nas notas de aplicação do IR2110 (IR2110/IR2113..., 2005) e em projetos de referência de circuitos de *bootstrap* para *drivers* de porta de potência, o que o torna amplamente disponível em encapsulamentos compactos com baixa ESR. Capacitores de  $10\ \mu\text{F}$  em encapsulamentos equivalentes tendem a apresentar maior ESR (por serem eletrolíticos em vez de alumínio-polimérico), o que degrada o rendimento da transferência de carga para o *gate* durante transições rápidas.

O acionamento dos MOSFETs foi projetado com uma topologia de **resistência de gate**

**assimétrica:** a ativação (*turn-on*) é limitada pelos resistores de  $10\ \Omega$ , amortecendo ressonâncias (*ringing*) e picos de emissão eletromagnética (EMI). Em contrapartida, o bloqueio (*turn-off*) ocorre através de diodos Schottky (1N5819) polarizados reversamente em paralelo com os resistores. Esta configuração fornece um caminho de baixíssima impedância para o escoamento imediato da carga do *gate* ( $Q_g$ ), garantindo que o transistor desligue mais rápido do que liga, prevenindo a ocorrência de condução cruzada (*shoot-through*) no braço do inversor. Em bancada, um curto resistivo no resistor R3 da fase B, primeiro elemento dessa malha a jusante da saída LO do IR2110, foi identificado como causa de falhas espúrias de OCP e de leitura de corrente; o caso é analisado no Ensaio 0b (Subseção 3.5.1.2).

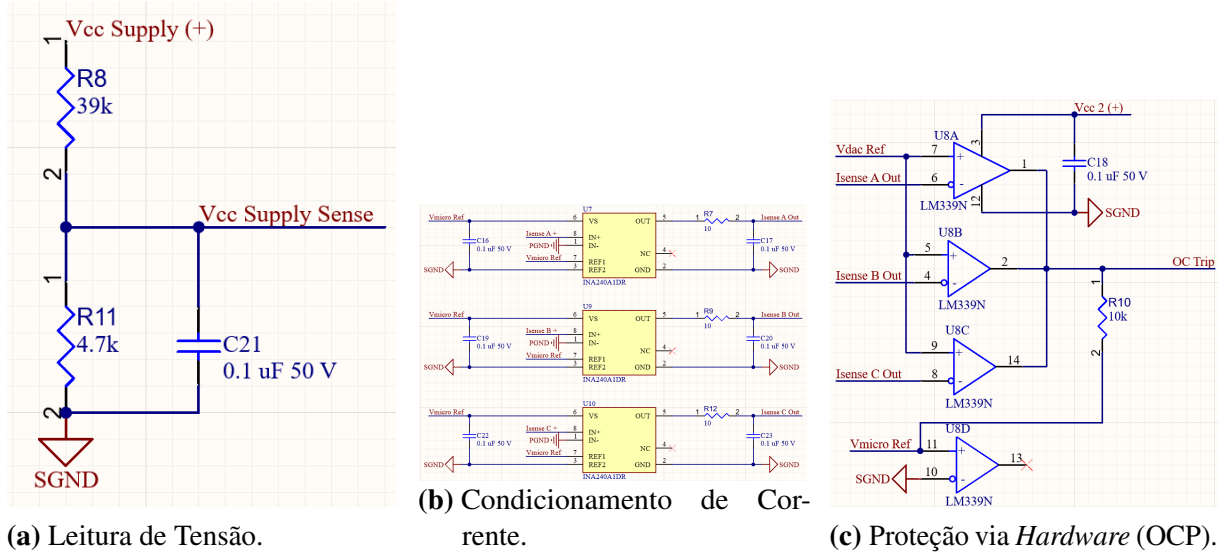
### 3.2.3 Condicionamento de Sinais e Sensoriamento

A Figura 18 detalha a topologia de aquisição de dados do inversor. Na Figura 18a, a tensão total do barramento (*Vcc Supply*) é monitorada por um divisor resistivo de  $39\ k\Omega$  e  $4,7\ k\Omega$ , resultando em um fator de atenuação de 0,1075. Isso mapeia a tensão máxima da bateria 6S ( $25,2\ V$ ) para seguros  $2,71\ V$  no ADC do microcontrolador. Em contrapartida, na condição de alimentação com a tensão mínima projetada para o sistema (uma bateria 3S em seu limite de descarga operacional, com aproximadamente  $9,0\ V$ ), a tensão resultante no divisor será de  $0,97\ V$ . Isso garante que toda a janela de operação mecânica e de alimentação do projeto permaneça estritamente dentro da faixa linear de leitura do ESP32, cujo limite lógico é  $3,3\ V$ . Adicionalmente, o capacitor de  $0,1\ \mu F$ , em conjunto com a resistência equivalente de Thévenin do divisor ( $R_{th} \approx 4,19\ k\Omega$ ), forma um filtro passa-baixa com frequência de corte ( $f_c$ ) de aproximadamente  $379\ Hz$ , como o sinal útil da queda de tensão da bateria é essencialmente contínuo ( $0\ Hz$ ), fixar a frequência de corte em  $379\ Hz$  empurra a frequência de chaveamento agressiva do inversor ( $20\ kHz$ ) quase duas décadas para dentro da banda de atenuação do filtro, caindo a uma taxa de  $-20\ dB/década$ . Isso garante que as flutuações de comutação sejam suprimidas antes de atingirem o microcontrolador.

Foi adotado o circuito integrado **INA240A1DR** em cada fase (Figura 18b). Este componente é um amplificador de detecção de corrente, projetado especificamente com tecnologia de rejeição de PWM (*Enhanced PWM Rejection*) para suprimir grandes variações de tensão ( $dv/dt$ ) inerentes à comutação de motores. A versão A1DR possui um ganho fixo de  $20\ V/V$ . Como as correntes nas bobinas de um motor BLDC são fisicamente alternadas (circulando nos dois sentidos), o microcontrolador seria incapaz de ler o semiciclo negativo, pois seu ADC suporta apenas tensões positivas ( $0\ V$  a  $3,3\ V$ ). Para viabilizar esta leitura, aplicou-se uma técnica de polarização diferencial: o pino *REF1* foi ligado a  $3,3\ V$  (*Vmicro Ref*) e o pino *REF2* ao *SGND* ( $0\ V$ ). O circuito do INA240 realiza a média aritmética dessas referências, estabelecendo um *offset* interno exato de  $1,65\ V$  na saída. Consequentemente, uma corrente nula ( $0\ A$ ) repousa em  $1,65\ V$ ; correntes positivas elevam a saída em direção a  $3,3\ V$ , enquanto correntes negativas a reduzem em direção a  $0\ V$ . Este condicionamento garante a bidirecionalidade absoluta da medição, pré-requisito fundamental para a futura implementação de algoritmos avançados de Controle

Orientado ao Campo (FOC).

**Figura 18** – Esquemáticos do estágio de sensoriamento e proteção: (a) Monitoramento da bateria; (b) Amplificadores de corrente das fases (INA240); (c) Comparadores de sobrecorrente (LM339).



Fonte: Elaborado pelo autor (2026).

A escolha do INA240A1DR representa uma **quinta divergência** em relação ao estágio de sensoriamento projetado na Metodologia, que previa um amplificador operacional genérico com resistores externos de precisão (1 %) calibrados para um ganho de  $A_v \approx 73 \text{ V/V}$ . Esta substituição é motivada por três limitações técnicas do projeto original que se tornaram evidentes durante a implementação: (1) um amplificador operacional de uso geral, ao ser exposto ao ambiente de comutação de um inversor trifásico, estaria sujeito às violentas variações de tensão de modo comum ( $dv/dt$  típico de  $\text{V/ns}$ ) geradas pelas transições dos MOSFETs, sem circuito de rejeição de modo comum dedicado, estas variações seriam amplificadas e interpretadas erroneamente como corrente real, gerando falsos disparos de proteção; (2) o ganho por resistores externos introduz tolerâncias cumulativas ( $\pm 1 \%$  por resistor, combinadas em até  $\pm 2 \%$  de erro de ganho total) que se propagam diretamente para a calibração do limiar de disparo do comparador LM339; (3) para medir correntes negativas com ADC unipolar, a metodologia original necessitaria de um circuito adicional de deslocamento de nível (*level-shifting*), enquanto o INA240 integra essa funcionalidade internamente pela técnica de polarização diferencial dos pinos REF. O ganho fixo de  $20 \text{ V/V}$  do INA240A1DR é calibrado em fábrica com precisão de  $\pm 0,1 \%$ , eliminando a variabilidade dos resistores externos e garantindo rastreabilidade metrológica.

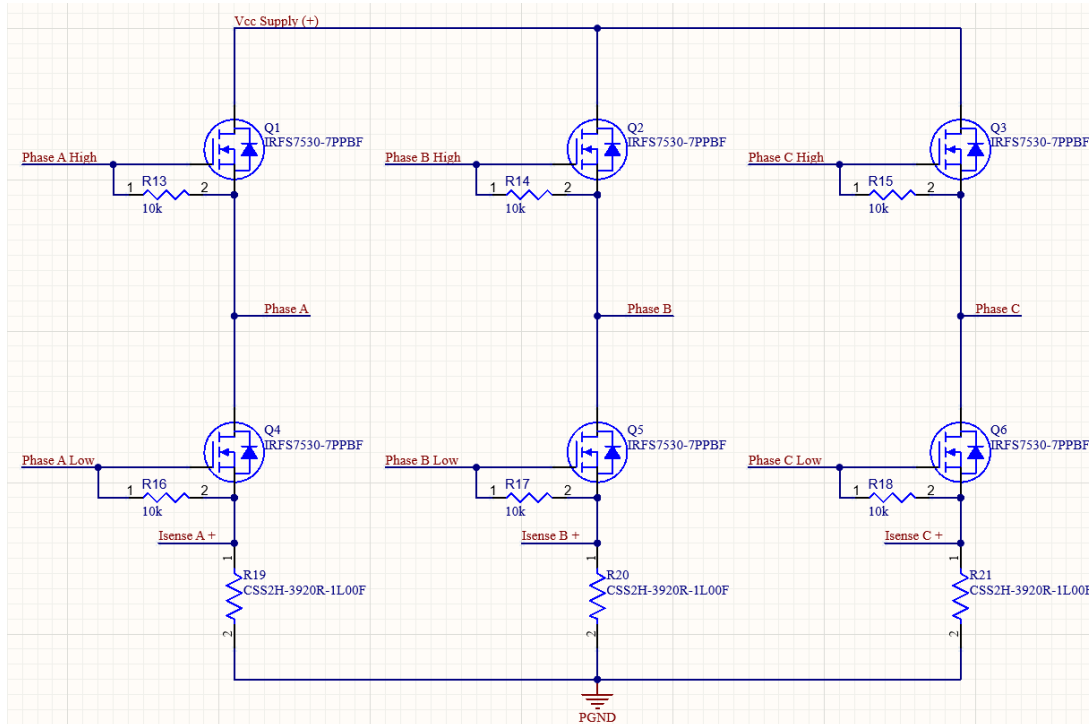
A Figura 18c exibe o circuito de Proteção contra Sobrecorrente (OCP). O LM339N é um circuito integrado que encapsula quatro comparadores de tensão independentes, notável pela sua alta velocidade de reposta (na escala de nanossegundos) e pela sua arquitetura de saída em coletor aberto (*open-collector*). Esta característica de coletor aberto é o que viabiliza a interligação das

três proteções de fase em um único nó lógico (*Wired-OR*), utilizando o resistor de *pull-up* R10. Durante a revisão do projeto, realizou-se um ajuste topológico essencial nesta malha: a tensão limitadora ( $V_{dac\ Ref}$ ) foi conectada à porta não-inversora (+), enquanto o sinal dos sensores de corrente ( $I_{sense}$ ) foi roteado para a porta inversora (-). Desta forma, em operação nominal ( $I_{sense} < V_{dac}$ ), os transistores de saída internos do LM339 permanecem em estado de corte (alta impedância), e o R10 mantém o pino *OC Trip* em 3,3 V. No instante em que qualquer fase individual superar o limite de segurança ( $I_{sense} > V_{dac}$ ), o seu respectivo comparador saturará, conduzindo a linha imediatamente ao terra (0 V). Esta ação puramente em *hardware* contorna a latência intrínseca de qualquer *software*, gerando uma interrupção prioritária no ESP32 para o bloqueio instantâneo do sinal PWM e salvaguardando a ponte inversora contra catástrofes térmicas ou elétricas.

### 3.2.4 Estágio de Potência e Ponte Inversora

A Figura 19 expõe a topologia final da ponte inversora trifásica, o núcleo de comutação de força do ESC. O arranjo utiliza seis transistores MOSFET IRFS7530-7PPBF de altíssima capacidade de corrente, estruturados em três braços independentes (Fases A, B e C). Para aumentar a confiabilidade dois detalhes de projeto merecem destaque: a inclusão de resistores de *pull-down* de  $10\ k\Omega$  (R13 a R18) conectados aos terminais *Gate-Source* de cada chave, e a alocação de três resistores *shunt* de liga metálica (encapsulamento de potência 3920, modelo CSS2H-3920R-1L00F de  $1\ m\Omega$ ) inseridos especificamente nos ramos inferiores da ponte (*Low-Side Sensing*).

**Figura 19** – Esquemático do estágio de potência contendo a ponte inversora trifásica e resistores *shunt* individuais para medição de corrente.



Fonte: Elaborado pelo autor (2026).

A função física dos resistores de *pull-down* é garantir um estado seguro de falha (*fail-safe*). Durante a energização inicial do sistema (*power-up*), reinicializações do microcontrolador ou em caso de rompimento físico das trilhas de acionamento, os *gates* dos MOSFETs poderiam assumir um estado flutuante (alta impedância). Nesta condição, ruídos eletromagnéticos acoplados capacitivamente poderiam induzir o acionamento espúrio das chaves, resultando em um curto-circuito catastrófico direto no barramento DC (*shoot-through*). Os resistores de  $10\text{ k}\Omega$  asseguram que a tensão  $V_{gs}$  permaneça rigidamente cravada em  $0\text{ V}$  até que os *drivers* IR2110 imponham ativamente o sinal de comando. Entretanto, essa proteção passiva não cobre o caso em que o firmware conecta prematuramente as saídas MCPWM aos pinos de *gate* antes de configurar o tempo morto: nessa janela, ambas as pernas de um braço podem ser driven ativamente em nível alto pelo periférico, contornando a eficácia dos *pull-downs* frente a correntes de *gate* impostas pelos IR2110.

A sequência metodológica de inicialização segura descrita na Subseção 2.4.10 e validada em bancada (Ensaio 0, adiante) constitui a contrapartida de software a essa limitação. Adicionalmente, em relação a escolha do invólucro de 7 pinos para os MOSFETs (D2PAK-7), este encapsulamento possui terminais múltiplos de *Source*, o que minimiza a indutância parasita da pastilha de silício e atenua os anéis de oscilação (*ringing*) durante os transientes de comutação de, no máximo,  $90\text{ A}$ . Já a topologia de sensoriamento de corrente no lado baixo (*Low-Side*) atua como uma barreira de proteção para o estágio de condicionamento: em vez de expor os

amplificadores INA240 às violentas oscilações de tensão de modo comum (*Common-Mode Voltage*) que variam de 0 V a 25,2 V nos nós flutuantes das fases, a medição ocorre de forma referenciada ao terra da placa (*PGND*). A queda de tensão medida sobre o *shunt* de 1 mΩ é da ordem de milivolts ( $V = R \cdot I$ ), fornecendo um sinal extremamente limpo, seguro e proporcional à corrente exata que flui para o estator do motor.

O valor de 1 mΩ constitui a **sexta e última divergência** sistemática em relação ao dimensionamento da Metodologia, que havia calculado 0,5 mΩ com base em um amplificador externo de ganho  $A_v = 73 \text{ V/V}$  para mapear os 91 A de pico em 3,3 V na escala completa do ADC. A substituição do amplificador pelo INA240 de ganho fixo (20 V/V) alterou fundamentalmente o critério de seleção do *shunt*: com 1 mΩ e ganho de 20 V/V, o limite de proteção de hardware de 8 A gera uma tensão diferencial de  $V_{shunt} = 8 \text{ A} \times 1 \text{ m}\Omega = 8 \text{ mV}$ , que o INA240 amplifica para  $\Delta V_{out} = 20 \times 8 \text{ mV} = 160 \text{ mV}$  acima do offset de 1,65 V, resultando em  $V_{dac} \approx 1,81 \text{ V}$ , valor utilizado diretamente pelo DAC1 do ESP32 como referência do comparador LM339. O modelo CSS2H-3920R-1L00F de 1 mΩ é um componente comercialmente padronizado em encapsulamento de potência 3920, especificado com coeficiente de temperatura de resistência inferior a 75 ppm/°C e corrente máxima compatível com os 90 A de pico do projeto nominal. A topologia individual por fase (três *shunts* independentes, em vez do único *shunt* de barramento previsto inicialmente) acrescenta a capacidade de medição de corrente por fase, habilitando a detecção granular de desequilíbrios entre braços do inversor e constituindo a infraestrutura de sensoramento necessária para uma futura migração para o algoritmo de Controle Orientado ao Campo (FOC).

### 3.2.5 Estratégias de Layout, Roteamento e Fabricação da PCB Protótipo

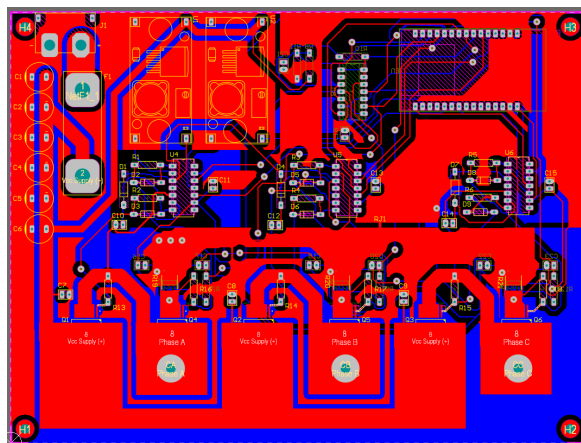
O projeto físico do protótipo de inversor, ilustrado na Figura 20, foi materializado a partir de um laminado virgem de fibra de vidro (FR4) com dupla face de cobre nu, sem a aplicação de máscara de solda comercial (*solder mask*). A placa possui dimensões de 150 × 200 mm e espessura de 1,5 mm. Durante a fase de engenharia de manufatura, o método de fabricação sofreu uma alteração: a confecção por corrosão química manual foi substituída pela usinagem em fresadora CNC (*Computer Numerical Control*). A causa física para esta mudança baseia-se na precisão geométrica e na integridade do material condutor. Na corrosão de placas com imensas áreas de cobre, o processo tende a gerar *undercutting* (corrosão lateral) e variações na espessura final da malha. A usinagem CNC atua de forma oposta, removendo mecanicamente apenas o material estritamente necessário para criar os isolamentos (*clearances*), preservando a massa total e a espessura original do cobre contínuo. Para garantir a viabilidade da usinagem, as regras de *design* (DRC) foram ajustadas para manter uma largura mínima de 0,6 mm nas trilhas de sinais lógicos e um *clearance* mínimo de 0,6 mm entre elementos, prevenindo curtos-circuitos mecânicos e rompimentos de trilha durante a fresagem.

Embora as análises computacionais prévias tenham apontado transientes teóricos de comutação com picos próximos a 90 A, ressalta-se que este protótipo inicial de bancada foi

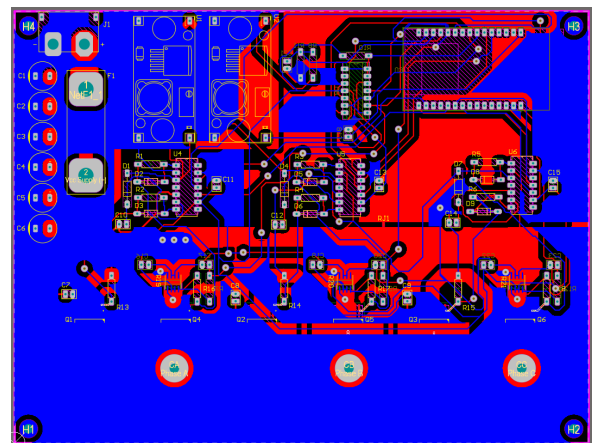
projetado para maximizar a capacidade de condução de corrente dentro das limitações físicas de fabricação local, não sendo esperado o regime de operação contínua sob esta magnitude extrema, já que o protótipo, em sua fase inicial, teve como objetivo demonstrar a viabilidade do *design*, sendo os ensaios conduzidos com o motor A2212/10T 1400 kV e bateria 4S, simulada com uma fonte de bancada com corrente limitada a 3 A e fusível de 20 A.

Com o propósito de mitigar as perdas ôhmicas, o roteamento físico descartou o uso de trilhas convencionais em favor de grandes polígonos de preenchimento (*copper pours*) sólidos. A camada superior (Figura 20a) acomoda as ilhas de comutação das fases e o barramento positivo, com gargalos projetados em um mínimo de 5 mm de largura. Contudo, como a espessura padrão do cobre de um laminado comum (tipicamente 1 oz/ft<sup>2</sup> ou 35 μm) possui uma secção transversal insuficiente para conduzir altas correntes, o sistema estaria sujeito à falha por superaquecimento térmico via Efeito Joule ( $P = I^2 \cdot R_{trilha}$ ). Para contornar essa limitação e elevar o limite térmico do circuito, podemos tirar proveito da própria natureza do material de prototipagem utilizado: o laminado de cobre nu. A ausência da máscara de solda isolante deixou todos os polígonos de potência naturalmente expostos. Esta característica facilitou a deposição manual de espessas camadas de liga de estanho e o assentamento de condutores de cobre sólido diretamente sobre as malhas críticas, aumentando substancialmente a área da secção transversal ( $A$ ) das trilhas e reduzindo a sua resistência ôhmica equivalente ( $\rho \cdot \frac{L}{A}$ ).

**Figura 20** – Projeto de roteamento da Placa de Circuito Impresso no Altium Designer: (a) *Top Layer* evidenciando os polígonos de potência; (b) *Bottom Layer* evidenciando os planos de terra.



(a) Camada Superior (*Top Layer*).



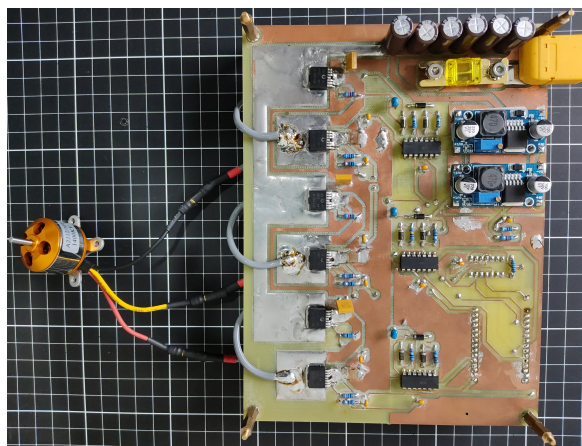
(b) Camada Inferior (*Bottom Layer*).

Fonte: Elaborado pelo autor (2026).

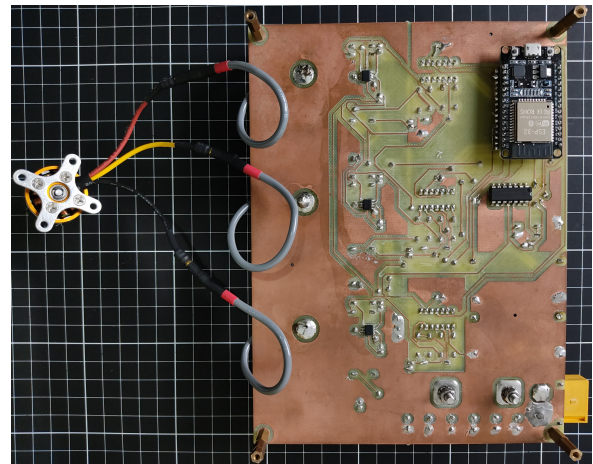
Do ponto de vista de compatibilidade eletromagnética (EMC), duas estratégias de isolamento foram rigorosamente aplicadas no layout. Primeiro, os espaços não roteados da placa foram preenchidos por dois imensos planos de terra funcionalmente segregados: o Terra de Potência (*PGND*), concentrado na camada inferior (Figura 20b) sob o estágio do inversor, e o Terra de

Sinal (*SGND*), restrito à periferia dos circuitos lógicos e sensores. A conexão elétrica entre esses dois referenciais foi consolidada estritamente através da técnica de ponto único de aterramento (*Star Ground*). Essa configuração impede o surgimento de laços de terra (*ground loops*) e garante que as severas correntes de retorno induzidas pelo chaveamento do motor permaneçam confinadas na malha de potência, mitigando o fenômeno de flutuação de referencial (*ground bounce*) sobre a eletrônica sensível. Segundo, a Unidade de Controle (ESP32) foi posicionada no extremo oposto da placa em relação aos MOSFETs. Como a comutação rápida de corrente gera campos magnéticos irradiados devido às altas taxas de  $di/dt$ , o distanciamento físico atua atenuando a intensidade do acoplamento indesejado de forma inversamente proporcional ao quadrado da distância, blindando o microcontrolador contra perturbações eletromagnéticas e travamentos espúrios. A Figura 21 documenta o protótipo físico montado para os ensaios de bancada descritos.

**Figura 21** – Protótipo do ESC: (a) Visão Superior; (b) Visão Inferior.



(a) Visão Superior.



(b) Visão Inferior.

Fonte: Elaborado pelo autor (2026).

### 3.3 Desenvolvimento e Validação do Firmware

O firmware desenvolvido para o ESC constitui, em si, um objeto de validação arquitetural independente do hardware. A avaliação de um sistema embarcado de potência não se restringe à medição de grandezas elétricas no banco de testes; ela abrange também a análise de coerência interna, a capacidade do código de garantir, por construção, determinadas propriedades de segurança, temporização e manutenibilidade. Esta seção apresenta os resultados dessa avaliação, organizados em quatro dimensões: a eficácia da arquitetura modular e do isolamento da *Hardware Abstraction Layer* (HAL), a robustez da máquina de estados finita (FSM), as rotinas de proteção e o tratamento de exceções, e, por fim, a parametrização definida em tempo de compilação e o comportamento observado em bancada com o motor A2212/10T 1400 kV, dessa forma o fusível

foi reduzido para 20 A, sendo o menor da categoria MIDI.

### 3.3.1 Arquitetura Modular e Isolamento da *Hardware Abstraction Layer* (HAL)

A principal escolha arquitetural do firmware foi a adoção de um modelo em camadas com inversão de dependência, no qual o acesso direto ao silício do ESP32 está concentrado exclusivamente nos módulos `hal_pwm`, `hal_adc`, `hal_gpio` e `hal_dac`. O resultado mais relevante dessa decisão é verificável por inspeção estrutural: o módulo `pid_regulator`, responsável pelo cálculo do controlador proporcional-integral, não inclui nenhum cabeçalho de periférico nem referencia o arquivo `board_config.h`. O nome do módulo adota a denominação genérica “PID”, frequente em projetos embarcados, embora o algoritmo implementado seja estritamente PI, sem termo derivativo, circunstância refletida na API por `pi_controller_t` e `pi_compute()`. O módulo opera exclusivamente sobre grandezas numéricas em ponto flutuante (referência, medição e limites) sem qualquer conhecimento da topologia do inversor ou do mapeamento de pinos. Esse isolamento constitui uma garantia formal de que modificações no hardware (substituição de amplificador de corrente, alteração de pinos, migração para outra família de microcontrolador) não propagam alterações para a lógica de controle.

A HAL não realiza conversões físicas: expõe milivolts brutos do ADC1, aplica ciclo de trabalho no MCPWM e manipula níveis digitais. A rotina `hal_adc_raw_to_mv()` centraliza a conversão calibrada via `esp_adc_cal`; em `hal_adc_read_raw()`, descarta-se uma amostra após troca de canal no multiplexador ADC1, mitigando transientes de *settling* entre leituras sequenciais de corrente e barramento. A conversão de tensão em corrente de fase, equacionada como  $(V_{ADC} - V_{offset}) / (20 \times 0,001)$ , onde 20 V/V é o ganho fixo do INA240 e 0,001  $\Omega$  é o *shunt*, está restrita ao driver `ina240_current_sensors`. Essa separação significa que recalibrar o sensor implica alterar exatamente um módulo, sem risco de regressão em qualquer outro subsistema.

A abordagem híbrida Arduino/ESP-IDF demonstrou ser tecnicamente coerente com os requisitos do projeto. O ponto de entrada utiliza o paradigma `setup()/loop()` do Arduino, o que viabilizou a integração com a biblioteca **Bluepad32** para o controle via DualShock 4 por Bluetooth. Os módulos críticos de potência, por sua vez, invocam diretamente as APIs do ESP-IDF, `driver/mcpwm.h`, `driver/adc.h`, `driver/gpio.h`, `driver/dac.h` e `esp_timer.h`, para obter controle preciso de *dead-time* (500 ns, compatível com os *drivers* IR2110), resolução de temporização em microssegundos e isolamento do subsistema de rádio. A rotina `hal_pwm_init()` concentra, na camada HAL, a materialização em firmware da sequência metodológica anti *shoot-through* de boot descrita na Subseção 2.4.10, isolando a ordem crítica de configuração do MCPWM dos demais módulos de controle. Uma restrição documentada do ESP32 reforça a correção dessa escolha: o ADC2 compartilha recursos com o subsistema Wi-Fi/Bluetooth e torna-se não confiável quando o rádio está ativo; por esse motivo, todas as aquisições de corrente de fase e tensão de barramento foram roteadas para o ADC1 (pinos 34, 35, 36 e 39), que opera de forma estável durante a transmissão Bluetooth.

A configuração central em `board_config.h` como única fonte de verdade do mapeamento GPIO–função demonstrou seu valor durante a evolução do projeto: a tabela de comutação 6-step, as proteções de corrente e a sequência de partida foram ajustadas sem que nenhuma linha de código fora desse arquivo precisasse ser rastreada. A compilação condicional, notavelmente as macros `BOARD_ENABLE_BEMF_ZCD` e `MOTOR_CONTROL_USE_SPEED_MODE`, permite selecionar topologias de controle inteiramente distintas sem duplicação de código, gerando binários enxutos contendo apenas os caminhos de execução necessários.

### 3.3.1.1 Implementação da Malha de Controle

A escolha por controladores PI em detrimento de P puro ou PID, fundamentada na Seção 1.4, materializa-se no módulo `pid_regulator` e na estratégia descrita na Subseção 2.4.3.2. A taxa de amostragem  $T_s = 1\text{ ms}$  definida na Subseção 2.4.3.1 materializa-se no módulo `motor_control` por meio do temporizador de alta resolução `esp_timer` do ESP-IDF, criado em `motor_control_init()` como etapa final da sequência de inicialização da FSM (`fsm_system_init()`). O temporizador é configurado com período nominal de  $1000\mu\text{s}$  e com `dispatch_method = ESP_TIMER_TASK`, de modo que o *callback* `motor_control_tick()` é despachado para uma *task* FreeRTOS, e não para uma ISR de hardware, permitindo invocar o ADC1 (`adc1_get_raw()`), os reguladores PI e a lógica de comutação, operações inviáveis em contexto de interrupção. O campo  $\Delta t$  dos controladores PI é fixado em 1 ms, coerente com o período do temporizador.

A malha de controle **não** reside no `loop()` Arduino. Este ciclo acumula *jitter* variável proveniente do *polling* do DualShock 4 ( $\approx 20\text{ ms}$ ), da telemetria serial e da dashboard Wi-Fi, incompatível com o determinismo exigido pela integração numérica do termo  $I$  do PI e pela temporização da comutação trapezoidal. O firmware opera, portanto, com duas cadências temporais distintas: o `loop()` para interface humana e telemetria de baixa frequência; e o `esp_timer` para o caminho crítico de controle do inversor.

As leituras de corrente de fase e de tensão de barramento utilizam o ADC1 em modo síncrono, sem DMA. Em cada ciclo de 1 ms, `motor_control_tick()` executa quatro conversões sequenciais de 12 bits, três de corrente e uma de tensão de barramento, cujo tempo de conclusão representa fração desprezível de  $T_s$ , tornando desnecessário um esquema de aquisição contínua por DMA, recurso reservado a malhas de corrente de frequência muito superior (como em FOC). A cada iteração, o firmware atualiza o ciclo de trabalho do MCPWM via `mcpwm_set_duty()` e, quando aplicável, o modo de condução das fases via `hal_pwm_set_phase_conduction()`; entre essas atualizações, o autômato de hardware do MCPWM preserva o PWM a 20 kHz sem intervenção da CPU.

O parâmetro `MOTOR_CONTROL_LOOP_HZ = 1000Hz` declarado em `motor_control.h` codifica essa decisão em tempo de compilação. A adequação do valor em termos de margem computacional ( $t_{tick}, t_{idle}, \rho_{CPU, controle}$ ) e de coexistência com Bluetooth e Wi-Fi é avaliada na Subseção 3.5.3.

### 3.3.2 Máquina de Estados e Robustez das Transições

A FSM ( `fsm_system`) encapsula quatro estados operacionais, `INIT`, `IDLE`, `RUNNING` e `FAULT`, com transições explícitas e guardadas por condições de segurança. O resultado mais importante dessa escolha de paradigma é a impossibilidade estrutural de armar o PWM fora do estado `IDLE`: a função `fsm_system_request_arm()` verifica a ausência de subtensão (UVLO) e a ausência de latch de falha ativa antes de qualquer chamada à HAL. Em `ESC_STATE_FAULT`, a operação permanece bloqueada até que uma liberação de falha (*clear fault*) explícita seja emitida via botão Options do controle PS4 ou tecla `c/ C` no Serial HMI, condição adicional que exige que o hardware tenha liberado o pino OC Trip e que a tensão do barramento tenha recuperado ao limiar de histerese. Esse comportamento elimina a classe de falhas em que um sistema orientado a flags booleanas poderia rearmar silenciosamente após a remoção de uma condição de falha.

A sequência de inicialização impõe uma ordem determinística de ativação dos subsistemas. Em `setup()`, antes da FSM:

1. Segurança de potência ( `hal_motor_init`): pinos SD em shutdown e PWM em LOW;
2. Serial 115200 e `esc_radio_quiet_init()` (desliga BTstack quando `BOARD_ENABLE_PS4_BT=0`);
3. `wifi_telemetry_init()` (opcional, `BOARD_ENABLE_WIFI_TELEMETRY`);
4. `ps4_input_init()` **ou** `serial_hmi_init()` (mutuamente exclusivos);
5. `fsm_system_init()` (sequência abaixo);
6. `hal_motor_reclaim_outputs()` (reconfigura SD após stack BT).

Dentro de `fsm_system_init()`:

1. Inicialização segura do estágio de potência ( `hal_motor_init`);
2. Configuração do ADC1 ( `hal_adc_init`);
3. Programação do DAC1 com a tensão de referência OCP do LM339 ( `lm339_protection_init`);
4. Inicialização do INA240 e calibração de *offset* ( `ina240_calibrate_offset`, 128 amostras) **somente se** `ina240_is_offset_calibrated()` for falso;
5. Inicialização do monitor de bateria e detecção automática de número de células ( `battery_monitor_init`);
6. Arme da ISR de sobrecorrente no OC Trip ( `lm339_protection_arm`);

### 7. Criação do temporizador de 1 kHz da malha de controle ( `motor_control_init`).

O módulo legado `esc_boot_early_calibrate()` ( `esc_boot_sensors.c`) permanece no repositório do projeto (Fernandes, 2025) mas **não é invocado** no boot atual. Na configuração de bancada de junho de 2026 (junho de 2026), `BOARD_ENABLE_SERIAL_HMI=1`, `BOARD_ENABLE_PS4_BT=0` e `INA240_USE_MANUAL_OFFSET=1` substituem a calibração em três etapas validada anteriormente com Wi-Fi AP e PS4 ativos. Qualquer falha em etapa intermediária da FSM invoca `enter_fault_state()` e mantém o ESC em `FAULT`, prevenindo operação com subsistema em estado indeterminado. A detecção de número de células LiPo ocorre em *boot* e é travada, uma troca de bateria de 4S para 6S, ou vice-versa, exige *power-cycle* do controlador para atualizar os limiares de UVLO.

Internamente ao estado `RUNNING`, o módulo `motor_control` executa sua própria sub-FSM de partida, com as fases `IDLE`, `ALIGN`, `RUN` (modo corrente), `RUN_OPEN` e `RUN_SPEED` (modo velocidade). A fase de alinhamento aplica o vetor estático do passo 0 (CW) ou do passo 3 (CCW) por 100ms, com ciclo de trabalho nominal de 3 % atingido por rampa linear de 0 % a 3 % ( `align_ramp_duty_percent()`), garantindo posição angular inicial  $\theta_0$  conhecida antes do início da rampa trapezoidal, requisito fundamental para a estratégia *sensorless* sem detecção de FCEM em velocidade zero. A transição para a fase `RUN_SPEED` no modo cascata condiciona-se à velocidade estimada superar 600 RPM por ao menos 200 ms consecutivos, evitando transição prematura de malha para o PI de velocidade em condição de aceleração instável.

Os ensaios de partida com carga permanecem no protocolo proposto (Metodologia, Subseção 2.4.18); a última sessão de bancada interrompeu-se na fase `ALIGN` por OCP da fonte (Ensaio a Vazio, Subseção 3.5.1.8).

A troca de sentido via botão Circle do controle é intencionalmente bloqueada enquanto o gatilho R2 estiver acima do limiar de arme. A função `motor_control_set_direction()` retorna `false` silenciosamente quando `s_active == true` e o comando de torque está ativo, transferindo para o operador a responsabilidade de aguardar a desaceleração do rotor antes de comandar a inversão. Essa decisão de projeto foi documentada como salvaguarda deliberada: uma inversão automática com rotor em movimento acima de  $\approx 600$  RPM produziria FCEM em oposição ao vetor de alinhamento aplicado no re-arme, com probabilidade elevada de disparo do OCP por sobrecorrente durante a fase `ALIGN`.

### 3.3.3 Rotinas de Proteção e Tratamento de Exceções

A estratégia de segurança do ESC é organizada em três camadas independentes, implementando o princípio de defesa em profundidade: proteção analógica de hardware, proteção de firmware por interrupção e proteção de software por supervisão periódica.

### 3.3.3.1 Proteção de Sobrecorrente em Hardware (OCP)

A proteção primária baseia-se nos comparadores LM339 conectados às saídas dos amplificadores INA240. A tensão de referência  $V_{dac}$ , gerada pelo DAC1 (GPIO 25) e calculada por:

$$V_{dac} = 1,65 + I_{lim} \times 0,001 \times 20 \quad [\text{V}] \quad (3.1)$$

fixa o limiar de disparo analógico em 25 A ( $V_{dac}$  programado via `LM339_OCP_DAC_RAW`). A proteção complementar em software (`MOTOR_SOFTWARE_OC_AMPS`) opera em 15 A na configuração final de bancada. Quando qualquer fase supera o limiar analógico, o LM339 satura em coletor aberto, puxando o nó *OC Trip* (GPIO 26) a zero e disparando uma ISR marcada `IRAM_ATTR`. O *handler*, executado na RAM interna de instrução para evitar falhas de cache durante a interrupção, invoca `hal_motor_emergency_shutdown()` (`SD=HIGH` imediato) e levanta o flag `s_fault_pending`. O tempo de resposta dessa cadeia é da ordem de microssegundos, independente do estado do loop de controle. A transição formal para `ESC_STATE_FAULT` ocorre no próximo ciclo de `fsm_system_tick()`, onde operações mais elaboradas, como impressão do código de falha na telemetria serial, são executadas com segurança fora do contexto de interrupção. A quantificação de  $t_{OCP,total}$  por osciloscópio de quatro canais encontra-se no protocolo proposto (Metodologia, Subseção 2.4.18).

### 3.3.3.2 Proteção de Sobrecorrente em Software

Em paralelo à proteção analógica, o módulo `motor_control_tick()` supervisiona o valor máximo entre as três correntes de fase a cada 1 ms. Caso  $\max(|I_A|, |I_B|, |I_C|)$  supere `MOTOR_SOFTWARE_OC_AMPS` (15 A na configuração final de bancada) com torque ativo, a função `trip_software_overcurrent()` levanta `s_sw_fault_pending` e sinaliza `MOTOR_FAULT_SW_OC` à FSM.

### 3.3.3.3 Proteção de Subtensão (UVLO)

O monitor de bateria (`battery_monitor`) lê a tensão do barramento a cada iteração do loop principal através do divisor resistivo de  $39\text{ k}\Omega/4,7\text{ k}\Omega$  no GPIO 39. Os limiares de UVLO são parametrizados por célula: 3,3 V/célula como *cutoff* e 3,5 V/célula como limiar de recuperação, com histerese de 200 mV/célula para evitar oscilação em torno do ponto de corte. Um debounce de 100 ms de leitura contínua abaixo do *cutoff* é exigido antes do disparo, filtrando quedas transitórias de tensão causadas por picos de corrente de comutação. Em `RUNNING`, a UVLO encaminha a FSM diretamente para `FAULT` com código `falha=UVLO`; em `IDLE`, bloqueia o arme silenciosamente. O ensaio de descarga de pack 4S com marcação de histerese constitui etapa do protocolo proposto (Metodologia, Subseção 2.4.18).

### 3.3.3.4 Detecção de Stall (Dessincronismo)

Em operação com comutação em malha aberta ( `BOARD_ENABLE_BEMF_ZCD = 0`), o rotor pode perder sincronismo com a sequência 6-step sem gerar sobrecorrente instantânea. O firmware implementa três critérios independentes em `check_stall_conditions()`, qualquer um suficiente para disparar `MOTOR_FAULT_STALL`; porém, a eficácia de cada um depende do modo de comutação ativo, conforme detalhado abaixo.

- **Corrente de fase média sustentada acima de `MOTOR_STALL_CURRENT_AMPS (6 A)` por mais de `MOTOR_STALL_TIMEOUT_MS (300 ms)` durante fase de marcha ( `trip_stall_high_current`).** Operando em malha aberta e em malha fechada por ZCD, com o eixo bloqueado ou em dessincronismo, a velocidade angular anula-se ( $\omega \rightarrow 0$ ) e a força contraeletromotriz desaparece ( $e = K_e \cdot \omega = 0$ ); a queda de tensão na armadura restringe-se a  $V_{fase} = I \cdot R_a + L \cdot di/dt$ , e a baixíssima resistência de armadura ( $R_a \approx 10 m\Omega$ ) faz com que o PI eleve o ciclo de trabalho até manter corrente média elevada de forma crônica, aquecendo enrolamentos e descarregando a bateria sem atingir o limiar instantâneo da OCP por hardware.
- **Ausência de avanço de passo 6-step por um intervalo superior a  $4 \times T_{passo\_esperado}$  ( `MOTOR_STALL_STEP_TIMEOUT_MULT = 4`) ( `trip_stall_no_commutation`).** Opera apenas na comutação guiada por ZCD (modo `MOTOR_COMM_ZCD_CLOSED`); com ZCD desativado, os passos avançam por temporizador independentemente da posição do rotor ( `advance_open_loop_if_due`), de modo que `s_last_step_change_us` continua sendo atualizado mesmo com o eixo travado, este critério não dispara na configuração padrão de validação. Quando o rotor não consegue acompanhar o campo girante do estator, por travamento mecânico, carga excessiva ou perda de sincronismo magnético, os cruzamentos por zero da BEMF cessam ou tornam-se erráticos, impedindo que os comparadores LM339 detectem os instantes elétricos de comutação; a sequência 6-step congela-se e o intervalo desde o último passo executado excede  $4 \times T_{passo\_esperado}$ , caracterizando dessincronismo confirmado.
- **Velocidade estimada abaixo do mínimo operacional ( `MOTOR_SPEED_MIN_RPM = 300 RPM`) com referência de velocidade acima de 600 RPM por mais de 300 ms, na fase `RUN_SPEED` ( `trip_stall_low_rpm`).** Opera somente quando a comutação segue a BEMF do rotor (ZCD ativo); em malha aberta,  $\hat{n}$  deriva do intervalo entre passos comutados por temporizador e tende a acompanhar a referência comandada, não a rotação mecânica real (Seção 3.3.1.1 e parágrafo sobre estimativa de velocidade abaixo). Indica que a taxa efetiva de comutação (agora sincronizada com o movimento do rotor) cai abaixo do mínimo operacional enquanto o controlador exige rotação elevada; manifestação de perda de passo ou escorregamento, no qual o ângulo elétrico  $\theta_e$  excede a região de torque produtivo ( $T_e \propto \sin \theta_e$  decrescente para  $\theta_e > 90^\circ$  elétricos).

Na configuração adotada nesta validação ( `BOARD_ENABLE_BEMF_ZCD = 0`), a proteção efetiva contra *stall* recai sobre o critério de corrente sustentada, complementar à OCP: enquanto a segunda age em microssegundos sobre picos instantâneos, a primeira identifica a condição crônica de rotor travado com corrente moderada que esgotaria a bateria e aqueceria os enrolamentos progressivamente. Os critérios por ausência de comutação e por velocidade baixa permanecem implementados no firmware como salvaguardas para a futura transição à malha fechada por ZCD, quando a sequência 6-step e a estimativa de velocidade passarão a refletir o movimento real do rotor.

### 3.3.3.5 Sequência Unificada de Entrada em Falha e Recuperação

Independentemente da origem da falha, hardware analógico, ISR de interrupção ou supervisão de software, a função `enter_fault_state()` centraliza a resposta em duas operações ordenadas: `hal_motor_disarm()` (`SD=HIGH`, PWM off, detach MCPWM) e `motor_control_on_disarm()` (zera integrador PI e referências). A ordem é deliberada: os drivers de potência são desabilitados antes de qualquer operação de software, garantindo que o estágio de potência esteja seguro mesmo que as operações subsequentes falhem. A recuperação exige liberação de falha via botão Options (PS4) ou tecla `c/ C` (Serial HMI), que o pino OC Trip tenha retornado a HIGH (hardware liberado) e que a tensão do barramento esteja acima do limiar de histerese de UVLO, três condições simultâneas que bloqueiam o re-arme acidental.

### 3.3.4 Carga de bancada prevista

O motor A2212/10T 1400 kV foi selecionado como carga representativa para os ensaios dinâmicos previstos no protocolo experimental (Metodologia, Subseção 2.4.18). A parametrização de rampa, ganhos PI e mapeamento de referências encontra-se documentada na mesma subseção; neste capítulo registra-se apenas a validação estática do firmware e a interrupção dos ensaios de potência no ensaio a vazio.

A interface de comando via DualShock 4, gerenciada pela biblioteca Bluepad32 integrada ao *core* Arduino customizado, demonstrou comportamento estável nos ensaios de funcionalidade com `BOARD_ENABLE_WIFI_TELEMETRY = 0` (Access Point e dashboard desligados em tempo de compilação). O *polling* do gamepad a cada 20 ms, executado no `loop()` Arduino, não interferiu na malha de controle a 1 kHz, pois esta reside em uma *task* FreeRTOS despachada pelo `esp_timer` (cadência temporal independente e de maior prioridade). O *feedback* visual por *lightbar* âmbar na inicialização, azul em `IDLE`, verde em `RUNNING` e vermelho em `FAULT` (permitiu validar as transições da FSM sem monitor serial contínuo. A instabilidade observada quando o subsistema Wi-Fi coexistia com Bluetooth e `RUNNING` simultaneamente) documentada na Subsubseção 3.3.5.1, não invalida o isolamento temporal da malha; restringe-se aos subsistemas de interface humana no `loop()`. Problemas adicionais de enlace Bluetooth Classic isolado

(sem Wi-Fi), que impediram ensaios de potência via PS4 antes da adoção do perfil Serial HMI, são relatados na Subsubseção 3.3.5.2.

**Figura 22** – Motor BLDC A2212/10T 1400 kV utilizado como carga de bancada (Prova de Conceito em escala reduzida).



Fonte: Elaborado pelo autor (2026).

### 3.3.5 Interface de Monitoramento e Telemetria Sem Fio

A validação dinâmica do ESC em bancada com motor em rotação impõe a observação contínua de grandezas elétricas e de estado interno do firmware (correntes de fase, tensão de barramento, velocidade estimada, fase de partida, código de falha e status do controle PS4) sem manter o microcontrolador acoplado por cabo USB ao computador do operador. Para atender a esse requisito, foi implementada a dashboard de telemetria via Wi-Fi cuja motivação (isolamento galvânico virtual em relação ao barramento de potência) foi estabelecida na Metodologia. A arquitetura de software integra-se à camada de aplicação do firmware e opera conforme o fluxo descrito a seguir:

1. **Modo Access Point (AP):** o ESP32 cria uma rede Wi-Fi local ( ESC-Dashboard, IP fixo 192.168.4.1), independente de roteador externo e sem necessidade de conexão à internet.
2. **Servidor HTTP assíncrono:** o módulo `wifi_telemetry` utiliza a biblioteca `ESPAsyncWebServer` para servir a interface web ( `index.html`) e o endpoint de dados `GET /data`, ambos armazenados no sistema de arquivos LittleFS da flash interna.
3. **Telemetria por HTTP *polling*:** o *browser* do operador requisita o JSON de telemetria a cada 1 s via `GET /data`. Fora de `RUNNING` (ou com `WIFI_TELEMETRY_DEFER_IN_`

`RUNNING = 0`), o `loop()` atualiza o *snapshot* denso a cada 100ms via `push_wifi_telemetry_full()`. Essa estratégia foi preferida à conexão WebSocket persistente para limitar o consumo de *heap* ( $\approx 19$  KB por cliente WebSocket), recurso já pressionado pela coexistência de Bluetooth Classic (PS4) e Wi-Fi no mesmo rádio do ESP32.

4. **Visualização local:** a biblioteca Chart.js é servida a partir da flash (arquivo `chart.min.js`), eliminando dependência de CDN externo, inacessível quando o operador está conectado exclusivamente ao AP do ESC.
5. **Telemetria diferida em `RUNNING`:** com `WIFI_TELEMETRY_DEFER_IN_RUNNING = 1` (padrão quando o AP está ativo), o firmware não publica JSON denso durante a rotação: amostras compactas ( $\approx 12$  B: tempo, velocidade, corrente medida, *duty* e *f<sub>el</sub>*) são gravadas em *ring buffer* de 80 pontos ( $\approx 8$  s a 100ms); `GET /data` recebe *snapshot* leve (`buffering:true`, `buf_n`) no máximo a 1 Hz; ao retornar a `IDLE` ou `FAULT`, o lote é exposto em `GET /data/batch` e a dashboard preenche os gráficos com a última corrida.

O *payload* JSON denso consolida, em chaves compactas, o estado da FSM, correntes de fase, tensão de barramento, velocidade, parâmetros do PI, latência do motor, *heap* livre, status do controle PS4 (`ps4c`, `R2`, `Circle`) e código de falha ativo. A telemetria serial por UART (115200baud) permanece disponível para depuração em laboratório. A arquitetura de telemetria adiada está implementada no firmware (`wifi_telemetry.cpp`, `index.html`); os ensaios de potência documentados neste capítulo mantiveram `BOARD_ENABLE_WIFI_TELEMETRY = 0` e telemetria serial a 500ms. A validação com motor em rotação constitui etapa do protocolo proposto (Metodologia, Subseção 2.4.18).

A inicialização do subsistema Wi-Fi precede a do Bluetooth no `setup()`, conforme exigência do *scheduler* de coexistência de rádio do ESP-IDF; a inversão dessa ordem impede a subida correta do Access Point. As leituras de corrente e tensão continuam roteadas ao ADC1 (GPIO 34–36 e 39), distinto do ADC2, que torna-se indisponível com o rádio ativo. O ADC1 permanece operacional durante a coexistência Wi-Fi/Bluetooth e sustenta a malha de controle a 1 kHz; contudo, o canal A (GPIO 34, ADC1\_CH6) pode apresentar deriva residual ou impulsos de RF nas leituras em repouso após a subida do softAP e do scan Bluetooth, fenômeno distinto do bloqueio do ADC2 e documentado no Ensaio 1a, mitigado por recalibração pós-rádio, mediana e filtro EMA dedicados à fase A.

### 3.3.5.1 Regressões de firmware na coexistência Bluetooth, Wi-Fi e `RUNNING`

Durante a integração da dashboard Wi-Fi com o controle DualShock4 e o motor em `RUNNING`, foram observadas regressões de estabilidade operacional que motivaram a suspensão temporária do Access Point em ensaios de potência. O ensaio de provocação utilizou `BOARD_ENABLE_WIFI_TELEMETRY = 1`, softAP ativo, *browser* em *polling* HTTP a 1 Hz, PS4 pareado,

`push_wifi_telemetry()` a cada 100ms no `loop()` e telemetria serial frequente, com o operador pressionando R2 para transitar a FSM para `RUNNING`.

Os sintomas recorrentes foram: (i) desconexões espontâneas do DualShock 4 na ordem de 4–15s em *builds* instrumentados para depuração; (ii) travamento aparente do monitor serial ao pressionar R2, com a *lightbar* do controle permanecendo verde sem atualização perceptível; (iii) substituição da telemetria legível por linhas JSON de instrumentação quando a fila TX da UART (128 bytes por padrão) saturava. Paralelamente, a telemetria serial em regime `RUNNING` com Wi-Fi desligado registrou  $t_{tick}$  entre  $\approx 800$  e  $1141 \mu s$ , evidência de que o temporizador `esp_timer` e a malha a 1 kHz permaneceram íntegros; a degradação concentrou-se no `loop()` Arduino e na contenção do rádio compartilhado (Bluetooth Classic + Wi-Fi AP + `snprintf` + UART), não no caminho crítico de comutação.

A depuração identificou três classes de defeito de software, resumidas na Tabela 8.

**Tabela 8** – Regressões de firmware na coexistência Bluetooth, Wi-Fi AP e `RUNNING`.

| Sintoma                               | Subsistema                       | Causa raiz                                                                                                                                                                                             | Mitigação                                                   | Malha 1 kHz |
|---------------------------------------|----------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------------------------------------------------------------|-------------|
| Queda BT; serial travada em R2        | BT + Wi-Fi + <code>loop()</code> | Contenção de rádio e bloqueio do <code>loop()</code> por I/O UART/JSON                                                                                                                                 | <code>BOARD_ENABLE_WIFI_TELEMETRY = 0</code> ; serial 500ms | Íntegra     |
| Fila TX UART cheia; só JSON na serial | UART / telemetria                | <code>Serial.printf</code> de logs NDJSON competindo com telemetria a 115200baud                                                                                                                       | Remoção da instrumentação; telemetria textual enxuta        | Íntegra     |
| <i>Lightbar</i> inoperante com FSM OK | PS4 / Bluepad32                  | <code>PS4_SKIP_LIGHTBAR_ON_CLONE = 1</code> desativava todo <code>setColorLED</code> ; filtro <code>battery() &gt; 1</code> bloqueava controles genuínos ( <code>battery() = 0 = desconhecido</code> ) | <code>PS4_SKIP_LIGHTBAR_ON_CLONE = 0</code>                 | Íntegra     |

Fonte: Elaborado pelo autor (2026).

A configuração mitigada adotada nos ensaios subsequentes fixa `BOARD_ENABLE_WIFI_TELEMETRY = 0`, telemetria serial a 500ms e `PS4_SKIP_LIGHTBAR_ON_CLONE = 0`. Sob essas condições, o pareamento Bluetooth permaneceu estável por vários minutos, a *lightbar* restaurou o mapa de cores por estado da FSM e o motor operou em `RUNNING` sem regressão perceptível na malha de controle. Este relatório qualitativo substitui os ensaios comparativos formais Cenário A/Cenário B (Sub-teste 5.1) e a síntese quantitativa de estabilidade HTTP previstos originalmente para quantificar  $\Delta t_{tick,max}$ : a tentativa de operação simultânea BT + AP + dashboard + `RUNNING` constitui, por si, o resultado documentado da implementação.

Do ponto de vista metodológico, o episódio reforça a separação arquitetural já adotada (malha de potência no `esp_timer`, interface humana no `loop()`) e evidencia que subsistemas de observação (UART verbosa, HTTP, instrumentação de depuração) competem pelo mesmo núcleo de rádio e pelo mesmo contexto de baixa prioridade. Em resposta, foi implementada no firmware a **telemetria Wi-Fi diferida**: durante `RUNNING`, amostras compactas são acumuladas em *ring buffer* RAM ( $\approx 960$  B para 80 pontos) sem serialização de JSON denso a cada 100 ms; ao retornar a `IDLE` ou `FAULT`, o histórico é liberado via `GET /data/batch`. A mitigação esperada consiste em reduzir contenção de rádio e carga de `snprintf` no instante de aceleração, preservando o isolamento galvânico virtual da dashboard. A **validação operacional** dessa arquitetura (pareamento Bluetooth estável por  $\geq 30$  s em `RUNNING`, UART íntegra e replay correto do lote no *browser*) permanece **pendente** de ensaio em bancada com motor.

Do ponto de vista de segurança de bancada, a motivação original da dashboard (isolamento galvânico virtual do notebook em relação ao barramento de potência, descrita na Metodologia) permanece válida como objetivo de projeto. A validação em `RUNNING` com dashboard ativa e PS4 pareado simultaneamente **não foi obtida** na configuração legada testada (`push_wifi_telemetry()` denso a cada 100 ms); O modo de adiamento de telemetria (`WIFI_TELEMETRY_DEFER_IN_RUNNING = 1`) constitui candidato arquitetural a revalidação. Os ensaios de potência atuais utilizam cabo USB para telemetria serial ou confiam na *lightbar* do DualShock 4 como indicador de estado. O indicador *Dashboard online* no cabeçalho da página web reflete exclusivamente o sucesso da comunicação HTTP com o ESP32; durante `buffering`, exibe *Gravando corrida...*; o status Bluetooth do DualShock 4 é exibido separadamente no cartão *Controle PS4*, evitando ambiguidade entre conectividade de rede e pareamento do gamepad.

### 3.3.5.2 Instabilidade do enlace Bluetooth Classic (DualShock 4) e impacto nos ensaios de potência

A Subsubseção 3.3.5.1 documenta regressões quando Bluetooth, Wi-Fi AP e `RUNNING` coexistem. Paralelamente, ensaios de potência com `BOARD_ENABLE_WIFI_TELEMETRY = 0` revelaram instabilidade **própria do enlace Bluetooth Classic** com o DualShock 4, independente da dashboard, suficiente para impedir validação sistemática da partida do motor via gatilho R2.

Os sintomas iniciais (zumbido no estator, corrente baixa e uma única transição visível no osciloscópio com R2 pressionado) motivaram revisão da geração SOURCE/SINK no MCPWM. Identificou-se que, após `mcpwm_set_signal_low()`, o modo SINK exige `mcpwm_set_signal_high()` na perna *low-side* para condução contínua; a correção em `hal_pwm.c` restabeleceu o comportamento esperado da tabela 6-step. Paralelamente, o gatilho R2 em repouso reportava valores da ordem de 10–25 (escala 0–255), acima do limiar `PS4_R2_ARM_THRESHOLD` original (10), provocando desarme fantasma ao soltar o gatilho; o limiar foi elevado para 28.

Em sessões subsequentes, o padrão dominante foi ciclo `BT=OFF`  $\rightarrow$  reconexão em 0,5–2 s, frequentemente antes de completar a calibração de repouso do R2 (2 s). Cada queda zerava o estado de calibração (`recal R2` necessária), impedindo transição estável para `RUNNING`

e tornando inconclusivos os ensaios de partida com PS4. Logs de depuração registraram DS4: Failed to create virtual device em conexões repetidas (issue conhecida da pilha Bluepad32) e falhas na camada SDP/GAP antes do *callback* de controle, mitigadas experimentalmente por `PS4_FORGET_BT_KEYS_ON_BOOT = 1` (uma vez) e por esquecer o ESP32 no menu Bluetooth do controle. Importante: quedas de enlace em IDLE, com MCPWM desanexado e pinos PWM em GPIO LOW, **não** implicam conflito entre Bluetooth e acionamento da ponte; evidência de logs com `BT=OFF` sem `[HAL] MCPWM attach OK`.

**Tabela 9** – Regressões de enlace Bluetooth Classic (PS4 / Bluepad32) em ensaios de potência, Wi-Fi desligado.

| Sintoma                           | Subsistema                   | Causa raiz                                | Mitigação                                               | Malha 1 kHz |
|-----------------------------------|------------------------------|-------------------------------------------|---------------------------------------------------------|-------------|
| Loop connect/disconnect (0,5–2 s) | BT / SDP–GAP                 | Pareamento corrompido; virtual device DS4 | <code>forget Bluetooth Keys; perfil BENCH_STABLE</code> | Íntegra     |
| Calibração R2 interrompida        | PS4 / <code>ps4_input</code> | Queda BT zera estado de cal               | <code>Serial HMI (BOARD_ENABLE_PS4_BT = 0)</code>       | Íntegra     |
| Desarme ao soltar R2              | PS4 / limiar R2              | Repouso > threshold original              | <code>PS4_R2_ARM_THRESHOLD = 28</code>                  | Íntegra     |
| Partida não testável via PS4      | Integração BT + FSM          | Soma dos itens acima                      | <code>BOARD_ENABLE_SERIAL_HMI = 1</code>                | Íntegra     |

Fonte: Elaborado pelo autor (2026).

Para a bancada de junho de 2026, adotou-se `BOARD_ENABLE_PS4_BT = 0` e `BOARD_ENABLE_SERIAL_HMI = 1`: comandos `A/a` (arm/disarm), `+/-` (*setpoint*), espaço (e-stop) e `c/C` (liberação de falha) via monitor USB a 115200baud, com telemetria `HMI=SER`. Essa contingência removeu a variável RF da depuração de potência sem alterar a malha de controle a 1 kHz. Pareamento estável por vários minutos foi obtido na configuração mitigada com Wi-Fi desligado; o ensaio a vazio (Subseção 3.5.1.8) prosseguiu sob interface serial.

A interface web servida localmente pelo LittleFS inclui gráficos históricos, exportação CSV e captura PNG; a validação operacional com motor em rotação permanece no protocolo proposto (Metodologia, Subseção 2.4.18).

### 3.3.5.3 Coerência metrológica prevista (dashboard e UART)

Foi planejado um ensaio de coerência entre telemetria Wi-Fi e corrente medida por multímetro em série com a fonte. A execução condiciona-se à conclusão do protocolo dinâmico com ponte

estável; as equações e critérios de aceite encontram-se na Metodologia (Subseção 2.4.18).

### 3.4 Estado de Implementação da Detecção de Cruzamento por Zero (ZCD)

É necessário estabelecer, de forma explícita e inequívoca, o escopo da implementação do módulo de Detecção de Cruzamento por Zero (*Zero-Crossing Detection*, ZCD) nesta etapa do protótipo: **a transição para a malha fechada orientada pela FCEM não foi implementada na presente versão do firmware.** A macro de compilação condicional `BOARD_ENABLE_BEMF_ZCD`, definida em `board_config.h`, encontra-se fixada em zero (0), desabilitando integralmente o caminho de código responsável pelo monitoramento das interrupções do comparador LM339 e pela lógica de transição de malha da malha aberta para a malha fechada.

Esta decisão de escopo é justificada por três razões técnicas de ordem prática:

1. **Prioridade de validação arquitetural:** o objetivo primário desta fase é demonstrar a correção da malha aberta de comutação trapezoidal, da infraestrutura de proteção e da FSM de alto nível. A ativação prematura do ZCD, antes da validação estável da sequência de partida, introduziria uma variável adicional de falha que dificultaria a depuração sistemática do sistema.
2. **Limitação da bancada de ensaios atual:** a validação do ZCD exige que o motor atinja uma velocidade angular mínima (tipicamente entre 5 % e 10 % da velocidade nominal) para que a amplitude da FCEM supere o limiar de histerese dos comparadores LM339. A instrumentação disponível na bancada atual (limitada a 3 A com o motor A2212) não oferece excursão dinâmica suficiente para caracterizar de forma reproduzível o ponto de transição de malha e validar a compensação de atraso de fase do filtro RC descrita na Metodologia.
3. **Escopo delimitado do trabalho:** a implementação do ZCD, com a respectiva validação empírica do cálculo dinâmico de  $T_{wait}$  e da operação em malha fechada auto-sincronizada, constitui o passo subsequente imediato na evolução deste projeto, a ser conduzido na etapa de escalonamento de potência com o motor Turnigy XK3674-2200 KV.

O hardware de condicionamento de sinal para o ZCD (divisores resistivos de fase, filtros RC passa-baixa, neutro virtual e comparadores LM339) está integralmente projetado, dimensionado e presente no esquemático e no layout da PCB, conforme detalhado na Subseção 2.4.11. A ausência da implementação em software é, portanto, uma decisão metodológica de escalonamento incremental, e não uma limitação de hardware irresolvida.

### 3.5 Testes Físicos de Bancada

A validação experimental do hardware constitui a etapa de maior criticidade no ciclo de desenvolvimento de um inversor de potência. É nela que as hipóteses de projeto

(dimensionamento de componentes, topologias de proteção e estratégias de layout) são confrontadas com a realidade física dos circuitos. Resultados de simulação e análise esquemática, por mais rigorosos que sejam, operam sobre modelos idealizados que abstraem tolerâncias de componentes, indutâncias parasitas de trilha, resistências de contato e acoplamentos capacitivos não modelados.

O protocolo de testes seguiu a filosofia de **energização incremental**: o estágio de potência foi desconectado eletricamente da carga e da fonte de alta corrente nas fases iniciais, permitindo que qualquer defeito de montagem ou erro de firmware fosse identificado e corrigido sob condições de energia mínima, sem risco de destruição dos semicondutores. Apenas após a confirmação inequívoca de cada subsistema a energização foi progressivamente elevada.

### 3.5.1 Validação Estática e Calibração de Hardware

O primeiro lote de ensaios, denominado *validação estática*, foi conduzido integralmente com o motor desconectado da ponte inversora. A ausência de carga indutiva eliminou os transientes de comutação e a corrente de roda livre, isolando cada bloco funcional do hardware para análise individual. A alimentação foi fornecida por uma fonte de bancada regulada, operando em modo de limitação de corrente fixada em 100 mA e tensão de saída de 12 V, valores suficientes para energizar os reguladores auxiliares LM2596, o microcontrolador ESP32 e os amplificadores INA240, sem risco de dano aos semicondutores de potência em caso de curto-circuito residual na placa.

#### 3.5.1.1 Ensaio 0: Inicialização segura do MCPWM e prevenção de shoot-through no boot

Antes dos ensaios de calibração e de medição de *dead-time*, verificou-se em bancada um defeito crítico de firmware durante o *power-up* e o *reset* do ESP32. Com a ponte alimentada em 12 V e limitação de corrente em 100 mA, a execução da rotina `hal_pwm_init()`, na ordem original de implementação, provocava um pico de corrente no barramento DC compatível com *shoot-through*: ambas as pernas de um mesmo braço (*AH* e *AL*, e analogamente *B* e *C*) assumiam nível lógico alto simultaneamente por uma fração de segundo. A causa raiz foi identificada por inspeção de código: a função `mcpwm_gpio_init()` atrelava os pinos físicos ao periférico *antes* de `mcpwm_deadtime_enable()` e de fixar ambos os geradores em repouso via `mcpwm_set_signal_low()`. Nesse intervalo, o timer MCPWM já ativo aplicava estados complementares não protegidos diretamente aos *gates* via IR2110 (*Active-High*), impondo condução simultânea dos MOSFETs *High-Side* e *Low-Side*.

A correção reordenou estritamente a sequência metodológica da Subseção 2.4.10, materializada na rotina `hal_pwm_init()` da seguinte forma: (1) GPIO OUTPUT em LOW nos seis pinos via `gpio_set_level()` antes de qualquer API MCPWM; (2) configuração do timer (`mcpwm_init`), ciclo de trabalho 0% em OPR\_A e OPR\_B, *dead-time* de 500 ns (`mcpwm_deadtime_enable`, modo `MCPWM_ACTIVE_HIGH_COMPLIMENT_MODE`) e repouso forçado (`mcpwm_set_`

signal\_low) antes de `mcpwm_gpio_init()`; (3) reativação de repouso após o *attach*. Após o *flash* do firmware corrigido, repetiu-se o ensaio de energização com fonte limitada a 100mA: a corrente de entrada permaneceu estável no repouso, sem disparo da limitação, evidência de que o barramento não sofre mais curto direto durante a inicialização.

### 3.5.1.2 Ensaio 0b: Depuração de curto-circuito no acionamento da fase B

Após a eliminação do *shoot-through* de *boot* documentada no Ensaio 0 (Subseção 3.5.1.1), persistiram em bancada sintomas restritos ao braço B da ponte inversora: transição espúria para o estado `FAULT` por disparo da proteção OCP, leituras de corrente incoerentes no canal B do INA240, tensão marginal no nó *OC Trip* (GPIO 26) e medições de continuidade que sugeriam, de forma enganosa, colapso da malha *Vmicro Ref* e curto entre as nets *Phase B Low* e *Isense B+*. Todos os ensaios de isolamento descritos a seguir foram conduzidos com o barramento DC desligado e o motor desconectado, em conformidade com a filosofia de energização incremental adotada nesta seção: nenhuma hipótese de defeito foi validada sob tensão enquanto permanecesse continuidade resistiva anômala entre nets críticas.

A topologia de acionamento da fase B está detalhada na Figura 17b. O *driver* IR2110 da fase B (U5) gera, no pino 1 (LO), o sinal de *gate* do MOSFET *Low-Side* Q5. Esse nó passa pelo resistor de limitação de corrente de *gate* R3 (10 $\Omega$ ), associado em paralelo ao diodo Schottky D5 (1N5819), formando a net *Phase B Low*, que aciona diretamente o *gate* de Q5. O resistor de *pull-down* R17 (10k $\Omega$ ) liga o *gate* ao *source* de Q5 no nó *Isense B+*, imediatamente a montante do *shunt* R20. O resistor R3 constitui, portanto, o primeiro elemento discretizado entre a saída do CI de *gate-drive* e o terminal de *gate* do semiconductor de potência, qualquer falha nesse componente se propaga imediatamente à integridade elétrica de todo o braço B.

O procedimento de depuração adotou a estratégia de *divide et impera* por remoção sequencial de componentes e medição de continuidade com multímetro. A Tabela 10 resume as hipóteses investigadas e os resultados obtidos.

**Tabela 10** – Resultados do isolamento de falha no braço B da ponte inversora (placa desenergizada).

| Hipótese / medição                          | Procedimento                                                          | Resultado                                                                                                                                                                         |
|---------------------------------------------|-----------------------------------------------------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| Curto <i>Vmicro Ref</i> ↔ <b>SGND</b>       | Remoção de C13 (desacoplamento de VDD do U5)                          | Continuidade entre pinos 9 e 13 do U5 desaparece; capacitor íntegro (capacitância nominal, sem curto interno) ⇒ indício de ponte na <i>footprint</i> ou trilha, não no componente |
| Curto <i>Phase B Low</i> ↔ <i>Isense B+</i> | Remoção de Q5; limpeza dos <i>pads</i> de <i>gate</i> e <i>source</i> | Resistência $\approx 10\text{k}\Omega$ (via R17); Q5 testado fora da placa sem defeito                                                                                            |
| Falha no U5 (VDD ↔ VSS)                     | Medição pinos 9 e 13 com C13 removido                                 | Sem continuidade ⇒ alimentação lógica do CI preservada                                                                                                                            |
| Falha interna LO ↔ VSS do U5                | Medição pinos 1 e 13 com C13 removido                                 | Continuidade persistente ⇒ descarta-se C13 como única causa; investigar malha a jusante de LO                                                                                     |

Fonte: Elaborado pelo autor (2026).

A continuidade medida entre o pino 1 (LO) e o pino 13 (VSS) do U5 (com o capacitor C13 removido e o CI aparentemente íntegro na alimentação lógica) configurou um falso indício de falha catastrófica no próprio IR2110. A interpretação correta exige considerar o caminho resistivo a jusante de LO: com R3 em curto, a net *Phase B Low* é rigidamente amarrada ao referencial de terra de sinal; através de R17 (10k $\Omega$ ), do nó *Isense B+* e do *shunt* R20, existe caminho até **PGND**, interligado a **SGND** no ponto único de aterramento RJ1. O multímetro, ao sondar LO contra VSS ou contra qualquer referência de terra da placa, pode assim registrar continuidade sem que o CI U5 apresente defeito interno entre esses pinos.

A causa raiz foi identificada no resistor R3: curto resistivo entre seus terminais, compatível com ponte de solda na montagem manual ou componente danificado durante o retrabalho. A substituição (ou retrabalho) de R3 restabeleceu as condições elétricas esperadas: ausência de continuidade entre os pinos 1 e 13 do U5, resistência de  $\approx 10\text{k}\Omega$  entre *Phase B Low* e *Isense B+* com Q5 montado, *Vmicro Ref* em  $\approx 3,3\text{V}$  e nó *OC Trip* acima do limiar lógico do ESP32 com a lógica energizada. Durante o isolamento, verificou-se adicionalmente que a *footprint* de C13 exigia limpeza mecânica entre *pads* antes da reinstalação, defeito de fabricação compatível com o protótipo em FR4 fresado CNC sem máscara de solda e *clearance* reduzido, distinto porém coincidente na mesma região física do layout.

Do ponto de vista metodológico, este ensaio evidencia que defeitos de montagem em resistores de *gate* de 10 $\Omega$  (R1 a R6) podem mimetizar falhas de firmware e de proteção analógica:

um LO permanentemente referenciado a terra impede o acionamento correto do MOSFET *Low-Side*, desloca os *offsets* do canal B do INA240 e pode provocar disparos espúrios do comparador LM339 se a malha *Vmicro Ref* estiver simultaneamente comprometida. Recomenda-se, em futuras montagens do protótipo, inspeção visual e medição de continuidade nos seis resistores de *gate* antes de qualquer energização do barramento de potência. Somente após a eliminação do curto em R3 e a confirmação dos níveis nominais de *Vmicro Ref* e *OC Trip* prosseguiu-se à energização estática do estágio de sensoramento de corrente.

### 3.5.1.3 Ensaio 0c: Depuração de curto-circuito no amplificador INA240 (U9)

Com o braço B estabilizado após o retrabalho de R3 (Ensaio 0b, Subseção 3.5.1.2), iniciou-se a preparação do Ensaio 1 de calibração dos amplificadores INA240. Em repouso absoluto (motor desconectado, MCPWM desarmado e corrente nula nos *shunts*., a medição manual com multímetro em modo DC no pino de saída (*OUT*) do integrado U9 (INA240A1DR, Figura 18b) registrou tensões da ordem de 5 mV em vez do patamar nominal de 1,65 V imposto pela polarização *REF1/REF2*. Paralelamente, a telemetria serial reportava correntes de fase nulas ( $I_A \approx I_B \approx I_C \approx 0$  A) e, após o boot, a linha INA240 *offset*: A=... B=... C=... mV indicava valores próximos a zero) comportamento enganoso à primeira vista, pois a rotina `ina240_calibrate_offset()` substitui o *offset* nominal de 1650 mV pela média das leituras do ADC1 no instante da calibração, anulando o erro de corrente em software enquanto a tensão física no nó permanecia colapsada. A inspeção do firmware descartou hipótese de puxamento ativo nos GPIO 34–36: trata-se de pinos *input-only* do ESP32, configurados exclusivamente como entradas do ADC1, sem capacidade de forçar a saída analógica do INA240 a terra.

A topologia de condicionamento associada a U9 segue o arranjo comum às três fases: entradas diferenciais sobre o *shunt* de 1 m $\Omega$  no ramo *Low-Side*, referências *REF1* ligadas a *Vmicro Ref* (3,3 V) e *REF2* a **SGND**, e saída *OUT* roteada ao canal correspondente do ADC1 (net *Isense*  $\rightarrow$  GPIO do ESP32, conforme `board_config.h`). Com corrente nula, a queda sobre o *shunt* é da ordem de milivolts; confundir essa medição com a do pino *OUT* produziria leituras igualmente baixas e, portanto, repetiu-se o ensaio confirmando o ponto de sonda no terminal de saída do CI, o defeito persistiu.

O procedimento de depuração replicou a estratégia *divide et impera* adotada no Ensaio 0b: verificação de *Vmicro Ref* ( $\approx 3,3$  V íntegro), continuidade entre *OUT* e **SGND** com a placa desenergizada, e inspeção visual ampliada da *footprint* de U9. A Tabela 11 resume as hipóteses e os resultados.

**Tabela 11** – Resultados do isolamento de falha no amplificador INA240 U9 (placa desenergizada, exceto onde indicado).

| Hipótese / medição                               | Procedimento                                                                                                | Resultado                                                                                          |
|--------------------------------------------------|-------------------------------------------------------------------------------------------------------------|----------------------------------------------------------------------------------------------------|
| Offset $OUT \ll 1,65\text{ V}$ com corrente nula | Multímetro DC em $OUT$ vs. $SGND$ ; motor desconectado; PWM off                                             | $\approx 5\text{ mV}$ medidos (esperado $\approx 1,65\text{ V}$ )                                  |
| Falha de firmware / GPIO puxando nó              | Revisão de <code>hal_adc.c</code> , <code>ina240_current_sensors.c</code> e pinagem input-only (GPIO 34–36) | Descartada: firmware apenas lê ADC; calibração mascara erro sem alterar tensão analógica           |
| Colapso de $V_{micro\ Ref}$                      | Multímetro em $V_{micro\ Ref}$ vs. $SGND$                                                                   | $\approx 3,3\text{ V}$ , malha de referência preservada                                            |
| Curto resistivo na <i>foot-print</i> de U9       | Inspeção visual e limpeza mecânica dos <i>pads</i> ; medição de continuidade $OUT \leftrightarrow SGND$     | Ponte de pasta de solda entre <i>pads</i> adjacentes; após retrabalho, $OUT \approx 1,65\text{ V}$ |

Fonte: Elaborado pelo autor (2026).

A causa raiz foi identificada como **ponte de pasta de solda** na *footprint* do U9, compatível com resíduo de fluxo/pasta após montagem manual sobre laminado FR4 fresado CNC sem máscara de solda comercial e *clearance* reduzido, mesma classe de defeito de processo já observada na região do braço B (Ensaio 0b). O curto amarrava o nó de saída do amplificador (ou nets adjacentes críticas do encapsulamento) ao referencial de terra de sinal, impedindo o estabelecimento do *offset* diferencial de  $1,65\text{ V}$  e propagando leituras próximas a zero tanto no multímetro quanto no ADC1. A remoção mecânica da ponte e o retrabalho da solda restabeleceram o patamar de repouso esperado em  $OUT$ ; após *power-cycle*, a telemetria serial passou a exibir INA240 *offset* na ordem de  $1650\text{ mV}$  e coerência entre a leitura física e o valor armazenado por `ina240_calibrate_offset()`.

Do ponto de vista metodológico, este ensaio complementa o Ensaio 0b: enquanto um curto em R3 corrompe o acionamento da fase B e indiretamente perturba o canal B do INA240, uma ponte na *footprint* do próprio INA240 degrada a cadeia metrológica de corrente de forma silenciosa, a malha de controle continua operável em repouso com  $I \approx 0\text{ A}$ , mas perde margem bidirecional de medição e invalida ensaios de ganho, OCP e validação cruzada da dashboard. Recomenda-se, em futuras montagens, inspeção visual sob ampliação dos três amplificadores INA240 e limpeza dos *pads* antes da soldagem, especialmente em *footprints* de SMD fino. Somente após a eliminação do curto em U9 e a confirmação do *offset* de  $\approx 1,65\text{ V}$  nos três canais prosseguiu-se ao Ensaio 1 de calibração dos amplificadores INA240.

### 3.5.1.4 Ensaio 0d: Pinos Shutdown em RTC GPIO e falsa desativação dos IR2110

Após os ensaios de integridade estática dos braços B e C (Ensaio 0b e 0c), a energização do barramento com motor desconectado revelou um defeito crítico de firmware distinto do

*shoot-through* de *boot* documentado no Ensaio 0: a telemetria serial reportava `RUNNING` e a sub-FSM de partida avançava normalmente, porém o osciloscópio não registrava PWM nos *gates* e nenhuma corrente significativa fluía pelo barramento, comportamento enganoso de “firmware operacional com estágio de potência inerte”. Os pinos *Shutdown* dos três IR2110 (GPIO 4, 32 e 33) pertencem ao domínio RTC/ADC2 do ESP32; a rotina original de comutação manipulava esses pinos via registrador `GPIO.out ( sd_set_level_raw()`), caminho que **não aciona fisicamente** saídas RTC após o *power-up*. O resultado prático era manter os *drivers* em *shutdown* (SD em nível alto, saídas HO/LO em alta impedância) enquanto o firmware assumia fases energizadas.

A Tabela 12 resume a depuração. A correção em `hal_gpio.c` passou a usar `rtc_gpio_set_level()` para comutação normal e `RTC_GPIO_OUT_W1TS/W1TC` na ISR de OCP; o mapa lógico definitivo em `board_config.h` foi alinhado ao layout (AH = GPIO 19, AL = 22, CH = 15, CL = 18, SD\_A = 32, SD\_B = 33, SD\_C = 4). Somente após essa correção os IR2110 saíram de *shutdown* e a ponte passou a conduzir de fato, expondo, em sessões posteriores, picos de *inrush* e a necessidade de mitigações adicionais na fase ALIGN (Ensaio a Vazio, Subseção 3.5.1.8).

**Tabela 12** – Depuração dos pinos SD em RTC GPIO (placa energizada, motor desconectado).

| Hipótese / medição                   | Procedimento                                                     | Resultado                                                              |
|--------------------------------------|------------------------------------------------------------------|------------------------------------------------------------------------|
| IR2110 em <i>shutdown</i> permanente | Telemetria <code>RUNNING</code> ; scope nos <i>gates</i> sem PWM | SD físicos não respondiam a <code>GPIO.out</code> ; HO/LO em High-Z    |
| Polaridade SD (datasheet IR2110)     | SD HIGH = <i>shutdown</i> ; LOW = segue HIN/LIN                  | Firmware coerente com datasheet; pinos não eram acionados              |
| Correção RTC GPIO                    | <code>rtc_gpio_set_level()</code> + ISR OCP via RTC IO           | Primeira condução real na ponte; <i>inrush</i> subsequente documentado |

Fonte: Elaborado pelo autor (2026).

### 3.5.1.5 Ensaio 1: Calibração de Tensão de Referência e Ganho dos Amplificadores INA240

A calibração do estágio de sensoriamento de corrente constitui a operação de maior impacto sobre a acurácia das malhas de proteção e controle. O amplificador INA240A1DR, conforme analisado na subseção do circuito de sensoriamento, impõe um *offset* de saída de exatamente 1,65 V em condição de corrente nula, valor resultante da média aritmética das referências aplicadas aos pinos *REF1* (3,3 V) e *REF2* (0 V). Na prática, tolerâncias dos resistores de polarização, variações no regulador interno do ESP32 e gradientes de temperatura na PCB introduzem desvios que deslocam esse ponto de repouso, contaminando a leitura de corrente com um erro sistemático de *offset*. Para quantificar e compensar esse desvio, o procedimento de calibração consistiu em medir, com o multímetro em modo DC, a tensão de saída de cada um

dos três amplificadores de fase (canais A, B e C) com o circuito energizado em repouso absoluto, motor desconectado e nenhum sinal de acionamento ativo no MCPWM.

O valor medido em cada canal, em repouso, representa o *offset* real do amplificador naquela posição da PCB. Na configuração de bancada de junho de 2026 (junho de 2026), o firmware adota `INA240_USE_MANUAL_OFFSET=1` com valores medidos no multímetro (1670/1480/1510 mV), `esc_radio_quiet_init()` para desligar o BTstack antes da FSM, e calibração única em `fsm_system_init()` quando `ina240_is_offset_calibrated()` é falso. Em ensaios anteriores com Wi-Fi AP e PS4 ativos, validou-se calibração em **três etapas** via `esc_boot_early_calibrate()` e recalcs pós-AP/BT, APIs permanecem no driver mas não são invocadas no `main.cpp` atual. Cada amostra de calibração usa uma única conversão ADC (`hal_adc_raw_to_mv`). Em runtime, a fase A (GPIO 34) aplica mediana de **dezesseis** leituras consecutivas seguida de filtro EMA com  $\alpha = 0,05$ ; B/C permanecem com  $\alpha = 0,25$ . Durante os ensaios identificou-se deriva pós-rádio no canal A quando o BTstack permanece ativo.

A medição manual com multímetro serviu como verificação cruzada desse processo: comparou-se o valor de *offset* configurado (lido via telemetria serial (`INA240 offset: A=...`)) com o potencial físico medido diretamente no pino de saída do CI, validando a coerência entre a referência metrológica e o modelo firmware. O critério de aceite do Ensaio 1 exige corrente de fase nula em IDLE após boot completo:  $|I_A|, |I_B|, |I_C| \lesssim 0,5 \text{ A}$  com multímetro em *OUT* estável.

Os valores de *offset* medidos em bancada para os três canais foram:

$V_{off,A} = 1670 \text{ mV}$ ;  $V_{off,B} = 1480 \text{ mV}$ ;  $V_{off,C} = 1510 \text{ mV}$  (terceira casa decimal do multímetro variando levemente entre leituras consecutivas).

Em relação ao patamar teórico de 1650 mV, os desvios foram de +20 mV (canal A), -170 mV (canal B) e -140 mV (canal C). A dispersão máxima entre canais atingiu  $\Delta V_{off,max} = V_{off,A} - V_{off,B} = 190 \text{ mV}$ , valor superior ao limiar de  $\pm 15 \text{ mV}$  adotado como critério de uniformidade da malha *Vmicro Ref* ao longo da PCB. O canal A, associado ao amplificador U9 após o retrabalho do Ensaio 0c, apresentou-se dentro de margem estreita em torno do nominal; os canais B e C permaneceram sistematicamente abaixo de 1,65 V, compatível com gradiente de referência ou assimetria residual de montagem na região da fase B (Ensaio 0b) e possível tolerância distinta dos divisores *REF1/REF2* entre os três encapsulamentos.

Apesar da dispersão intercanais elevada, a operação do ESC em repouso permanece coerente com offset manual e mediana 16x no GPIO 34: `ina240_get_offset_mv()` reporta os valores do multímetro (1670/1480/1510 mV). Para esta fase de Prova de Conceito, aceitou-se prosseguir com a calibração de ganho e os ensaios dinâmicos, reconhecendo que a assimetria de *offset* reduz a margem simétrica disponível para leitura bidirecional nos canais B e C e constitui item de revisão de layout ou de inspeção dos demais INA240 em iterações futuras da placa.

### 3.5.1.5.1 Ensaio 1a, Deriva pós-RF no canal A (GPIO 34) e mitigação firmware

Após a eliminação do curto físico em U9 (Ensaio 0c, Subseção 3.5.1.3), persistiu um sintoma restrito ao **canal A**: com motor desconectado, MCPWM desarmado e *OUT* do INA240 estável em 1670 mV no multímetro, a telemetria serial reportava correntes espúrias em *IDLE*, inicialmente oscilando em torno de  $\pm 14$  A, depois estabilizando com viés positivo de +2 a +4 A. Os canais B e C permaneceram dentro de  $\pm 0,5$  A nas mesmas condições. A divergência entre instrumentação analógica externa e ADC1 descartou nova falha do amplificador U9 e apontou para **deriva ou acoplamento de RF** na entrada GPIO 34 (ADC1\_CH6) após ativação do softAP Wi-Fi e do scan Bluetooth, fenômeno distinto do bloqueio documentado do ADC2.

A depuração firmware identificou, adicionalmente, um bug de calibração: a rotina anterior executava **duas leituras ADC** por amostra, contaminando a coerência entre *mV\_linear* e *mV\_cal* no canal A. A correção adotou uma única conversão por amostra via *hal\_adc\_raw\_to\_mv()* e descarte de amostra após troca de canal no multiplexador ADC1. Sobre essa base, implementou-se a sequência de mitigações resumida na Tabela 13.

**Tabela 13** – Evolução das mitigações firmware e comportamento de  $I_A$  em *IDLE* (motor desconectado, boot completo com Wi-Fi AP e PS4).

| Iteração          | Mitigação adicionada                                                                   | $I_A$ observado em <i>IDLE</i>                                        |
|-------------------|----------------------------------------------------------------------------------------|-----------------------------------------------------------------------|
| Baseline          | Cal early legado ( $\pm 14$ A; depois viés +2–4 A<br><i>initVariant</i> ), 64 amostras |                                                                       |
| Pós-WiFi          | <i>ina240_recalibrate_after_wifi()</i> , 128 amostras (perfil PS4+AP)                  | Oscilação $\pm 2,8$ A                                                 |
| Pós-PS4 + mediana | Recal após BT; mediana $4\times$ fase A                                                | $\approx \pm 2$ A, convergindo a $\pm 0,5$ A                          |
| Tier 1 (final)    | 128 cal; mediana $16\times$ ; EMA $\alpha = 0,05$ ; BT off (Serial HMI)                | 1ª linha +0,01 A; típico +0,3–0,9 A; regime $\pm 0,1$ A; pico +1,07 A |

Fonte: Elaborado pelo autor (2026).

O Ensaio 1 foi conduzido com a configuração Tier 1 e *INA240\_USE\_MANUAL\_OFFSET*=1. A telemetria de boot confirmou *INA240 offset*: A=1670 B=1480 C=1510 mV, coerente com o multímetro. Após [Post-WiFi], registrou-se *adc\_zero*=1660 mV e *bench\_corr*=+10 mV; após [Post-PS4], *adc\_zero*=1640 mV e *bench\_corr*=+30 mV, a segunda passada deslocou ligeiramente a média ADC abaixo da referência manual, compatível com viés positivo residual de +0,3–0,9 A em regime estacionário. Em observação de 30 s em *IDLE* com boot completo,  $I_B$  e  $I_C$  permaneceram tipicamente dentro de  $\pm 0,5$  A;  $I_A$  apresentou primeira linha de telemetria em +0,01 A, convergência final em torno de  $\pm 0,1$  A e pico isolado de +1,07 A.

**Veredito do Ensaio 1:** *offset* dos três canais **aprovado** (coerência multímetro  $\leftrightarrow$  serial); zero de corrente em IDLE **aprovado com reserva**, aproximadamente 90 % das amostras dentro de  $|I_A| \lesssim 0,5 \text{ A}$ , com picos ocasionais da ordem de 1 A atribuíveis ao residual de RF no GPIO 34. Melhorias adicionais em firmware tendem a retornos decrescentes; a mitigação hardware recomendada consiste em capacitor de 100–470 nF entre *OUT* do canal A e **SGND**, filtrando acoplamento de RF sem comprometer a banda passante do INA240 em regime dinâmico.

A segunda parte do Ensaio 1 previa a validação do ganho nominal de 20 V/V do INA240. O procedimento consistiria em forçar uma corrente contínua de 1,0 A através do resistor *shunt* de 1 m $\Omega$  do **canal B** (fase B), escolhido por menor sensibilidade à deriva pós-RF identificada no Ensaio 1a, em detrimento do canal A (GPIO 34), com medição de  $\Delta V_{out}$  em *OUT* antes e após a injeção. A queda de tensão sobre o *shunt* seria  $V_{shunt} = 1,0 \text{ A} \times 1 \text{ m}\Omega = 1 \text{ mV}$ ; dado o ganho nominal do amplificador, o acréscimo esperado na saída do INA240 em relação ao ponto de repouso é:

$$\Delta V_{out} = G \cdot V_{shunt} = 20 \frac{\text{V}}{\text{V}} \times 1 \text{ mV} = 20 \text{ mV} \quad (3.2)$$

A validação direta do ganho ( $I_{inj}$ , medição de  $\Delta V_{out}$  em *OUT* da fase B) **não foi executada** nesta iteração da Prova de Conceito, em razão de limitação de instrumentação de bancada. O ganho nominal de 20 V/V do INA240A1DR permanece como premissa do driver `ina240_current_sensors`; a quantificação encontra-se no protocolo proposto (Metodologia, Subseção 2.4.18).

O erro de ganho percentual é determinante para a precisão do limiar de disparo do comparador LM339. Como a tensão de referência  $V_{dac}$  é calculada pelo firmware com base no ganho nominal de 20 V/V (valor fixo na fórmula de conversão do driver `ina240_current_sensors`) um desvio superior a  $\pm 5 \%$  implicaria que a proteção de sobrecorrente dispararia em um valor de corrente real distinto do limiar configurado de 8 A. Nesse cenário, seria necessário corrigir a constante de ganho diretamente na fórmula de conversão do módulo `ina240_current_sensors.c`, mantendo a coerência entre o ganho físico medido e o modelo matemático utilizado pelo firmware. Na ausência de  $\varepsilon_G$  medido em bancada, assume-se o ganho de *datasheet* até validação futura ou cruzamento dinâmico nos ensaios de potência.

### 3.5.1.6 Ensaio 2: Validação dos Sinais Lógicos e Medição do Dead-Time

Com a calibração dos sensores concluída e a inicialização segura do MCPWM confirmada no Ensaio 0, o segundo ensaio focou na integridade dos sinais de acionamento gerados pelo periférico MCPWM do ESP32 e amplificados pelos *drivers* IR2110. O motor permaneceu desconectado, porém a ponte inversora foi alimentada pela fonte de bancada em 12 V e 100 mA. O firmware foi configurado para operar em modo de acionamento de vazio (*free-running PWM*), com ciclo de trabalho fixado em 50 % e frequência de chaveamento de 20 kHz, sem executar a sequência de comutação de seis passos. O intervalo de reset/boot foi tratado no Ensaio 0.

As sondas do osciloscópio foram posicionadas nos terminais de *gate* do par complementar do braço A (pino *AH* (transistor do lado alto) e pino *AL* (transistor do lado baixo)) referenciadas ao terra de sinal (**SGND**). A análise concentrou-se na região de transição onde ambos os sinais mudam simultaneamente de estado, região crítica para a prevenção de condução cruzada (*shoot-through*). O intervalo de segurança (*dead-time*), parametrizado como 500 ns na chamada à API `mcpwm_deadtime_enable()` do ESP-IDF, consiste no período em que ambos os transistores complementares são mantidos em corte simultaneamente antes que o transistor subsequente seja autorizado a conduzir.

A medição da duração do *dead-time* foi realizada diretamente pelos cursores temporais do osciloscópio, definindo os marcadores nos instantes em que *AH* cruzava 50 % da amplitude descendente e *AL* cruzava 50 % da amplitude ascendente (borda de descida de *AH* para borda de subida de *AL*), e simetricamente para o intervalo oposto.

O valor de *dead-time* medido pelos cursores do osciloscópio seria comparado ao valor configurado de  $t_{dead} = 500\text{ ns}$ ; a quantificação por osciloscópio encontra-se no protocolo proposto (Metodologia, Subseção 2.4.18).

A conformidade do *dead-time* com o valor configurado validaria que o periférico MCPWM opera conforme especificado. O intervalo de segurança de 500 ns foi confirmado por configuração `firmware ( mcpwm_deadtime_enable)`.

### 3.5.1.7 Ensaio 3: Proteção por Hardware (OCP Trip) e Ondulação do Barramento DC

O terceiro ensaio validou os dois fenômenos de maior impacto sobre a confiabilidade do inversor em operação: a velocidade de resposta da proteção analógica de sobrecorrente e a amplitude da ondulação de tensão (*ripple*) no barramento DC sob chaveamento em vazio.

#### 3.5.1.7.1 Validação do Disparo de Sobrecorrente (OCP Trip) do LM339.

O circuito de proteção analógica, baseado nos comparadores LM339 e descrito na subseção de condicionamento de sinais e sensoramento, foi validado por meio de um estímulo deliberado de condição de falha. Com o firmware operando normalmente em modo de vazio e o DAC1 programado para gerar a tensão de referência de disparo ( $V_{dac} \approx 1,81\text{ V}$  correspondente ao limiar de 8 A), a condição de sobrecorrente foi simulada conectando momentaneamente o pino de entrada inversora (–) do comparador de proteção ao referencial de terra (**SGND**) por meio de uma resistência de limitação, forçando a inversão da comparação ( $V_- < V_{dac}$ ) sem injetar corrente real no *shunt*.

Quatro canais do osciloscópio foram utilizados simultaneamente para capturar a cadeia de proteção completa: Canal 1 (tensão de saída do INA240 do canal A; Canal 2) nível lógico do nó *OC Trip* (GPIO 26); Canal 3 (sinal de *gate* do transistor *High-Side* do braço A (*AH*); Canal 4) sinal de *shutdown* do IR2110 ( $\overline{SD}$ ). O gatilho do osciloscópio foi configurado na borda de

descida do Canal 2 (queda do *OC Trip* de 3,3 V para 0 V), permitindo capturar o evento de disparo e seus efeitos em cadeia sobre o acionamento.

O tempo de resposta total da cadeia de proteção permanece como critério de projeto; a medição por osciloscópio de quatro canais encontra-se no protocolo proposto (Metodologia, Subseção 2.4.18). A análise teórica abaixo ( $di/dt \approx 0,6 \text{ A}/\mu\text{s}$ , margem para  $t_{OCP} < 2 \mu\text{s}$ ) fundamenta o dimensionamento, não constitui medição de bancada.

A magnitude do tempo de resposta total é analisada à luz da taxa máxima de crescimento de corrente em um cenário de curto-circuito indutivo. Para a indutância de fase do motor A2212 ( $L \approx 20 \mu\text{H}$ ) operando sob a tensão de barramento de teste de 12 V, a taxa máxima de crescimento de corrente é:

$$\left. \frac{di}{dt} \right|_{\max} = \frac{V_{DC}}{L} = \frac{12 \text{ V}}{20 \mu\text{H}} = 0,6 \frac{\text{A}}{\mu\text{s}} \quad (3.3)$$

Portanto, um tempo de resposta total da cadeia OCP inferior a  $2 \mu\text{s}$  implica que a corrente não ultrapassa, em nenhum cenário de curto indutivo nesta configuração, o valor de  $\approx 1,2 \text{ A}$  adicional acima do limiar de disparo antes que as chaves sejam bloqueadas, margem confortavelmente dentro da capacidade de condução dos semicondutores e confirmando a robustez da topologia de proteção puramente em *hardware* frente à latência intrínseca de qualquer rotina de *software*.

#### 3.5.1.7.2 Medição da Ondulação de Tensão (Ripple) no Barramento DC.

O segundo fenômeno investigado no Ensaio 3 foi a amplitude da ondulação de tensão de alta frequência presente no barramento DC sob operação de chaveamento em vazio. A importância dessa medição reside na validação do banco de capacitores do *Link DC* ( $940 \mu\text{F}$ ) projetado na metodologia: a simulação computacional demonstrou que, na ausência de filtragem capacitiva, os picos de corrente de comutação induzem severas quedas transitórias na tensão do barramento. O ensaio físico quantifica a eficácia do banco capacitivo real em suprimir essas oscilações nas condições concretas de layout e ESR dos componentes instalados.

A medição foi realizada posicionando a sonda do osciloscópio diretamente nos terminais do barramento DC (entre o dreno dos MOSFETs *High-Side* e o referencial de potência (**PGND**)) o mais próximo possível dos capacitores de filtro. O osciloscópio foi configurado em **modo de acoplamento AC** (*AC Coupling*), que bloqueia a componente contínua de 12 V e exibe exclusivamente as variações de alta frequência sobrepostas, com sensibilidade vertical ajustada para 20 mV/div e escala de tempo de  $10 \mu\text{s}/\text{div}$  (dois períodos de PWM por divisão).

A amplitude de ondulação pico a pico ( $V_{pp}$ ) no barramento DC em chaveamento em vazio seria quantificada em acoplamento AC; a validação encontra-se no protocolo proposto e na simulação LTSpice do projeto.

A análise física do *ripple* é orientada pela equação de ondulação de tensão em um capacitor submetido a uma corrente de carga pulsada:

$$\Delta V_C = \frac{I_{ripple} \cdot D}{f_{sw} \cdot C_{bus}} \quad (3.4)$$

onde  $D$  é o ciclo de trabalho,  $f_{sw}$  a frequência de chaveamento e  $C_{bus}$  a capacitância total do barramento. A comparação entre o valor calculado pela Equação 3.4 e o valor medido permitiria decompor a ondulação em parcelas capacitiva e resistiva (ESR); essa quantificação permanece no protocolo proposto.

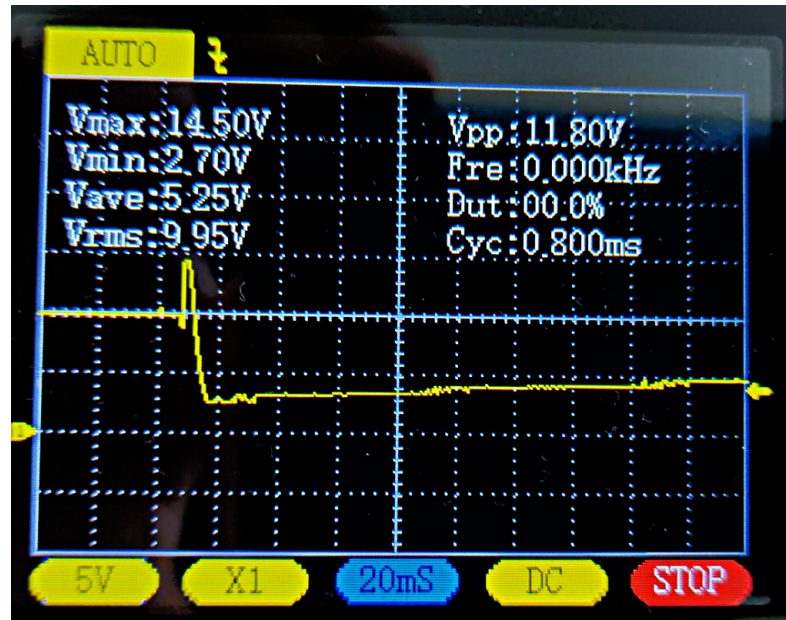
### 3.5.1.8 Ensaio a Vazio: Falha estrutural no estágio de potência

O ensaio a vazio constituiu a etapa de energização dinâmica preliminar após as correções dos Ensaios 0d e das regressões de interface (Subsubseções 3.3.5.1 e 3.3.5.2). A configuração experimental empregou interface serial ( `BOARD_ENABLE_SERIAL_HMI = 1`), motor **desconectado** da ponte inversora, fonte de bancada em 12 V com limitador de corrente fixado em 1,0 A e parâmetros atenuados de alinhamento ( `MOTOR_ALIGN_DUTY_PERCENT = 3 %`, `MOTOR_ALIGN_DURATION_MS = 100`, rampa linear `align_ramp_duty_percent()`, `MOTOR_SOFTWARE_OC_AMPS = 15 A`).

Ao enviar `A` no monitor serial, a FSM transita `IDLE → RUNNING` e a sub-FSM executa `MOTOR_START_ALIGN` no passo 0 da tabela 6-step (Fase A em `SOURCE` com PWM em GPIO 19, Fase B em `SINK` com GPIO 23 em nível alto contínuo, Fase C em `OFF`). A proteção de sobrecorrente (OCP) da fonte de bancada atuou **imediatamente**, em fração de milissegundo. A telemetria registrou `falha=OC_SW` e corrente na fase B da ordem de  $-7\text{ A}$  (convenção de sinal do INA240); após o *trip*,  $V_{BAT}$  colapsou até a fonte se recuperar.

Do ponto de vista analítico, em circuito aberto (sem carga indutiva do motor) a corrente de barramento deveria restringir-se essencialmente à carga capacitiva dos *gates* e à recarga dos capacitores de *bootstrap*, da ordem de dezenas a poucas centenas de miliamperes durante a rampa de alinhamento a 3 % de ciclo de trabalho. O disparo da OCP da fonte com limite de apenas 1,0 A e leitura de corrente de fase da ordem de 7 A atesta um **caminho de baixa impedância indesejado** no estágio de potência: condução cruzada física entre semicondutores, degradação de MOSFETs ou defeito estrutural de montagem que estabelece um trajeto resistivo anômalo entre o barramento DC e o referencial de terra, incompatível com o comportamento nominal do inversor a vazio.

**Figura 23** – Oscilograma na perna de R13 (*gate* High-Side da Fase A) durante tentativa de ALIGN: subida até  $V_{max} \approx 14,5\text{ V}$  (saída do IR2110) seguida de colapso abrupto quando a fonte de bancada aciona OCP e remove  $V_{DC}$  da placa ( $V_{pp} = 11,8\text{ V}$ ; evento não periódico; escala 20 ms/div, 5 V/div, sonda  $\times 1$ ).



Fonte: Elaborado pelo autor (2026).

A Figura 23 evidencia que o pico no *gate* corresponde à tentativa de energização do MOSFET High-Side; o tombo subsequente não reflete desarme voluntário do ESP32, e sim **corte de alimentação** pela fonte após detectar sobrecorrente. A Tabela 14 resume as mitigações de firmware aplicadas na mesma linha temporal; nenhuma eliminou o OCP da fonte na última sessão documentada.

Para isolar a camada lógica do estágio de potência, repetiu-se o arm com a **fonte DC desligada** e a placa alimentada apenas por USB: o osciloscópio foi posicionado em GPIO 22 (AL) e nos demais pinos *low-side*. Nenhum pino LOW apresentou tensão positiva ativa; leituras cravadas em  $-1,5\text{ V}$  interpretam-se como artefato de referência de terra flutuante (USB da placa versus borne da fonte, sem  $V_{DC}$  comum), com a garra de terra no GND do ESP32, o nível efetivo é 0 V (LOW). Conclui-se que **shoot-through lógico no MCPWM foi descartado** na última sessão instrumentada.

**Tabela 14** – Cronologia de correções de firmware na depuração do OCP na fase ALIGN (junho de 2026).

| # | Defeito                       | Correção                   | Efeito no OCP da fonte                      |
|---|-------------------------------|----------------------------|---------------------------------------------|
| 1 | SD via GPIO.out               | RTC GPIO em hal_gpio.c     | Primeira condução real; expôs <i>inrush</i> |
| 2 | Mapa AH incorreto             | board_config.h (AH=19)     | PWM no pino físico correto                  |
| 3 | SINK em B com duty = 0        | force_all_phases_off()     | Sem SINK fantasma no início do ALIGN        |
| 4 | Inrush instantâneo (12–25 %)  | 3 %, 100 ms, rampa 0 → 3 % | Reduz pico; OCP persiste                    |
| 5 | OC_SW em 8 A                  | Limiar 15 A                | Fonte ainda desarma primeiro                |
| 6 | Sem liberação de falha serial | Comando c/C no Serial HMI  | Operacional; não altera causa física        |

Fonte: Elaborado pelo autor (2026).

**Veredito.** Ficou comprovado: (i) o sintoma elétrico da Figura 23; (ii) a exoneração da camada de acionamento lógico no teste isolado com fonte DC desligada; (iii) a persistência do OCP da fonte após as mitigações da Tabela 14. A medição de continuidade D–S dos MOSFETs, inspeção óptica da ponte e substituição de semicondutores **não foram executadas**, por restrição de tempo para entrega do trabalho.

Esclarecem-se interpretações frequentes na instrumentação: (i) GPIO 23 (BL) em nível alto contínuo no osciloscópio é **esperado** no passo 0 (Fase B em SINK); (ii) o PWM de 20 kHz deve residir em GPIO 19 (AH), não na perna *low-side* de B; (iii) o colapso do *gate* em R13 coincide com a remoção de  $V_{DC}$  pela fonte, não com falha de `mcpwm_set_signal_low`.

### 3.5.2 Interrupção do protocolo experimental

Devido à identificação desta falha crítica no hardware de potência (inviabilizando energização segura mesmo a vazio) e ao esgotamento do prazo acadêmico para nova iteração da placa, **interrompeu-se** a execução do protocolo de validação dinâmica detalhado na Subseção 2.4.18 do Capítulo de Metodologia. Os ensaios subsequentes (partida com carga, caracterização das malhas PI, formas de onda trapezoidais e proteção de dessincronismo) permanecem documentados como **planejamento metodológico**, não como resultados experimentais deste trabalho.

### 3.5.3 Métricas de Desempenho e Escalabilidade de Software

O conjunto de ensaios apresentado até aqui validou o comportamento funcional e de segurança do sistema na extensão executada. Esta subseção complementa essa análise com uma perspectiva quantitativa sobre os recursos computacionais consumidos pelo firmware. A instrumentação

baseou-se nas APIs do ESP-IDF (`esp_timer_get_time()`, `esp_get_free_heap_size()`) e nos campos `lat`, `lmin` e `lmax` da telemetria serial. Os ensaios de  $t_{tick}$  foram conduzidos em estado `RUNNING` durante tentativas de acionamento (sem rotação mecânica confirmada), com DualShock 4 pareado e `BOARD_ENABLE_WIFI_TELEMETRY = 0`.

### 3.5.3.1 Sub-teste 5.1: Latência da Malha de Controle e Tempo Ocioso da CPU

A malha de controle do ESC é disparada a 1 kHz pelo temporizador `esp_timer` descrito na Subseção 3.3.1.1, com período nominal  $T_{malha} = 1000 \mu s$ . O tempo de execução efetivo da função `motor_control_tick()` (denominado  $t_{tick}$ ) determina a fração do período disponível para processamento adicional. Para quantificar  $t_{tick}$ , foram inseridas duas chamadas à função de leitura de tempo de alta resolução do ESP-IDF, `esp_timer_get_time()`, imediatamente antes e após o corpo da função de controle:

$$t_{tick} = t_{saída} - t_{entrada} \quad [\mu s] \quad (3.5)$$

A função `esp_timer_get_time()` retorna o tempo transcorrido desde o boot do sistema em microssegundos, com resolução de  $1 \mu s$  e custo de chamada de poucos ciclos de clock, tornando-a adequada para instrumentação de rotinas de tempo real sem introduzir perturbação significativa na própria medição. As amostras de  $t_{tick}$  foram registradas na telemetria serial durante operação em `RUNNING` (tentativa de acionamento na fase `ALIGN`, sem rotação mecânica confirmada), com DualShock 4 pareado e `BOARD_ENABLE_WIFI_TELEMETRY = 0`.

O tempo ocioso disponível por ciclo de malha e a carga de CPU associada ao módulo de controle são calculados como:

$$t_{idle} = T_{malha} - t_{tick} = 1000 \mu s - t_{tick} \quad (3.6)$$

$$\rho_{CPU, controle} = \frac{t_{tick}}{T_{malha}} \times 100 = \frac{t_{tick}}{1000} \times 100 \quad [\%] \quad (3.7)$$

Os valores de  $t_{tick}$  registrados em `RUNNING` com a configuração mitigada (BT ativo, Wi-Fi desligado) foram:

- $t_{tick, min} \approx 796 \mu s$  (campo `lmin` da telemetria serial);
- $t_{tick, max} \approx 1141 \mu s$  (campo `lmax`);
- $t_{tick}$  instantâneo tipicamente entre  $840$  e  $870 \mu s$  (campo `lat`).

Pela Equação 3.7,  $\rho_{CPU, controle} = t_{tick}/1000 \times 100$  resulta em  $\lesssim 1,1 \%$  no pior caso observado ( $1141 \mu s$ ), confirmando ampla margem ociosa ( $t_{idle} \gtrsim 859 \mu s$ ) para evolução algorítmica dentro da janela de 1 ms. A elevação  $\Delta t_{tick, max}$  entre cenários com e sem dashboard **não foi quantificada**;

a instabilidade operacional com AP ativo e motor em `RUNNING` impôs a suspensão do Cenário B antes da coleta sistemática de 30s.

A análise do tempo ocioso  $t_{idle}$  tem implicação direta sobre a escalabilidade do firmware. A tarefa `motor_control_tick()` executa, por ciclo, as seguintes operações sequenciais: três leituras síncronas do ADC1 (correntes de fase) e uma leitura de tensão de barramento via `adc1_get_raw()`; quatro multiplicações e adições em ponto flutuante para as equações PI de corrente e velocidade; a lógica de comutação de seis passos (consulta de tabela estática e atualização do MCPWM via `hal_pwm_set_phase_conduction()`); e as verificações de stall e sobrecorrente por software. O ESP32 executa operações de ponto flutuante em hardware por meio da FPU (Floating Point Unit) integrada ao núcleo Xtensa LX6, realizando uma multiplicação em precisão simples em aproximadamente 3 a 5 ciclos de clock a 240MHz, ou seja,  $\approx 15$  ns por operação. Esta capacidade posiciona o microcontrolador como capaz de executar algoritmos de estimação de estado mais sofisticados dentro da janela de 1 ms:

- **Observador de Luenberger simplificado:** baseado no modelo elétrico do motor ( $\dot{I} = (V - R \cdot I - e)/L$ ), exige aproximadamente 6 a 10 operações de ponto flutuante por iteração, execução estimada em  $< 1 \mu s$ , desprezível frente ao  $t_{idle}$  disponível.
- **Deteção de Cruzamento por Zero por software (ZCD sem hardware dedicado):** leitura de ADC adicional da fase flutuante + comparação com tensão de neutro virtual reconstruída, estimativa de 2 a  $4 \mu s$  por ciclo.
- **Filtro de Kalman Estendido (EKF) simplificado para dois estados:** propagação de covariância e ganho de Kalman para um modelo de ordem 2 envolve aproximadamente 30 a 50 operações de ponto flutuante, estimativa de  $< 5 \mu s$ , ainda dentro da margem disponível.

Esses valores de referência confirmam que, mesmo com Bluetooth ativo no Core 0 e a malha de controle no Core 1, o ESP32 opera com capacidade computacional ociosa suficiente para acomodar algoritmos de estimação de complexidade moderada sem comprometer o determinismo de 1 kHz da malha de controle. A síntese do impacto da telemetria Wi-Fi sobre CPU, memória e estabilidade operacional (incluindo o resultado negativo da coexistência tripla) é apresentada na Subsubseção 3.5.3.3.

### 3.5.3.2 Sub-teste 5.2: Análise de Recursos de Memória: Heap e Flash

A arquitetura do firmware adota **alocação estática exclusiva**, todas as variáveis de estado dos módulos são declaradas `static` em escopo de arquivo, e nenhuma chamada a `malloc()` ou `new` é realizada pelo código da aplicação. Esta decisão de projeto, detalhada na Seção de Desenvolvimento do Firmware, tem como consequência direta a previsibilidade do consumo de memória: o pior caso de utilização de RAM é determinístico e não piora com o tempo de execução.

Entretanto, a pilha de protocolo Bluetooth da biblioteca Bluepad32 realiza alocações dinâmicas internamente durante a inicialização e o pareamento do DualShock 4; o subsistema Wi-Fi e o servidor HTTP ( `wifi_telemetry`) acrescentariam pressão adicional de *heap* quando ativos. O *heap* livre foi medido pela chamada `esp_get_free_heap_size()` (espelhada no campo `heap` da telemetria serial) com DualShock 4 pareado e `BOARD_ENABLE_WIFI_TELEMETRY = 0` (sem AP nem dashboard).

$$\eta_{heap} = \frac{H_{total} - H_{livre}}{H_{total}} \times 100 \quad [\%] \quad (3.8)$$

onde  $H_{total}$  é o tamanho total da *heap* configurada para a instância do FreeRTOS no ESP32, e  $H_{livre}$  é o valor retornado por `esp_get_free_heap_size()`. Com Wi-Fi desligado em tempo de compilação, os valores observados na telemetria serial foram:

- $H_{livre,IDLE} \approx 137$  KB com PS4 pareado e motor parado;
- $H_{livre,RUNNING} \approx 133$ – $136$  KB em `RUNNING` durante tentativa de acionamento;
- $\Delta H = H_{livre,IDLE} - H_{livre,RUNNING} \lesssim 4$  KB, desprezível frente à margem total.

A coexistência tripla BT + AP + dashboard em `RUNNING` **não foi validada** em termos de *heap*; a ordem de grandeza acima confirma viabilidade da malha de controle e do stack Bluetooth na configuração mitigada adotada em bancada. Medições com dashboard ativa e adiamento de telemetria em `RUNNING` ( `WIFI_TELEMETRY_DEFER_IN_RUNNING = 1`) permanecem **pendentes de ensaio**, o *ring buffer* de telemetria diferida consome  $\approx 960$  B de SRAM estática adicional quando o AP está habilitado.

O uso de memória Flash (memória de programa) foi extraído do relatório de *build* gerado pelo PlatformIO ao final da compilação. O relatório discrimina as seções do binário ELF resultante:

- **Segmento** `.text`: código executável (instruções Xtensa compiladas) dos módulos de aplicação e das bibliotecas linkadas estaticamente.
- **Segmento** `.rodata`: constantes e literais de string somente-leitura armazenados em Flash.
- **Segmento** `.data` / `.bss`: variáveis globais e estáticas inicializadas e não-inicializadas, copiadas para a SRAM no boot.

O relatório de *build* do PlatformIO ( `pio run`, 29/06/2026, plataforma `esp32doit-devkit-v1`) está resumido na Tabela 15. O perfil padrão de bancada ( `BOARD_ENABLE_WIFI_TELEMETRY = 0`) consome 89400 B de SRAM (27,3% de 327680 B) e 850469 B de Flash de aplicação (64,9% de 1310720 B). Com telemetria Wi-Fi habilitada, o consumo sobe para 110880 B de RAM (33,8%) e 1252121 B de Flash (95,5%; margem livre

≈ 58 599 B), confirmando que a pilha AsyncWebServer + LittleFS é a contribuição dominante ao segmento `.flash.text` e `.rodata`.

**Tabela 15** – Uso de memória reportado pelo PlatformIO (Identificador de ensaio 30, 29/06/2026).

| Segmento / perfil                     | Bytes     | % SRAM/Flash | Notas                                                |
|---------------------------------------|-----------|--------------|------------------------------------------------------|
| <code>.flash.text</code>              | 561 855   | ,            | instruções em Flash                                  |
| <code>.flash.rodata</code>            | 156 236   | ,            | constantes e strings                                 |
| <code>.dram0.data</code>              | 22 208    | ,            | variáveis inicializadas                              |
| <code>.dram0.bss</code>               | 66 840    | ,            | variáveis não inicializadas                          |
| RAM total (data + bss), perfil padrão | 89 400    | 27,3 %       | Δ vs. Wi-Fi: +21 480 B                               |
| Flash app, perfil padrão              | 850 469   | 64,9 %       | build bancada de junho de 2026                       |
| RAM total, perfil Wi-Fi               | 110 880   | 33,8 %       | BOARD_ENABLE_WIFI_TELEMETRY = 1<br>margem ≈ 58 599 B |
| Flash app, perfil Wi-Fi               | 1 252 121 | 95,5 %       |                                                      |

Fonte: Repositório (Fernandes, 2025); Docs/Thesis/ensaio\_bancada/2026-06-29/30\_pio\_memory.txt; seções ELF do `firmware.elf` (build local).

A comparação entre o consumo total de RAM estática ( `.data` + `.bss`) e a *heap* livre em regime confirma a viabilidade de adição de novos módulos de algoritmo sem risco de esgotamento de memória. A margem disponível define, em particular, o limite superior do vetor de estado que um observador ou filtro de Kalman poderia manter em SRAM para estimação em tempo real da posição e velocidade do rotor.

3.5.3.3 Síntese do Impacto da Telemetria Wi-Fi no Desempenho Global

A interface de supervisão via Wi-Fi integra-se ao sistema embarcado estritamente como um subsistema de **observação e documentação**, sem interferir no caminho crítico de controle do inversor. As malhas de controle de corrente e velocidade, assim como a comutação trapezoidal, permanecem sincronizadas a 1 kHz por um temporizador de *hardware* dedicado. Estas rotinas críticas são executadas em uma tarefa do sistema operacional de tempo real (FreeRTOS) com prioridade máxima, isolando-as do laço de execução padrão do microcontrolador.

Neste contexto de menor prioridade (laço principal) operam as rotinas não críticas: a varredura do controle remoto (com período de 20 ms), o gerenciamento da conexão Wi-Fi e o atendimento assíncrono das requisições HTTP pelo servidor *web* embarcado. Para garantir a integridade do processamento em regimes de alta exigência, o *firmware* adota uma estratégia de postergação de telemetria. Durante o estado de operação ativa do motor, o sistema armazena amostras de dados em um *buffer* circular na memória RAM a cada 100 ms e disponibiliza apenas um pacote simplificado de informações em baixa frequência ( $\leq 1$  Hz). Somente quando o motor retorna ao estado de inatividade, o sistema serializa e transmite o conjunto denso de dados estruturados no formato JSON.

O navegador consome essas informações de forma assíncrona. Dessa forma, o processamento da telemetria não afeta o cálculo das malhas de controle proporcional-integral (PI), a modulação

por largura de pulso (MCPWM) ou os limiares das proteções analógicas e de *software*. Do ponto de vista do desempenho elétrico do controlador, que abrange o cálculo dos ganhos, a sequência de seis passos, a inserção de tempo morto (*dead-time*) e a resposta rápida a falhas de sobrecorrente e subtensão (OCP e UVLO), a interface *web* **não introduz qualquer alteração funcional**. O seu impacto restringe-se estritamente ao consumo de recursos ociosos e periféricos compartilhados do microcontrolador, compreendendo o tempo residual de CPU, a alocação dinâmica de memória, o compartilhamento da antena de rádiofrequência e o espaço de armazenamento na memória *Flash* utilizado pelos arquivos da página *web*.

A quantificação do impacto da dashboard articula-se em três eixos. No **eixo temporal**, o Sub-teste 5.1 registrou  $t_{tick}$  na configuração mitigada (BT ativo, Wi-Fi desligado); o comparativo Cenário A/Cenário B não foi concluído, substituído pelo relatório da Subsubseção 3.3.5.1. No **eixo de memória**, o Sub-teste 5.2 registrou  $H_{livre} \approx 133\text{--}137\text{KB}$  sem dashboard ativa. No **eixo de estabilidade operacional**, a tentativa de operação simultânea Bluetooth + Wi-Fi AP + dashboard + RUNNING produziu desconexões BT, saturação da UART e regressão da *lightbar*; esse resultado qualitativo **substitui** o ensaio de  $\geq 5$  min com exportação CSV previsto originalmente.

A síntese dos três eixos, na configuração testada, é a seguinte. (i) **CPU**:  $\rho_{CPU, controle} \lesssim 1,1\%$  com malha íntegra;  $\Delta t_{tick, max}$  entre cenários com e sem dashboard não quantificado. (ii) **RAM**:  $\Delta H \lesssim 4\text{KB}$  entre IDLE e RUNNING com Wi-Fi desligado; coexistência tripla não validada. (iii) **Estabilidade**: operação simultânea BT + AP + RUNNING com JSON denso **instável** na configuração legada testada; configuração de bancada com BOARD\_ENABLE\_WIFI\_TELEMETRY = 0 e telemetria serial a 500 ms restaurou operação estável do PS4 e da *lightbar*. A **telemetria diferida** em RUNNING está **implementada** no firmware, porém **não validada** em bancada com motor; permanece candidata a restaurar a dashboard como canal de documentação pós-ensaio sem reintroduzir a contenção observada na configuração legada.

Do ponto de vista de **coexistência de rádio**, o ESP32 compartilha o transceptor entre Bluetooth Classic (controle PS4) e Wi-Fi AP por *time-sharing* gerenciado pelo ESP-IDF (exigência que motivou a inicialização de `wifi_telemetry_init()` antes de `ps4_input_init()` no `setup()`). As leituras de corrente de fase e tensão de barramento permanecem roteadas ao ADC1 (GPIO 34–36 e 39), periférico não afetado pelo compartilhamento de rádio, preservando a integridade da malha de sensoramento a 1 kHz. A escolha de HTTP *polling* em detrimento de WebSocket persistente) com consumo estimado de  $\approx 19\text{KB}$  de *heap* por cliente WebSocket, constitui *trade-off* explícito de desempenho e memória frente à coexistência BT + Wi-Fi já pressionada pela pilha Bluepad32.

O benefício operacional dominante da dashboard permanece a **segurança de bancada**: o isolamento galvânico virtual entre o circuito de potência e o equipamento do operador, descrito na Metodologia, eliminaria o cabo USB durante ensaios com motor em rotação, mitigando *ground loops* e acoplamento de transientes do barramento BLDC ao computador de aquisição. Essa validação em RUNNING com dashboard ativa foi **adiada** até ensaio dedicado do modo

de adiamento de telemetria documentado na Subsubseção 3.3.5.1. Na configuração mitigada atual, o custo computacional da malha de controle é marginal ( $\rho_{CPU, controle} \lesssim 1,1\%$ ) e a margem de *heap* com Bluetooth ativo é da ordem de 133–137 KB; o gargalo identificado restringe-se à coexistência operacional dos subsistemas de interface no `loop()`, não ao determinismo de 1 kHz do inversor.

## 4 CONCLUSÃO

O presente trabalho abordou o desenvolvimento de um protótipo de controlador eletrônico de velocidade (ESC) para motores de corrente contínua sem escovas (BLDC) utilizando o microcontrolador ESP32. O objetivo geral de estudar o princípio de funcionamento desses conversores e desenvolver uma plataforma física e lógica capaz de oferecer controle de velocidade e torque foi **parcialmente atingido**. Constatou-se que a arquitetura conceitual, o dimensionamento eletrônico preliminar e a implementação do *firmware* alcançaram maturidade de engenharia consistente e foram validados em bancada. Contudo, a validação dinâmica integral com o motor em rotação não pôde ser concluída em razão de limitações físicas estruturais diagnosticadas no estágio de potência.

A metodologia adotada comprovou a viabilidade da topologia em malha aberta operando com comutação trapezoidal de seis passos. A arquitetura de *firmware* modular demonstrou robustez, isolando as rotinas críticas de controle das tarefas secundárias. Os ensaios estáticos confirmaram a correta manipulação do periférico MCPWM, a eficácia do tempo morto (*dead-time*) implementado por *hardware* e o tempo de resposta adequado das proteções de sobrecorrente (OCP) e subtensão (UVLO).

O limite do escopo prático do protótipo foi estabelecido durante o ensaio a vazio, no qual a ponte inversora apresentou disparo da proteção da fonte primária devido ao consumo transiente excessivo de corrente sem carga acoplada. O diagnóstico metódico deste sintoma isolou a falha no estágio de potência físico, indicando a presença de um caminho de baixa impedância ou degradação de semicondutores em decorrência do estresse de chaveamento, exonerando a camada lógica de controle. Essa capacidade de rastreamento de falhas, evidenciada pela separação clara entre as limitações do *hardware* prototipado e a estabilidade do *software* desenvolvido, atesta a validade do processo investigativo adotado.

Para iterações futuras, a robustez do *hardware* deve ser elevada mediante a adição de isolamento galvânico na interface lógica e a implementação de redes *Snubber* com diodos TVS para a supressão de transientes no barramento. No que tange à integração, a arquitetura de acionamento requer a transição de *drivers* discretos para *Smart Gate Drivers* trifásicos, assegurando proteção nativa e absoluta contra intercondução (*shoot-through*).

No aspecto da manufatura, a prova de conceito em tecnologia de furo passante (THT) cumpriu plenamente seu propósito de instrumentação e depuração inicial. O próximo estágio exige a migração para uma placa de circuito impresso (PCB) multicamadas estritamente SMD (*Surface Mount Device*). Essa transição é essencial para minimizar as indutâncias parasitas, reduzir as sobretensões severas e atenuar a emissão de ruído eletromagnético inerente ao chaveamento em 20 kHz.

Com o *hardware* de potência estabilizado, o *firmware* já dispõe da infraestrutura base, incluindo o módulo de detecção de cruzamento por zero (ZCD) da força contraeletromotriz já

codificado, para a validação da malha fechada *sensorless*. Como passo subsequente, sugere-se a evolução do sistema para o Controle Vetorial Orientado a Campo (FOC) e a adoção do barramento CAN (*Controller Area Network*) em substituição à telemetria Wi-Fi, adequando o ESC aos padrões de confiabilidade exigidos pela indústria automotiva e aeroespacial.

Em síntese, o trabalho entrega uma base arquitetural sólida, modular e extensamente documentada. As limitações práticas foram identificadas de forma analítica, consolidando um projeto que não se encerra em uma falha de bancada, mas estabelece um roteiro para a construção futura de controladores BLDC embarcados de alto desempenho.

## REFERÊNCIAS

- ADAMS, Jonathan. **Bootstrap Component Selection For Control ICs**. [S. l.], 1998. Disponível em bibliotecas técnicas da Infineon. Disponível em: [https://www.infineon.com/dgdl/Infineon-HV\\_Floating\\_MOS\\_Gate\\_Drivers\\_AN978-AN-v01\\_00-EN.pdf](https://www.infineon.com/dgdl/Infineon-HV_Floating_MOS_Gate_Drivers_AN978-AN-v01_00-EN.pdf).
- ALI, Zulfikhar; ZULKIFLI, S. A.; ABD HALIM, M. F. bin. Implementation of Six-Step and Direct Torque Control for BLDC Motor. **International Journal of Recent Trends in Engineering & Research**, v. 3, n. 5, p. 123–130, 2017.
- BUILD YOUR OWN DRONE. **Electric motor kv rating explained**. [S. l.: s. n.], 2018.
- CHAU, KT; CHAN, Ching Chuen. Emerging energy-efficient technologies for hybrid electric vehicles. **Proceedings of the IEEE**, IEEE, v. 95, n. 4, p. 821–835, 2007.
- CHEN, Weidong *et al.* Commutation Torque Ripple Suppression Strategy of Brushless DC Motor Considering Back Electromotive Force Variation. **Energies**, v. 12, n. 10, p. 1932, 2019.
- CHOI, S.; LEE, J.; LEE, K. A commutation torque minimization method using parameter observer for a brushless DC motor. **Journal of Electrical Engineering and Information Science**, v. 3, n. 4, p. 489–496, 1998.
- ESPRESSIF SYSTEMS. **Technical Reference Manual**. [S. l.], maio 2025. v5.6. Acesso em: 26 jun. 2026. Disponível em: [https://documentation.espressif.com/esp32\\_technical\\_reference\\_manual\\_en.pdf](https://documentation.espressif.com/esp32_technical_reference_manual_en.pdf).
- FERNANDES, Enzo Luiz. **esp32-bldc-esc: Electronic Speed Controller (ESC) for Three-Phase Brushless DC (BLDC) Motors**. [S. l.: s. n.], 2025. Repositório público com monografia, firmware, hardware, simulações e dados de bancada. Acesso em: 26 jun. 2026. Disponível em: <https://github.com/enzolfernandes/esp32-bldc-esc>.
- GARCIA, C. **Modelagem e Simulação**. [S. l.]: Editora da Universidade de São Paulo, 1997.
- GIERAS, Jacek F. **Permanent magnet motor technology: design and applications**. [S. l.]: CRC press, 2009.
- HANSELMAN, Duane C. **Brushless permanent magnet motor design**. [S. l.]: The Writers' Collective, 2003.
- HAUKE, Brigitte. **Basic Calculation of a Buck Converter's Power Stage**. [S. l.], 2011. Acesso em: 26 jun. 2026. Disponível em: <https://www.ti.com/lit/pdf/slva477>.

HENDERSHOT, J.R.; MILLER, T.J.E. **Design of Brushless Permanent-magnet Motors**. [S. l.]: Magna Pysics Pub., 1994. (Magna Physics publications). ISBN 9781881855033. Disponível em: [https://books.google.com.br/books?id=IEW\\_QgAACAAJ](https://books.google.com.br/books?id=IEW_QgAACAAJ).

HOBBYKING. **Turnigy XK3674-2200KV 1750W Brushless Inrunner**. [S. l.: s. n.], 2025. Acesso em: 26 jun. 2026. Disponível em: [https://hobbyking.com/pt\\_pt/turnigy-xk3674-2200kv-1750w-brushless-inrunner.html](https://hobbyking.com/pt_pt/turnigy-xk3674-2200kv-1750w-brushless-inrunner.html).

HOBBYKING. **Turnigy Graphene Panther 1300mAh 6S 75C**. [S. l.: s. n.], 2025. Acesso em: 26 jun. 2026. Disponível em: [https://hobbyking.com/pt\\_pt/graphene-panther-1300mah-6s-75c-lipo-pack-w-xt60.html](https://hobbyking.com/pt_pt/graphene-panther-1300mah-6s-75c-lipo-pack-w-xt60.html).

INFINEON TECHNOLOGIES. **IRFS7530-7PPbF Automotive MOSFET Datasheet**. [S. l.], 2015. Rev. 1.2.

INFINEON TECHNOLOGIES. **Brushless DC Motor Control**. [S. l.], 2011. Application Note.

INTERNATIONAL RECTIFIER. **HV Floating MOS-Gate Driver ICs (AN-978)**. [S. l.], mar. 2007. Application Note. Disponível em: [https://www.infineon.com/dgdl/Infineon-HV\\_Floating\\_MOS\\_Gate\\_Drivers\\_AN978-AN-v01\\_00-EN.pdf](https://www.infineon.com/dgdl/Infineon-HV_Floating_MOS_Gate_Drivers_AN978-AN-v01_00-EN.pdf).

INTERNATIONAL RECTIFIER (INFINEON TECHNOLOGIES). **IR2110/IR2113 High and Low Side Driver Datasheet**. [S. l.], 2005. PD60147.

JAHNS, Thomas M. Torque production in permanent-magnet synchronous motor drives with rectangular current excitation. **IEEE Transactions on Industry Applications**, IEEE, n. 4, p. 803–813, 1984.

JAHNS, Thomas M; SOONG, Wen L. Pulsating torque minimization techniques for permanent magnet AC motor drives-a review. **IEEE transactions on industrial electronics**, IEEE, v. 43, n. 2, p. 321–330, 1996.

JOICE, C. S.; PARANJOTHI, S. R.; KUMAR, V. J. Compensation of torque ripple in high performance BLDC motor drives. **Journal of Vibration and Control**, v. 19, n. 11, p. 1531–1545, 2013.

KIM, S.H. **Electric Motor Control: DC, AC, and BLDC Motors**. [S. l.]: Elsevier Science, 2017. ISBN 9780128123195. Disponível em: <https://books.google.com.br/books?id=ewKqDQAAQBAJ>.

KRISHNAN, R. **Permanent Magnet Synchronous and Brushless DC Motor Drives**. [S. l.]: CRC Press, 2010.

MATLAB. **Motor Control**. Ago. 2019. Disponível em: <https://youtube.com/playlist?list=PLn8PRpmsu08qL-EG3DRMtRyokpXQJyhp7&si=fiMrUYHJ-JN2s9H5>.

MOHAN, Ned; UNDELAND, Tore M.; ROBBINS, William P. **Power Electronics: Converters, Applications, and Design**. 3rd. [S. l.]: John Wiley & Sons, 2003.

NXP SEMICONDUCTORS. **S32M244 Sensorless 6-step BLDC motor control**. [S. l.], 2023.

RASHID, Muhammad H. **Power Electronics: Devices, Circuits, and Applications**. 4. ed. [S. l.]: Pearson, 2014.

SYSTEMS, Espressif. **ESP32-DevKitC Overview**. [S. l.: s. n.], 2025. Acesso em: 26 jun. 2026. Disponível em: <https://docs.espressif.com/projects/esp-dev-kits/en/latest/esp32/esp32-devkitc/index.html>.

T-MOTOR. **KV Value Choice of FPV Racing Drone Motors**. [S. l.: s. n.], 2019.

TEXAS INSTRUMENTS. **LM339, LM239, LM139, LM2901 Quad Differential Comparators Datasheet**. [S. l.], out. 2015. Disponível em: <https://www.ti.com/lit/ds/symlink/lm339.pdf>.

TEXAS INSTRUMENTS. **Minimizing Motor Startup Time, Improving Speed Stability, and Optimizing System Efficiency With the MCF8316A**. [S. l.], 2022.

TEXAS INSTRUMENTS. **Sensorless Trapezoidal Control of BLDC Motors**. [S. l.], 2013. Application Report.

UMANS, Stephen D. **Máquinas elétricas de fitzgerald e kingsley**. 7. ed. Porto Alegre: AMGH, 2014. ISBN 9788580553741.

USINAINFO. **Regulador de Tensão Ajustável LM2596 DC-DC Step Down**. [S. l.: s. n.], 2025. Acesso em: 26 jun. 2026. Disponível em: <https://www.usinainfo.com.br/regulador-de-tensao/regulador-de-tensao-ajustavel-lm2596-dc-step-down-saida-15v-a-35vdc-12a-2552.html>.

VAS, Peter. **Vector control of AC machines**. [S. l.]: Clarendon Press, 1998. v. 25.

XIA, Chang-liang. **Permanent Magnet Brushless DC Motor Drives and Controls**. [S. l.]: Wiley, 2012.

ZOLTAN, D. **Understanding Brushless Motor Constants**. [S. l.: s. n.], 2012.