

UNESP
Faculdade de Engenharia de Guaratinguetá

Guaratinguetá

1997



unesp  UNIVERSIDADE ESTADUAL PAULISTA

**Faculdade de Engenharia
Departamento de Engenharia Elétrica**

**Campus de Guaratinguetá
Av. Prof. Ariberto Pereira da Cunha, 333
12500 - Guaratinguetá - SP**

**CARO LEITOR NÃO
RISQUE O LIVRO**

**Projeto de uma Memória Analógica em
Tecnologia CMOS e sua Aplicação em Redes
Neurais**

Prof. Dr. Jader Alves de Lima Filho

**FACULDADE DE ENGENHARIA
DE GUARATINGUETA
BIBLIOTECA**

Dissertação Apresentada ao Departamento de Engenharia Elétrica da Faculdade de Engenharia, Campus de Guaratinguetá, Universidade Estadual Paulista, para a Obtenção do Título de Livre-Docente.

Julho - 1997

338

338

T681.3(093)
L732 p



Handwritten notes at the top left of the page, including the number '791 0142' and '338'.

Stamp from the 'Campus de Guararãguetã' and 'Projeto de uma Memória Analógica'.

Stamp with the text 'CARO LEITOR NÃO RISCOU O LIVRO'.

Barcode label with the number '1110000338' and a barcode.

Stamp from 'BIBLIOTECA FACULDADE DE ENGENHARIA DE GUARARãGUETã'.

Handwritten number '338' at the bottom left.

Handwritten date 'Julho - 1997' at the bottom center.



ÍNDICE

I. <u>Introdução</u>	1
II. <u>Descrição do Sistema</u>	5
2.1 Arquitetura da Memória Analógica	6
2.2 Diagramas de Tempo (<i>Timing</i>) dos Sinais de Controle	7
2.3 Ciclo de Inicialização	10
III. <u>Especificação e Projeto da Memória Analógica</u>	11
3.1 Constante de Tempo do Copiador de Corrente	11
3.2 Imprecisão do Copiador de Corrente	13
3.2.1 Injeção de Cargas	13
3.2.2 Condutância de Saída	14
3.2.3 Ruído Intrínseco	15
3.2.4 Ruído Acoplado das Alimentações	16
3.2.5 Correntes de Fuga	17
3.3 Célula de Memória: Circuito e Dimensionamento	17
3.3.1 Projeto da Célula de Memória	21
3.3.1.a Período de <i>Refresh</i>	21
3.3.1.b Tempo de Descarga de C_{cell}	22
3.3.1.c Constante de Tempo τ_c	22
3.3.1.d Efeito das Correntes de Fuga em I_{cell}	23
3.3.1.e Transistor M_1 na Região Triodo	23
3.3.1.f Dimensionamento da Célula de Memória	23
3.3.2 Resultados de Simulação	24
3.4 Circuito de <i>Refresh</i>	25
3.4.1 Efeito de I_{cell} nas Correntes de Fuga	25
3.4.2 Gerador de Corrente ΔI	26
3.4.2.1 Resultados de Simulação	27
3.4.3 Gerador de Corrente I_{REF}	28
3.4.3.1 Resultados de Simulação	29
3.4.4 Simulação do Sistema de <i>Refresh</i>	30
3.5 Decodificador de Endereços	32
3.5.1 Resultados de Simulação	33
3.6 Conversor D/A	34
3.6.1 Parte Analógica	34
3.6.1.1 Resultados de Simulação	38
IV. <u>Aplicação da Memória Analógica na Síntese de Redes Neurais</u>	40
4.1 Cancelamento Adaptativo de Ruído	40
4.2 Projeto da Rede Neural	42
4.2.1 Conversor Tensão-Corrente	42
4.2.1.1 Resultados de Simulação	43
4.2.2 Conversor de Correntes Diferenciais	43



4.2.3 Multiplicador Analógico de 4-Quadrantes	44
4.3.1.1 Resultados de Simulação	45
4.2.4 Amplificador Operacional de Transcondutância	47
4.3.4.1 Resultados de Simulação	48
V. <u>Conclusões e Perspectivas Futuras</u>	49
5.1 Processo de Fabricação	49
5.2 Projeto da Memória Analógica	50
5.2.1 Arquitetura da Memória Analógica	50
5.2.2 Modelamento da Célula de Memória	50
5.2.3 Projeto da Célula de Memória	50
5.2.4 Circuito de <i>Refresh</i>	51
5.2.4.1 Vantagens e Desvantagens do Sistema de <i>Refresh</i> Proposto	52
5.2.5 Conversor D/A	52
5.3 Projeto da Rede Neural	53
5.4 Aplicação da Memória Analógica em Redes Neurais	53
5.5 Testabilidade do Sistema	54
5.6 Perspectivas Futuras	54
VI. Referências	55

I. Introdução

O aprimoramento de memórias não-voláteis eletricamente programáveis do tipo Flash-EEPROM, capazes de armazenar, massivamente, informações multi-níveis [SÄC88], tem dado uma nova dimensão à integração de redes neurais analógicas, ao solucionar um dos maiores problemas pertinentes: o armazenamento dos pesos sinápticos.

A representação em forma binária dos pesos, quando comparada à forma analógica, apresenta, como principal vantagem, a possibilidade de armazenamento não-volátil da informação em registros digitais. No entanto, além do erro associado à quantização do peso binário, o que restringiria a utilização da rede neural a aplicações de precisão relativamente reduzida, conversores digital/analógicos são necessários na obtenção do produto analógico entre a variável de entrada e o seu respectivo peso. Esses conversores correspondem, de um modo geral, a circuitos com elevado número de componentes e que requerem, portanto, uma significativa área de integração, associado a um consumo de potência relativamente alto. Considerando-se a tendência de implementação de redes neurais mais complexas, com maior densidade de sinapses, pesos em forma binária tornam-se cada vez mais limitantes.

De um modo geral, aplicada às redes neurais, em comparação às soluções digitais, a computação analógica tem se mostrado vantajosa em aplicações específicas onde eficiência, precisão, e simplicidade de circuito tornam-se essenciais, tais como em sistemas operados por bateria [KRA96] [MEA89]. Memórias analógicas, além de aplicações em redes neurais, podem ser empregadas em processamento de sinais analógicos ou em sistemas de lógica multi-nível.

No entanto, memórias EEPROM não representam uma solução universal no armazenamento de pesos sinápticos analógicos, pois implicam, necessariamente, na utilização de processos de integração mais complexos em relação a processos CMOS convencionais, refletindo diretamente no custo final do microcircuito. Ainda, essas memórias devem estar disponíveis - e perfeitamente documentadas - ao projetista de circuitos integrados sob a forma de elemento de biblioteca, o que não comumente ocorre, pela própria complexidade envolvida. Em complemento, a utilização dessas memórias sofre algumas restrições tais como:

i) o ajuste preciso do valor de tensão memorizado deve ser interativo, através de uma sucessão de pulsos de alta tensão e medidas.

ii) a deriva crescente, a cada novo ciclo de escrita, no valor memorizado.

iii) o tempo relativamente longo necessário à reprogramação (da ordem de dezenas de milissegundos), nem sempre compatível com técnicas de aprendizado "on-line" da rede.

Como alternativa, a memorização analógica temporária tem sido cada vez mais considerada na integração de redes neurais [VIT91]. O armazenamento de informação analógica em capacitores, compatível com integração em escala VLSI pela alta densidade obtida no plano de memória, possui caráter volátil devido às correntes de fuga associadas às junções PN reversamente polarizadas dos transistores de passagem após a escrita na célula



de memória [SZE83]. Na utilização dessa técnica de retenção, torna-se, portanto, essencial que os níveis elétricos referentes às informações memorizadas no capacitor sejam periodicamente restabelecidos (*refresh*).

O período de *refresh* é função da magnitude das correntes de fuga, do valor do capacitor de armazenamento e da precisão exigida na leitura da informação memorizada referente à aplicação destinada.

Neste trabalho, uma nova técnica para o restabelecimento da informação original é proposta, consistindo na utilização de células de referência, idênticas às células de memória padrão, para a estimativa da variação do valor da informação analógica, obtida após a leitura, em relação ao valor de escrita.

Algumas técnicas, têm sido propostas em literatura, tais como:

1) a utilização de uma tensão de referência, em forma de escada, à qual a tensão armazenada na célula é periodicamente comparada [VIT91], conforme ilustrado na Figura 1.1. Este método apresenta, como desvantagens:

i) a presença de um comparador de tensão, e circuito lógico associado, requerem uma importante área a nível de célula, impondo uma redução considerável na densidade de células por área de Silício.

ii) a precisão no restabelecimento da informação depende da resolução do gerador da referência, em geral um conversor D/A. Assim, após o *refresh*, a informação armazenada apresenta uma característica multi-nível, ao invés de analógica.

iii) um período de *refresh* relativamente longo, função da precisão - e portanto do número de bits do conversor D/A. Considerando-se um sistema com reduzido consumo de potência, como o proposto neste trabalho, o tempo de estabelecimento à saída do conversor é da ordem de 15 a 20 μ s. Para uma precisão de 6-bits, o tempo necessário para se completar o *refresh* corresponderia a 1.28ms, intervalo durante o qual o acesso normal à memória estaria bloqueado.

No entanto, o período de *refresh* deve ser suficientemente curto para que a redução na tensão ΔV no capacitor de armazenamento, devido às correntes de fuga, seja inferior à resolução do conversor D/A. Sendo ΔV dependente de parâmetros não uniformes ao longo do plano de memória, tais como temperatura, tensão de limiar dos transistores, capacitâncias parasitas, descasamento entre componentes, etc..., o compromisso entre a precisão no restabelecimento da tensão armazenada e o tempo de *refresh* nem sempre é evidente.



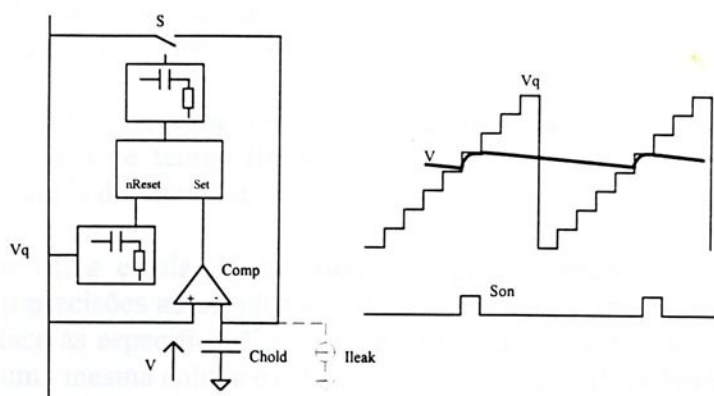


Figura 1.1 Mecanismo de Refresh Baseado em Referência em Forma de Escada

2) A utilização de uma conversão A/D, seguida de uma conversão D/A, da tensão a ser restabelecida [THI96]. Durante o *refresh*, a célula é lida e o valor de tensão armazenado convertido em um valor binário. A partir de um valor estimado das correntes de fuga, disponível em binário, o valor lido é corrigido através de uma adição e, posteriormente, restabelecido na célula de maneira analógica. Como desvantagens, tem-se:

i) precisão de *refresh* associado à resolução dos conversores. A informação armazenada perde sua característica analógica, tornando-se multi-nível.

ii) elevado período de *refresh*, uma vez que cada célula é individualmente processada. O tempo de *refresh* para cada célula depende dos tempos de conversão e de adição do valor de correção. Este mecanismo torna-se inviável para memórias com grande número de células.

iii) a estimativa da perda de tensão no capacitor de armazenamento, necessária *a priori* para o *refresh* e única para todo o sistema, pode apresentar-se consideravelmente imprecisa devido às variações de temperatura e de parâmetros ao longo do plano.

iv) complexidade de circuito e conseqüente aumento no consumo de potência durante o período de *refresh*.

Em relação aos métodos descritos, o mecanismo de *refresh* proposto neste trabalho caracteriza-se pela sua simplicidade, sem detrimento, no entanto, dos níveis de precisão: células de referência, idênticas às demais células do plano, são utilizadas para a obtenção de um valor aproximado da variação de corrente ΔI devido aos mecanismos de fuga. Durante o período de *refresh*, o valor ΔI é adicionado ao valor de corrente lido, sendo a corrente resultante rescrita na célula. O método proposto permite o *refresh* individual por coluna, sendo as variações espaciais de temperatura e de parâmetros de processo melhor representadas. Deste modo, o período de *refresh* é sensivelmente reduzido, permitindo o acesso mais freqüente ao plano para operações de leitura e escrita. Operando-se em modo

corrente [TOU90-2], uma simplificação de circuito é obtida, contribuindo para uma redução no consumo total de potência e área de integração requerida.

No Capítulo II tem-se uma descrição da arquitetura do sistema, de seus blocos principais e do diagrama de tempo (*timing*) das operações de leitura, escrita e *refresh*, especificando-se os sinais de interface.

No Capítulo III, a célula de memória analógica é apresentada, assim como um modelamento das imprecisões associados à réplica da corrente memorizada, seguido de seu dimensionamento face às especificações do sistema e resultados de simulação. A interface entre as células de uma mesma coluna é estabelecida e o circuito de *refresh* discutido, sendo apresentados e analisados os erros decorrentes e os resultados de simulação. Um conversor D/A de 6-bits, baseado em fontes de corrente binárias comutadas a cascode regulado, utilizado como opção de programação do plano de memória, é projetado a partir de uma análise de estabilidade da malha de regulação [DEL97.2].

No Capítulo IV, considera-se a aplicação da memória desenvolvida na síntese de redes neurais analógicas, em aplicações específicas como o cancelamento adaptativo de ruído de 60Hz superposto a sinais de eletrocardiogramas. Baseado num arranjo multi-nível de perceptrons, multiplicação analógica em quatro quadrantes é realizada adaptando-se uma versão MOS da célula de Gilbert [GIL82] à operação em subcondução [DEL89]. Operando-se em modo corrente, conversores tensão-corrente e corrente-tensão são realizados. Resultados de simulação são apresentados e analisados.

No Capítulo V, tem-se a conclusão sobre o trabalho desenvolvido. Características das partes integrantes, tais como precisão, linearidade, consumo de potência, entre outras, obtidas através da simulação PSPICE, são discutidas. No que se refere ao sistema de *refresh* proposto, suas principais vantagens e desvantagens são analisadas. O compromisso entre sua simplicidade - e portanto sua adaptabilidade a sistemas de elevada densidade de integração - e precisão é evidenciado. Testabilidade do sistema é analisada, propondo-se uma metodologia para a sua caracterização. Perspectivas de integração do projeto desenvolvido em tecnologia 0.7 μ m CMOS em duplo-metal [ES²95] são também consideradas.



II. Descrição do Sistema

A arquitetura adotada para a memória analógica procura conciliar uma dupla orientação: i) um subsistema independente (*stand alone*) e ii) um subsistema integrante de um microcontrolador. No primeiro caso, o subsistema deve possuir uma interface com o meio externo relativamente simples, possibilitando fácil controle e comunicação de dados. Além disso, sua inicialização deve ser internamente realizada. No segundo caso, o subsistema deve ajustar-se ao *timing* imposto pelo microcontrolador, e como periférico autônomo, exigir um mínimo de interação por parte da Unidade de Controle e Processamento (*CPU overhead*).

Na Figura 2.1 tem-se o diagrama de blocos de uma versão independente do subsistema, compreendendo a Memória Analógica (AM), os blocos *Power-On Reset* e *TEMPO*, responsáveis pela Inicialização do subsistema, como será descrito na seção 2.4, o bloco *Control* que envia os sinais de controle à memória e a interface com o meio exterior. O relógio principal *clk* pode ser internamente gerado, através de um oscilador, ou recebido do exterior.

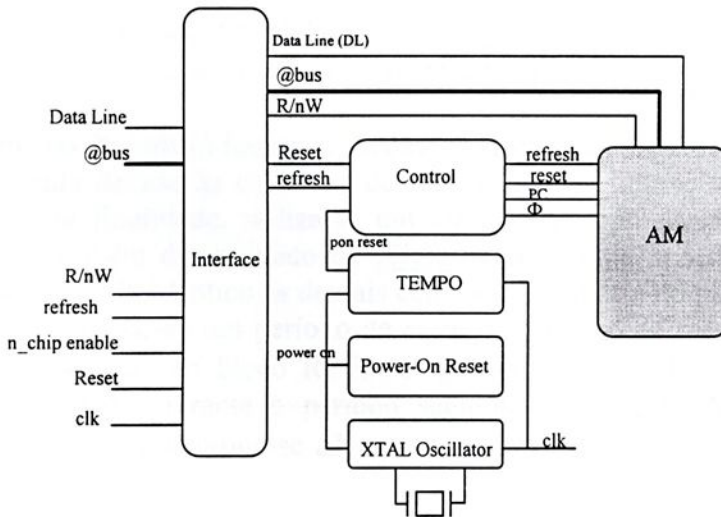


Figura 2.1 Memória Analógica como Subsistema Independente

A Figura 2.2 representa uma possível arquitetura de um microcontrolador tendo a memória como subsistema. Neste caso, a inicialização do sistema e o controle de periféricos são realizados pela CPU.

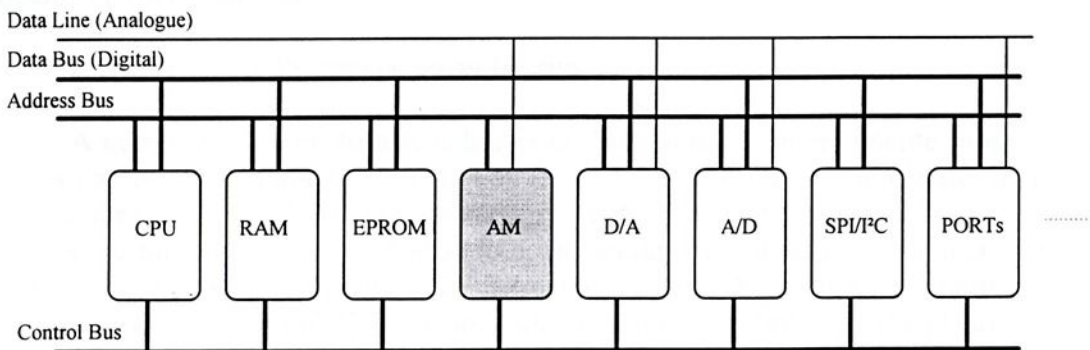


Figura 2.1 Arquitetura de Microcontrolador com Memória Analógica

2.1 Arquitetura da Memória Analógica

Na Figura 2.3 tem-se a representação, em diagramas de blocos, da memória analógica e sistema de *refresh* (REF) propostos. O plano de memória consiste em um arranjo de n linhas e m colunas de células elementares. Operando-se em modo corrente, as informações memorizadas correspondem, essencialmente, a correntes analógicas. Cada linha de dados DL (*Data Line*) é compartilhada por células pertinentes à mesma coluna. Durante a escrita ou *refresh*, impõe-se na linha DL uma corrente I_{in} a ser amostrada pela célula endereçada. Durante a leitura, a réplica de I_{cell} ocorre em DL. O endereçamento do plano realiza-se por linha ($x_0, x_1, \dots, x_2^{n-1}$) e por coluna ($y_0, y_1, \dots, y_2^{m-1}$) através dos respectivos decodificadores (*row decoder* e *column decoder*).

Além da magnitude, I_{cell} deve também representar o sinal da informação a ser memorizada. Sendo I_{cell} unidirecional na célula, estabelece-se a representação da informação através do diferencial de corrente $I_{cell} - I_{REF}$, onde I_{REF} é uma corrente de referência. Desta forma,

$$I_{cell} < I_{REF} \Rightarrow \text{Valor memorizado "negativo"}$$

$$I_{cell} = I_{REF} \Rightarrow \text{Valor memorizado "nulo"}$$

$$I_{cell} > I_{REF} \Rightarrow \text{Valor memorizado "positivo"}$$

O mecanismo de *refresh* baseia-se na determinação de uma variação média ΔI da corrente memorizada devido às correntes de fuga e demais imprecisões, descritas na seção 3.2. Para esta finalidade, utiliza-se um circuito do tipo *sample-and-hold*: um estágio "mestre", também denominado de célula de referência, inserido ao centro de cada coluna (*dummy cell*), idêntico às demais células de memória do plano, é amostrado com $I_{cell-d} = I_{REF}$ ao iniciar-se um período de *refresh*. Ao final do mesmo, transfere-se I_{cell-d} ao estágio "escravo" no bloco REF, no qual $\Delta I = I_{REF} - I_{cell-d}$ é determinado, permanecendo disponível durante o período seguinte de *refresh*. Assim, durante o *refresh*, a cada réplica I_{cell} adiciona-se ΔI , sendo a corrente resultante escrita na célula endereçada.

Sendo ΔI relativo à própria coluna, este mecanismo avalia, em primeira aproximação, o desvio na réplica de I_{cell} em condições reais de utilização da memória, refletindo variações de temperatura e não-uniformidades nos parâmetros de processo ao longo do plano.

A atuação dos sinais de controle internos e externos, são descritas de acordo com a operação a ser realizada :

i) Operação de Programação ou Escrita

A corrente I_{in} a ser armazenada nas células pode ser internamente programada, através da entrada binária $B_5 - B_0$ do conversor D/A de 6-bits, ou ainda externamente imposta, através do *pad* I_{EXT} , de acordo com os controles internos P_{DAC} e P_{EXT} . O acesso ao plano de memória pode ser realizado seqüencialmente ou de maneira aleatória. Em um acesso seqüencial, seleciona-se inicialmente a coluna Y_0 e impõe-se, na respectiva linha de dados, a corrente I_{in} . Selecionando-se a primeira linha X_0 do plano, I_{in} será armazenada na célula de posição x_0y_0 . Em seguida, impõe-se I_{in} referente à célula de posição x_1y_0 e ativa-se a linha X_1 , e assim sucessivamente até que a coluna Y_0 seja

completamente programada. Repete-se, então, o mesmo procedimento para as demais colunas. Em um acesso aleatório, seleciona-se simplesmente a coluna e a linha relativa à posição desejada.

ii) Operação de Leitura

Realiza-se pela seleção das respectivas linha e coluna da célula endereçada, sendo a corrente memorizada I_{cell} copiada na linha de dados, mantida em baixa impedância. O circuito de programação permanece inativo (alta impedância) durante a leitura. A corrente I_{cell} é enviada ao exterior do circuito através do *pad* I_{EXT} .

iii) Operação de Refresh

O *refresh* do plano de memória é realizado por coluna, sendo as linhas seqüencialmente endereçadas. Deste modo, cada coluna possui seu circuito de *refresh* independente, como mostrado na Figura 2.3. Selecionada uma célula de memória, o mecanismo de *refresh* proposto consiste em se adicionar à réplica de I_{cell} o valor ΔI determinado a partir da célula de referência. Através da ativação do sinal *close*, o valor restabelecido da corrente memorizada é, em seguida, amostrado na célula selecionada.

Definição:

- período de refresh ($T_{refresh}$) : tempo necessário para que a informação em todas as célula do plano seja restabelecida.

- ciclo de refresh (T_{line}) : tempo necessário para o *refresh* de uma única linha.

- ciclo de operação (T_{cycle}) : equivalente a $2T_{clk}$, compreendendo a operação de base de:

- i) leitura
- ii) escrita
- iii) refresh

O período de *refresh* corresponde a $T_{refresh} = nT_{line} = 2nT_{clk}$. Durante a operação de *refresh*, após a estabilização de I_{cell} , a chave S_r é fechada, impondo-se $I_{in} = I_{cell} + \Delta I$.

exemplo numérico Para $n = 16$ e $T_{clk} = 2\mu s$, $T_{line} = 4\mu s$ e $T_{refresh} = 16 \times 4\mu s = 64\mu s$.

A cada período de *refresh*, alternam-se k períodos de acesso normal à memória para operações de leitura e escrita, de duração $T_{nop} = T_{refresh}$, como indicado na Figura 2.4. O intervalo entre períodos de *refresh* consecutivos equivale, portanto, a $(k+1)T_{refresh}$.

2.2 Diagramas de Tempo (*Timing*) dos Sinais de Controle

Nesta seção, serão discutidos os diagramas de tempo (*timing*) dos sinais de controle externos e internos da memória. As operações de leitura, escrita e *refresh* são realizadas em 2 períodos consecutivos de CLK (T_{cycle}), divididos em 4 subciclos,

denominados T_0 , T_1 , T_2 e T_3 . O sinal externo n_chip_enable sinaliza o início da operação. Os endereços devem permanecer estáveis até o fim de T_3 . O sinal externo R/nW indica a natureza da operação ($R/nW = "1" \Rightarrow$ leitura, $R/nW = "0" \Rightarrow$ escrita). Todo acesso à célula de memória é restrito aos intervalos T_2 e T_3 .

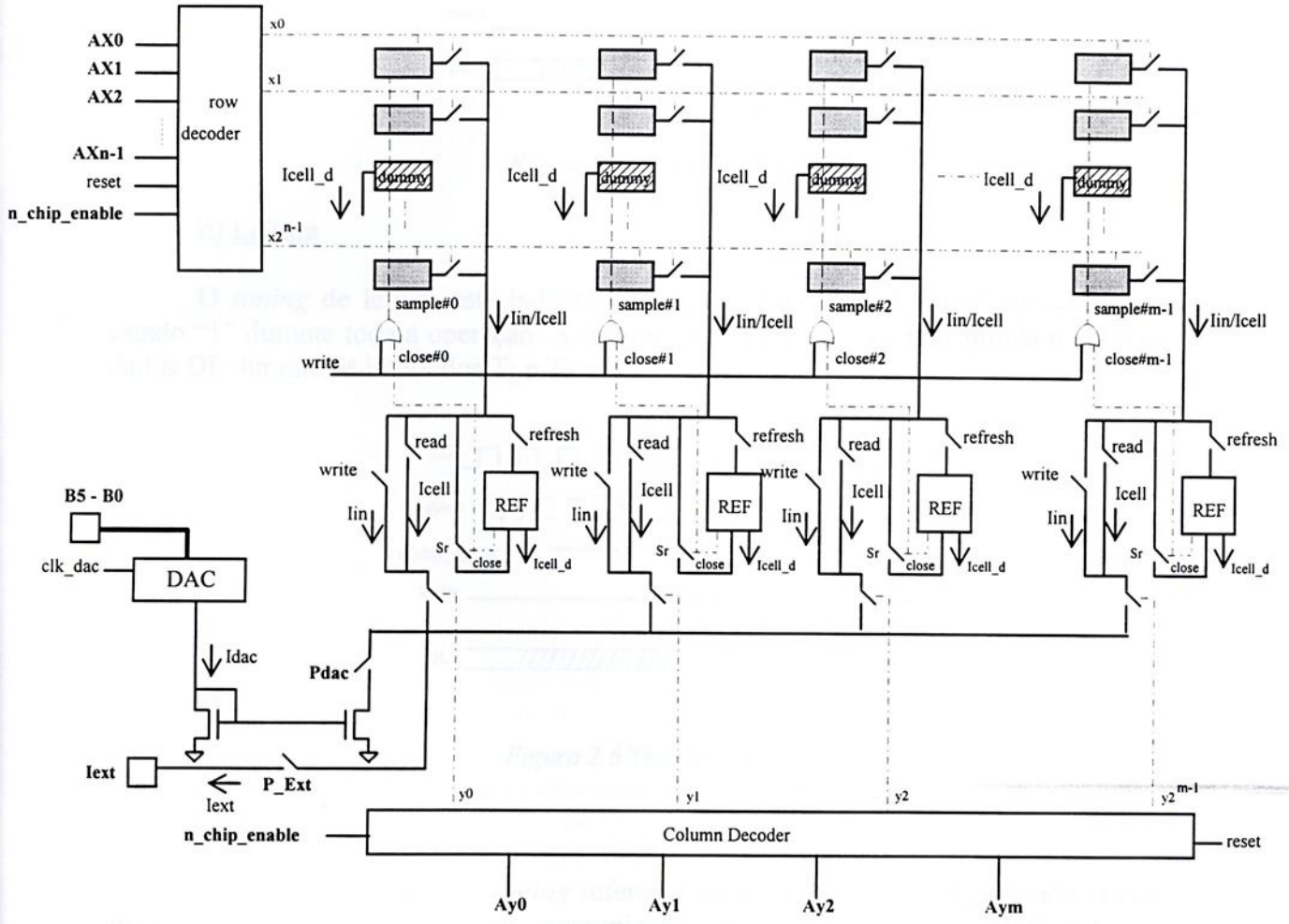


Figura 2.3 Partição da Memória Analógica

i) Escrita

Na Figura 2.5 tem-se o *timing* dos sinais de controle durante uma operação de escrita. O valor a ser escrito deve estar válido e estável na linha de dados DL durante os intervalos T_2 e T_3 escrita. O controle R/nW deve permanecer no estado "0" até o término do T_3 .

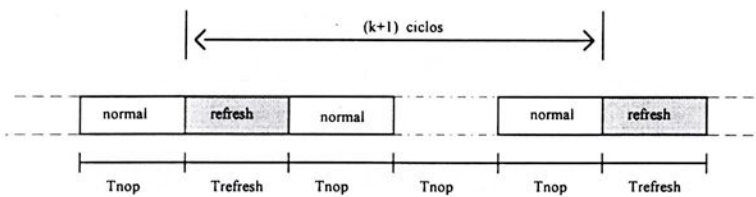


Figura 2.4 Ciclos de operação normal e refresh alternados



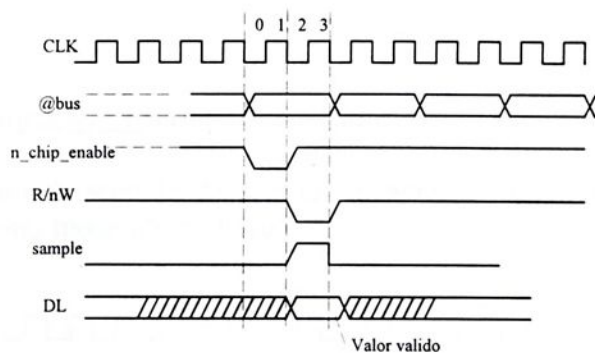


Figura 2.5 Timing de Escrita

ii) Leitura

O *timing* de leitura está indicado na Figura 2.6. O sinal R/nW permanece no estado “1” durante toda a operação. A informação memorizada é transmitida à linha de dados DL durante os intervalos T_2 e T_3 .

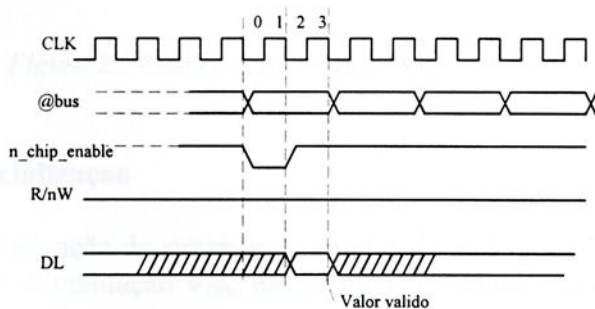


Figura 2.6 Timing de Leitura

iii) Refresh

Na Figura 2.7 tem-se o *timing* referente ao período de *refresh*, iniciado com a ativação do sinal interno *refresh*, sincronizado com *n_chip_select*. A réplica de I_{cell} ocorre durante intervalo T_2 sendo a corrente $I_{cell} + \Delta I$ amostrada na célula durante T_3 , através da ativação do sinal *close*. As linhas são seqüencialmente selecionadas, até que o *refresh* completo ocorra, caracterizado pela desativação do sinal *refresh*.

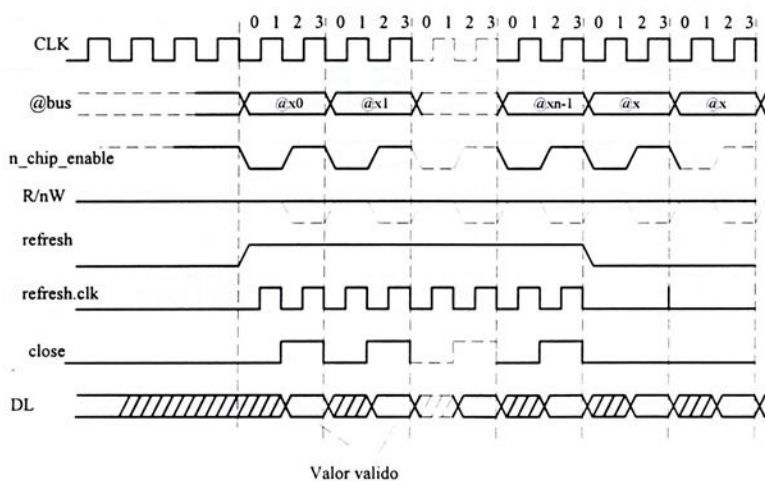


Figura 2.7 Timing de refresh



iv) Leitura - Modificação - Escrita (*Read-Modify-Write*)

A operação de leitura, seguida de escrita, encadeia os *timings* das respectivas operações individuais, como mostrado na Figura 2.8

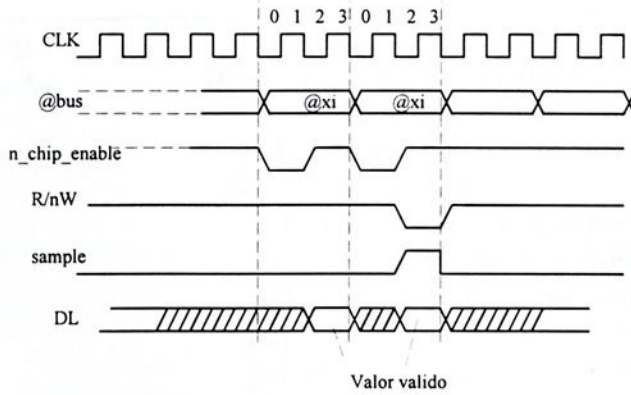


Figura 2.8 Timing Leitura-Modificação-Escrita

2.3 Ciclo de Inicialização

O *timing* de Inicialização do subsistema é indicado na Figura 2.9. O sinal *power-on* sucede a ativação da alimentação V_{DD} , habilitando o oscilador gerador de *clk*. Uma vez que a amplitude de oscilação alcance os níveis lógicos, inicia-se uma temporização de 1024 ciclos de *clk* (2.048 ms), seguida pela ativação do sinal *power-on reset* e início do Ciclo de Inicialização, durante o qual as fases Φ_1 e Φ_2 são geradas para a pré-carga do circuito gerador de ΔI , como será visto na seção 3.4.1. Após o Ciclo de Inicialização, seguem-se os ciclos de operação normal e *refresh*, alternadamente.

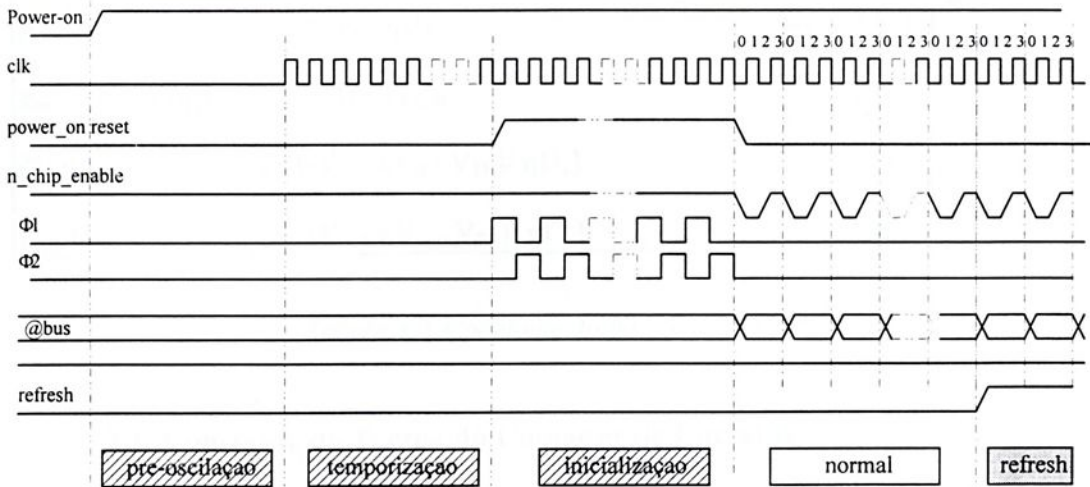


Figura 2.9 Timing de Inicialização do Sistema



III. Especificação e Projeto da Memória Analógica

Neste capítulo, os circuitos adotados nas partes integrantes da memória analógica serão discutidos e dimensionados, de acordo com as especificações de projeto. Na Tabela 3.1 tem-se a definição dos símbolos e parâmetros utilizados e na Tabela 3.2 o modelamento básico do transistor MOS.

$U_T = (kT/q)$	[V]	Tensão térmica
$C_{ox}' = \epsilon_{ox} / t_{ox}$	[F/m ²]	Capacitância de oxido por unidade de área
η	[-]	Coeficiente de subcondução
Φ_F	[V]	Potencial de Fermi no substrato
γ	[V ^{1/2}]	Fator de Corpo
C_j	[F]	Capacitância de junção por unidade de área
W	[m]	Largura de canal do transistor
L	[m]	Comprimento de canal do transistor
L_{ov}	[m]	Superposição porta-fonte, porta-dreno
L_x	[m]	Distancia entre Poly-Si e difusão relacionada
$C_{gs} = \delta Q_{ch} / \delta V_S$	[F]	Capacitância intrínseca entre porta e fonte
$C_{gd} = \delta Q_{ch} / \delta V_D$	[F]	Capacitância intrínseca entre porta e dreno
e		$\chi = \delta V_{TH} / \delta V_{SB} = \gamma / [2(2\Phi_F + V_{SB})^{1/2}]$, para V_{DS} pequeno.
		$\beta = (W/L) \mu C_{ox}'$
		$C_{ox} = WLC_{ox}'$

Tabela 3.1 Lista de símbolos e parâmetros

	<i>inversão fraca</i>	<i>inversão forte</i>
I_D	$2\eta\beta U_T^2 \exp [(V_G - \eta V_S - V_{TH}) / \eta U_T]$, for $V_D - V_S \gg U_T$	$(1/2(1+\chi)) \beta (V_{GS} - V_{TH})^2$
$g_m \equiv (\delta I_D / \delta V_{GS})$	$I_D / \eta U_T$	$[2I_D \beta / (1+\chi)]^{1/2}$
$g_{mb} \equiv (\delta I_D / \delta V_{BS})$	$(\eta - 1) g_m$	χg_m
C_{gs} / C_{ox}	$\exp [(V_G - \eta V_S - V_{TH}) / \eta U_T]$	2/3
C_{gd} / C_{ox}	$\exp [(V_G - \eta V_D - V_{TH}) / \eta U_T]$	≈ 0

Tabela 3.2 Modelamento básico do MOSFET

3.1. Constante de Tempo do Copiador de Corrente

Na Figura 3.1 tem-se o esquemático simplificado do copiador de corrente, o elemento de base da célula de memória analógica. Durante a amostragem, o tempo necessário para impor-se I_{cell} a partir de I_{in} , definido um erro e_{sample} , pode ser estimado através da análise de pequenos sinais:

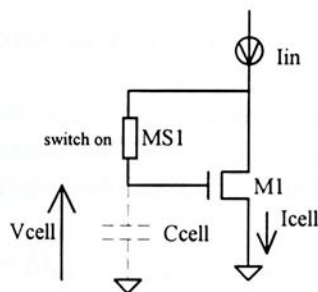


Figura 3.1 Circuito Simplificado do Copiador de Corrente

3.1.a C_{cell} inicialmente descarregado

Esta condição ocorre quando da primeira escrita da célula, após o Ciclo de Inicialização. O transistor M_1 permanece cortado enquanto $V_{cell} < V_{THM1}$. A chave M_{S1} opera na saturação, sendo representada por g_{mS1} . Admitindo fonte de corrente I_{in} ideal, a constante de tempo corresponde a

$$\tau_{c1} = (C_{cell} + C_{S1}) / g_{mS1} \cong C_{cell} / g_{mS1} \quad (3.1)$$

sendo C_{S1} é a capacitância de porta de M_{S1} , e $C_{cell} \gg C_{S1}$. O tempo necessário para que M_1 alcance a condução corresponde a

$$t_{M1on} = (C_{cell} / g_{mS1}) \ln[V_{cell\ max} / (V_{cell\ max} - V_{THM1})] \quad (3.2)$$

Exemplo numérico para $g_{mS1} = 20\mu A/V$, $C_{cell} = 2.5pF$, $V_{THM1} = 0.72V$, $V_{cell\ max} \cong 2.1V$, tem-se $\tau_{c1} = 125ns$ e $t_{M1on} = 52.5ns$.

3.1.b Transistor M_1 em condução

À exceção da escrita inicial, M_1 encontra-se em condução quando do início da amostragem - sistema de *refresh* mantém a carga em C_{cell} . Sendo g_{on} a condutância da chave M_{S1} e g_{m1} a transcondutância de M_1 . C_{cell} e C_D representam, respectivamente, as capacitâncias de armazenamento e parasitária de dreno de M_1 . A constante de tempo do circuito é aproximada por

$$\tau_{c2} = (C_{cell} + C_D) / g_{m1} \cong C_{cell} / g_{m1} \quad (3.3)$$

sendo o copiador de corrente equivalente a um sistema linear de primeira ordem.

Durante a amostragem, o tempo necessário para se impor o valor de corrente I_{cell} , corresponde a

$$t = \tau_{c2} \ln |\Delta I / I_{in}| = \tau_{c2} \ln |\epsilon_{sample}| \quad (3.4)$$

onde $\Delta I = I_{cell} - I_{in}$ e $\epsilon_{sample} = \Delta I / I_{in}$ é o erro relativo máximo para a corrente amostrada.

Exemplo numérico para $g_m = 50\mu A/V$, $C_{cell} = 2.5pF$, $\Delta I / I_{in} = 1\%$, tem-se $\tau_{c2} = 50ns \Rightarrow t = 230ns$.

3.2. Imprecisão do Copiador de Corrente

Durante a leitura, a precisão com que a réplica de I_{cell} ocorrerá na linha de dado DL, em relação ao valor memorizado ao término da amostragem, é sujeita a inúmeros efeitos parasitários, cada qual introduzindo uma componente de corrente:

$$I_{cell} = I_{in} + (\Delta I_{inj} + \Delta I_{go} + \Delta I_{noise} + \Delta I_{supply} + \Delta I_{leak}) \quad (3.5)$$

ΔI_{inj} : injeção de cargas em C_{cell} quando da abertura da chave M_{S1}

ΔI_{go} : corrente através da condutância de saída de M_1

ΔI_{noise} : ruído térmico e ruído $1/f$ (*flicker noise*) em M_1

ΔI_{supply} : ruído acoplado das fontes de alimentação

ΔI_{leak} : corrente de fuga através da junção PN reversamente polarizada de M_{S1}

Para o dimensionamento da célula de memória, uma análise sumária de cada componente citada será descrita nas seções seguintes:

3.2.1 Injeção de Cargas

Ao término da amostragem, sendo o transistor M_{S1} levado ao corte, parte das cargas presentes em seu canal e nas capacitâncias de superposição (*overlapping*) são injetadas em C_{cell} , como indicado na Figura 3.2. O erro relativo introduzido no valor de I_{cell} , definido como $\epsilon_{inj} = \Delta I_{inj}/I_{in}$, pode ser estimado [VIT82] [SHE84] :

$$\epsilon_{inj} = Q_{inj} g_m / (C_{cell} I_{in}) \quad (3.6.a)$$

$$Q_{inj} = (k_{ch} C_{ch} + k_{ov} 2C_{ovl}) (V_{HIGH} - V_{TH}) + C_{ov} (V_{TH} - V_{LOW}) \quad (3.6.b)$$

onde g_m é a transcondutância de M_1 , V_{TH} é a tensão de limiar de M_{S1} , V_{HIGH} e V_{LOW} , os valores limites de V_{sample} aplicados à porta de M_{S1} . C_{ch} e C_{ovl} são as capacitâncias de canal e superposição, respectivamente e os coeficientes k_{ch} , k_{ov} representam a fração das cargas de canal e regiões de superposição, respectivamente, que efetivamente migram para a capacitância de armazenamento C_{cell} . Esses coeficientes dependem de parâmetros de projeto como β_{M1} , $(V_{HIGH} - V_{TH})$, tempo de descida de V_{sample} , relação entre C_{cell} e C_S , a capacitância parasita à fonte de M_{S1} . Para valores convencionais de polarização, dimensionamento (W/L), tempo de descida, tem-se $k_{ch} = k_{ov} \cong 0.5$ [SHI87] [WEG87].

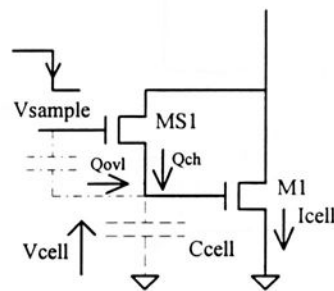


Figura 3.2 Injeção de Cargas de Chaveamento

Como pode ser observado em (3.6.a) e (3.6.b), reduz-se o erro de injeção ϵ_{inj} ao adotar-se dimensões mínimas para o transistor M_{S1} , assim como pelo aumento de C_{cell} e/ou I_{in} , o que conduziria, no entanto, a um aumento na área requerida pela célula de memória e/ou na dissipação de potência.

Exemplo numérico para $(W/L)_{S1} = (2.4\mu\text{m}/0.7\mu\text{m})$, $C_{ox}' = 2.28\text{nF}/\text{cm}^2$, $L_{ovl} = 0.15\mu\text{m}$, $V_{HIGH} = 5\text{V}$, $V_{LOW} = 0$, $V_{TH} = 1\text{V}$, $k_{ch} = k_{ovl} \cong 0.5$, $g_{m_{M1}} = 50\mu\text{A}/\text{V}$, $C_{cell} = 2.5\text{pF}$ e $I_{in} = 5\mu\text{A}$, tem-se $\epsilon_{inj} = 4.56\%$.

A injeção de cargas constitui-se em uma das principais fontes de imprecisão na réplica de I_{cell} durante a leitura. Pode ser reduzida através de paliativos na implementação da chave M_{S1} como, por exemplo, a utilização de transistores complementares balanceados, chaves falsas (*dummy switch*) [GRE87] [], e que dependem essencialmente do casamento entre transistores, ou ainda, de um controle especial [WEG90].

3.2.2 Condutância de Saída

Na Figura 3.3 tem-se a representação do efeito da condutância de saída. Devido ao efeito de modulação de canal [SZE81] [TSI87], e ao acoplamento entre dreno e porta através da capacitância de superposição C_{GD} , a condutância de saída de M_1 varia de acordo com variações no V_{DS} aplicado. Deste modo, caso V_{DS} sofra variações durante a réplica, uma corrente I_{go} flui através de g_o , introduzindo um erro:

$$\epsilon_{go} = \Delta I_{go}/I_{in} = [(g_m C_{GD})/(I_{cell} C_{cell})] + (1/V_A)] \Delta V_D \quad (3.7)$$

onde V_A corresponde ao equivalente à tensão de Early para o transistor M_1 .

Exemplo numérico $g_m = 50\mu\text{A}/\text{V}$, $C_{GD}/C_{cell} = 1\%$, $I_{cell} = 5\mu\text{A}$, $V_A = 20\text{V}$ e $\Delta V = 0.5\text{V}$, tem-se $\epsilon_{go} = 7.5\%$.

Pelo valor estimado, o erro devido à variação da condutância pode ser determinante na réplica precisa de I_{cell} . De modo a reduzi-lo sensivelmente, o dreno de M_1 deve ser mantido a um potencial relativamente fixo, como ocorre no circuito da Figura 3.4, no qual utiliza-se um arranjo cascode regulado. Além de fixar V_D em função do valor de I_{BIAS} , a realimentação negativa na malha constituída por M_2 e M_3 aumenta sensivelmente a resistência de saída do copiador de corrente M_1 .

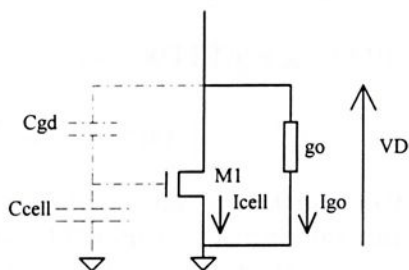


Figura 3.3 Efeito da Condutância de Saída de M_1

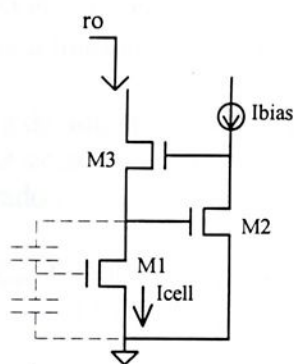


Figura 3.4 Copiador de Corrente a Cascode Regulado

3.2.3 Ruído Intrínseco

O erro na réplica de I_{cell} , devido ao ruído interno gerado pelo copiador de corrente, pode ser decomposto em dois termos:

3.2.3.1 Ruído Térmico

De características análogas ao ruído branco, relaciona-se com a vibração dos elétrons no canal de M_1 , sob ação da temperatura. Sua densidade espectral de potência é dada por [TSI87] [BAR89]

$$S_{v_{th}} = 4kT G_n / gm^2 \quad (3.8a)$$

$$\text{onde } G_n = \mu C_{ox}' (W/L) (V_{GS} - V_{TH}) H(x) \quad (3.8b)$$

$$H(x) = (x^2/3 - x + 1)/(1 - x/2) \quad (3.8c)$$

$$x = V_{DS} / V_{DSAT} \quad (3.8d)$$

sendo T é a temperatura absoluta ($^{\circ}K$), e k a constante de Boltzmann ($1.38 \times 10^{23} \text{Ws}/^{\circ}K$). A função $H(x)$ corrige a transcondutância G_n de acordo com a polarização de M_1 , variando entre 1, para a condição de não-saturação e $2/3$ para a saturação. Para $V_{DS}/V_{DSAT} = 1$, tem-se a expressão clássica da densidade espectral de potência do ruído térmico de canal de um transistor saturado [GRA84]

$$S_{v_{th}} = 8/3 kT/gm_{sat} \quad (3.9)$$

3.2.3.2 Ruído $1/f$ (Flicker Noise)

Devido às ligações covalentes não preenchidas (*traps*) na interface SiO_2/Si , que sucessivamente aprisionam e liberam os elétrons do canal de M_1 , o ruído $1/f$ tem sua densidade espectral de potência dada por [VIT94]

$$S_{v_{1/f}} = 2kT\rho / (fWL) \quad (3.10)$$

onde ρ [$\Omega\text{m}^2/\text{s}$] é um parâmetro dependente da tecnologia utilizada, podendo assumir uma variação de ordens de grandeza em seu valor. Tipicamente, tem-se $\rho_n = 2 \Omega\text{m}^2/\text{s}$ e $\rho_p = 0.05 \Omega\text{m}^2/\text{s}$, respectivamente para transistores NMOS e PMOS.

Adotando-se uma frequência de amostragem $f_s = 10f_c$, $f_c = 1/(2\pi\tau_c)$, onde τ_c é a constante de tempo do copiador de corrente, obtém-se, de modo aproximado, o valor quadrático médio do ruído total gerado :

$$|V_n|^2 = |V_{th}|^2 + |V_{1/f}|^2 = 2 H(x)\mu C_{ox}(W/L)(V_{GS} - V_{TH})kT / (gmC_{cell}) + 24kT\rho/(WL) \quad (3.11)$$

sendo o erro quadrático médio sobre a réplica de I_{cell} dado por

$$|\epsilon_{noise}|^2 = |I_{noise}|^2 / I_{cell}^2 = 4 |V_n|^2 / (V_{GS} - V_{TH})^2 \quad (3.12)$$

Exemplo numérico

Para $g_m = 50\mu\text{A}/\text{V}$, $(V_{GS} - V_{TH}) = 1\text{V}$, $H(x) = 1$ (transistor não-saturado), $C_{cell} = 2.5\text{pF}$, $\rho = 2\Omega\text{m}^2/\text{s}$, $W = L = 40\mu\text{m}$, tem-se $|V_{th}|^2 = 3.3\text{nV}^2$ e $|V_{1/f}|^2 = 0.12\text{nV}^2$ e $|\epsilon_{noise}|^2 = 1.36\text{E-}8$

Através da eqn (3.11), o erro na réplica de I_{cell} pode ser reduzido aumentando-se C_{cell} e/ou o produto $W \times L$. Caso C_{cell} corresponda à própria capacitância de porta de M_1 , dimensões adotadas de W e L para se obter C_{cell} na ordem de pF são naturalmente suficientes para tornar o ruído $1/f$ desprezível face ao ruído térmico.

3.2.4 Ruído Acoplado das Alimentações

Durante a fase de memorização, o efeito de variações nas linhas de alimentação sobre I_{cell} depende, essencialmente, da topologia do circuito. No copiador de corrente cascode-regulado indicado na Figura 3.5, a chave M_{S1} é substituída pela sua condutância g_m , e onde as fontes de tensão de pequenos sinais v_{sample} , v_{DD} e v_{SS} , representam, respectivamente, as flutuações existentes no sinal de controle de escrita (*sample*) aplicado à porta de M_{S1} e nas linhas de v_{DD} e v_{SS} .

Perturbações em v_{sample} são transmitidas ao copiador de corrente através das capacitâncias $C_{S1}/2$, que representam a capacitância de porta de M_{S1} , equitativamente distribuída entre a porta e os terminais de dreno e fonte. Essas perturbações alcançam C_{cell} atenuadas pelo relação capacitiva $C_{S1}/2C_{cell}$. Adotando-se dimensões mínimas para a chave M_{S1} , o fator de atenuação é, em geral, da ordem de $1/1000$, suficiente para que o ruído através de M_{S1} possa ser desprezado.

A saída do copiador de corrente acopla-se às alimentações v_{DD} e v_{SS} através das capacitâncias C_{o1} e C_{o2} , respectivamente. Flutuações nas linhas de alimentação causam, portanto, uma corrente de erro paralela a I_{cell} , dada por $I_{supply}(f) = sC_{o1}v_{DD}(f) - sC_{o2}v_{SS}(f)$, cujo modelamento, relativamente complexo [DEV82] [TOU90], demonstra a eficiência de rejeição de fonte de um circuito cascode-regulado face ao circuito cascode clássico.

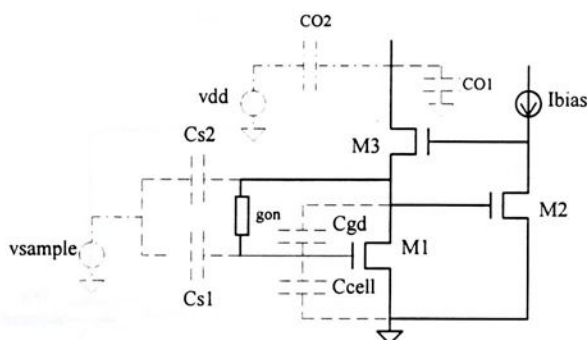


Figura 3.5. Representação de Ruído de Alimentação

As capacitâncias C_{o1} e C_{o2} dependem essencialmente da topologia da fonte de corrente I_{in} e geralmente decorrem de dimensionamentos determinados por outras especificações, mais prioritárias, no projeto do copiador de corrente. No entanto, devem ser minimizadas sempre que possível, principalmente através de um cuidadoso *layout*, evitando-se ao máximo acoplamentos capacitivos entre a saída do copiador de corrente e as linhas de alimentação.

3.2.5 Correntes de Fuga

Durante a fase de memorização, através da junção dreno-substrato reversamente polarizada da chave M_{S1} , uma corrente de fuga I_{leak} causa um decréscimo na carga armazenada em C_{cell} , e portanto, um erro na réplica de I_{cell} . Embora o efeito de I_{leak} seja reduzido à temperatura ambiente ($I_{leak} \cong 100fA @ 25^{\circ}C$ para uma junção de área mínima em tecnologias atuais), sua dependência com a temperatura é, no entanto, significativa, dada por

$$I_{leak} \propto T^3 \exp(-qV_{BG}/(kT)) \quad (3.13)$$

onde V_{BG} é a tensão de *band-gap* ($V_{BG} = 1.1V$). Constata-se um fator multiplicativo de 750 sobre I_{leak} para um intervalo de variação de $50^{\circ}C$. No projeto de memórias analógicas densas, como o proposto neste trabalho, ao dimensionar-se I_{cell} e correntes de polarização, deve-se encontrar o compromisso entre uma dissipação baixa de potência, de modo a minimizar I_{leak} , e com isso reduzir a frequência de *refresh*, mas mantendo-se, ainda, uma aceitável relação sinal/ruído.

3.3 - Célula de Memória: Circuito e Dimensionamento

Uma célula de memória analógica é ilustrada na Figura 3.6, tendo como núcleo (*core*) o copiador de corrente cascode-regulado M_1 , M_2 e M_3 [SÄC90]. À exceção de M_1 que opera na região triodo, os demais transistores estão saturados. Células pertencentes à uma mesma coluna compartilham a linha de dado interna (*Internal Data Line*). Seleção da célula ocorre pela ativação, no decodificador de linhas, do sinal nXL . Na Figura 3.7 tem-se os espelhos de corrente que realizam a interface entre as linhas de dado interna e externa. As operações de base correspondem a:



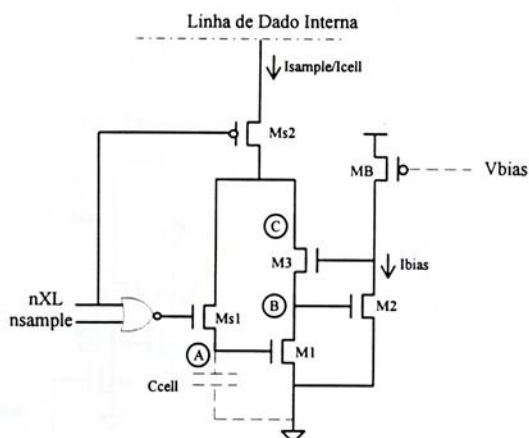


Figura 3.6 Célula de Memória Analógica Regulada

i) leitura: realiza-se através da ativação de nXL . Mantendo-se a linha de dado em baixa impedância, tem-se a réplica da corrente memorizada I_{cell} sujeita, no entanto, às variações descritas na seção 3.2.

ii) amostragem (escrita ou *refresh*): impõe-se a corrente I_{sample} a ser memorizada. O controle *sample* é ativado, atuando sobre as chaves M_{S1} (fechada) e M_{S2} (aberta). Deste modo, I_{sample} estabelece um nível de tensão na capacitância de memorização C_{cell} correspondente à condição $I_{cell} = I_{sample}$, onde I_{cell} é a corrente de dreno de M_1 . O valor da tensão em C_{cell} é função de I_{sample} e dos parâmetros de M_1 : (W/L), V_{THn} , região de operação, etc. Terminada a amostragem, *sample* é desativado, comutando-se M_{S1} , o que mantém, temporariamente, a carga em C_{cell} .

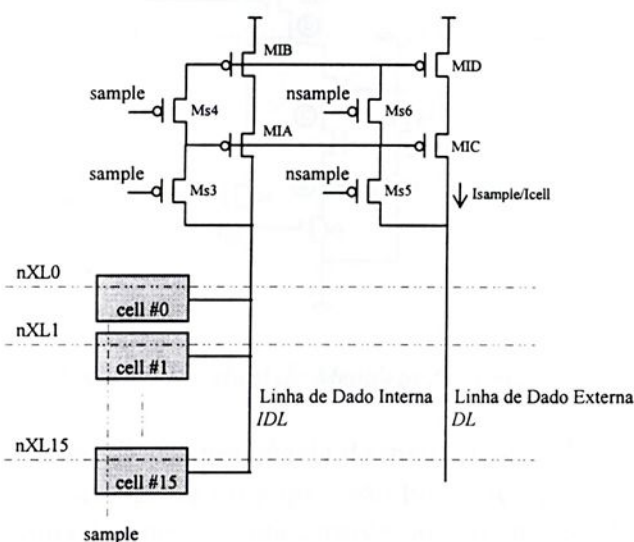


Figura 3.7 Interface entre Linhas de Dado Interna e Externa

Na Figura 3.8 tem-se a representação do circuito em leitura e escrita. Como pode ser observado, na passagem de leitura à escrita, o potencial em C, anteriormente a $V_{DD} - V_{GS(MA)}$, assume o valor V_{cell} . Essa perturbação, transmitida ao nó A pela resistência finita de M_3 e acoplamentos capacitivos, pode retardar significativamente o tempo de estabelecimento de I_{sample} na célula. Este efeito ocorre mesmo ao rescrever-se uma

mesma corrente na célula. Para I_{cell} da ordem de μA , a variação do potencial em C pode atingir 2V com um impacto superior a 1 μs no tempo de estabelecimento da corrente.

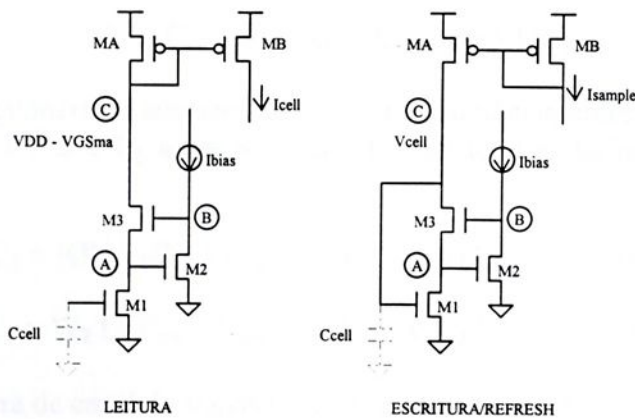


Figura 3.8 Circuito em Leitura e Amostragem

De modo a minimizar o referido efeito, duas soluções foram conjuntamente empregadas:

i) utilização de um estágio cascode (M_5), como indicado na Figura 3.9, multiplicando-se a resistência de saída do copiador de corrente pelo fator $g_{m5}r_{o5}$. Tipicamente, tem-se $g_{m5}r_{o5} \gg 1$.

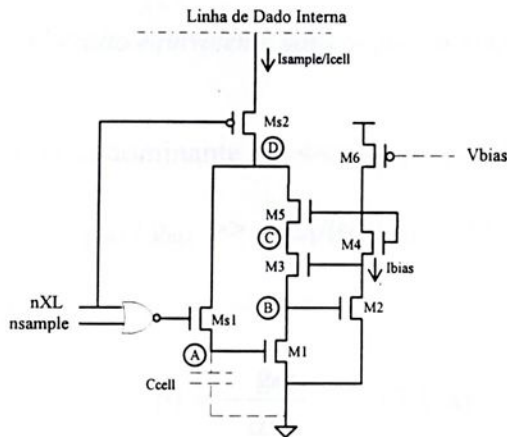


Figura 3.9 Célula de Memória Adotada

ii) estudo da resposta em frequência da malha de regulação constituída por M_2 e M_3 [DEL97.2] e cujos resultados principais são brevemente apresentados. A função de transferência em malha fechada, obtida através do circuito equivalente para pequenos sinais da Figura 3.10, corresponde a um sistema de segunda ordem, com polos p_1 e p_2 e um zero z_1 . Para que ambos polos sejam reais,

$$g_{m3} / g_{m2} \geq 4 C_1 / (\alpha^2 C_2) \quad (3.14)$$

Assumindo $C_{gd} \cong 0$ para um transistor em saturação, os valores de C_1 e C_2 são estimados:

$$C_1 = C_{gdM1} + C_{gsM2} + C_{j1} \quad (3.15a)$$

$$C_2 = C_{ovM2} + C_{gsM3} + C_{j2} \quad (3.15b)$$

onde C_{ov} é a capacitância de superposição, C_{gs} a capacitância entre porta e fonte, como definido na Tabela 3.2 e C_j a capacitância de junção. Em termos da geometria do transistor,

$$C_1 = \frac{1}{2} W_1 L_1 C_{ox} + C_{gsM2} + (W_1 + W_3) L_x C_j \quad (3.16a)$$

$$C_2 = W_2 L_{ov} C_{ox} + C_{gsM3} + (W_2 + W_{Bi}) L_x C_j \quad (3.16b)$$

onde W_{Bi} é a largura de canal do transistor que realiza a fonte de corrente I_{BIAS} .

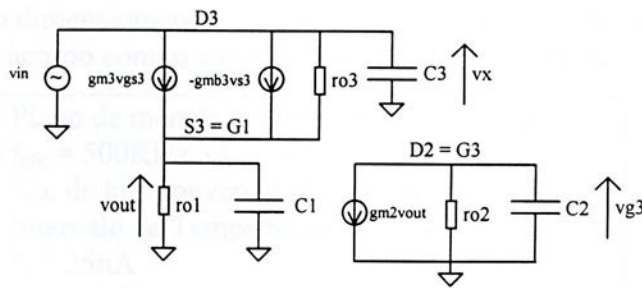


Figura 3.10 Circuito equivalente para pequenos sinais da malha de regulação

No caso de um polo dominante $|p_1| \ll |p_2|$, deve-se impor

$$g_{m3} / g_{m2} \gg 4 C_1 / (\alpha^2 C_2) \quad (3.17)$$

correspondendo os polos a

$$p_1 = -\frac{g_{m2}}{\alpha C_2} \quad (3.18a)$$

$$p_2 = -\frac{\alpha g_{m3}}{C_1} \quad (3.18b)$$

Como C_1 relaciona-se com a capacitância de memorização C_{cell} , possui valor bem superior a C_2 . Para assegurar (3.17), ambos transistores M_2 e M_3 operam em inversão forte, sendo os respectivos g_m controlados através da razão (W/L) .

C_{cell} corresponde à própria capacitância de porta de M_1 , devidamente dimensionado de modo que a variação da carga armazenada, entre períodos de *refresh* consecutivos, seja mantida a uma precisão aceitável. A capacitância de porta de um transistor MOS corresponde a $C_{cell} = f W.L.C_{ox}$. Para um transistor operando em região triodo, $f = 1$, ao passo que, em saturação, $f = 2/3$ [TSI87].

Assim, polariza-se M_1 na região triodo, obtendo-se um valor máximo para C_{cell} . A partir de I_{BIAS} e $(W/L)_2$, regula-se o valor de $V_{DS1} = V_{GS2} < V_{DSAT1} = V_{GS1} - V_{THn}$. Como descrito na seção 3.2.2, a condutância de saída g_o de M_1 é sensivelmente reduzida ao fixar-se V_{DS1} , favorecendo a réplica mais precisa de I_{cell} . O valor de I_{BIAS} corresponde a algumas centenas de nanoamps, de modo a ter-se $V_{DS1} \cong V_{THn}$. A montagem cascode regulado eleva a resistência à saída do copiador de corrente, dada por

$$r_o = [g_{m3} r_{o3} (g_{m2} r_{o2} + 1) + 1] r_{o1} + r_{o3} \cong (g_{m3} r_{o3})(g_{m2} r_{o2}) r_{o1} \quad (3.19)$$

em relação ao cascode clássico [GRA84]

$$r_o \cong (g_{m3} r_{o3}) r_{o1} \quad (3.20)$$

3.3.1 Projeto da Célula de Memória

Nesta seção, o dimensionamento dos transistores da célula de memória da Figura 3.6 será realizado, de acordo com as especificações de projeto listadas na Tabela 3.3:

- Plano de memória: 16 linhas x 16 colunas
- $f_{clk} = 500\text{KHz}$ ($T_{nop} = 4\mu\text{s}$)
- No. de bits conversor D/A: nbits = 6
- Intervalo de Temperatura : $0^\circ\text{C} - 75^\circ\text{C}$
- $I_u = 25\text{nA}$
- $I_{REF} = 3.0\mu\text{A}$
- $1.425\mu\text{A} \leq I_{cell} \leq 4.575\mu\text{A}$
- $J_{leak} @ 25^\circ\text{C} = 2\mu\text{A}/\text{m}^2$ (transistor tipo N)¹
- $V_{cell} \cong 1.77\text{V}$
- no. ciclos normais alternando-se a um período de *refresh* : $k = 127$
- $\epsilon_{leak} < 1\%$
- $\epsilon_{sample} < 1\%$

Tabela 3.3 Especificações de Projeto

3.3.1.a. Período de Refresh

- ciclo de *refresh* (T_{line}) : $2 T_{cycle} = 2 \times 2\mu\text{s} = 4\mu\text{s}$
- período de *refresh* ($T_{refresh}$): $n \times T_{line} = 16 \times 4\mu\text{s} = 64\mu\text{s}$
- intervalo entre *refresh* consecutivos : $(k+1) T_{nop} = 128 \times 64\mu\text{s} = 8.192\text{ms}$

3.3.1.b Tempo de Descarga de C_{cell}

¹ Valor especificado nas regras de projeto do processo duplo-metal CMOS $0.7\mu\text{m}$ ES², rev. C, 1995.



Especificado um erro $\epsilon_{leak} = I_{in} / I_{leak}$, a descarga de C_{cell} de um valor $\Delta V_{cell\ leak}$ deve ocorrer em um tempo Δt_{leak} superior ao intervalo entre *refresh* consecutivos. No limite $\Delta t_{leak} = (k+1)T_{nop}$, e admitindo-se descarga de C_{cell} através de uma corrente I_{leak} constante, tem-se

$$C_{cell} > (\Delta t_{leak} I_{leak}) / \Delta V_{cell\ leak} = ((k+1)T_{nop} I_{leak}) / \Delta V_{cell\ leak}$$

Admitindo-se uma área de dreno $A_D \cong 1.8\mu m^2$ referente à chave M_{S1} de dimensões mínimas, tem-se $I_{leak} = 2 \times 10^{-18} A/\mu m^2 \times 1.8\mu m^2 = 0.0036fA$, à temperatura ambiente. Multiplicando-se esse valor por 750, tem-se o valor corrigido de $I_{leak} = 2.7fA$ para $T_{max} = 75^\circ C$.

numericamente $C_{cell} > [(k+1)T_{nop} I_{leak}] / \Delta V_{cell\ 1\%} = (8.192ms \times 2.7fA) / (1.77 - 1.752)V = 1.22fF$

O valor de J_{leak} é fortemente dependente do processo de integração [SZE81], sendo reportados valores que diferem entre si de ordens de grandeza [MIT91] [ES²95]. Além disso, o fato de se desprezar sua influência em circuitos de lógica estática - e dinâmica, operando a frequências superiores a 50KHz [VIT95] - reflete na precisão, relativamente secundária, com que J_{leak} é normalmente determinado. No entanto, sua caracterização precisa torna-se essencial no projeto de circuitos de amostragem MOS que utilizam capacitores de porta como elementos de armazenamento temporário.

De modo a acomodar importantes desvios no valor especificado de J_{leak} ($2\mu A/m^2$ @ $25^\circ C$), adota-se $C_{cell} = 1.0pF$, cerca de 820 vezes superior ao mínimo calculado, sem comprometer a constante de tempo τ_c do copiador de corrente, no entanto. Como vantagens, tem-se ainda:

- i) menor variação em I_{cell} devido às correntes de fuga
- ii) compensação da redução de C_{cell} devido a eventuais excursões do transistor M_1 na saturação, para I_{cell} próximo ao valor mínimo.
- iii) utilização de frequências de operação inferiores, e conseqüente redução no consumo de potência, devido à retenção prolongada de carga em C_{cell} .

3.3.1.c Constante de Tempo τ_c

Considerando M_1 em condução, e tendo como especificação o erro ϵ_{sample} , a corrente I_{cell} deve ser imposta durante os intervalos de amostragem T_2 e T_3 , o que impõe o valor mínimo de $(W/L)_1$.

$$g_{m1} > C_{cell} \ln |\epsilon_{sample}| / T_{settle} \Rightarrow (W/L)_1 \geq C_{cell} \ln |\epsilon_{sample}| / (\mu_n C_{ox} V_{DS1} T_{settle})$$

$$g_{m1} = \beta_1 V_{DS1} = (W/L)_1 \mu_n C_{ox} V_{DS1}$$

numericamente Para $T_{settle} = 1.5\mu s$, $(W/L)_1 \geq 1pF \times \ln |0.01| / (250cm^2/V.s \times 230nF/cm^2 \times 0.77V \times 1.5\mu s) \Rightarrow (W/L)_1 \geq 0.07$

3.3.1.d Efeito das Correntes de Fuga em I_{cell}



Entre períodos de *refresh* consecutivos, a variação na corrente memorizada corresponde a $\Delta I_{cell} = g_{m1} \Delta V_{cell}$, ou seja, quanto menor for g_m , menor será a variação ΔI_{cell} . Especificado-se um erro máximo $\epsilon_{I_{cell}} = \Delta I_{cell}/I_{cell}$, o máximo valor de $(W/L)_1$ é determinado.

Comparando-se os valores de g_m em diferentes regiões de operação, tem-se $g_m = \beta V_{DS}$ na região triodo e $g_m = \beta(V_{GS} - V_{TH})$ na saturação. Como $V_{DS} < V_{GS} - V_{TH}$, g_m possui menor valor na região triodo.

$$\begin{aligned} \epsilon_{I_{cell}} &= (g_{m1} \Delta V_{cell}) / I_{cell} \\ g_{m1} &= \beta_1 V_{DS1} = (W/L)_1 \mu_n C_{ox} V_{DS1} \\ \Delta V_{cell} &= I_{leak} (k+1) T_{nop} / C_{cell} \end{aligned} \Rightarrow \boxed{(W/L) \leq \epsilon_{I_{cell}} I_{cell} C_{cell} / (\mu_n C_{ox} V_{DS1} I_{leak} (k+1) T_{nop})}$$

numericamente Para $\epsilon_{I_{cell}} < 0.01$ e $I_{cell \min} = 1.425 \mu A$, $\Delta V_{cell} = 2.7 fA \times 8.192 ms / 1 pF$

$$(W/L) \leq 0.01 \times 1.425 \mu A / (250 cm^2/V.s \times 230 nF/cm^2 \times 0.77V \times 22.1 \mu V)$$

$$(W/L) \leq 14.55$$

3.3.1.e Transistor M_1 na Região Triodo

Em relação à Figura 3.9, M_1 opera na região triodo à condição $V_{GS2} \leq V_{cell} - V_{TH}$ ao longo da faixa de variação de I_{cell} . Sendo

$$I_{cell} = (W/L)_1 C_{ox} \mu_n [(V_{cell} - V_{TH}) V_{GS2} - \frac{1}{2} V_{GS2}^2] \quad (3.21)$$

o valor mínimo de $(W/L)_1$ é determinado por

$$(W/L)_1 \leq \frac{2 I_{cell \min}}{\mu_n C_{ox} V_{GS2}^2} \quad (3.22)$$

numericamente Para $I_{cell \min} = 1.425 \mu A$, $\mu_n = 250 cm^2/Vs$, $C_{ox} = 230 nF/cm^2$ e $V_{GS2} \approx 0.77V$, $(W/L)_1 \leq 0.083$

3.3.1.f Dimensionamento da Célula de Memória

De acordo com o intervalo de valores de $(W/L)_1$ imposto nas seções 3.3.1.c, 3.3.1.d e 3.3.1.e, adota-se $(W/L)_1 = 0.05$. Para obter-se $C_{cell} = 1 pF$, adota-se $W=4.6 \mu m$ e $L=93.2 \mu m$. A utilização de canal longo reduz sensivelmente a modulação de canal e, conseqüentemente, o erro ϵ_{go} .

Objetivando-se minimizar a injeção de cargas em C_{cell} , assim como o acoplamento capacitivo com V_{DD} e correntes de fuga, M_{S1} é dimensionado com valores mínimos de W e L , assim como as demais chaves.

Impõe a corrente de polarização $I_{BIAS} = 250 nA$, reduzindo-se o consumo de potência, e conseqüentemente, a temperatura no plano de memória assim como o valor de I_{leak} . Os transistores M_2 e M_3 , operando em inversão forte, são dimensionados

segundo a análise de estabilidade da malha de regulação e utilizando-se (3.18a) e (3.19b). Especificando-se uma constante de tempo $\tau_r = 80\text{ns}$ para $I_{\text{cell min}} = 1.425\mu\text{A}$, obtém-se $(W/L)_2 = 0.066$ e $(W/L)_3 = 50$. Nas Tabelas 3.4 e 3.5 tem-se, respectivamente, as dimensões adotadas dos transistores da célula de memória e na interface entre linhas de dado e um resumo qualitativo da dependência dos parâmetros elétricos em função de seus valores.

	M ₁	M ₂	M ₃	M ₄	M ₅	M ₆	M _{S1,6}	M _{S2}	M _{IA}	M _{IB}	M _{IC}	M _{ID}
W(μm)	4.6	0.8	40.0	0.8	4.4	4.8	0.8	0.8	24	24	24	24
L(μm)	93.2	12.0	0.8	5.4	2.4	4.8	0.8	0.8	1.2	1.2	1.2	1.2

Tabela 3.4 Dimensões dos Transistores da Célula de Memória e Interface

	T _{refresh}	T _{settle}	injeção de cargas	ΔI_{cell}	r _{out}
$\hat{\uparrow} C_{\text{cell}}$	+	+	-	-	x
$\hat{\uparrow} (W/L)_1$	x	-	x	+	+
$\hat{\uparrow} L_1$	x	+	x	+	+
$\hat{\uparrow} I_{\text{BIAS}}$	x	-	x	x	+/-
$\hat{\uparrow} W_{\text{SW1}}$	-	x	+	+	x

+ : variação positiva x : sem variação importante
 - : variação negativa +/- : ambas variações possíveis

Tabela 3.5 Efeito do Dimensionamento da Célula de Memória nos Parâmetros Elétricos

3.3.2 Resultados de Simulação

Na Figura 3.11 tem-se a simulação do circuito da Figura 3.9, na presença de duas células de memória, em operações sucessivas de escrita e leitura, ao impor-se variações máximas de I_{sample} ($1.425\mu\text{A}$ a $4.575\mu\text{A}$ e vice-versa). Através das formas de onda de I_{cell} para ambas as células, observa-se um tempo de estabelecimento inferior a $1.2\mu\text{s}$ para $\epsilon_{\text{sample}} < 1\%$, como especificado.

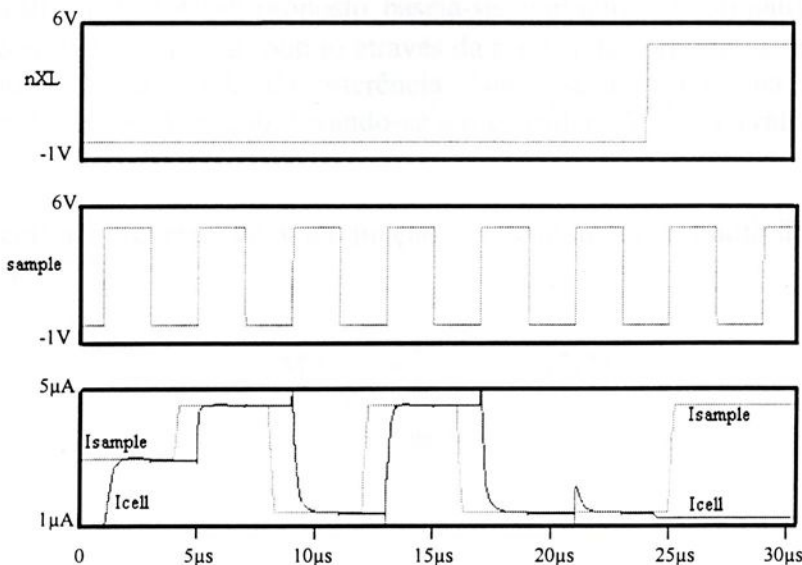


Figura 3.11 Simulação de Escrita/Leitura na célula de memória



3.4 Circuito de Refresh

Na Figura 3.12 tem-se o diagrama de blocos do sistema de *refresh*. O bloco $\Delta IGEN$ determina o valor de ΔI , o qual é adicionado à réplica de I_{cell} , sendo a corrente resultante temporariamente armazenada no bloco REFCUR. Na ativação de *close*, $I_{cell} + \Delta I$ é amostrada na célula endereçada. Esquemáticos, dimensionamento e resultados de simulação PSPICE de cada parte integrante serão separadamente detalhados.

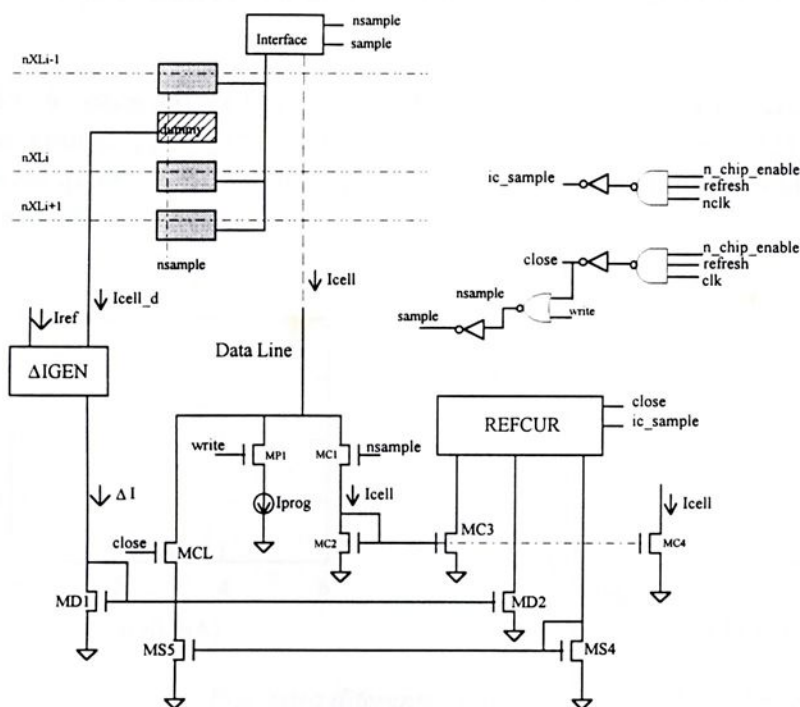


Figura 3.12 Circuito de refresh

3.4.1 Efeito de I_{cell} nas Correntes de Fuga

O sistema de *refresh* proposto baseia-se, portanto, na estimativa de um valor médio de corrente de fuga ΔI , obtido através da réplica da corrente de referência $I_{REF} = 3\mu A$ memorizada na célula de referência. Nesta seção serão analisados os erros decorrentes de tal aproximação, levando-se em consideração o intervalo de variação de I_{cell} .

A corrente reversa de uma junção semicondutora é multiplicada pelo fator empírico [BUR97]

$$M = \frac{1}{1 - \frac{V_R}{V_{BREAK}}^n} \quad (3.23)$$

onde V_R é a tensão reversa na junção N^+/P , V_{BREAK} o potencial de ruptura e n um fator dependente dos parâmetros de processo, geralmente entre 2 e 6. De acordo com a Figura 3.2, ao valor de V_R corresponde a tensão memorizada V_{cell} .

Para o processo CMOS a ser utilizado na integração da memória analógica, o potencial de ruptura da junção dreno-substrato é, aproximadamente, 16V [ES²95], embora o fator n não seja especificado. Na Figura 3.13a tem-se a tensão memorizada V_{cell} em função da corrente I_{cell} e, na Figura 3.13b, o erro percentual associado ao valor restabelecido de I_{cell} , decorrente da utilização de $\Delta I @ 3\mu A$, em função do parâmetro empírico n .

Devido à característica exponencial em (3.23), o erro percentual varia sensivelmente com o parâmetro n . Para o intervalo de variação $1.425\mu A \leq I_{cell} \leq 4.575\mu A$, tem-se $-0.59\% \leq \epsilon_{ref} \leq 0.68\%$ para $n = 2$ (pior caso), enquanto $-0.018\% \leq \epsilon_{ref} \leq 0.025\%$ para $n = 4$ (valor médio).

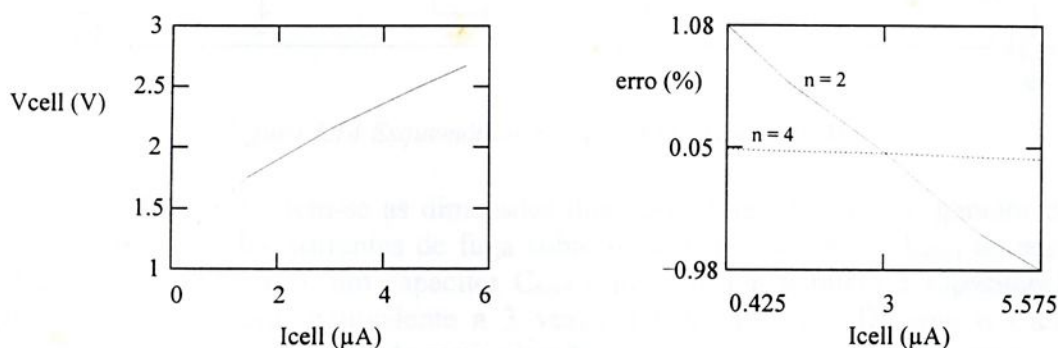


Figura 3.13. a) V_{cell} para diferentes valores de I_{cell} b) Erro Percentual Associado ao Refresh de I_{cell} em Função do Parâmetro n

3.4.2 Gerador de Corrente ΔI

O circuito gerador de ΔI , cujo esquemático é ilustrado na Figura 3.14, consiste de dois estágios do tipo *sample-and-hold*, controlado por duas fases Φ_1 e Φ_2 não superpostas, e espelhos de corrente. As chaves S_i são fechadas pela ativação das fases indicadas. Φ_1 e Φ_2 são ativadas ao término de um período de *refresh*, conforme *timing* da Figura 3.15.

O primeiro estágio (“mestre”) corresponde à célula de referência (*dummy cell*), idêntica às demais células do plano, na qual a corrente de referência I_{REF} é amostrada durante a ativação de Φ_2 . Durante $\Phi_1 = “1”$, uma réplica da corrente memorizada I_{cell-d} é amostrada pelo segundo estágio (“escravo”). Quando $\Phi_1 \Rightarrow “0”$, o subtrator de corrente M_6 , M_7 e M_{10} determina a corrente de saída $\Delta I = I_{REF} - I_{cell-d}$. Este valor de ΔI será utilizado pelo comparador de corrente durante o período de *refresh* seguinte.

Em primeira aproximação, ΔI corresponde ao efeito das correntes de fuga e demais imprecisões descritas na seção 3.2, e sua dependência com a temperatura, na

corrente memorizada em células pertencentes à mesma coluna, entre *refresh* consecutivos.

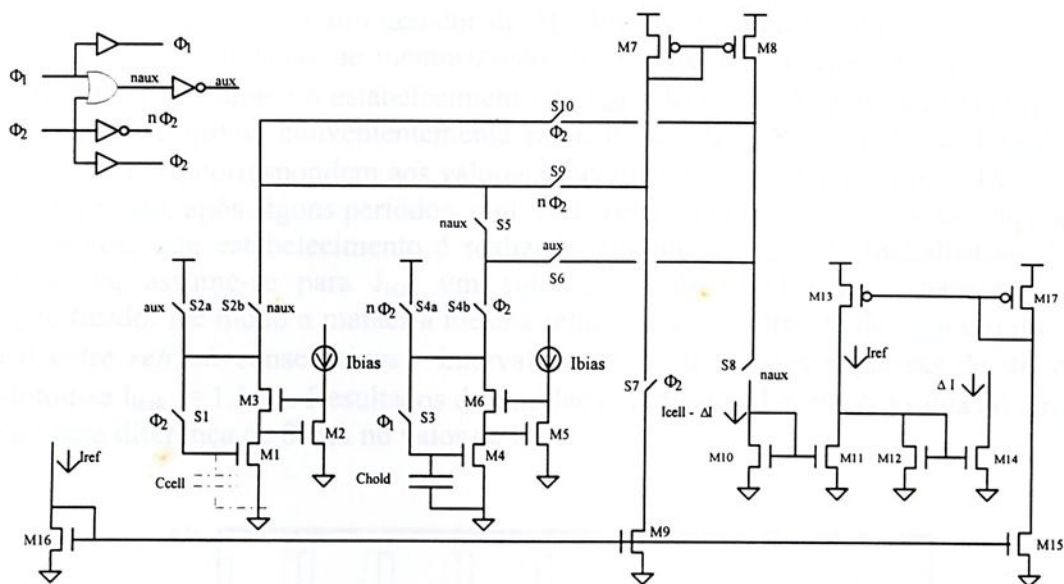


Figura 3.14 Esquemático do Circuito Gerador de ΔI

Na Tabela 3.6 tem-se as dimensões dos transistores do circuito gerador de ΔI . Para que o efeito das correntes de fuga sobre o valor amostrado de I_{cell-d} no segundo estágio seja minimizado, um capacitor C_{hold} é inserido em paralelo à capacitância de porta de M_4 , de valor equivalente a 3 vezes o valor de C_{cell} . Durante o Ciclo de Inicialização, as capacitâncias de memorização em ambos estágios são pré-carregados à um nível de tensão correspondente a $I_{cell} = I_{REF}$.

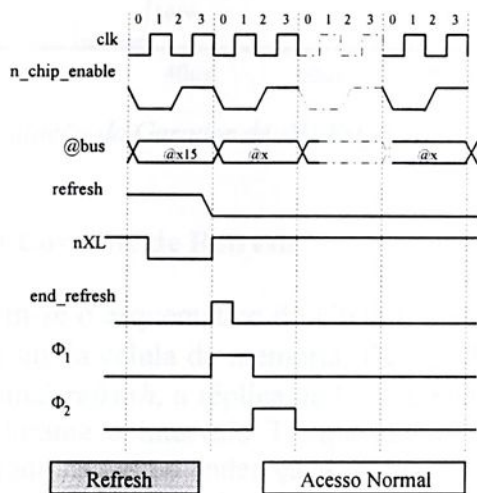


Figura 3.15 Timing do Circuito Gerador de ΔI

	M_1, M_4	M_2, M_5	M_3, M_6	$M_7 - M_{17}$	$M_{S1} - M_{S8}$
W(μm)	4.6	4.8	48.0	9.6	0.8
L(μm)	93.2	4.8	0.8	9.6	0.8

Tabela 3.6 Dimensões dos Transistores do Gerador de ΔI



3.4.2.1 Resultados de Simulação

Simulou-se o circuito gerador de ΔI adotando-se uma fonte de corrente I_{leak} em paralelo às capacitâncias de memorização. Na Figura 3.16 tem-se as formas de onda obtidas para ΔI durante o estabelecimento de $I_{cell} = I_{REF} = 3\mu A$, para um intervalo entre *refresh* consecutivos convenientemente reduzido a $48\mu s$. No entanto, a duração dos pulsos Φ_1 e Φ_2 correspondem aos valores especificados, ou seja, T_{clk} ($2\mu s$). Como pode ser observado, após alguns períodos, o nível de referência nas capacitâncias é alcançado. Na prática, este estabelecimento é realizado durante o Ciclo de Inicialização. Como tolerância, assume-se para J_{leak} um valor cerca de 2400 vezes superior face ao especificado. De modo a manter a mesma relação entre a corrente de fuga e o intervalo real entre *refresh* consecutivos - intervalo entre as transições negativas de Φ_2 e Φ_1 , adotou-se $I_{leak} = 1.1nA$. Resultados de simulação indicam $\Delta I = 90nA$ à saída do circuito, para uma diferença de $82nA$ no valor de I_{cell} .

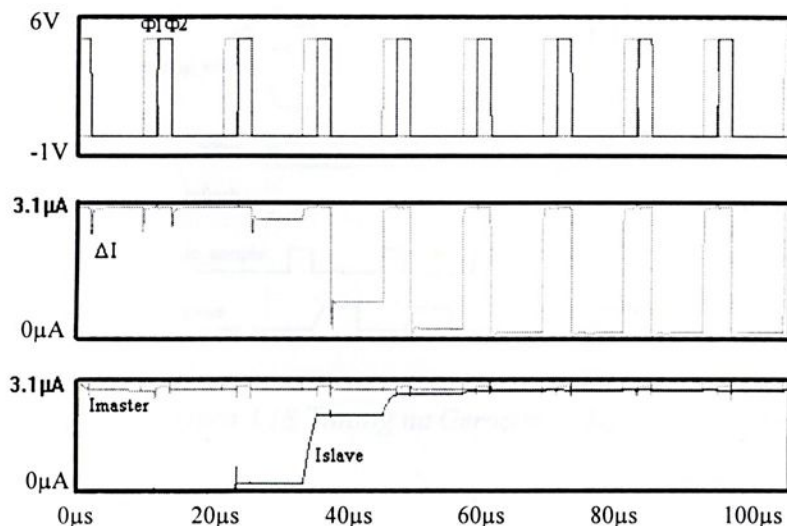


Figura 3.16 Simulação do Gerador de ΔI : Estabelecimento de $I_{cell} = I_{REF}$

3.4.3 Gerador da Corrente de Refresh

Na Figura 3.17 tem-se o esquemático do circuito gerador da corrente de *refresh* $I_{refresh} = I_{cell} + \Delta I$, similar ao da célula de memória. De acordo com o *timing* da Figura 3.18, sob a ativação do sinal *refresh*, a réplica de I_{cell} , somada a ΔI , é temporariamente armazenada em C_{HOLD} durante o intervalo T_1 , quando $ic_sample = "1"$. A corrente resultante $I_{refresh}$ é amostrada na célula endereçada durante T_3 , sob a ativação de *close*, restabelecendo-se, de maneira aproximada, o nível de origem. Os sinais internos de controle *ic_sample* e *close* são não-superpostos. Utiliza-se a chave analógica M_{S1A} e M_{S1B} para balancear a injeção de cargas em C_{HOLD} durante o chaveamento de *ic_sample*. Na Tabela 3.7 tem-se o dimensionamento dos transistores do circuito gerador de $I_{refresh}$. As demais chaves possuem dimensões mínimas, ou seja, $W=0.8\mu m$ e $L=0.8\mu m$.

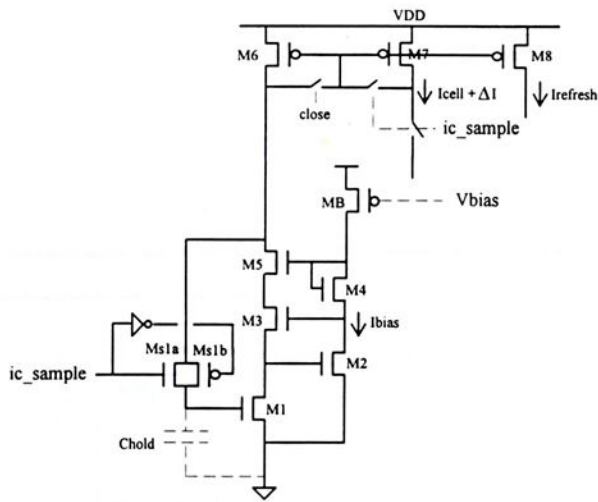


Figura 3.17 Circuito para Obtenção de $I_{refresh}$

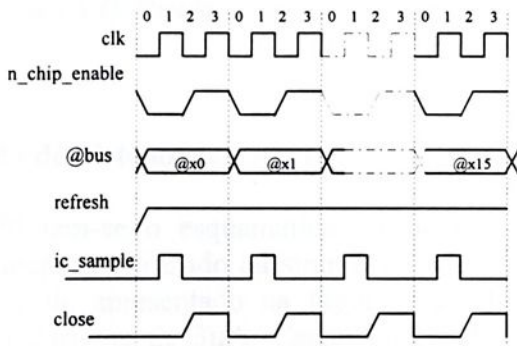


Figura 3.18 Timing na Geração de $I_{refresh}$

	M ₁	M ₂	M ₃	M ₄	M ₅	M ₆	M ₇	M ₈	M _{S1a}	M _{S1b}
W(μm)	4.6	4.8	24	0.8	4.4	20	20	20	0.8	1.2
L(μm)	93.6	4.8	0.8	5.4	2.4	7.2	7.2	7.2	0.8	0.8

Tabela 3.7 Dimensionamento do Circuito Gerador de $I_{refresh}$
 ($I_{BIAS} = 250nA$, $C_{HOLD} = 1.0pF$)

3.4.3.1 Resultados de Simulação

Na Figura 3.19 tem-se o resultado de simulação do circuito gerador de $I_{refresh}$, para $0.5\mu A \leq I_{cell} + \Delta I \leq 5.5\mu A$. O tempo máximo de estabelecimento de $I_{refresh}$ à saída do estágio corresponde a 350ns, para um erro máximo de 2%, para $I_{cell} + \Delta I = 0.5\mu A$, atendendo-se às especificações de projeto.



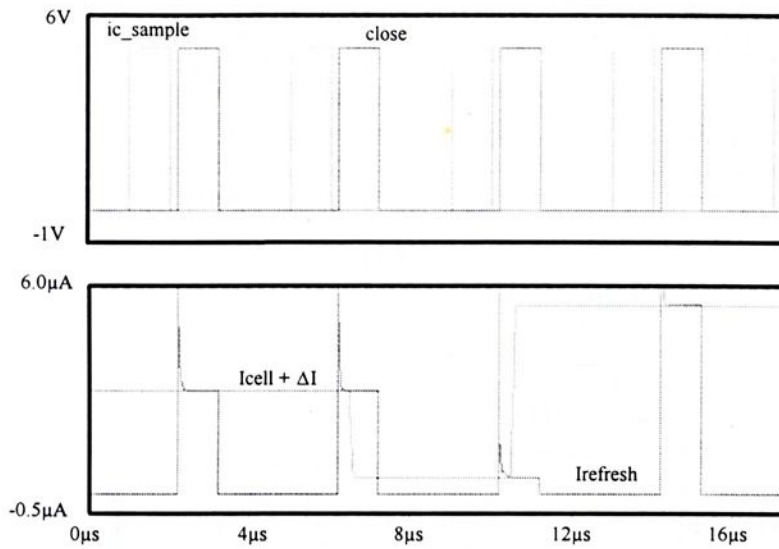


Figura 3.19 Simulação do Circuito Gerador de $I_{refresh}$

3.4.4 Simulação do Sistema de *Refresh*

Na Figura 3.20 tem-se o esquemático do plano simplificado de 4 células, seqüencialmente endereçadas, utilizado na simulação do sistema de *refresh*, de acordo com os sinais de controle apresentado na Figura 3.21. Cada célula é inicialmente memorizada com uma corrente de $3\mu\text{A}$. Capacitâncias das linhas de dado interna e externa são estimadas para um plano de 16 linhas e o valor de ΔI corresponde a 1.10nA . Na Figura 3.22 tem-se as formas de onda das correntes memorizadas em cada célula. A comparação entre I_{cell} e a escrita do novo valor $I_{refresh} = I_{cell} + \Delta I$ na célula dá-se num tempo inferior a 800ns .

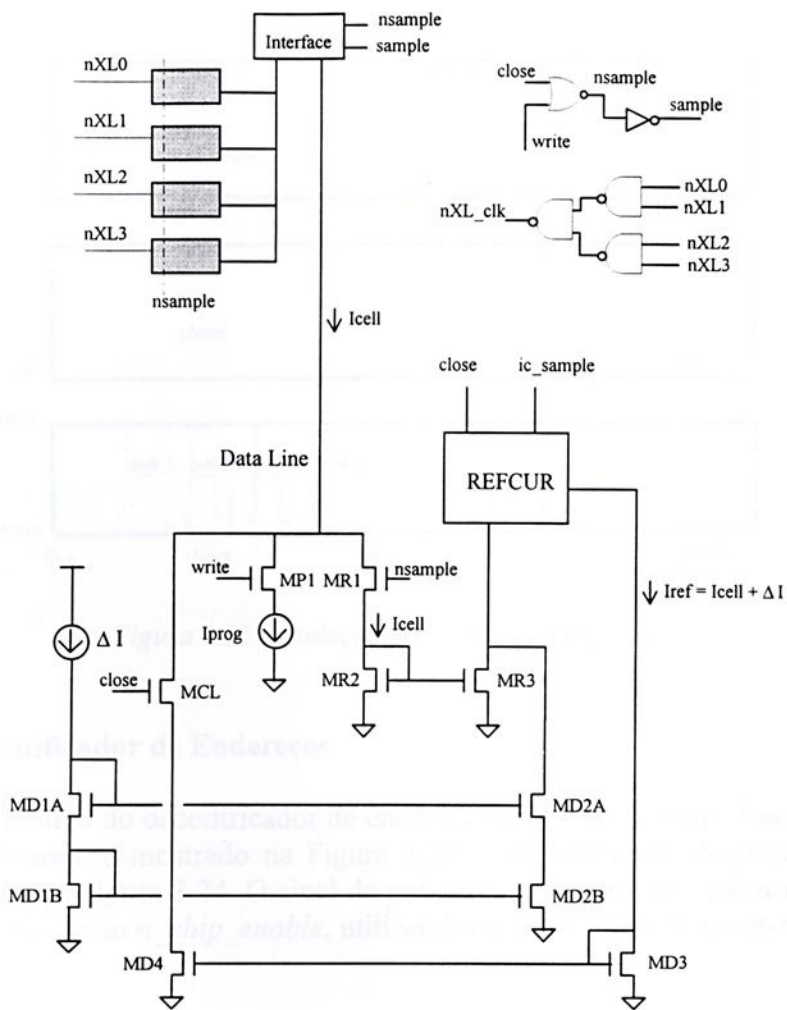


Figura 3.20 Circuito para Simulação do Refresh

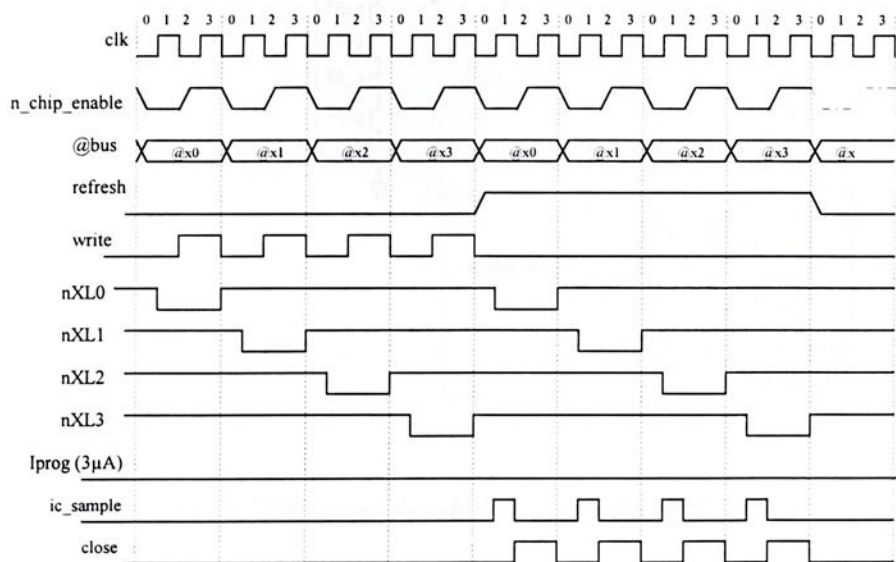


Figura 3.21 Stimuli para Simulação do Sistema de Refresh

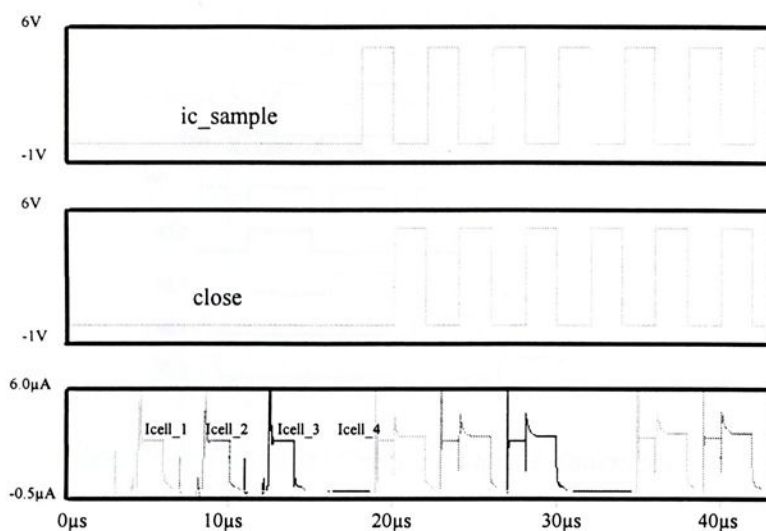


Figura 3.22 Simulação do Sistema de Refresh

3.5 Decodificador de Endereços

O esquemático do decodificador de endereços de linha e coluna, baseado em um circuito de pré-carga, é mostrado na Figura 3.23, com o referido diagrama de sinais (*timing*) indicado na Figura 3.24. O sinal de pré-carga PC é obtido a partir da transição negativa do sinal externo *n_chip_enable*, utilizando-se um *latch* do tipo set-reset.

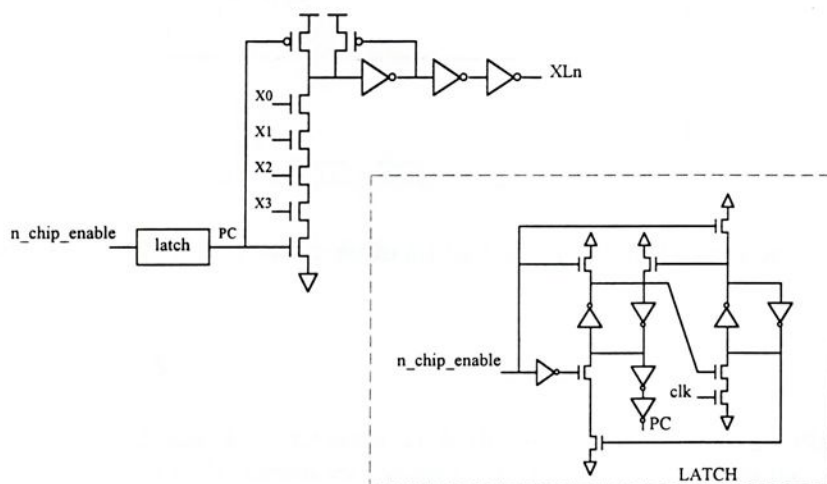


Figura 3.23 Esquemático do Decodificador de Endereços

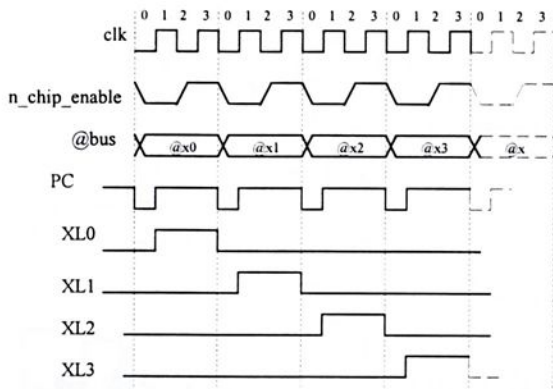


Figura 3.24 Timing do Decodificador de Endereços

3.5.1 Resultados de Simulação

Os resultados de simulação PSPICE do decodificador de endereços estão indicados na Figura 3.25. No caso, $X1 = X2 = X3 = "1"$.

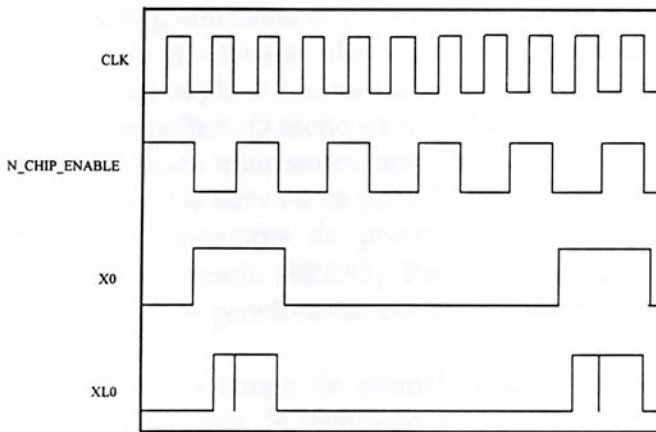


Figura 3.25 Formas de Onda à Saída do Decodificador de Endereços

3.6 Conversor D/A

O diagrama de blocos do conversor D/A de 6-bits é indicado na Figura 3.26, consistindo no chaveamento de fontes de corrente de peso binário, obtidas a partir de uma referencia interna de corrente unitária I_u , e que compõem a corrente de saída I_{dac} . Os bits de comando das chaves $B_5 - B_0$ são provenientes do exterior do *chip* ($nEXT = "0"$).

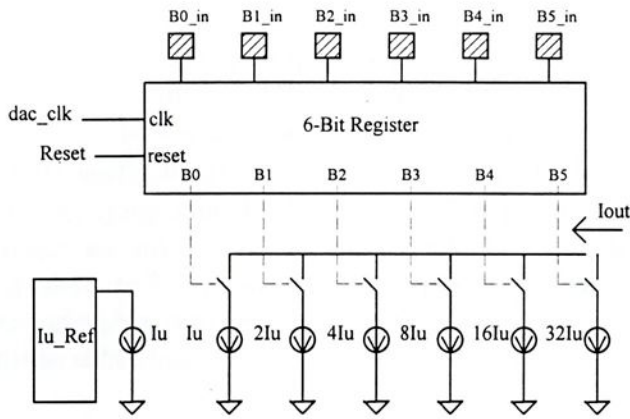


Figura 3.26 Diagrama de Blocos do Conversor D/A

3.6.1 Parte Analógica

De modo a obter-se melhor precisão na geração das correntes binárias, as fontes de corrente chaveadas são implementadas a partir de espelhos de corrente do tipo cascode regulado [SÄC90], conforme esquemático da Figura 3.27. Através da regulação de tensão nos pontos A e B, eleva-se não somente a impedância de saída da fonte de corrente, como descrito na seção 3.2.3, mas impõe, sobretudo, valores idênticos de V_{DS} aos transistores M_1 dos espelhos. O efeito de modulação de canal apresenta-se, portanto, sob a mesma forma para esses transistores, aproximando-se do fator ideal $2^{i+1}I_u/2^iI_u = 2$ entre as correntes geradas. Os desvios na geração do peso binário limitam-se, portanto, ao descasamento entre parâmetros de processo e à variação das dimensões dos transistores devido à fotolitografia [SZE83]. Para tanto, mantem-se os mesmos valores de $(W/L)_2$ e I_{BIAS} em todos os geradores de corrente binária.

Um fator decisivo no tempo de estabelecimento do conversor (*settling time*) corresponde à resposta da malha de regulação à variação de tensão em A, transmitida via acoplamento capacitivo, decorrente da injeção de cargas no ponto C (nó comum a todas as fontes de corrente de peso binário) durante a comutação das chaves.

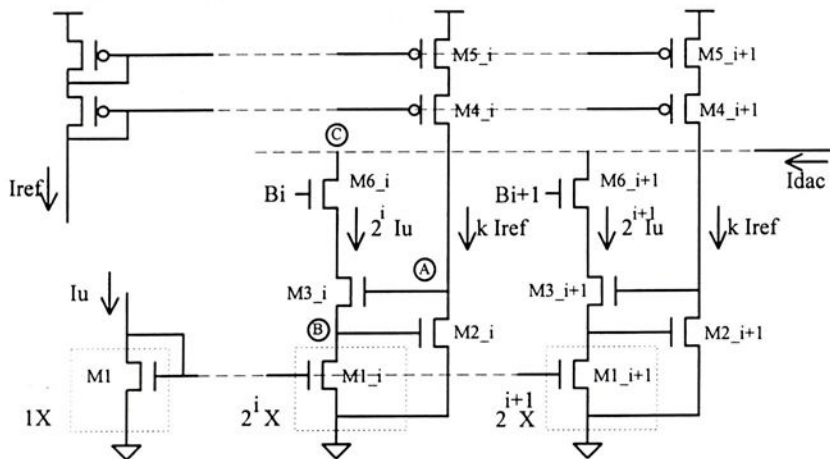


Figura 3.27 Espelhos de Corrente Cascode Regulado

Seja, como exemplo, o caso da Figura 3.28, no qual a chave M_{6i} referente ao peso binário i , é comutada, permanecendo as demais em condução. Uma variação de tensão $\Delta V_C = \Delta V (C_1/C_C)$ é transmitida ao nó C. Considerando o efeito sobre a fonte binária de peso $i+1$, uma perturbação de tensão $\Delta V_D = \Delta V_C (C_2/C_D)$ será similarmemente transmitida ao nó D. Correspondendo M_{3i+1} a um seguidor de fonte, ΔV_D será praticamente transmitida ao nó E, variando-se a tensão V_{DS} de M_{1i+1} . Devido à modulação de canal, a corrente $2^{i+1}I_u$ sofre uma perturbação, a qual é transmitida à saída I_{DAC} . Obviamente, perturbações provenientes das fontes de corrente de peso mais alto são as mais significativas sobre I_{DAC} .

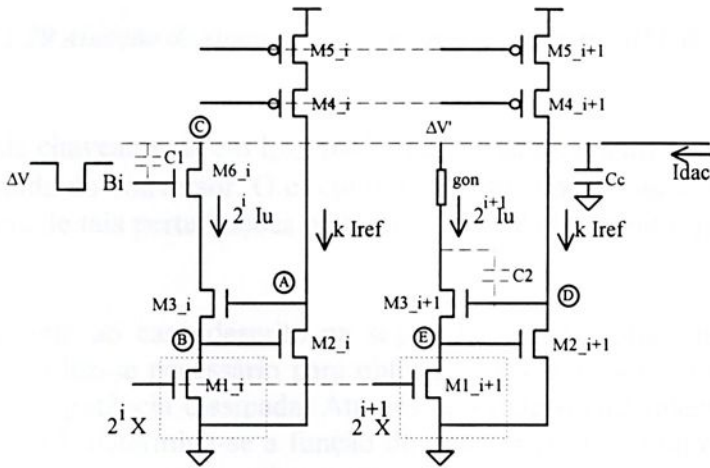


Figura 3.28 Ruído de Chaveamento sobre I_{DAC}

O efeito do ruído de chaveamento é verificado através de simulação ilustrada na Figura 3.29. Neste exemplo, em que o dimensionamento dos transistores na malha de regulação não é otimizado, pode-se observar a perturbação nas correntes de peso binário, e conseqüentemente na corrente de saída I_{DAC} , pelo chaveamento apenas do bit LSB, comprometendo o tempo de estabelecimento do conversor. A variação na corrente MSB (I_5) decorre de uma perturbação de aproximadamente 30mV no potencial no ponto E da referida fonte de corrente.



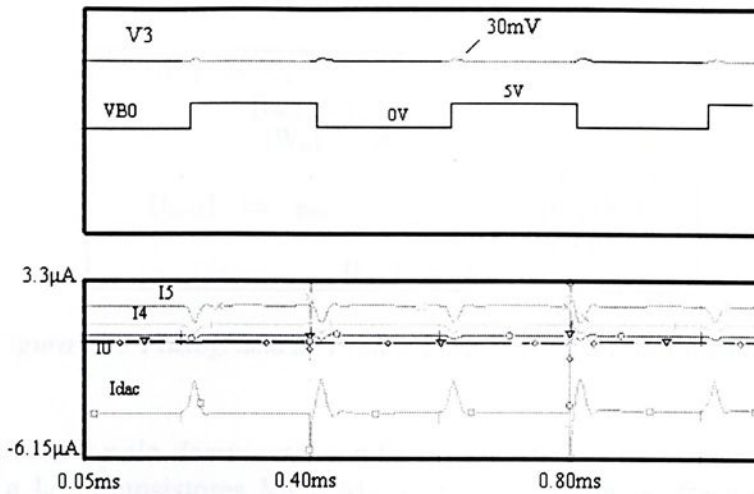


Figura 3.29 Atuação do ruído de chaveamento na corrente MSB do conversor

O ruído de chaveamento em I_{DAC} prolonga, portanto, o tempo de estabelecimento da corrente de saída do conversor. O circuito atuará no cancelamento de ΔV_D , e menor será a importância de tais perturbações no tempo de estabelecimento quanto mais rápida for a regulação.

Analogamente ao caso descrito na seção 3.3, uma análise da estabilidade da malha de regulação faz-se necessário para obter-se um compromisso entre o tempo de estabelecimento e a potência dissipada. Através do circuito equivalente para pequenos sinais da Figura 3.10, determina-se a função de transferência de malha fechada, à qual corresponde um sistema a dois polos e um zero. A atenuação devido à malha de regulação, a baixas e médias frequências, corresponde a

$$\frac{V_B}{V_C} = \frac{1}{g_{m2}g_{m3}\Gamma_{o2}\Gamma_{o3}} \quad (3.23)$$

Considerando uma corrente unitária $I_u = 25\text{nA}$ e os valores minimizados de C_1 e C_2 , necessários para um tempo de estabelecimento relativamente rápido, duas opções apresentam-se em relação ao posicionamento dos polos² [DEL97.2]:

i) *sistema a polos idênticos*: Condição preferencialmente aplicada a casos onde $I_{out} \approx I_u$ (fator de espelhamento $K \approx 1$). Transistores M_2 e M_3 operam em inversão fraca, minimizando a razão (W/L) , com polos

$$p_1 = p_2 = -\frac{2g_{m2}}{\alpha C_2} = -\frac{\alpha g_{m3}}{2C_1} \quad (3.23)$$

onde, $\alpha = \eta$ em inversão fraca e $\alpha = (1 + \chi)$ em inversão forte. Na Figura 3.30 tem-se o fluxograma de projeto para o referido caso, tendo como especificações de projeto I_u , I_{BIAS} , $(W/L)_2$, K e L_3 , determinando-se τ_r e W_3 .

²polos reais, de modo a evitar oscilações que comprometeriam o tempo de estabelecimento do conversor D/A.

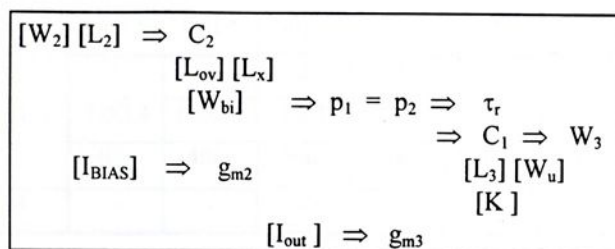


Figura 3.30 Fluxograma de Projeto para Sistema a Polos Idênticos

ii) *sistema a polo dominante*: condição aplicada aos demais casos, ou seja, para I_{out} superior a I_u . Transistores M_2 e M_3 operam em inversão fraca e inversão forte, respectivamente, compatíveis com os valores de I_{BIAS} e I_{out} . Neste caso, $|p_1| \ll |p_2| e$

$$p_1 = -\frac{g_{m2}}{\alpha C_2} \quad (3.24a)$$

$$p_2 = -\frac{\alpha g_{m3}}{C_1} \quad (3.24b)$$

Na Figura 3.31 tem-se o fluxograma de projeto para o caso de um sistema a polo dominante, tendo como especificação de projeto, a constante de tempo τ_r , I_{BIAS} , $(W/L)_2$, I_u , K , L_3 , determinando-se W_3 , a frequência do polo não-dominante p_2 e o fator $M = p_2/p_1$ (no caso $M \geq 10$).

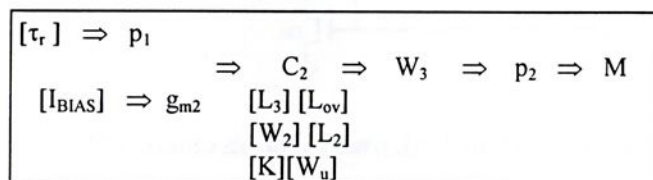


Figura 3.31 Fluxograma de Projeto para Sistema a Polo Dominante

Na Tabela 3.8 tem-se as dimensões de M_3 , a constante de tempo τ_r e fator M , nas fontes de corrente binária, para $I_u = 25nA$, $I_{BIAS} = 10nA$, $(W/L)_2 = (4/2.4)$, $(W/L)_u = (4.8/7.2)$, $W_{Bi} = 4.8\mu m$. Visando-se um melhor espelhamento de corrente, M_{1i} corresponde a uma associação em paralelo de K transistores unitários M_u , onde $K = 1, 2, 4 \dots 32$. O canal relativamente longo de M_{1i} ($7.2\mu m$) eleva r_{out} da fonte de corrente. De modo a reduzir capacitâncias parasitárias de dreno, transistores circulares podem ser utilizados em configuração do tipo centroide [DEL96]. W_{Bi} corresponde à largura de canal do transistor implementando a fonte de corrente I_{BIAS} .

	Bit0 *	Bit1 *	Bit2**	Bit3**	Bit4**	Bit5**
K	1	2	4	8	16	32
$(W/L)_3$	3.0/2.4	6.0/2.4	1.8/1	3.6/1	5.3/1	7.1/1
τ_r	40ns	40ns	50ns	60ns	70ns	70ns
M	-	-	10	10	12	11

* sistema a polos idênticos ** sistema a polo dominante

Tabela 3.8 Dimensão de M_3 nas fontes de corrente binárias do conversor D/A, para $I_u = 25nA$, $I_{BIAS} = 10nA$, $(W/L)_2 = (4/2.4)$, $(W/L)_u = (4.8/7.2)$, $W_{Bi} = 4.8\mu m$

Como descrito na seção 2.3.1, a varredura da corrente de programação I_{prog} deve ser centrada em torno da corrente de referência I_{REF} . O circuito da Figura 3.32 permite que o “sinal” de I_{prog} seja definido em função do bit de controle $sign$. Para $sign = “1” \Rightarrow I_{prog} = I_{DAC} - I_{REF}$, associando-se a I_{prog} o “sinal” positivo. Se $sign = “0”$, $I_{prog} = I_{REF} - I_{DAC}$, sendo o “sinal” de I_{prog} negativo. Deve-se ressaltar que, sendo $I_{REF} > I_{DACmax}$, mantém a condição $I_{prog} > 0$, ou seja, I_{prog} é sempre “drenada” pelo conversor D/A.

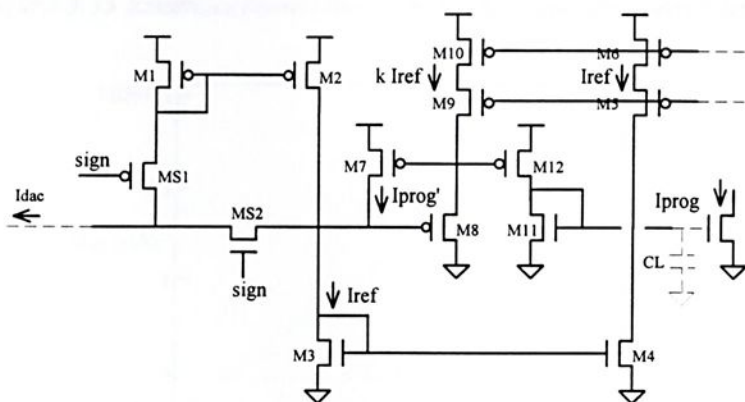


Figura 3.32 Circuito de Saída para Atribuição do “sinal” a I_{prog}

De modo a não comprometer o tempo de estabelecimento do conversor, um estágio classe A, composto por M_8 e pela fonte de corrente M_9, M_{10} , desacopla M_7 da capacitância de carga C_L . Neste caso, uma corrente superior a I_{prog} (kI_{REF}) é utilizada na carga e descarga de C_L . Na Tabela 3.9 tem-se as dimensões dos transistores do estágio de saída do conversor D/A.

	M_1	M_2	M_3	M_4	M_5	M_6	M_7	M_8	M_9	M_{10}	M_{11}	M_{12}
W(μm)	19.2	19.2	19.2	19.2	4.8	4.8	9.6	9.6	9.6	9.6	9.6	9.6
L(μm)	9.6	9.6	9.6	9.6	2.4	2.4	4.8	2.4	2.4	2.4	4.8	4.8

Tabela 3.9 Dimensões dos Transistores do Estágio de Saída do Conversor D/A

3.5.1.1 Resultados de Simulação

Na Figura 3.33 tem-se a forma de onda da corrente de saída I_{DAC} do conversor D/A de 6-bits, para alguns valores da entrada digital, para um incremento de $I_u = 28.9nA$ e $I_{REF} = 3.1\mu A$, observando-se um tempo máximo de estabelecimento de $15\mu s$. A ausência praticamente de oscilação após o chaveamento indica polos reais na malha de

regulação, como desejado. Na Figura 3.34 tem-se a característica estática do conversor D/A, para um consumo de potência inferior a $150\mu\text{W}$. Na Figura 3.35 tem-se o erro de não-linearidade integral (NLI) de conversão, permanecendo inferior a 0.01 LSB.

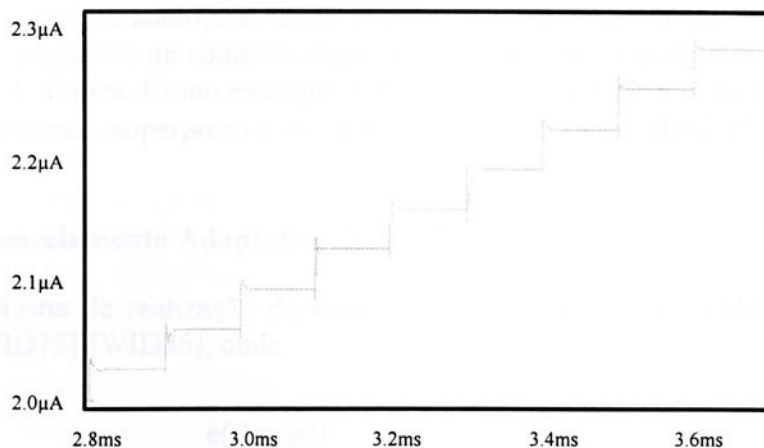


Figura 3.33 Estabelecimento da Corrente de Saída do Conversor D/A

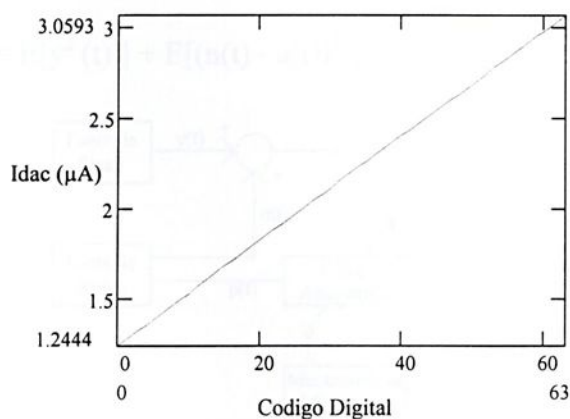


Figura 3.34 Transferência do Conversor D/A

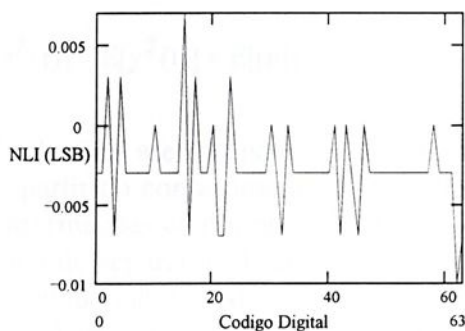


Figura 3.35 Erro de Não-Linearidade Integral do Conversor D/A

IV. Aplicação da Memória Analógica na Síntese de Redes Neurais

Neste capítulo, uma arquitetura de um circuito integrado neural baseado em perceptrons será desenvolvida, utilizando-se como elemento armazenador dos pesos adaptativos a memória analógica. Embora a arquitetura proposta possa ser empregada em diferentes aplicações de controle adaptativo, objetiva-se, inicialmente, sua utilização em separação de fontes. Como exemplo específico, o cancelamento *on-line* do ruído de 60Hz da rede elétrica, superposto a sinais de eletrocardiogramas [DEL97.2].

4.1 Cancelamento Adaptativo de Ruído

Uma forma de realização do cancelamento adaptativo de ruído é ilustrada na Figura 4.1 [WID75] [WID85], onde

$$e(t) = y(t) + n(t) - a(t) \quad (4.1)$$

ou seja,

$$e^2(t) = y^2(t) + [n(t) - a(t)]^2 + 2y(t)[n(t) - a(t)] \quad (4.2)$$

e, portanto, o erro quadrático médio é dado por

$$E[e^2(t)] = E[y^2(t)] + E[(n(t) - a(t))^2] + 2E[y(t)(n(t) - a(t))] \quad (4.3)$$

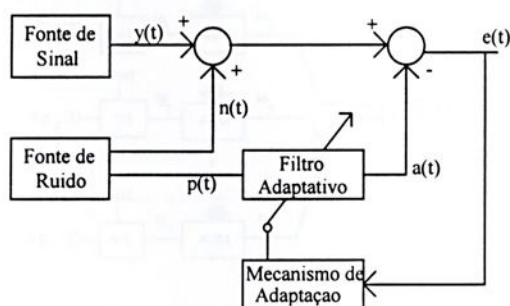


Figura 4.1 - Cancelador Adaptativo de Ruído

No caso em que $y(t) \perp n(t)$ e $y(t) \perp a(t)$, tem-se que

$$E[e^2(t)] = E[y^2(t)] + E[(n(t) - a(t))^2] \quad (4.4)$$

Uma vez que $E[y^2(t)]$ não é afetado pelo mecanismo de adaptação, o objetivo é minimizar $E[(n(t) - a(t))^2]$ a partir do conhecimento de um sinal $p(t)$ correlacionado com $n(t)$, ou ainda através de informações como, por exemplo, o fato de $n(t)$ ser uma forma de onda periódica. Em casos de separação de fontes, em que um ruído superpõe-se ao sinal principal, o primeiro, captado através de um sensor adicional, pode ser empregado no cancelamento adaptativo. A rede neural artificial pode ser do tipo ilustrado na Figura 4.2, possuindo uma relação entrada-saída idealmente descrita por:

$$a(t) = \sum_{j=1}^n w_j(t)p_j(t) \quad (4.5)$$

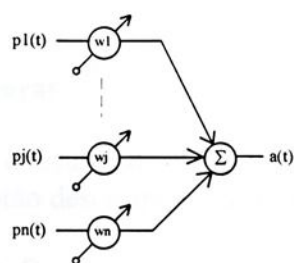


Figura 4.2 Representação da Rede Neural

A arquitetura do circuito integrado proposto está representada na Figura 4.3. Opera-se em modo corrente [TOU90-2], obtendo-se uma simplificação de circuito e conseqüente redução no consumo de potência. Um conversor tensão-corrente (V/I) converte a tensão do sinal de entrada V_{p_i} em uma corrente I_{p_i} . Um multiplicador analógico de quatro quadrantes (4QM) realiza o produto entre a entrada I_{p_i} e a corrente I_{w_i} , referente ao peso W_i memorizado, resultando I_{o_i} . Os pesos são armazenados na memória analógica descrita no Capítulo III. Contribuições dos demais produtos são linearmente somadas à entrada do conversor corrente-tensão (I/V), cuja saída corresponde à tensão analógica $V_{a_{real}}(t)$.

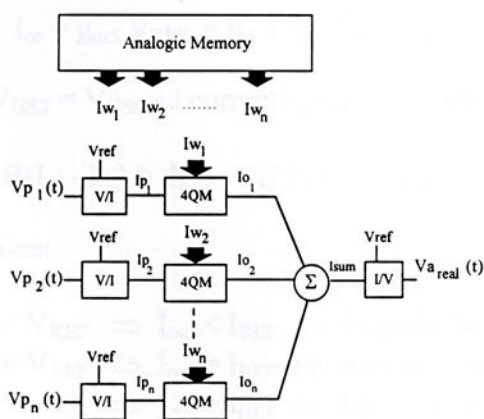


Figura 4.3 Diagrama de Blocos da Rede Neural

Na Figura 4.4 tem-se o sistema adaptativo para a cancelamento de ruído, simplificado a uma rede neural com apenas dois neurônios. Entradas correspondem ao sinal eletrocardiográfico e a uma amostragem do ruído de 60Hz da rede elétrica. O sinal composto é enviado a um microcomputador externo o qual executará o treinamento da rede "on-line", ajustando amplitude e fase dos sinais de entrada através da adaptação dos pesos.

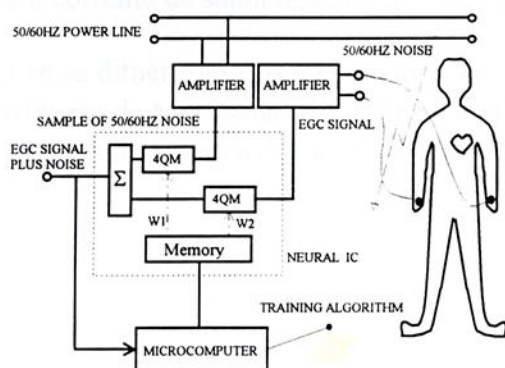


Figura 4.4 Sistema de Cancelamento Adaptativo do Ruído de 60Hz em Sinais ECG



4.2 Projeto da Rede Neural

A especificação, projeto e resultados de simulação dos circuitos referentes à rede neural proposta na Figura 4.3 serão descritos nesta seção.

4.2.1 Conversor Tensão-Corrente

A tensão referente à entrada $v_p(t)$ é convertida em corrente através do circuito ilustrado na Figura 4.5, onde $V_{REF} = \frac{1}{2}V_{DD}$ e I_{REF} é a corrente de referência à qual associa-se o valor armazenado “zero”, conforme descrito na seção 2.3.1. Assume-se transistores $M_1 - M_4$ perfeitamente casados aos correspondentes $M_5 - M_8$. Um fator multiplicativo B é adotado nos espelhos de corrente M_{10}, M_{11} e M_8, M_{12} . Para um maior intervalo de linearidade nas entradas $v_p(t)$, transistores M_1 e M_5 são mantidos na região triodo - ou linear - [TSI87] através da malha de regulação. Admitindo pequenos sinais, as correntes de dreno correspondem a

$$I_{oi} = g_{m1} v_p(t) = \beta_1 V_{GS2} v_p(t) \quad (4.6)$$

$$I_{or} = g_{m5} V_{REF} = \beta_5 V_{GS6} V_{REF} \quad (4.7)$$

Sendo $\beta_1 = \beta_5$ e $V_{GS2} = V_{GS6}$, a corrente gerada à saída do conversor é dada por

$$I_{out} = I_{REF} + B(I_{oi} - I_{or}) = I_{REF} + B \beta_1 V_{GS2} (v_p(t) - V_{REF}) \quad (4.8)$$

Desta forma, tem-se:

$$\begin{aligned} v_p < V_{REF} &\Rightarrow I_{out} < I_{REF} \Rightarrow \text{Entrada "negativa"} \\ v_p = V_{REF} &\Rightarrow I_{out} = I_{REF} \Rightarrow \text{Entrada "nula"} \\ v_p > V_{REF} &\Rightarrow I_{out} > I_{REF} \Rightarrow \text{Entrada "positiva"} \end{aligned}$$

A transcondutância do conversor corresponde a

$$G_m = \frac{\delta I_{out}}{\delta V_p} = B \beta_1 V_{GS2} \quad (4.9)$$

podendo, portanto, ser ajustada através do fator B . No caso, valores de β_1 e B são determinados para obter-se boa linearidade de conversão no intervalo $2.0V \leq v_p(t) \leq 3.0V$, ao qual corresponde a corrente de saída $0.5\mu A \leq I_{out} \leq 5.5\mu A$.

Na Tabela 4.1 tem-se as dimensões dos transistores adotados. Um valor reduzido para β_1, β_5 permite a polarização de M_1, M_5 na região linear. Os transistores da malha de regulação, assim como I_{BIAS} , foram dimensionados de modo a obter-se um sistema a polo dominante [DEL97.2].

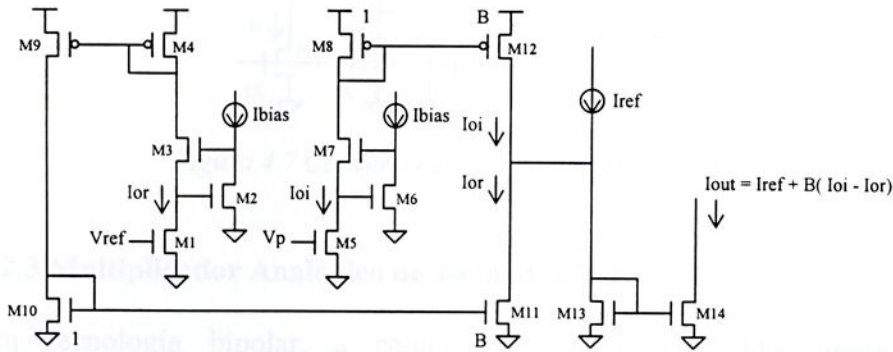


Figura 4.5 Esquemático do Conversor Tensão-Corrente

	M ₁	M ₂	M ₃	M ₄	M ₅	M ₆	M ₇	M ₈	M ₉	M ₁₀	M ₁₁	M ₁₂	M ₁₃	M ₁₄
W(μm)	2.4	2.4	8.0	4.8	2.4	2.4	8.0	4.8	4.8	4.8	9.6	9.6	4.8	4.8
L(μm)	80	7.2	1.6	9.6	80	7.2	1.6	9.6	9.6	9.6	9.6	9.6	4.8	4.8

Tabela 4.1 Dimensões de Transistores do Conversor V/I ($I_{BIAS} = 10nA$)

4.2.1.1 Resultados de Simulação

Na Figura 4.6 tem-se a característica do conversor tensão-corrente obtida através de simulação. Na condição $v_p(t) = V_{REF}$, tem-se $G_m = 4.910mA/V$ e um *off-set* de corrente de 57nA. A não-linearidade para $\Delta v_p = 0.5V$ corresponde a 6.4%.

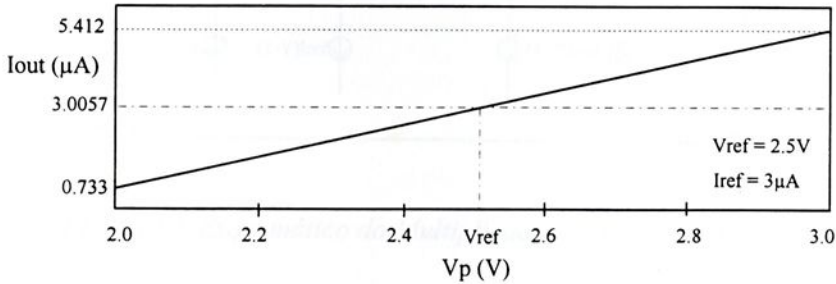


Figura 4.6 Característica do Conversor V/I

4.2.2 Conversor de Correntes Diferenciais

Como será visto na seção 4.2.3, o multiplicador analógico da Figura 4.3 tem, como operandos, correntes em modo diferencial. Utilizando como referência I_{REF} , o circuito da Figura 4.7 converte uma corrente de entrada I_i , referente à variável de entrada da rede neural v_{pi} ou ao peso W_i memorizado, em um diferencial de corrente $[I_i, 2I_{REF} - I_i]$.

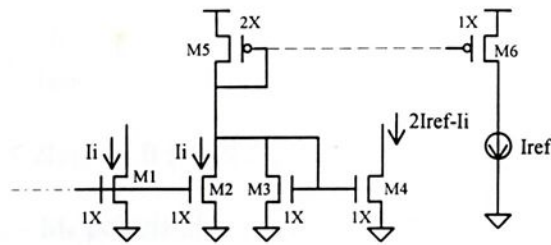


Figura 4.7 Conversor de Corrente Diferencial

4.2.3 Multiplicador Analógico de 4-Quadrantes

Em tecnologia bipolar, a célula de Gilbert tem sido empregada em multiplicadores analógicos de alta performance [GIL75][GIL82]. Sendo o nível das correntes relacionadas com v_{pi} e W_i compatível com a operação de transistores MOS em inversão fraca [VIT94.1], o equivalente MOS da célula de Gilbert pode ser adotada na síntese de um multiplicador analógico de 4-quadrantes [DEL89], como indicado na Figura 4.8.

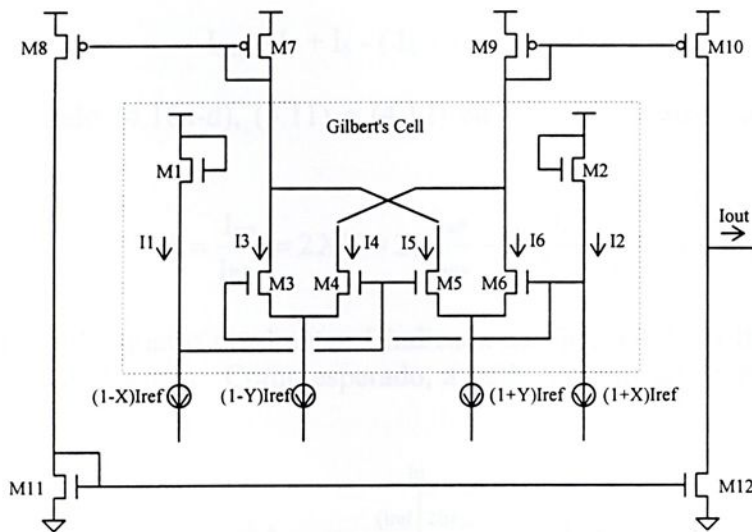


Figura 4.8 Esquemático do Multiplicador de 4-Quadrantes

Seja as entradas do multiplicador os diferenciais de corrente $[I_{x1}, I_{x2}] = [I_{cell}, 2I_{REF} - I_{cell}]$ e $[I_{y1}, I_{y2}] = [I_p, 2I_{REF} - I_p]$. Rescrevendo-os em função dos índices X e Y, tem-se

$$I_{x1} = (1+X) I_{REF} \quad (4.10a)$$

$$I_{x2} = (1-X) I_{REF} \quad (4.10b)$$

$$I_{y1} = (1+Y) I_{REF} \quad (4.10c)$$

$$I_{y2} = (1-Y) I_{REF} \quad (4.10d)$$

onde $X = \frac{I_{cell}}{I_{REF}} - 1$ e $Y = \frac{I_p}{I_{REF}} - 1$.

Sendo $0 \leq I_{cell} \leq 2I_{REF}$ e $0 \leq I_p \leq 2I_{REF}$, tem-se $-1 \leq X \leq 1$ e $-1 \leq Y \leq 1$.

Assumindo $M_1 - M_6$ polarizados em inversão fraca e idealmente casados, através do princípio translinear [GIL75], tem-se:

$$V_{GS1} + V_{GS4} = V_{GS2} + V_{GS3} \quad (4.11a)$$

$$V_{GS1} + V_{GS5} = V_{GS2} + V_{GS6} \quad (4.11b)$$

ou, em termos das correntes de dreno,

$$I_1 I_4 = I_2 I_3 \quad (4.12a)$$

$$I_1 I_5 = I_2 I_6 \quad (4.12b)$$

Considerando os espelhos $M_7 - M_{12}$ unitários, a corrente de saída corresponde a

$$I_{out} = I_3 + I_5 - (I_4 + I_6) \quad (4.13)$$

Substituindo (4.10a-d), (4.11) e (4.12) em (4.13), obtém-se a transferência do multiplicador

$$Z = \frac{I_{out}}{I_{REF}} = 2XY = 2\left(\frac{I_{cell}}{I_{REF}} - 1\right)\left(\frac{I_p}{I_{REF}} - 1\right) \quad (4.14)$$

Operação em quatro quadrantes é indicada na Figura 4.9 em função dos valores correspondentes de I_{cell} e I_p . Como esperado, a saída normalizada Z está compreendida entre ± 2 .

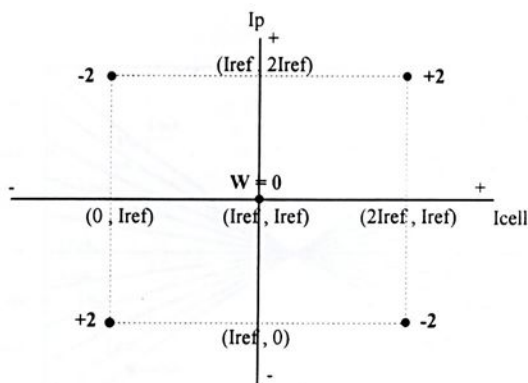


Figura 4.9 Multiplicação em Quatro Quadrantes

4.2.3.1 Resultados de Simulação

Na Figura 4.10 tem-se o circuito utilizado na simulação do multiplicador de 4-quadrantes. Dois conversores (DIFX e DIFY) geram os diferenciais de corrente $[I_{x1}, I_{x2}]$,

$[I_{y1}, I_{y2}]$ a partir das entradas I_{cell} e I_p . Um amplificador operacional de transcondutância (OTA) converte em tensão a corrente resultante do produto. Na Tabela 4.2 tem-se as dimensões dos transistores. De modo a aplicar o princípio translinear, $M_1 - M_6$ operam em inversão fraca, ao passo que os espelhos $M_7 - M_{12}$ são polarizados em inversão forte para uma melhor cópia de corrente [VIT94.1].

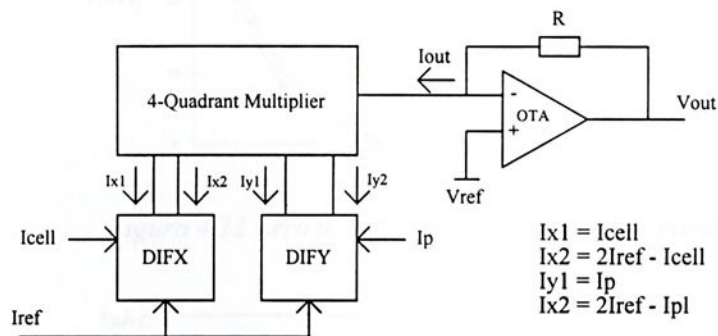


Figura 4.10 Circuito para Simulação do Multiplicador de 4-Quadrantes

Na Figura 4.11 tem-se a transferência do circuito para $2.0\mu A \leq I_{cell}$, $I_p \leq 4.0\mu A$ e na Figura 4.12, a referida não-linearidade. Como pode ser observado, para $1.5\mu A \leq I_{cell}$, $I_p \leq 4.0\mu A$ uma não-linearidade inferior a 10% é encontrada. No entanto, fixado um valor de I_{cell} , a não-linearidade, apresenta um valor aproximadamente constante, e portanto previsível, o que possibilitaria sua compensação em controle adaptativo através do ajuste dos pesos. Na Figura 4.13 tem-se o produto entre duas senóides de frequência de 100KHz, e defasadas de 90° , resultando em uma senoide de frequência 200KHz.

	M1	M2	M3	M4	M5	M6	M7	M8	M9	M10	M11	M12
L(μm)	60	60	60	60	60	60	4.8	4.8	4.8	4.8	4.8	4.8
W(μm)	0.8	0.8	0.8	0.8	0.8	0.8	4.8	4.8	4.8	4.8	4.8	4.8

Tabela 4.2 Dimensionamento do Multiplicador de 4-Quadrantes

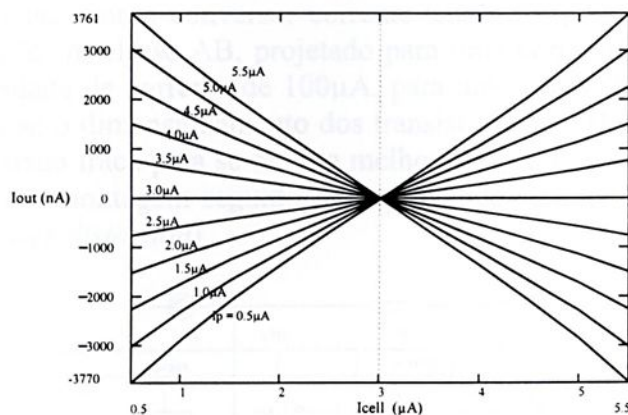


Figura 4.11 Transferência do Multiplicador de 4-Quadrantes



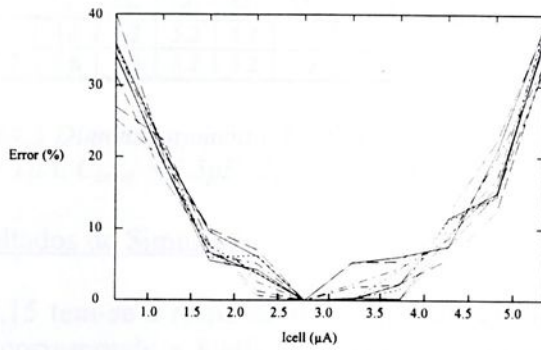


Figura 4.12 Erro de Não-linearidade do Multiplicador

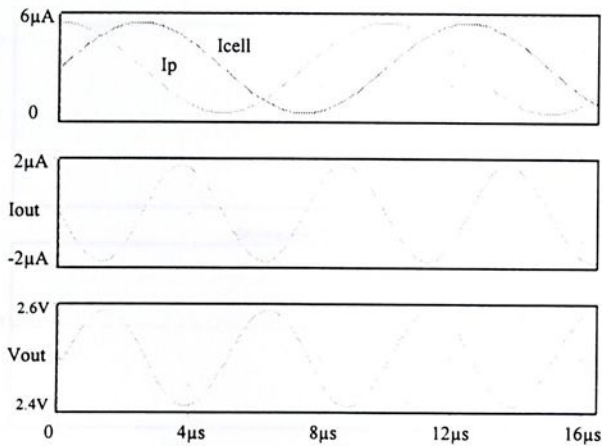


Figura 4.13 Resposta do Multiplicador a Entradas Senoidais de Frequências Idênticas

4.2.4 Amplificador Operacional de Transcondutância

Na Figura 4.14 tem-se o esquemático do amplificador operacional de micropotência utilizado como conversor corrente-tensão, o qual consiste de um OTA com estágio de saída em classe AB, projetado para uma corrente quiescente inferior a $1.5 \mu A$, com capacidade de corrente de $100 \mu A$, para uma excursão de saída de $\pm 1 V$. Na Tabela 4.3 tem-se o dimensionamento dos transistores do OTA. O par diferencial é polarizado em inversão fraca para se obter a melhor relação I_D/g_m . Na Figura 4.16 tem-se o amplificador em montagem seguidor, comprovando-se a ausência da distorção de cruzamento (*crossover distortion*).

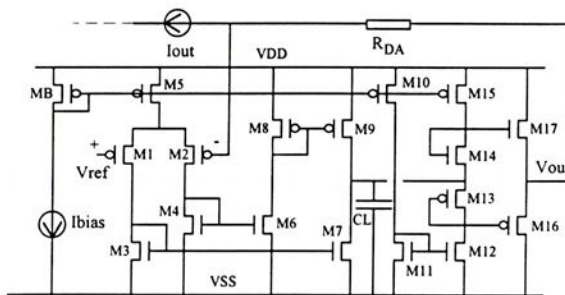


Figura 4.14 Esquemático do Amplificador OTA com Estágio Classe AB



	M ₁	M ₂	M ₃	M ₄	M ₅	M ₆	M ₇	M ₈	M ₉	M ₁₀	M ₁₁	M ₁₂	M ₁₃	M ₁₄	M ₁₅	M ₁₆	M ₁₇	M _B
W(μm)	48	48	5.2	5.2	10	5.2	5.2	5.2	5.2	7.5	20	20	8.8	88	7.5	196	88	10
L(μm)	2.4	2.4	5.2	5.2	4.8	5.2	5.2	5.2	5.2	45	5.2	5.2	0.8	0.8	45	0.8	0.8	4.8

Tabela 4.3 Dimensionamento do OTA.

($I_{BIAS} = 1\mu A$, $C_{comp} = 2.5pF$, $C_{LOAD} = 15pF$, $V_{REF} = 2.5V$)

4.2.4.1 Resultados de Simulação

Na Figura 4.15 tem-se a resposta em frequência em malha aberta. O ganho em baixas frequências corresponde a 89dB e a frequência unitária f_T a aproximadamente 1.2MHz, para uma margem de fase de 55°.

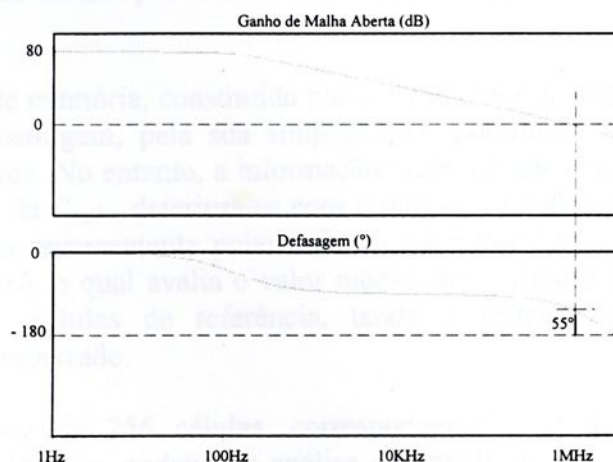


Figura 4.15 Resposta em Malha Aberta do Amplificador de Transcondutância

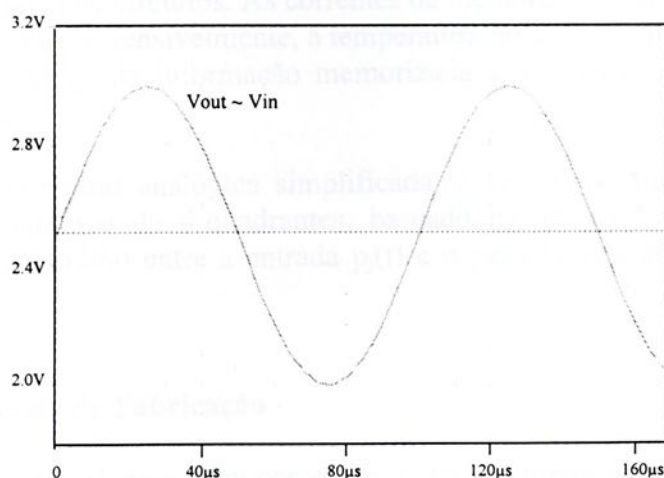


Figura 4.16 Amplificador como Seguidor de Tensão e Ausência da Distorção de Cruzamento ($I_Q \approx 1.5\mu A$)

V. Conclusão e Perspectivas Futuras

Neste trabalho é proposto o desenvolvimento de uma memória analógica, em processo de integração CMOS convencional, assim como sua utilização no armazenamento de pesos sinápticos na implementação de redes neurais [RAM91]. Como exemplo de aplicação, o cancelamento adaptativo de ruído de 60Hz da rede elétrica em sinais fisiológicos, como aqueles provenientes de eletrocardiogramas [DEL97.1].

Em relação às memórias não-voláteis do tipo EEPROM, o armazenamento de informação temporária tem sido cada vez mais necessário em sistemas com integração em escala VLSI. Dentre as vantagens apresentadas, um menor tempo de programação, maior densidade de células por área de Silício e compatibilidade com processos CMOS convencionais.

A célula de memória, constituída por um capacitor de armazenamento C_{cell} e um transistor de amostragem, pela sua simplicidade, possibilita uma alta densidade de informação por área. No entanto, a informação memorizada, correspondente a um valor de tensão através de C_{cell} , deteriora-se com o tempo, ao sofrer os efeitos das correntes de fuga da junção reversamente polarizada do transistor de amostragem. Um circuito inovador de *refresh*, o qual avalia o valor médio das correntes de fugas atuando sobre C_{cell} a partir de células de referência, tende a restabelecer o nível de tensão originalmente memorizado.

Uma matriz de 256 células, correspondente a 16 linhas e 16 colunas, é inicialmente considerada, podendo a análise desenvolvida ser estendida a planos com maior capacidade. Visando a aplicação da memória em controle adaptativo e processamento de sinais de baixa frequência, impôs-se, como especificação de projeto, um reduzido consumo de potência. Opera-se em modo corrente, o que permite uma simplificação a nível de circuitos. As correntes de memorização, correspondendo apenas a alguns μA , minimiza, sensivelmente, a temperatura no plano de memória, favorecendo a retenção mais longa da informação memorizada e, conseqüentemente, períodos de *refresh* prolongados.

Uma rede neural analógica simplificada, é projetada em modo corrente. Um multiplicador analógico de 4-quadrantes, baseado na adaptação MOS da célula de Gilbert realiza o produto entre a entrada $p_j(t)$ e o peso $w_j(t)$ armazenado na memória analógica.

5.1 Processo de Fabricação

A memória analógica, bem como a rede neural, foram projetados de acordo com as regras de projeto do processo de integração CMOS 0.7 μm duplo-metal da European Silicon Systems [ES²95]. Visando aplicações em controle adaptativo e processamento de sinais de baixa frequência - por ex. sinais fisiológicos - impôs-se um reduzido consumo de potência como especificação do projeto, estendendo sua utilização a sistemas operados por bateria.

No entanto, sendo o processo de fabricação dedicado às aplicações digitais, estabeleceram-se alguns compromissos para sua utilização no presente projeto. Os elevados valores especificados para as tensões de limiar dos transistores MOS praticamente impossibilitam o projeto em baixas tensões (*low-voltage*) com características de elevadas linearidade e precisão. Optou-se por uma alimentação $V_{DD} = 5V$, mantendo-se, porém, a orientação de baixo consumo. O projeto pode ser, entretanto, redimensionado para valores menores de V_{DD} , como 3.3V, na possibilidade de utilização de processos CMOS adequados ao projeto analógico em baixas tensões.

5.2 Projeto da Memória Analógica

5.2.1 Arquitetura da Memória Analógica

A arquitetura adotada possibilita a utilização da memória analógica como: i) um subsistema independente (*stand alone*) e ii) um subsistema periférico autônomo de um microcontrolador. Os diagramas de tempo (*timing*), definidos no Capítulo II, são compatíveis com essa dupla orientação.

Cada coluna possui seu circuito de *refresh*, independente dos demais. Durante o período de *refresh*, as linhas são seqüencialmente selecionadas, restabelecendo-se a informação na célula endereçada através do circuito de *refresh* da referida coluna. A cada período de *refresh*, alternam-se k períodos de acesso normal à memória para operações de leitura e escrita, de duração $T_{nop} = T_{refresh}$. O intervalo entre períodos de *refresh* consecutivos equivale, portanto, a $(k+1) T_{refresh}$. O parâmetro k não é fixo, podendo ser facilmente variado em função da magnitude das correntes de fuga e, conseqüentemente, do período de *refresh*.

5.2.2 Modelamento da Célula de Memória

O modelamento dos mecanismos que levam a imprecisões na réplica de I_{cell} , apresentado na seção 3.2, mostrou-se essencial no dimensionamento da célula de memória e elaboração do respectivo *layout*. Os erros relativos associados a I_{cell} devido às correntes de fuga, efeitos de injeção de cargas, condutância finita de saída, e ruído foram analisados e, em primeira ordem, quantificados.

5.2.3 Projeto da Célula de Memória

O projeto do copiador de corrente cascode-regulado, circuito de base da célula de memória, e descrito na seção 3.3, teve como diretrizes:

i) manter o transistor M_1 em sua região linear para todos os valores de I_{cell} , de modo a maximizar-se C_{cell} , referente à sua capacitância porta-fonte.

ii) reduzir a condutância de M_1 , minimizando variações na réplica de I_{cell} decorrente dos efeitos das correntes de fuga em V_{cell} .

iii) assumir significativa margem no dimensionamento de C_{cell} de modo a prever correntes de fuga bem superiores às especificadas para o processo de integração a ser

utilizado [ES²95]. Deste modo, adotou-se para C_{cell} um valor aproximadamente 820 vezes superior ao estabelecido pelo valor especificado de J_{leak} .

iv) impor um tempo de estabelecimento de I_{cell} inferior a $2\mu s$ (T_{clk}) quando de uma amostragem na célula de memória.

v) de modo a reduzir ΔV_{cell} devido ao acoplamento com a linha de dado no início da amostragem, e conseqüente prolongamento do tempo de estabelecimento da corrente escrita na célula:

- elevar a resistência de saída do copiador de corrente.
- minimizar o tempo de regulação através da análise da estabilidade da malha reguladora [DEL97.2].

Os resultados de simulação indicam $e_{sample} < 1\%$ no estabelecimento de I_{cell} , em relação ao valor imposto I_{in} , após um tempo de amostragem de $1.2\mu s$. O consumo de potência máximo relacionado com a leitura/escrita em uma única célula corresponde a $48.7\mu W$.

A informação é armazenada na célula através de um diferencial de corrente. Como referência, adotou-se $I_{REF} = 3.0\mu A$, correspondente ao valor memorizado "nulo". Para $I_{cell} > I_{REF}$, tem-se o sinal (+) associado ao valor de I_{cell} . Caso contrário, o sinal (-). O intervalo de variação de I_{cell} corresponde a $1.425\mu A \leq I_{cell} \leq 4.575\mu A$, determinado a partir da resolução de $25nA$ do conversor D/A de 6-bits, o qual pode ser utilizado durante a programação do plano de memória. Os valores de corrente adotados garantem um baixo consumo de potência, tornando o projeto atrativo para planos de maior capacidade.

5.2.4 Circuito de *Refresh*

Considerando-se o intervalo especificado entre *refresh* consecutivos de $8.192ms$, $I_{leak} = 270fA @ 75^\circ C$, o que corresponde a 100 vezes o valor referente ao processo de fabricação, e $C_{cell} = 1pF$, tem-se $\Delta V_{cell} = (I_{leak} \Delta T_{ref})/C_{cell} = 2.21mV$. Sendo $g_m \cong 3.9\mu A/V$ a transcondutância do transistor M_1 , $\Delta I_{cell} \cong g_m \Delta V_{cell} = 8.6nA$. Esta variação de $1.05nA/ms$, corresponde a, aproximadamente, $1/3$ da resolução de I_{cell} , no caso de programação através do conversor D/A de 6-bits ($25nA$), ou um erro percentual de 0.83% em relação a $I_{REF} = 3\mu A$.

O restabelecimento da informação originalmente armazenada baseia-se na estimativa de um valor médio de corrente de fuga ΔI , obtido através da réplica de $I_{REF} = 3\mu A$ memorizada na célula de referência. Ao considerar-se o efeito do potencial reverso de junção (V_{cell}) nas correntes de fuga, como descrito na seção 3.4.1, o erro percentual em I_{cell} , após o *refresh*, no intervalo $1.425\mu A \leq I_{cell} \leq 4.575\mu A$, corresponde a $-0.59\% \leq \epsilon_{ref} \leq 0.68\%$, para $n = 2$ e $-0.018\% \leq \epsilon_{ref} \leq 0.025\%$, para $n = 4$.

O parâmetro empírico n relaciona-se com o efeito avalanche em junções reversamente polarizadas, não pertencendo, de modo geral, ao conjunto dos parâmetros de processo caracterizados e disponíveis. No presente caso, além de seu valor não ser mencionado na documentação do processo de fabricação a ser utilizado [ES²95], a

ausência de curvas características de transistores na condição de avalanche (*hard breakdown*) impossibilita sua estimativa.

Estimou-se, portanto, o erro percentual nas condições $n = 2$, referente ao pior caso, e $n = 4$, adotando-se o valor médio daqueles registrados em literatura [BUR97]. A dependência exponencial do fator multiplicativo de avalanche M com o parâmetro n influi, sensivelmente, no valor do erro relativo ϵ_{ref} , associado ao *refresh* de I_{cell} . Para $n = 2$, embora o erro previsto possa ser considerado pequeno, sendo o mesmo acumulativo, após períodos de *refresh* consecutivos, tornar-se-ia significativa. Teoricamente, como pode ser observado através da Figura 3.13b, devido ao sinal associado a ϵ_{ref} , o valor final de I_{cell} tenderia a I_{REF} .

5.2.4.1 Vantagens e Desvantagens do Sistema de Refresh Proposto

Como principais vantagens do mecanismo de *refresh* tem-se:

- i) simplicidade de circuito, compatível com integração em escala VLSI.
- ii) *timing* compatível com microcontroladores, podendo a memória ser utilizada como periférico independente.
- iii) circuito de *refresh* em cada coluna, diminuindo o período de *refresh*.
- iv) obtendo-se ΔI através da réplica de I_{REF} armazenada na célula de referência, analogamente à réplica de I_{cell} , associa-se a ΔI as imprecisões decorrentes de injeção de carga, condutância finita e acoplamento de ruído.
- v) baixo consumo de potência estática no circuito de *refresh*.

e como principais desvantagens:

- i) erro na determinação de ΔI a partir de uma corrente de referência.
- ii) imprecisões nos espelhamentos de corrente necessários.

5.2.5 Conversor D/A

O conversor D/A de 6-bits projetado, operando em modo corrente, tem como finalidade a programação do plano de memória. O intervalo de variação da corrente de saída corresponde a $1.425\mu A \leq I_{DAC} \leq 4.575\mu A$, com uma resolução de 25nA. A utilização de fontes de corrente binárias do tipo cascode regulado permite uma excelente precisão em I_{DAC} , sendo constatado em simulação um erro de não-linearidade integral inferior a 0.1LSB. Impondo-se valores idênticos de V_{DS} , o efeito de modulação de canal apresenta-se sob a mesma forma para os transistores do espelho de corrente, aproximando-se do fator ideal $2^{i+1}I_u/2^iI_u = 2$ entre as correntes geradas. Desvios na geração do peso binário limitam-se, portanto, ao descasamento entre parâmetros de processo e não uniformidade de fotolitografia.

O efeito do ruído de chaveamento das fontes de correntes binárias no tempo de estabelecimento da corrente de saída I_{DAC} foi minimizado dimensionando-se o circuito a partir da análise de estabilidade da realimentação cascode-regulado [DEL97.2]. Resultados de simulação indicam ausência de oscilações em I_{DAC} após comutação das

fontes de corrente e um tempo de estabelecimento inferior a $15\mu\text{s}$, para um consumo de potência de $150\mu\text{W}$.

5.3 Projeto da Rede Neural

Resultados de simulação da rede neural, simplificada a dois neurônios, indicam, para o intervalo $1.5\mu\text{A} \leq I_{\text{cell}}$, $I_p \leq 4.0\mu\text{A}$ um erro de não-linearidade inferior a 10%. O consumo de potência máximo corresponde a $240\mu\text{W}$, para uma banda passante de 100KHz. O efeito da linearidade à saída da rede pode, no entanto, ser minimizado; fixado um valor de corrente I_{cell} ou I_p , o erro de não-linearidade apresenta um valor aproximadamente constante, e portanto previsível, o que possibilitaria sua compensação em controle adaptativo através do ajuste dos pesos.

5.3.1 Conversor Tensão-Corrente

Um circuito baseado na relação aproximadamente linear entre a corrente de dreno e a tensão de porta do transistor MOS na região triodo é proposto, apresentando boa linearidade de conversão no intervalo $2.0\text{V} \leq v_p(t) \leq 3.0\text{V}$, ao qual corresponde a corrente de saída $0.5\mu\text{A} \leq I_{\text{out}} \leq 5.5\mu\text{A}$, como erro de não-linearidade máximo de 6.4%.

5.3.2 Multiplicador de 4-Quadrantes

A utilização de correntes da ordem de alguns μA permite a polarização dos transistores em sua região de inversão fraca [TSI87], o que favorece a adaptação da célula de Gilbert em versão MOS [GIL82] [DEL89].

5.3.3 Conversor Corrente-Tensão

O conversor corrente-tensão baseia-se em um amplificador operacional de transcondutância (OTA) de micropotência, com estágio de saída em classe AB, projetado para uma corrente quiescente inferior a $1.5\mu\text{A}$, com capacidade de corrente de $100\mu\text{A}$, para uma excursão de saída de $\pm 1\text{V}$. Resultados de simulação indicam, em malha aberta, $A_v = 89\text{dB}$, $\Phi_M = 55^\circ$ e $f_T \approx 1.2\text{MHz}$. A corrente quiescente à saída corresponde a $1.5\mu\text{A}$.

5.4 Aplicação da Memória Analógica em Redes Neurais

Como descrito na seção 5.2.4, embora exista um erro acumulativo decorrente de *refresh* consecutivos, a memória analógica proposta torna-se viável no armazenamento de pesos sinápticos em redes neurais analógicas, em aplicações como controle adaptativo. Nos dois métodos de treinamento de rede considerados a seguir, valores conservativos - com significativa margem - são adotados para J_{leak} e o parâmetro de avalanche n . Tempos de atualização podem apenas ser determinados mais precisamente após caracterização crítica dos parâmetros J_{leak} e n para o processo de fabricação.

i) treinamento on-line. Neste caso, o sistema de *refresh* pode não ser necessário, devido à atualização freqüente dos pesos na memória.

Exemplo numérico Para $\Delta I_{\text{cell}}/\Delta t = 1.05\text{nA/ms}$, $\epsilon_{\text{max}} = 5\%$, $\Rightarrow \Delta t$ (atualização) $\cong 50\text{ms}$

ii) treinamento off-line (batch). Após um determinado número de períodos de *refresh*, os pesos seriam atualizados na memória.

Exemplo numérico Para $\epsilon_{\text{max}} = 10\%$ e $\epsilon_{\text{ref}} = 0.68\%$ $\Rightarrow n^\circ$ períodos de *refresh* $\cong 14$
 $\Rightarrow \Delta t$ (atualização) $\cong 115\text{ms}$

5.5 Testabilidade do Sistema

Operando a memória analógica a freqüências relativamente baixas ($f_{\text{clk}} = 500\text{KHz}$), seu teste pode ser realizado em montagens do tipo *proto-board*. De modo a minimizar o efeito do ruído superposto a V_{DD} , presente em fontes convencionais, face aos baixos valores de corrente utilizados, baterias devem ser utilizadas na alimentação de 5V. Multímetros de precisão devem ser utilizados na caracterização de tensões e correntes.

Os sinais de controle (*n_chip_enable*, *Read/Write*, *refresh*, ...) podem ser obtidos a partir de geradores de palavra, ou mesmo através de sistemas simples baseados em CI's convencionais.

Como pode ser observado na Figura 2.3, a programação do plano de memória pode ser realizada através do conversor D/A *on-chip*, o qual permite uma resolução de 25nA, ou impondo-se o valor de I_{in} através do *pad* Iext. A réplica de I_{cell} pode ser lida também através do mesmo *pad*.

Características da rede neural como linearidade, banda passante, consumo de potência, entre outras, podem ser obtidas utilizando-se placas de aquisição de dados acopladas a um Computador Pessoal.

5.6 Perspectivas Futuras

Em seqüência ao projeto realizado, o layout da memória analógica, correspondendo a um plano de 16 x 16 células será realizado. Circuitos auxiliares como decodificadores de endereço, conversor D/A, interfaces, ... serão também implementados, assim como, a rede neural simplificada a 2 neurônios. O processo de integração CMOS corresponde àquele mencionado na seção 5.1, prevendo-se o financiamento da fabricação dos circuitos desenvolvidos através do Programa Multi-Usuários da FAPESP.

VI. Referências

[BAR89] BARDYN, J.P. - "Low-Noise Integrated Electronic Design", VLSI Course Design Skills, UCL - Louvain-la-Neuve, 1989.

[BUL91] BULT, K. & GEELEN, J.G.M. - "The CMOS Gain-Boosting Technique", Analog Integrated Circuits and Signal Processing, Vol.1, pp. 119 - 135, 1991.

[BUR97] BURNS, S. G. & BOND, P. R. - "Principles of Electronic Circuits", PWS Publishing Co, Second Edition, 1997.

[DEL89] DE LIMA, J. A. - "Design of a Micropower CMOS Four-Quadrant Multiplier Based on the Translinear Principle", Proceedings of the European Conference on Solid-State Integrated Circuits (ESSIRC), pag. 260, Viena, Austria, 1989.

[DEL96] DE LIMA, J. A. - "Effective Aspect-Ratio and Gate-Capacitance in Circular Geometry MOS Transistors", Solid-State Electronics, Vol.39, No 10, pp. 1524-1525, 1996.

[DEL97.1] DE LIMA, J. A, TAKASHI, Y. - "A Neural Integrated Circuit for Noise Cancellation in Electrocardiographic Signals", Proceeding of the 11th International Conference on Control Systems and Computer Science, Bucarest, Romênia, 1997.

[DEL97.2] DE LIMA, J. A. - "Settling Analysis of Micropower MOS Regulated Current Mirrors", submetido para publicação no IEEE Transactions of Circuits and Systems, 1997.

[ES²95] Dual Layer Metal 0.7 μ m Layout Rules, European Silicon System, 1995.

[ENZ95] ENZ, C.C., KRUMMENACHER, F. & VITTOZ, E.A. - "An Analytical MOS Transistor Model Valid in All Regions of Operation and Dedicated to Low-Voltage and Low-Current Applications", Low-Voltage Low Power Analog Integrated Circuits, edited by W. A. Serdijn, Kluwer Academic Publishers, 1995.

[GIL75] GILBERT, B. - "Translinear Circuits: A Proposed Classification", Electronics Letters, Vol.11, No.1, pp 14-16, 1975

[GIL82] GILBERT, B. - "A Precise Four-Quadrant Multiplier with Subnanosecond Response", IEEE Journal of Solid State Circuits, Vol SC-17, Feb, 1982.

[GRA84] GRAY, P.R. & MEYER, R.G. - "Analysis and Design of Analog Circuits", John Wiley & Sons, 1984.

[MAC93] MACQ, D. & JESPER, P. - "Charge Injection in Current Copier Cells", Electronics Letters, Vol.29, No.9, pp 780-781, April, 1993.



[MEA89] MEAD, C. - "Analog VLSI and Neural Systems", Addison-Wesley Publishing Co, 1989.

[MIT91] "2.4 μ m CMOS Process Design Rules", MITEC, 1991.

[RAM91] RAMACHER, U. & RÜCKERT, U. - "VLSI Design of Neural Networks", Kluwer Academic Publishers, 1991.

[SÄC88] SÄCKINGER, E. & GUGGENBÜLN, W. - "An Analog Trimming Circuit Based on a Floating-Gate Device", IEEE Journal of Solid State Circuits, Vol. SC-23, No.6, pag. 1437-1440, Dec. 1988.

[SÄC90] SÄCKINGER, E. & GUGGENBÜLN, W. - "A High-Swing, High-Impedance MOS Cascode Circuit", IEEE Journal of Solid State Circuits, Vol. 25, No. 1, Feb. 1990.

[SHE84] SHEU, B.J. & HU, C. - "Switch-Induced Error Voltage on a Switched Capacitor", IEEE Journal of Solid State Circuits, Vol.19, No.4, pp 519-525, August, 1984.

[SHI87] SHIEH, J.H, PATIL, M & SHEU, B. - "Measurements and Analysis of Charge Injection in MOS Analog Switches", IEEE Journal of Solid State Circuits, Vol.22, No.2, pp 277-281, April, 1987.

[SZE83] SZE, S. M. - "VLSI Technology", McGraw-Hill Co, 1983.

[GRE86] GREGORIAN, R. & TEMES, G. - "Analog MOS Integrated Circuits for Signal Processing", John Wiley & Sons, 1986.

[THI96] THIESSEN, Ph - "Une Memoire Multi-Niveaux pour Application aux Reseaux de Neurons", dissertação de doutorado, Universidade Catolica de Louvain, 1996.

[TSI87] TSIVIDIS, Y. P. - "Operation and Modeling of the MOS Transistor", McGraw-Hill, Inc, 1987.

[TOR85] TORRANCE, R.R., VISWANATHAN, T.R. and HANSON, J.V., "CMOS Voltage to Current Transducers", IEEE Transactions on Circuits and Systems, vol. CAS-32, Nov. 1985.

[TOU90-1] TOUMAZOU, C. HUGHES, J.B. & PATTULLO, D.M. - "Regulated Cascode Switching-Current Memory Cell", Electronic Letters, Vol.26, No. 5, pp.303-305, March 90.

[TOU90-2] TOUMAZOU, C, LIDGEY, F.J. & HAIGH, D.G. - "Analog IC Design: the current-mode approach", Peter Peregrinus Ltd, April, 1990.



[VIT82] VITTOZ, E. A. - "Microwatt Switched Capacitor Circuit Design", Electrocomponent Science and Technology, Gordon & Breach Science Publ., Vol.9, pp.263-273, 1982

[VIT91] VITTOZ, E. A., OGUEY, H., MAHER M. A., NYS, O. DIJKSTRA E, & CHEVROULET, M. - "Analog Storage of Adjustable Synaptic Weights", VLSI Design of Neural Networks, Edited by Ramacher, U. & Ruckert, U., Kluwer Academic Publishers, 1991.

[VIT94.1] VITTOZ, E. A. - "Micropower Techniques", Design of VLSI Circuits for Telecommunication and Signal Processing, chapter 5, Prentice Hall, 1994

[VIT94.2] VITTOZ, E. A. - "Analog VLSI Signal Processing: Why, Where and How?", Journal of VLSI Signal Processing, Kluwer Academic Publishers, Vol.8, 1994

[VIT95] VITTOZ, E. A. - "Low-power Systems", A Collection of CSEM Papers, Electronic Design Books, Pentom Publishing, 1995.

[WEG87] WEGMANN, G., VITTOZ, E. A. & RAHALI, F. - "Charge Injection in Analog MOS Switches", IEEE Journal of Solid State Circuits, Vol.22, No.6, pp 1091-1097, December, 1987.

[WEG90] WEGMANN, G., & VITTOZ, E. A - "Analysis and Improvements of Accurate Dynamic Current Mirrors", IEEE Journal of Solid State Circuits, Vol.25, No.3, pp 669-706, June 1990.

[WID75] WIDROW, B. , GLOVER, J. , McCOOL, J et al - "Adaptive Noise Cancelling Applied to Sinusoidal Interferences", Proceedings of the IEEE, v.63, 75, 1692-1716.

[WID85] WIDROW, B. & STERAN, D. - Adaptive Signal Processing, Prentice Hall, Englewood Cliffs, 85





unesp



1 12 13 14 15 16 17 18