

UNIVERSIDADE ESTADUAL PAULISTA – UNESP
FACULDADE DE ENGENHARIA DE ILHA SOLTEIRA – FEIS
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

Sintetizador Analógico de Sinais Ortogonais: Projeto e Construção Usando Tecnologia CMOS

Dissertação submetida à Faculdade de Engenharia de Ilha Solteira – UNESP – como parte dos requisitos necessários para obtenção do título de Mestre em Engenharia Elétrica.

Autor: Vlademir de Jesus Silva Oliveira
Orientador: Prof. Dr. Nobuo Oki

Ilha Solteira-SP, Março de 2004.

À minha mãe Rosa e minha namorada
Katia, que me fortalecem em determinação e brio.

AGRADECIMENTOS

À todos os meus amigos e colegas, que são uma comunidade próspera, ao qual eu estou inserido e somo esse trabalho realizado.

À todos os professores que ajudaram na minha formação e em especial ao meu orientador prof. Dr. Nobuo Oki.

À todas as pessoas que me ajudaram de alguma forma, desde quando eu cheguei em Ilha Solteira, até a conclusão desse trabalho.

Agradeço ao CNPq e à FAPESP pela ajuda financeira concedida.

RESUMO

Nesse trabalho, propõe-se o projeto e implementação de um sintetizador de sinais ortogonais utilizando técnicas de circuito integrado e processo CMOS. O circuito do sintetizador baseia-se em um modelo matemático que utiliza multiplicadores e integradores analógicos, para geração de bases de funções ortogonais, tais como os polinômios de Legendre, as funções de base cosseno e seno, a *smoothed-cosine basis* e os polinômios de Hermite. Funções ortogonais são bastante empregadas em processamento de sinais, e a implementação deste método matemático é capaz de gerar vários tipos de funções em um mesmo circuito integrado. O projeto proposto utiliza blocos analógicos funcionais para implementar o sintetizador.

Os blocos que compõem o sintetizador foram projetados utilizando circuitos diferenciais, processamento em modo de corrente e técnicas de *low-voltage*. Algumas topologias utilizadas estão descritas na literatura, sendo que algumas foram adaptadas e mesmo modificadas, como no caso do multiplicador de corrente. Outras tiveram que ser propostas. As simulações e os resultados experimentais mostraram que o sintetizador é capaz de gerar funções ortogonais com amplitude e distorções satisfatórias. O sintetizador pode ser alimentado em 3V, tal qual foi projetado, tem faixa de entrada de $\pm 20 \mu\text{A}$ e apresenta DHT (distorção harmônica total) inferior a 4% no quinto e último estágio em cascata.

Palavras Chaves – Sintetizador de sinais ortogonais, CMOS, analógico, circuito integrado, multiplicador quatro-quadrantes, integrador *fully-balanced*.

ABSTRACT

In this work, a design and implementation of a synthesizer of orthogonal signals using CMOS technology and design technique for integrated circuits is proposed. The synthesizer circuit used analog multipliers and integrators for produce orthogonal functions such as Legendre polynomials, cosine and sine basis of functions, smoothed-cosine basis and Hermite polynomials. Orthogonal functions can be employed in signal processing and the implementation proposed can generate several kinds of functions in the same integrated circuit. In the synthesizer design building blocks was employed.

The synthesizer's blocks were design using differential circuits, low-voltage and current-mode techniques. Some topologies from papers were adapted or modified, as in the case of the current multiplier. Other topologies had to be proposed. The simulation and experimental results have shown that the synthesizer is able to produce orthogonal functions with satisfactory quality in distortions and amplitude. The synthesizer has a 3V supply voltage, a input current range of $\pm 20 \mu\text{A}$ and it presents less than 4% of THD (Total Harmonic Distortion) in the last output in cascade.

Index Terms – Synthesizer of orthogonal signals, CMOS, analog, integrated circuit, four-quadrant multiplier, fully-balanced integrator.

SUMÁRIO

1. Introdução	09
2. Sintetizador de Sinais Ortogonais	12
2.1. Introdução	12
2.2. Princípio de Funcionamento	12
3. Blocos Básicos do Sintetizador	18
3.1. Introdução	18
3.2. Projeto do Multiplicador de Corrente	19
3.2.1. Princípio de Funcionamento	19
3.2.2. Faixa de Corrente de Entrada do Multiplicador	22
3.2.3. Resultados das Simulações	23
3.3. Projeto do Integrador	26
3.3.1. Princípio de Funcionamento	26
3.3.2. Configuração <i>Folded Cascode</i>	28
4. Projeto do Sintetizador de Sinais Ortogonais	31
4.1. Introdução	31
4.2. Projeto dos Blocos Auxiliares do Sintetizador	31
4.2.1. Circuito que Replica Correntes	31
4.2.2. Redução das correntes de Modo Comum	33
4.2.3. Amplificador de Corrente	34
4.3. Descrição do Circuito Completo do Sintetizador	37
4.4. Considerações de Projeto	38
4.5. Simulações de Geração de uma Base com o Sintetizador	45
4.6. Resultados Experimentais	47
5. Conclusões	56
Referências Bibliográficas	58
Apêndice A	
Apêndice B	

Lista de Figuras

Figura 2.1.	Esquema básico para geração de uma função ortogonal	13
Figura 2.2.	Exemplo de construção dos blocos do sintetizador proposto, usando o SIMULINK	16
Figura 2.3.	Intervalo final para o ajuste de $a_2(t)$ no SIMULINK para a base coseno ..	17
Figura 3.1.	Multiplicador de corrente quatro-quadrantes proposto em [14]	20
Figura 3.2.	Multiplicador de corrente quatro-quadrantes proposto	20
Figura 3.3.	Espelho de corrente cascode em <i>high-swing</i> usado na saída do multiplicador	21
Figura 3.4 (a)	Simulação parametrizada do multiplicador proposto, sendo alimentado em 3V	24
Figura 3.4 (b).	Simulação parametrizada do circuito do multiplicador com o método de cancelamento proposto em [14], com alimentação de 3V	24
Figura 3.5.	Resposta da análise de transiente para o multiplicador proposto. O circuito multiplica uma senoide com frequência de 100 kHz por uma onda triangular com o período de 60us	25
Figura 3.6.	Topologia de um integrador de corrente com entrada e saída diferenciais. (a) Circuito do integrador. (b) Modelo a pequenos sinais	27
Figura 3.7.	Circuito do integrador proposto	29
Figura 3.8.	Resposta em frequência para o circuito do integrador proposto	30
Figura 4.1.	Circuito simples de uma fonte de corrente controlada por corrente (FCCC)	32
Figura 4.2.	Circuito que espelha uma corrente de entrada em duas réplicas com sentidos diferentes	32
Figura 4.3.	Circuito proposto para eliminar as correntes de modo comum de um sinal	33
Figura 4.4.	Circuito que elimina correntes de modo comum dos sinais diferenciais da saída do multiplicador	34
Figura 4.5.	Circuito proposto para eliminar as correntes de modo comum em pontos onde exijam casamento de impedância	35

Figura 4.6. Amplificador de corrente <i>folded-cascode</i> utilizado como bloco funcional do sintetizador	35
Figura 4.7. Resultado da análise DC para os circuito amplificadores. (a) <i>high-swing</i> (b) <i>grounded-gate</i>	36 e 37
Figura 4.8. Primeiro estágio do sintetizador; O circuito é responsável pela geração de $F_I(t)$ a partir de $f(t)$ e $F_O(t) = g(t)$	38
Figura 4.9. Segundo estágio do sintetizador; O circuito é um exemplo dos estágios cascadeados do sintetizador	39
Figura 4.10. Multiplicador de correntes aplicado à saída dos estágios	39
Figura 4.11. Amplificador de corrente diferencial, que está incorporado ao bloco multiplicador	41
Figura 4.12. Integrador de corrente com entradas e saídas diferenciais	42
Figura 4.13. Filtro RC passa-baixa proposto para ajustar a_i em uma constante	43
Figura 4.14. Resposta em frequência para o circuito do filtro RC proposto	44
Figura 4.15. Resultado da simulação de transitório para geração da base coseno	46
Figura 4.16. Resultado da simulação de transitório para geração do polinômio de Legendre	47
Figura 4.17. Fotografia final do circuito integrado fabricado	48
Figura 4.18. Circuito utilizado para distribuir as tensões de polarização para os demais circuitos do sintetizador	49
Figura 4.19. Sinais gerados pelo sintetizador a frequência de 1kHz. (a) Da base coseno. (b) Da base polinomial de Legendre	50
Figura 4.20. Sinais gerados pelo sintetizador a frequência de 10kHz. (a) Da base coseno. (b) Da base polinomial de Legendre	52
Figura 4.21. Sinais gerados pelo sintetizador a frequência de 100kHz. (a) Da base coseno. (b) Da base polinomial de Legendre	53

Capítulo 1

Introdução

As funções ortogonais apresentam uma grande variedade de aplicações em Engenharia. Geralmente, aplica-se estas funções, utilizando-se a teoria de aproximação de funções, em que uma função pode ser aproximada por uma composição de funções ortogonais [1]. As funções ortogonais podem ser utilizadas em aproximações de funções no tempo, ou em aproximações de funções transferência. Nesse contexto, encontram-se aplicações em diversas áreas, dentre as quais pode-se citar: identificação de parâmetros [2], representação de sistemas dinâmicos [3], redes neurais [4] e modelamento de ruído de substrato [5]. Nesse trabalho é abordado a geração de funções ortogonais para aplicações em processamento de sinais. Pode-se citar exemplos destas aplicações, como em processamento de voz, para representação de voz [6], ou em filtros, como o clássico filtro de Chebyshev–Bessel, ou em *chromatic derivative filter banks* [7], ou ainda em comunicações, na realização de multiportadoras [8].

Constatando que as funções ortogonais são aplicadas com frequência em processamento de sinais, propõe-se aqui, o projeto e implementação de um sintetizador de sinais ortogonais no domínio do tempo. O sintetizador proposto para geração de sinais ortogonais, toma como base o modelo matemático apresentado por Chesnokov, para implementação analógica [9]. O esquema utiliza blocos analógicos para gerar uma pluralidade de sinais mutuamente ortogonais. As vantagens da utilização de técnicas de microeletrônica analógicas, quando comparada com a

técnica digital, reside na sua maior velocidade e simplicidade de implementação dos blocos básicos, o que reduz sensivelmente a área do circuito integrado [10]. Possui, no entanto, problemas quanto à precisão, causada pelas distorções e efeitos de ruído. Apesar das dificuldades no projeto, as técnicas analógicas foram escolhidas para esse processamento. Uma motivação é que não foi encontrado circuito integrado analógico com as mesmas características do circuito aqui proposto. Em resumo, o objetivo desse trabalho é o projeto e implementação de um sintetizador de sinais ortogonais usando técnicas analógicas de circuito integrado para tecnologia CMOS de fabricação.

O sintetizador proposto é um circuito composto de blocos analógicos elementares, que geram várias saídas analógicas ortogonais. A principal vantagem desse circuito é de gerar vários tipos de bases de funções ortogonais, apenas mudando-se os sinais de entrada do circuito. Embora a quantidade de bases ortogonais que o circuito pode gerar seja desconhecida, é importante o fato deste ser capaz de gerar bases usuais, tais como os polinômios de Legendre, as funções de base cosseno e seno, o *smoothed-cosine basis* e os polinômios de Hermite [9]. O processamento analógico em circuitos integrados é quase sempre um desafio, mas é importante, devido às suas vantagens de maior velocidade e área reduzida. O circuito proposto tem a possibilidade de se tornar um bloco prático, realizando a geração de bases ortogonais para aplicações em processamento de sinais.

Acompanhando a tendência de projetos correntes, algumas características foram requeridas para o projeto do sintetizador. Os blocos que compõem o circuito do sintetizador são projetados com topologias que possibilitam sua fabricação em processo CMOS digital, que possui baixo custo. Estes blocos são diferenciais, privilegiando a faixa de entrada e o ganho CC dos circuitos. Finalmente, técnicas de *low-voltage* e de modo de corrente são empregadas, de modo que o sintetizador pode ser alimentado em 3V.

O sintetizador proposto é estruturado em blocos analógicos funcionais que implementam seu modelo matemático. Para projetar o sintetizador, são analisados

inicialmente quais blocos serão necessários (esses blocos são projetados a medida que o sintetizador é simulado) e, blocos adicionais são inseridos a medida que é verificada sua necessidade. Nesse contexto, a descrição do trabalho segue a seguinte ordem. No capítulo 2 apresenta-se o esquema em blocos no qual o sintetizador se baseia. Nesse capítulo são feitas definições que demonstram o princípio de funcionamento do sintetizador. No capítulo 3 trata-se do projeto dos principais blocos que compõem o sintetizador. As principais características do circuito do sintetizador são apresentadas nesse capítulo. No capítulo 4 são apresentados os blocos restantes, e o funcionamento do sintetizador é explicado. Ao fim deste capítulo são ilustrados os resultados de simulações de geração de bases ortogonais e apresentados os resultados experimentais do circuito integrado fabricado. As conclusões sobre o trabalho são dadas no capítulo 5.

Capítulo 2

Sintetizador de Sinais Ortogonais

2.1. Introdução

Neste capítulo, são apresentados os fundamentos matemáticos do princípio de funcionamento do sintetizador.

O sintetizador proposto utiliza um procedimento recorrente, que demonstra ortogonalidade em suas saídas. Pode-se definir o conceito de ortogonalidade [1], considerando que duas funções $f(t)$ e $g(t)$ contínuas em um intervalo $a \leq t \leq b$ são ortogonais nesse intervalo, se:

$$\int_a^b f(t)g(t)dt = 0 \quad (2.1)$$

2.2. Princípio de Funcionamento

Considerando-se a relação recorrente a seguir [9]:

$$F_0(t) = g(t)$$

$$F_1(t) = f(t)g(t)$$

$$F_2(t) = f(t)F_1(t) + a_2F_0(t)$$

...

$$F_i(t) = f(t)F_{i-1}(t) + a_iF_{i-2}(t), \quad \text{para } i = 2, \dots, I, \quad (2.2)$$

sendo I o número de funções ortogonais geradas, desde que $g(t)$ e $f(t)$, funções periódicas com período T , sejam par e ímpar, respectivamente, então, $F_I(t)$ é uma função ímpar e, portanto, ortogonal à $F_0(t)$. O sintetizador proposto, é baseado no esquema representado por blocos analógicos ilustrado na Fig. 2.1, dado pela equação (2.2). Considerando-se que a_i seja um fator constante em (2.2), pode-se demonstrar que $F_i(t)$ é ortogonal à $F_{i-1}(t)$ e $F_{i-2}(t)$ [9].

Pode-se definir o coeficiente a_i , através do fato que a integração definida em limites simétricos do produto de duas funções ortogonais periódicas é zero. Portanto, considerando-se:

$$\begin{aligned} \int_{nT-T/2}^{nT+T/2} F_i(t) F_{i-2}(t) dt &= 0 \\ \int_{nT-T/2}^{nT+T/2} (f(t) F_{i-1}(t) + a_i F_{i-2}(t)) F_{i-2}(t) dt &= 0 \\ a_i &= - \frac{\int_{nT-T/2}^{nT+T/2} f(t) F_{i-1}(t) F_{i-2}(t) dt}{\int_{nT-T/2}^{nT+T/2} F_{i-2}^2(t) dt}, \end{aligned} \quad (2.3)$$

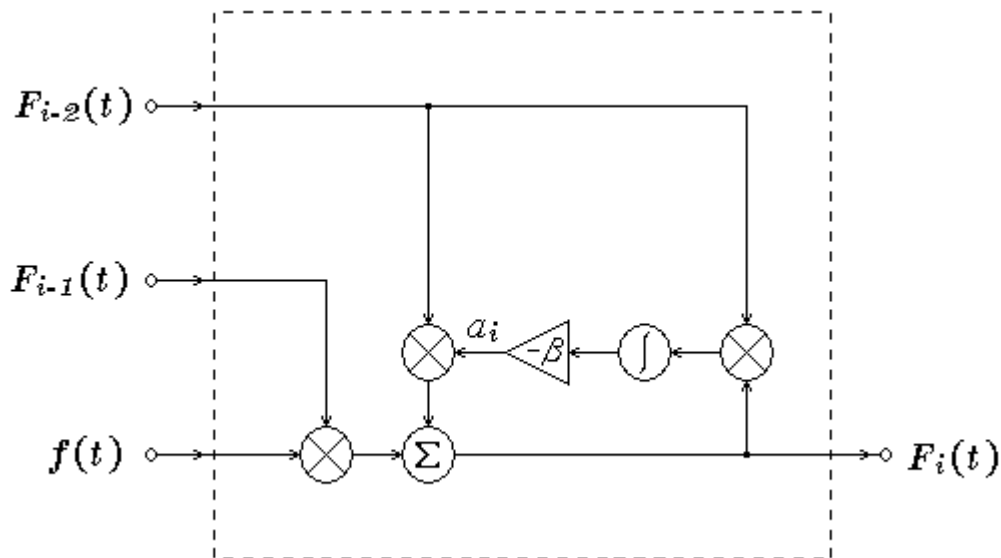


Fig. 2.1. Esquema básico para geração de uma função ortogonal.

sendo n o número de períodos e T o período dos sinais.

Pode-se demonstrar que o sintetizador proposto realiza a equação (2.3) através da realimentação negativa de a_i sobre a saída. Para tanto, define-se

$$\begin{aligned} a_i(t) &= -\beta \int_0^t F_i(\tau) F_{i-2}(\tau) d\tau \quad (\text{ver Fig. 2.1}) \\ &= -\beta \int_0^t (f(\tau) F_{i-1}(\tau) + a_i F_{i-2}(\tau)) F_{i-2}(\tau) d\tau \end{aligned} \quad (2.4)$$

sendo $\beta > 0$ o fator da velocidade de convergência do sintetizador.

Se β é pequeno o bastante o circuito ajustará a saída para que em regime permanente ($t \rightarrow \infty \quad n \rightarrow \infty$) $\Delta a_i(t)|_T \equiv -\beta \int_{nT-T/2}^{nT+T/2} F_i(\tau) F_{i-2}(\tau) d\tau = 0$, sendo $\Delta a_i(t)|_T$ a variação de $a_i(t)$ no período T . A função $a_i(t)$ tende para um valor constante, pois sua variação tende a zero.

Para determinar a magnitude aproximada de $a_i(t)$ em regime permanente, considera-se a equação de $\Delta a_i(t)|_T$ antes desse estado. Notar-se-á que o resultado somente pode ser considerado após $F_{i-1}(t)$ e $F_{i-2}(t)$ estabilizarem. Se β é pequeno o bastante, $a_i(t)$ não se altera expressivamente durante um período T das funções $f(t)$ e $g(t)$, pode-se então deduzir a expressão de $\frac{da_i(t)}{dt}$, como segue:

$$\begin{aligned} \Delta a_i(t)|_T &\approx -\beta \int_{nT-T/2}^{nT+T/2} f(\tau) F_{i-1}(\tau) F_{i-2}(\tau) d\tau - a_i(t) \beta \int_{nT-T/2}^{nT+T/2} F_{i-2}^2(\tau) d\tau \\ \frac{da_i(t)}{dt} &\approx \frac{\Delta a_i(t)|_T}{T} \approx -\frac{\beta}{T} \int_{nT-T/2}^{nT+T/2} f(\tau) F_{i-1}(\tau) F_{i-2}(\tau) d\tau - a_i(t) \frac{\beta}{T} \int_{nT-T/2}^{nT+T/2} F_{i-2}^2(\tau) d\tau \\ \frac{da_i(t)}{dt} &\approx -\beta K_1 - a_i(t) \beta K_2, \end{aligned}$$

sendo que: $K_1 = \frac{1}{T} \int_{nT-T/2}^{nT+T/2} f(\tau) F_{i-1}(\tau) F_{i-2}(\tau) d\tau = \frac{1}{T} \int_{nT-T/2}^{nT+T/2} f(t) F_{i-1}(t) F_{i-2}(t) dt$

e $K_2 = \frac{1}{T} \int_{nT-T/2}^{nT+T/2} F_{i-2}^2(\tau) d\tau = \frac{1}{T} \int_{nT-T/2}^{nT+T/2} F_{i-2}^2(t) dt$, após $F_{i-1}(t)$ e $F_{i-2}(t)$

estabilizarem.

Resolvendo-se a equação diferencial, resulta em:

$$a_i(t) \approx -\frac{K_1}{K_2}(1 - e^{-\beta K_2 t}) + a_i(0)e^{-\beta K_2 t} \quad (2.5)$$

sendo $a_i(0)$ o valor inicial de $a_i(t)$.

Como β e K_2 são constantes positivas, o coeficiente $a_i(t)$ convergirá em regime permanente para:

$$a_i|_{t \rightarrow \infty} = -\frac{K_1}{K_2}. \quad (2.6)$$

igual ao definido em (2.3).

Cada coeficiente irá convergir com velocidade proporcional à K_2 , assim que o subsequente converge – lembrando que o valor médio em regime permanente pode ser aproximadamente calculado logo após as saídas convergirem.

Pode-se definir a magnitude do tempo de acomodação para a_i , considerando-se $t_s = t$, para $a_i(t) = -0,95 \frac{K_1}{K_2}$, como segue:

$$\begin{aligned} -0,95 \frac{K_1}{K_2} &= \frac{K_1}{K_2}(e^{-\beta K_2 t_s} - 1) + a_i(0)e^{-\beta K_2 t_s} \\ 0,05 \frac{K_1}{K_2} &= e^{-\beta K_2 t_s} \left(a_i(0) + \frac{K_1}{K_2} \right) \\ \Rightarrow -\beta K_2 t_s &= \ln \left(\frac{0,05 K_1}{K_1 + K_2 a_i(0)} \right) \end{aligned} \quad (2.7)$$

Se $a_i(0) = 0$, a expressão pode ser aproximada para:

$$t_s \cong \frac{3}{\beta K_2}. \quad (2.8)$$

Embora a equação (2.5) seja aproximada, e não sirva para descrever o comportamento de $a_i(t)$ para $i > 2$, quando é considerado um $a_i(0)$ após $F_{i-1}(t)$ e $F_{i-2}(t)$

estabilizarem, supõe-se que a equação (2.6) tenha validade, pois a_i independe de $a_i(0)$.

Pode-se comprovar as características do sintetizador, utilizando-se simuladores que modelam condições ideais, como o Simulink. Um esquema, que exemplifica a topologia de sintetizador proposta, foi realizado no Simulink, como ilustrado na Fig. 2.2. O circuito está configurado para gerar cinco sinais ortogonais: uma função par ($g(t)$), o produto das duas funções base ($f(t)g(t)$) e as outras três, geradas através do método representado na Fig. 2.1. Para esse teste, foi utilizado funções já testadas na referência [9], quais são: $g(t) = 1$ e $f(t) = \text{sen}(\omega t)$. Adotou-se o fator de convergência $\beta=0,5$. Nesse esquema $F_0(t) = 1$ e $F_I(t) = \text{sen}(\omega t)$.

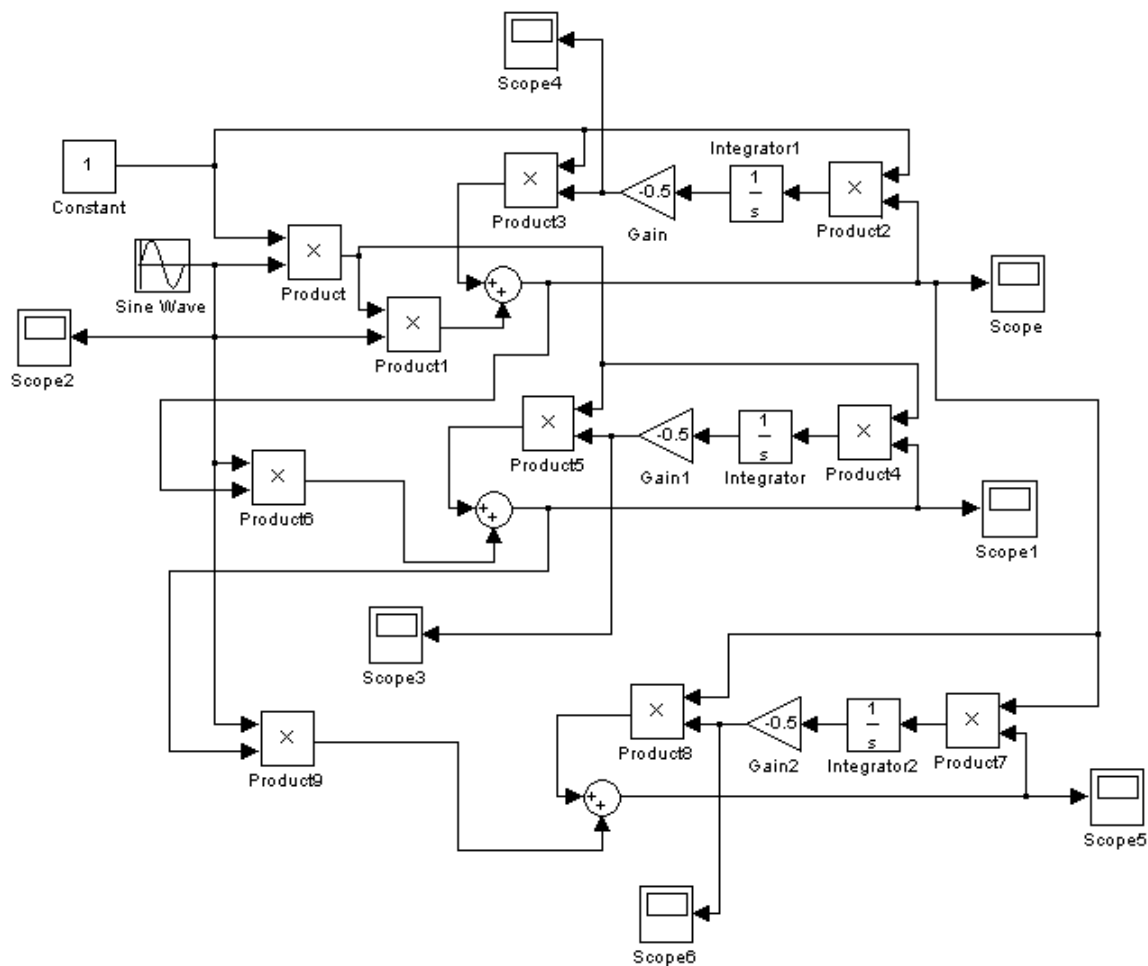


Fig. 2.2. Exemplo de construção dos blocos do sintetizador proposto, usando o SIMULINK.

Na Fig. 2.3 é representado o intervalo final para o ajuste do coeficiente a_i . Os resultados das simulações mostram que $a_i = -0,475$ para $t=6s$ e que a_i converge para $-0,5$. Comprova-se portanto (ver Fig. 2.3), que o tempo de convergência, encontrado por cálculo manual usando (2.8), até $i=2$, verifica os mesmos valores que os simulados e, por conseguinte, (2.5) também revela a mesma dependência. Também se verifica, que (2.6) representa teoricamente os valores de a_i .

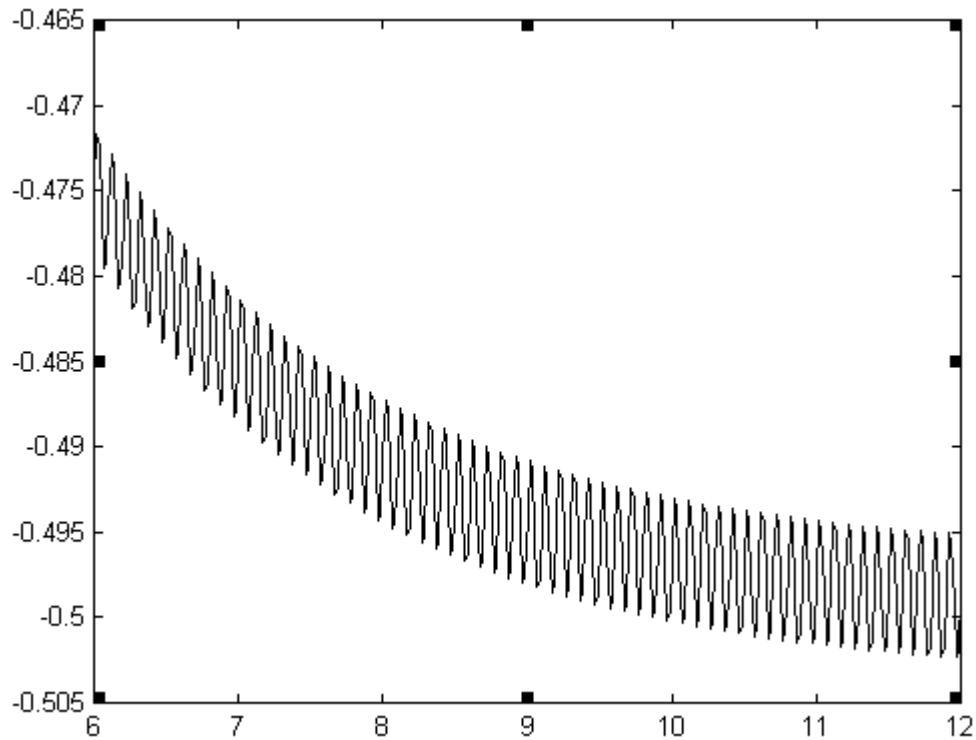


Fig. 2.3. Intervalo final para o ajuste de $a_2(t)$ no SIMULINK para a base coseno.

Capítulo 3

Blocos Básicos do Sintetizador

3.1. Introdução

O projeto do sintetizador é organizado em blocos básicos, que são os principais elementos do sintetizador, e blocos auxiliares. A necessidade de blocos auxiliares será verificada no capítulo seguinte, contudo, existem objetivos comuns ao projeto de todos os blocos do sintetizador, os quais caracterizam o projeto, ou o modo de interligação dos blocos.

Os circuitos projetados na forma diferencial apresentam, relativamente, várias vantagens, sobretudo o aumento da faixa dinâmica e um melhor ganho CC [11]. Os principais elementos do sintetizador, os multiplicadores e os integradores, são mais apropriados para serem diferenciais, sendo que o integrador utilizado apresenta maior ganho, maior faixa de entrada e redução de efeitos de ordem superior [12]. Além disso, verifica-se, através de simulações, que o multiplicador proposto apresenta menos distorções em *low-voltage*. Por isso, todos os blocos do sintetizador são projetados com entradas e saídas diferenciais.

No projeto do sintetizador optou-se em utilizar o processamento em modo de corrente, pois o processamento de sinal com espelhos de corrente, melhora o emprego de *low-voltage* [13]. Também verificou-se que o circuito dispensou o bloco somador, pois a soma de correntes é imediata e os multiplicadores, que geralmente

utilizam circuitos de transcondutância, eliminam um conversor corrente-tensão na saída.

Os circuitos são polarizados através de espelhos de corrente em *high-swing* (ver apêndice A). As fontes de corrente de polarização dos circuitos geralmente são de 50 μA , portanto, os circuitos podem obter uma faixa de variação de $\pm 20 \mu\text{A}$, restando, no mínimo, 30 μA para a operação dos transistores.

Neste capítulo é abordado o princípio de funcionamento e as técnicas empregadas no projeto de cada um dos blocos básicos.

3.2. Projeto do Multiplicador de Corrente

O bloco de circuito multiplicador é baseado no multiplicador de correntes de quatro-quadrantes, cuja corrente de saída não depende dos parâmetros do processo de fabricação [14]. A Fig. 3.1 mostra o circuito proposto em 2000. Esta topologia, no entanto, projetada originalmente para trabalhar alimentada em 5V, não opera adequadamente em 3V, por isso, uma nova topologia de multiplicador é proposta aqui com o intuito de suprir essa deficiência, o qual é descrito no decorrer dessa seção.

Uma explanação sobre o princípio e métodos de multiplicação é apresentada no apêndice B.

3.2.1 Princípio de Funcionamento

Observa-se, na Fig. 3.2, que há uma melhor distribuição das entradas I_x e I_y nos drenos dos transistores de entrada (M_3 , M_5 , M_7 e M_9) do multiplicador proposto, em relação ao circuito proposto por Tanno et al. [14] (Fig. 3.1). Este método de cancelamento das correntes de entrada [15], teoricamente comprovou ser mais eficaz

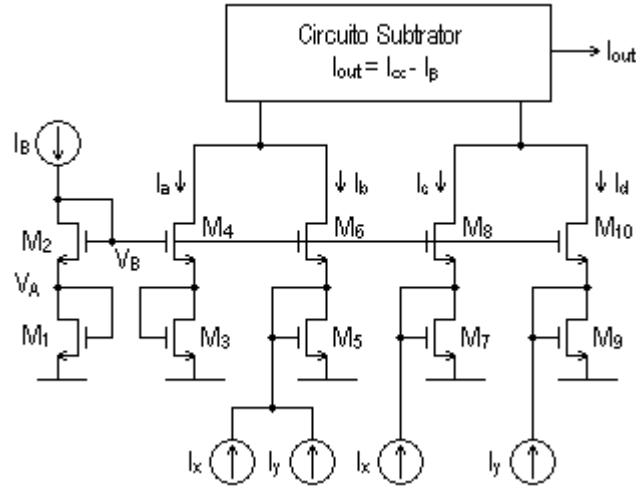


Fig. 3.1. Multiplicador de corrente quatro-quadrantes proposto em [14].

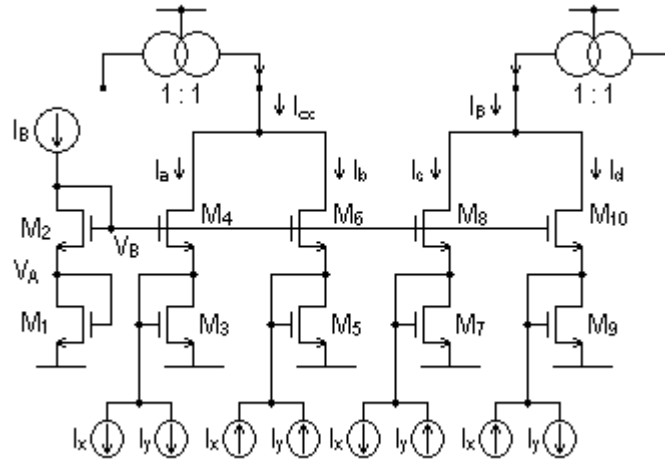


Fig. 3.2. Multiplicador de corrente quatro-quadrantes proposto.

em aplicações utilizando *low-voltage* (ver apêndice B). Pode-se deduzir a equação da corrente de saída do circuito, para este método de cancelamento, através da equação da corrente de dreno dos transistores superiores (M_4 , M_6 , M_8 e M_{10}), dada

por $I_{dd} = \frac{(mI_i - 4I_B)^2}{16I_B m}$ [14]. Sendo I_B a corrente de polarização do circuito e m uma

constante que representa a relação de atenuação do espelho constituído por M_2 e os outros transistores superiores, tem-se:

$$I_a = \frac{[m(-I_x - I_y) - 4I_B]^2}{16mI_B} \quad (3.1)$$

$$I_b = \frac{[m(I_x + I_y) - 4I_B]^2}{16mI_B} \quad (3.2)$$

$$I_c = \frac{[m(-I_x + I_y) - 4I_B]^2}{16mI_B} \quad (3.3)$$

$$I_d = \frac{[m(I_x - I_y) - 4I_B]^2}{16mI_B} \quad (3.4)$$

A corrente de saída é obtida por $I_{out} = I_\alpha - I_\beta$:

$$I_\alpha = I_a + I_b$$

$$I_\beta = I_c + I_d$$

Substituindo-se (3.1) a (3.4) nas equações acima, obtém-se:

$$I_{out} = \frac{m}{2} \frac{I_x I_y}{I_B} \quad (3.5)$$

A saída do circuito necessita ser composta por espelhos de corrente, para aumentar a impedância de saída do circuito. O circuito mostrado na Fig. 3.3, utiliza a técnica de *high-swing* (ver apêndice A) para espelhar as correntes de saída [16].

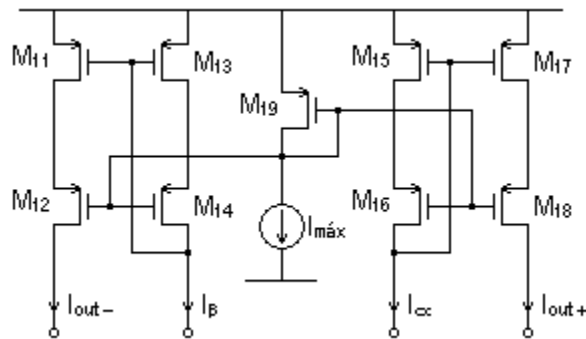


Fig. 3.3. Espelho de corrente cascode em *high-swing* usado na saída do multiplicador.

3.2.2. Faixa de Corrente de Entrada do Multiplicador

Para que o circuito (Fig. 3.2) siga o projeto, é necessário que todos os transistores operem na região de saturação, portanto, os transistores devem satisfazer a equação $V_{ds} > V_{gs} - V_T$. Os transistores com o dreno ligado a porta têm obrigatoriamente essa condição. Os transistores superiores têm a operação dependente da corrente de polarização I_B , a qual supõe-se que está bem projetada, bastando que $V_{gs} > V_T$. Pode-se deduzir equações para a faixa de operação do circuito, utilizando a equação para o transistor na saturação, para encontrar a expressão da corrente de entrada (I_i), como segue:

$$\frac{(mI_i - 4I_B)^2}{16mI_B} = K(V_{gs} - V_T)^2$$

$$V_{gs} - V_T > 0 \quad K(V_{gs} - V_T)^2 > 0$$

$$\frac{(mI_i - 4I_B)^2}{16mI_B} > 0 \quad mI_i - 4I_B > 0 \text{ ou } mI_i - 4I_B < 0$$

Para $I_B > 0$ e de modo que $|V_{GS} - V_T|$ seja limitado:

$$|I_i| < \frac{4I_B}{m} \quad (3.6)$$

$$\text{Para o pior caso} \quad |I_x + I_y| < \frac{4I_B}{m} \quad (3.7)$$

$$|2I_x| < \frac{4I_B}{m} \text{ e } |2I_y| < \frac{4I_B}{m}. \quad (3.8)$$

Sendo: V_T a tensão de limiar
 V_{gs} a tensão porta-fonte
 V_{ds} a tensão dreno-fonte

$$K = \frac{1}{2} \mu_0 C_{ox} \frac{W}{L}$$

3.2.3. Resultados das Simulações do Multiplicador Proposto

Os circuitos simulados utilizando a ferramenta OrCAD versão 9.11 foram projetados com $I_B = 80 \mu A$, $m = 8$ e alimentação de 3V. O projeto das dimensões dos transistores (Tabela 1), leva em conta: a faixa de corrente de entrada, o ganho do multiplicador e a operação dos transistores na região de saturação.

Verifica-se, nas análises de ponto de polarização, que o multiplicador precisa de uma tensão em torno de 2V, do dreno dos transistores superiores ao terra, para que os transistores não entrem na região linear. Resta, portanto, 1V para os espelhos de corrente do circuito de saída operarem. Os espelhos de saída *cascode* em *high-swing* (Fig. 3.3) obtiveram uma performance satisfatória com esta tensão, o que não seria possível sem uma técnica de *low-voltage* apropriada.

As Fig. 3.4 (a) e Fig. 3.4 (b) mostram o resultado da análise CC, parametrizada para as topologias de multiplicador, alimentadas com 3V e utilizando o mesmo circuito de subtração de saída (Fig. 3.3). Comprova-se, através da análise de linearidade (Fig. 3.4), que o circuito com o método de cancelamento modificado, embora apresente a mesma linearidade, proporciona melhor simetria, quando os circuitos são alimentados em 3V. Os parâmetros da análise são apresentados na Tabela 2.

O circuito proposto apresentou resultados satisfatórios nas simulações de: ponto de polarização, distorção harmônica total (DHT) e linearidade (ver Tabela 3), sendo, por isso, escolhido para ser empregado como bloco funcional do sintetizador.

TABELA 1

Transistor	W/L ($\mu m/\mu m$)
M_1 e M_2	200/4
$M_3 - M_{10}$	25/4
$M_{11} - M_{18}$	200/4
M_{19}	50/4

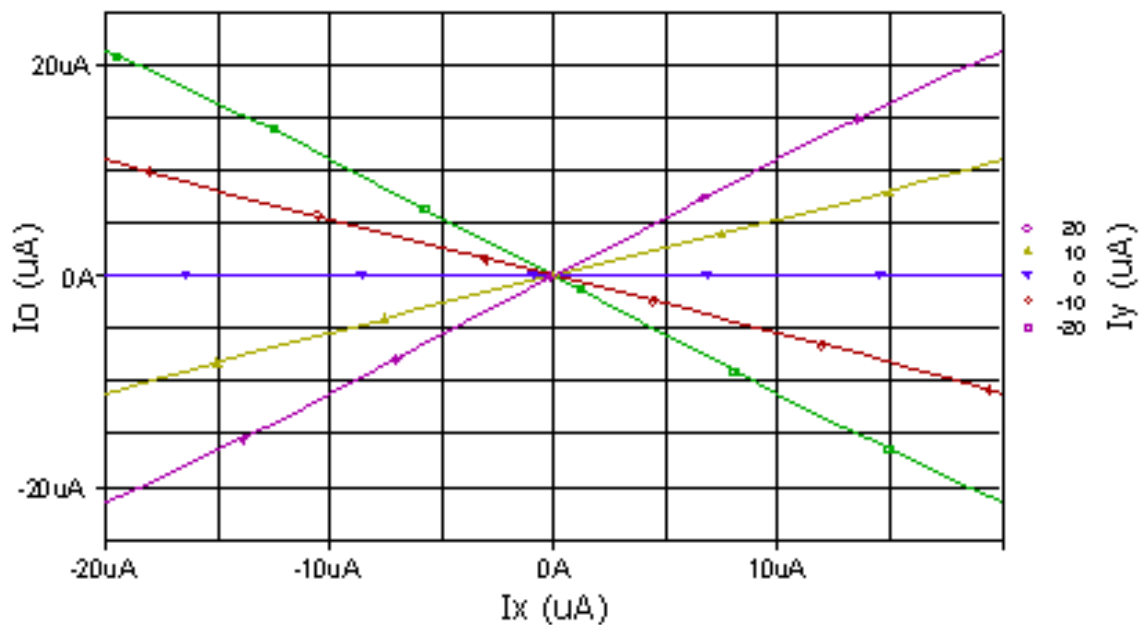


Fig. 3.4 (a). Simulação parametrizada do multiplicador proposto, sendo alimentado em 3V.

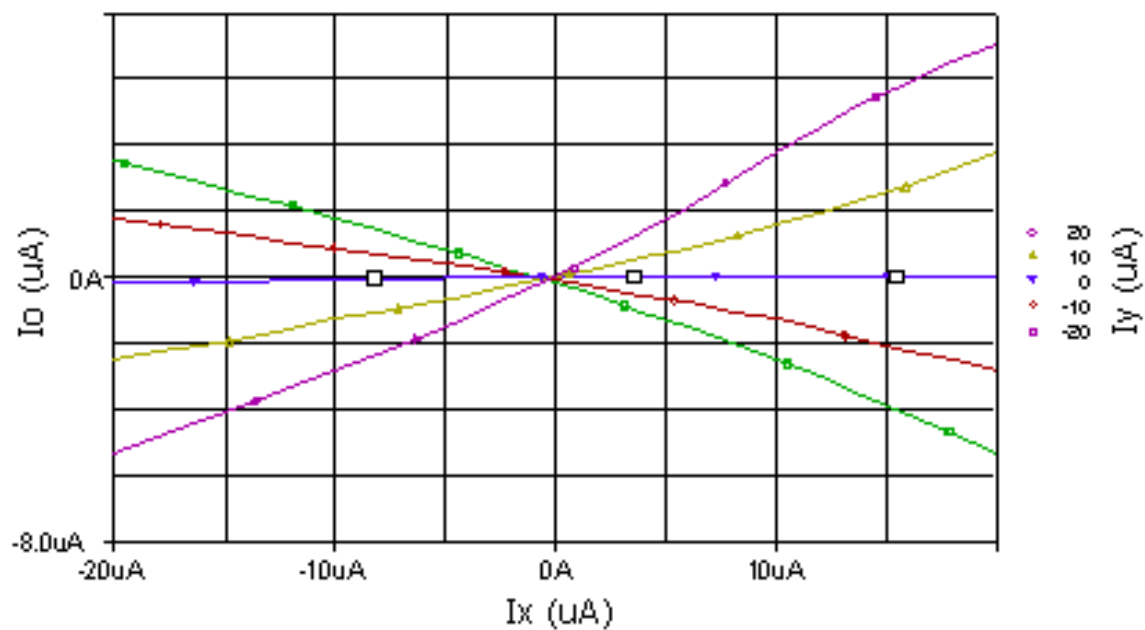


Fig. 3.4 (b). Simulação parametrizada do circuito do multiplicador com o método de cancelamento proposto em [14], com alimentação de 3V.

A Fig. 3.5 mostra um exemplo de multiplicação de dois sinais, onde verifica-se a simetria nas amplitudes do sinal de saída.

TABELA 2

	Valor inicial	Valor final	Incremento
I _x	-20 μ A	20 μ A	2 μ A
I _y	-20 μ A	20 μ A	10 μ A

TABELA 3

Alimentação de tensão	+ 3 V
Potência dissipada	0,43 mW
Faixa de corrente de entrada	$\pm 20 \mu$ A
DHT para I _x (20 μ A _{pp} , 100 kHz) e I _y = 10 μ A	1,83 %

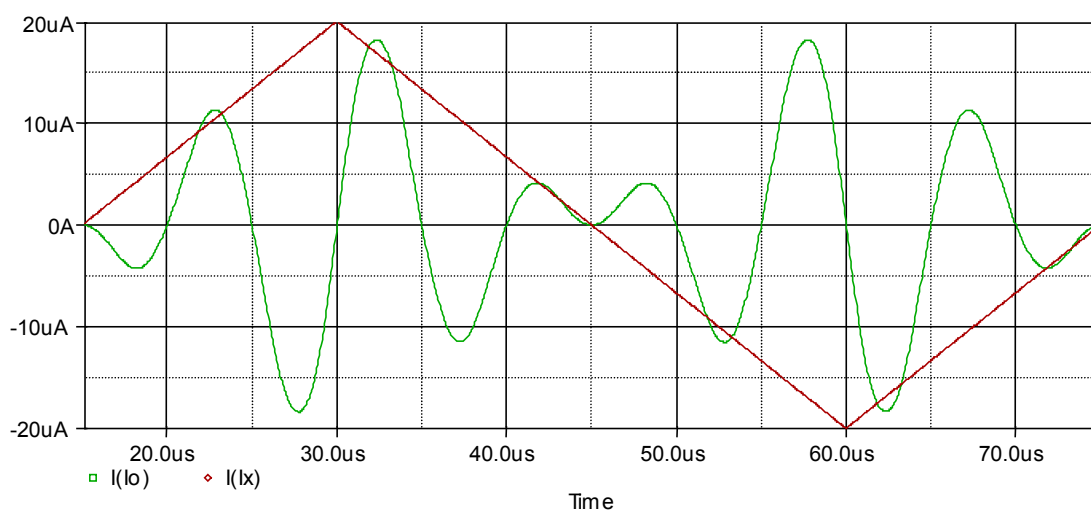


Fig. 3.5. Resposta da análise de transiente para o multiplicador proposto. O circuito multiplica uma senoide com frequência de 100 kHz por uma onda triangular com o período de 60 μ s.

3.3. Projeto do Integrador

O circuito do integrador é uma configuração cruzada de amplificadores de corrente, que realiza a função de um integrador de corrente com entrada e saída diferencial, recebendo, por isso, o nome de integrador totalmente diferencial (*fully-balanced*) [17]. O integrador tem como vantagens: ser totalmente diferencial, operar em modo de corrente e a possibilidade de trabalhar em *low-voltage*.

3.3.1. Princípio de Funcionamento

A Fig. 3.6 (a) apresenta uma configuração de integrador *fully-balanced*, que é o circuito básico suficiente para realizar esse integrador. Esta topologia do integrador permite um ajuste de ganho, por apresentar fontes de correntes indexadas à fonte de corrente I_B de saída, através das constantes A_p e A_n . Pode-se deduzir as equações da sensibilidade do circuito, determinando o modelo a pequenos sinais do circuito. Para tanto, despreza-se: a condutância de dreno-fonte, a capacitância de porta-dreno e demais efeitos parasitas (ver Fig. 3.6 (b)). Pode-se relacionar as correntes de entrada e saída do circuito para obter as sensibilidades, através de análise nodal, como se demonstrará a seguir:

Observando que:

$$V_1 g_{mo} A_P = I_1 \frac{A_P}{A_N}$$

$$I_{o+} = \frac{I_2}{A_N} = V_2 g_{mo} \text{ e}$$

$$I_{o-} = \frac{I_1}{A_N} = V_1 g_{mo}$$

sendo g_{mo} a transcondutância a pequenos sinais de M_0 .

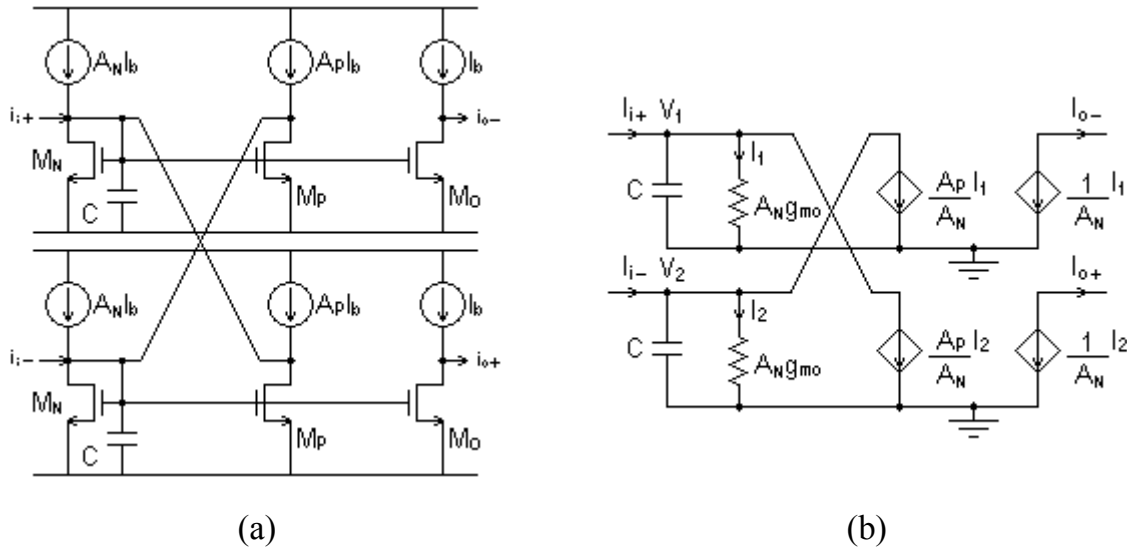


Fig. 3.6. Topologia de um integrador de corrente com entrada e saída diferenciais. (a) Circuito do integrador. (b) Modelo a pequenos sinais.

Pode-se então somar as correntes que entram nos nós das tensões V_1 e V_2 no domínio da frequência, respectivamente, obtendo:

$$-\frac{A_p}{A_N} I_2 + I_{i+} = -sCV_1 - I_1$$

$$-\frac{A_p}{A_N} I_1 + I_{i-} = -sCV_2 - I_2$$

$$-\frac{A_p}{A_N} I_2 + I_{i+} = -\frac{sCI_1}{A_N g_{mo}} - I_1$$

$$-\frac{A_p}{A_N} I_1 + I_{i-} = -\frac{sCI_2}{A_N g_{mo}} - I_2$$

Como $I_1 = A_N I_{o-}$ e $I_2 = A_N I_{o+}$

$$I_{i+} + A_p I_{o+} = -I_{o-} \left(\frac{sC}{g_{mo}} + A_N \right)$$

$$I_{I-} + A_P I_{o-} = -I_{o+} \left(\frac{sC}{g_{mo}} + A_N \right)$$

Então, calculam-se as sensibilidades diferencial (A_{dd}) e em modo comum (A_{MC}), respectivamente:

$$A_{dd} = \frac{I_{o+} - I_{o-}}{I_{i+} - I_{i-}} = \frac{g_{mo}}{sC + (A_N - A_P)g_{mo}}$$

e

$$A_{MC} = \frac{I_{o+} + I_{o-}}{I_{i+} + I_{i-}} = -\frac{g_{mo}}{sC + (A_N + A_P)g_{mo}} \quad (3.9)$$

O circuito pode realizar teoricamente a função de um integrador ideal, quando faz-se $A_N = A_P$, resultando na equação $A_{dd} = \frac{g_{mo}}{sC}$. Nesse caso a frequência angular de ganho unitário é $\omega_u = \frac{g_{mo}}{C}$, e $A_{dd} = \frac{\omega_u}{s}$ e as equações de ganho podem ser apresentadas da forma seguinte:

$$A_{dd} = \frac{\omega_u}{s + (A_N - A_P)\omega_u} \quad (3.10a)$$

e

$$A_{MC} = -\frac{\omega_u}{s + (A_N + A_P)\omega_u} \quad (3.10b)$$

3.3.2. Configuração *Folded Cascode*

A configuração de integrador escolhida, ilustrada na Fig. 3.7, tem sido apontada como mais eficiente em aplicações de *low-voltage* [12] [17]. Trata-se de uma configuração do integrador *fully-balanced*, constituída de amplificadores de corrente *folded cascode*. Uma explicação mais detalhada sobre o amplificador *folded cascode* será apresentada no capítulo seguinte.

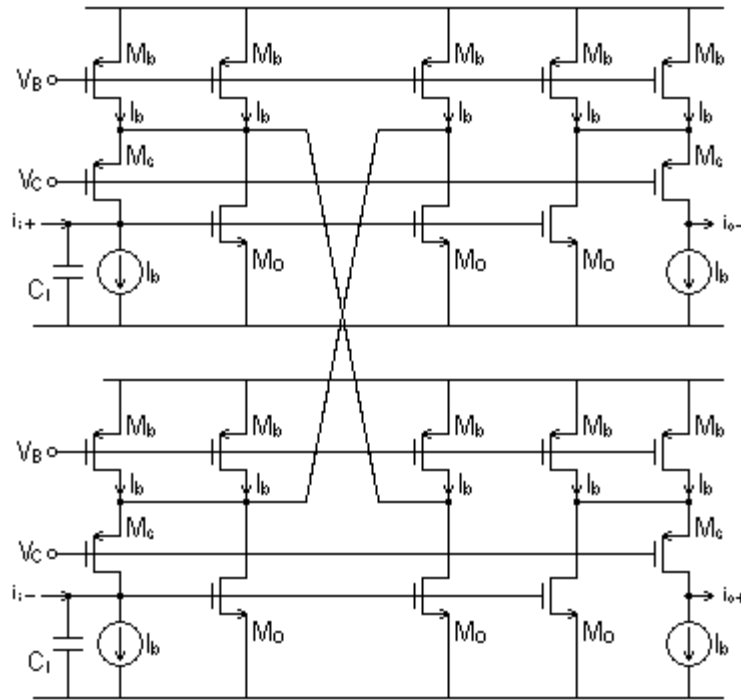


Fig. 3.7. Circuito do integrador proposto.

O parâmetro g_{mo} é diretamente proporcional às dimensões dos transistores do integrador, para uma dada corrente de polarização I_b . O projeto das dimensões dos transistores considera a frequência de ganho unitário desejada e a operação dos transistores na região de saturação. Lembrando que $\omega_u = \frac{g_{mo}}{C}$, pode-se então escolher W , L e I_b , visando a operação do circuito, e ajustar ω_u pela escolha de C . As tensões de polarização V_B e V_C , são geradas usando a técnica de polarização em *high-swing*. A Tabela 4 sumariza os parâmetros do projeto. Simulações de ponto de polarização mostram que os transistores estão operando na região de saturação e a dissipação total do circuito é de 1,86 mW.

Observando-se a Fig. 3.8, verifica-se que o integrador funciona melhor em torno da frequência de ganho unitário, que é onde o seu gráfico comporta-se como a curva de Bode de um integrador ideal. O valor alto para o capacitor do integrador, inviabiliza a integração do mesmo, implicando na necessidade de capacitores externos ao integrado.

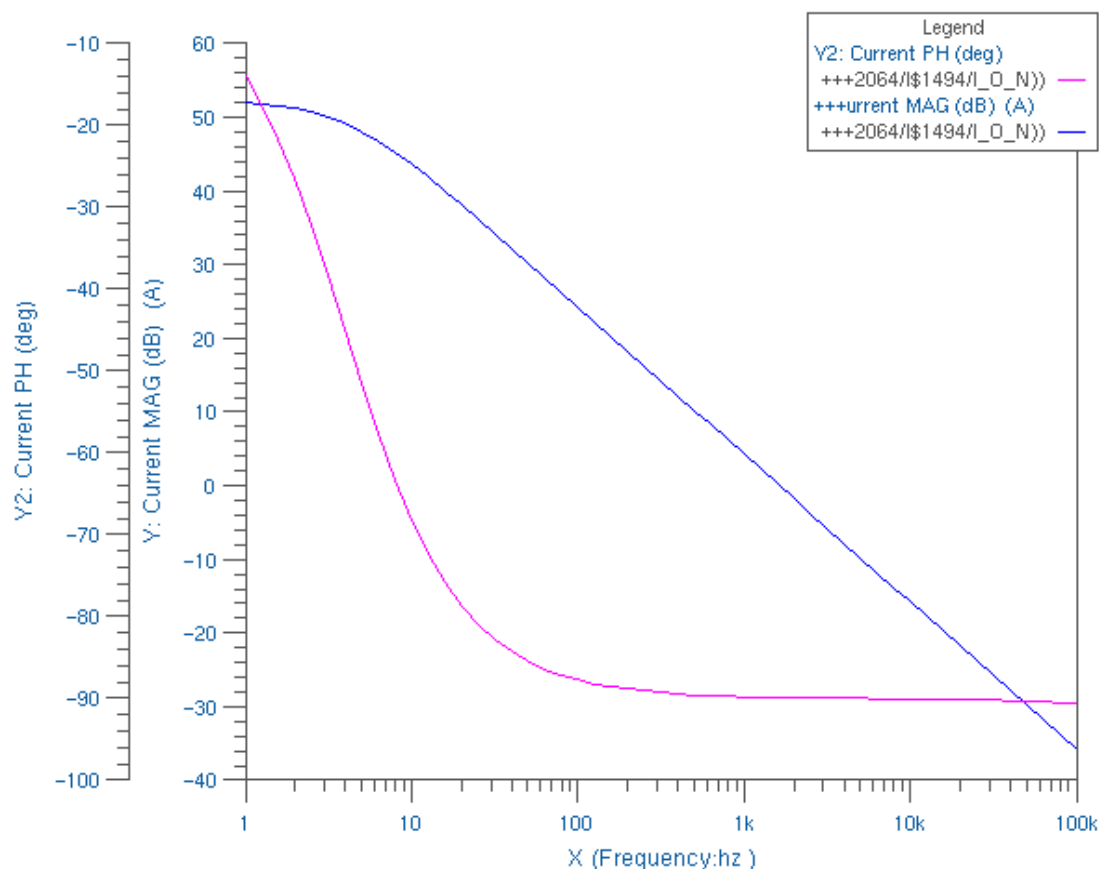


Fig. 3.8. Resposta em frequência para o circuito do integrador proposto.

Seria interessante que o integrador pudesse ter um capacitor com um tamanho apropriado para ser integrado (na ordem de pF), mas para esse tipo de integrador, para obter o funcionamento em torno da frequência de 1KHz, como se deseja, precisa-se de capacitores na ordem de nF. O fato do integrador trabalhar em torno de 1KHz, faz com que ele apresente atenuação em sua sensibilidade, devido a relação (3.2a).

TABELA 4

Parâmetro	Valor
W/L de M_b	120/8 $\mu\text{m}/\mu\text{m}$
W/L de M_c	60/4 $\mu\text{m}/\mu\text{m}$
W/L de M_o	10/4 $\mu\text{m}/\mu\text{m}$
C	15 nF
I_B	50 μA

Capítulo 4

Projeto do Sintetizador de Sinais Ortogonais

4.1. Introdução

Neste capítulo é explicada a necessidade de blocos auxiliares para o sintetizador e apresentado os seus projetos. O circuito completo do sintetizador é detalhado e são discutidas as considerações de projeto.

4.2. Projeto dos Blocos Auxiliares do Sintetizador

4.2.1. Circuito que Replica Correntes

Em diversos pontos do circuito do sintetizador há a necessidade que sinais de correntes se repliquem para múltiplas entradas subseqüentes, por exemplo, na entrada do multiplicador. De uma forma geral, o fato de o circuito ser em modo de corrente, faz com que as correntes tenham que ser replicadas. Os circuitos utilizados para replicar correntes são compostos de fontes de corrente controladas por corrente (FCCC) utilizando espelhos em *high-swing* [18]. A Fig. 4.1 ilustra um circuito simplificado de FCCC, sendo que $i_o = Ai_i$ e A é uma constante.

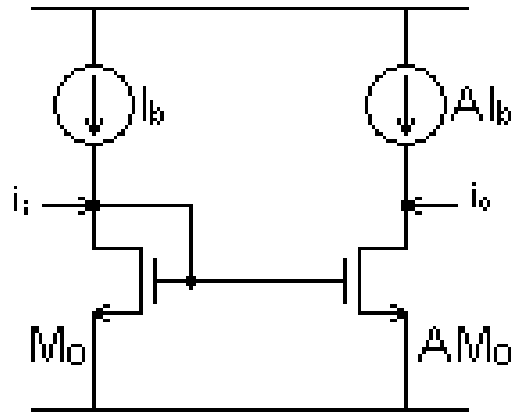


Fig. 4.1. Circuito simples de uma fonte de corrente controlada por corrente (FCCC).

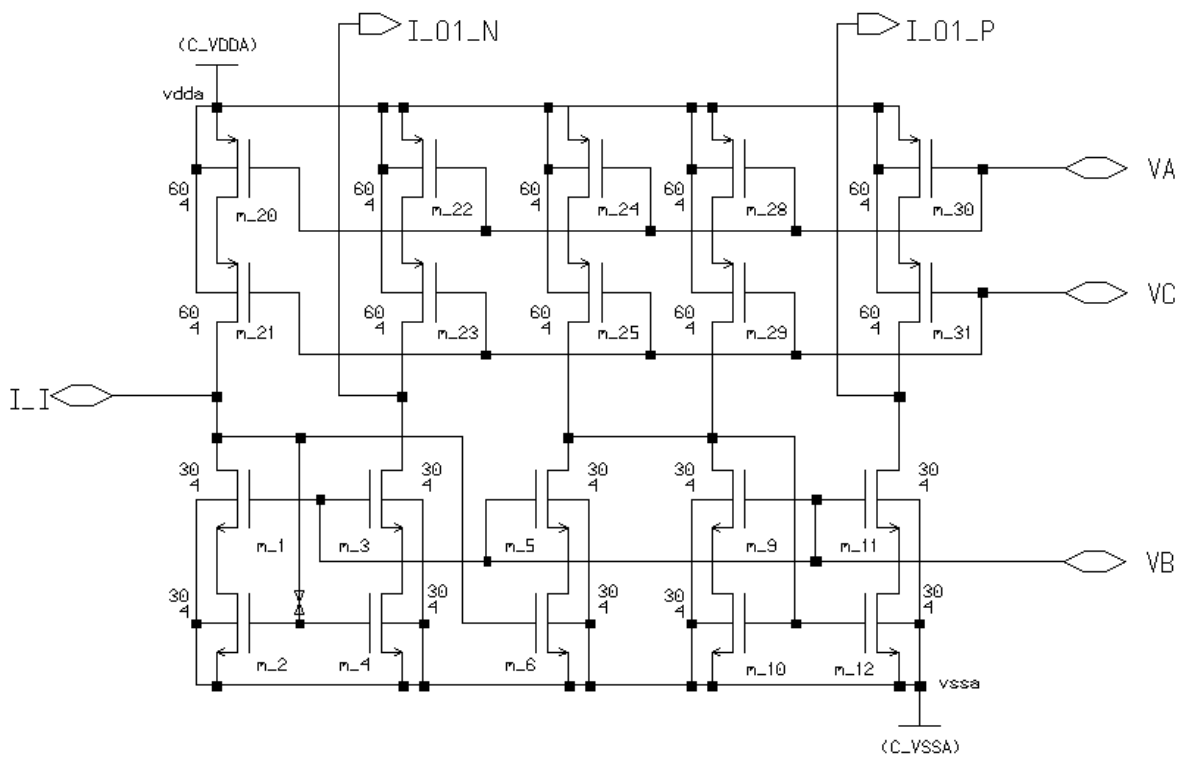


Fig. 4.2. Circuito que espelha uma corrente de entrada em duas réplicas com sentidos diferentes.

A Fig. 4.2 mostra um circuito que replica a corrente de entrada I_I , em duas correntes com sentidos diferentes. Os espelhos em *high-swing* mostraram-se eficazes em aplicações com ganho unitário. Mais adiante, estes serão comparados com outras topologias.

4.2.2. Redução das correntes de Modo Comum

A propagação das correntes de modo comum do circuito torna-se indesejável, se a corrente alcançar uma magnitude alta. Quando uma corrente de modo comum, na entrada do multiplicador, for superior a $20\mu\text{A}$, os transistores podem sair da região de saturação. Uma solução, é reduzir as correntes de modo comum nas saídas de blocos críticos do sintetizador, de forma a impedir que haja um aumento contínuo das correntes de modo comum.

Com o intuito de obter um circuito que reduza correntes de modo comum, propõe-se uma topologia que subtraia as correntes diferenciais, anulando assim a corrente de modo comum. O circuito é inspirado na FCCC com entrada e saída diferencial e ganho unitário, que foi projetada com transistores bipolares [19]. Na Fig. 4.3, i_{o+} é o resultado da subtração de i_{i+} por i_{i-} via CM_3 e CM_4 , e i_{o-} da subtração de i_{i-} por i_{i+} via CM_2 e CM_1 . O resultado diferencial é $i_{o+} - i_{o-} = 2 \times (i_{i+} - i_{i-})$.

Alguns destes circuitos foram configurados de forma diferente, conforme o tipo de aplicação. O circuito da Fig. 4.4 é utilizado na saída do multiplicador, ele espelha a corrente diferencial de saída do multiplicador e subtrai com o método explicado. O circuito da Fig. 4.5 é destinado a reduzir as correntes de modo comum, em pontos do circuito que exigem esse tipo de casamento de impedância.

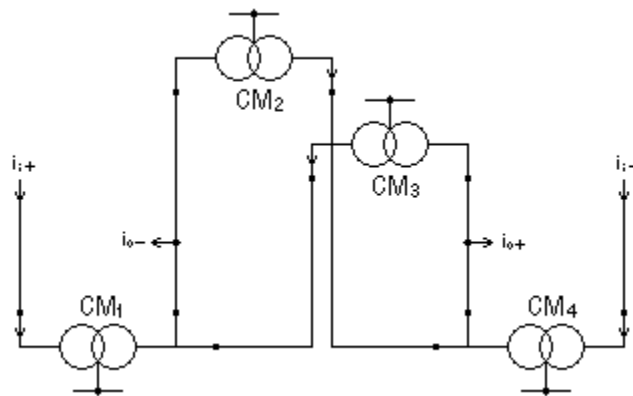


Fig. 4.3. Circuito proposto para eliminar as correntes de modo comum de um sinal.

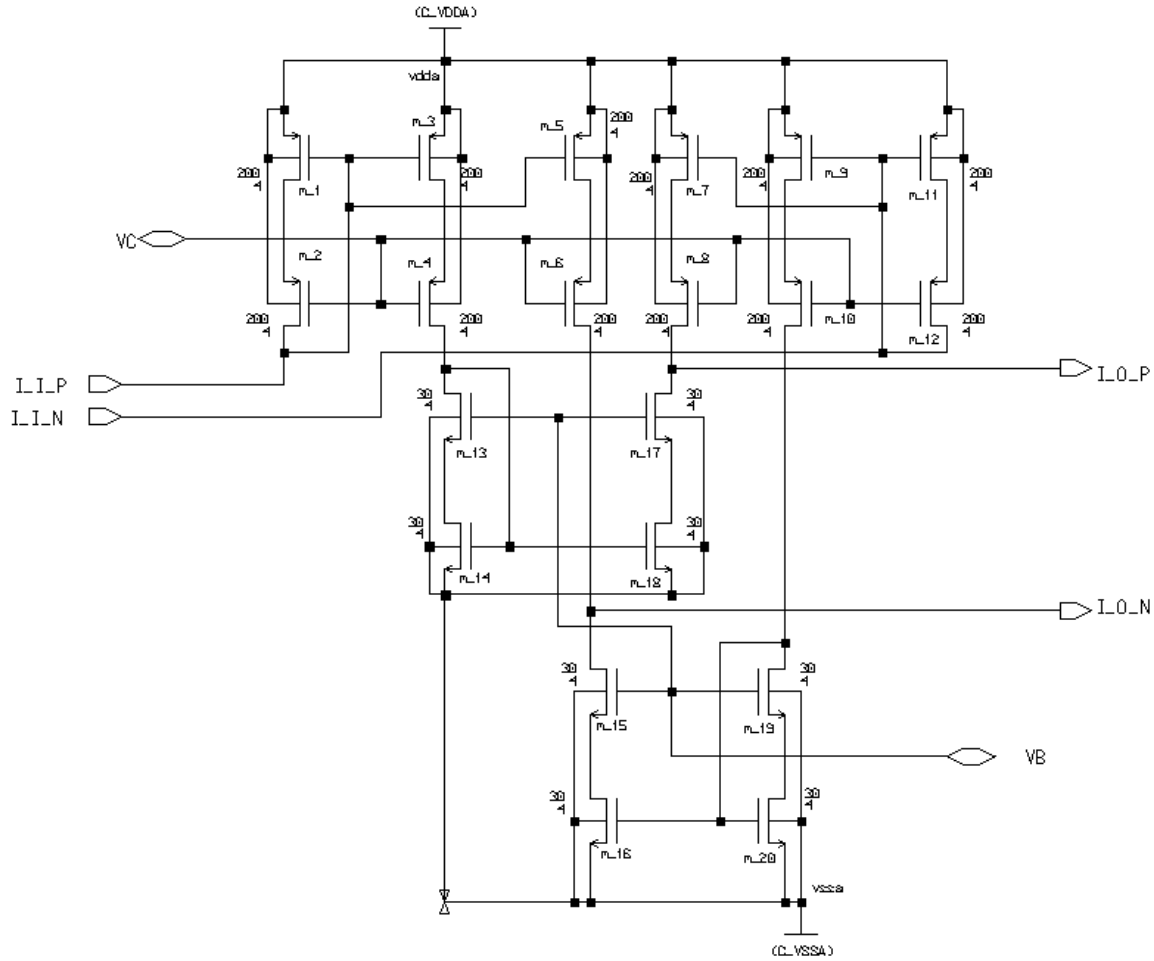


Fig. 4.4. Circuito que elimina correntes de modo comum dos sinais diferenciais da saída do multiplicador.

4.2.3. Amplificador de Corrente

Realizada uma compilação de trabalhos a respeito de amplificadores de corrente, três configurações são classicamente apontadas como empregáveis em circuitos em modo de corrente: *high-swing*, *grounded-gate* e *regulated-gate*. Foi verificado que a utilização da configuração *regulated-gate* seria inconveniente, pois ocupa uma maior área em relação às outras. Uma configuração que utiliza *grounded-gate*, designada aqui como *folded-cascode*, foi escolhida como bloco

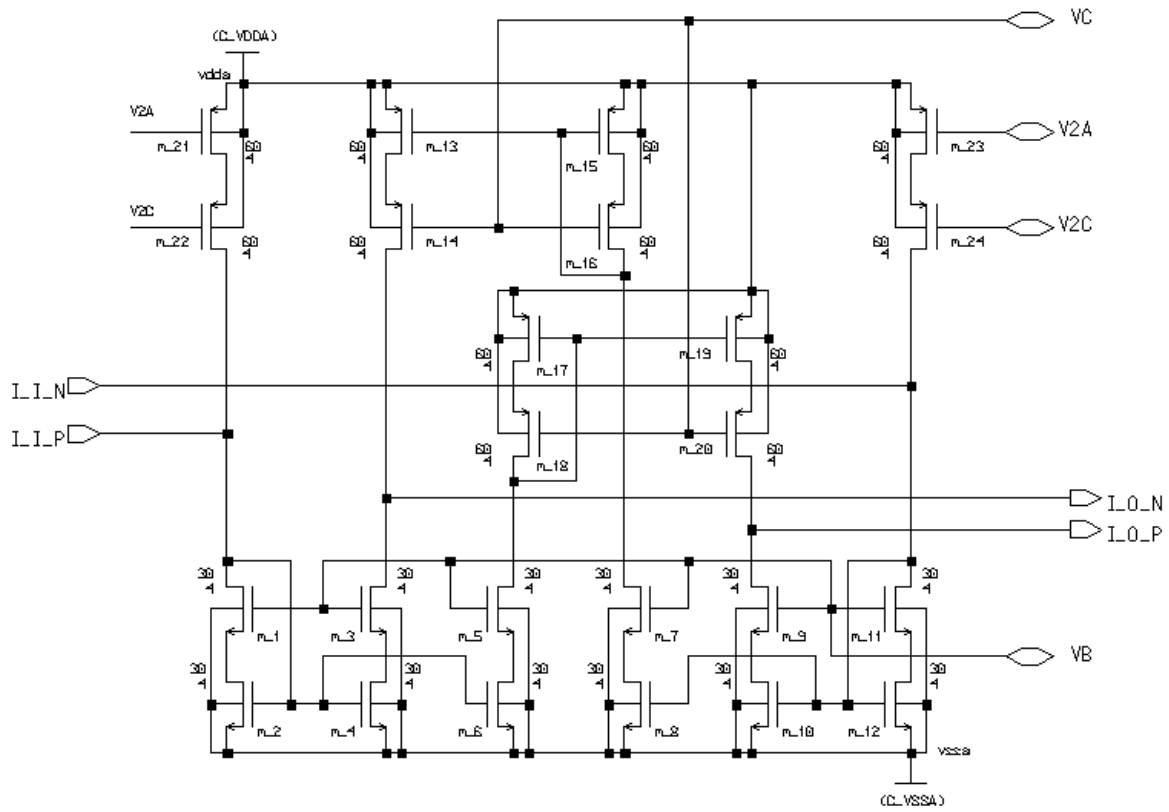


Fig. 4.5. Circuito proposto para eliminar as correntes de modo comum em pontos onde exijam casamento de impedância.

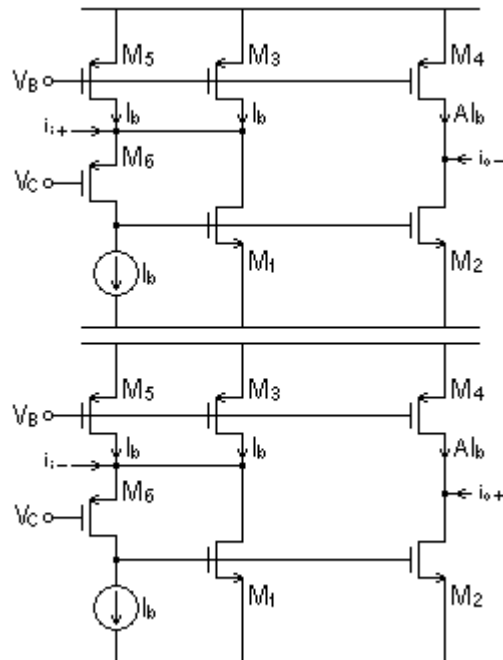
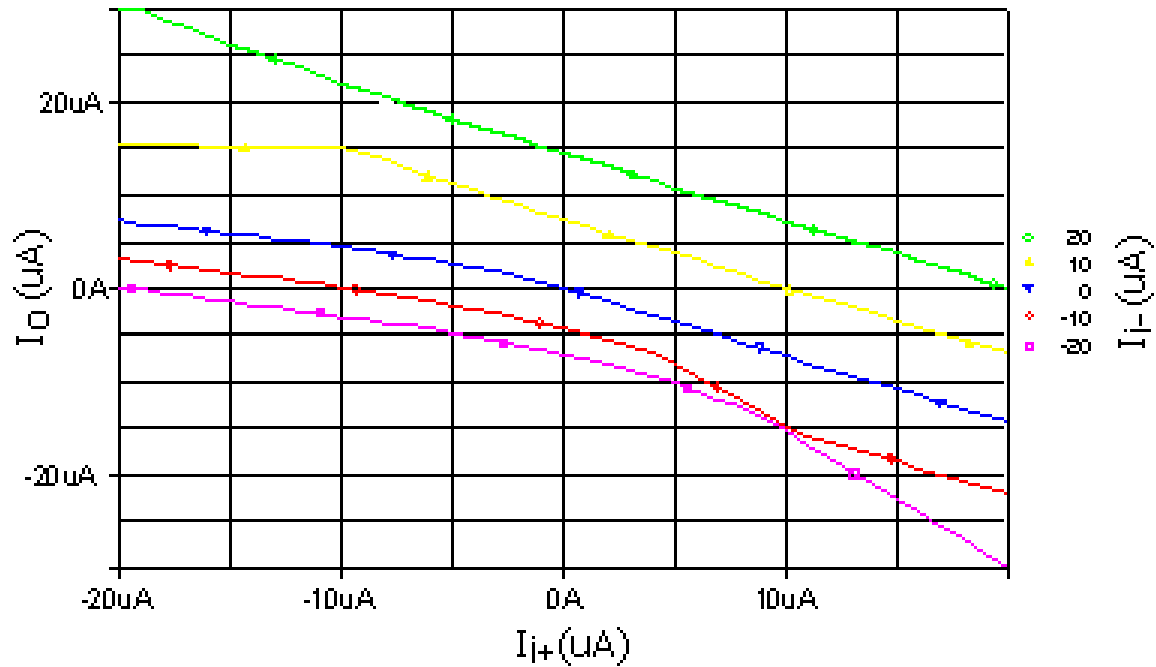


Fig. 4.6. Amplificador de corrente *folded-cascode* utilizado como bloco funcional do sintetizador.

amplificador de corrente do circuito do sintetizador, ilustrado na Fig. 4.6. A Fig. 4.7 mostra a análise CC de circuitos amplificadores em *high-swing* (Fig. 4.7(a)) e *folded-cascode* (Fig. 4.7(b)) alimentados em 3V. Foi verificado que o circuito em *high-swing* apresenta rendimento inferior ao requisitado na razão da corrente de entrada pela corrente de polarização i/I .

O circuito *folded-cascode* apresenta vantagens anunciadas em relação ao *high-swing* [12]. O circuito de realimentação via M_6 (Fig. 4.6) garante uma melhor flexibilidade no ajuste da impedância de entrada, que possibilita o uso de circuitos simples, com únicos transistores na polarização (M_3 e M_5). Esse fato é interessante em aplicações de *low-voltage*, e foi imprescindível no projeto.



(a)

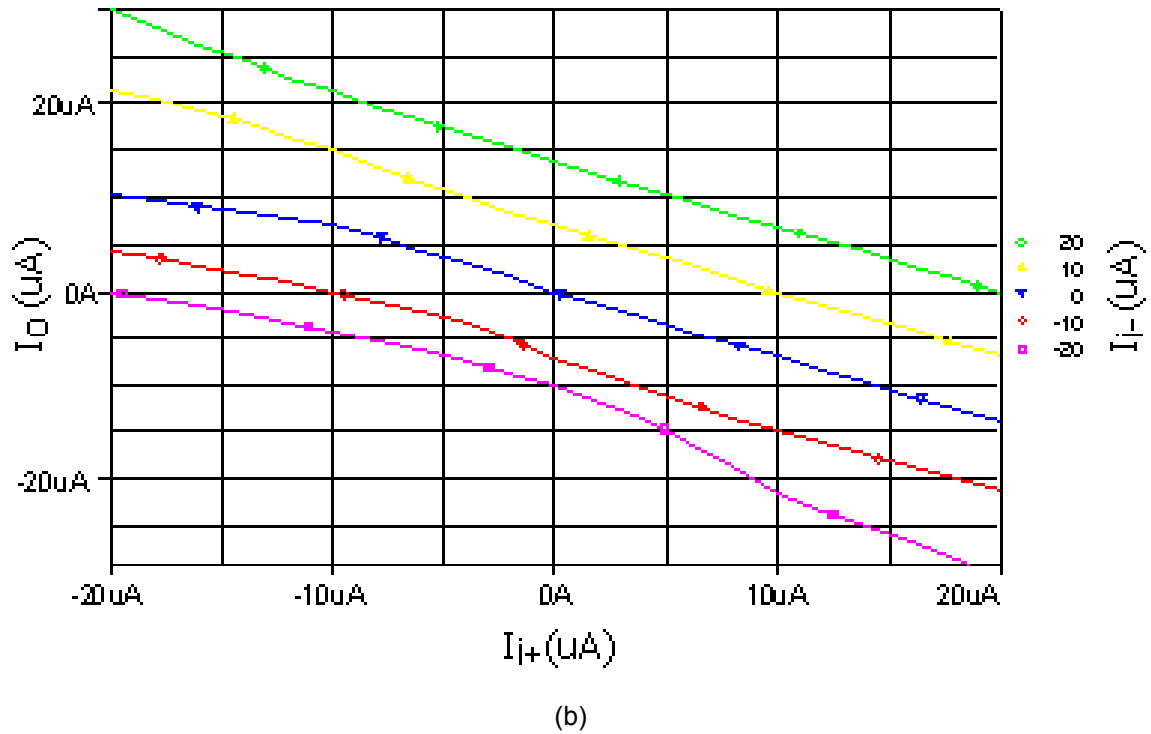


Fig. 4.7. Resultado da análise DC para os circuito amplificadores. (a) *high-swing* (b) *grounded-gate*.

4.3. Descrição do Circuito Completo do Sintetizador

O circuito do sintetizador proposto é constituído de blocos analógicos que realizam as funções do esquema já explicado (ver capítulo 2), descrito a seguir:

$$F_0(t) = g(t)$$

$$F_1(t) = f(t)g(t)$$

$$F_2(t) = f(t)F_1(t) + a_2F_0(t)$$

...

$$F_i(t) = f(t)F_{i-1}(t) + a_iF_{i-2}(t), \quad \text{para } i = 2, \dots, I \quad (4.1)$$

O primeiro estágio, conforme ilustrado na Fig. 4.8, realiza a função $F_1(t) = f(t)g(t)$. O símbolo CR representa um bloco que replica correntes e o M_1 um multiplicador de correntes.

A Fig. 4.9 mostra o diagrama de blocos do segundo estágio do sintetizador. O segundo e os demais estágios, são idênticos, porque segundo o método empregado, devem realizar a função (4.1) para geração de sinais ortogonais. No caso específico do segundo estágio, sua função descreve $F_2(t) = f(t)F_1(t) + a_2F_0(t)$. O bloco CS1, na Fig. 4.9, representa o circuito da Fig. 4.5.

O sintetizador consiste de um arranjo em cascata de I estágios, como o da Fig. 4.9, gerando assim, um número I de sinais mutuamente ortogonais. A ligação dos estágios em cascata é realizada por circuitos CR, como ilustrado na Fig. 4.9 por CR₆.

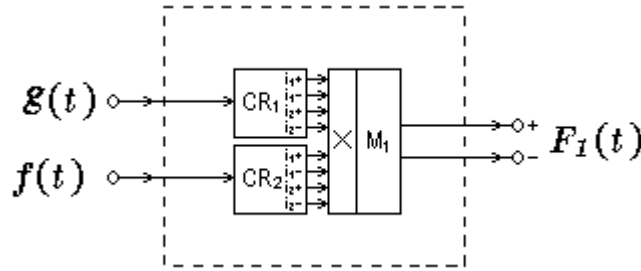


Fig. 4.8. Primeiro estágio do sintetizador; O circuito é responsável pela geração de $F_1(t)$ a partir de $f(t)$ e $F_0(t) = g(t)$.

4.4. Considerações de Projeto

A corrente de saída deve ser ajustada em uma magnitude suficiente, de forma a permitir as medições experimentais no circuito integrado. Deve-se também definir uma corrente mínima para que os estágios em cascata processem o sinal adequadamente. Considerando que a faixa de entrada é de 20 μA , pode-se estipular

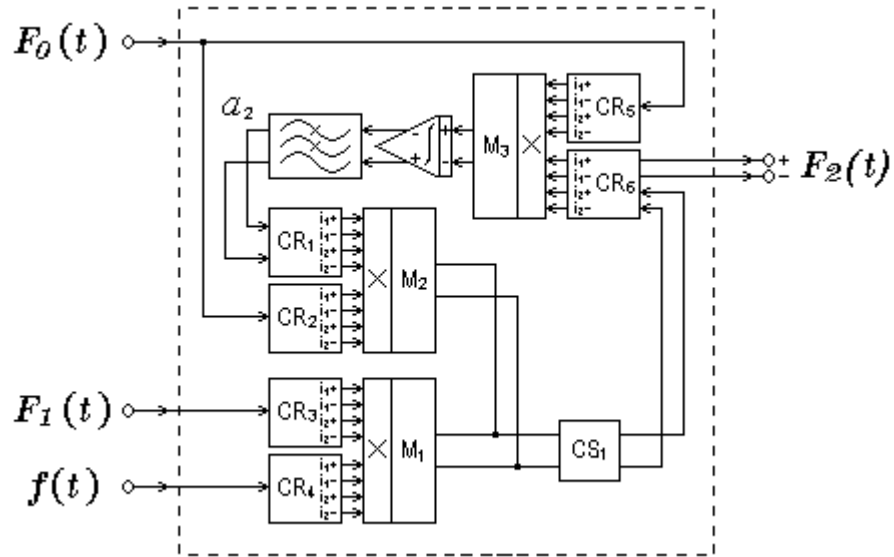


Fig. 4.9. Segundo estágio do sintetizador; O circuito é um exemplo dos estágios cascateados do sintetizador.

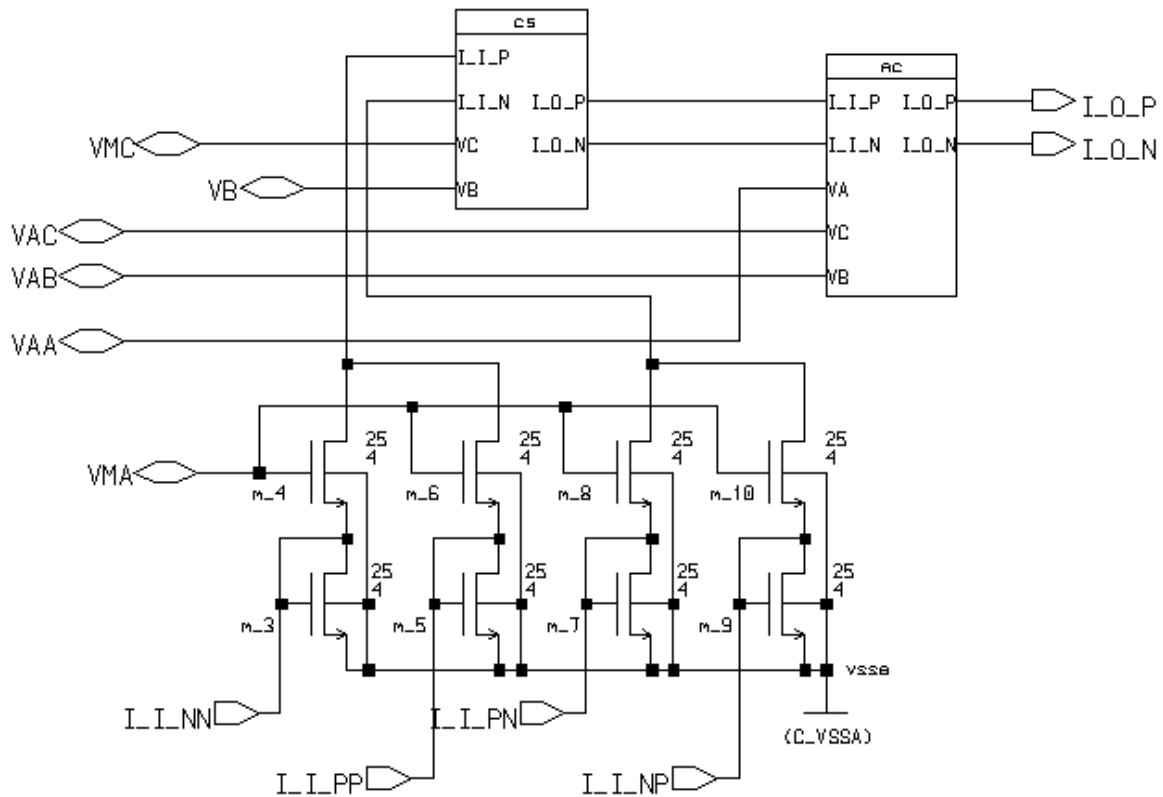


Fig. 4.10. Multiplicador de correntes aplicado à saída dos estágios.

que as simulações sejam realizadas com as amplitudes das entradas $g(t)$ e $f(t)$ entre 10 e 15 μA .

Para ajustar a corrente de saída em amplitudes desejadas, são empregados amplificadores de corrente nos multiplicadores de saída dos estágios. Em todos os estágios do sintetizador, M_1 tem um amplificador em sua saída. A Fig. 4.10 ilustra os multiplicadores com esta característica. O bloco CS representa o circuito da Fig. 4.4. O bloco multiplicador processa a corrente de saída, eliminando as correntes de modo comum, e amplifica o sinal de saída por um fator de 1,5. Os transistores PMOS do circuito amplificador da Fig. 4.11, utilizados como fontes de corrente, foram projetados com $L=8\mu\text{m}$ para reduzir o efeito de modulação de comprimento de canal. Dessa forma, o circuito não produz correntes de modo comum significativas.

Para testar o desempenho do sintetizador proposto, através de simulação do circuito, escolheu-se a geração das funções de base trigonométricas, como as funções de base coseno. Esse requisito permite a análise de distorção harmônica e uma análise visual de sinais com características simples de se identificar.

Tomando como exemplo a Fig. 4.9, segue uma análise do funcionamento do circuito. A saída dos estágios é realimentada pelo produto da saída F_{i-2} por a_i . Segundo o método empregado, se a_i for constante, a saída será ortogonal às anteriores, sendo a_i gerado através da definição dada em (2.3). Amplificadores e atenuadores dispostos no circuito definem o fator de velocidade de convergência. Os blocos multiplicadores M_2 e M_3 não possuem amplificadores em suas saídas como ocorre em M_1 e logo antes do integrador foi inserido um bloco atenuador com fator 2. Esses ajustes são imprescindíveis para o bom funcionamento do sintetizador, como ver-se-á mais adiante.

O integrador (Fig. 4.12) recebe o produto $F_i \times F_{i-2}$ e o integra enquanto houver componente CC no sinal. O resultado de a_i multiplicado por F_{i-2} é usado para corrigir a saída a ser gerada. Quando a saída convergir para o resultado desejado,

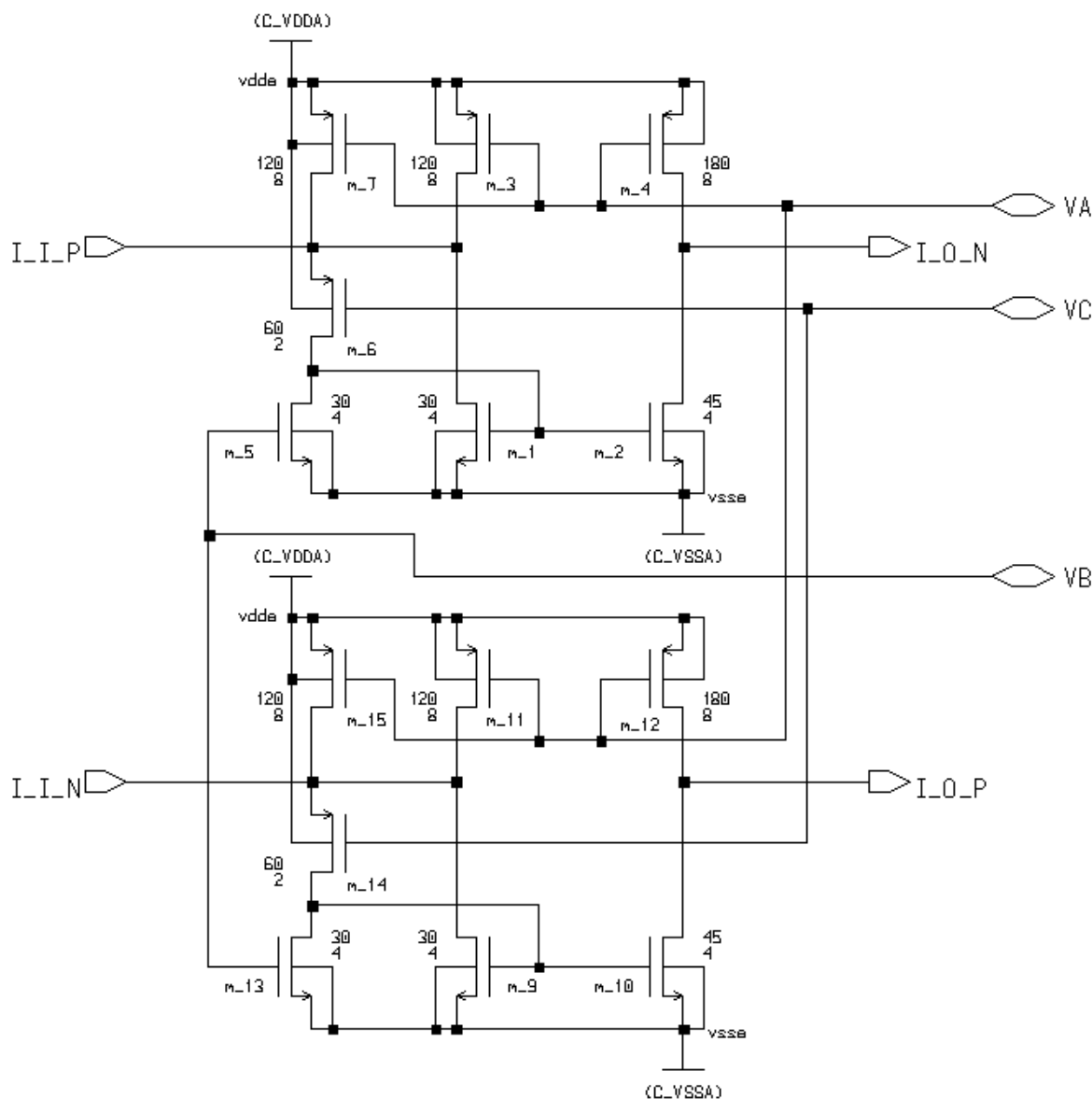


Fig. 4.11. Amplificador de corrente diferencial, que está incorporado ao bloco multiplicador.

Isto é, um sinal ortogonal aos anteriores, a_i deverá ser constante. Porém, ao final do processo de ajuste, a saída do integrador apresenta: uma corrente constante somada a um pequeno sinal, correspondente à integral no tempo da componente CA da saída de M_3 . Em outras palavras, quando não houver mais componente CC para integrar, a saída do integrador não variará mais, todavia apresentará a integral da componente CA do sinal.

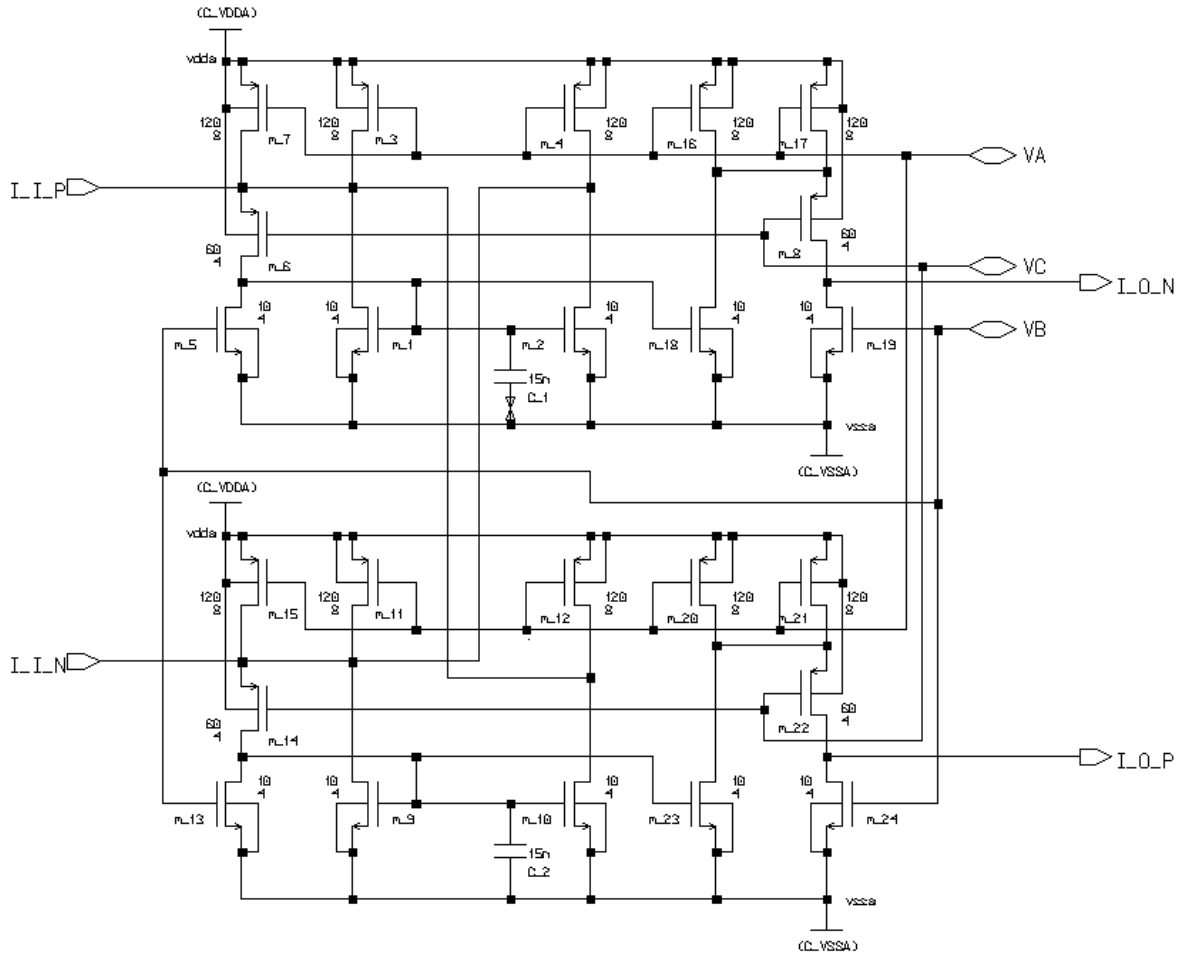


Fig. 4.12. Integrador de corrente com entradas e saídas diferenciais.

Para resolver esse problema, propõe-se uma topologia de filtro RC passa-baixa a ser inserido na saída do integrador, de forma que o sinal indesejável seja filtrado. Devido à frequência de trabalho do circuito ser em torno de 1kHz, o filtro requerido para filtrar essa frequência tem uma grande área ocupada pela capacitância correspondente. O filtro RC proposto utiliza o transistor MOS na região linear, como resistor, e a capacitância de porta do transistor, como capacitor. O filtro, mostrado na Fig. 4.13, consiste em um circuito que espelha o sinal de entrada, desempenhando um conversor tensão-corrente. O circuito RC filtra o sinal de tensão da porta do transistor m_3 e converte em corrente de saída.

Se a tensão na porta de m_4 for suficiente para fazer com que V_{gs} seja inferior ao seu mínimo, o canal pode deixar o estado induzido. Com o intuito de variar o mínimo possível V_{gs} , esforços foram realizados para projetar um bloco que realimenta a corrente de saída, para fornecer tensão ao transistor m_10. Com esse controle, a tensão V_{gs} de m_10 pode manter sua resistência próxima do máximo. O circuito é configurado como um amplificador de corrente, de forma que a corrente de saída seja controlada por uma pequena tensão de porta. Para equilibrar esse efeito, o sinal é atenuado antes de entrar no circuito da Fig. 4.13.

Simulações realizadas para testar o filtro no sintetizador mostraram que a frequência de corte do filtro não pode ser mais baixa do que foi projetado, conforme indica a Fig. 4.14. Devido à baixa performance do filtro, esse causa atenuação no início do período onde a_i é ajustado. Verifica-se que, quando a frequência de corte é inferior ao projetado, o processo de ajuste de a_i pode se tornar instável.

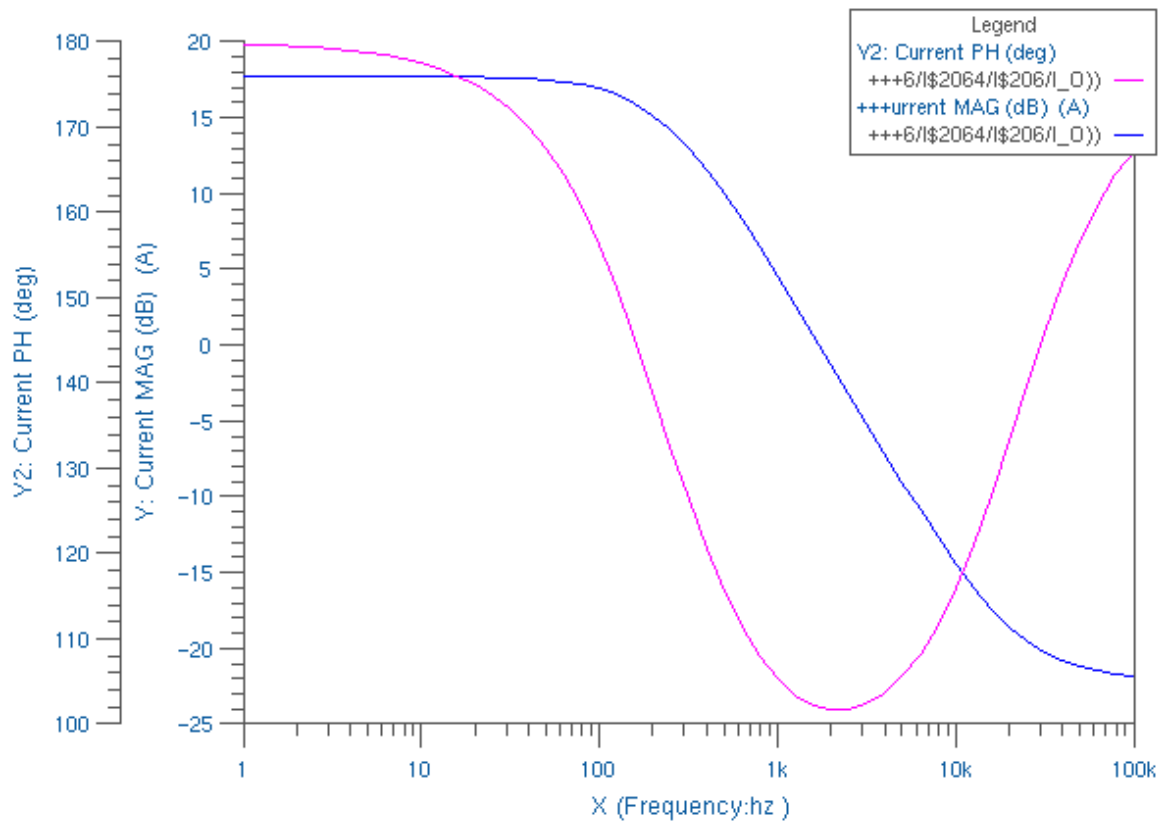


Fig. 4.14. Resposta em frequência para o circuito do filtro RC proposto.

4.5. Simulações de Geração de uma Base com o Sintetizador

O sintetizador mostrou-se capaz de gerar funções ortogonais como as bases coseno, seno e o polinômio de Legendre. As simulações, que utilizaram a ferramenta da Mentor Graphics, mostraram que as bases geradas tiveram DHT e correntes de saída satisfatórias. Os resultados são descritos a seguir.

A Fig. 4.15 apresenta a resposta da análise transitória do sintetizador para as entradas $g(t) = 10\mu\text{A}$ e $f(t) = 15\text{sen}(\omega t)$ (μA), sendo $\omega = 2\pi \times 1000$ rad/s. A Fig. 4.16 ilustra a geração de uma base polinomial, à partir das entradas $g(t) = 10\mu\text{A}$ e $f(t)$ uma função triangular, com amplitude de $15\mu\text{A}$ e frequência de 1kHz.

Os sinais gerados apresentam as características da base coseno e de Legendre, apesar de não serem ortonormalizados e as funções não serem dadas pelas funções encontradas na literatura. Sendo que as funções apresentam ortogonalidade por definição (ver (2.3)), pode-se determinar a equação que descreve cada sinal e empregá-los em aproximação de funções.

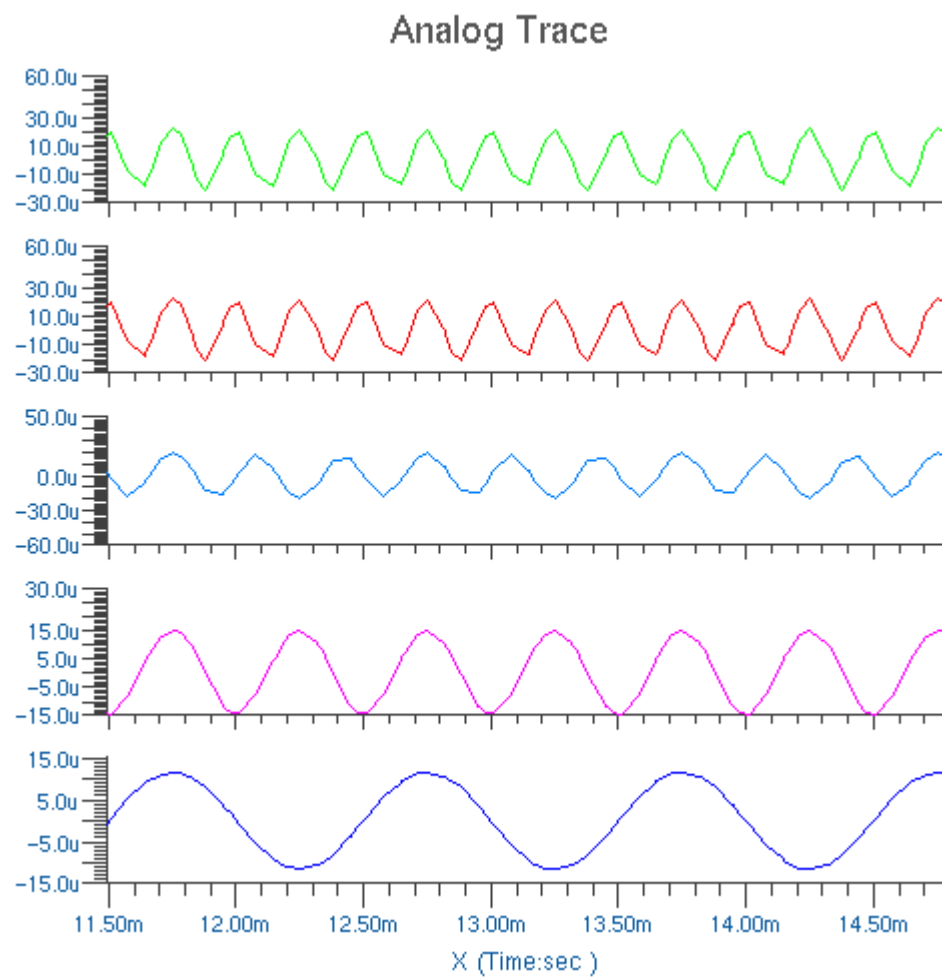


Fig. 4.15. Resultado da simulação de transitório para geração da base coseno.

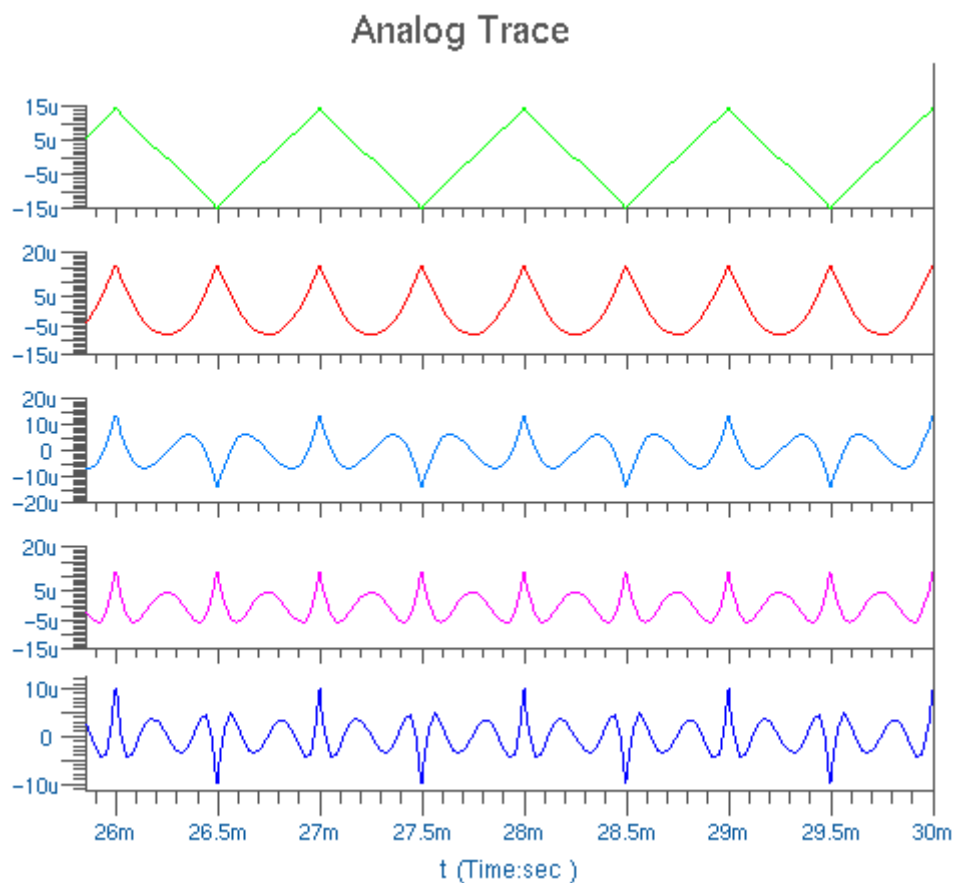


Fig. 4.16. Resultado da simulação de transitório para geração do polinômio de Legendre.

4.6. Resultados Experimentais

O leiaute do circuito simulado foi elaborado utilizando a ferramenta da Mentor Graphics – IC_Station - versão: 2002.4. A Fig. 4.17 mostra a fotografia final do circuito integrado, o qual foi fabricado em processo AMS (American Micro-Systems) CMOS 0.35 μm .

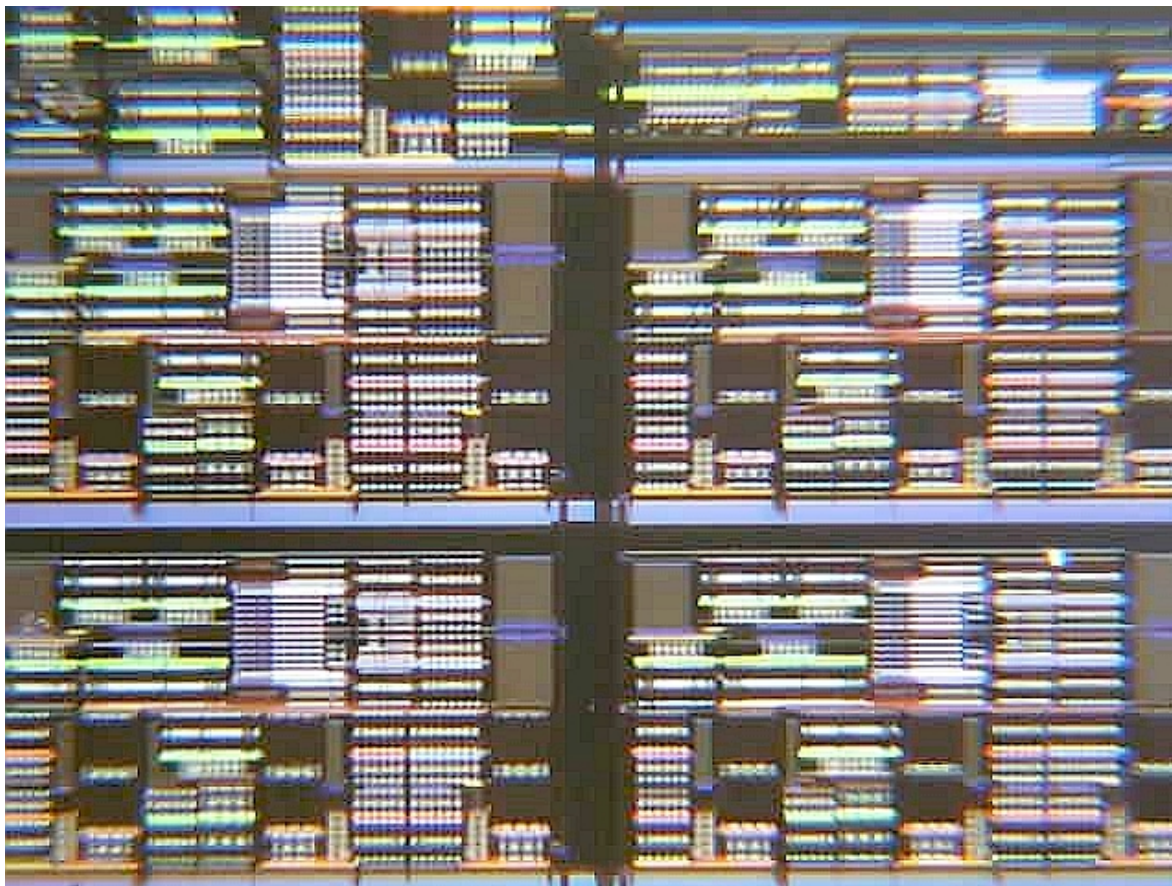


Fig. 4.17. Fotografia final do circuito integrado fabricado.

O circuito integrado fabricado foi testado em protoboard e como instrumento de medida foi empregado um osciloscópio digital Tektronics de 60 MHz.

As fontes de alimentação necessárias ao circuito foram fornecidas por divisores de tensão resistivos acoplados por amplificadores operacionais 741.

O circuito precisa de uma fonte de corrente de referência I_{IN} (ver Fig. 4.18), que polariza todo o circuito fabricado. Não obteve-se resultado utilizando uma fonte de corrente como entrada do pino I_{IN} , por isso, foi adotado uma alimentação de 3,35 V e um circuito com uma resistência de 50 k Ω ligada em +Vcc e no pino I_{IN} . Com essa configuração foi conseguido uma corrente máxima de 32,54 μ A para a corrente de referência do circuito.

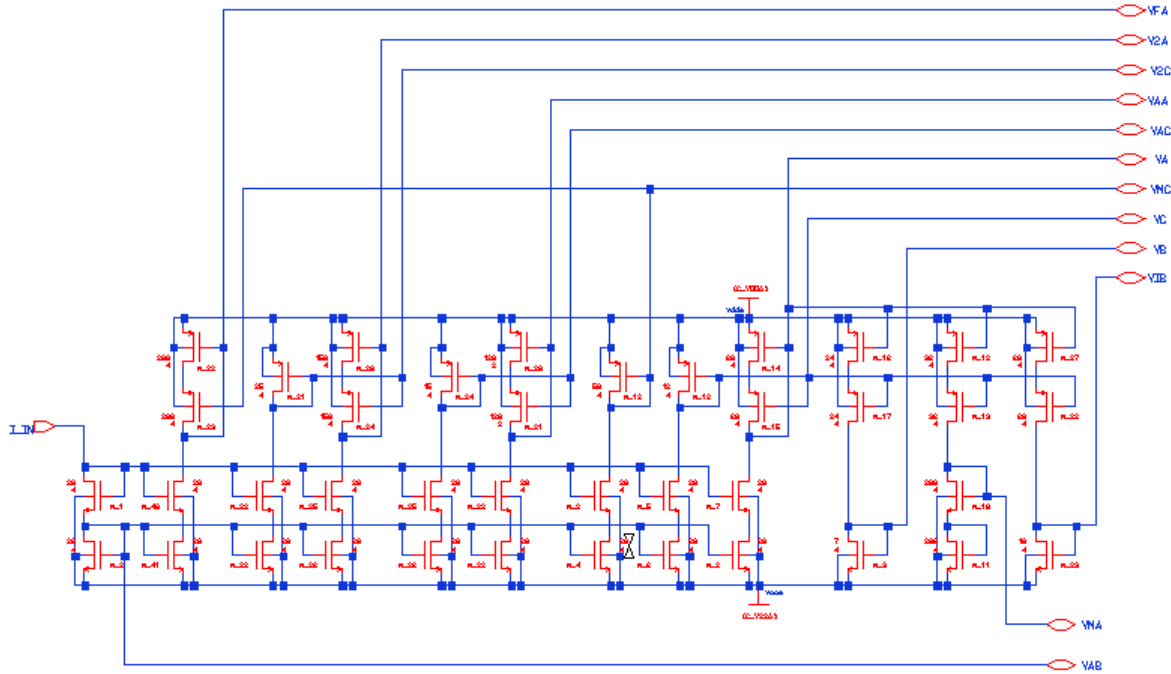


Fig. 4.18. Circuito utilizado para distribuir as tensões de polarização para os demais circuitos do sintetizador.

Foram utilizados circuitos conversores V-I (tensão-corrente) empregando amplificadores operacionais 741, para gerar as entradas necessárias para as bases testadas. Os parâmetros são como segue:

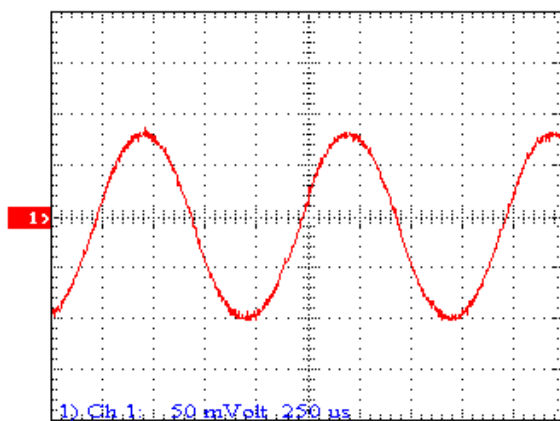
Base trigonométrica:

$g(t) = 10\mu\text{A}$ e $f(t)$ uma senóide com amplitude de $12\mu\text{A}$ e frequência de 1kHz.

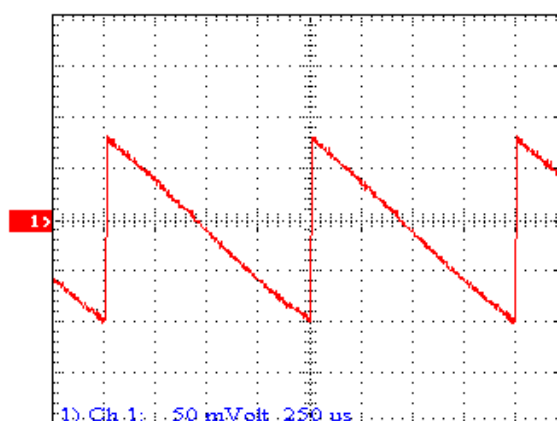
Base polinomial

$g(t) = 10\mu\text{A}$ e $f(t)$ uma dente de serra com amplitude de $12\mu\text{A}$ e frequência de 1kHz.

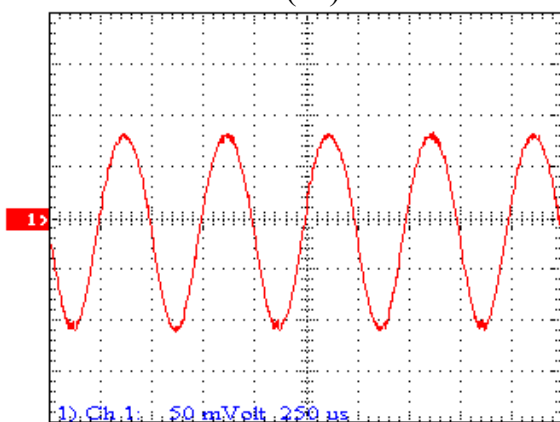
Foram utilizados capacitores externos de 22 nF cerâmicos para os integradores. A Fig. 4.19 apresenta os sinais gerados pelo circuito do sintetizador



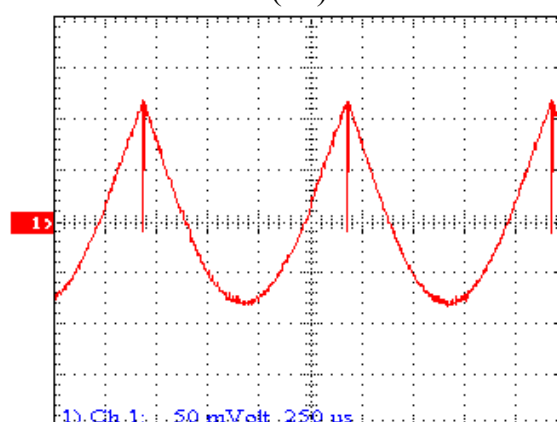
(a1)



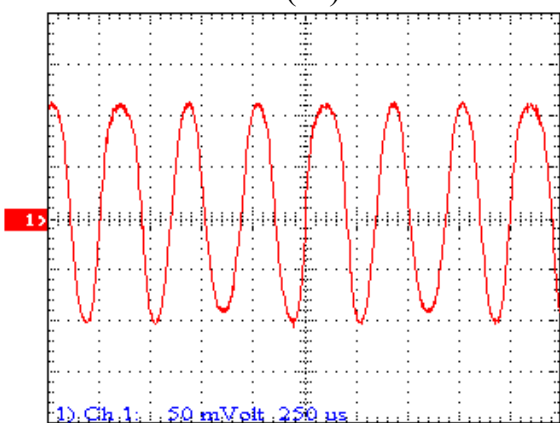
(b1)



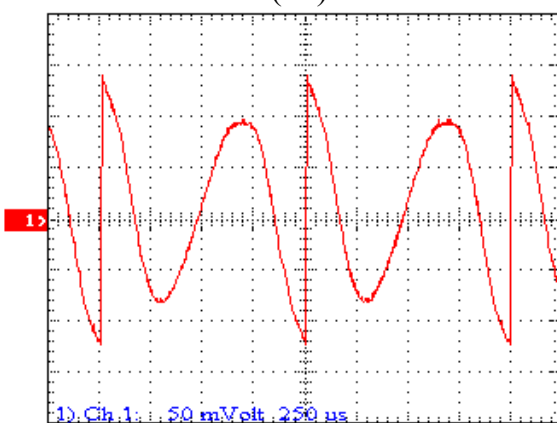
(a2)



(b2)



(a3)



(b3)

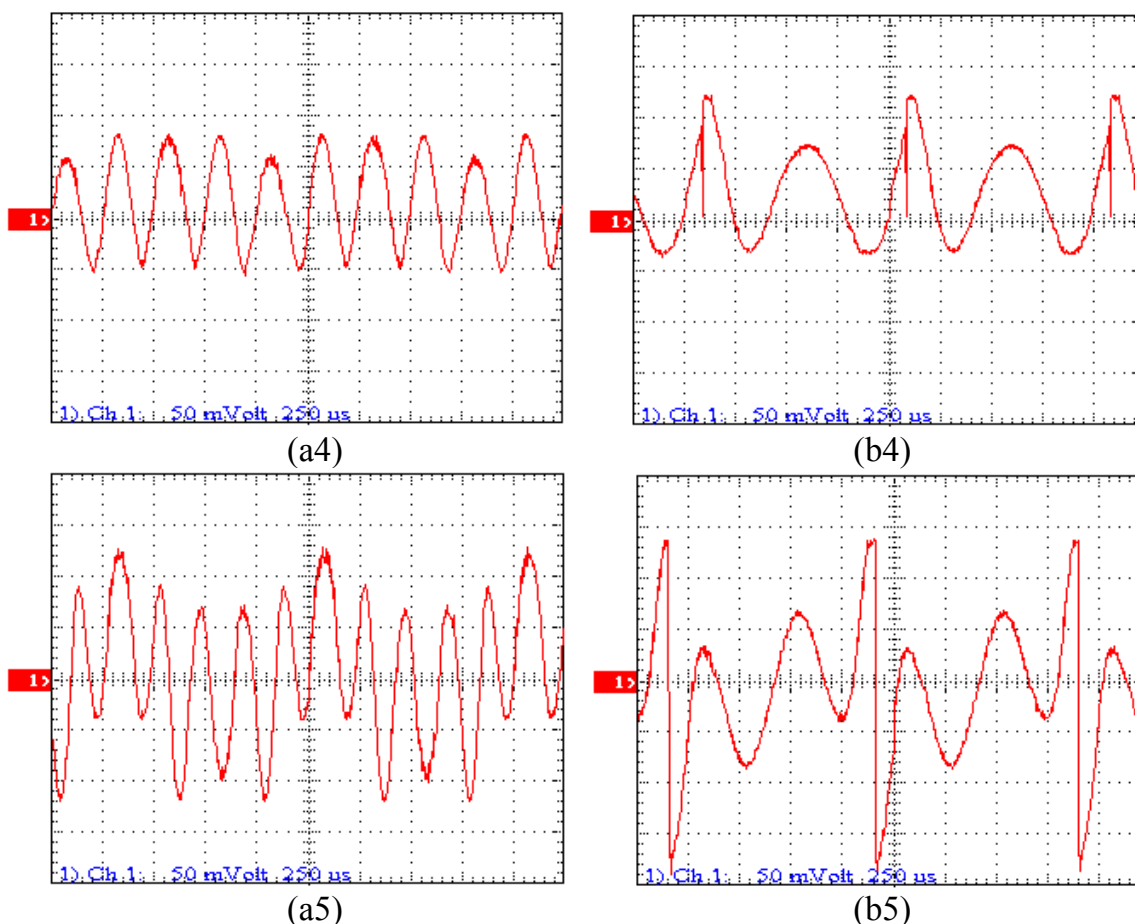
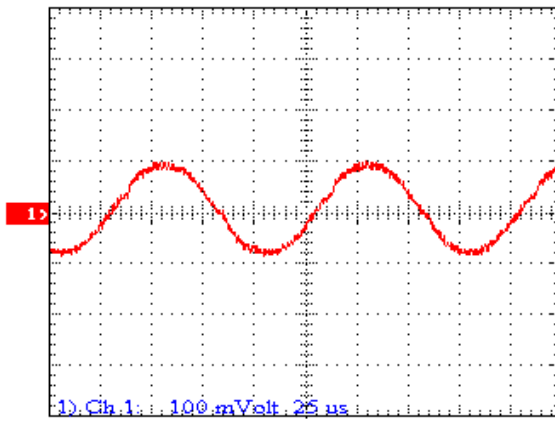


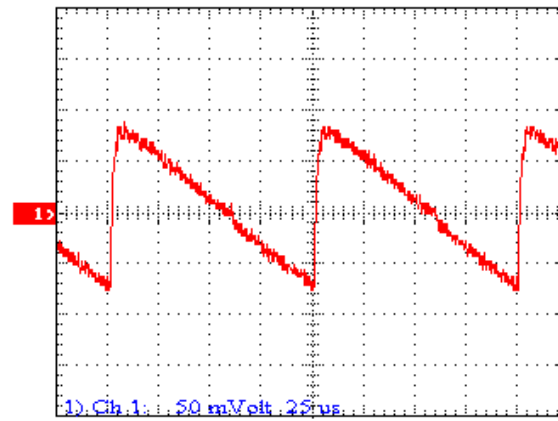
Fig. 4.19. Sinais gerados pelo sintetizador a frequência de 1kHz. (a) Da base coseno. (b) Da base polinomial de Legendre.

para o sinal de entrada na frequência de 1kHz, tal qual foi projetado para o circuito. Os sinais a esquerda são harmônicas de uma base cosenoidal e os da direita polinômios ortogonais com equações semelhantes aos da base de Legendre. O sintetizador também foi testado nas frequências de 10kHz e 100kHz para verificar suas limitações. Utilizou-se os mesmos capacitores cerâmicos de 22 nF nestas aferições. As formas de onda foram medidas diretamente da saída para um resistor de 4,7 k Ω .

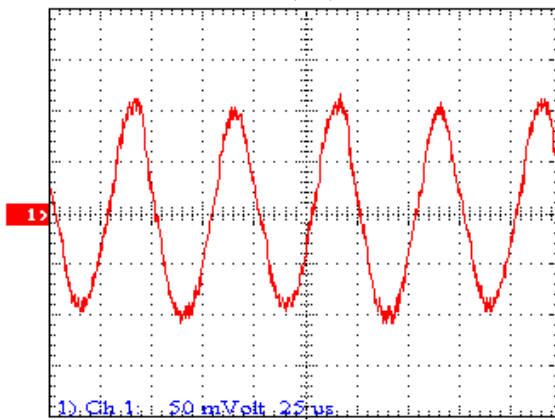
A Fig. 4.20 mostra os sinais gerados na frequência fundamental de 10kHz, e a Fig. 4.21, em 100kHz. As formas de onda geradas nessas frequências foram capturadas pelo software WavStar. Os sinais mostram que o sintetizador é capaz de



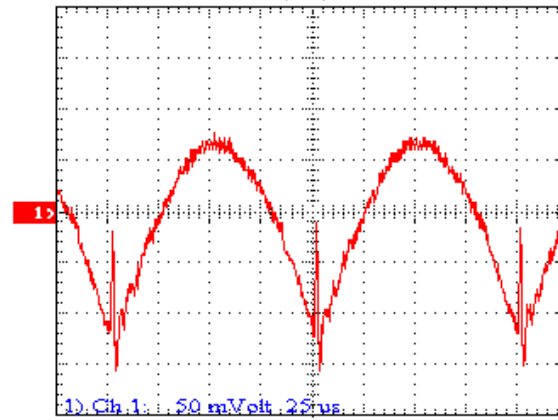
(a1)



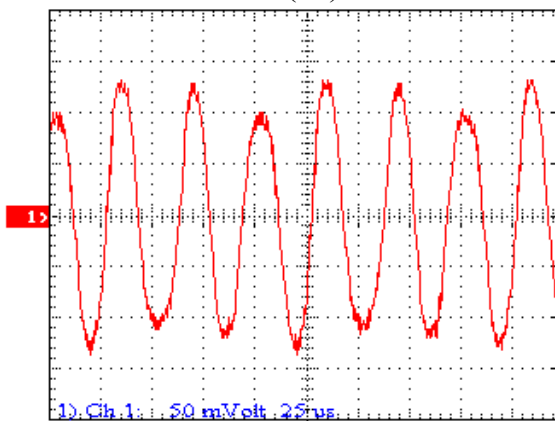
(b1)



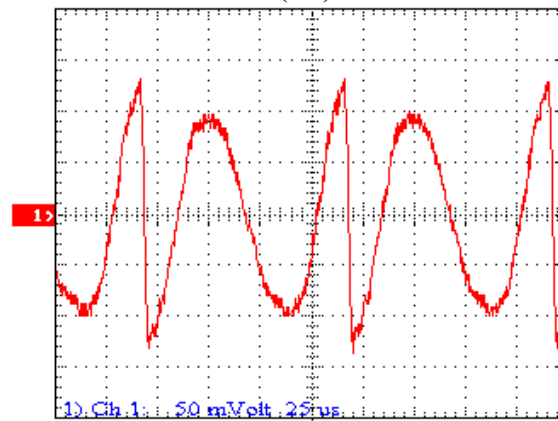
(a2)



(b2)



(a3)



(b3)

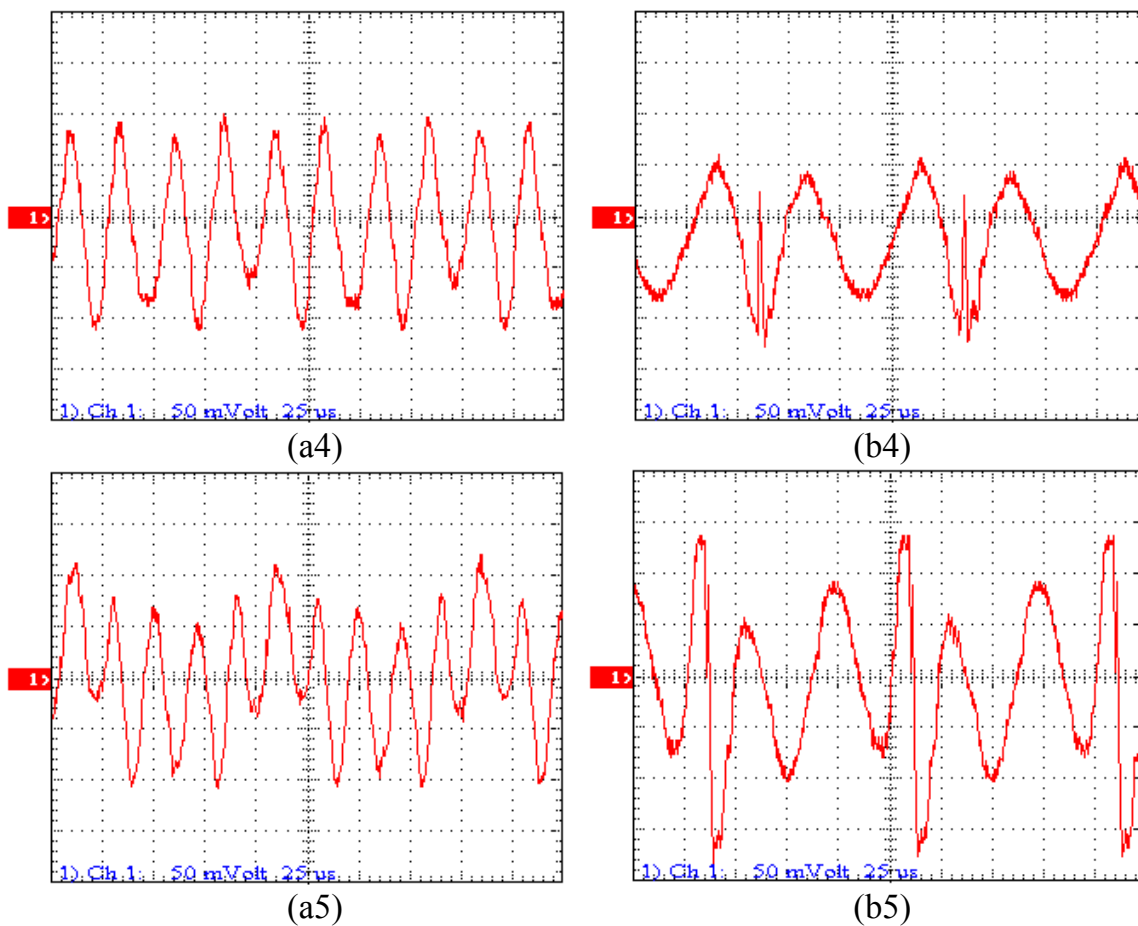
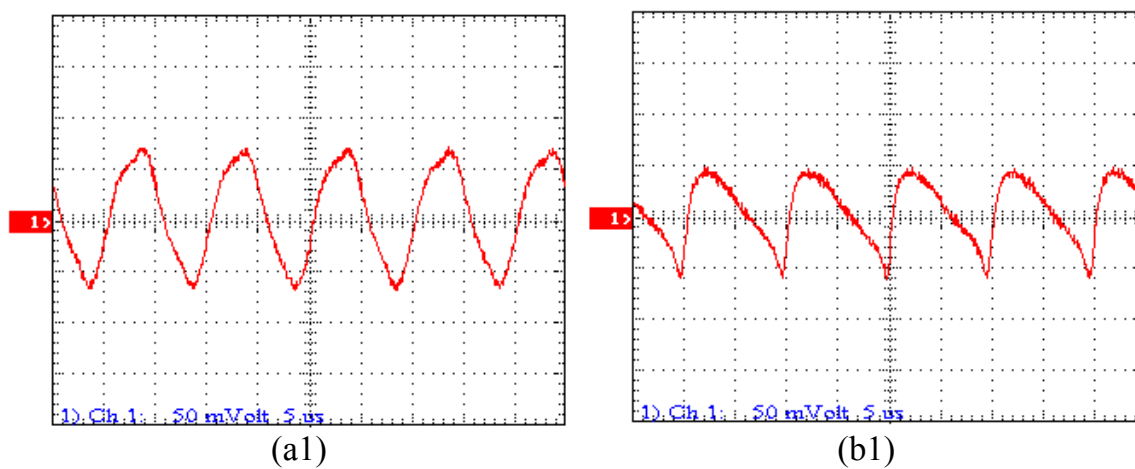


Fig. 4.20. Sinais gerados pelo sintetizador a frequência de 10kHz. (a) Da base coseno. (b) Da base polinomial de Legendre.



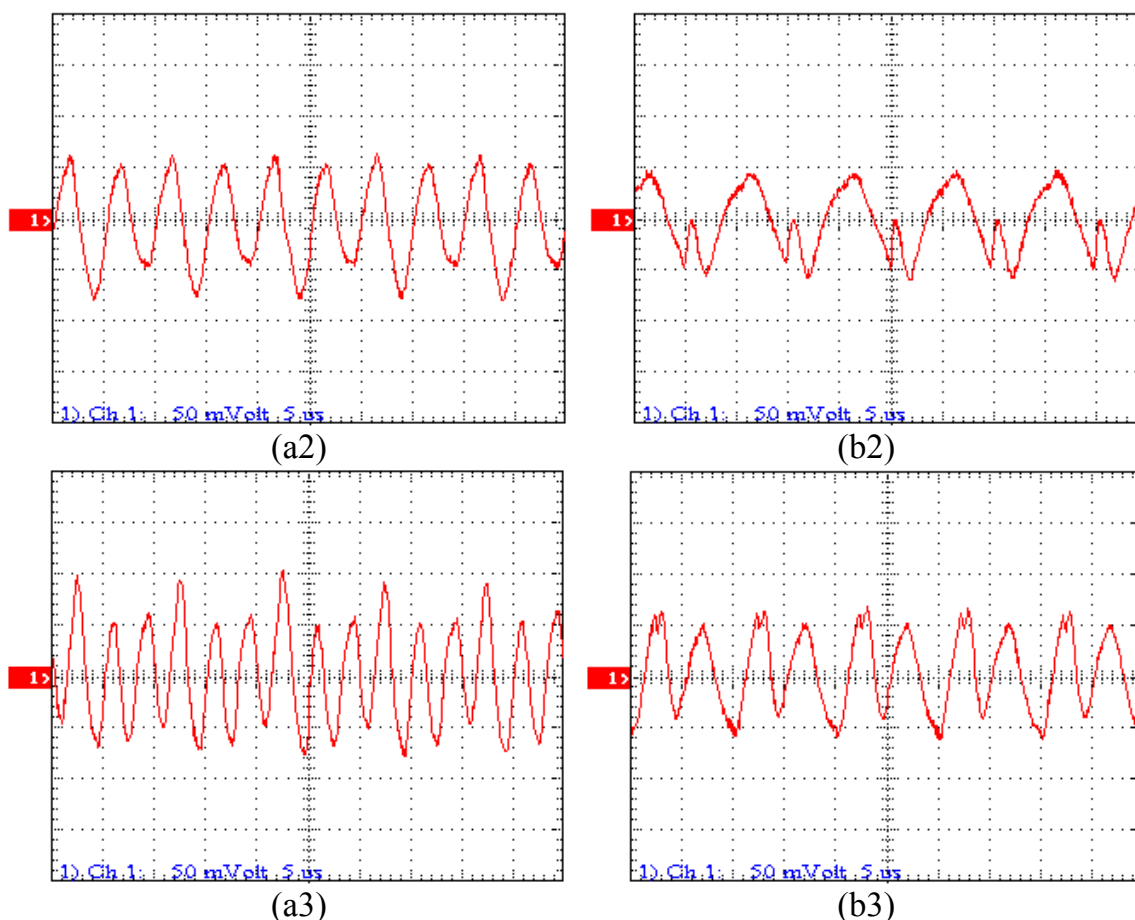


Fig. 4.21. Sinais gerados pelo sintetizador a frequência de 100kHz. (a) Da base coseno. (b) Da base polinomial de Legendre.

convergir nessas frequências. Verifica-se visualmente, que o sinal multiplicado apresenta deformações significantes em frequências mais altas, esse efeito cascadeado deforma muito os últimos estágios. A saída do primeiro estágio representa a multiplicação dos sinais de entrada, portanto, representando o funcionamento do multiplicador. Verificou-se no primeiro estágio um *offset* indesejável, que atrapalha o desempenho do sintetizador. A tabela 5 fornece as DHT para as cinco saídas do sintetizador calculadas pelo WavStar. O primeiro estágio em 100 kHz apresentou 12,60% de DHT.

Considerando que, do sinal do gerador de funções calculou-se DHT de 0,32% em 1kHz, e 1,04 em 10kHz, e sendo que a aquisição dos dados apresenta a detecção

de pico do osciloscópio, o circuito apresentou resultados satisfatórios de DHT e avaliação visual das distorções, em relação ao que foi projetado.

TABELA 5

Freq./DHT	1	2	3	4	5
1k	2,82%	5,71%	9,07%	7,19%	3,81
10k	3,95%	8,68%	4,97%	8,41%	10,20%

Capítulo 5

Conclusões

As simulações e os resultados experimentais comprovaram que o método de síntese de funções ortogonais pode ser aplicado a circuitos analógicos para sintetizar sinais mutuamente ortogonais. O sintetizador gera as funções paralelamente, garantindo sua ortogonalidade mútua. Por isso, o procedimento mais prático para obter as equações de uma base gerada pelo sintetizador é interpretar as equações das funções depois de geradas. Esse fato evidencia uma vantagem, em relação a outros métodos de síntese que geram as funções separadamente.

As características de projeto desejadas foram alcançadas. O sintetizador funciona alimentado em 3 V, pois todos os seus blocos tornaram-se capazes de operar nessa tensão, com o emprego das técnicas de *low-voltage*. Todos os blocos são diferenciais e funcionam em modo de corrente. Os blocos obtiveram linearidade e faixa de corrente de entrada satisfatória, para uma saída não excrucionada. Os blocos são funcionais, podendo ser adaptados a outros projetos. Apesar do multiplicador de corrente não apresentar uma boa qualidade em frequências acima da ordem de dezenas de kHz, o circuito funciona conforme esperado em torno de 1 kHz.

Os circuitos propostos no projeto, cumpriram seus objetivos. O filtro passa-baixa não foi projetado com melhor qualidade, porque isso aumentaria sensivelmente a área do circuito. Por isso, optou-se por uma aproximação de filtro RC. Este fato implicou que a frequência de corte do filtro não pôde ser menor, caso

contrário causaria instabilidade no processo de ajuste de a_i . Se uma implementação do sintetizador usando frequências em torno de MHz for realizada, o filtro pode ser bastante melhorado. Todavia, o filtro projetado foi imprescindível para a velocidade de convergência e redução das distorções do circuito proposto.

Os resultados experimentais comprovaram os obtidos nas simulações mostrando que o circuito pode gerar cinco saídas ortogonais. As amplitudes dos sinais de saída encontram-se entre 5 e 30 μA , para entradas dentre 10 até 15 μA , mas o circuito pode ser projetado para outros valores, para as correntes de entrada e saída, usando amplificadores e atenuadores de corrente. O método converge ajustando saídas mutuamente ortogonais. Entretanto, os sinais gerados não são práticos para aplicar em aproximação de funções, além disso não apresentam DHT satisfatória. Pode-se elaborar circuitos de realimentação negativa para corrigir *offsets* encontrados no circuito, reduzir distorções verificadas nos blocos do circuito e tentar diminuir o fator de velocidade de convergência do sintetizador, para reduzir as distorções dos sinais de saída para que sejam mínimas, e assim, seria possível aumentar o número de saídas geradas pelo sintetizador. Esse esforço pode levar a uma análise mais apurada do projeto do multiplicador, considerando efeitos parasitas e de descasamento, um laço de realimentação para o primeiro estágio usando o integrador e um ajuste dos amplificadores e atenuadores do circuito, para diminuir o fator de velocidade de convergência do sintetizador.

Desse trabalho originou-se um artigo apresentado no 46th IEEE Midwest Symposium On Circuits and Systems com o título de Low Voltage Analog Synthesizer of Orthogonal Signals Using Current Mode Techniques.

Referências Bibliográficas

- [1] R. L. Burden and J. D. Faires, Numerical Analysis. Boston: PWS-KENT Publishing Company, 1988.
- [2] W. Bin, “Identification of Nonlinear Systems Via Piecewise General Orthogonal Polynomials Operator,” *Proceedings of the 40th IEEE Conference on Decision and Control*, vol. 3, 4-7 Dec. 2001, pp. 2538 –2543.
- [3] P. S. C. Heuberger, P. M. J. Van Den Hof and O. H. A. Bosgra, “Generalized Orthonormal Basis for Dynamical Systems,” *IEEE Transactions on Automatic Control*, vol. 40, n. 3, pp. 451 – 465, March 1995.
- [4] S.-S. Yang and C.-S. Tseng, “An Orthogonal Neural Network for Function Approximation,” *IEEE Transactions on Systems, Man and Cybernetics, Part B*, vol. 26, n. 5, pp. 779 –785, Oct. 1996.
- [5] S. Zanella, A. Neviani, E. Zanon et al., “Modeling Of Substrate Noise Injected by Digital Libraries,” *International Symposium on Quality Electronic Design*, 26-28 March 2001, pp. 488 – 492.
- [6] C.-S. Liu, H.-C. Wang, F.K. Soong and C.-S. Huang, “An Orthogonal Polynomial Representation of Speech Signals and its Probabilistic Model for Text Independent Speaker Verification,” *ICASSP, International Conference on Acoustics, Speech, and Signal Processing*, vol. 1, 9-12 May 1995, pp. 345 –348.
- [7] M. J. Narasimha, A. Ignjatovic and P. P. Vaidyanathan, “Chromatic Derivative Filter Banks,” *IEEE Signal Processing Letters*, vol. 9, n. 7, pp. 215 –216, July 2002.
- [8] A. N. Akansu, P. Duhamel and X. Lin, “Orthogonal Transmultiplexers in Communication: A Review,” *IEEE Trans. Signal Processing*, vol. 46, pp. 979-995, Apr. 1998.

- [9] V. Chesnokov, "Analog Synthesizer of Orthogonal Signals," *IEEE Trans. on Circuits Syst. II: Analog and Digital Signal Processing*, vol. 47, no. 2, pp. 125 – 132, Feb. 2000.
- [10] C. Mead, "Neuromorphic Electronic Systems," *Proceedings of the IEEE*, vol. 78, pp. 1629 – 1636, Oct. 1990.
- [11] J. F. Duque-Carrillo, "Continuous-Time Common-Mode Feedback Networks for Fully-Differential Amplifiers: A Comparative Study," *ISCAS '93, IEEE International Symposium on Circuits and Systems*, vol. 2, 3-6 May 1993, pp. 1267 – 1270.
- [12] R. H. Zele and D. J. Allstot, "Low-Power CMOS Continuous-Time Filters," *IEEE J. Solid-State Circuits*, vol. 31, pp. 157-168, Feb. 1996.
- [13] Shouli Yan and E. Sánchez-Sinencio, "Low voltage analog circuit design techniques: a tutorial," *IEICE Trans. Fundamentals*, vol. E83-A, no. 2, Feb. 2000.
- [14] K. Tanno, O. Ishizuka, and Zheng Tang, "Four-quadrant CMOS current-mode multiplier independent of device parameters," *IEEE Trans. Circuits Syst. II: Analog and Digital Signal Processing*, vol. 47, no. 5, pp. 473 – 477, May 2000.
- [15] G. Han, and E. Sánchez-Sinencio, "CMOS transconductance multipliers: a tutorial," *IEEE Trans. Circuits Syst. II: Analog and Digital Signal Processing*, vol. 45, no. 12, pp. 1550 – 1562, Dec. 1998.
- [16] P. J. Crawley, and G. W. Roberts, "High-swing MOS current mirror with arbitrarily high output resistance," *Electronic Letters*, vol. 28, no. 4, pp. 361 – 363, Feb. 1992.
- [17] S. L. Smith, and E. Sánchez-Sinencio, "Low voltage integrators for high-frequency CMOS filters using current mode techniques," *IEEE Trans. on Circuits Syst. II: Analog and Digital Signal Processing*, vol. 43, no. 1, pp. 39 – 48, Jan. 1996.
- [18] M. Ismail, and T. Fiez, *Analog VLSI: Signal and Information Processing*. New York: McGraw-Hill, Inc., 1994.

- [19] C. Toumazou, F. J. Lidgey, and D. G. Haigh, Analog IC design: a current-mode approach. London: Peter Peregrinus, Ltd., 1990.

Apêndice A – Espelho de Corrente Cascode em *High-Swing*

Para se exemplificar a técnica de *high-swing* utilizada, seguirá uma análise de um espelho de corrente em *high-swing*. A Fig. A1 mostra um circuito em espelho de corrente CMOS que apresenta uma alta impedância de saída e uma tensão não excursionada maior em relação ao espelho *cascode* tradicional [16].

Pode-se mostrar que é suficiente que a tensão de saída seja $V_{out} > \Delta V(1 + \dots + x_{n-1})$, que em relação ao *cascode* comum, onde $V_{out} > \Delta V(1 + \dots + x_{n-1}) + (n-1)V_T$, representa uma vantagem excelente.

Para se determinar a tensão de porta do transistor Q_i , utiliza-se a equação da corrente de dreno de Q_i , como segue:

$$V_G - V_T = \sqrt{\frac{I_{máx}}{K \frac{W}{L} \frac{1}{(1 + x_1 + \dots + x_{n-1})^2}}}$$

$$V_G = \Delta V(1 + x_1 + \dots + x_{n-1}) + V_T$$

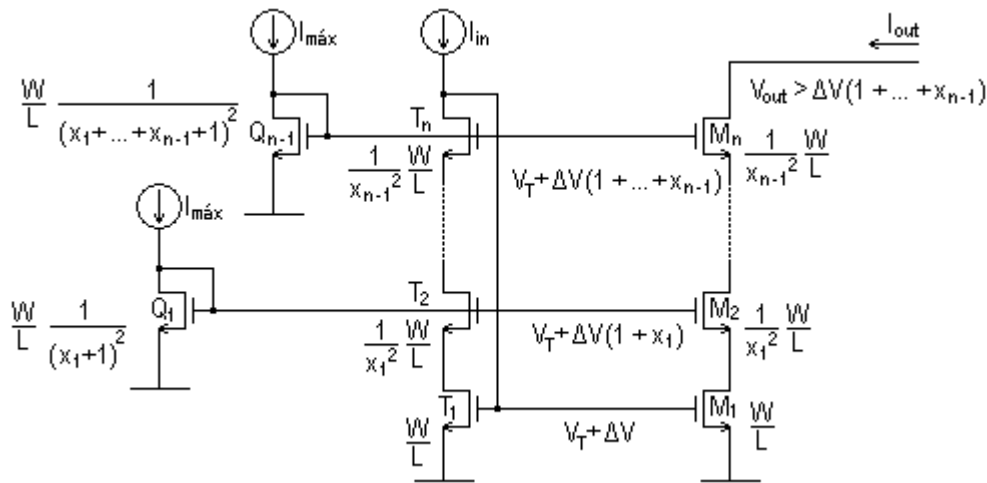


Fig. A1. Um exemplo generalizado de um circuito *high-swing* de espelho de corrente.

Sendo:	$x_1, \dots, x_{n-1}$	constantes
	n	número de transistores em cascata
	I_{in}	corrente de entrada
	$I_{máx}$	corrente máxima de entrada

$$\Delta V = V_{GS} - V_T = \sqrt{\frac{I_{in}}{K \frac{W}{L}}}$$

$$K = \mu_0 C_{ox} \frac{W}{L}, \quad \text{para: } \mu_0 \quad \text{mobilidade de portadores}$$

C_{ox} capacitância do óxido
 W largura do canal
 L comprimento do canal
 I_{in} corrente de entrada

Somando-se as tensões de porta-fonte dos transistores T_i , verifica-se que a tensão V_T dos transistores não é acumulada como no espelho *cascode* tradicional. A tensão de porta no transistor T_n é:

$$V_G = \Delta V(1 + x_1 + \dots + x_{n-1}) + V_T$$

como $V_D > V_G - V_T$, para operação na região de saturação

$$V_{out} > \Delta V(1 + x_1 + \dots + x_{n-1}). \quad (\text{A.1})$$

A tensão de dreno em T_n é igual a tensão de porta em T_1 , essa tensão é o que limita o projeto do número de transistores em cascata, em relação à tensão de

alimentação. A razão $\frac{W}{L}$ influi na operação do circuito, tendo um valor mínimo para operação na região de saturação, determinado como segue:

$$\begin{aligned}
 V_D &> V_G - V_T \\
 V_T + \Delta V &> \Delta V(1 + x_1 + \dots + x_{n-1}) \\
 V_T &> \sqrt{\frac{I_{in}}{KW/L}}(x_1 + \dots + x_{n-1}) \\
 \frac{W}{L} &> \frac{I_{in}(x_1 + \dots + x_{n-1})^2}{KV_T^2}.
 \end{aligned} \tag{A.2}$$

Apêndice B - Princípio da Multiplicação e Configuração de Multiplicadores

B.1. Princípio da Multiplicação

Um multiplicador analógico deve realizar a multiplicação linear de dois sinais analógicos x e y , obtendo um sinal $z = kxy$, sendo z a saída do multiplicador e k uma constante que depende dos parâmetros do processo.

Os multiplicadores podem ser separados em categorias pela abrangência dos quadrantes: um quadrante, quando as duas entradas são unipolares; dois quadrantes, quando uma delas é bipolar; e quatro quadrantes, quando as duas entradas são bipolares.

Geralmente a multiplicação é conseguida usando circuitos de transcondutância, configurados em um arranjo de cancelamento. Entretanto a entrada pode ser projetada para corrente e a saída para tensão, mas a idéia fundamental é usar a transcondutância.

Aplicando-se a dois sinais, $v_1(t)$ e $v_2(t)$, uma não-linearidade, a resposta adquire a forma de termos polinomiais, por exemplo, $v_1^2(t)$, $v_2^2(t)$, $v_1^3(t)$, $v_1(t)v_2(t)$, $v_1(t)v_2^2(t)$ e inúmeras outras possibilidades de termos. A Fig. A1 mostra um diagrama de blocos exemplificando como é feita a multiplicação. A soma de duas tensões é a entrada do primeiro bloco. A entrada do segundo bloco recebe as tensões

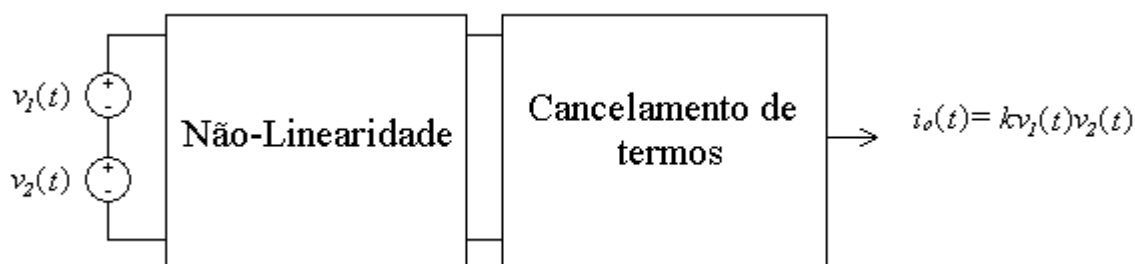


Fig. B1. Diagrama de blocos exemplificando o princípio da multiplicação.

de entrada distorcidas por funções não-lineares. No segundo bloco são gerados termos que são arranjados para que se cancelem os que são indesejáveis, mas que permaneça $v_1(t)v_2(t)$ multiplicado por uma constante. Estas não-linearidades podem ser introduzidas por semicondutores que apresentam características de transcondutância.

B.2. Métodos de Multiplicação CMOS

Exemplos de arranjo de cancelamento são mostrados na Fig. B2. As duas topologias executam um multiplicador de quatro quadrantes. A topologia da Fig. B2(a) é baseada em multiplicadores de um quadrante e a da Fig. B2 (b) no quadrado de sinais unipolares.

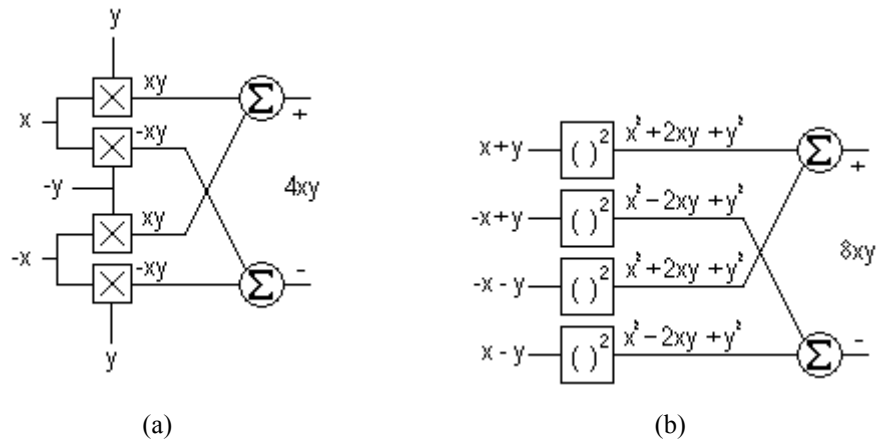


Fig. B2. Dois dos mais usuais métodos de cancelamento. (a) Usando multiplicadores de um quadrante. (b) Usando a lei quadrática.

As entradas diferenciais são representadas por dois sinais unipolares com sentidos diferentes. Por exemplo: tensões x e $-x$ representam uma entrada diferencial $[x - (-x)] = 2x$. Cada tensão é dada pela soma da tensão em modo comum X e seu valor a pequenos sinais x . Desenvolvendo a equação da saída para cada topologia, verifica-se:

Para fig. B2 (a) $\rightarrow [(X+x)(Y+y) + (X-x)(Y-y)]$
 $- [(X-x)(Y+y) + (X+x)(Y-y)] = 4xy$ (B.1)

Para fig. B2(b) $\rightarrow \{ [(X+x) + (Y+y)]^2 + [(X-x) + (Y-y)]^2 \}$
 $- \{ [(X-x) + (Y+y)]^2 + [(X+x) + (Y-y)]^2 \} = 8xy$ (B.2)

Os sinais de modo comum se anulam nos pontos de soma e para obter a corrente diferencial de saída.

Observando as equações de modelamento do transistor MOS, pode-se identificar os métodos para obter multiplicação. O modelamento do transistor MOS é dividido em duas regiões de acordo com a saturação da corrente de dreno (I_d): a região linear (ou triodo) e a região de saturação (ou ativa). As equações e condições do modelamento são descritas a seguir, para cada região de operação:

- Linear

$$I_d = K \left(V_{gs} - V_T - \frac{V_{ds}}{2} \right) V_{ds} = K \left(V_{gs} V_{ds} - V_T V_{ds} - \frac{V_{ds}^2}{2} \right), \quad (B.3)$$

para $V_{gs} > V_T$ e $V_{ds} < V_{gs} - V_T$

- Saturação

$$I_{ds} = \frac{K}{2} (V_{gs} - V_T)^2 = \frac{K}{2} (V_{gs}^2 - 2V_{gs}V_T + V_T^2), \quad (B.4)$$

para $V_{gs} > V_T$ e $V_{ds} > V_{gs} - V_T$

Sendo $K = \mu_0 C_{ox} \frac{W}{L}$ e V_T , o parâmetro transcondutância e a tensão de limiar do transistor MOS, respectivamente,

e V_{gs} tensão porta-fonte
 V_{ds} tensão dreno-fonte

para: μ_0 mobilidade de portadores
 C_{ox} capacitância do óxido
 W largura do canal
 L comprimento do canal

Analisando as equações em (B.3) e (B.4) observa-se que o transistor MOS tem características de multiplicação. Nesse contexto, os multiplicadores são separados em modalidades pela região de operação. Os multiplicadores operando na região linear, geralmente utilizam os termos $V_{gs}V_{ds}$ e V_{ds}^2 para realizar a multiplicação, e os que operam na região de saturação utilizam, geralmente, V_{gs}^2 . Com o termo $V_{gs}V_{ds}$ utiliza-se o método de cancelamento da equação (B.1), e com os termos V_{ds}^2 e V_{gs}^2 utiliza-se o método de cancelamento de (B.2). Os termos nas equações (B.3) e (B.4) que não pertencem a multiplicação são cancelados pelo arranjo utilizado.