



UNIVERSIDADE ESTADUAL PAULISTA
Instituto de Ciências e Tecnologia de Sorocaba

Henrique Frank

**Análise Comparativa dos Algoritmos de
Sincronismo NRF-PLL e GDSC-PLL com
implementação *Hardware-in-the-loop***

Sorocaba / SP

2021

Henrique Frank

Análise Comparativa dos Algoritmos de Sincronismo NRF-PLL e GDSC-PLL com implementação *Hardware-in-the-loop*

Trabalho de Conclusão de Curso de Graduação apresentado ao Instituto de Ciência e Tecnologia de Sorocaba, Universidade Estadual Paulista “Júlio de Mesquita Filho” - UNESP, como parte dos requisitos para obtenção do grau de Bacharel em Engenharia de Controle e Automação.

Orientador: Dr. Fernando Pinhabel Marafão

Co-orientador: Luis Armando de Oro Arenas

Sorocaba / SP

2021

F828a Frank, Henrique
Análise Comparativa dos Algoritmos de Sincronismo
NRF-PLL e GDSC-PLL com implementação
Hardware-in-the-loop / Henrique Frank. -- Sorocaba, 2021
78 p. : il., tabs., fotos, 6 v.

Trabalho de conclusão de curso (Bacharelado -
Engenharia de Controle e Automação) - Universidade
Estadual Paulista (Unesp), Instituto de Ciência e
Tecnologia, Sorocaba
Orientador: Fernando Pinhabel Marafão
Coorientador: Luis Armando de Oro Arenas

1. Redes elétricas. I. Título.

Sistema de geração automática de fichas catalográficas da Unesp. Biblioteca do
Instituto de Ciência e Tecnologia, Sorocaba. Dados fornecidos pelo autor(a).

Essa ficha não pode ser modificada.

Henrique Frank

Trabalho de Conclusão de Curso de Graduação
apresentado ao Instituto de Ciência e
Tecnologia de Sorocaba, Universidade
Estadual Paulista “Júlio de Mesquita Filho” -
UNESP, como parte dos requisitos para
obtenção do grau de Bacharel em Engenharia
de Controle e Automação.

Orientador: Dr. Fernando Pinhabel Marafão

Co-orientador: Luis Armando de Oro Arenas

Sorocaba, 25 de novembro de 2021



Fernando Pinhabel Marafão



Átila Madureira Bueno

Eliabe Duarte Queiroz

Sorocaba / SP 2021

Agradecimentos

Agradeço minha família, minha namorada e a Deus por todo apoio, conforto e direcionamento durante as etapas da minha vida. Sou muito grato pela minha vida e pelas oportunidades que tenho.

Agradeço também pelo apoio dos meus professores, coordenadores, diretores e administrativo, que possibilitaram uma formação de qualidade para mim como aluno e profissional. Além das instituições acadêmicas que foram essenciais para me introduzir o mercado de trabalho.

Agradeço em especial ao professor Fernando, o coorientador Luis, ao Augusto e ao Suliman que estiveram comigo durante essa jornada de pesquisa e sempre me ajudaram na conduta desta pesquisa.

Obrigado à FAPESP por todo apoio e aos pesquisadores do laboratório GASI, que me permitiram realizar esse trabalho.

*“Opte por aquilo que faz o seu coração vibrar,
apesar de todas as consequências.*

Osho

RESUMO

Neste projeto foi realizada a comparação de dois algoritmos com implementação HIL (*hardware-in-the-loop*) para rastreamento de frequência e extração da componente fundamental da tensão da rede elétrica, o NRF-PLL e o GDSC-PLL. Primeiramente, é realizado um estudo sobre a metodologia e funcionamento de cada um desses algoritmos, em seguida, é descrita a implementação dos dois PLLs no Matlab, através da ferramenta Simulink, com testes de variação de frequência, tensão e inserção de componentes harmônicas. Logo após, também foi realizada a implementação das duas metodologias no DSP *LaunchXL F28379D*, podendo-se observar o sincronismo e extração da componente fundamental com a fonte de tensão de entrada ideal, utilizando um gerador de sinais, e, em um segundo momento, com uma fonte programável emulando a rede elétrica. Por fim, realizou-se a implementação dos sistemas em um ambiente de *HIL*, separando entre sistemas gerador-rastreador interligados via cabo, simulando um sistema físico real através da ferramenta *Monitor & Tune* do Simulink. Com a ferramenta, foi possível variar parâmetros de frequência e tensão do sistema em tempo real e analisar o comportamento através dos blocos *scope* e *display* do Simulink. Este trabalho tem como resultado uma série de testes de variação de frequência, tensão, faltas na rede e introdução de componentes harmônicas, com a finalidade de comparar as duas técnicas de sincronismo citadas de maneira técnica e apresentar as conclusões. Além disso, também tem como objetivo ampliar o conhecimento dos *PLLs* quanto às técnicas *HIL*, em que é possível projetar, testar e validar as soluções de maneira ágil e eficiente.

Palavras-chaves: *Hardware-in-the-loop*, *PLLs*, *NRF-PLL*, *GDSC-PLL*, *Launchpad XL*, *F28379D*, *DSP*.

ABSTRACT

In this project, two algorithms were compared with hil (hardware-in-the-loop) implementation for frequency tracking and extraction of the fundamental component from the electrical network, the NRF-PLL and the GDSC-PLL. First, a study is carried out on the methodology and functioning of each of these algorithms, then the implementation of the two PLLs in Matlab is described, through the Simulink tool, with tests of frequency variation, voltage and harmonic insertion. After, the two methodologies were implemented in the LaunchXL F28379D DSP, being able to observe the synchronism and extraction of the fundamental with the ideal input voltage source, using a signal generator, and, in a second moment, with the programmable source simulating the electrical network. Finally, the systems were implemented in HIL, between generator-tracker systems interconnected via cable, simulating a real physical system through simulink's Monitor & Tune tool. With the tool, it was possible to vary frequency parameters and voltage of the system in real time and analyze the behavior through the scope and display blocks from Simulink. This work results in a series of tests of frequency variation, voltage, network faults and introduction of harmonics, with the purpose of comparing the two techniques of synchronism and presenting the conclusions. In addition, it also has the function of expanding the knowledge of PLLs regarding HIL techniques, in which it is possible to design, test and put into production the solutions in an agile and efficient way.

Keywords: *Hardware-in-the-loop, PLLs, NRF-PLL, GDSC-PLL, Launchpad XL, F28379D, DSP.*

Lista de Ilustrações

Figura 1 Estrutura genérica de uma malha de captura de fase ou PLL.....	18
Figura 2 Sistemas de referência estacionários trifásicos e bifásicos.	19
Figura 3 Tensões trifásicas no domínio do tempo e após a Transformação de Clarke.	20
Figura 4 Sistema de referência utilizado na transformada <i>dq0</i>	21
Figura 5 PLL monofásico - Modelo geral.	25
Figura 6 Gerador de senoides de sincronia baseado no PLL monofásico.	26
Figura 7 Modelo do PLL linear.	28
Figura 8: Diagrama de Blocos GDSC-PLL. Adaptado de [6].	33
Figura 9 Diagrama de blocos do NRF-PLL trifásico (Simulink).	36
Figura 10 Ângulo de fase, sinal de entrada distorcido e senoides unitárias.	37
Figura 11 Detecção de frequência do NRF-PLL e frequência da rede.	37
Figura 12 Diagrama de blocos do GDSC-PLL implementado no Simulink.	38
Figura 13 Sinal trifásico p.u. de entrada e sinal na saída do GDSC-PLL.....	39
Figura 14 Frequência rastreada e frequência da rede.....	39
Figura 15 Medição de frequência com valores fixos de entrada de tensão e frequência - NRF-PLL.	40
Figura 16 Medição de frequência com valores fixos de entrada de tensão e frequência - GDSC-PLL.	41
Figura 17 Variação de frequência da fonte trifásica.	41
Figura 18 Rastreamento de frequência com variação rápida da frequência 50 a 52 Hz - NRF-PLL.	42
Figura 19 Rastreamento de frequência com variação rápida da frequência 50 a 52 Hz - GDSC-PLL.	42
Figura 20 Rastreamento de frequência com variação rápida da frequência 50 a 48 Hz - NRF-PLL.	43
Figura 21 Rastreamento de frequência com variação rápida da frequência 50 a 48 Hz - GDSC-PLL.	43
Figura 22 Rastreamento de frequência com variação lenta da frequência 50 a 52 Hz - NRF-PLL.....	44
Figura 23 Rastreamento de frequência com variação lenta da frequência 50 a 52 Hz - GDSC-PLL..	44
Figura 24 Rastreamento de frequência com variação da tensão de 400 a 600 V - NRF-PLL.....	45
Figura 25 Rastreamento de frequência com variação da tensão de 400 a 600 V - GDSC-PLL.....	45
Figura 26 Rastreamento de frequência com variação da tensão de 400 a 200 V - NRF-PLL.....	46
Figura 27 Rastreamento de frequência com variação da tensão de 400 a 200 V - GDSC-PLL.....	46
Figura 28 Rastreamento de frequência com variação da tensão de 400 a 0 V - NRF-PLL.....	46
Figura 29 Rastreamento de frequência com variação da tensão de 400 a 0 V - GDSC-PLL.....	47

Figura 30 Rastreamento de frequência com faltas na rede - NRF-PLL.....	48
Figura 31 Rastreamento de frequência com faltas na rede - GDSC-PLL.....	48
Figura 32 Rastreamento de frequência com variações de tensão e frequência na rede - NRF-PLL....	49
Figura 33 Rastreamento de frequência com variações de tensão e frequência na rede - GDSC-PLL.	49
Figura 34 Variação de tensão, frequência e falta no algoritmo da fonte trifásica.....	50
Figura 35 Rastreamento com variações de tensão, frequência e falta na rede - NRF-PLL.....	50
Figura 36 Rastreamento com variações de tensão, frequência e falta na rede - GDSC-PLL.	50
Figura 37 Imagem de um <i>LAUNCHXL-F28379D</i>	51
Figura 38 Fonte à esquerda e condicionador ao meio e sistema à direita, no laboratório GASI.	51
Figura 39 Diagrama de blocos do NRF-PLL monofásico implementado no F28379D.	52
Figura 40 Detecção de ângulo de fase através do NRF-PLL.....	53
Figura 41 Detecção da Frequência sob variação em degrau de 50, 40 e 30 Hz, em sequência.	54
Figura 42 Diagrama de blocos do NRF-PLL implementado no DSP 28379D.....	55
Figura 43 Sinal de entrada trifásico e senoide unitária em quadratura com as fases a, b e c.	56
Figura 44 Detecção do ângulo de fase com entrada trifásica senoidal pura e onda quadrada.....	57
Figura 45 Diagrama de blocos do NRF-PLL monofásico implementado no F28379D.	58
Figura 46 Detecção de ângulo de fase através do NRF-PLL.....	59
Figura 47 NRF-PLL - Variação de frequência de 50 a 60 Hz e reverso, fonte fixa a 127 V e senoidal.	59
Figura 48 NRF-PLL - Variação de frequência de 50 a 40 Hz e reverso, com fonte fixa a 127 V e senoidal.	60
Figura 49 NRF-PLL - Variação da tensão de 127 a 220 V e reverso, com fonte fixa a 50 Hz e senoidal.	60
Figura 50 NRF-PLL - Variação da tensão de 127 a 0 V e reverso, com fonte fixa a 50 Hz e senoidal.	61
Figura 51 NRF-PLL – Filtragem de sinal com fonte fixa a 127 V a 50 Hz e onda quadrada.	61
Figura 52 NRF-PLL – Filtragem de sinal com fonte fixa a 127 V a 50 Hz, com 10% do 3º e 4º Harmônico.....	62
Figura 53 NRF-PLL – Filtragem de sinal com fonte a 127 V, 50 Hz, e 20% do 9º, 17º e 26º Harmônico.	62
Figura 54 Diagrama de blocos do GDSC-PLL implementado no DSP 28379D.....	63
Figura 55 Fase e frequência detectada pelo GDSC-PLL com entrada senoidal e onda quadrada.....	64
Figura 56 Diagrama de blocos do GDSC-PLL monofásico implementado no F28379D.	64
Figura 57 Detecção de ângulo de fase através do GDSC-PLL.....	65

Figura 58 GDSC-PLL - Variação de frequência de 50 a 60 Hz e reverso, com fonte senoidal a 127 V.	65
Figura 59 GDSC-PLL - Variação de frequência de 50 a 40 Hz e reverso, com fonte senoidal a 127 V.	66
Figura 60 GDSC-PLL - Variação da tensão de 127 a 220 V e reverso, com fonte fixa a 50 Hz e senoidal.	66
Figura 61 GDSC-PLL - Variação da tensão de 127 a 0 V, com fonte fixa a 50 Hz e senoidal.	67
Figura 62 GDSC -PLL – Filtragem de sinal com fonte a 127 V a 50 Hz, de onda quadrada.....	67
Figura 63 GDSC -PLL – Filtragem de sinal com fonte a 127 V a 50 Hz, com 10% do 3º e 4º Harmônico.	68
Figura 64 NRF-PLL – Filtragem de sinal com fonte a 127 V, 50 Hz e 20% do 9º, 17º e 26º Harmônico.	68
Figura 65 Circuito Gerador de Sinal monofásico (esquerda) e trifásico (direita).	69
Figura 66 Circuito de Sincronismo do NRF-PLL Hardware in the Loop.....	70
Figura 67 Variação em degrau de 50 a 52 Hz no sistema HIL - NRF-PLL.	70
Figura 68 Circuito de Sincronismo do GDSC-PLL Hardware in the Loop.....	71
Figura 69 Variação em degrau de 50 a 52 Hz no sistema HIL - GDSC-PLL.....	71

Lista de Tabelas

Tabela 1 Parâmetros das transformações para detectar o vetor FFPS.	34
---	----

LISTA DE ABREVIATURAS

CA	Corrente Alternada
CC	Corrente Contínua
DSP	Processador de Sinal Digital
FFPS	Sequência Positiva na Frequência Fundamental
FIR	Filtro de Resposta de Impulso Infinita
GD	Geradores Distribuídos
GDSC	Cancelamento por Sinal Atrasado Generalizado
LPF	Filtro passa baixas
NRF	Quadro de Referência Natural
PLL	Malha de Captura de Fase
SRF	Quadro de Referência Síncrona
VCO	Oscilador Controlado por Tensão
VOC	Controle Orientado por Tensão

Sumário

1	INTRODUÇÃO.....	15
2	ESTUDO DE TÉCNICAS DE SINCRONISMO	18
2.1	TRANSFORMAÇÃO DE CLARKE E PARK.....	19
2.2	DESCRIÇÃO DE SINAIS TRIFÁSICOS MATEMATICANTE.....	22
2.3	NRF-PLL.....	24
2.3.1	ÁLGEBRA VETORIAL E ORTOGONALIDADE DE VETORES.....	24
2.3.2	NRF-PLL MONOFÁSICO – CASO GERAL	25
2.3.3	FILTRO DE MÉDIA MÓVEL ADAPTATIVO	26
2.3.4	FUNÇÃO DE TRANSFERÊNCIA DO FMM	27
2.3.5	REGULADOR PROPORCIONAL-INTEGRAL.....	28
2.4	GDSC-PLL.....	29
2.4.1	FUNDAMENTAÇÃO TEÓRICA	30
2.4.2	IMPLEMENTAÇÃO DO ALGORITMO DO GDSC-PLL.....	33
3	RESULTADOS DE SIMULAÇÃO.....	36
3.1	IMPLEMENTAÇÃO DO NRF-PLL NO MATLAB/SIMULINK.....	36
3.2	IMPLEMENTAÇÃO DO GDSC-PLL NO MATLAB/SIMULINK.....	38
3.2.1	RESPOSTA EM FREQUÊNCIA DO GDSC-PLL.....	39
3.3	SIMULAÇÕES COMPUTACIONAIS DOS DOIS MÉTODOS SOB DIFERENTES CONDIÇÕES DE OPERAÇÃO 40	
3.4	VARIAÇÕES DE FREQUÊNCIA DA FONTE TRIFÁSICA	41
3.4.1	RESPOSTA À VARIAÇÃO DE FREQUÊNCIA.....	42
3.5	VARIAÇÕES DE TENSÃO DA FONTE TRIFÁSICA.....	44
3.5.1	RESPOSTA À VARIAÇÃO DE TENSÃO.....	45
3.6	VARIAÇÕES EM CASOS ESPECIAIS NA FONTE TRIFÁSICA	47
3.6.1	RESPOSTA À FALTA NA REDE	47
3.6.2	RESPOSTA À VARIAÇÃO DE TENSÃO E FREQUÊNCIA.....	48
3.6.3	RESPOSTA À MÚLTIPLAS VARIAÇÕES E FALTA NA REDE	49
4	RESULTADOS EXPERIMENTAIS.....	51
4.1	FONTE PROGRAMÁVEL E SISTEMA DE MEDIÇÃO.....	51
4.2	IMPLEMENTAÇÃO DO NRF-PLL NO DSP FS28379D	52
4.2.1	TESTES NRF-PLL COM GERADOR DE SINAIS.....	52
4.2.2	TESTES NRF-PLL COM FONTE PROGRAMÁVEL.....	57

4.3	IMPLEMENTAÇÃO DO GDSC-PLL NO DSP FS28379D	62
4.3.1	TESTES GDSC-PLL COM GERADOR DE SINAIS	63
4.3.2	TESTES GDSC-PLL COM FONTE PROGRAMÁVEL	64
4.4	IMPLEMENTAÇÕES HARDWARE-IN-THE-LOOP	68
4.4.1	GERADOR DE SINAIS MONOFÁSICO E TRIFÁSICO	69
4.4.2	SINCRONISMO NRF-PLL – HIL	69
4.4.3	SINCRONISMO GDSC-PLL - HIL	71
5	ANÁLISE COMPARATIVA ENTRE NRF-PLL E GDSC-PLL	72
5.1	ANÁLISE DA SIMULAÇÃO	72
5.2	ANÁLISE COM FONTE PROGRAMÁVEL	73
5.3	ANÁLISE DO SISTEMA HARDWARE-IN-THE-LOOP	74
5.4	ANÁLISE GERAL	75
6	REFERÊNCIAS BIBLIOGRÁFICAS	76

1 INTRODUÇÃO

A crescente demanda por fontes renováveis e alternativas de energia têm-se tornado uma realidade em redes elétricas modernas, requerendo a adoção de inúmeras tecnologias de hardware e software para o adequado funcionamento de sistemas elétricos, tão bem quanto para a robustez operacional de sistemas geração distribuída. Com enfoque particular na operacionalidade de geradores distribuídos (GDs) [1], uma das ferramentas fundamentais empregadas na gestão de tais sistemas são os algoritmos de sincronismo, os quais possibilitam a integração dos conversores existentes em GDs com a rede de energia principal [1], [2].

Neste contexto, diversos algoritmos vêm sendo propostos nos últimos anos [1]–[10], cada qual com apresentando vantagens e desvantagens sob o ponto de vista operacional ou computacional. Em especial, destacam-se os algoritmos conhecidos como PLL (*Phase Locked Loop*) [11]–[13], que são amplamente utilizados na sincronização de GDs com a tensão nodal de seu respectivos pontos de acoplamento em redes de distribuição [3], [4]. Metodologias de PLLs podem ser implementadas por meio de circuitos ou através de *software*, com o principal intuito de detectar o ângulo de fase e a frequência da referência de tensão no ponto de interconexão, os quais são usados na síntese de sinais para o controle de injeção de potência dos GDs.

Circuitos clássicos de PLL derivam-se de um modelo tradicional de controle por realimentação [12], sendo baseados em um circuito analógico composto por um comparador, o qual é responsável por detectar a defasagem entre dois sinais de entrada, sendo este primeiro a tensão de referência da rede e o segundo um sinal sintetizado pelo próprio PLL. Ainda, em geral, utiliza-se um filtro passa-baixas, o qual filtra possíveis distorções existentes no sinal de referência da rede, e um oscilador controlado por tensão (VCO), responsável por ajustar o sinal recebido pelo filtro para obter em sua saída a frequência detectada pela rede [5].

Recentemente, com o aperfeiçoamento de tecnologias computacionais, algoritmos PLL têm ganhado maior evidência, sendo preferencialmente adotados em comparação com a implementação de circuitos eletrônicos, principalmente pela capacidade destes algoritmos proverem maior flexibilidade operacional [14], [15] e poderem ser embarcados em plataformas digitais/computacionais já existentes em GDs. Metodologias de PLL recentes visam ainda adequar sistemas de sincronismo a situações interativas características de redes elétricas na coexistência de GDs, tal como intermitência de geração e capacidade de fluxo bidirecional de energia, buscando ofertar resposta dinâmica mais rápida e maior robustez e precisão contra perturbações [16]–[19]. Além disso, algumas técnicas de PLL possibilitam

ainda identificação de componentes de sequência em redes trifásicas [20]–[23], mesmo sob condições distorcidas e/ou desbalanceadas, podendo utilizar tais sinais em diferentes metodologias de controle, de acordo com as funcionalidades desejadas para os conversores.

Dentre diversos algoritmos propostos ao longo dos anos [1]–[20], alguns têm se destacado pela sua robustez e aplicabilidade a conversores conectados à rede, com maior reconhecimento às seguintes metodologias:

- i) SRF-PLL (Synchronous Reference Frame);
- ii) MA-PLL (Moving Average Filter);
- iii) GDSC-PLL (Generalized Delayed Signal Cancelation);
- iv) NRF-PLL (Natural Reference Frame).

O SRF-PLL [5] é uma técnica em malha fechada que utiliza uma transformação de variáveis para coordenadas rotacionais (dq), visando garantir o sincronismo com a frequência e fase da componente fundamental da variável de entrada, a qual é definida pela tensão no ponto de interconexão do conversor. Devido à sua metodologia baseada em matrizes de transformação (abc para dq), esse sistema de referência síncrono é diretamente aplicado em sistemas trifásicos, operando adequadamente apenas sob condições balanceadas de tensão. Para condições de desbalanço de tensão, o sistema se comporta de maneira lenta e imprecisa, diminuindo a viabilidade desta solução, sendo ainda necessário adaptações nas matrizes de transformação para a aplicação desta metodologia em redes monofásicas.

Já o MA-PLL [16] é uma técnica que adota um ou mais filtros de média móvel (MAF, do inglês, *Moving Average Filters*) consequentemente melhorando o desempenho do algoritmo sob o caso de tensões distorcidas e/ou desequilibradas. Os MAFs são filtros de resposta de impulso finita (FIR), os quais operam como passa-baixas ideais (LPFs) se certas condições forem asseguradas [24], [25], tal como inexistência de desvios de fase de tensão da rede. Tais filtros são simples de serem implementados computacionalmente e requerem baixo processamento, uma vez que suas janelas operacionais sejam adotadas de forma adequada. Entretanto, sua principal desvantagem está associada a um maior tempo de resposta para atingir estado estacionário.

Outro algoritmo amplamente discutido na literatura e proposto em [1], [7], toma como base as coordenadas naturais abc do sistema trifásico, sendo posteriormente nomeado de NRF-PLL em [5]. Este método é baseado em álgebra vetorial instantânea para uma estrutura trifásica, que visa sintetizar um vetor tridimensional unitário que é idealmente ortogonal ao vetor de tensão fundamental medido. As estruturas desse método se baseiam no produto escalar interno e na ortogonalidade entre sinais periódicos. Leva-se em consideração para a detecção de fase de sincronismo o conceito de que, considerando um vetor referencial de tensão real, pode-se sintetizar outro vetor ortogonal com base na convergência do produto interno para um valor médio nulo. Esse método é imune a variações na

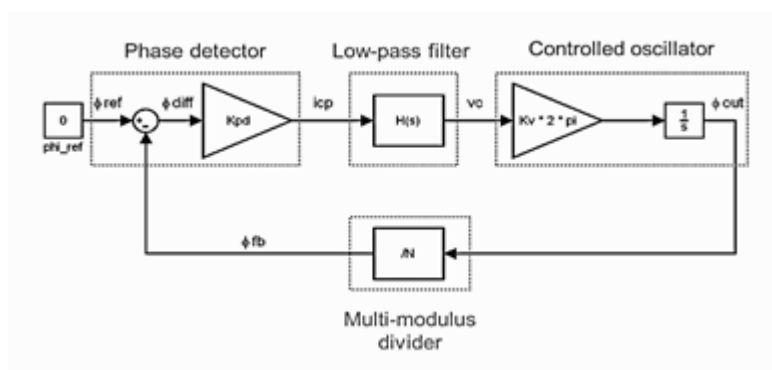
frequência, pois trabalha analogamente com MAFs, mostrando-se robusto a distorções e desbalanços, porém dependendo da aplicação, seu tempo de resposta pode também ser considerado lento.

Uma metodologia mais recente, denominada GDSC-PLL [5], baseia-se em um método que visa o cancelamento de componentes atrasadas do sinal de entrada, visando tornar o algoritmo menos suscetível a distúrbios de forma de onda e simetria dos sinais. Nesse método, uma operação matemática de transformação é proposta para combinar os vetores de tensão original e atrasado no tempo, propiciando com que o vetor de tensão de sequência positiva na frequência fundamental (FFPS) possua ganho unitário. Sendo assim, determinadas componentes escolhidas das harmônicas de sequência positiva ou negativa podem ser eliminadas. Consequentemente, torna-se possível realizar operações de cascadeamento para obter com maior precisão o vetor de tensão FFPS. A maior vantagem desse método está na propriedade de ser imune a desequilíbrios harmônicos de sequência positiva ou negativa e por utilizar simples cálculos aritméticos, como somas, subtrações e multiplicações [23], [26], [27], tornando-se de fácil implementação computacional em sistemas embarcados.

2 ESTUDO DE TÉCNICAS DE SINCRONISMO

Uma das alternativas para realizar o sincronismo são os PLLs, que recentemente encontraram muitas aplicações em dispositivos eletrônicos de potência conectados em rede: para sincronizar circuitos de disparo de tiristores, para transformar variáveis entre planos de referência giratórios, estacionários e síncronos, para computar perturbações do sistema de potência em sistemas de monitoramento da qualidade de energia e para calcular sinais de referência para as malhas de controle interno em fontes de alimentação ininterruptas, restauradores de tensão dinâmica, filtros ativos e conversores de potência usados em sistemas de energia distribuída, incluindo sistemas eólicos e fotovoltaicos. Na Figura 1 é possível observar a estrutura genérica de um PLL.

Figura 1 Estrutura genérica de uma malha de captura de fase ou PLL.



O controlador orientado à tensão (VOC) é uma das técnicas mais utilizadas para a operação e controle de qualquer equipamento conectado à rede elétrica através de um conversor eletrônico CC-CA, tais como: sistemas de geração de energia distribuída, sistemas ininterruptos de energia e filtros ativos. Portanto, a estimativa rápida e precisa do ângulo de fase e às vezes a magnitude instantânea do vetor de tensão de sequência positiva na frequência fundamental e, eventualmente, outros componentes harmônicos da sequência positiva ou negativa de uma rede elétrica é essencial para alcançar um bom desempenho em controle desses sistemas.

O desempenho das estratégias para obter os sinais de compensação depende fortemente da correta estimativa do vetor de tensão na frequência fundamental e possivelmente de outros vetores harmônicos da sequência positiva ou negativa da rede elétrica.

Deve-se notar que os códigos de rede na maioria dos países exigem que os sistemas de geração de energia permaneçam conectados à rede mesmo em caso de quedas da tensão da rede. Em alguns casos, restrições às fontes de energia renováveis também são necessárias para controlar a potência

ativa e reativa durante e após a falha. Para atender a esses requisitos, a detecção rápida e precisa do vetor de sequência positiva na frequência fundamental é muito importante.

Porém, antes mesmo de explicar os principais algoritmos PLL, como o SRF-PLL (Synchronous Reference Frame), o GDSC-PLL (Generalized Delayed Signal Cancellation), o MA-PLL (Moving Average Filter) e o NRF-PLL (Natural Reference Frame), deve-se entender a transformação de Clarke e Park.

2.1 TRANSFORMAÇÃO DE CLARKE E PARK

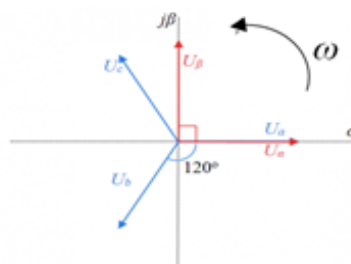
Essas transformações são usadas em arquiteturas de alto desempenho em análise de sistemas de energia trifásica. Corrente e tensão são representadas em termos de vetores espaciais, que são representados em um referencial estacionário, através do uso da transformação de Clarke, as correntes reais e imaginárias podem ser identificadas. A transformação Park é utilizada para realizar a transformação dessas correntes real e imaginária do quadro de referência estacionário para o giratório, as quadraturas de referência rotativa são descritas pelos eixos d e q.

A transformação Clarke é uma transformação vetorial de espaço de sinais no domínio do tempo (por exemplo, tensão, corrente, fluxo) de um sistema natural de coordenadas trifásicas (ABC) em um referencial bifásico estacionário ($\alpha\beta 0$). Também conhecida como transformação alpha-beta ($\alpha\beta\gamma$), que é uma transformação matemática empregada para simplificar a análise de circuitos trifásicos.

Conceitualmente, é semelhante à transformação dq0. Uma aplicação muito útil dessa transformação é a geração do sinal de referência usados para controle de modulação de vetor espacial de inversores trifásicos.

Considere os fasores de tensão apresentados pela Figura 2, no referencial natural, a distribuição de tensão dos três eixos estacionários U_a , U_b e U_c estão distantes um do outro. Eixos cartesianos também são retratados, onde U_α é o eixo horizontal alinhado com a fase U_a , e o eixo vertical com rotação de 90° é indicado por U_β , sendo que U_α e U_β tem a mesma magnitude por unidade.

Figura 2 Sistemas de referência estacionários trifásicos e bifásicos.



Tensões trifásicas variando no tempo ao longo dos eixos a, b e c, podem ser algebricamente transformadas em tensões bifásicas, variando no tempo ao longo dos eixos α e β pela seguinte matriz de transformação, descrita pela Equação 2.1.

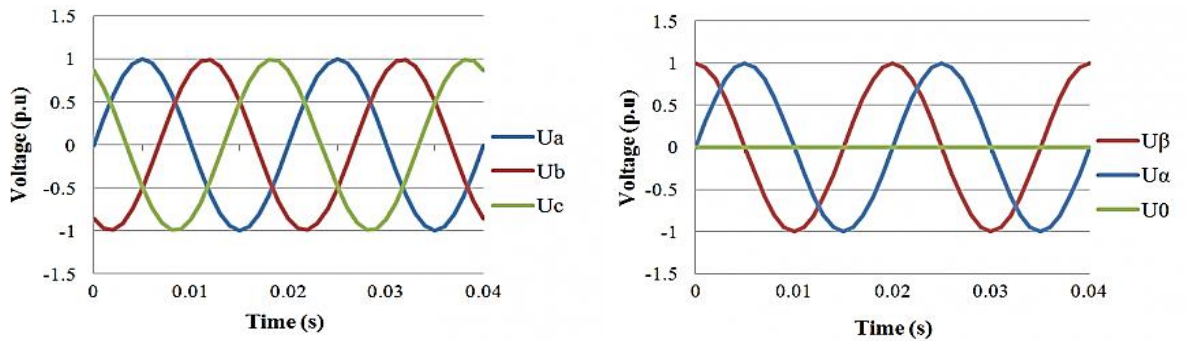
$$U_{\alpha\beta 0}(t) = T U_{abc}(t) = \begin{bmatrix} \frac{2}{3} & -\frac{1}{3} & -\frac{1}{3} \\ 0 & \frac{1}{\sqrt{3}} & -\frac{1}{\sqrt{3}} \\ \frac{1}{3} & \frac{1}{3} & \frac{1}{3} \end{bmatrix} \begin{bmatrix} U_a(t) \\ U_b(t) \\ U_c(t) \end{bmatrix} \quad (2.1)$$

Onde $U_{abc}(t)$ é uma sequência de tensão trifásica genérica e $U_{\alpha\beta 0}(t)$ é a sequencia atual correspondente dada pela transformação T . A transformação inversa também pode ser obtida para transformar as quantidades de duas fases para trifásicas, sendo essa dada por:

$$U_{abc}(t) = T^{-1} U_{\alpha\beta 0}(t) = \begin{bmatrix} 1 & 0 & 1 \\ -\frac{1}{2} & \frac{\sqrt{3}}{2} & 1 \\ -\frac{1}{2} & -\frac{\sqrt{3}}{2} & 1 \end{bmatrix} \begin{bmatrix} U_{\alpha}(t) \\ U_{\beta}(t) \\ U_0(t) \end{bmatrix} \quad (2.2)$$

É interessante notar que o componente 0 na transformação Clarke é o mesmo que o componente de sequência zero na transformação de componentes simétricos. Por exemplo, para as tensões U_a , U_b e U_c , o componente de sequência zero para ambas as transformações de componentes simétricos e clarke é $\frac{1}{3} * (U_a + U_b + U_c)$. O resultado da simulação do domínio do tempo da transformação do estacionário trifásico no sistema coordenado estacionário de duas fases é apresentado pela Figura 3.

Figura 3 Tensões trifásicas no domínio do tempo e após a Transformação de Clarke.

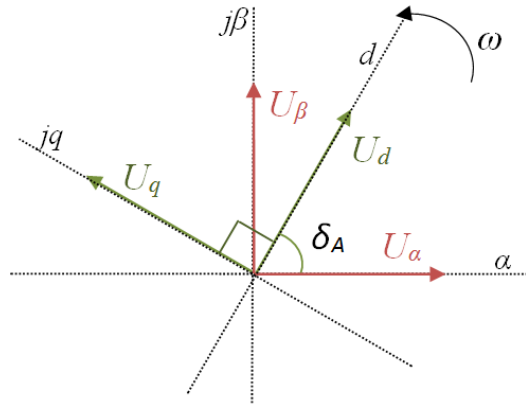


Das equações e figuras apresentadas, pode-se concluir que, na condição balanceada, U_α e U_β são senoides e cossenoides, nas quais U_0 é zero, transformando três sinais em somente dois, simplificando os cálculos para sistemas mais complexos.

A transformação $dq0$, chamada de transformação Park, é uma transformação vetorial espacial de sinais trifásicos no domínio do tempo de um sistema de coordenadas de fase estacionário (abc) para um sistema de coordenadas rotativas ($dq0$). Essa transformação, é essencialmente uma extensão da transformação Clarke, aplicando uma transformação de ângulo para converter de um quadro de referência estacionário em um quadro em rotação síncrona.

O referencial síncrono pode ser alinhado para girar com a tensão, por exemplo, usada em conversores de fonte de tensão, ou com a corrente, que pode ser usada em conversores de fonte de corrente. A Figura 4 apresenta o sistema utilizado para a transformada $dq0$.

Figura 4 Sistema de referência utilizado na transformada $dq0$.



A transformação aplicada a tensões no domínio do tempo no sistema de referência natural (ou seja, u_a, u_b, u_c) é dada pela matriz apresentada na Equação 2.3.

$$u_{dq0} = T u_{abc}(t) = \frac{2}{3} \begin{bmatrix} \cos(\theta) & \cos\left(\theta - \frac{2\pi}{3}\right) & \cos\left(\theta + \frac{2\pi}{3}\right) \\ -\sin(\theta) & -\sin\left(\theta - \frac{2\pi}{3}\right) & -\sin\left(\theta + \frac{2\pi}{3}\right) \\ \frac{1}{2} & \frac{1}{2} & \frac{1}{2} \end{bmatrix} \begin{bmatrix} u_a(t) \\ u_b(t) \\ u_c(t) \end{bmatrix} \quad (2.3)$$

Onde $\theta = \omega t + \delta_A$ é o ângulo entre o sistema de coordenadas rotativo e o fixo em cada momento t e δ_A que está em deslocamento de tensão inicial. A transformação inversa do sistema $dq0$ para o abc natural é apresentado pela Equação 2.4.

$$u_{abc}(t) = T^{-1}u_{dq0} = \begin{bmatrix} \cos(\theta) & -\sin(\theta) & 1 \\ \cos\left(\theta - \frac{2\pi}{3}\right) & -\sin\left(\theta - \frac{2\pi}{3}\right) & 1 \\ \cos\left(\theta + \frac{2\pi}{3}\right) & -\sin\left(\theta + \frac{2\pi}{3}\right) & 1 \end{bmatrix} \begin{bmatrix} u_d \\ u_q \\ u_0 \end{bmatrix} \quad (2.4)$$

Como na transformação de Clarke, é interessante notar que a componente 0 acima é a mesma de sequência zero na transformação de componentes simétricos. Para as tensões U_a , U_b e U_c , o componente de ambas as transformações de componentes simétricos e $dq0$ é $\frac{1}{3} * (U_a + U_b + U_c)$.

2.2 DESCRIÇÃO DE SINAIS TRIFÁSICOS MATEMATICAMENTE

Um conjunto de sinais trifásicos periódicos desbalanceados e distorcidos podem ser descritos:

$$\begin{bmatrix} s_a = \sum_{h=0}^{\infty} [S_a^{(h)} \cos(h\omega t + \varphi_a^{(h)}) + S_0^{(h)} \cos(h\omega t + \varphi_0^{(h)})] \\ s_b = \sum_{h=0}^{\infty} [S_b^{(h)} \cos(h\omega t + \varphi_b^{(h)}) + S_0^{(h)} \cos(h\omega t + \varphi_0^{(h)})] \\ s_c = \sum_{h=0}^{\infty} [S_c^{(h)} \cos(h\omega t + \varphi_c^{(h)}) + S_0^{(h)} \cos(h\omega t + \varphi_0^{(h)})] \end{bmatrix} \quad (2.5)$$

A h -ésima componente harmônica dos sinais de (2.5) pode ser descrita através do sistema:

$$\begin{bmatrix} s_a^{(h)} = S_a^{(h)} \cos(h\omega t + \varphi_a^{(h)}) + S_0^{(h)} \cos(h\omega t + \varphi_0^{(h)}) \\ s_b^{(h)} = S_b^{(h)} \cos(h\omega t + \varphi_b^{(h)}) + S_0^{(h)} \cos(h\omega t + \varphi_0^{(h)}) \\ s_c^{(h)} = S_c^{(h)} \cos(h\omega t + \varphi_c^{(h)}) + S_0^{(h)} \cos(h\omega t + \varphi_0^{(h)}) \end{bmatrix} \quad (2.6)$$

$$\begin{bmatrix} s_a^{(h)} = S_a^{(h)} \frac{e^{j(h\omega t + \varphi_a^{(h)})} + e^{-j(h\omega t + \varphi_a^{(h)})}}{2} + S_0^{(h)} \cos(h\omega t + \varphi_0^{(h)}) \\ s_b^{(h)} = S_b^{(h)} \frac{e^{j(h\omega t + \varphi_b^{(h)})} + e^{-j(h\omega t + \varphi_b^{(h)})}}{2} + S_0^{(h)} \cos(h\omega t + \varphi_0^{(h)}) \\ s_c^{(h)} = S_c^{(h)} \frac{e^{j(h\omega t + \varphi_c^{(h)})} + e^{-j(h\omega t + \varphi_c^{(h)})}}{2} + S_0^{(h)} \cos(h\omega t + \varphi_0^{(h)}) \end{bmatrix} \quad (2.7)$$

Para eliminar os efeitos de componentes homopolares, ou de sequência zero, podemos representar esses sinais trifásicos através de um vetor em uma estrutura de referência estacionária $\alpha\beta$ através da transformação de Clarke e obtemos as duas formas.

$$\vec{s}_{\alpha\beta}^{(h)} = \frac{2}{3} (s_a^{(h)} + s_b^{(h)} e^{j(\frac{2\pi}{3})} + s_c^{(h)} e^{-j(\frac{2\pi}{3})}) \quad (2.8)$$

$$\vec{s}_{\alpha\beta}^{(h)} = e^{jh\omega t} \left[\frac{1}{3} \left(\tilde{s}_a^{(h)} + \tilde{s}_b^{(h)} e^{j(\frac{2\pi}{3})} + \tilde{s}_c^{(h)} e^{-j(\frac{2\pi}{3})} \right) \right] + e^{-jh\omega t} \left[\frac{1}{3} \left(\tilde{s}_a^{(h)} + \tilde{s}_b^{(h)} e^{-j(\frac{2\pi}{3})} + \tilde{s}_c^{(h)} e^{j(\frac{2\pi}{3})} \right) \right]^* \quad (2.9)$$

O símbolo $\tilde{S}$ indica os fasores que contém informações sobre os valores iniciais de magnitude e ângulo de fase das componentes senoidais, dadas abaixo:

$$\tilde{s}_i^{(h)} = S_i^{(h)} e^{j\varphi_i^{(h)}}, i = a, b, c \quad (2.10)$$

Pode-se observar que em (2.9) os termos entre colchetes são os fasores de sequência positiva e negativa de Fortescue [28], denotados aqui por $\tilde{S}_{\alpha\beta+}^{(h)}$ e $\tilde{S}_{\alpha\beta-}^{(h)}$. Logo,

$$\vec{s}_{\alpha\beta}^{(h)} = \vec{s}_{\alpha\beta+}^{(h)} + \vec{s}_{\alpha\beta-}^{(h)} = \tilde{S}_{\alpha\beta+}^{(h)} e^{jh\omega t} + \tilde{S}_{\alpha\beta-}^{(h)*} e^{-jh\omega t} \quad (2.11)$$

$$\vec{s}_{\alpha\beta} = \sum_{h=0}^{\infty} \vec{s}_{\alpha\beta}^{(h)} = \sum_{h=0}^{\infty} [\tilde{S}_{\alpha\beta+}^{(h)} e^{jh\omega t}] + \sum_{h=1}^{\infty} [\tilde{S}_{\alpha\beta-}^{(h)*} e^{-jh\omega t}] \quad (2.12)$$

O vetor de componente harmônica de sequência positiva ou negativa pode ser descrito por:

$$\vec{s}_{\alpha\beta}^{(h)} = S_{\alpha\beta}^{(h_s)} e^{sgn(h_s)j\varphi^{(h_s)}} e^{jh_s\omega t}, \quad (2.13)$$

Sendo h_s igual a h para componentes harmônicas de sequência positiva e igual a $-h$ para componentes harmônicas de sequência negativa. Exceto pelas componentes homopolares, qualquer conjunto de sinais periódicos trifásicos é igual à soma de vetores de componentes harmônicas de sequência positiva e negativa. A magnitude de cada vetor é constante e gira com velocidade fixa.

Considerando que os sinais s_a , s_b e s_c são amostrados N vezes por período da fundamental, em que N é um número natural e par. Assume-se que os vetores correspondendo a $\vec{s}_{\alpha\beta}(t)$ são calculados para $t = (k - N)T_s, \dots, t = (k - 1)T_s$, em que, T_s é o período de amostragem e kT_s é o tempo atual. Considera-se que os sinais de entrada contêm harmônicos até $\left(\frac{N}{2}\right) * f_1$, em que f_1 é a frequência fundamental, obtida da utilização de um pré-filtro analógico *anti-aliasing*. Logo, a partir de 2.12:

$$\vec{s}_{\alpha\beta}(t = kT_s) = \sum_{h=0}^{\frac{N}{2}-1} [\tilde{S}_{\alpha\beta+}^{(h)} e^{jh_2\frac{\pi}{N}k}] + \sum_{h=1}^{\frac{N}{2}-1} [\tilde{S}_{\alpha\beta-}^{(h)*} e^{-jh_2\frac{\pi}{N}k}], \quad (2.14)$$

2.3 NRF-PLL

Esse modelo de algoritmo foi proposto com base em propriedades da álgebra vetorial e na definição teoria de ortogonalidade entre funções temporais, uma vez que a precisão e resposta dinâmica do PLL estão diretamente relacionados com o projeto de seu regulador proporcional-integral (PI).

2.3.1 ÁLGEBRA VETORIAL E ORTOGONALIDADE DE VETORES

O NRF-PLL utiliza a definição do produto escalar de vetores e o conceito de ortogonalidade entre eles para fundamentação de sua base matemática. Sendo assim, ao assumir um vetor instantâneo de tensões $\mathbf{v}$ e um outro vetor qualquer $\mathbf{u}$, ambos não nulos, definidos pela Equação 2.15.

$$\mathbf{v} = \begin{bmatrix} v_a \\ v_b \\ \vdots \\ v_m \end{bmatrix} \quad \mathbf{u} = \begin{bmatrix} u_a \\ u_b \\ \vdots \\ u_m \end{bmatrix} \quad (2.15)$$

O produto escalar dp entre os dois vetores é dado por:

$$dp = \mathbf{v} \cdot \mathbf{u} = v_a \cdot u_a + v_b \cdot u_b + \dots + v_m \cdot u_m = \sum_{l=a}^m v_l \cdot u_l \quad (2.16)$$

Sendo esses ditos como vetores ortogonais ($\perp$) em um dado intervalo de tempo ($t_1 \leq t \leq t_2$), a equação acima pode ser descrita como:

$$\overline{dp} = \overline{\mathbf{v} \cdot \mathbf{u}} \equiv \frac{1}{T} \int_{t_2-T}^{t_2} \mathbf{v}(t) \cdot \mathbf{u}(t) dt = 0 \quad (2.17)$$

O que significa que a média do produto escalar entre dois vetores ortogonais deve ser sempre igual a zero, não dependendo da forma de onda ou sua amplitude relativa, e considerando um PLL com algoritmo digital, a expressão anterior pode ser implementada como a seguinte soma discreta:

$$\overline{dp} = \overline{\mathbf{v} \cdot \mathbf{u}}[k] \equiv \frac{1}{N\Delta} \sum_{c=1}^N \left\{ \sum_{l=1}^m v_l[k - c\Delta] \cdot u_l[k - c\Delta] \right\} = 0 \quad (2.18)$$

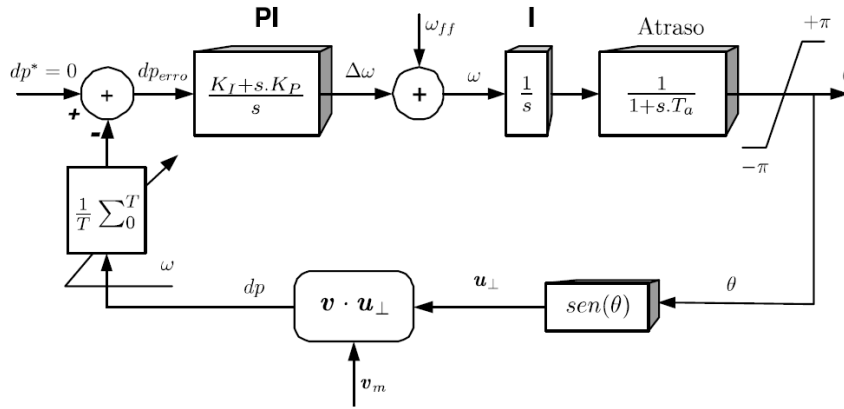
Sendo “ Δ ” o intervalo de amostragem, “ N ” é o número de amostras por período ($T = N \cdot \Delta$) e “ k ” é o contador de amostras do algoritmo. Essa equação apresentada em 2.18 também pode ser

interpretada como um FMM (Filtro de Média Móvel), e este apresenta um método simples e eficiente para calcular o valor médio de valores e grandezas temporais.

2.3.2 NRF-PLL MONOFÁSICO – CASO GERAL

Com base nas definições de ortogonalidade apresentadas, esta seção apresenta o caso geral do NRF-PLL monofásico digital (*software*). Esse tipo de PLL é capaz de fornecer informações sobre a frequência e o ângulo de sincronismo da tensão de fase utilizada no modelo, independentemente das demais fases, quando existentes. O PLL é apresentado pela Figura 5.

Figura 5 PLL monofásico - Modelo geral.



A ideia central é sintetizar a partir das variáveis internas do PLL (ω, θ) uma senoide de amplitude unitária ($u_{\perp}$), a qual em condições de regime permanente deve ser ortogonal à fundamental da tensão medida (v_m). Sendo assim, o valor médio do produto escalar entre a tensão medida e a senoide gerada digitalmente deverá convergir para zero. Como é possível observar na Figura 5, a função temporal instantânea θ , a qual define o argumento utilizado para sintetizar a senoide unitária, é obtida ao integrar a variável de saída do regulador PI e a frequência de rede (ω) dada em rad/s.

Neste PLL, enquanto o algoritmo busca sintetizar a senoide unitária para satisfazer a condição de ortogonalidade com a tensão medida (v_m), o regulador PI converte o erro do produto escalar (dp_{erro}) em um sinal de correção de frequência ($\Delta\omega$), possibilitando a identificação correta da frequência do sinal de entrada (ω).

A fim de melhorar a resposta dinâmica inicial do PLL, a variável ($\omega_{ff} = 2\pi f_n$) é utilizada como valor de inicialização, sendo f_n a frequência nominal do sistema em hertz. Logo, na condição

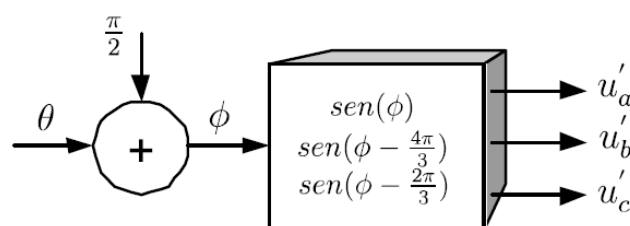
em que o produto escalar entre o vetor sintetizado e o da rede é nulo, o regulador PI fornece um valor constante em sua saída, igual à frequência da rede ω . Em sequência, o PLL é sintonizado através do argumento ($\theta = \omega \cdot t$), que é atrasado em 90° em relação ao ângulo de fase da tensão medida. Assim, o ângulo de sincronismo da tensão medida pode ser obtido através da soma simples:

$$\phi_m = \theta + \frac{\pi}{2} \quad (2.19)$$

Sendo a proposta desenvolver um PLL puramente digital, o modelo também deve prever uma função de atraso digital, devido ao tempo necessário entre a conversão analógico-digital de uma amostra e a sua saída no PLL, esse atraso é definido pelo tempo de amostragem utilizado T_a , observado na Figura 5 em $\frac{1}{1+s \cdot T_a}$.

Uma das estruturas desse PLL em modo trifásico pode ser interessante para determinadas condições, entretanto, é importante destacar que mesmo em aplicações trifásicas, o modelo monofásico é perfeitamente capaz de fornecer a frequência de interesse (ω) uma vez que esta é a mesma para as outras fases do sistema. Quanto ao ângulo de sincronismo, se o PLL monofásico for aplicado sobre a fase “a”, os outros ângulos de sincronia com as fases “b” e “c” podem ser obtidas conforme o diagrama apresentado pela Figura 6, que ilustra um gerador de senoides unitárias sincronizadas para cada fase a, b e c.

Figura 6 Gerador de senoides de sincronia baseado no PLL monofásico.



2.3.3 FILTRO DE MÉDIA MÓVEL ADAPTATIVO

Para que a condição de ortogonalidade e a precisão do PLL se mantenham verdadeiras, é necessário que o filtro de média móvel (FMM) seja autoajustável ou adaptativo em relação às variações da frequência da tensão de entrada, ou seja, em relação ao intervalo no qual a média é efetuada. Essa adaptação pode ser realizada de duas maneiras, a primeira delas é identificar uma variação na

frequência ω e consequentemente no período T , e então alterar o número de amostras “N” por período para garantir a média sob o intervalo correto. A segunda maneira, se baseia em identificar um desvio da frequência em relação ao valor nominal, e logo altera-se a frequência de amostragem do sistema digital, de forma que o número de amostras de um ciclo T seja sempre constante e igual a um valor “N” definido. Sendo assim obtemos a seguinte equação:

$$f_a = \frac{1}{T_a} = N \cdot \frac{\omega}{2\pi} \quad (2.20)$$

Como a frequência da rede normalmente apresenta pequenas variações em torno de seu valor nominal, pode acontecer que, usando a primeira estratégia de ajuste, o número de amostras calculadas para o novo período seja uma dízima, impedindo ou limitando o desempenho do sistema. Por outro lado, utilizando a técnica de alteração da frequência de amostragem, o número de amostras por ciclo é mantido relativamente constante e pequenas variações na frequência de amostragem não afetam o PLL ou outros algoritmos digitais utilizados. Por causa disso, esse método foi usado para ajuste do filtro.

2.3.4 FUNÇÃO DE TRANSFERÊNCIA DO FMM

O sinal de saída do filtro de média móvel em resposta a $dp(t)$ é dado pela equação:

$$\overline{dp} = \frac{1}{T} \int_{t_2-T}^{t_2} dp(t) dt \quad (2.21)$$

Essa integral é idêntica ao resultado da convolução de $dp(t)$ com um pulso retangular de $\left(\frac{1}{T}\right)$ no intervalo de $0 < t < T$, ou seja:

$$dp(t) * h(t) = \int_{-\infty}^{\infty} dp(\tau) h(t - \tau) d\tau \quad (2.22)$$

Devido a resposta do sistema linear ser igual a sua entrada convoluída com a resposta do impulso, a resposta impulsiva do FMM é dada pelo pulso retangular, onde $u(t)$ define uma função de degrau unitário:

$$h(t) = \frac{1}{T} [u(t) - u(t - T)] \quad (2.23)$$

Sendo assim, o filtro de média móvel pode ser representado no domínio de *Laplace* como:

$$H_{filtro}(s) = \frac{1 - e^{-sT}}{sT} \quad (2.24)$$

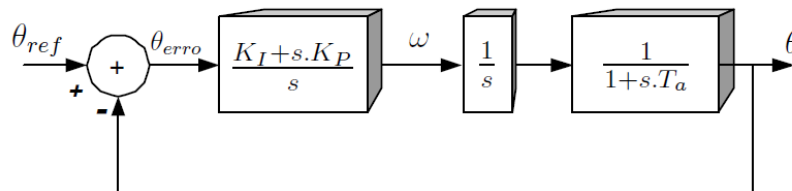
Porém, a função de transferência não-linear pode ainda ser reduzida com auxílio da Série de Taylor [29], resultando na aproximação linear descrita em (2.25). Além disso, devido aos valores de expressões de ordem maiores que 1 são relativamente pequenos em 60 Hz, esses podem ser desprezados de forma que a função de transferência do tenha um ganho praticamente constante e unitário, não influenciando a função de transferência global do PLL.

$$H_{filtro}(s) = \frac{1 - [1 - sT + \frac{(sT)^2}{2!} - \frac{(sT)^3}{3!} \dots]}{sT} \cong 1 \quad (2.25)$$

2.3.5 REGULADOR PROPORCIONAL-INTEGRAL

Um dos pontos mais importantes no projeto de um PLL digital é o ajuste dos ganhos de seu regulador PI, definindo assim sua precisão e tempo de resposta à diversas condições. Tendo em vista a implementação discreta do PLL e assumindo que a frequência de amostragem do sistema é muito mais elevada que a frequência da rede onde o PLL deverá atuar, a função não-linear descrita na Figura 6 pode ser reduzida para a estrutura linear da Figura 7, isso deve-se ao fato que pequenas variações do argumento θ são congruentes ao valor de $\sin \theta$.

Figura 7 Modelo do PLL linear.



Tendo em vista que ω_n é utilizado apenas no processo de inicialização do PLL, a função ou planta a ser controlada pelo regulador PI é constituída apenas pelo integrador $\left(\frac{1}{s}\right)$ e pelo atraso digital,

de forma que as funções de transferência de malha aberta (H_{ma}) e malha fechada do sistema (H_{mf}) resultam respectivamente nas equações:

$$H_{ma}(s) = PI(s) \cdot H_{planta}(s) = \frac{(K_I + s \cdot K_P)}{s} \cdot \left(\frac{1}{s}\right) \cdot \left(\frac{1}{1 + s \cdot T_a}\right) \quad (2.26)$$

$$H_{mf}(s) = \frac{H_{ma}(s)}{1 + H_{ma}(s)} = \frac{(K_I + s \cdot K_P)}{s^3 \cdot T_a + s^2 + s \cdot K_P + K_I} \quad (2.27)$$

Idealmente é desejado que a função de terceira ordem apresentada pela Equação 2.8 seja controlada com boa resposta dinâmica e pequenos erros em regime permanente, sendo esse robusto quando em transitórios e imune a ruídos no sinal de entrada. Porém, em aplicações práticas torna-se difícil a utilização de um ajuste dos ganhos PI otimizado para situações gerais, por isso é necessário fazer o ajuste dos controladores em decorrência de sua aplicação específica.

Considerando altas frequências de amostragem, o sistema de terceira ordem pode ser reduzido para forma canônica de segunda ordem, sem influenciar ou prejudicar a controlabilidade do sistema, tendo em vista que o polo relativo à função de atraso digital, posicionada no semiplano esquerdo do plano-s está relativamente distante da origem de dos outros dois polos da função de transferência, e logo pode ser desconsiderado, dessa forma podem ser realizados os seguintes ajustes na equação 2.8:

$$K_P = 2\xi \omega_n \quad K_I = \omega_n^2 \quad (2.28)$$

$$H_{mf}(s) = \frac{2\xi \omega_n s + \omega_n^2}{s^2 + 2\xi \omega_n s + \omega_n^2} = \frac{K_{PS} + K_I}{s^2 + K_{PS} + K_I} \quad (2.29)$$

Sendo assim, ω_n define a frequência de interesse (crossover) da malha fechada e ξ é o fator de amortecimento do regulador, definido entre $0,5 \leq \xi \leq 1$.

2.4 GDSC-PLL

A metodologia utilizada para a implementação computacional do GDSC-PLL é capaz de detectar o vetor tensão de sequência positiva na frequência fundamental, como quaisquer vetores harmônicos de sequência positiva ou negativa.

O método de Generalização de Cancelamento por Sinal Atrasado (GDSC-PLL) é imune a desequilíbrios e harmônicos de sequência positiva ou negativa da rede elétrica. Essa metodologia fundamenta-se em transformações matemáticas, fazendo o uso do valor de sinais anteriores, com operações matemáticas simples como soma, subtração, multiplicação e divisão.

2.4.1 FUNDAMENTAÇÃO TEÓRICA

O vetor de componente harmônica de sequência positiva ou negativa foi apresentado em (2.13), porém, considere agora o mesmo vetor atrasado no tempo correspondente a um ângulo θ_d radianos da frequência fundamental, ou se é harmônica, $h\theta_d$ radianos à sua correspondente:

$$\vec{s}_{\alpha\beta-\theta_d}^{(h)} = \vec{s}_{\alpha\beta}^{(h_s)} e^{sgn(h_s)j\varphi^{(h_s)}} e^{jh_s(\omega t - \theta_d)} \quad (2.30)$$

Considerando o sentido horário como sentido positivo, temos que se $h_s > 0$, então os vetores $\vec{s}_{\alpha\beta-\theta_d}^{(h)}$ e $\vec{s}_{\alpha\beta}^{(h)}$ giram no sentido anti-horário, e o vetor $\vec{s}_{\alpha\beta-\theta_d}^{(h)}$ é $h\theta_d$ radianos atrasado de $\vec{s}_{\alpha\beta}^{(h)}$. Reciprocamente, se $h_s < 0$, então os dois vetores giram no sentido horário e o vetor $\vec{s}_{\alpha\beta-\theta_d}^{(h)}$ está $h\theta_d$ radianos em avanço. A transformação matemática em que os vetores original e atrasado são combinados é dado por:

$$\vec{f}_{GDSC} = \vec{a}(\vec{s}_{\alpha\beta} + e^{j\theta_r}\vec{s}_{\alpha\beta-\theta_d}) \quad (2.31)$$

Sendo que, o ganho complexo $\vec{a}$ e o ângulo θ_r têm valores constantes. Ao substituir (2.30) em (2.31), o sinal transformado de ordem h_s é:

$$\vec{f}_{GDSC}^{(h_s)} = \vec{a}(\vec{s}_{\alpha\beta}^{(h)} + e^{j\theta_r}e^{-jh_s\theta_d}\vec{s}_{\alpha\beta}^{(h_s)}) \quad (2.32)$$

Logo, o ganho da transformação (2.31) pode ser obtido por:

$$\vec{G}^{(h_s)} = \vec{a}(1 + e^{j(\theta_r - h_s\theta_d)}) \quad (2.33)$$

A transformação citada permite escolher harmônicas específicas do sinal original a serem eliminadas, porém, deseja-se que o ganho da transformação para o vetor de sequência positiva ou negativa detectado seja sempre unitário.

Agora, para a implementação da técnica GDSC, utiliza-se a forma digital dada por:

$$\vec{f}_{GDSC}(kT_s) = \vec{a} \{ \vec{s}_{\alpha\beta}(kT_s) + e^{j\theta_r} \vec{s}_{\alpha\beta}[(k - k_d)T_s] \} \quad (2.34)$$

Em que, T_s é o período de amostragem, $t = kT_s$ é o instante atual e $t = (k - k_d)T_s$ é o instante atrasado de k_d amostras, referente a quantidade arredondada de amostras de atraso no tempo que fornecem um ângulo θ_d radianos em relação à frequência fundamental.

$$k_d = \text{round} \left(\frac{N\theta_d}{2\pi} \right) \quad (2.35)$$

A quantidade de pontos amostrados durante o período da fundamental é dada por N. Ao substituir (2.14) em (2.34), obtém-se:

$$\vec{f}_{GDSC}(kT_s) = \sum_{h=0}^{\frac{N}{2}-1} \vec{s}_{\alpha\beta+}^{(h_s)} \vec{a} [1 + e^{j(\theta_r - h \frac{2\pi}{N} k_d)}] + \sum_{h=1}^{\frac{N}{2}-1} \vec{s}_{\alpha\beta-}^{(h_s)*} \vec{a} [1 + e^{j(\theta_r + h \frac{2\pi}{N} k_d)}] \quad (2.36)$$

Sendo assim, $\vec{f}_{GDSC}(kT_s)$ é composto pelas componentes de sequência dos sinais originais multiplicadas por um ganho complexo:

$$\vec{G}^{(h_s)} = \vec{a} (1 + e^{j(\theta_r - h_s \frac{2\pi}{N} k_d)}) \quad (2.37)$$

O ganho da transformação $\vec{f}_{GDSC}$ é zero para todas as componentes harmônicas, satisfazendo:

$$\theta_r - h_s \frac{2\pi}{N} k_d = -\pi(1 + 2n) \quad (2.38)$$

Em que, n é um número inteiro, ou de modo equivalente temos:

$$h_s = \left(\frac{N\theta}{2\pi k_d} + \frac{N}{2k_d} \right) + \frac{N}{2k_d} n \quad (2.39)$$

Supondo que h_d é a componente harmônica que deve ser detectada, isto é, $\vec{s}^{(h_s)}$, para $h_s = h_d$, que é o vetor de sequência positiva ou negativa a ser obtido. A partir de (2.10), vê-se que os parâmetros θ_r e k_d da transformação (2.34) podem ser escolhidos para eliminar uma família de vetores de componentes harmônicas.

$$h_s = h_d + (q + pn) \quad (2.40)$$

As variáveis q e p são escolhidas arbitrariamente, sendo que o primeiro é usado para definir uma das componentes eliminadas e o segundo determina a periodicidade das componentes harmônicas eliminadas. A partir da equação (2.40) podemos atingir isso ao fazer:

$$\left[\begin{array}{c} k_d = \frac{N}{p} \\ h_d + q = \frac{N\theta_r}{2\pi k_d} + \frac{N}{2k_d} \Rightarrow \theta_r = \frac{2\pi}{p}(h_d + q) - \pi \end{array} \right] \quad (2.41)$$

O ganho complexo $\vec{a}$ é escolhido de maneira que o ganho da transformação para a componente desejada $h_s = h_d$ seja unitário, logo:

$$\vec{a} = \frac{1}{1 + e^{j\pi(\frac{2q}{p}-1)}} \quad (2.42)$$

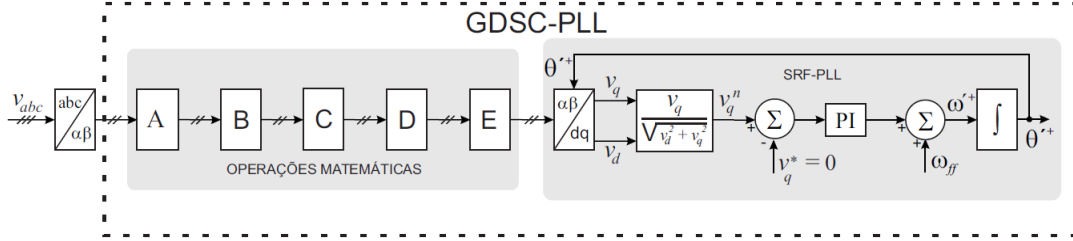
Se assumirmos $\vec{a} = 0,5, k_d = N/4$ e $\theta_r = 90^\circ$, como exemplo para (2.34), temos que as amostras atuais são usadas juntas das atrasadas de um quarto de ciclo da fundamental para eliminar os vetores harmônicos de ordem $h_s = 3 + 4n$, onde n é um número inteiro. O ganho nesse caso é unitário, em conformidade com o modelo proposto no DSC-PLL.

Essas transformações podem ser colocadas em cascata para cancelar diversas famílias de harmônicas em torno daquela que se deseja detectar. Considerando que uma primeira transformação (denominada de A), seja projetada para cancelar as componentes harmônicas $\{h_d + (1 + 2n)\}$. Depois de passar pela transformação A, as componentes não eliminadas são as $\{h_d + 2n\}$. Se A for colocada em cascata com a transformação B, que pode ser projetada para cancelar as componentes $\{h_d + (2 + 4n)\}$, então as componentes que ainda estão presentes são $\{h_d + 4n\}$. Outra transformação C é utilizada, a fim de anular as componentes $\{h_d + (4 + 8n)\}$, permitindo em sua saída somente componentes de ordem $\{h_d + 8n\}$. Esse procedimento pode ser utilizado para estender a capacidade de eliminar vetores de componentes harmônicas em torno da componente desejada. Se adicionarmos transformações D e E, projetadas para eliminar componentes $\{h_d + (8 + 16n)\}$ e $\{h_d + (16 + 32n)\}$, em cascata com as transformações anteriores, A, B e C, os vetores de componentes harmônicas presentes na saída da transformação E são $\{h_d + 32n\}$. Os parâmetros de cada uma dessas transformações são calculados das equações (2.41) e (2.42), substituindo os valores de h_d e os respectivos valores de q e p . É importante salientar que a transformação proposta em (2.34) é um filtro digital FIR e incondicionalmente estável.

Neste método, a saída da última transformação é enviada para um SRF-PLL, dentro dele a componente do eixo q do vetor é normalizada para tornar o projeto do controlador PI independente

da amplitude do vetor de entrada. As componentes de alta frequência não eliminadas pelas transformações em cascata podem ser atenuadas com base na escolha da largura de banda do PLL. O esquema do GDSC-PLL é mostrado pelo diagrama de blocos pela Figura 8.

Figura 8: Diagrama de Blocos GDSC-PLL. Adaptado de [6].



2.4.2 IMPLEMENTAÇÃO DO ALGORITMO DO GDSC-PLL

Para implementar as transformações em cascata é necessário calcular os parâmetros k_{dA} , θ_{rA} e $\vec{a}_A$ da transformação A, além de todos os parâmetros das demais transformações. Na implementação da transformação A, é preciso calcular o k_{dA} , que é o número de amostras das componentes, além de armazenar o α e β dos vetores de entrada. A soma dos vetores atual e atrasado multiplicados por $\vec{a}_A$ e $\vec{a}_A e^{j\theta_{rA}}$, respectivamente, gera o vetor transformado. Através da operação matricial obtemos (2.43)

$$\begin{aligned} \begin{bmatrix} s_{\alpha TA}(kT_s) \\ s_{\beta TA}(kT_s) \end{bmatrix} &= [A_A] \begin{bmatrix} s_{\alpha}(kT_s) \\ s_{\beta}(kT_s) \end{bmatrix} + [B_A] \begin{bmatrix} s_{\alpha}[(k - k_{dA})T_s] \\ s_{\beta}[(k - k_{dA})T_s] \end{bmatrix} \\ &= \begin{bmatrix} a_{1A} & -a_{2A} \\ a_{2A} & a_{1A} \end{bmatrix} \begin{bmatrix} s_{\alpha}(kT_s) \\ s_{\beta}(kT_s) \end{bmatrix} + \begin{bmatrix} b_{1A} & -b_{2A} \\ b_{2A} & b_{1A} \end{bmatrix} \begin{bmatrix} s_{\alpha}[(k - k_{dA})T_s] \\ s_{\beta}[(k - k_{dA})T_s] \end{bmatrix} \end{aligned} \quad (2.43)$$

Onde, $a_{1A} = \text{real}(\vec{a}_A)$, $a_{2A} = \text{imag}(\vec{a}_A)$, $b_{1A} = \text{real}(\vec{a}_A e^{j\theta_{rA}})$ e $b_{2A} = \text{imag}(\vec{a}_A e^{j\theta_{rA}})$. Dessa forma, temos que na entrada da transformação B, temos os sinais atual e atrasado da saída da transformação A: $\vec{s}_{\alpha\beta TA}(kT_s)$ e $\vec{s}_{\alpha\beta TA}[(k - k_{dA})T_s]$. De maneira similar, os sinais das transformações C, D e E são os sinais atuais e atrasados das saídas B, C e D, respectivamente, sendo assim é necessário calcular as matrizes A_i e B_i ($i = B, C, D, E$), e os seus respectivos parâmetros $\vec{a}_i$ e $\vec{a}_i e^{j\theta_{ri}}$ devem ser usados.

Na implementação do GDSC com cinco operações cascadeadas, é preciso armazenar $(k_{dA} + k_{dB} + k_{dC} + k_{dD} + k_{dE})$ vetores $\alpha\beta$, porém no caso em que todos os elementos das matrizes A_i e B_i são diferentes de zero, é necessário 8 multiplicações e 6 somas reais para cada operação.

Por exemplo, se considerarmos que o vetor de FFPS de um sinal trifásico precisa ser detectado, ou seja, para $h_d = 1$. Se as cinco transformações forem utilizadas, e seus parâmetros calculados através de (2.41) e (2.42), obtém-se a Tabela 1.

Tabela 1 Parâmetros das transformações para detectar o vetor FFPS.

Transformação	k_d	θ_r	$\bar{a}$
A	N/2	180°	½
B	N/4	90°	½
C	N/8	45°	½
D	N/16	22,5°	½
E	N/32	11,25°	½

Logo, a partir dos parâmetros é possível obter as expressões de cada umas das transformações, apresentado em (2.44)-(2.48).

$$\begin{bmatrix} s_{\alpha TA}(kT_s) \\ s_{\beta TA}(kT_s) \end{bmatrix} = \frac{1}{2} \begin{bmatrix} s_{\alpha}(kT_s) - s_{\alpha}[(k - N/2)T_s] \\ s_{\beta}(kT_s) - s_{\beta}[(k - N/2)T_s] \end{bmatrix} \quad (2.44)$$

$$\begin{bmatrix} s_{\alpha TB}(kT_s) \\ s_{\beta TB}(kT_s) \end{bmatrix} = \frac{1}{2} \begin{bmatrix} s_{\alpha TA}(kT_s) - s_{\beta TA}[(k - N/4)T_s] \\ s_{\beta TA}(kT_s) + s_{\alpha TA}[(k - N/4)T_s] \end{bmatrix} \quad (2.45)$$

$$\begin{bmatrix} s_{\alpha TC}(kT_s) \\ s_{\beta TC}(kT_s) \end{bmatrix} = \frac{1}{2} \left\{ \begin{bmatrix} s_{\alpha TB}(kT_s) \\ s_{\beta TB}(kT_s) \end{bmatrix} + \frac{\sqrt{2}}{2} \begin{bmatrix} 1 & -1 \\ 1 & 1 \end{bmatrix} \begin{bmatrix} s_{\alpha TB}[(k - N/8)T_s] \\ s_{\beta TB}[(k - N/8)T_s] \end{bmatrix} \right\} \quad (2.46)$$

$$\begin{bmatrix} s_{\alpha TD}(kT_s) \\ s_{\beta TD}(kT_s) \end{bmatrix} = \frac{1}{2} \left\{ \begin{bmatrix} s_{\alpha TC}(kT_s) \\ s_{\beta TC}(kT_s) \end{bmatrix} + \begin{bmatrix} \cos(22,5^\circ) & -\sin(22,5^\circ) \\ \sin(22,5^\circ) & \cos(22,5^\circ) \end{bmatrix} \begin{bmatrix} s_{\alpha TC}[(k - N/16)T_s] \\ s_{\beta TC}[(k - N/16)T_s] \end{bmatrix} \right\} \quad (2.47)$$

$$\begin{bmatrix} s_{\alpha TE}(kT_s) \\ s_{\beta TE}(kT_s) \end{bmatrix} = \frac{1}{2} \left\{ \begin{bmatrix} s_{\alpha TD}(kT_s) \\ s_{\beta TD}(kT_s) \end{bmatrix} + \begin{bmatrix} \cos(11,25^\circ) & -\sin(11,25^\circ) \\ \sin(11,25^\circ) & \cos(11,25^\circ) \end{bmatrix} \begin{bmatrix} s_{\alpha TD}[(k - N/32)T_s] \\ s_{\beta TD}[(k - N/32)T_s] \end{bmatrix} \right\} \quad (2.48)$$

A fim de obter o FFPS usando o GDSC-PLL com as transformações apresentadas é necessário armazenar $\left(\frac{N}{2} + \frac{N}{4} + \frac{N}{8} + \frac{N}{16} + \frac{N}{32}\right) = \left(\frac{31N}{32}\right)$ vetores $\alpha\beta$, que corresponde a 348,75° do ciclo da fundamental. Para implementar todas as cinco transformações em cascata são necessárias apenas 12 multiplicações reais e 16 somas reais. Outro fato importante sobre esse método é que quando

não se deseja eliminar as componentes harmônicas pares ou de altas ordem, é possível deixar de utilizar alguma das transformações, melhorando o tempo de resposta e reduzindo o esforço computacional do sistema.

Neste modelo também é utilizado um controlador PI com ganhos K_p e K_i , que possuem sua função transferência da malha de controle do SRF-PLL, similar a (2.40), desejando que a dinâmica do controlador seja eficaz para quaisquer valores de tensão de entrada:

$$H_{mf}(s) = \frac{2\xi\omega_n s + \omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2} \quad (2.49)$$

$$\omega_n(s) = \sqrt{K_i}, \quad \xi = \frac{K_p}{2} \sqrt{\frac{1}{K_i}} \quad (2.50)$$

Porém, como a implementação do GDSC-PLL é digital, deve ser utilizada a análise no domínio discreto do SRF-PLL, realizado nos artigos [30], [31]. Através do método *Euler forward* para o controlador PI, obtém-se:

$$K_d(z) = K_p \frac{z - a}{z - 1} \quad (2.51)$$

Onde, os parâmetros K_p (ganho proporcional) e α depende do coeficiente de amortecimento ξ e a largura de banda ω_c :

$$K_p = \frac{2}{T_s} \left[1 - e^{-\xi\omega_c T_s} \cos(\omega_c T_s \sqrt{1 - \xi^2}) \right] \quad (2.52)$$

$$\alpha = \frac{1 - e^{-2\xi\omega_c T_s}}{2[1 - e^{-\xi\omega_c T_s} \cos(\omega_c T_s \sqrt{1 - \xi^2})]} \quad (2.53)$$

Logo o ganho integral é dado a seguir, onde T_s é o período de amostragem dos sinais de entrada.

$$K_i = \frac{K_p}{T_s} (1 - \alpha) \quad (2.54)$$

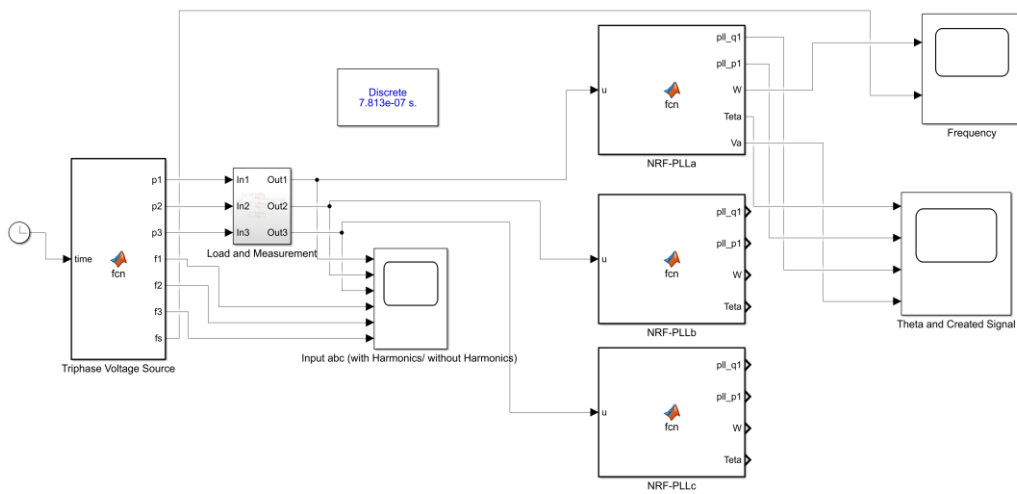
Sendo assim, a frequência natural escolhida depende da componente harmônica de mais baixa ordem a ser filtrada pelo SRF-PLL, o que implica em menor banda de passagem e resposta mais lenta. No caso do GDSC-PLL é possível escolher uma frequência natural de alta ordem, pois os harmônicos indesejados de baixa ordem são em grande parte atenuados pelas transformações em cascata.

3 RESULTADOS DE SIMULAÇÃO

3.1 IMPLEMENTAÇÃO DO NRF-PLL NO MATLAB/SIMULINK

Através do diagrama de blocos o sistema de detecção monofásica e trifásica do NRF-PLL e como saída serão apresentadas as componentes unitárias sintetizadas, sem distorções harmônicas ou ruídos, além da frequência e do ângulo de fase. A Figura 9 apresenta o diagrama de blocos do NRF-PLL trifásico.

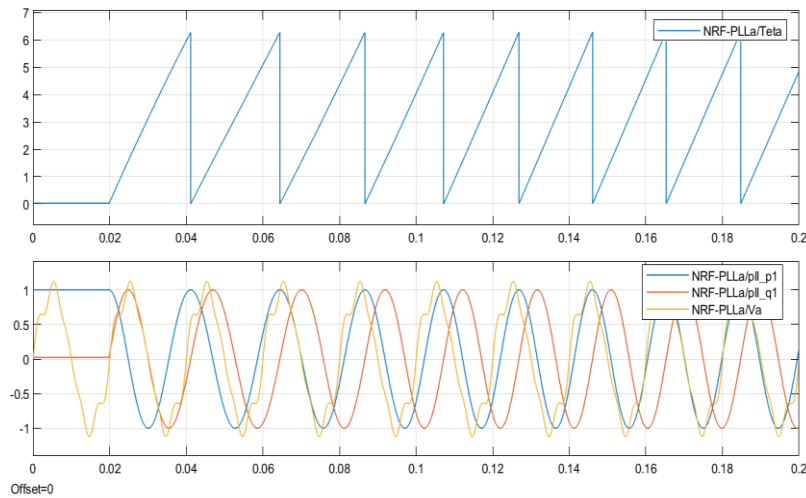
Figura 9 Diagrama de blocos do NRF-PLL trifásico (Simulink).



Como podemos observar na Figura 9, a fonte de tensão trifásica é criada através de um script no Matlab, assim como o NRF-PLL para cada uma das fases do sinal de entrada *abc*. O sinal trifásico passa por um sistema de medição que tem como frequência de amostragem de 256 pontos por período, em um sistema de 50 Hz. Há um osciloscópio responsável por visualizar a diferença entre o sinal de entrada distorcido e somente a componente fundamental, além de outros dois osciloscópios, sendo o primeiro para visualizar a frequência da rede rastreada pelo PLL e o segundo para observar o ângulo de fase e as componentes unitárias criadas pelo PLL.

Para ilustrar o funcionamento desse PLL, a Figura 10 mostra o desempenho do PLL para rastrear o ângulo de fase, com PI ajustados para $w_n = 40 \text{ rad/s}$ e $\xi = 0,8$, e com a tensão de entrada de 50 Hz distorcida em 10% pelo quarto harmônico (200 Hz) e 10% do quinto harmônico (250 Hz).

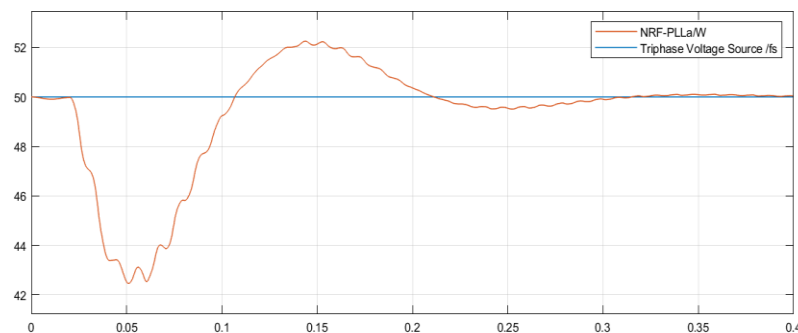
Figura 10 Ângulo de fase, sinal de entrada distorcido e senoides unitárias.



Na Figura 10 é possível observar o ângulo de fase ($Teta$), a fase “A” do sinal de entrada com distorção harmônica (Va), a senoide unitária em fase com a entrada (pll_p1) e a senoide unitária em quadratura (pll_q1), ambas criadas pelo algoritmo do NRF-PLL. É importante notar que o ciclo inicial de 20 ms é utilizado somente para a inicialização do sistema, logo os valores do argumento devem ser ignorados.

Além disso, observa-se que nos ciclos iniciais o argumento $Teta$, na Figura 10, tem seu ciclo com duração superior a 20 ms, isso deve-se ao fato do PLL estar rastreando a frequência da entrada, ou seja, não está considerando 50 Hz no ciclo inicial, como vemos na Figura 10, porém assim que o valor é alcançado o período do ciclo se mantém constante. Como ambas senoides unitárias dependem desse argumento, essas também ficam estáveis acompanhando o valor de $Teta$.

Figura 11 Detecção de frequência do NRF-PLL e frequência da rede.

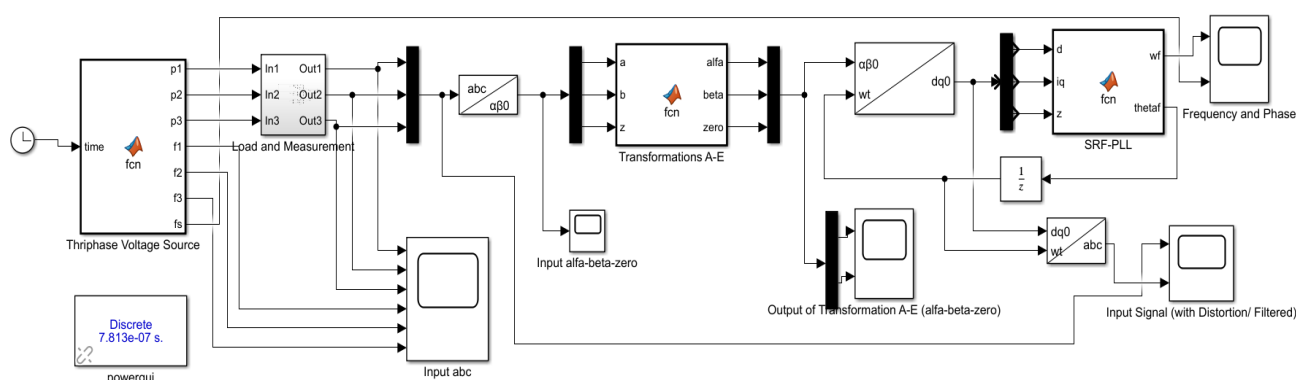


Na Figura 11, podemos observar a frequência de saída do NRF-PLL (W) e a frequência da rede (f_s), apesar do erro do controlador PI nos primeiros ciclos, o erro estacionário é reduzido, também sendo bastante eficaz para filtragem do sinal de entrada.

3.2 IMPLEMENTAÇÃO DO GDSC-PLL NO MATLAB/SIMULINK

Como a função transferência do GDSC-PLL é similar à do NRF-PLL, a análise da resposta em degrau e do diagrama de Bode. Neste tópico somente será abordado a resposta de saída do sistema implementado no Simulink, com os scripts implementados no Matlab, a Figura 12 apresenta o diagrama de blocos do sistema implementado no Simulink.

Figura 12 Diagrama de blocos do GDSC-PLL implementado no Simulink.



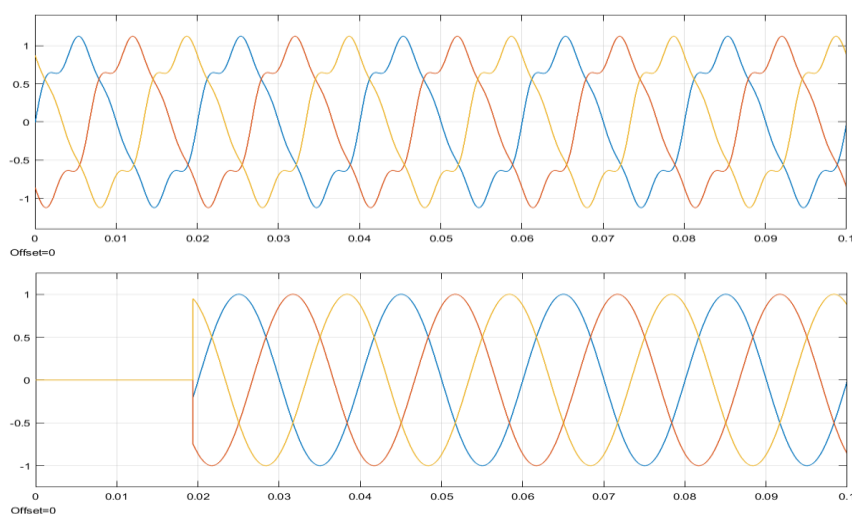
Como podemos observar na Figura 12, da esquerda para a direita, a fonte de tensão trifásica é criada através de um script no Matlab, igual ao sistema no NRF-PLL, para cada uma das fases do sinal de entrada abc . O sinal trifásico passa por um sistema de medição que tem como frequência de amostragem de 256 pontos por período, em um sistema de 50 Hz. Em sua saída há um osciloscópio responsável por visualizar a diferença entre o sinal de entrada distorcido e somente a componente fundamental.

Após as medições, o sinal abc é transformado para $\alpha\beta 0$, acompanhado de um osciloscópio para visualizar a transformação em outro sistema, e em seguida o sinal é entrada de outro bloco de função para realizar todas as cinco transformações A, B, C, D e E, para filtragem do sinal, e logo há um osciloscópio para ver o sinal alfa-beta-zero filtrado. Após as operações aritméticas, esse sinal é a entrada de um bloco de transformação $\alpha\beta 0$ para $dq0$, que é entrada do SRF-PLL, tendo como saída a frequência e a fase do sinal de entrada filtrado. Logo abaixo, há também um osciloscópio onde é possível visualizar o sinal de entrada com distorção e compará-lo com o sinal filtrado após as operações no GDSC-PLL.

3.2.1 RESPOSTA EM FREQUÊNCIA DO GDSC-PLL

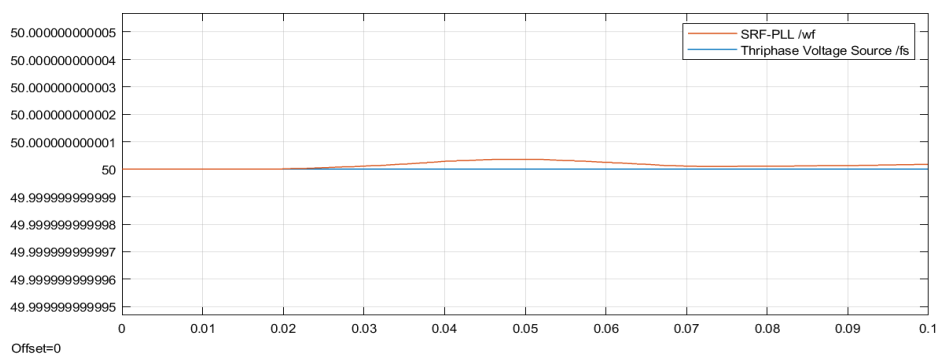
Para observar a resposta em frequência do GDSC-PLL com efeito de comparação à análise feita anteriormente ao NRF-PLL, será adotado um SRF-PLL com PI ajustados para $w_n = 40 \text{ rad/s}$ e $\xi = 0,8$, e com a tensão de entrada de 50 Hz distorcida em 10% pelo quarto harmônico (200 Hz) e 10% do quinto harmônico (250 Hz), a Figura 13 apresenta o sinal de entrada distorcido e o sinal de saída filtrado.

Figura 13 Sinal trifásico p.u. de entrada e sinal na saída do GDSC-PLL.



Na parte superior da Figura 13 é possível observar a tensão trifásica de entrada com distorção harmônica, e logo abaixo o sinal filtrado pelo GDSC-PLL. Nota-se que as $\left(\frac{31}{32}\right) * 256$ amostras iniciais são utilizadas para inicialização do sistema, devido às operações matemáticas exigidas, logo o sinal da saída do PLL deve ser ignorado nessa faixa. Na figura 13, observa-se o rastreamento da frequência. Vale ressaltar que na legenda é apresentado o nome SRF-PLL pelo fato do bloco de sincronismo da frequência ser um SRF-PLL que é parte integrante do sistema do GDSC-PLL.

Figura 14 Frequência rastreada e frequência da rede.



O sistema do GDSC-PLL demonstra-se bastante estável quando não há variação de frequência no sistema, detectando a frequência da rede de maneira eficiente, conforme demonstrado na Figura 14, apresentando rapidez e precisão.

3.3 SIMULAÇÕES COMPUTACIONAIS DOS DOIS MÉTODOS SOB DIFERENTES CONDIÇÕES DE OPERAÇÃO

Em um primeiro momento foi realizada a análise do algoritmo NRF-PLL com PI ajustados para $w_n = 40 \text{ rad/s}$ e $\xi = 0,8$, com harmônicos de amplitude de 10% da tensão de entrada no quarto harmônico (200 Hz) e 10% do quinto harmônico (250 Hz). Logo em seguida, aplicou-se a mesma metodologia para o GDSC-PLL, com seu SRF-PLL ajustado nos mesmos parâmetros PI.

As fontes trifásicas utilizadas são as mesmas tanto para o algoritmo do NRF-PLL e do GDSC-PLL, com parâmetros ajustados igualmente para possibilidade de comparação correta das duas técnicas. Para realizar as variações de frequência, tensão e faltas na rede (curtos-circuitos), foi utilizado um algoritmo implementado dentro da fonte de alimentação apresentada nos diagrama de blocos.

Como base comparativa para as medições de variação de frequência e tensão dos algoritmos de NRF-PLL e GDSC-PLL, foi realizada a medição inicial para um sistema de 50 Hz e tensão de entrada de 400 V em sua componente fundamental. Além disso, essa tensão de entrada é distorcida por seu quarto e quinto harmônico, ambos com magnitude de tensão de 10% da fundamental. A medição realizada pelo algoritmo NRF-PLL pode ser vista pela Figura 15 e pelo GDSC-PLL na Figura 16.

Vale ressaltar que a oscilação inicial do NRF-PLL para encontrar da fase da rede não impacta no controle de um sistema físico, pois esse somente aparece na inicialização do sistema, em torno de 0,2 s. Logo, deve ser desconsiderado nas análises em circuitos já em funcionamento.

Figura 15 Medição de frequência com valores fixos de entrada de tensão e frequência - NRF-PLL.

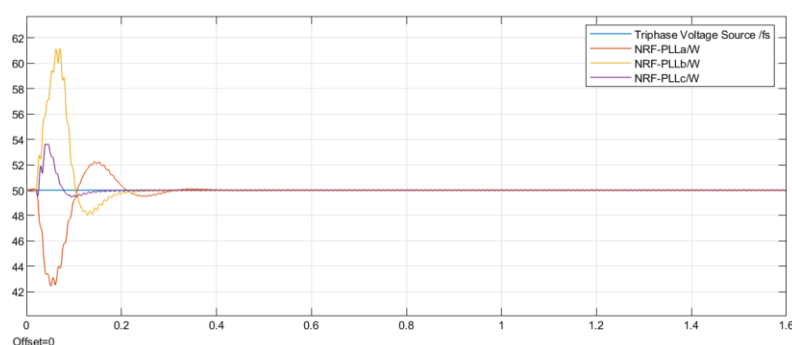
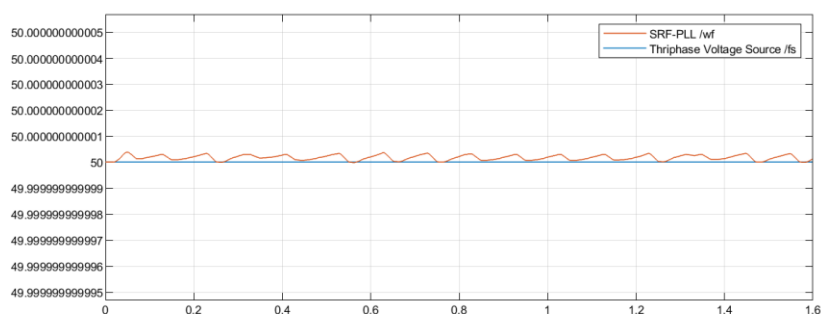


Figura 16 Medição de frequência com valores fixos de entrada de tensão e frequência - GDSC-PLL.



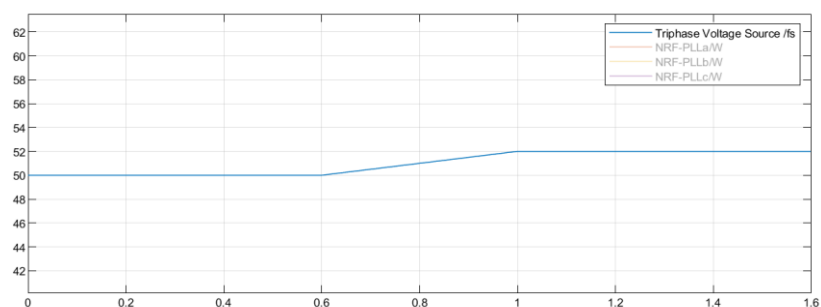
No gráfico da Figura 15, f_s representa a frequência de entrada do sistema e os outros três sinais, cada uma das frequências medidas de cada componente da fonte trifásica de entrada, com letra final a , b ou c , medidas no NRF-PLL. Na Figura 16, f_s representa também a frequência de entrada da fonte trifásica, e wf é a frequência trifásica medida pelo GDSC-PLL.

Como é possível observar, o NRF-PLL tem maior oscilação nos vinte primeiros ciclos de rastreamento inicial da frequência, já no GDSC-PLL é realizado rapidamente. Além disso, também é possível observar que o ângulo de fase inicial no sistema é importante para detecção de frequência sem oscilação inicial, por isso vê-se que cada uma das três fases obtém diferentes erros nos primeiros ciclos.

3.4 VARIAÇÕES DE FREQUÊNCIA DA FONTE TRIFÁSICA

Na variação de frequência utilizou-se uma fórmula para variá-la linearmente, onde os parâmetros de entrada são o tempo inicial e final para realizar essa variação e a magnitude da frequência antes e depois da variação. Por exemplo, num sistema onde frequência da fundamental inicial é de 50 Hz, onde se deseja chegar a 52 Hz da fundamental linearmente, entre os instantes 0,6 a 1,0 s, obteríamos o gráfico de variação de frequência da Figura 17.

Figura 17 Variação de frequência da fonte trifásica.



Lembrando que, os harmônicos gerados são sempre múltiplos do valor atual de frequência, logo o quarto e quinto harmônico que possuem 10% da amplitude da tensão de entrada são sempre referências à frequência da fundamental instantânea.

Como todos os experimentos desta seção consideram as mesmas condições iniciais da fonte, e a variação dos parâmetros de frequência só ocorrem dentro dos valores de tempo estabelecidos, pode-se desconsiderar neste momento a análise da oscilação inicial do NRF-PLL, pois a mesma é idêntica em todos os casos abordados.

3.4.1 RESPOSTA À VARIAÇÃO DE FREQUÊNCIA

Em primeiro caso, nas Figura 18 e 19, variou-se a frequência de 50 a 52 Hz, com tempo inicial de rampa de 0,4 s e tempo final de 0,8 s. Neste caso a fundamental da tensão foi fixa em 400 V do começo ao final da amostragem, com o quarto e quinto harmônico a 10% da tensão da fundamental.

Figura 18 Rastreamento de frequência com variação rápida da frequência 50 a 52 Hz - NRF-PLL.

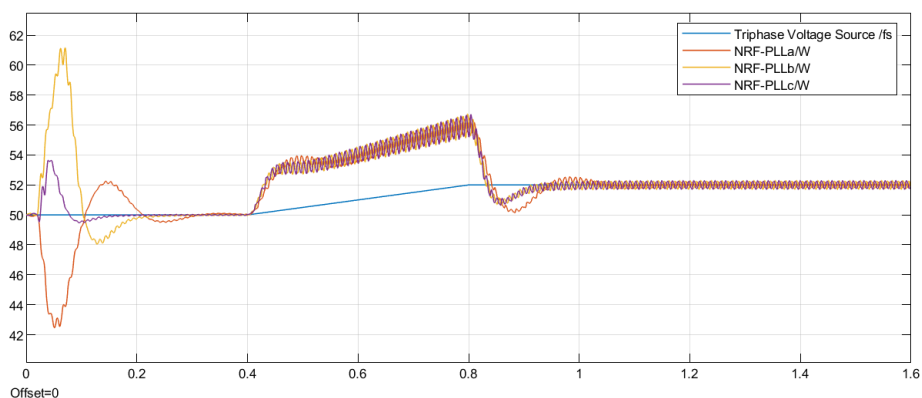
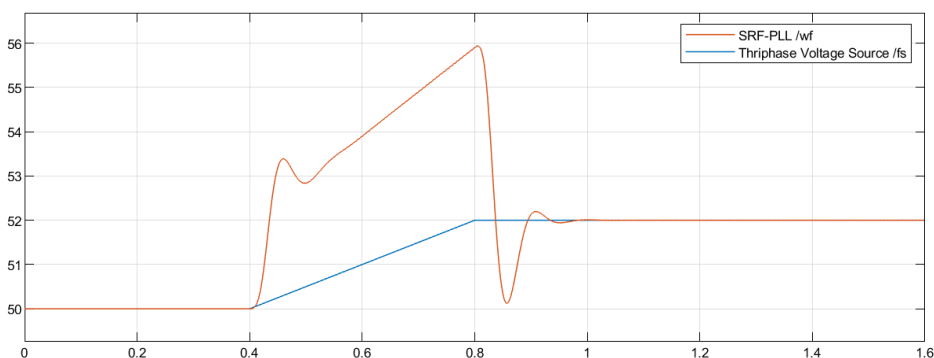


Figura 19 Rastreamento de frequência com variação rápida da frequência 50 a 52 Hz - GDSC-PLL.



Como é possível observar, os dois PLLs apresentam um erro relativamente igual na detecção da variação de frequência, porém o NRF-PLL se apresenta mais oscilatório na detecção de uma frequência diferente da estipulada inicialmente no algoritmo (50 Hz). A oscilação apresentada no NRF-PLL é de ± 0.2 Hz no estacionário do caso observado.

Nas Figura 20 e 21, realizou-se a variação da frequência de 50 a 48 Hz, com tempo inicial de rampa de 0,4 s e tempo final de 0,8 s. A fundamental da tensão também foi fixa em 400 V e utilizou-se o mesmo critério anterior para o quarto e quinto harmônico.

Figura 20 Rastreamento de frequência com variação rápida da frequência 50 a 48 Hz - NRF-PLL.

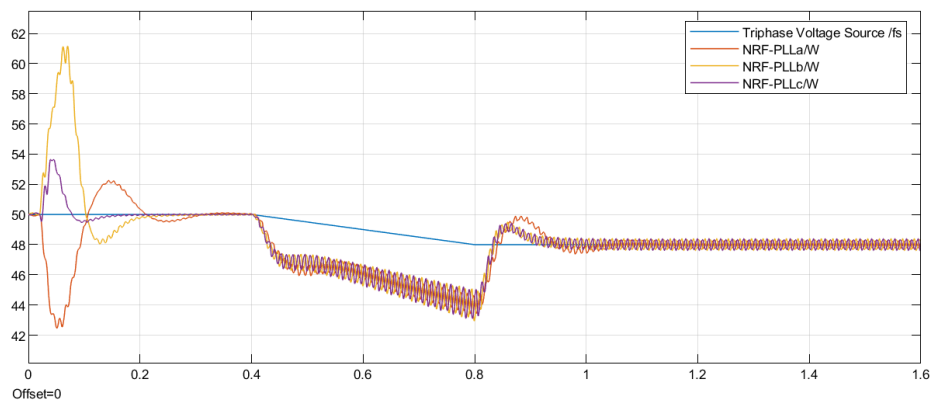
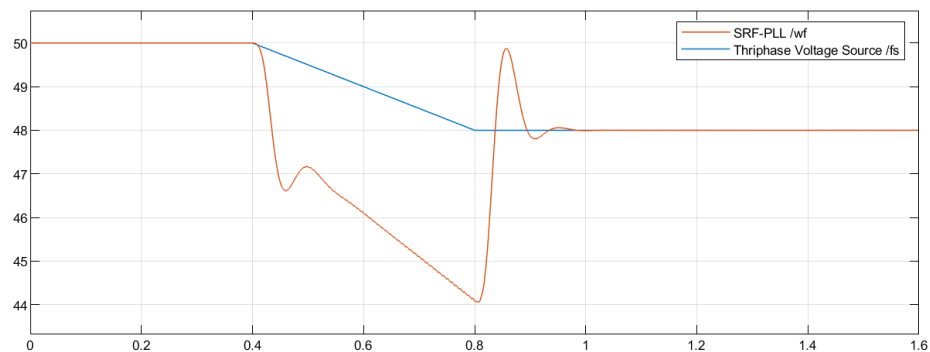


Figura 21 Rastreamento de frequência com variação rápida da frequência 50 a 48 Hz - GDSC-PLL.



É possível observar que as curvas das Figuras 18 e 20 são simétricas e espelhadas, assim como nas Figuras 19 e 21, logo não há uma influência significativa visível em casos de redução ou elevação da frequência da rede, referentes à detecção de frequência pelo NRF-PLL. O grande problema é que realmente há um erro proporcional enquanto a rede varia de frequência, ocorrendo nas duas metodologias empregadas. É importante também ressaltar que as escalas dos gráficos dos dois métodos são diferentes, então deve-se observar caso a caso.

Para a terceira situação, das Figuras 22 e 23, foi realizada variação da frequência de 50 Hz a 52 Hz, porém com tempo inicial de rampa de 0,4 s e tempo final de 1,0 s. A tensão da fundamental também foi fixada em 400 V e utilizou-se o mesmo critério para o quarto e quinto harmônico.

Figura 22 Rastreamento de frequência com variação lenta da frequência 50 a 52 Hz - NRF-PLL.

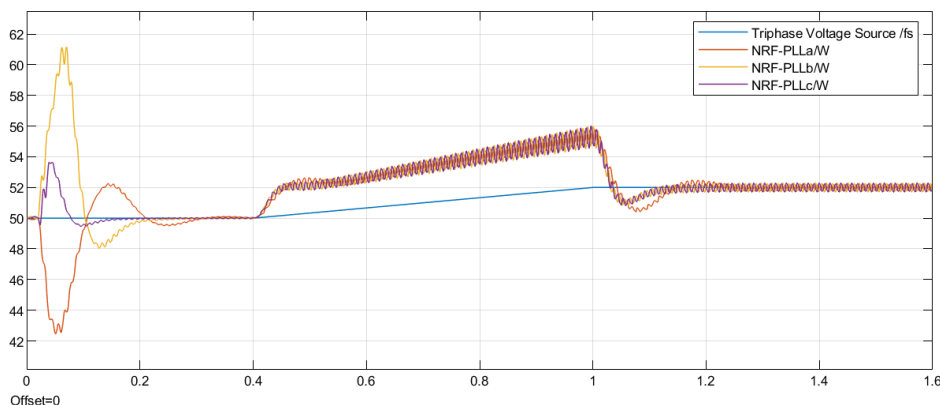
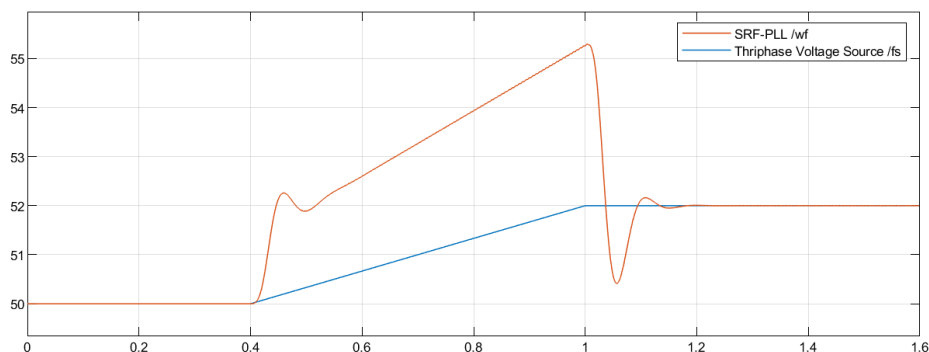


Figura 23 Rastreamento de frequência com variação lenta da frequência 50 a 52 Hz - GDSC-PLL.



No caso das Figura 22 e 23, onde é simulado uma variação mais lenta da frequência na rede, também é possível observar que o erro de medição não difere consideravelmente do caso da Figura 18 e 19. Logo, a velocidade de variação da frequência no intervalo aqui estudado não produz erro significativo para o resultado final, somente seria observada essa maior variação em casos de mudança abrupta de frequência, pelo próprio comportamento dos controladores utilizados. Apesar desse maior erro, geralmente em casos reais a frequência varia lentamente e em rampa.

3.5 VARIAÇÕES DE TENSÃO DA FONTE TRIFÁSICA

Nas variações de tensão foi utilizada uma fórmula para variá-la linearmente, onde os parâmetros de entrada são o tempo inicial e final para realizar essa variação e a sua magnitude anterior e após.

3.5.1 RESPOSTA À VARIAÇÃO DE TENSÃO

No primeiro caso, nas Figura 24 e 25, variou-se a tensão de 400 a 600 V, com tempo inicial de rampa de 0,6 s e tempo final de 1,0 s. Neste caso a frequência da fundamental foi fixa em 50 Hz do começo ao final da amostragem, com o quarto e quinto harmônico a 10% da tensão da fundamental.

Figura 24 Rastreamento de frequência com variação da tensão de 400 a 600 V - NRF-PLL.

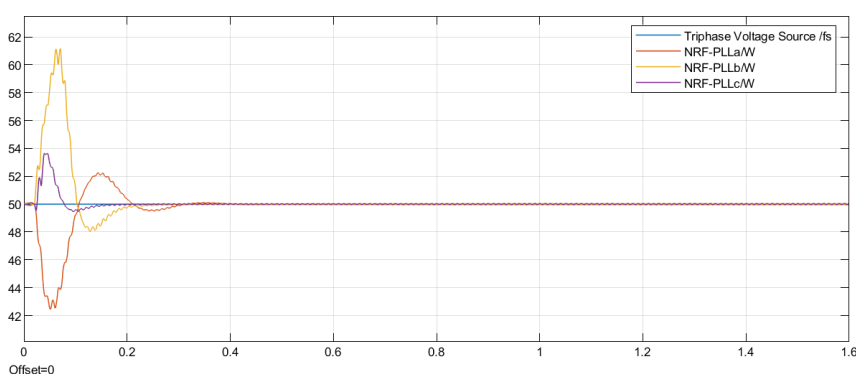
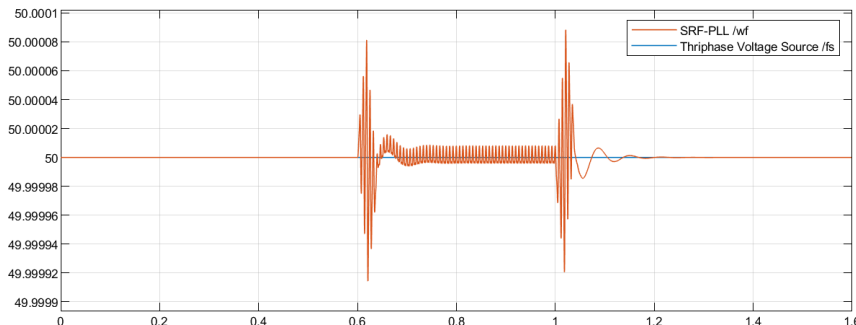


Figura 25 Rastreamento de frequência com variação da tensão de 400 a 600 V - GDSC-PLL.



Desconsiderando a inicialização do NRF-PLL, é possível observar que os dois PLLs apresentam praticamente erro nulo na detecção de frequência a partir da variação da tensão. Nesse caso de variação positiva não foi encontrado um erro alto mesmo em aumentos de 200% da tensão da fundamental, e proporcionalmente seus harmônicos. Somente tornando um pouco mais oscilatório o valor estacionário do GDSC-PLL, por diferir na razão do valor p.u. inserido no código do PLL.

Em um segundo momento, nas Figura 26 e 27, variou-se a tensão de 400 a 200 V, com tempo inicial de rampa de 0,6 s e tempo final de 1,0 s. Neste caso a frequência da fundamental foi fixa em 50 Hz do começo ao final da amostragem, com o quarto e quinto harmônico a 10% da tensão da fundamental.

Figura 26 Rastreamento de frequência com variação da tensão de 400 a 200 V - NRF-PLL.

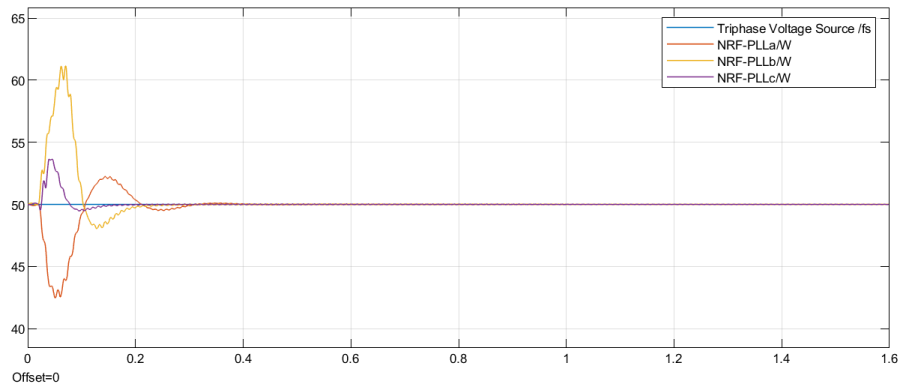
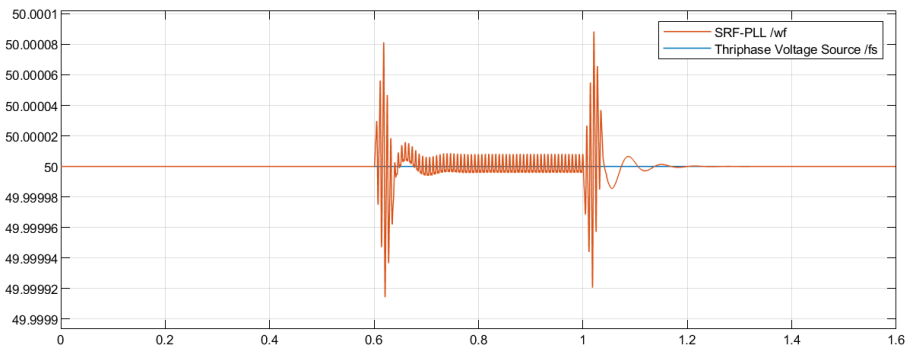


Figura 27 Rastreamento de frequência com variação da tensão de 400 a 200 V - GDSC-PLL.



É possível destacar os mesmos pontos que a análise realizada no item anterior para os dois PLLs, como vemos seu comportamento não se altera muito em função da variação da tensão da rede, mesmo que decremental.

No terceiro caso, das Figura 28 e 29, variou-se a tensão de 400 a 0 V, com tempo inicial de rampa de 0,6 s e tempo final de 1,0 s. Neste caso a frequência da fundamental foi fixa em 50 Hz do começo ao final da amostragem, com o quarto e quinto harmônico a 10% da tensão da fundamental.

Figura 28 Rastreamento de frequência com variação da tensão de 400 a 0 V - NRF-PLL.

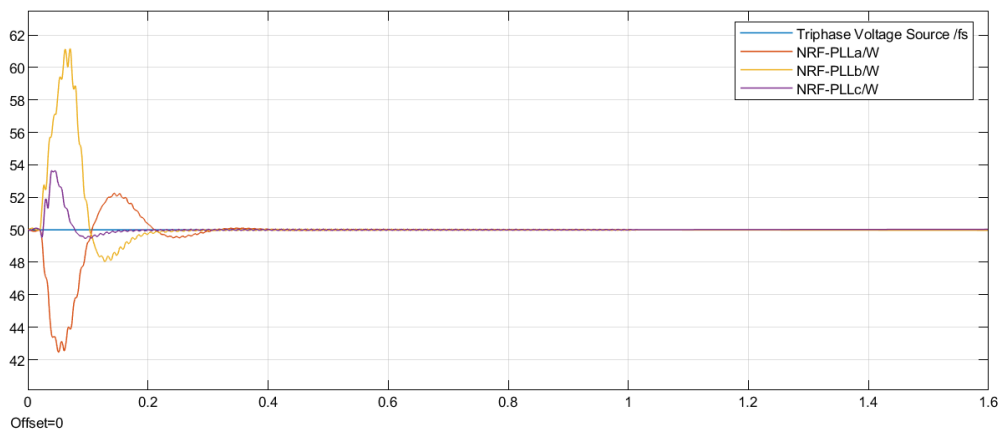
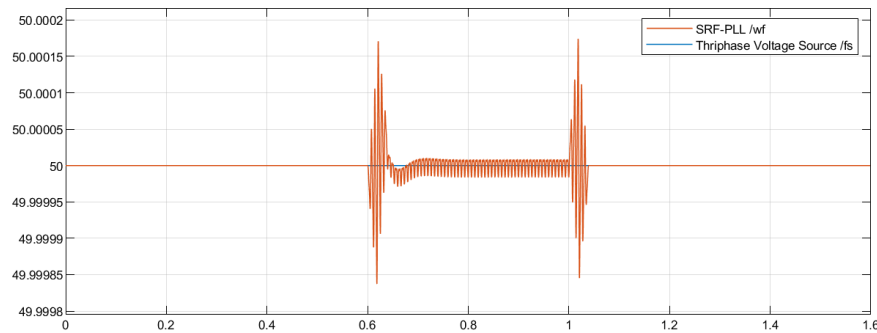


Figura 29 Rastreamento de frequência com variação da tensão de 400 a 0 V - GDSC-PLL.



No caso de variação da tensão da rede até 0V, não vemos um erro perceptível durante essa transição, porém é possível observar que o valor da frequência se mantém constante em 50 Hz, mesmo quando não há tensão no sinal da fonte de entrada. Isso é um erro simples que deve-se a construção do algoritmo dos dois PLLs, pois não foi inserida uma condição de exceção para casos de tensão de entrada nula.

3.6 VARIAÇÕES EM CASOS ESPECIAIS NA FONTE TRIFÁSICA

Nesta etapa, foi realizada o teste sobre casos especiais, onde ocorrem faltas na rede elétrica, outras juntamente a variações de frequência e tensão, ou somente variações na frequência e tensão. Analisou-se as respostas dos dois PLLs a estes casos.

3.6.1 RESPOSTA À FALTA NA REDE

Nas variações em caso de faltas na rede elétrica utilizou-se de um algoritmo que varia a tensão da fonte trifásica a 0 V, em degrau, durante um intervalo de tempo estabelecido entre os parâmetros de tempo inicial e final.

No caso de análise, o sistema tem sua tensão da fundamental fixa em 400 V, ocorrendo a falta entre os instantes 0,4 a 1,0 s, com quarto e quinto harmônico ajustados para 10% da fundamental. A resposta dos PLLs analisados pode ser observada pelas Figuras 30 e 31.

Figura 30 Rastreamento de frequência com faltas na rede - NRF-PLL.

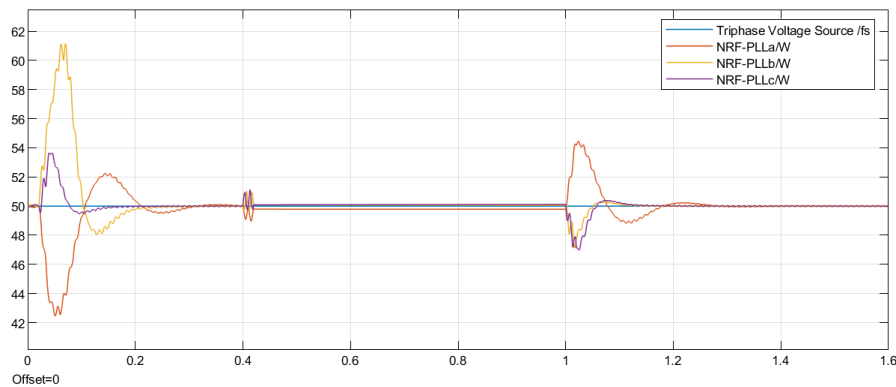
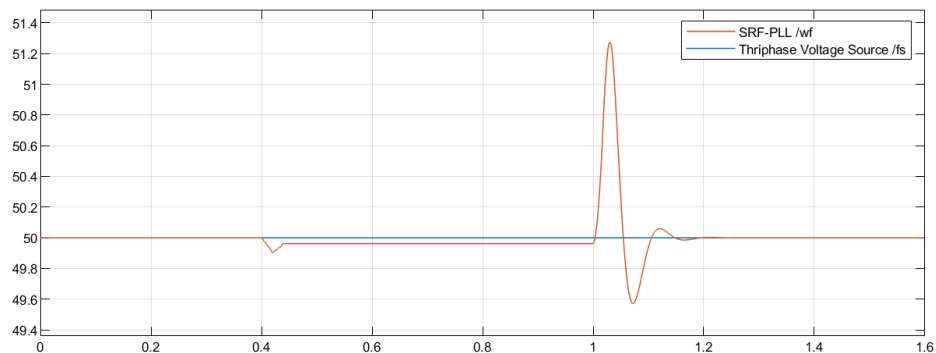


Figura 31 Rastreamento de frequência com faltas na rede - GDSC-PLL.



Neste caso, onde ocorre o rastreamento de frequência em condições de falta de tensão na rede, os dois PLLs sofrem uma distorção. Em primeiro momento, na ocorrência da falta há uma oscilação inicial dos dois PLLs, que logo se mantém em um valor fixo próximo da frequência rastreada, apesar da tensão da fonte ser nula. O maior erro ocorre durante a variação de 0 a 400 V no final da falta, na retomada do sistema, onde há uma maior variação no NRF-PLL do que no GDSC-PLL, porém logo se estabilizam ao valor de referência com pouca oscilação.

3.6.2 RESPOSTA À VARIAÇÃO DE TENSÃO E FREQUÊNCIA

No sistema analisado, a tensão da fundamental inicia em 400 V e se deseja chegar a 600 V, entre os instantes 0,4 a 1,0 s, com a frequência também variando de 50 a 52 Hz nesse mesmo intervalo linearmente, obtemos o gráfico das Figuras 32 e 33. Ressalta-se que as harmônicas de quarta e quinta ordem estão definidas a 10% do valor instantâneo da tensão da fundamental.

Figura 32 Rastreamento de frequência com variações de tensão e frequência na rede - NRF-PLL.

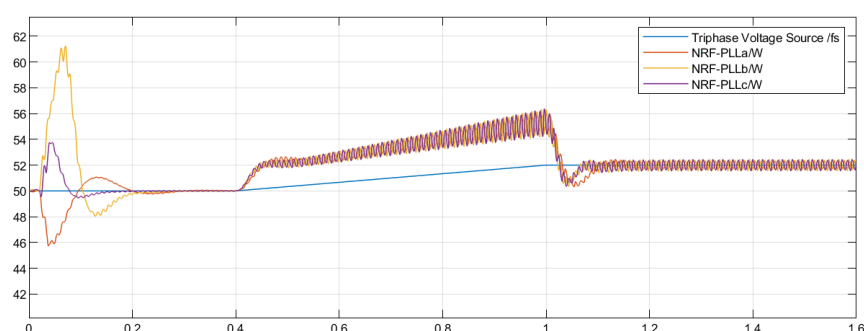
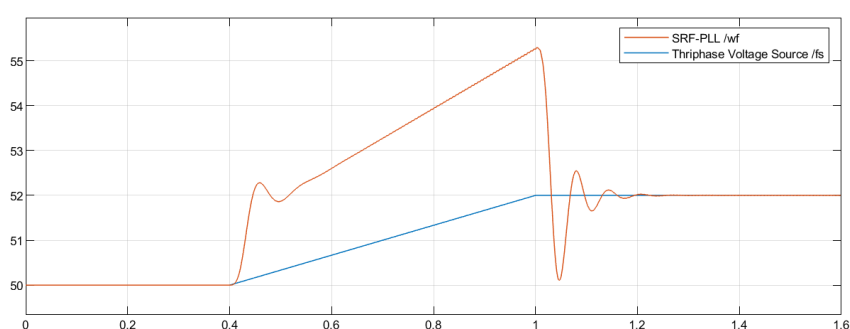


Figura 33 Rastreamento de frequência com variações de tensão e frequência na rede - GDSC-PLL.



Neste caso, no qual ocorre o rastreamento de frequência em condições de variação de frequência e de tensão na rede, verificamos que o sistema comporta-se próximo ao sistema de variação lenta da frequência nas Figuras 22 e 23. A única diferença que se observa é um regime mais oscilatório na obtenção do valor de frequência pela variação, porém podemos concluir que a diferença de tensão não tem grande influência na detecção do valor de frequência final pelos dois algoritmos, em especial nas situações analisadas aqui nesta seção.

3.6.3 RESPOSTA À MÚLTIPLAS VARIAÇÕES E FALTA NA REDE

A variação de tensão e frequência, utilizou da mesma fórmula da seção anterior para variar os parâmetros linearmente, onde são inseridos tempo inicial e final e a magnitude anterior e após. A fonte também é ajustada de maneira similar ao caso anterior, a diferença é que nesse sistema, Figura 34, há a ocorrência de uma falta dentro do intervalo de 0,6 a 0,8 s. Nas Figuras 35 e 36 é possível observar a reação dos dois PLLs aos eventos ocorrendo concomitantemente.

Figura 34 Variação de tensão, frequência e falta no algoritmo da fonte trifásica.

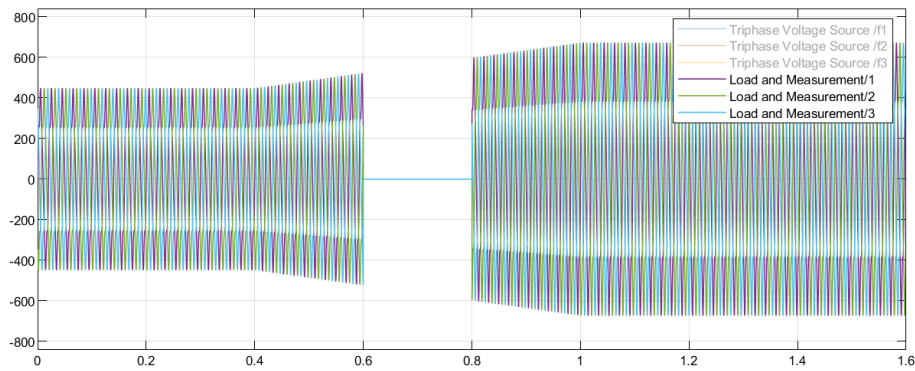


Figura 35 Rastreamento com variações de tensão, frequência e falta na rede - NRF-PLL.

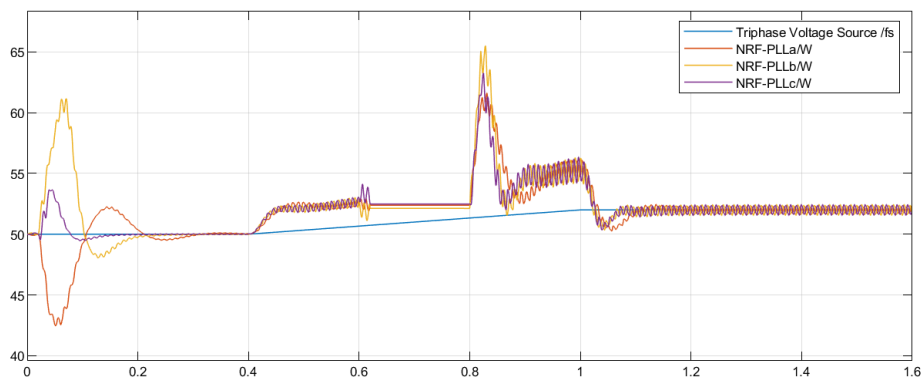
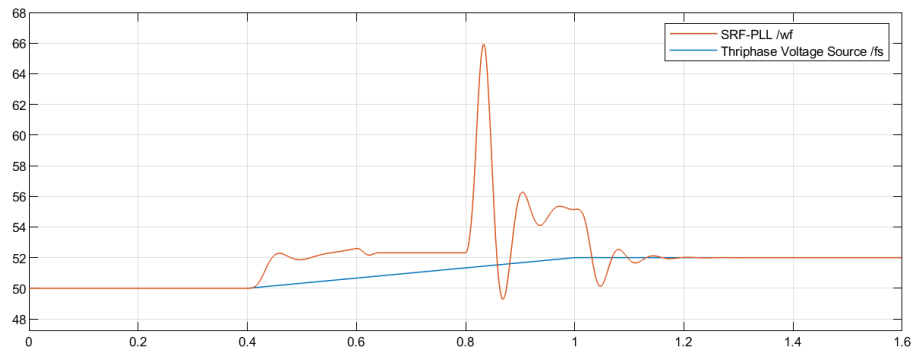


Figura 36 Rastreamento com variações de tensão, frequência e falta na rede - GDSC-PLL.

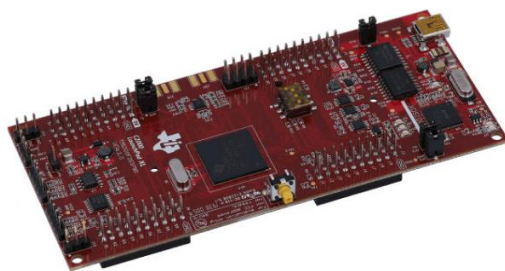


Nestes dois casos, onde se varia muito dos parâmetros da fonte de entrada, é possível observar que a detecção de frequência se torna mais instável, com maiores erros de pico no GDSC-PLL, porém com menor erro de oscilação quando referente ao NRF-PLL. É possível observar cada fase separada obtendo sua influência no rastreamento de frequência, todas dos casos analisados anteriormente. É importante também salientar que o NRF-PLL varia bastante sua eficiência dependendo da fase de entrada dentro do algoritmo, por isso em todos os casos observamos uma variação na detecção de frequência dependendo da fase analisada da senoidal

4 RESULTADOS EXPERIMENTAIS

Nesta etapa foi realizada a implementação dos algoritmos de rastreamento no *LAUNCHXL-F28379D* da Texas Instruments, utilizando os blocos do Simulink e scripts do Matlab. O dispositivo utilizado, a TMS320F28379D é uma ferramenta de avaliação e desenvolvimento baseada em controlCARD da HSEC180 para os produtos de microcontroladores C2000™ Delfino™ F2837x e Piccolo F2807x. Na Figura 37 pode-se observar a placa utilizada.

Figura 37 Imagem de um LAUNCHXL-F28379D.



4.1 FONTE PROGRAMÁVEL E SISTEMA DE MEDIÇÃO

A fonte programável utilizada foi a 4500Ls da California Instruments, a qual foi conectada à rede trifásica de 220 V a 60 Hz, que pode ser vista na Figura 38. Na figura também é possível ver o sistema condicionador e a conexão com o sistema de medição.

Figura 38 Fonte à esquerda e condicionador ao meio e sistema à direita, no laboratório GASL.



Para medição dos sinais da fonte de tensão, realizamos o condicionamento de sinal para o nível de tensão de entrada do DSP (3.3 V). Para as medições, foi utilizado um osciloscópio MSO 2014 da

Tektronix, que apresenta o sinal de saída da fonte (entrada 1), a senoide unitária em quadratura (entrada 2) e em fase (entrada 3), além da detecção do ângulo de fase (entrada 4).

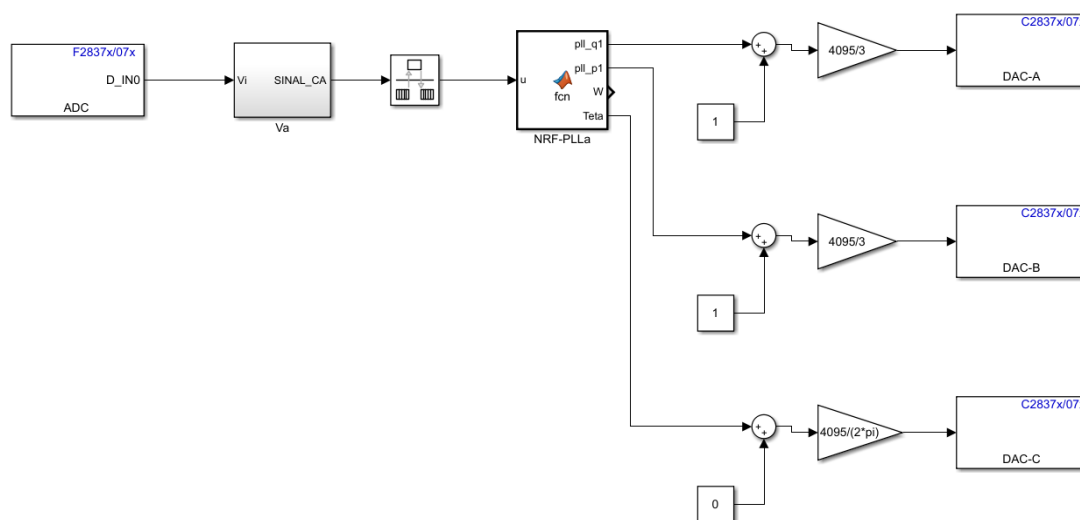
4.2 IMPLEMENTAÇÃO DO NRF-PLL NO DSP FS28379D

Neste tópico será abordada a implementação do algoritmo NRF-PLL no DSP FS28379D a fim de testar e validar o mesmo sob diferentes condições de operação. Em um ambiente físico. Em um primeiro momento foi utilizado um gerador de sinais e, em seguida, com a fonte programável do laboratório.

4.2.1 TESTES NRF-PLL COM GERADOR DE SINAIS

Implementou-se o NRF-PLL monofásico, no qual utilizou-se uma entrada ADC (D_IN0) e as 3 saídas DAC (A , B e C), os pinos analógicos nessa sequência, conforme datasheet, são para o ADC: 28, e para o DAC: 9, 11, 14. Neste caso, foi realizada a escolha do módulo D do conversor ADC para evitar conflito com outros pinos do DAC. O Diagrama de blocos utilizados é apresentado na Figura 39.

Figura 39 Diagrama de blocos do NRF-PLL monofásico implementado no F28379D.



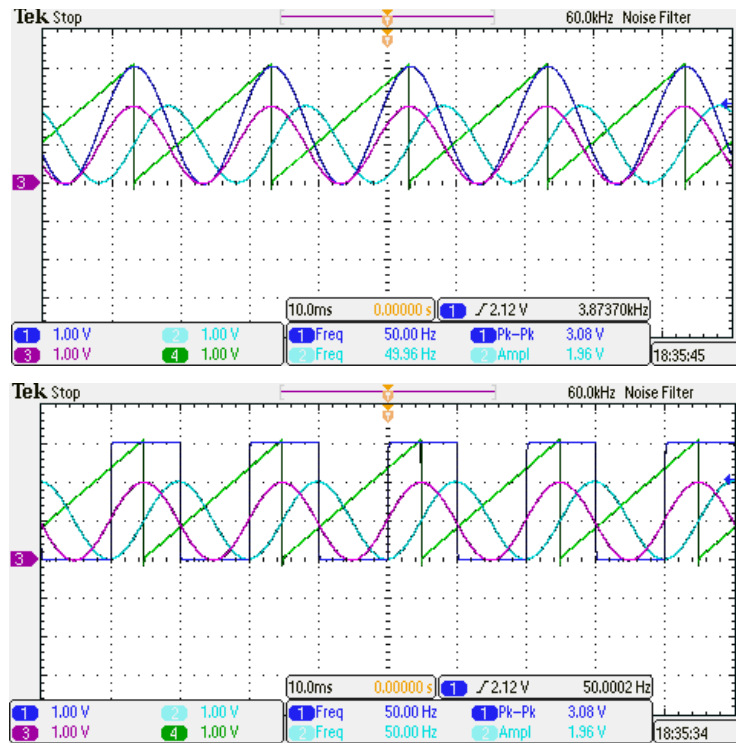
Na Figura 39 foi apresentado o diagrama de blocos utilizado para rastreamento da frequência pelo PLL, da esquerda para direita pode-se observar o bloco ADC de aquisição da fase de entrada, em

seguida é realizado ajustes para melhor aquisição dos dados, como offset para o sinal alternado e ajuste de ganhos.

Em sequência, o sinal passa pelo bloco NRF-PLLa, que é um script feito no Matlab, responsável por operar com o sinal de entrada externo em valor p. u. e obter em sua saída a frequência (W), o argumento ($Teta$), a senoide unitária em fase (pll_p1) e em quadratura (pll_q1) com o sinal de entrada.

Logo após, é realizado um offset para ajustar o sinal de saída corretamente e um ganho dependendo da variável observada, pois o DAC aceita como entrada um número entre 0 e 4095, sendo o valor máximo o limite de saída utilizado por segurança de 3 V. A Figura 40 apresenta uma simulação realizada para obter informações do sinal de entrada.

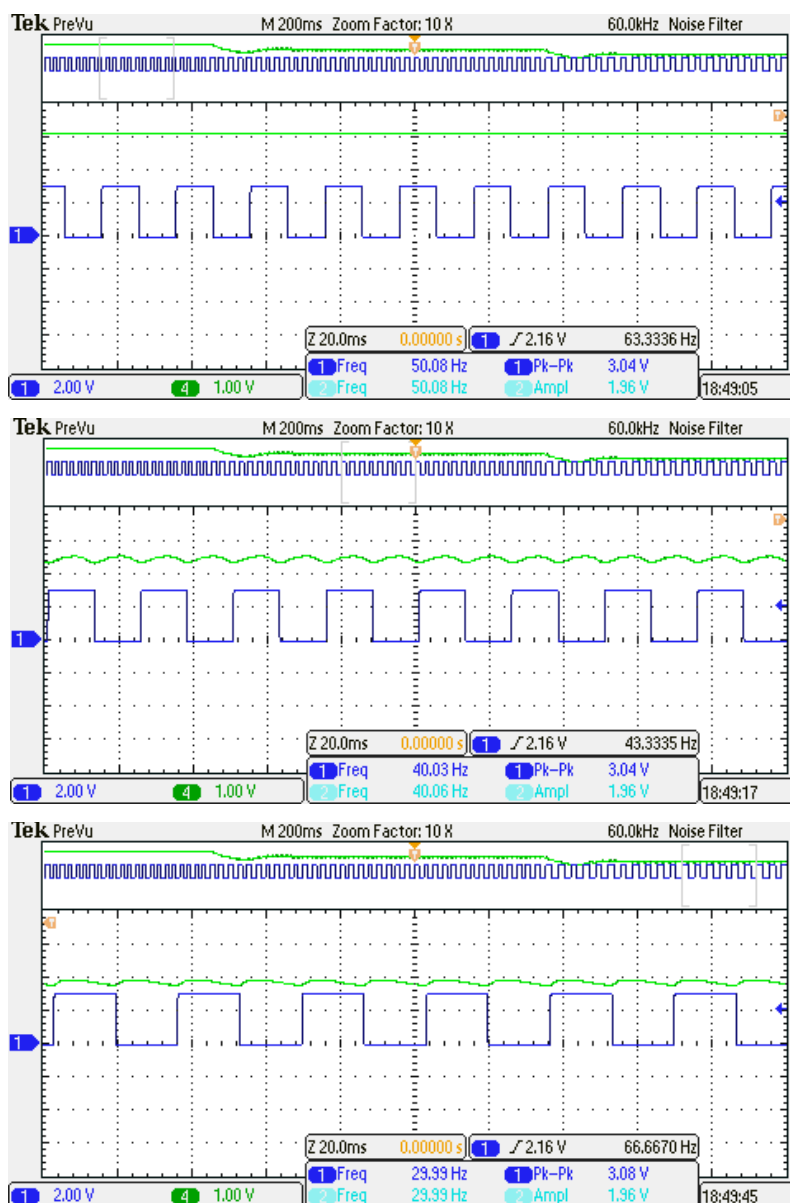
Figura 40 Detecção de ângulo de fase através do NRF-PLL.



Para as medições realizadas na Figura 40 foi utilizado um osciloscópio MSO 2014 da Tektronix, no qual é apresentado o sinal de saída do gerador (entrada 1), a senoide unitária em quadratura (entrada 2) e em fase (entrada 3), além da detecção do ângulo de fase (entrada 4). Os ajustes do controlador PI foram de $K_p = 64$ e $K_I = 1600$, a fim de simular as mesmas condições obtidas na seção anterior, com coeficiente de amortecimento $\xi = 0,8$ e frequência de corte $\omega_n = 40 \text{ rad/s}$.

Como pode-se observar, na tela superior o sinal de entrada é uma senoide pura 50 Hz com amplitude de 3 V, e na parte inferior da Figura 40 o sinal de entrada é uma onda quadrada, uma soma de senoides e cossenoides, a fim de observar a melhor filtragem do sinal. Como é possível observar, o argumento detecta corretamente a frequência de entrada e as senoides unitárias criadas não são distorcidas. A Figura 41 apresenta a resposta na detecção da frequência sobre variações instantâneas de 50, 40 e 30 Hz.

Figura 41 Detecção da Frequência sob variação em degrau de 50, 40 e 30 Hz, em sequência.



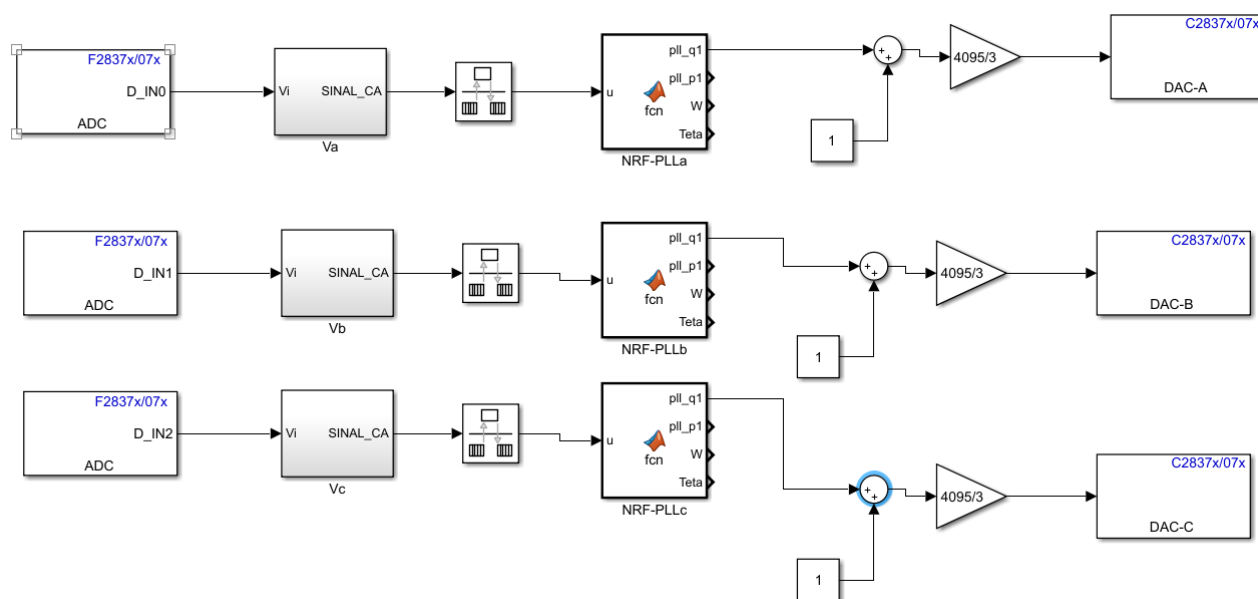
Como pode-se observar na Figura 41, na primeira janela, a ponteira 4 mede 50 Hz está em 3 V, e logo, a cada 0,6 V, sua variação em frequência é de 10Hz. Como pode-se observar a detecção da frequência acompanha rapidamente a variação do sinal de entrada. Na parte superior de cada janela,

com a ampliação de 10x, pode-se observar as 3 fases de variação da frequência, onde percebemos que o sistema demora aproximadamente 10 ciclos, ou 0.2 s para rastrear com a nova frequência.

A senoide gerada em quadratura pelo NRF-PLL (entrada 2) apresenta frequência próxima à frequência de entrada, mesmo com a distorção do sinal de onda quadrado. Também é possível observar que para um valor de frequência distante do valor esperado de 50 Hz, como na terceira janela, há uma oscilação no valor de detecção de frequência em cada ciclo, isso deve-se à diferença da frequência rastreada atual e o valor de referência inicializado no programa, neste caso 50 Hz.

Em um segundo momento, foi implementado o diagrama de blocos do NRF-PLL trifásico implementado no Simulink, apresentado na Figura 42, nesse sistema foram utilizadas 3 entradas ADC (D_IN0 , D_IN1 e D_IN2) e as 3 saídas DAC (A , B e C), os pinos analógicos nessa sequência, conforme datasheet, são para o ADC: 28, 30, 34, e para o DAC: 9, 11, 14. Neste caso também foi realizada a escolha do módulo D do conversor ADC para evitar conflito com outros pinos do DAC.

Figura 42 Diagrama de blocos do NRF-PLL implementado no DSP 28379D.



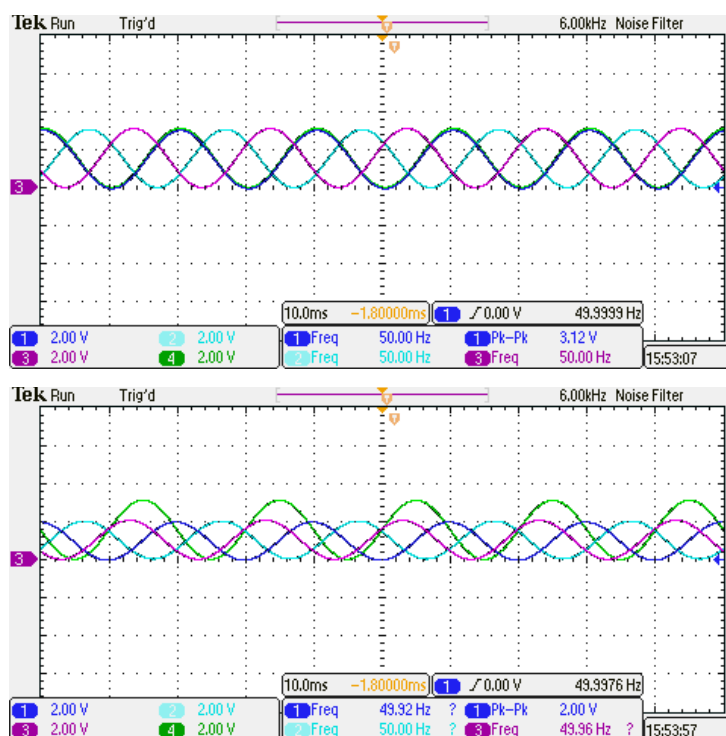
Na Figura 42 foi apresentado o diagrama de blocos utilizado para rastreamento da frequência pelo PLL, da esquerda para direita pode-se observar os blocos ADC de aquisição de cada uma das fases do sinal trifásico, em seguida é realizado ajustes para melhor aquisição dos dados.

Logo em seguida cada uma das fases passa pelo NRF-PLL para obter o sinal senoidal criado pelo algoritmo em quadratura com a entrada (pll_q1), o sinal em fase com a entrada (pll_p1), a

frequência rastreada (W) e o argumento ($Teta$) do sinal de entrada. Por fim é realizado novamente um offset para saída do DAC e ajustes de ganhos.

Devido ao fato de o dispositivo apresentar 3 DAC como saída, realizou-se primeiro um teste para verificar a senoide em quadratura, criada pelo algoritmo para as três fases, e logo em seguida será realizada a verificação do ângulo Teta, consequentemente o rastreamento da frequência, pois a geração do Teta depende da frequência observada dentro do algoritmo. A Figura 43 apresenta os três sinais trifásicos de entrada e as senoides em quadratura de cada fase a, b e c, em sequência.

Figura 43 Sinal de entrada trifásico e senoide unitária em quadratura com as fases a, b e c.

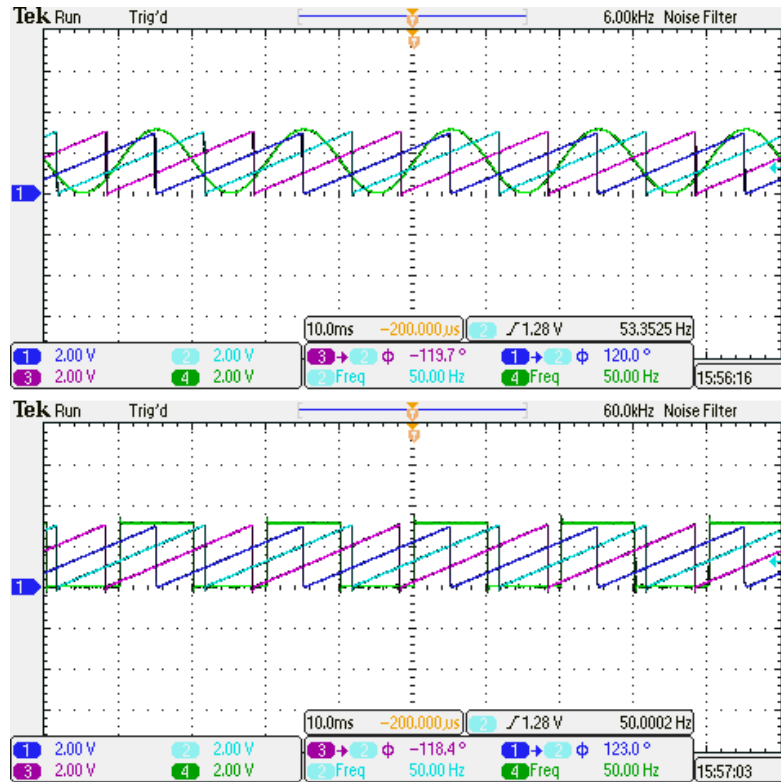


Conforme é possível observar na Figura 43, na tela superior, o sinal de entrada trifásico tem amplitude máxima aproximada de 3 V, o limite estipulado para a entrada deste modelo de DSP, e, logo abaixo, a saída do sinal filtrado em quadratura com cada uma das fases do sinal de entrada. Na tela inferior, tem-se o sinal da entrada trifásica, a fase “a” (entrada 4) e os sinais em quadratura das fases, sendo “qa” (entrada 1), “qb” (entrada 2), “qc” (entrada 3). A Figura 44 apresenta a detecção do argumento de cada uma das fases do sinal trifásico, tanto para a entrada senoidal pura como uma onda quadrada.

O sistema utilizado é o de 50 Hz, com amostragem de 256 pontos por ciclo, utilizando o sistema com fases abc de entrada. Os ajustes do controlador PI utilizados foram de $K_p = 64$ e $K_I = 1600$, a

fim de simular as mesmas condições obtidas anteriormente, com coeficiente de amortecimento $\xi = 0,8$ e frequência de corte $\omega_n = 40 \text{ rad/s}$.

Figura 44 Detecção do ângulo de fase com entrada trifásica senoidal pura e onda quadrada.

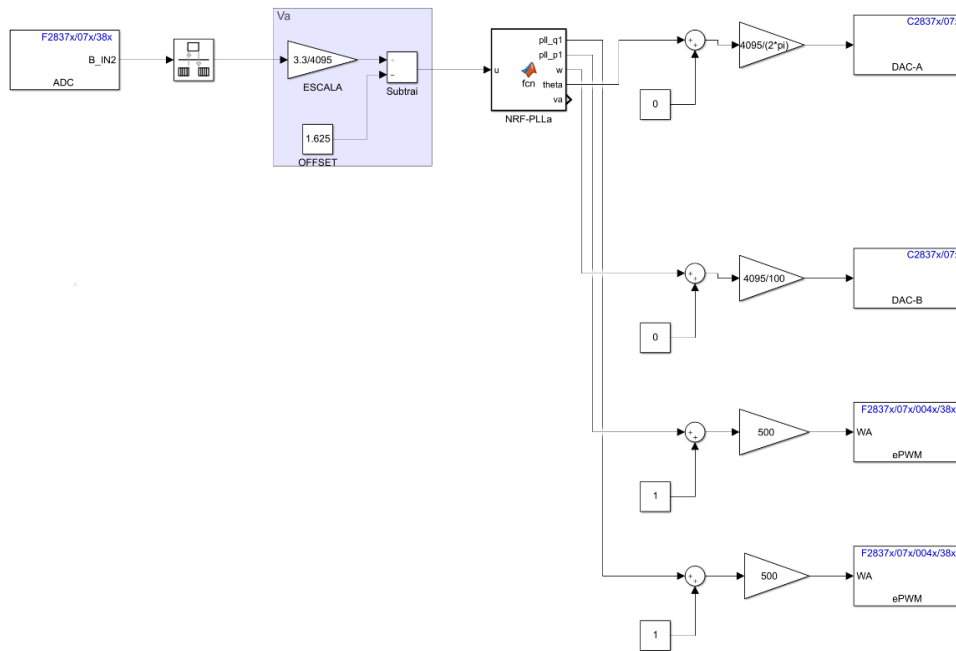


Como é possível observar na Figura 44, na tela superior é possível observar a fase “a” do sinal de entrada trifásico (entrada 4), e o argumento de cada uma das fases em sequência, sendo “*arg_a*” (entrada 1), “*arg_b*” (entrada 2) e “*arg_c*” (entrada 3). Na parte inferior é possível analisar novamente o rastreamento do argumento, porém, com entrada de onda quadrada a fim de analisar a detecção sobre essas condições. Nessa, pode-se observar a fase “a” do sinal de entrada trifásico em onda quadrada (entrada 4), e o argumento de cada uma das fases em sequência, sendo “a” (entrada 1), “b” (entrada 2) e “c” (entrada 3).

4.2.2 TESTES NRF-PLL COM FONTE PROGRAMÁVEL

Neste momento, implementou-se o NRF-PLL monofásico, no qual utilizou-se 1 entrada ADC (*B_IN2*) e as 4 saídas DAC (*A*, *B*, *ePWM7A* e *ePWM8A*). O Diagrama de blocos utilizados é apresentado na Figura 45.

Figura 45 Diagrama de blocos do NRF-PLL monofásico implementado no F28379D.



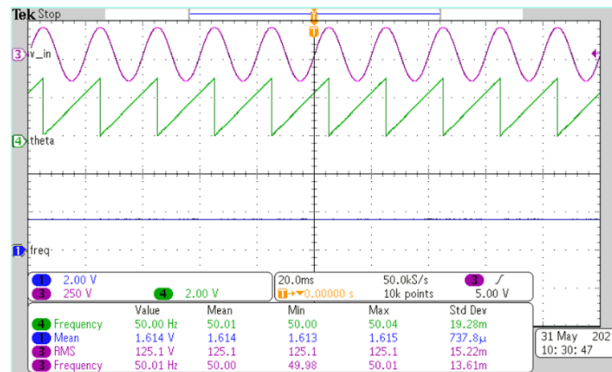
Na Figura 45 foi apresentado o diagrama de blocos utilizado para rastreamento da frequência pelo PLL, da esquerda para direita pode-se observar o bloco ADC de aquisição da fase de entrada, em seguida é realizado ajustes para melhor aquisição dos dados, como offset para o sinal alternado e ajuste de ganhos.

Em sequência, o sinal passa pelo bloco NRF-PLL, que é um script feito no Matlab, responsável por operar com o sinal de entrada externo em valor p. u. e obter em sua saída a frequência (W), o argumento ($Teta$), a senoide unitária em fase (pll_p1) e em quadratura (pll_q1) com o sinal de entrada.

Além disso, também é realizado o offset para ajustar o sinal de saída corretamente e um amplificador ajustado de acordo com a variável observada, pois o DAC aceita como entrada um número entre 0 e 4095, sendo o valor máximo o limite de saída utilizado por segurança de 3 V. A Figura 46 apresenta um teste para obter a frequência do sinal de entrada com uma fonte puramente senoidal, neste caso de 127 V e 50 Hz.

A Ponteira 1 mede a frequência, saída do algoritmo do NRF-PLL, sendo que a 50 Hz tem o valor de 1.65 V. A Ponteira 3 apresenta o sinal da fonte condicionada da entrada e a Ponteira 4 o argumento theta do algoritmo de sincronismo.

Figura 46 Detecção de ângulo de fase através do NRF-PLL.

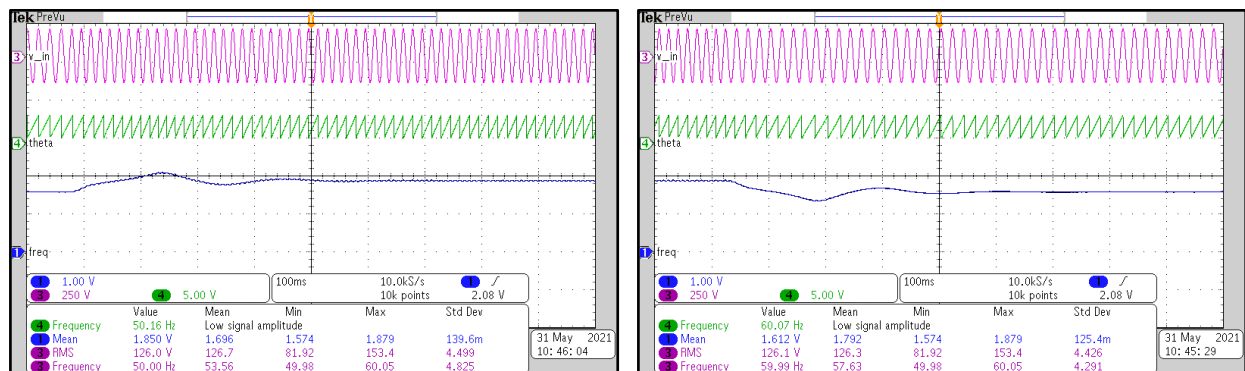


Os ajustes do controlador PI foram de $K_p = 64$ e $K_I = 1600$, com coeficiente de amortecimento $\xi = 0,8$ e frequência de corte $\omega_n = 40 \text{ rad/s}$.

Nas Figuras 47-50 são apresentadas diversas situações de teste para o algoritmo de sincronismo NRF-PLL, que incluem variações em degrau na frequência, tensão e faltas na rede. Os detalhes de configuração da fonte para cada um dos casos podem ser observados no título dos gráficos.

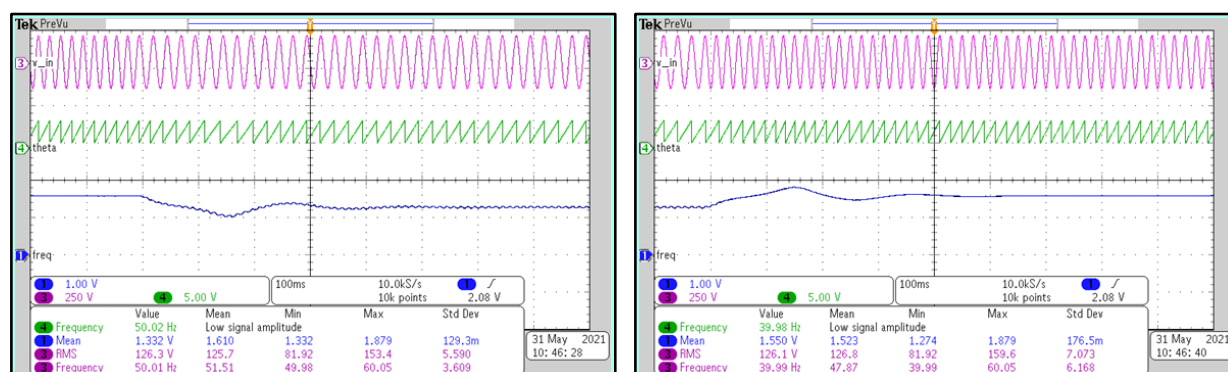
A Ponteira 1 mede a frequência, saída do algoritmo do NRF-PLL, sendo que a 50 Hz tem o valor de 1.65 V, e a cada 0,3 V sua variação em frequência é de 10Hz. A Ponteira 3 apresenta o sinal da fonte condicionada da entrada e a Ponteira 4 o argumento theta do algoritmo de sincronismo.

Figura 47 NRF-PLL - Variação de frequência de 50 a 60 Hz e reverso, fonte fixa a 127 V e senoidal.



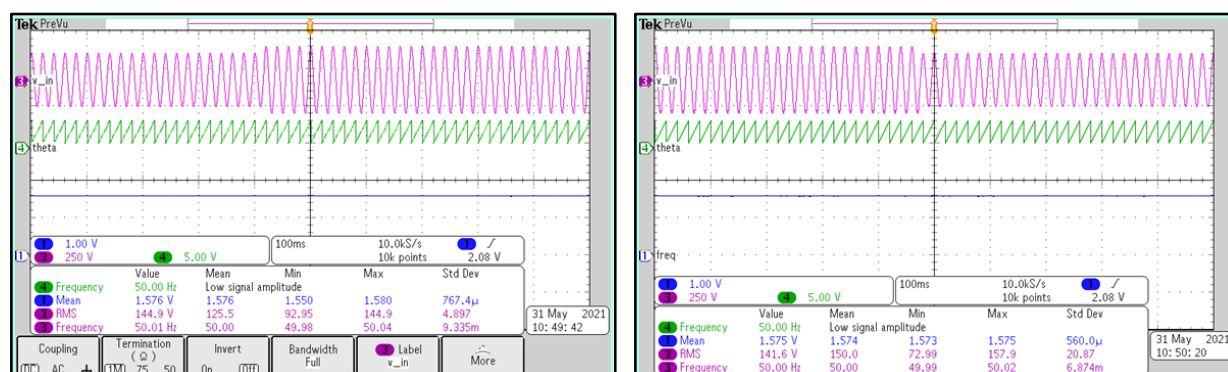
Nos gráficos da Figura 47 podemos observar que não há grande diferença no rastreamento da frequência (linha azul) no acréscimo ou redução da frequência da fonte, o comportamento nos dois casos é simétrico. Pode-se observar que para 60 Hz existe um erro residual devido ao cálculo do erro do PLL, e também se nota que neste algoritmo o tempo de estabelecimento é de 15 ciclos.

Figura 48 NRF-PLL - Variação de frequência de 50 a 40 Hz e reverso, com fonte fixa a 127 V e senoidal.



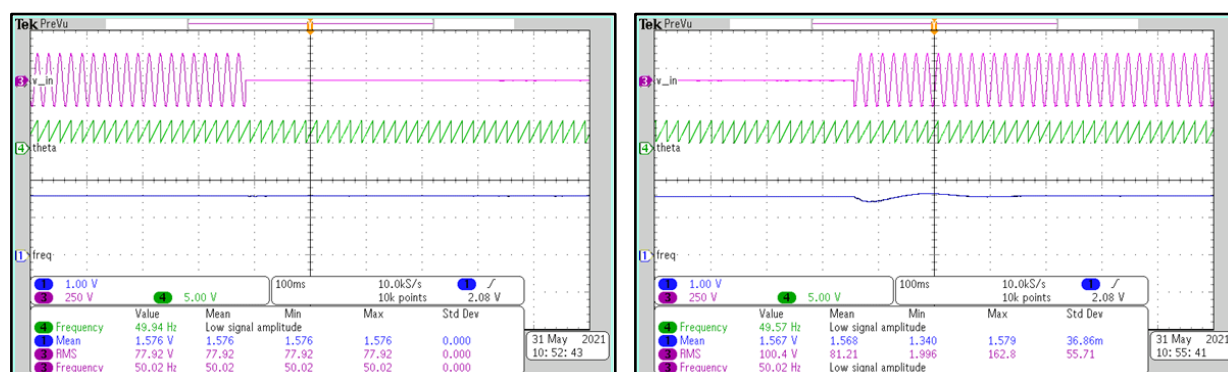
Nos gráficos da Figura 48, observa-se o mesmo comportamento da Figura 47, no acréscimo ou redução da frequência da fonte condicionada, temos que o comportamento da frequência (linha azul) nos dois casos é simétrico. Pode-se observar que para 60 Hz existe um erro residual devido ao cálculo do erro do PLL, e se nota que neste algoritmo o tempo de estabelecimento é de 15 ciclos.

Figura 49 NRF-PLL - Variação da tensão de 127 a 220 V e reverso, com fonte fixa a 50 Hz e senoidal.



Na Figura 49, pode-se observar que mesmo no acréscimo ou redução da tensão da fonte condicionada, o comportamento da frequência rastreada (linha azul) não é alterado. Isso deve-se ao fato de que no cálculo do erro do algoritmo, uma variação de tensão na rede não altera a frequência de rastreamento da saída, tornando o PLL imune a variações de tensões na linha, exceto na ocorrência de um ilhamento na rede.

Figura 50 NRF-PLL - Variação da tensão de 127 a 0 V e reverso, com fonte fixa a 50 Hz e senoidal.



Na Figura 50, é visto que, durante a ocorrência da falta na rede, a frequência obtida pelo PLL não é alterada, devido ao erro ser zero no método de cálculo do algoritmo implementado. Logo, neste caso a frequência não representa o valor real, porém observa-se que no momento em que a tensão é reestabelecida, o circuito volta a rastrear a frequência da rede sem erro residual.

Nas Figuras 51-54 são apresentadas diversas situações de teste para o algoritmo de sincronismo NRF-PLL, acrescentando harmônicos a fim de simular a distorção da rede elétrica e validar a filtragem do algoritmo de sincronismo. A legenda das figuras apresenta a configuração da fonte em cada caso.

Nessas, são apresentados o sinal da fonte da entrada (Ponteira 3), sinal unitário criado pelo PLL em fase (Ponteira 1) e em quadratura (Ponteira 2) sobrepostos e o argumento theta (Ponteira 4) que é saída do algoritmo NRF-PLL.

Figura 51 NRF-PLL – Filtragem de sinal com fonte fixa a 127 V a 50 Hz e onda quadrada.

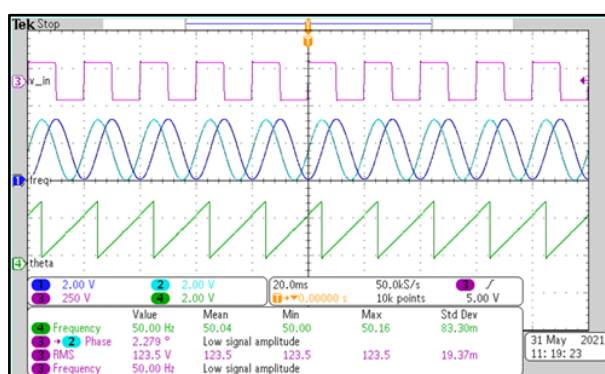


Figura 52 NRF-PLL – Filtragem de sinal com fonte fixa a 127 V a 50 Hz, com 10% do 3º e 4º Harmônico.

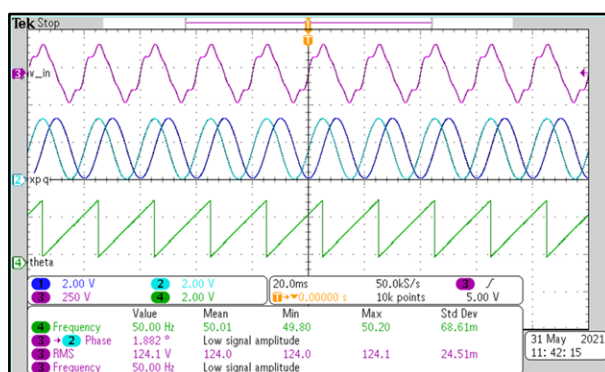
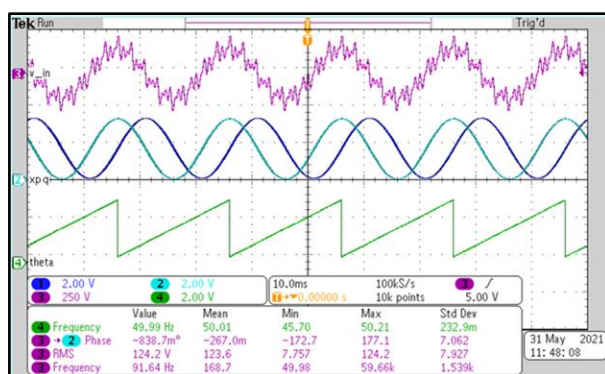


Figura 53 NRF-PLL – Filtragem de sinal com fonte a 127 V, 50 Hz, e 20% do 9º, 17º e 26º Harmônico.



Como é possível observar, independentemente do acréscimo dos harmônicos, o algoritmo do NRF-PLL foi capaz de filtrar as componentes indesejadas e rastrear a frequência da fundamental, que foi fixada em 50 Hz. Isso se deve à metodologia do algoritmo, que tem como parâmetro a frequência esperada da rede em condições normais, neste caso, em 50 Hz.

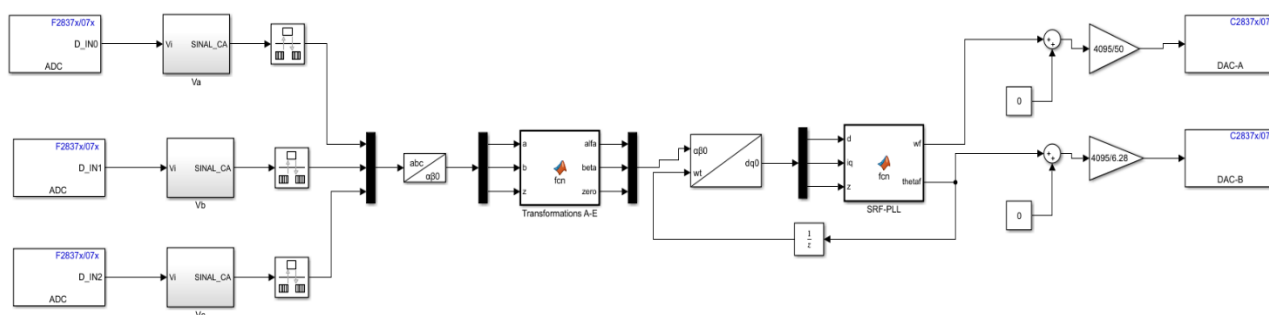
4.3 IMPLEMENTAÇÃO DO GDSC-PLL NO DSP FS28379D

Neste tópico será abordada a implementação do algoritmo GDSC-PLL no DSP FS28379D a fim de testar e validar o mesmo sob diferentes condições de operação em um ambiente físico. Em um primeiro momento foi utilizado o gerador de sinais, com cenário ideal, e logo em seguida foi utilizada a fonte programável do laboratório.

4.3.1 TESTES GDSC-PLL COM GERADOR DE SINAIS

Implementou-se o diagrama de blocos do GDSC-PLL trifásico, apresentado na Figura 54. Foram utilizadas 3 entradas ADC (D_IN0 , D_IN1 e D_IN2) e 2 saídas DAC (A e B), os pinos analógicos nessa sequência, conforme datasheet, são para o ADC: 28, 30, 34, e para o DAC: 9 e 11. O módulo D do conversor ADC foi utilizado para evitar conflito com os pinos do DAC.

Figura 54 Diagrama de blocos do GDSC-PLL implementado no DSP 28379D.

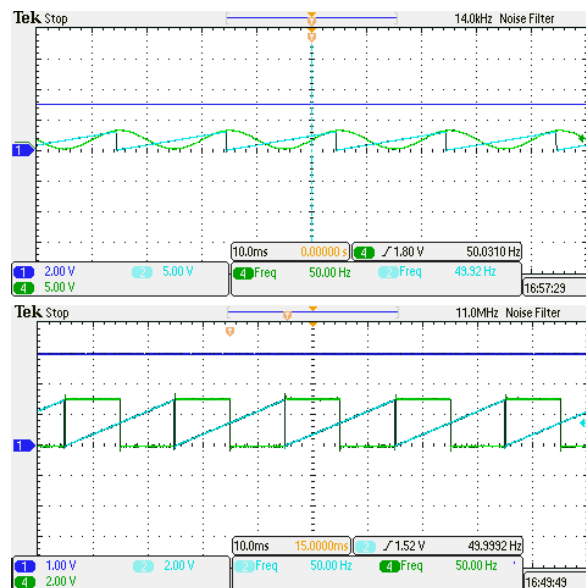


Na Figura 54 é apresentado o diagrama de blocos utilizado para rastreamento da frequência pelo PLL. Da esquerda para direita pode-se observar os blocos ADC de aquisição de cada uma das fases do sinal trifásico. Em seguida são realizados ajustes para melhor aquisição dos dados, como offset para o sinal alternado e ajuste de ganhos. Em sequência, cada uma das fases entra no bloco de transformação abc para o sistema alfa-beta-zero, e em sequência são direcionadas para o bloco de Script das transformações A, B, C, D e E, nos quais ocorre a filtragem do sinal distorcido da entrada.

Logo a saída *alfa-beta-zero* filtrada é enviada ao próximo bloco de transformação para o sistema dq0, que funciona como entrada para o SRF-PLL ajustado em seu controlador PI para $K_p = 64$ e $K_i = 1600$, a fim de simular as mesmas condições obtidas com o sistema do NRF-PLL monofásico e trifásico, com coeficiente de amortecimento $\xi = 0,8$ e frequência de corte $\omega_n = 40 \text{ rad/s}$.

Por fim, obtém-se os sinais de saída da frequência de entrada (wf) e o argumento da fase “a” do sistema trifásico ($thetaf$), que são direcionados para os DACs de saída, realizando ajustes de ganho e de offset, a fim de normalizar o valor máximo em 3 V. A Figura 55 apresenta as informações de saída deste PLL.

Figura 55 Fase e frequência detectada pelo GDSC-PLL com entrada senoidal e onda quadrada.

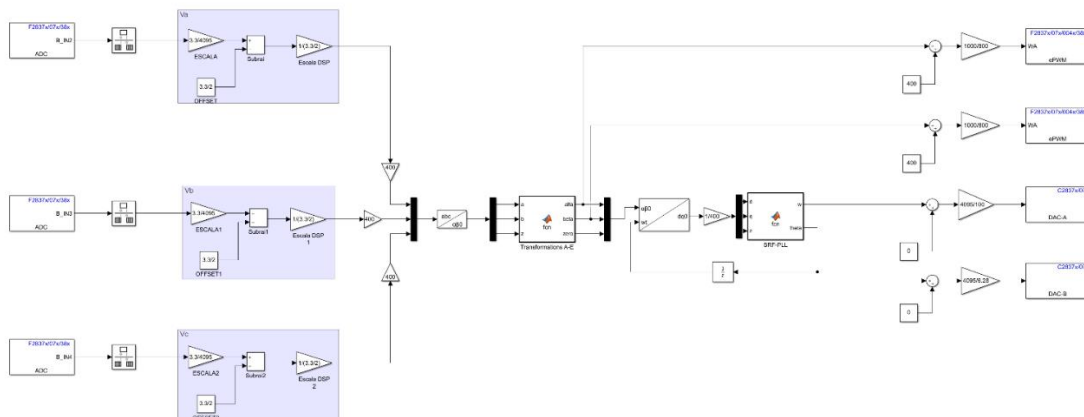


Como é possível observar na Figura 55, em ambas telas o sistema é capaz de rastrear a frequência do sinal de trifásico em 50 Hz (entrada 1), o argumento “arg_a” (entrada 2), e a fase “a” do gerador (entrada 4) com amplitude de 3V, no gráfico superior como senoide pura e no inferior como onda quadrada para verificar a resposta a sinais distorcidos. O sistema utilizado é o de 50 Hz, com amostragem de 256 pontos por ciclo, utilizando o sistema com fases abc de entrada.

4.3.2 TESTES GDSC-PLL COM FONTE PROGRAMÁVEL

Implementou-se o GDSC-PLL monofásico no qual utilizou-se uma entrada ADC (D_{IN0}) e as 3 saídas DAC (A , B e C). O Diagrama de blocos utilizado é apresentado na Figura 56.

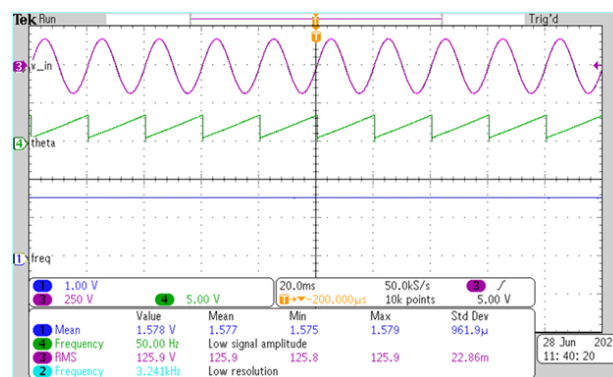
Figura 56 Diagrama de blocos do GDSC-PLL monofásico implementado no F28379D.



Na Figura 56 é apresentado o diagrama de blocos utilizado para rastreamento da frequência pelo PLL. Neste esquemático, também foram utilizadas duas saídas PWM para observar o sinal filtrado alfa e beta. A Figura 57 apresenta uma simulação realizada para obter a frequência do sinal de entrada com uma fonte puramente senoidal, neste caso de 127 V e 50 Hz.

A Ponteira 1 mede a frequência, saída do algoritmo do NRF-PLL, sendo que a 50 Hz tem o valor de 1.65 V. A Ponteira 3 apresenta o sinal da fonte condicionada da entrada e a Ponteira 4 o argumento theta do algoritmo de sincronismo.

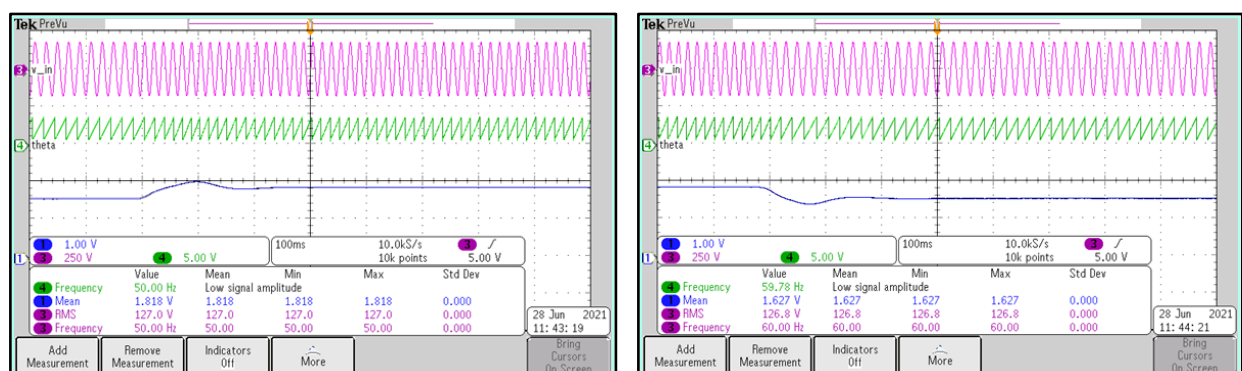
Figura 57 Detecção de ângulo de fase através do GDSC-PLL.



Os ajustes do controlador PI foram de $K_p = 64$ e $K_I = 1600$, com coeficiente de amortecimento $\xi = 0,8$ e frequência de corte $\omega_n = 40 \text{ rad/s}$.

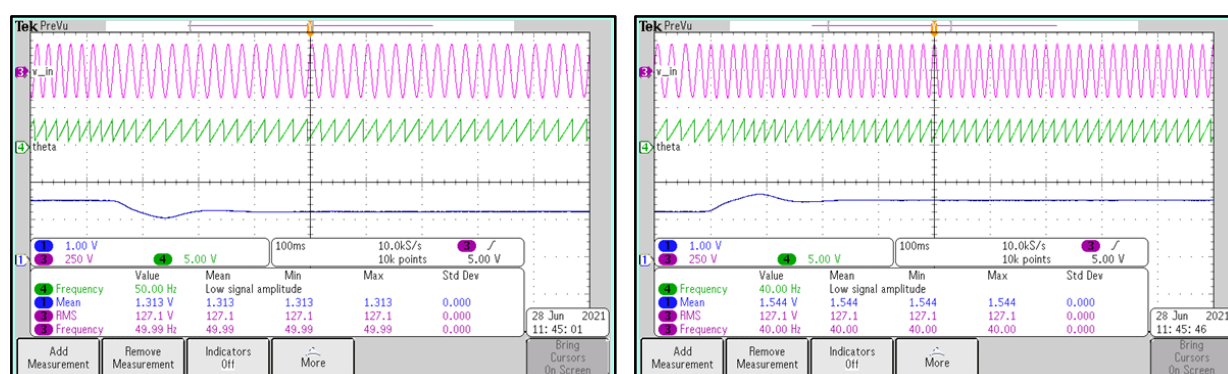
Nas Figuras 58-61 são apresentadas diversas situações de teste para o algoritmo de sincronismo GDSC-PLL, que incluem variações em degrau na frequência, tensão e faltas na rede. Os detalhes de configuração da fonte para cada um dos casos podem ser observados no título dos gráficos. A Ponteira 1 mede a frequência, saída do algoritmo do GDSC-PLL, sendo que a 50 Hz tem o valor de 1.65 V, e a cada 0,3 V, sua variação em frequência é de 10Hz. A Ponteira 3 apresenta o sinal da fonte programável e a Ponteira 4 o argumento theta do algoritmo de sincronismo.

Figura 58 GDSC-PLL - Variação de frequência de 50 a 60 Hz e reverso, com fonte senoidal a 127 V.



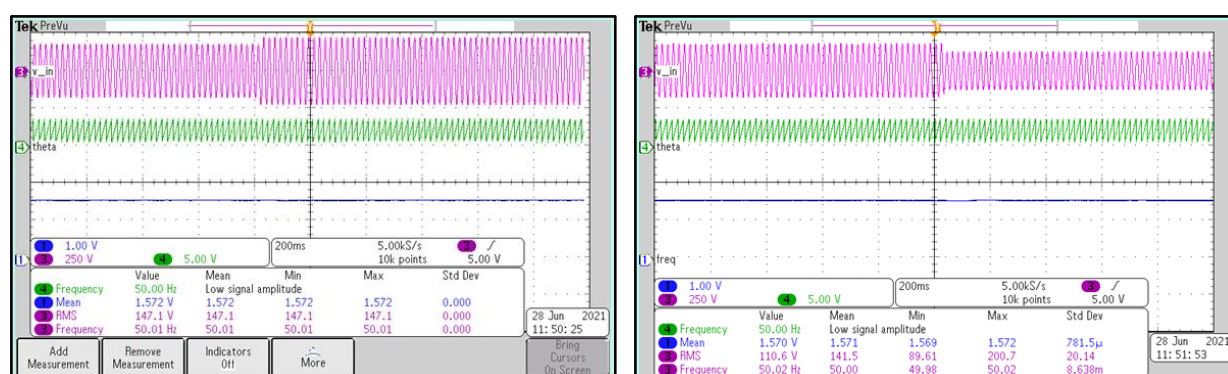
Nos gráficos da Figura 58 podemos observar que não há grande diferença no rastreamento da frequência (linha azul) no acréscimo ou redução da frequência da fonte, o comportamento nos dois casos é simétrico. Pode-se observar que para 60 Hz não é apresentado erro residual neste PLL, e se nota que seu tempo de estabelecimento é de 7 ciclos, apresentando melhor performance que o NRF-PLL nesses quesitos.

Figura 59 GDSC-PLL - Variação de frequência de 50 a 40 Hz e reverso, com fonte senoidal a 127 V.



Nos gráficos da Figura 59, observa-se o mesmo comportamento da Figura 58, no acréscimo ou redução da frequência da fonte condicionada, temos que o comportamento da frequência (linha azul) nos dois casos é simétrico. Observa-se também que o erro residual é imperceptível e se nota que o tempo de estabelecimento é de 7 ciclos.

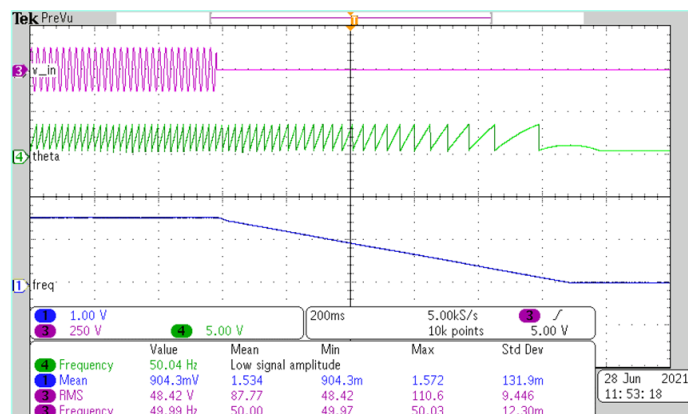
Figura 60 GDSC-PLL - Variação da tensão de 127 a 220 V e reverso, com fonte fixa a 50 Hz e senoidal.



Na Figura 60, pode-se observar que mesmo no acréscimo ou redução da tensão da fonte condicionada, o comportamento da frequência rastreada (linha azul) não é alterado. Isso deve-se ao fato de que no cálculo do erro do algoritmo, uma variação de tensão na rede não altera a frequência de

rastreamento da saída, tornando o PLL imune a variações de tensões na linha, exceto na ocorrência de um ilhamento na rede, semelhante ao NRF-PLL.

Figura 61 GDSC-PLL - Variação da tensão de 127 a 0 V, com fonte fixa a 50 Hz e senoidal.



Na Figura 61, é visto que, durante a ocorrência da falta na rede, a frequência obtida pelo PLL acaba sendo perdida, devido ao erro se tornar muito elevado no método de cálculo do algoritmo implementado. Logo, neste caso a frequência não representa o valor real, de modo que o PLL não consegue retomar o rastreamento da frequência caso a tensão seja reestabelecida, neste caso apresentando desvantagem em relação ao NRF-PLL.

Em seguida, através das Figuras 62-64 são apresentadas diversas situações de teste para o algoritmo de sincronismo GDSC-PLL, acrescentando harmônicos a fim de simular a distorção da rede elétrica e validar a filtragem do algoritmo de sincronismo. A legenda das figuras apresenta a configuração da fonte em cada caso.

Nessas, são apresentados o sinal da fonte da entrada (Ponteira 3), o sinal alfa (Ponteira 1) e beta (Ponteira 2) sobrepostos, que são obtidos após as transformações A-E. O argumento theta (Ponteira 4) é saída do algoritmo GDSC-PLL.

Figura 62 GDSC -PLL – Filtragem de sinal com fonte a 127 V a 50 Hz, de onda quadrada.

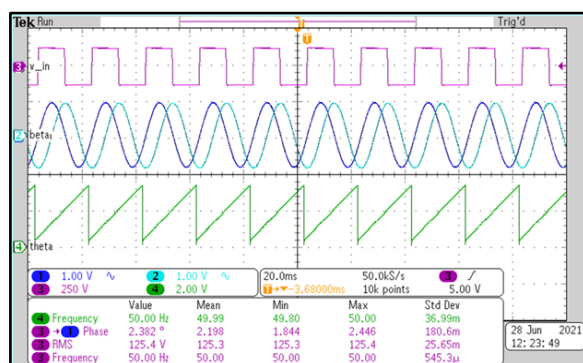


Figura 63 GDSC -PLL – Filtragem de sinal com fonte a 127 V a 50 Hz, com 10% do 3º e 4º Harmônico.

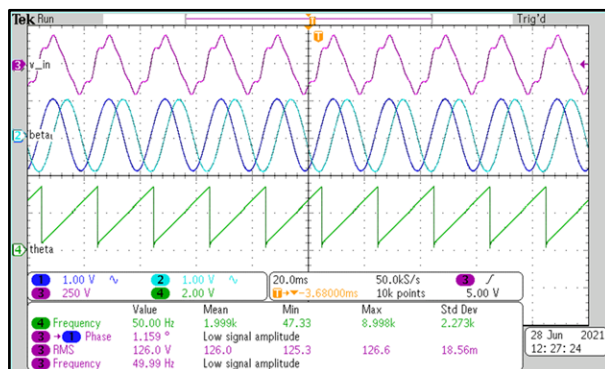
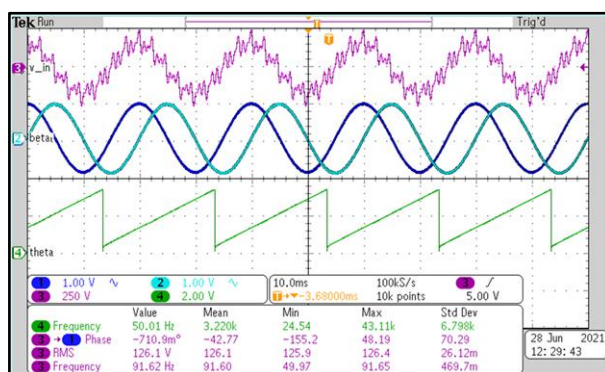


Figura 64 NRF-PLL – Filtragem de sinal com fonte a 127 V, 50 Hz e 20% do 9º, 17º e 26º Harmônico.



Como é possível observar, semelhante ao NRF-PLL, independentemente do acréscimo dos harmônicos na fonte condicionada da rede, o algoritmo do GDSC-PLL foi capaz de filtrar as componentes indesejadas e rastrear a frequência da fundamental, que foi fixada em 50 Hz.

4.4 IMPLEMENTAÇÕES HARDWARE-IN-THE-LOOP

Para as implementações hardware-in-the-loop utilizamos o PMW do DSP (*LAUNCHXL-F28379D*) como gerador de sinais, simulando um sistema real, representando um sistema físico totalmente configurável. Na obtenção dos dados, utilizou-se o ADC do DSP, efetuando a lógica dos algoritmos de sincronismo vistas na demais seções.

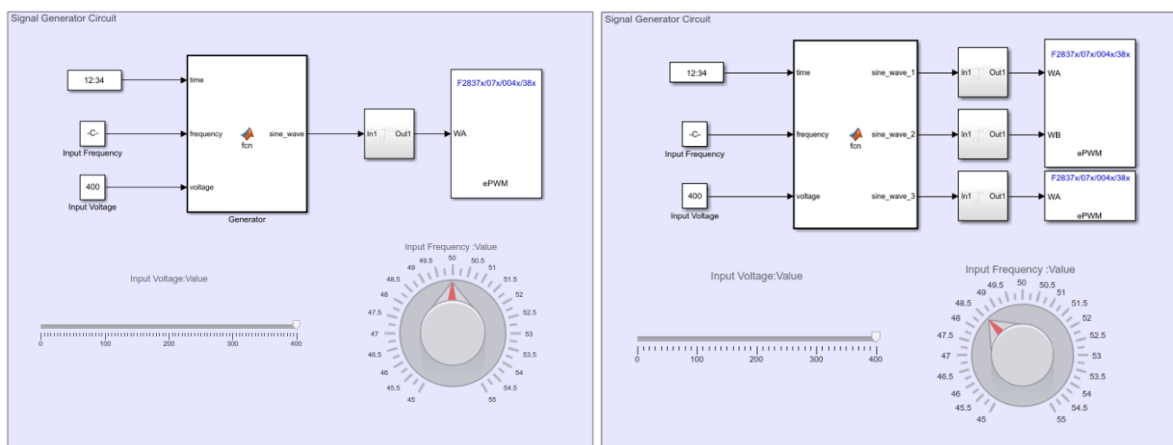
Dessa maneira, foi possível construir um sistema totalmente adaptável, criando um ambiente interativo, em que não é necessário um gerador de sinais ou uma fonte programável. A ferramenta

Monitor & Tune do Matlab permitiu ajustar os parâmetros da fonte em tempo real, simulando uma rede elétrica física, obtendo um sistema *Hardware-in-the-loop*. O sistema foi dividido em duas partes, gerador de sinais e circuito de sincronismo, neste caso o NRF-PLL e GDSC-PLL, detalhados nos próximos capítulos.

4.4.1 GERADOR DE SINAIS MONOFÁSICO E TRIFÁSICO

Para o circuito gerador de sinais, foi utilizada a ferramenta do Simulink com seu algoritmo implementado no Matlab. Através do sistema é possível regular os níveis de tensão e frequência instantânea da fonte, na Figura 65 é possível visualizar o gerador monofásico e trifásico, respectivamente. O circuito gerador monofásico que foi aplicado ao NRF-PLL, enquanto o trifásico foi utilizado no GDSC-PLL.

Figura 65 Circuito Gerador de Sinal monofásico (esquerda) e trifásico (direita).

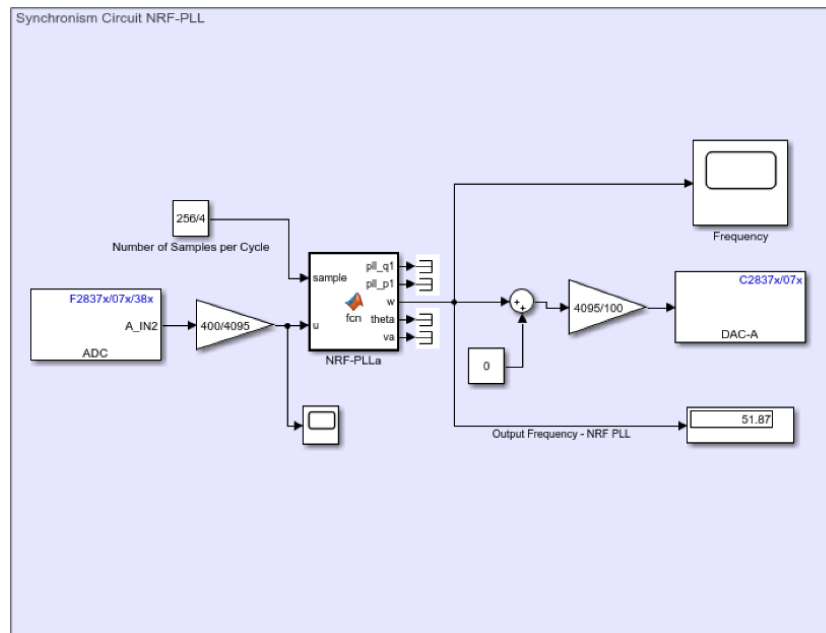


Como podemos observar, o *knob* é responsável por alterar a frequência instantânea do sinal do gerador e o *slider* é responsável por alterar a sua tensão. Esse circuito tem como saída uma senoide com harmônicos que tem sua tensão regulada de 0 a 3.3V, através do pino PWM que será o sinal de entrada do ADC do circuito de sincronismo do NRF-PLL ou GDSC-PLL.

4.4.2 SINCRONISMO NRF-PLL – HIL

Este circuito tem como função obter o sinal da fonte geradora de sinais, filtrá-lo e sincronizar com a sua frequência, tendo como sinal de saída, através do DAC a frequência do sistema. A Figura 66 apresenta o sistema de sincronismo implementado.

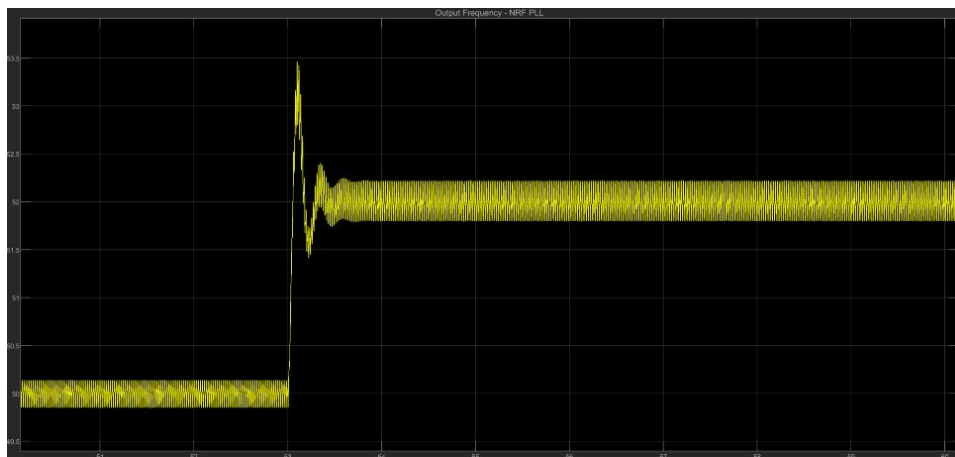
Figura 66 Circuito de Sincronismo do NRF-PLL Hardware in the Loop.



Neste caso, é possível visualizar o ADC, que recebe um sinal de saída do PWM oriundo da fonte geradora de sinais, através de um cabo que interliga os dois circuitos no *launchpad*. O restante do sistema é semelhante ao que foi visto nos capítulos anteriores. O sinal de saída pode ser observado em tempo real através do osciloscópio conectado ao sistema e a frequência através do display.

Vale ressaltar que no caso do NRF-PLL foi necessário reduzir o tempo de amostragem para 64 amostras por ciclo, devido à instabilidade ao utilizar o sistema *HIL* com a taxa de amostragem de 256 no Simulink por conta da limitação do hardware ou necessária otimização do código implementado. Na Figura 67 é possível observar a resposta do sistema à variação em degrau da frequência de 50 a 52 Hz.

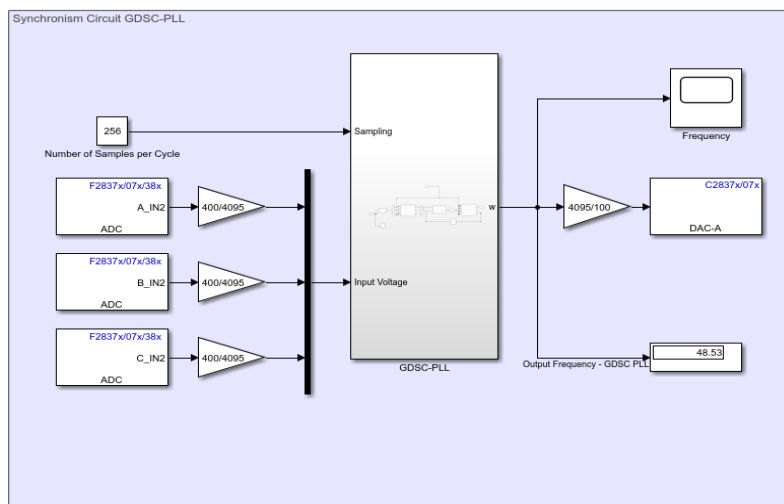
Figura 67 Variação em degrau de 50 a 52 Hz no sistema HIL - NRF-PLL.



4.4.3 SINCRONISMO GDSC-PLL - HIL

Este circuito também tem como função principal obter o sinal da fonte geradora de sinais, filtrá-lo e sincronizar com a sua frequência, tendo como sinal de saída a frequência do sistema. Porém, neste caso o algoritmo utilizado é o GDSC-PLL. A Figura 68 apresenta o sistema.

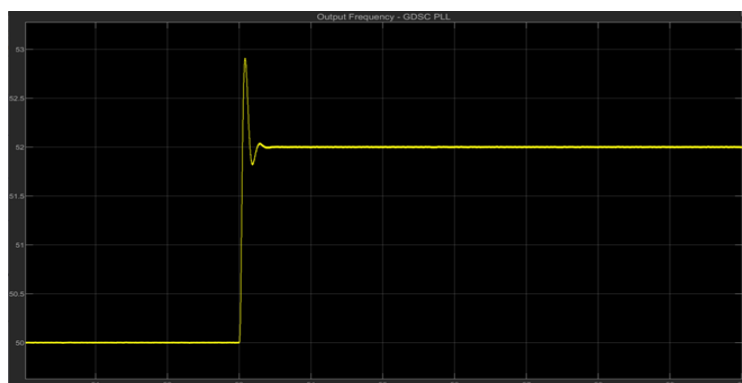
Figura 68 Circuito de Sincronismo do GDSC-PLL Hardware in the Loop.



Para este algoritmo o ADC também é conectado ao sinal de saída PWM da fonte geradora de sinais, através de um cabo. O restante do sistema é semelhante ao que foi visto nos capítulos do algoritmo. O sinal de saída também pode ser observado em tempo real através do osciloscópio conectado ao sistema e a frequência através do display.

No caso do GDSC-PLL foi possível utilizar o sistema *HIL* com a taxa de amostragem de 256 sem ocorrência de problemas de comunicação do *hardware*. Na Figura 69 é possível observar a resposta do sistema à variação em degrau da frequência de 50 a 52 Hz.

Figura 69 Variação em degrau de 50 a 52 Hz no sistema HIL - GDSC-PLL.



5 ANÁLISE COMPARATIVA ENTRE NRF-PLL E GDSC-PLL

Os dois métodos foram bastante eficazes na filtragem do sinal distorcido pelos harmônicos, tanto na simulação, como no caso das implementações no DSP, com os dois algoritmos rastreando a frequência do sistema de maneira eficaz.

5.1 ANÁLISE DA SIMULAÇÃO

Neste caso, a fonte tem sua tensão da fundamental inicial em 400 V, 50 Hz e com quarto e quinto harmônico ajustados para 10% do valor da tensão da fundamental.

Na primeira análise, na qual não há variação dos parâmetros da rede (somente a inicialização dos PLLs), vemos que o NRF-PLL demora 20 ciclos para convergir na frequência da rede para uma das fases e menos de 10 ciclos para outra fase da rede de tensão, diferentemente do GDSC-PLL que converge rapidamente para a frequência. É possível observar que o NRF-PLL tem dependência também em seu algoritmo da fase inicial de entrada do sinal, pois foi utilizado um pll para cada fase, variando o tempo de rastreamento de cada fase. O GDSC-PLL, como obtém somente uma frequência para todo o sistema, não apresenta a variação entre estes valores por fase.

Porém, apesar disso, ressalta-se que a oscilação inicial do NRF-PLL para encontrar da fase da rede não impacta no controle de um sistema físico, pois esse somente aparece na inicialização do sistema, em torno de 0,2 s. Logo, deve ser desconsiderado nas análises em circuitos já em funcionamento.

Na variação da frequência da fonte de trifásica, de 50 a 52 Hz (4%), em rampa uniforme de 40 ciclos, vimos que os dois PLLs se comportam de maneira semelhante, com erros de variação próximos, porém o NRF-PLL possui maior oscilação em relação ao GDSC-PLL. Após a rampa, a oscilação também é observada (± 0.2 Hz), ainda que seu valor médio é o desejado da frequência. Isso se deve ao fator de que o NRF-PLL está ajustado para atuar de maneira mais eficiente na frequência de 50 Hz (frequência definida no algoritmo). No caso da variação de 50 a 48 Hz, com os mesmos outros parâmetros da fonte e PLLs, foi observado o mesmo comportamento anterior, porém oscilando negativamente, sendo assim não há influência observável na variação negativa e positiva da frequência.

Na próxima etapa, realizou-se a variação da tensão da fonte trifásica em rampa, durante 40 ciclos, de 400 a 600 V (50%), mantendo os outros parâmetros citados anteriormente, com frequência fixa em 50 Hz. Nesse caso não foi possível observar variação significativa no rastreamento da frequência pelos dois PLLs, sendo descartada por não possuir influência na medição da frequência real. Em um segundo momento também foram realizadas medições para variação de 400 a 200 V (50%) e de 400 a 0 V, em rampa, seguindo os mesmos parâmetros da fonte de 40 ciclos de variação. Porém, apesar da inclinação e da variação do valor de tensão final nos três casos, os dois PLLs se comportaram de maneira idêntica sem sofrer influência visível nos casos analisados do rastreamento da frequência.

Na próxima etapa, foi possível observar grande variação no rastreamento da frequência quando se estudou a falta na rede, neste caso variou-se de 400 V a 0 V durante o intervalo de 60 ciclos, restaurando instantaneamente o valor de 400 V. Neste caso podemos observar que o NRF-PLL sofre maior flutuação no valor, obtendo maior erro de medição no momento da falta e no restabelecimento do sistema. O GDSC-PLL também apresentou variação, porém de menor amplitude.

Na análise de variação simultânea de tensão e da frequência do sistema para verificar se havia alguma diferença no resultado do rastreamento dos PLLs, variando de 400 a 600 V em rampa de 60 ciclos e a frequência de 50 a 52 Hz no mesmo período em rampa, foi possível observar pequena influência da variação da tensão no resultado do GDSC-PLL.

Na última análise foi verificada a resposta à múltiplas variações de frequência, tensão e falta na rede, a fim de simular um caso crítico para a rede elétrica. Utilizou-se da mesma fonte de tensão, porém com a ocorrência de uma falta de tensão nos 20 ciclos do meio, de um total de 60 ciclos. Foi possível observar um comportamento com maior erro na medição instantânea do GDSC-PLL e um valor mais próximo do real pelo NRF-PLL, apesar de seguir oscilatório quando a frequência final do sistema é diferente dos 50 Hz inicializados no sistema.

5.2 ANÁLISE COM FONTE PROGRAMÁVEL

Neste caso, a fonte tem sua tensão da fundamental em 127 V, 50 Hz, sem harmônicas em um primeiro momento.

Na primeira análise há a variação da frequência da rede, de 50 a 60 Hz, 50 a 40 Hz, além da variação reversa em ambos os casos. Nessa análise podemos observar o GDSC-PLL com melhor

performance, precisando apenas de 7 ciclos para a sincronizar com a frequência da rede, enquanto o NRF-PLL necessita de 15. O primeiro também se apresenta superior no quesito de oscilações, pois o erro no regime estacionário é muito pequeno se comparado ao erro apresentado pelo NRF-PLL quando fora da frequência esperada pela rede, neste caso, configurada para 50 Hz.

Em um segundo momento, podemos observar que os dois PLLs se comportam de maneira similar sob variações de tensão, não dessincronizando, devido ao algoritmo utilizados pelos dois, tendo diferenciações somente no caso de ilhamento, em decorrência da falta na rede.

Nesse caso, o NRF-PLL consegue suportar a variação da tensão durante a falta e voltar rastrear a frequência do sinal caso a rede seja normalizada, característica que o GDSC-PLL não apresentou nos testes. Vale ressaltar que durante a ocorrência da falta, o NRF-PLL apresenta um erro, pois não consegue identificar que a frequência da rede foi alterada e permanece em 50 Hz sem alterações, já o GDSC-PLL observa essa variação na frequência da rede, porém devido ao erro ser muito grande, acaba desestabilizando e apresentando valores incorretos de frequência sob as condições testadas. Logo o NRF-PLL é interessante para sistemas *no-break*, onde existe a reconexão do algoritmo, porém é falho na identificação de ilhamento do sistema, caso onde o GDSC-PLL consegue identificar. Também é importante notar que as análises de falta foram feitas com o NRF-PLL a 50 Hz que é a mesma frequência inicializada no circuito, logo não é possível ver uma alteração da frequência nesta situação.

Por fim, no teste sob condições de distorção do sinal de entrada da rede, foi possível verificar que os dois PLLs tiveram comportamento similar e eficaz, filtrando o sinal das componentes indesejadas e rastreando corretamente a frequência da fundamental, mesmo nas situações mais adversas, como na onda quadrada e harmônicos de 3ª e 5ª ordem.

5.3 ANÁLISE DO SISTEMA HARDWARE-IN-THE-LOOP

Através da implementação do sistema *HIL* foi possível realizar simulações do *hardware* de uma rede elétrica mesmo sem a conexão com o sistema físico, obtendo assim maior flexibilidade para a pesquisa, liberdade no ajuste dos parâmetros de simulação, eficácia e agilidade no *rollout* da programação, pois o ambiente de desenvolvimento é o mesmo do sistema em produção.

Além disso, no meio acadêmico, o sistema pode ser utilizado como uma plataforma de ensino para alunos à distância ou até mesmo pesquisas, como foi o caso, no qual o sistema foi criado devido ao ambiente de Pandemia, onde evitamos comparecer ao laboratório presencialmente.

Sendo assim, o sistema comportou como o esperado e cumpriu com os propósitos listados, pois foi possível realizar análises que podem contribuir com o ambiente acadêmico ou industrial com maior flexibilidade e agilidade.

O projeto também contribuiu para o *know-how* e gestão do conhecimento acadêmico da Unesp Sorocaba na pesquisa de PLLs e implementações de *HIL* eficazes, a baixo custo e com baixa complexidade, contribuindo positivamente com futuros estudos de alunos da graduação e pós-graduandos.

5.4 ANÁLISE GERAL

Os dois PLLs têm desempenho próximos, sendo o ponto fraco do NRF-PLL as maiores oscilações em casos de variação da frequência em relação à frequência inicializada do algoritmo, ou seja, quanto mais longe de 50 Hz, maior é a amplitude da oscilação (próximo a 1% da frequência atual), isso se deve à característica de seu funcionamento, porém seu ponto forte é que se apresenta melhor para utilização em sistemas com múltiplas variações de frequência, tensão e faltas, sistemas próximos da aplicação real de uma rede elétrica.

O GDSC-PLL é mais preciso e mais eficiente quando há variações isoladas na tensão da rede, em de tensão, frequência e falta, porém ressalta-se que seu comportamento também é satisfatório para o caso em que há múltiplas variações de parâmetros da rede, apesar de apresentar maior erro na medição instantânea no rastreamento da frequência.

Além disso, o GDSC-PLL e NRF-PLL foram extremamente eficazes para filtrar as componentes harmônicas do sinal de entrada, tanto nas simulações como na parte experimental, podendo ser aplicados para tal, com bastante simplicidade e velocidade no cálculo da componente fundamental.

Sendo assim, os dois algoritmos podem ser aplicados em situações de redes distintas, pois cada um tem uma resposta diferente às situações apresentadas, podendo possivelmente atuar em conjunto para se obter uma performance intermediária e que apresente os pontos positivos de ambos.

6 REFERÊNCIAS BIBLIOGRÁFICAS

- [1] S. Golestan, M. Ramezani, J. M. Guerrero, F. D. Freijedo, and M. Monfared, “Moving average filter based phase-locked loops: Performance analysis and design guidelines,” *IEEE Trans. Power Electron.*, vol. 29, no. 6, pp. 2750–2763, 2014.
- [2] B. W. Li, S. S. Engineer, A. Analog, P. Group, W. Li, and J. Meiners, “Introduction to phase-locked loop system modeling,” *Analog Appl.*, vol. 1, no. May, pp. 5–11, 2000.
- [3] N. R. N. Ama, F. O. Martinz, L. Matakas, and F. Kassab, “Phase-locked loop based on selective harmonics elimination for utility applications,” *IEEE Trans. Power Electron.*, vol. 28, no. 1, pp. 144–153, 2013.
- [4] N. Rajai, N. Ama, W. Komatsu, F. K. Junior, and L. M. Junior, “Adaptive single phase moving average filter PLLs : analysis , design , performance evaluation and comparison,” vol. 1, no. 5, pp. 180–188, 2014.
- [5] H. E. P. De Souza, N. I. O. V. Ferreira, N. Mapeamento, E. Petrol, G. D. E. A. D. E. Praia, and V. E. L. D. O. Mar, “Uma Abordagem Vetorial para a Detecção em Tempo Real de Componentes Harmônicas de Sequência Positiva e Negativa em Sinais Trifásicos.”
- [6] R. Destro *et al.*, “IMPLEMENTATION ASPECTS OF ADAPTIVE WINDOW MOVING AVERAGE FILTER APPLIED TO PLLs - COMPARATIVE STUDY,” *IEEE Trans. Power Electron.*, vol. 29, no. 6, pp. 2750–2763, 2013.
- [7] S. M. Deckmann and F. P. Marafão, “Frequency-Adjustable Positive Sequence Detector for Power Conditioning Applications,” pp. 1928–1934, 2005.
- [8] F. P. Marafão, S. M. Deckmann, J. A. Pomilio, and R. Q. Machado, “Metodologia de Projeto e Análise de Algoritmos de Sincronismo PLL,” *Rev. da Soc. Bras. Eletrônica Potência-Sobraep*, vol. 10, pp. 7–14, 2005.
- [9] S. M. D. Fernando Pinhabel Marafão, “Análise e Controle da Energia Elétrica através de Técnicas de Processamento Digital de Sinais,” 2004.
- [10] S. M. Silva, B. M. Lopes, B. J. Cardoso Filho, R. P. Campana, and W. C. Boaventura, “Performance evaluation of PLL algorithms for single-phase grid-connected systems,” *Conf. Rec. 2004 IEEE Ind. Appl. Conf. 2004. 39th IAS Annu. Meet.*, vol. 4, no. 1, pp. 2259–2263, 2004.
- [11] P. Kanjiya, V. Khadkikar, S. Member, M. Shawky, and E. Moursi, “A Novel Type - 1 Frequency - Locked - Loop for Fast Detection of Frequency and Phase with Improved Stability Margins,” vol. 8993, no. c, pp. 1–12, 2015.
- [12] B. Xu, B. Su, Z. Lin, and D. Jiang, “The control strategy study of three-phase phase-locked loop,” *2016 35th Chinese Control Conf.*, pp. 5885–5889, 2016.
- [13] S. Golestan, J. M. Guerrero, and J. C. Vasquez, “High-Order Frequency-Locked Loops: A Critical Analysis,” *IEEE Trans. Power Electron.*, vol. 32, no. 5, pp. 3285–3291, 2017.

- [14] P. J. Clare, “Advanced Power Converters for UNiversal and FLEXible Power Management in Future Electricity Networks.”
- [15] A. B. Shitole, H. M. Suryawanshi, and S. Sathyan, “Comparative evaluation of synchronization techniques for grid interconnection of renewable energy sources,” *IECON 2015 - 41st Annu. Conf. IEEE Ind. Electron. Soc.*, pp. 1436–1441, 2015.
- [16] M. Mellouli, M. Hamouda, T. Superieure, and T. Superieure, “Comparative Study Between the Improved Schemes of MAF-Based Robust PLLs,” 2015.
- [17] N. Ama, R. Destro, W. Komatsu, F. Kassab, and L. Matakas, “PLL performance under frequency fluctuation-compliance with standards for distributed generation connected to the grid,” *2013 IEEE PES Conf. Innov. Smart Grid Technol. ISGT LA 2013*, 2013.
- [18] F. Sadeque and M. M. Hossain, “A Signal Reforming Algorithm Based Three-Phase PLL Under Unbalanced Grid Conditions,” vol. 5, pp. 3–8.
- [19] I. Setiawan, M. Facta, A. Priyadi, and M. H. Purnomo, “Comparison of three popular PLL schemes under balanced and unbalanced grid voltage conditions,” *Proc. 2016 8th Int. Conf. Inf. Technol. Electr. Eng. Empower. Technol. Better Futur. ICITEE 2016*, pp. 6–11, 2017.
- [20] G. Jing, “A Novel PLL Based on Reference Current for Three- Phase Power Systems,” 2013.
- [21] Z. Huajun *et al.*, “The optimization of controller parameters for three phases PLL tracking system,” *Proc. - 2015 Chinese Autom. Congr. CAC 2015*, pp. 1316–1321, 2016.
- [22] B. Liu, F. Zhuo, Y. Zhu, H. Yi, and F. Wang, “A Three-Phase PLL Algorithm Based on Signal,” vol. 30, no. 9, pp. 5272–5283, 2015.
- [23] F. A. S. Neves, H. E. P. De Souza, M. C. Cavalcanti, and E. B. Peña, “Low Effort Digital Filters for Fast Sequence Components Separation of Unbalanced and Dis- torted Three-Phase Signals,” *Power*, 2010.
- [24] E. Robles, S. Ceballos, J. Pou, J. L. Martín, J. Zaragoza, and P. Ibañez, “Variable-frequency grid-sequence detector based on a quasi-ideal low-pass filter stage and a phase-locked loop,” *IEEE Trans. Power Electron.*, vol. 25, no. 10, pp. 2552–2563, 2010.
- [25] F. D. Freijedo, J. Doval-Gandoy, Ó. López, and E. Acha, “A generic open loop algorithm for three phase grid voltage/current synchronization with particular reference to phase, frequency and amplitude estimation,” *IEEE Trans. Power Electron.*, vol. 24, no. 1, pp. 94–107, 2009.
- [26] F. A. S. Neves, M. C. Cavalcanti, H. E. P. De Souza, F. C. Bradaschia, E. J. Bueno, and M. Rizo, “A generalized delayed signal cancellation method for detecting fundamental-frequency positive-sequence three-phase signals,” *IEEE Trans. Power Deliv.*, vol. 25, no. 3, pp. 1816–1825, 2010.
- [27] F. A. S. Neves, H. E. P. De Souza, M. C. Cavalcanti, F. Bradaschia, and E. J. Bueno, “Digital filters for fast harmonic sequence component separation of unbalanced and distorted three-phase signals,” *IEEE Trans. Ind. Electron.*, vol. 59, no. 10, pp. 3847–3859, 2012.
- [28] “C. L. Fortescue, ‘Method of Symmetrical Co-Ordinates Applied to the Solution of Polyphase Networks,’ in Transactions of the American Institute of Electrical Engineers, vol. XXXVII,

no. 2, pp. 1027-1140, July 1918, doi: 10.1109/T-AIEE.1918.4765570.”

- [29] “W. H. FOY, ‘Position-Location Solutions by Taylor-Series Estimation,’ in IEEE Transactions on Aerospace and Electronic Systems, vol. AES-12, no. 2, pp. 187-194, March 1976, doi: 10.1109/TAES.1976.308294.”
- [30] E. J. Bueno, F. J. Rodríguez, F. Espinosa, and S. Cobreces, “SPLL Design to flux oriented of a VSC interface for Wind Power Applications,” pp. 2451–2456, 2005.
- [31] H. Awad, S. Member, J. Svensson, M. J. Bollen, and S. Member, “Tuning Software Phase-Locked Loop for Series-Connected Converters,” vol. 20, no. 1, pp. 300–308, 2005.