

SIDNEI DE OLIVEIRA NASCIMENTO

**Avaliação de Desempenho Elétrico em Dispositivos
Tridimensionais Horizontalmente Empilhados**

SOROCABA/SP

2024

SIDNEI DE OLIVEIRA NASCIMENTO

Avaliação de Desempenho Elétrico em Dispositivos Tridimensionais Horizontalmente Empilhados

Dissertação apresentada como parte dos requisitos para obtenção do título de Mestre em Engenharia Elétrica, junto ao Programa de Pós-Graduação em Engenharia Elétrica, Interunidades, entre o Instituto de Ciência e Tecnologia de Sorocaba e o Campus de São João da Boa Vista da Universidade Estadual Paulista “Júlio de Mesquita Filho”.

Área de concentração: Sistemas Eletrônicos

Orientadora: Prof.^a Dra. Maria Glória Caño de Andrade

Coorientador: Prof. Dr. Lucas Petersen Barbosa Lima

SOROCABA/SP

2024

N244a	Nascimento, Sidnei de Oliveira Avaliação de desempenho elétrico em dispositivos tridimensionais horizontalmente empilhados / Sidnei de Oliveira Nascimento. -- Sorocaba, 2024 104 p. : il., tabs., fotos Dissertação (mestrado) - Universidade Estadual Paulista (UNESP), Instituto de Ciência e Tecnologia, Sorocaba Orientadora: Maria Glória Caño de Andrade Coorientador: Lucas Petersen Barbosa Lima 1. Transistores de efeito de campo. 2. Semicondutores. 3. Simulação por computador. I. Título.
-------	---

Sistema de geração automática de fichas catalográficas da Unesp. Dados fornecidos pelo autor(a).

CERTIFICADO DE APROVAÇÃO

TÍTULO DA DISSERTAÇÃO: Avaliação de Desempenho Elétrico em Dispositivos Tridimensionais Horizontalmente Empilhados

AUTOR: SIDNEI DE OLIVEIRA NASCIMENTO

ORIENTADORA: MARIA GLÓRIA CAÑO DE ANDRADE

COORIENTADOR: LUCAS PETERSEN BARBOSA LIMA

Aprovado como parte das exigências para obtenção do Título de Mestre em Engenharia Elétrica, área: Sistemas Eletrônicos pela Comissão Examinadora:

Documento assinado digitalmente
 **MARIA GLORIA CANO DE ANDRADE**
Data: 17/06/2024 11:44:53-0300
Verifique em <https://validar.iti.gov.br>

Prof^a. Dr^a. MARIA GLÓRIA CAÑO DE ANDRADE (Participação Virtual)
Departamento de Engenharia de Controle e Automacao / Instituto de Ciencia e Tecnologia UNESP Campus de Sorocaba

Prof. Dr. MARCOS VINICIUS PUYDINGER DOS SANTOS (Participação Virtual)
Engenharia Elétrica / Universidade Estadual de Campinas - UNICAMP

Documento assinado digitalmente
 **MARCOS VINICIUS PUYDINGER DOS SANTOS**
Data: 26/06/2024 23:35:32-0300
Verifique em <https://validar.iti.gov.br>

Prof. Dr. EVERSON MARTINS (Participação Virtual)
Departamento de Engenharia de Controle e Automação / Instituto de Ciência e Tecnologia - UNESP - Câmpus de Sorocaba

Documento assinado digitalmente
 **EVERSON MARTINS**
Data: 25/06/2024 16:45:16-0300
Verifique em <https://validar.iti.gov.br>

Sorocaba, 02 de maio de 2024.

AGRADECIMENTOS

Primeiramente quero agradecer a Deus pelo gosto da aprendizagem constante e de me manter perseverante nessa jornada do meu mestrado e expressar minha sincera gratidão a todos que contribuíram para a realização deste trabalho de pesquisa e para a conclusão bem-sucedida do meu mestrado.

Quero agradecer a minha orientadora, Maria Glória Caño de Andrade, pela orientação valiosa, apoio constante e paciência durante todo o processo de pesquisa. Suas orientações foram fundamentais para o desenvolvimento deste estudo. Agradecimento esse estendido ao meu coorientador, Lucas Petersen Barbosa Lima, pelas suas relevantes contribuições a este trabalho.

Também desejo agradecer ao meu saudoso amigo João Massao que me apresentou a instituição "Instituto Federal de São Paulo" na qual eu trabalho com amor e que me proporcionou a oportunidade e apoio em realizar essa pós-graduação.

Minha gratidão se estende aos meus colegas de disciplinas, amigos e familiares que me apoiaram ao longo deste desafio acadêmico. Suas palavras de encorajamento e apoio emocional foram essenciais para manter minha motivação.

Agradeço à Universidade Estadual Paulista "Júlio de Mesquita Filho" de Sorocaba por fornecer os recursos e ambiente propício à pesquisa acadêmica.

Por fim, dedico este trabalho ao meu saudoso pai Valdemar, a minha presente mãe Iolanda, aos meus irmãos João José, Ildeberto, Naiton e Juliana pela dedicação, amor e apoio incondicional ao longo da minha jornada acadêmica.

O presente trabalho foi realizado com apoio do subsídio com processo nº 2023/00123-7, Fundação de Amparo à Pesquisa do Estado de São Paulo (FAPESP).

A todos vocês, meu mais profundo agradecimento.

RESUMO

NASCIMENTO, S. O. **Avaliação de desempenho elétrico em dispositivos tridimensionais horizontalmente empilhados**. 2024. Dissertação (Mestrado em Engenharia Elétrica) – Instituto de Ciência e Tecnologia, Universidade Estadual Paulista, Sorocaba, 2024.

Neste trabalho, o desempenho dos dispositivos de canais empilhados ou multicanais (iFinFET – (*Inserted-oxide Fin Field Effect Transistor*) e GAA FET (*Gate All Around Field Effect Transistor*)) e do bulk FinFET convencional é investigado através de simulações numéricas tridimensionais TCAD (*Technology Computer-Aided Design*). Os parâmetros simulados, como corrente de dreno (I_{DS}), tensão de limiar (V_{TH}), inclinação de sublimiar (SS), redução de barreira induzida por dreno (DIBL) e transcondutância (g_m) foram usados como parâmetros de comparação para avaliar o desempenho do dispositivo de canal empilhado sobre dispositivo FinFET. Os resultados demonstraram que para uma mesma área da região ativa, um dispositivo multi-gate possui o melhor desempenho devido à maior área de contato da porta em relação à superfície do canal e apresentando assim um melhor acoplamento eletrostático e, conseqüentemente, maior I_{DS} . Tomando os parâmetros do dispositivo FinFET como referencial (comprimento de canal (L) = 12 nm) de resultados obtidos, I_{DS} para os dispositivos iFinFET e GAA FET foi 18,6% e 37%, respectivamente, maior que a referência (FinFET). Para a tensão de limiar (V_{TH}), observou-se redução no percentual para os dispositivos iFinFET e GAA FET (2,6% e 5,0% respectivamente). A inclinação de Sublimiar (SS) apresentou redução percentual de seus valores (1,3% para iFinFET e 2,6% para GAA FET), bem como redução do ganho intrínseco de tensão (V_{EA}) (27,9% para iFinFET e 45,3% para GAA FET). O DIBL se destacou por apresentar também diminuição de valor, iFinFET com 9,4% e GAA FET com 0,6%. Por outro lado, observou-se aumento nos percentuais da transcondutância (g_m) do dispositivo iFinFET e GAA FET (23,6% e 53,6% respectivamente). Outro parâmetro com aumento substancial em relação a referência foi a condutância de dreno (g_D), com aumento de 78,5% para iFinFET e 192,0% para GAA FET. Além disso, este trabalho mostra o potencial promissor de dispositivos de múltiplos canais empilhados para substituir dispositivos convencionais de canal único em circuitos eletrônicos integrados modernos.

Palavras-chave: dispositivos multicanais; FinFET; iFinFET; GAA FET; *nanowire*; *forksheet*; simulação TCAD 3D.

ABSTRACT

NASCIMENTO, S. O. **Assessment of electrical performance in three-dimensional horizontally stacked devices**. 2024. Master's thesis (Master's degree in Electrical Engineering) – Institute of Science and Technology, São Paulo State University, Sorocaba, 2024.

In this work, the performance of stacked channel or multi-channel devices (iFinFET – Inserted-oxide Fin Field Effect Transistor and GAA FET – Gate All Around Field Effect Transistor) and conventional bulk FinFET is investigated through three-dimensional numerical TCAD (Technology Computer-Aided Design) simulations. The simulated parameters, such as drain current (I_{DS}), threshold voltage (V_{TH}), subthreshold slope (SS), drain-induced barrier lowering (DIBL), and transconductance (g_m), were used as comparison elements to evaluate the performance of the stacked channel device over the FinFET device. The results demonstrated that for the same area of the active region, a multi-gate device has better performance due to the larger gate contact area relative to the channel surface, thus presenting better electrostatic coupling and consequently higher I_{DS} . Using the FinFET device parameters as a reference (channel length (L) = 12 nm) from obtained results, I_{DS} for the iFinFET and GAA FET devices was 18.6% and 37% higher, respectively, than the reference (FinFET). For the threshold voltage (V_{TH}), a percentage reduction was observed for the iFinFET and GAA FET devices (2.6% and 5.0%, respectively). The subthreshold slope (SS) showed a percentage reduction in its values (1.3% for iFinFET and 2.6% for GAA FET), as well as a reduction in the intrinsic gain voltage (V_{EA}) (27.9% for iFinFET and 45.3% for GAA FET). The DIBL also showed a decrease in value, with iFinFET at 9.4% and GAA FET at 0.6%. On the other hand, an increase in the transconductance (g_m) percentage was observed for the iFinFET and GAA FET devices (23.6% and 53.6%, respectively). Another parameter with a substantial increase compared to the reference was the drain conductance (g_D), with an increase of 78.5% for iFinFET and 192.0% for GAA FET. Additionally, this work shows the promising potential of multi-stacked channel devices to replace conventional single-channel devices in modern integrated electronic circuits.

Keywords: multichannel devices, FinFET, iFinFET, GAA FET, nanowire, forksheet, 3D TCAD simulation.

LISTA DE FIGURAS

Figura 1 – a) MOSFET Planar; b) FinFET de porta dupla; c) FinFET de porta tripla.	17
Figura 2 – a) GAA canal único; b) GAA canais empilhados	19
Figura 3 – Desafios da Indústria de Semicondutores	20
Figura 4 – Roadmap dos dispositivos semicondutores	21
Figura 5 – Dispositivos: DELTA (a); FinFET (b)	25
Figura 6 – FinFET de porta tripla ou tri-gate	26
Figura 7 – Imagem de microscopia eletrônica da primeira e segunda geração do FinFET porta tripla	27
Figura 8 – Imagem de microscopia eletrônica de FinFETs porta tripla com espaçamento de canais para 7,5 nm, 6 nm e 4,5 nm	27
Figura 9 – a) planos AA' e BB'; b) plano AA"; c) plano BB'	28
Figura 10 – Dispositivo GAA-FET tridimensional	30
Figura 11 – Estruturas GAA-FET com: a) três nanotubos; b) seis nanotubos; c) nanotubos complementares (N-MOS e P-MOS); d) três nanosheets; e) nanosheets complementares (N-MOS e P-MOS)	31
Figura 12 – iFinFET tridimensional com óxido inserido entre os NWs	32
Figura 13 – Dispositivo Forksheet tridimensional	33
Figura 14 – Imagem de microscopia por varredura de um arranjo de Forksheet	33
Figura 15 – Curva $I_{DS} \times V_{DS}$ de um FinFET (a) e um Nanosheet GAA (b)	36
Figura 16 – a) curvas log e linear de I_{DS} ; b) banda de energia fonte/dreno	37
Figura 17 – Representação de SS através da curva $I_{DS} \times V_{GS}$ em escala log	39
Figura 18 – à esquerda: diagrama de bandas de energia fonte/canal/dreno; à direita: gráfico da degradação de SS e redução de V_{TH}	42
Figura 19 – Exemplo de curva das características I_{DS} em função de V_{DS} para diferentes valores de V_{GT}	45
Figura 20 – Curva característica da relação g_m/I_{DS} em função da corrente normalizada ($I_{DS}/[W/L]$) de um dispositivo MOSFET na saturação	46
Figura 21 – Fluxograma de execução do Atlas	49
Figura 22 – Níveis de dopagens de fonte, canal e dreno no plano zy	53
Figura 23 – Comparação entre as curvas I_{DS} versus V_{GS} simuladas e a referência ..	54

Figura 24 – Representação tridimensional do dispositivo FinFET e as regiões que o compõem.....	56
Figura 25 – Cortes ortogonais do dispositivo FinFET mostrando os materiais que o compõem: a) corte yz e b) corte xy.....	56
Figura 26 – Representação tridimensional do dispositivo iFinFET e as regiões que o compõem.....	57
Figura 27 – Cortes ortogonais do dispositivo iFinFET mostrando os materiais que o compõem: a) corte yz e b) corte xy.....	57
Figura 28 – Representação tridimensional do dispositivo GAAFET e as regiões que o compõem.....	58
Figura 29 – Cortes ortogonais do dispositivo GAAFET mostrando os materiais que o compõem: a) corte yz e b) corte xy.....	58
Figura 30 – Curvas $I_{DS} \times V_{GT}$ em escala linear para $V_{DS} = 0,75V$	60
Figura 31 – Curvas $I_{DS} \times V_{GT}$ em escala Log para $V_{DS} = 0,75V$	60
Figura 32 – I_{DSmax} para FinFET, iFinFET e GAA para $V_{GS} = 0,75 V$	61
Figura 33 – Curvas $I_{DS} \times V_{DS}$ para os dispositivos FinFET, iFinFET e GAAFET ($L = 12$ nm).....	62
Figura 34 – Curvas V_{TH} versus L para FinFET, iFinFET e GAA FET	63
Figura 35 – Curva log $I_{DS} \times V_{GS}$ do FinFET para $L = 10, 12, 14, 16$ e 18 nm.....	64
Figura 36 – DIBL para os dispositivos FinFET, iFinFET e GAA FET	65
Figura 37 – Transcondutância máxima extraída para FinFET, iFinFET e GAA FET..	67
Figura 38 – Curvas da condutância de saída (g_D) em função da sobretensão de porta (V_{GT}) para FinFET, iFinFET e GAAFET	68
Figura 39 – Curvas de V_{EA} para os dispositivos FinFET, iFinFET e GAAFET em função de V_{GT}	69
Figura 40 – Curvas da relação g_m/I_{DS} em função da corrente de dreno normalizada para os dispositivos FinFET, iFinFET e GAAFET para $L = 12$ nm	69
Figura 41 – Curvas simuladas do ganho de tensão intrínseco (A_v) em função da sobretensão de porta (V_{GT}) na região de saturação para os dispositivos FinFET, iFinFET e GAAFET	71
Figura 42 – Planos de cortes que representarão as superfícies analisadas para os dispositivos (a) FinFET; (b) iFinFET e (c) GAAFET	71
Figura 43 – FinFET: Concentração de elétrons: a) plano xy; b) plano zy	72

Figura 44 – iFinFET: Concentração de elétrons: a) plano xy; b) plano zy	73
Figura 45 – GAA FET: Concentração de elétrons: a) plano xy; b) plano zy.....	74
Figura 46 – FinFET: densidade de corrente nos planos: a) xy; b) zy.....	75
Figura 47 – iFinFET: densidade de corrente nos planos: a) xy; b) zy.....	76
Figura 48 – GAA FET: densidade de corrente nos planos: a) xy; b) zy	76
Figura 49 – (a) Empilhamento Si/ Si _{1-x} Ge _x por crescimento epitaxial iterativo; (b) Padronização de porta polissilício simulada e gravação a seco de fonte/dreno	92
Figura 50 – (a) Empilhamento Si/ Si _{1-x} Ge _x por crescimento epitaxial iterativo; (b) Padronização de porta polissilício simulada e gravação a seco de fonte/dreno ..	92
Figura 51 – (a) Gravura indentada Si/ Si _{1-x} Ge _x e deposição do espaçador interno; (b) Crescimento epitaxial para fonte e dreno	92
Figura 52 – (a) Substituição da porta polissilício e liberação do canal por ataque seletivo a seco; (b) Formação de pilha de porta incluindo high-k, ajuste de dipolo e metais de função de trabalho.....	92
Figura 53 – Grupo de comandos do Atlas	93
Figura 54 – Grade ou Mesh do dispositivo em: a) vista frontal; b) vista em ângulo ..	94

LISTA DE TABELAS

Tabela 1 – Dados físicos dos dispositivos carregados no Atlas	53
Tabela 2 – Função trabalho (w_f) de porta e substrato para os três dispositivos	54
Tabela 3 – Comparação dos resultados dos parâmetros de calibração com os parâmetros de referência para os dispositivos FinFET, iFinFET e GAA FET.....	55
Tabela 4 – Quadro resumo de resultados simulados	75

LISTA DE ABREVIATURAS E SIGLAS

3D	Três dimensões ou tridimensional
AC	Corrente alternada; <i>Alternating Current</i>
CVT	Tensão e temperatura constantes; <i>Constant Voltage and Temperature</i>
DC	Tensão contínua, <i>Direct Current</i>
DIBL	Redução da barreira induzida pelo dreno; <i>Drain Induced Barrier Lowering</i>
FinFET	Transistor de Efeito de Campo com porta em formato de aleta ou barbatana: <i>Fin Field Effect Transistor</i>
FSH	Forksheet (Transistor de Efeito de Campo com porta em formato de aletas em estrutura de garfo.)
GAA FET	Transistor de efeito de campo de porta circundante: <i>Gate-All-Around Field Effect Transistor</i>
High-k	Alta constante dielétrica; <i>High Constant</i>
Log	Logarítmo
MOSFET	Transistor de Efeito de Campo de Óxido de Metal Semicondutor; <i>Metal-Oxide-Semiconductor Field Effect</i>
MuGFETs	Transistor de Efeito de Campo de Múltiplas portas; <i>Multi-gate Field Effect Transistor</i>)
NW	Nano fio; <i>Nano Wire</i>
NWFET	Transistor de efeito de campo canal nano fio; <i>Nano Wire FET</i>
SCE	Efeito de canal curto; <i>Short Channel Effect</i>
SRH	Modelos de recombinação Shockley Read Hall
TCAD	Tecnologia de desenho assistido por computador; <i>Technology Computer-Aided Design</i>
Tri-gate	Porta tripla

LISTA DE SÍMBOLOS

I_{DS}	Corrente de dreno [A]
g_m	Transcondutância [S]
H_{Fin}	Altura do FinFET [m]
k	Constante de Boltzmann [$1,38066 \times 10^{-23}$ J / K]
kT	Energia térmica [$4,11 \times 10^{-21}$ J]
L	Comprimento de canal do transistor [m]
q	Carga elementar do elétron [$1,6 \times 10^{-19}$ C]
q_{id}	Densidade de carga na camada de inversão lado dreno [C/m^3]
q_{is}	Densidade de carga na camada de inversão lado fonte [C/m^3]
SS	Inclinação de sublimiar [mV / década]
T	Temperatura absoluta [K]
t_{ox}	Espessura do óxido de silício [m]
V_{DS}	Tensão de dreno [V]
V_{GS}	Tensão de porta [V]
V_{GT}	Sobretensão de porta [V]
V_{TH}	Tensão de limiar [V]
V_T	Tensão térmica [V]
W_{eff}	Largura efetiva do canal do transistor [m]
WF	Função trabalho [eV]
W_{Fin}	Largura do FinFET [m]

ΔL	Variação do comprimento do canal do transistor [m]
ϵ_{ox}	Permissividade do óxido de silício [$3,45 \times 10^{-13}$ F / cm]
∂I_{DS}	Derivada da corrente de dreno
$\partial \log (I_{DS})$	Derivada da curva logarítmica da corrente de dreno
∂V_{GS}	Derivada da tensão fonte/dreno
μ_0	Mobilidade dos elétrons [$\text{cm}^2 / \text{V.s}$]
ΔL	Variação do comprimento do canal do transistor [m]

SUMÁRIO

1	INTRODUÇÃO	17
1.1	Objetivo	22
1.2	Estrutura do Trabalho	22
2	DISPOSITIVO DE MÚLTIPLAS PORTAS	24
2.1	Porta Dupla	24
2.2	Porta Tripla	25
2.3	GAA-FET	28
2.4	Multicanais Empilhados	30
2.5	iFinFET	31
2.6	Forksheets	32
3	PARÂMETROS ELÉTRICOS	35
3.1	Corrente de Dreno – I_{DS}	35
3.2	Tensão de Limiar – V_{TH}	36
3.3	Inclinação de Sublimiar – SS	39
3.4	Redução da Barreira Induzida pelo Dreno – DIBL	40
3.5	Transcondutância – g_m	42
3.6	Parâmetros Analógicos	43
3.6.1	Condutância de Dreno – g_D	43
3.6.2	Tensão Early – V_{EA}	44
3.6.3	Relação da Transcondutância pela Corrente de Dreno	46
3.6.4	Ganho de Tensão Intrínseco (A_v)	46
4	SIMULAÇÕES TRIDIMENSIONAIS	48
4.1	Simulador ATLAS SILVACO	48
4.2	Modelos e Métodos do Simulador ATLAS	50
4.3	Calibração da Simulação	52
4.4	Estruturas dos Dispositivos Simulados	55
4.4.1	<i>FinFET</i>	56
4.4.2	<i>iFinFET</i>	57
4.4.3	<i>GAA FET</i>	57

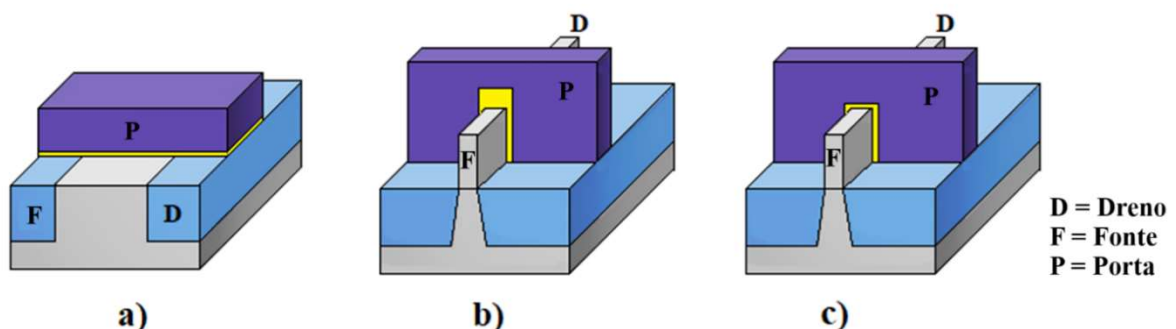
5	RESULTADOS E DISCUSSÕES	59
5.1	Corrente de dreno – I_{DS}	59
5.2	Tensão de Limiar – V_{TH}	62
5.3	Inclinação de Sublimiar – SS	63
5.4	Redução da Barreira Induzida pelo Dreno – DIBL	65
5.5	Transcondutância – g_m	66
5.6	Condutância de Dreno ou de Saída - g_D	67
5.7	Tensão Early	68
5.8	Relação da Transcondutância pela Corrente de Dreno	69
5.9	Ganho Intrínseco de Tensão	70
5.10	Distribuição de Cargas nos Dispositivos FinFET, iFinFET e GAA FET	70
5.11	Densidade de Corrente nos Dispositivos FinFET, iFinFET e GAA FET	74
5.12	Síntese dos Resultados Simulados	77
6	CONCLUSÕES E SUGESTÃO DE TRABALHOS FUTUROS	79
7	PUBLICAÇÕES	81
7.1	Artigos Publicados	81
7.1.1	Eventos Internacionais	81
7.1.2	Eventos Nacionais	81
7.2.	Artigos Aceitos Para Publicação	81
7.3	Artigos Submetidos Para Publicação	81
	REFERÊNCIAS	82
	APÊNDICE A – PROCESSO DE FABRICAÇÃO DE DISPOSITIVOS DE CANAIS EMPILHADOS	91
	APÊNDICE B – GRUPOS DE COMANDOS DO SIMULADOR ATLAS	93
	APÊNDICE C – CÓDIGO DE ENTRADA DO SIMULADOR ATLAS PARA O DISPOSITIVO FinFET	98
	APÊNDICE D – CÓDIGO DE ENTRADA DO SIMULADOR ATLAS PARA O DISPOSITIVO iFinFET	100
	APÊNDICE E – CÓDIGO DE ENTRADA DO SIMULADOR ATLAS PARA O DISPOSITIVO GAAFET	103

1 INTRODUÇÃO

Em 1965, o engenheiro cofundador da Intel Corporation, Gordon E. Moore, publica o artigo “*Cramming More Components onto Integrated Circuits*” na Electronics Magazine (Moore, 2006). Nesse artigo ele fez uma previsão na qual o número de componentes (transistor, por exemplo) em um circuito integrado dobraria a cada ano. Em 1975, quando a taxa de crescimento começou a desacelerar, Moore revisou sua previsão dizendo que a quantidade de componentes dobraria aproximadamente a cada dois anos (Mach, 2003).

A citação da Lei¹ de Moore se faz necessária para entender como os desafios de escala das indústrias de semicondutores levam a necessidade de criar inovadoras tecnologias de produção em massa. A evolução do transistor de efeito de campo metal/óxido/semicondutor (MOSFET) planar, Figura 1a, para o transistor de efeito de campo tridimensional inicialmente de porta dupla (FinFET), Figura 1b, e posteriormente de porta tripla ou tri-gate (Ajayan *et al.*, 2021), Figura 1c, representou o rompimento de fronteiras que permitiu às indústrias de semicondutores continuarem seguindo a Lei de Moore.

Figura 1 – a) MOSFET Planar; b) FinFET de porta dupla; c) FinFET de porta tripla.



Fonte: Elaborado pelo autor.

Após algum tempo, a redução de escala do MOSFET se mostrou finita, não pela redução de escala em si e processo litográfico, mas pelos efeitos que esta redução começou a gerar (Razavieh *et al.*, 2017).

O efeito mais impactante da redução de escala decorreu da pequena distância que separava o terminal da fonte com o terminal do dreno e que ficou conhecido como “Efeito de Canal Curto” (Tachiki *et al.*, 2021). Nessa situação, as regiões de depleção da fonte e dreno têm dimensões semelhantes ao comprimento do canal, de modo que a quantidade de carga controlada pela porta é da mesma ordem de grandeza que a presente nas regiões de depleção de fonte e dreno, o que fez a porta perder o controle sobre o canal e surgir efeitos colaterais como, por exemplo, redução da barreira induzida pelo dreno (DIBL – *Drain Induced Barrier Lowering*), espalhamento de superfície (*surface scattering*), ionização por impacto, efeito de perfuração (*punch-through*) e efeito de elétrons energéticos (*hot electrons*).

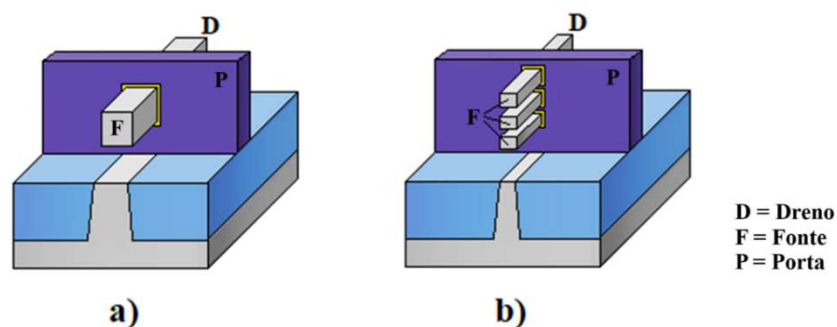
A solução para contornar os efeitos de canal curto foi a criação do FinFET, que consistiu em fabricar o canal do transistor de efeito de campo na forma de aleta vertical. A construção deste transistor estruturado na forma tridimensional concentrou-se em estabelecer a porta do canal em três lados, aumentando assim a área da superfície da porta (Sell *et al.*, 2022). O aumento da área de superfície, por sua vez, aumentou o controle eletrostático do dispositivo e com vários benefícios, como baixas correntes de fuga, altas correntes de acionamento, tempos de comutação rápidos etc. Nos FinFETs, o controle do canal aumenta com a redução do tamanho do transistor e oferece uma propriedade de escalabilidade superior para a fabricação de dispositivos transistorizados 3D.

A Intel foi a pioneira, no ano de 2011, a introduzir no mercado a linha de processadores “*Ivy Bridge*” com transistores FET de porta tripla em substrato tipo *Bulk* dentro da sua tecnologia lógica de 22 nm (Pandey *et al.*, 2018). Na ocasião de lançamento, a Intel afirmava que a introdução desses novos transistores de porta tripla trazia consigo 37% de aumento de desempenho em baixa tensão e mais de 50% de redução de energia em desempenho constante com pequeno acréscimo nos custos de fabricação em torno de 2 a 3% (Bohr; Mistry, 2011). Esses processadores usavam a técnica de estresse uniaxial com o dreno e fonte de SiGe incorporado, a qual impactava positivamente na mobilidade do canal, bem como o uso de um óxido de porta com alto valor de constante dielétrica (*high-k*).

Tudo isso combinado com eletrodos metálicos (*metal gate*), conhecido como *high-k/metal gate* (HKMG). O uso de dielétricos high-k permite reduzir a corrente de fuga e melhorar o desempenho dos transistores que compunham o processador *Ivy Bridge*.

Seguindo essa linha evolucionária de tecnologia 3D de transistor na otimização do controle eletrostático e performance do dispositivo, é então proposta uma nova geometria destes dispositivos: um transistor de efeito de campo com canal completamente envolvido pela porta ou *gate-all-around field effect transistor* (GAA FET), Figuras 2a e 2b. Se um canal completamente envolvido pela porta traz ganho de performance ao transistor, é intuitivo concluir que, se empilhar vários canais conectados uma mesma fonte e dreno em uma mesma área superficial ou *footprint* (Agha *et al.*, 2021), o ganho de desempenho é ainda maior (Wong e Kakushima, 2022).

Figura 2 – a) GAA canal único; b) GAA canais empilhados.



Fonte: Elaborado pelo autor.

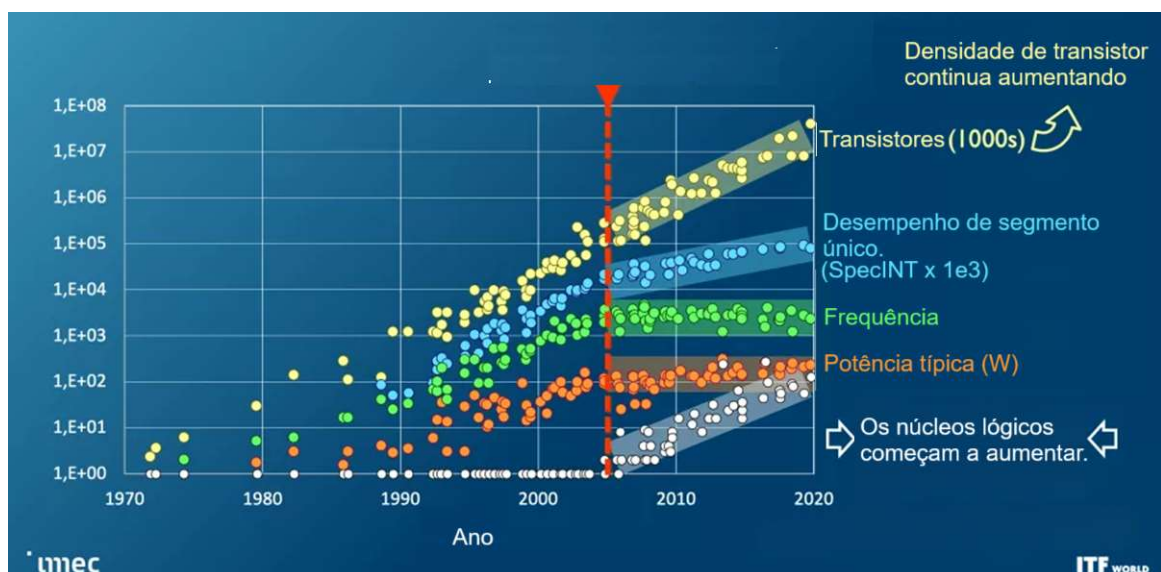
Para atingir uma eficiência de área de layout comparável (ou até superior) à de um FinFET, um GAA FET deve incluir múltiplos nanofios (NWs) empilhados verticalmente. Um GAA FET com nanofios empilhados é criado através do crescimento epitaxial de camadas sacrificiais relativamente espessas (>10 nm) de $\text{Si}_{1-x}\text{Ge}_x$ entre camadas de Si, para permitir a inserção de pilhas de dielétrico/metal/dielétrico entre os NWs. Desse modo, estruturas de aleta com uma razão de aspecto muito alta deve ser formadas antes da remoção seletiva das camadas sacrificiais de $\text{Si}_{1-x}\text{Ge}_x$ (Radamson *et al.*, 2024).

Outro desafio prático para a tecnologia GAA FET de nanofios empilhados é a necessidade de implementar múltiplas espessuras de óxido de porta para aplicações de sistema-em-chip (SoC).

Para contornar esses desafios, fornecendo um controle de porta aprimorado sem qualquer complexidade adicional do processo de fabricação, um projeto evolutivo de transistor multiporta ou *multigate*, o óxido inserido FinFET (iFinFET), foi proposto recentemente para reduzir os requisitos de espaçamento dos canais empilhados (Wu Y. T. *et al.*, 2021, 2022). A inserção do óxido inserido fornece acoplamento capacitivo aprimorado entre o eletrodo de porta e as regiões dos canais empilhados, de modo que a integridade eletrostática de um iFinFET seja próxima à do GAA FET multigate.

A Figura 3 dá a dimensão dos desafios encontrados pela indústria de semicondutores aparentemente intransponíveis à medida que os nós tecnológicos progridem e, ao mesmo tempo, a necessidade de maior potência computacional, especialmente para aprendizado de máquina (*machine learning*) e inteligência artificial (IA) crescem exponencialmente. Esses desafios se intensificam por volta do ano 2005, quando se percebeu estagnação no aumento da frequência dos novos dispositivos, sensível aumento de potência exigida, bem como o aumento na densidade de transistores e quantidade de núcleos lógicos.

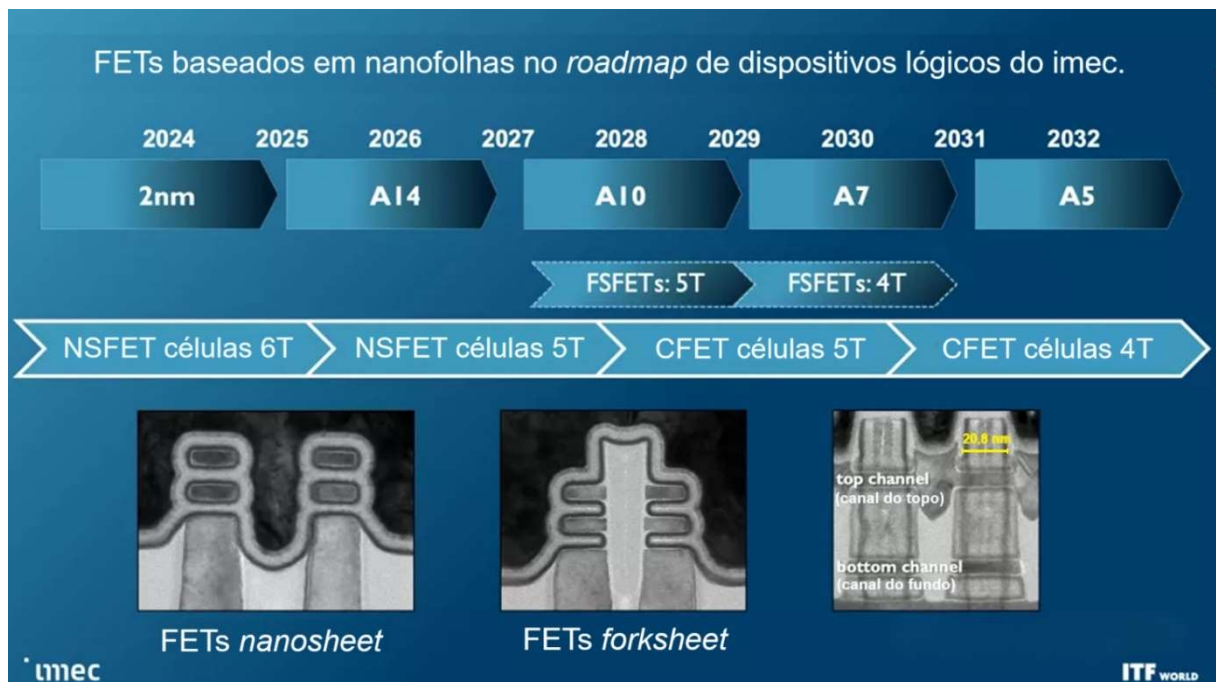
Figura 3 – Desafios da Indústria de Semicondutores.



Fonte: Adaptado de IMEC (2024) *apud* Griffin (2024).

Independente dos desafios apresentados, a empresa mundial de pesquisa avançada de semicondutores – IMEC – apresenta seu roteiro de transistores com um cronograma até 2036 (Figura 4) onde transistores mais rápidos e densos (GAA/Nanosheet) são prioridades dentro da tecnologia de nó de 2 nm em substituição aos atuais tri-gate MOSFETs (Alcorn, 2022). Esses transistores (GAA/Nanosheet) permitem melhorias na densidade do transistor e no desempenho, como comutação mais rápida, enquanto usam a mesma corrente de acionamento que múltiplos nanofios. O vazamento de corrente também é significativamente reduzido porque o canal é completamente cercado pela porta, e o ajuste da espessura do canal pode otimizar o consumo de energia ou o desempenho.

Figura 4 – *Roadmap* dos dispositivos semicondutores.



Fonte: Adaptado de IMEC (2024) *apud* Griffin (2024).

Neste trabalho, o dispositivo FinFET será usado como base para calibração das simulações e servirá de apoio para o estudo comparativo dos dispositivos de canais empilhados (iFinFET e GAAFET) com o uso dessas simulações numéricas TCAD 3D.

1.1 Objetivo

O objetivo desta dissertação de mestrado é investigar o desempenho do iFinFET e GAA FET (multicanais ou canais empilhados) sobre o transistor FinFET (canal único) através de simulações numéricas tridimensionais. A escolha dos dispositivos de canais empilhados se deve a sua relevância inovadora para indústria de semicondutores, com potencial promissor de substituição à atual tecnologia de transistores tri-gate.

Primeiramente será realizado um estudo através de uma série de simulações tridimensionais onde a corrente de dreno (I_{DS}) será a métrica utilizada para comparar o desempenho entre os 3 tipos de transistores avaliados neste trabalho.

Adicionalmente, será realizado um estudo do comportamento da tensão de limiar (V_T), inclinação subliminar (SS), redução da barreira induzida por dreno (DIBL), transcondutância (g_m) e parâmetros analógicos (g_D , V_{EA} , g_m/I_{DS} e A_V) das três estruturas para uma determinada faixa de comprimento da porta.

A escolha de uma ampla gama de comprimentos de porta visa fornecer uma visão ainda melhor das características elétricas dos dispositivos simulados. Além de comparar o comportamento elétrico entre cada dispositivo, também é possível fazer uma comparação isolada de cada estrutura devido aos diferentes comprimentos de porta.

Nessas simulações, serão incluídos modelos de mecanismos físicos apropriados, como os modelos de mobilidade da camada de inversão Lombardi (Tensão e Temperatura Constantes - CVT), juntamente com os modelos de recombinação Shockley Read Hall (SRH) e Auger.

Para as simulações, será utilizado o software ATLAS Silvaco (Saurabh *et al.*, 2021).

1.2 Estrutura do Trabalho

Visando comprovar e obter os resultados esperados das simulações, este trabalho foi dividido em seis capítulos, além das referências bibliográficas, como apresentado a seguir:

Capítulo 1 – Introdução: apresentação dos conceitos básicos sobre a tecnologia dos transistores de efeito de campo com uma breve descrição histórica e contextualizada destes transistores, incluindo a apresentação dos objetivos deste trabalho bem como sua estrutura.

Capítulo 2 – Dispositivos de Múltiplas Portas: este capítulo começa descrevendo o MOSFET de porta dupla como sendo o primeiro transistor de efeito de campo na forma tridimensional e sua contribuição para minimizar o SCE. Traz descrição dos dispositivos de porta tripla, de porta circundante (GAA FET), dos dispositivos multicanais (canais empilhados) e concluindo com a apresentação do estado da arte em dispositivos multicanais - o *Forksheets*.

Capítulo 3 – Parâmetros Elétricos: faz a apresentação e descrição dos parâmetros elétricos que foram objetos de estudos das simulações das três configurações de transistores de efeito de campo tridimensionais (FinFET, iFinFET e GAA FET). Estes parâmetros elétricos são: corrente de dreno (I_{DS}), tensão de limiar (V_{TH}), abaixamento da barreira induzida pelo dreno (DIBL), inclinação de sublimiar (SS) e transcondutância (g_m).

Capítulo 4 – Simulador, Calibração e Simulação: este capítulo faz introdução teórica do simulador Atlas utilizado neste trabalho com a apresentação dos grupos de comandos de simulação. Na sequência é descrito os critérios de calibração, dos modelos e métodos de simulação e por fim, a apresentação bidimensional e tridimensional das três estruturas indicando as regiões com seus respectivos materiais.

Capítulo 5: Resultados e discussões – apresentação dos resultados de simulação dos parâmetros elétricos e discussão dos resultados obtidos.

Capítulo 6: Conclusões – encerra este trabalho com proposta de trabalhos futuros sobre simulação de dispositivos semicondutores avançados.

2 DISPOSITIVO DE MÚLTIPLAS PORTAS

O surgimento dos dispositivos semicondutores de múltiplas portas é decorrência do limite de dimensionamento que atingiu o dispositivo MOSFET e o fator mais impactante foi a redução do comprimento do canal, o qual implicou no “Efeito de Canal Curto” ou “*SCE- Short Channel Effect*”. A alternativa para contornar esta situação foi migrar de um dispositivo bidimensional (porta única), já saturado pelo seu dimensionamento, para os dispositivos tridimensionais (múltiplas portas), que trouxeram mais flexibilidade de controle e desempenho.

2.1 Porta Dupla

Na década de 1980, foi publicada pela primeira vez uma pesquisa sobre um transistor de porta dupla em configuração planar. Esse dispositivo que exibiu um controle altamente eficaz do potencial na camada de silício, fazendo uso de duas portas localizadas, uma na parte superior e outra na parte inferior do canal. Devido a estas características, este transistor ficou conhecido como XMOS (Sekigawa, 1984), seu nome sendo uma referência à semelhança com a letra grega Ξ . No entanto, o processo de fabricação desse dispositivo era notoriamente complexo, especialmente no que diz respeito à criação das portas auto alinhadas.

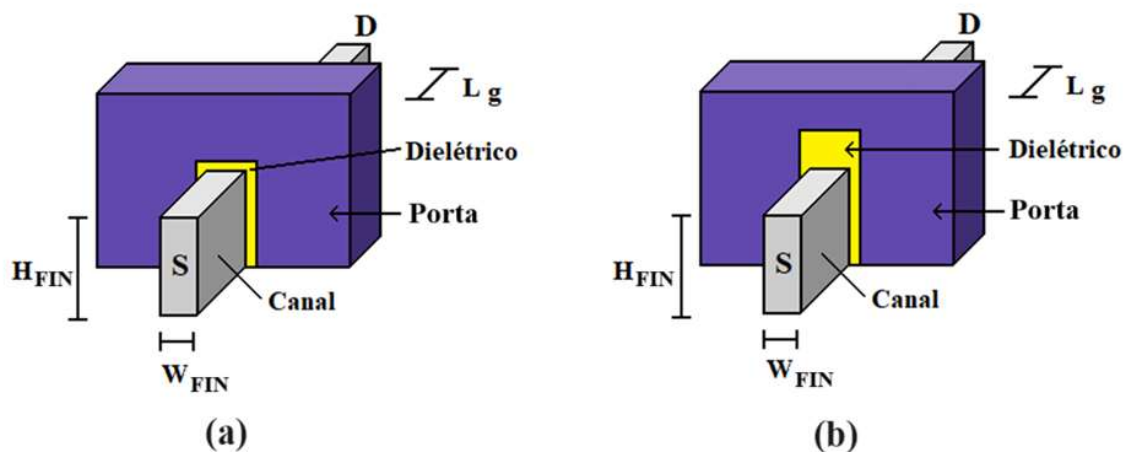
Quase uma década depois, no ano de 1989, foi produzido o transistor DELTA (*fully Depleted Lean-channel Transistor*) (Hisamoto, 1990), como mostrado na Figura 5-a. Este marcou o pioneirismo como o primeiro transistor de porta dupla que utilizava uma geometria de canal vertical. Nesse dispositivo, as portas laterais eram alinhadas de forma recíproca, com o canal localizado entre as laterais do corpo de silício. A introdução do transistor DELTA gerou uma inovação que resultou no desenvolvimento de diversos dispositivos de canais verticais, sendo o FinFET um dos mais notáveis deles, tornando-se uma das estruturas de canal vertical mais conhecidas.

O FinFET (Figura 5-b) representa uma evolução em relação ao transistor DELTA. Esses dispositivos têm estruturas similares, com a única diferença significativa sendo a presença de uma camada de óxido mais espessa na porta superior, o que reduz sua influência no controle das cargas. Isso permite que as portas laterais assumam um papel mais proeminente no controle dessas cargas.

Posteriormente, devido à redução na espessura do filme de silício, foi observado um fenômeno inovador denominado de inversão de volume. Esse fenômeno, conhecido como inversão de volume, foi identificado pela primeira vez em 1987 e experimentalmente confirmado em 1990, durante a implementação do transistor MOSFET de dupla porta do tipo GAA (*Gate All Around*).

Esse fenômeno é observado em dispositivos de efeito de campo de múltiplas portas, nos quais a inversão dos portadores ocorre não na interface Si/SiO₂, mas no interior da camada de silício. Isso resulta em um aumento na mobilidade no canal do transistor e na redução da tensão de limiar.

Figura 5 – Dispositivos: DELTA (a); FinFET (b).



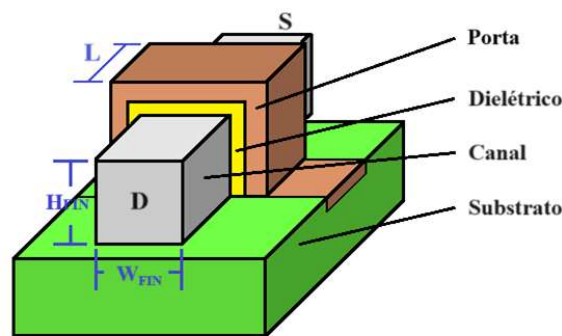
Fonte: Elaborado pelo autor.

2.2 Porta Tripla

Transistores FinFETs que possuem a porta superior ativa podem ser denominados dispositivos de porta tripla e esses componentes apresentam uma configuração onde a região do canal é cercada por três portas, conforme ilustrado na Figura 6.

A influência exercida por cada uma das laterais também é influenciada pela geometria do dispositivo. Ou seja, dependendo da largura e altura da aleta de silício (Fin), a contribuição de cada porta pode variar. Nesse arranjo, a largura do canal é aproximadamente igual a $W \cong W_{Fin} + 2 H_{Fin}$.

Figura 6 – FinFET de porta tripla ou tri-gate.



Fonte: Elaborado pelo autor.

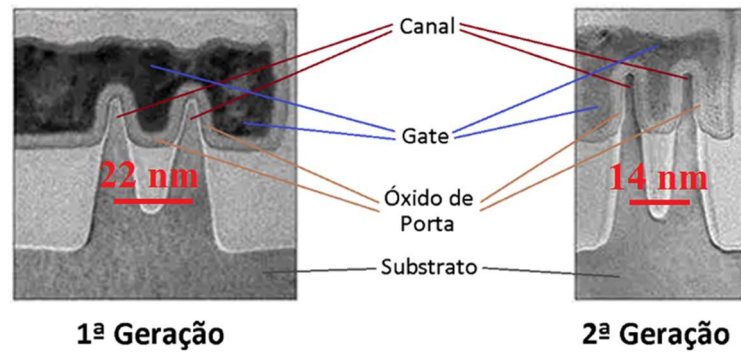
A condução de corrente no transistor de porta tripla pode ser controlada tanto pelas portas laterais quanto pela porta superior, e isso dependerá da relação entre as dimensões de largura (W_{Fin}) e altura (H_{Fin}) da aleta de silício (*Fin*) (Du *et al.*, 2022).

Para valores maiores de W_{Fin} , a condução de corrente é principalmente influenciada pela porta superior. Quando W_{Fin} se aproxima de H_{Fin} , a condução de corrente é afetada tanto pelas portas laterais quanto pela superior. E quando W_{Fin} é menor que H_{Fin} , a condução de corrente é dominada pelas portas laterais.

As estruturas de porta tripla têm sido um tópico de muitas publicações ao longo da última década devido às suas principais vantagens, que incluem a redução dos efeitos de canal curto, uma maior densidade de integração e uma inclinação de sublimar praticamente ideal (Maurya *et al.*, 2022).

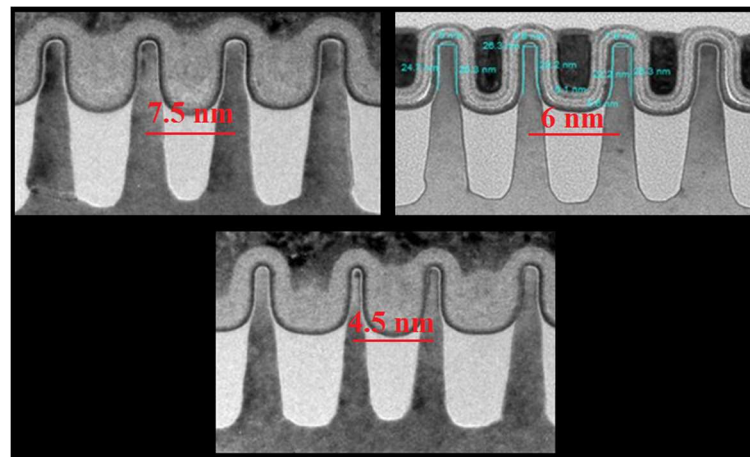
Uma imagem de microscopia eletrônica de varredura é mostrada na Figura 7 que ilustra a escala da primeira e da segunda geração desses transistores com suas respectivas regiões. Na Figura 8 é possível ver a evolução de redução de escala desses dispositivos nas gerações seguintes.

Figura 7 – Imagem de microscopia eletrônica da primeira e segunda geração do FinFET porta tripla.



Fonte: Adaptado de Johnson (2014) pelo autor.

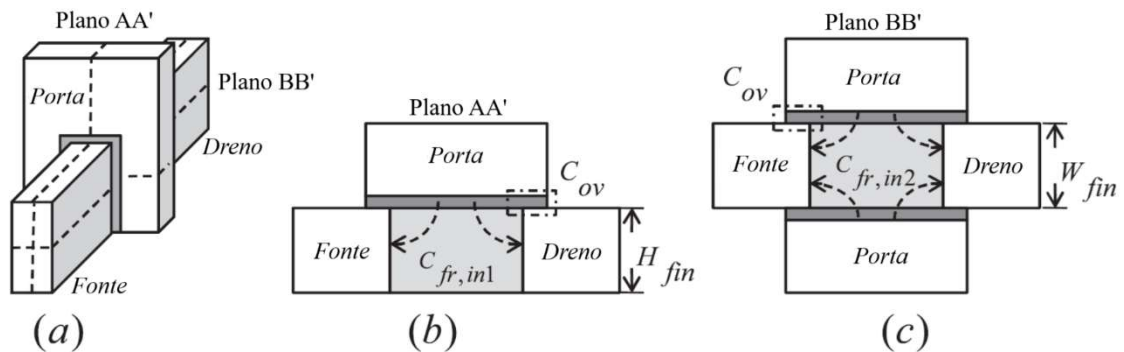
Figura 8 – Imagem de microscopia eletrônica de FinFETs porta tripla com espaçamento de canais para 7,5 nm, 6 nm e 4,5 nm.



Fonte: Adaptado de Bhoir *et al.* (2019) pelo autor.

A adição da terceira porta trouxe como benefício largura extra à região ativa do transistor. Como desvantagem, a Figura 9b mostra que há um acoplamento elétrico da parte inferior do eletrodo de porta (topo do canal) e a extensão da aleta fonte/dreno, que forma o primeiro componente interno de franja que ele denominou ($C_{f,in1}$) que trouxe aumento nas capacitâncias parasitas (Alvarado *et al.*, 2013).

Figura 1 – a) planos AA' e BB'; b) plano AA'; c) plano BB'.



Fonte: Adaptado de Rodriguez *et al.* (2013).

2.3 GAA-FET

Os transistores de efeito de campo com canal completamente envolvido pela porta ou *gate-all-around field effect transistor* (GAA-FET) são os sucessores dos FinFETs, pois podem trabalhar em tamanhos abaixo de 7 nm. Eles foram apresentados pela primeira vez em 1988, por uma equipe de pesquisa da Toshiba, incluindo Fujio Masuoka, Hiroshi Takato e Kazumasa Sunouchi, que demonstraram um GAA-FET de nanofio vertical que eles chamaram de "transistor de porta circundante" (Takato *et al.*, 1988).

O GAA-FET apresenta alguns subtipos de implementação onde se destacam o Nanosheet GAA-FET e o Nanowire GAA-FET. A diferença reside principalmente na geometria do canal, que pode ser uma folha (*sheet*) plana ou um fio/tubo (*wire*) cilíndrico, mas ambos compartilham o conceito de envolver completamente o canal com o material de porta (Veloso *et al.*, 2020).

Algumas vantagens desse dispositivo podem ser destacadas, segundo Mukesh e Zhang (2022) e Wang (2024), tais como:

- **Eficiência Energética:** A estrutura GAA-FET reduz as correntes de fuga e, portanto, melhora a eficiência energética, o que é crucial para dispositivos móveis e servidores de data centers.

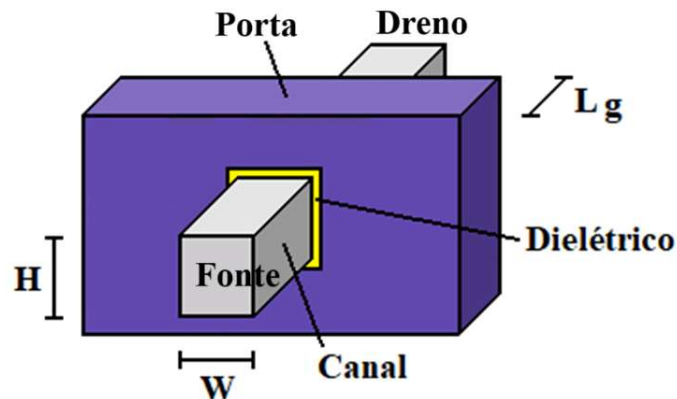
- Desempenho Melhorado: O GAA-FET oferece um melhor controle do canal, resultando em um desempenho de comutação mais rápido e uma maior frequência de operação.
- Escalabilidade: A arquitetura GAA é altamente escalável, o que significa que pode ser usada em processos de fabricação avançados, permitindo a criação de dispositivos menores e poderosos.
- Aplicações Potenciais: O GAA-FET é considerado uma tecnologia promissora para uma variedade de aplicações, incluindo eletrônica móvel, processadores de computador, memória de acesso aleatório (RAM), armazenamento de dados não volátil (como SSDs) e muitos outros dispositivos semicondutores.

Desafios: Embora o GAA-FET ofereça várias vantagens, sua implementação em larga escala enfrenta desafios técnicos, como a fabricação precisa e o controle do material de porta, bem como a integração em processos de fabricação existentes (Draeger, 2020).

As principais fundições de semicondutores têm anunciado uma transição estratégica para arquiteturas nano estruturadas do dispositivo GAA-FET para produção de chips lógicos em nós de tecnologia de 3nm ou 2nm. Esta mudança estratégica ressalta o reconhecimento da indústria dos benefícios de desempenho incomparáveis oferecidos pelas configurações do tipo GAAFET (Hertz, 2021; Horiguchi, 2021; Petterson, 2022).

A Figura 10 representa de forma simplificada o dispositivo com a porta envolvendo completamente o canal. Se a adição de mais uma porta no FinFET de porta dupla trouxe aprimoramento de desempenho ao FinFET de porta tripla, um dispositivo de canal completamente envolvido por uma única porta o desempenho é ainda maior.

Figura 10 – Dispositivo GAA-FET tridimensional.



Fonte: Elaborado pelo autor.

2.4 Multicanais Empilhados

Os dispositivos GAA-FETs de canais empilhados surgiram como uma inovadora arquitetura de dispositivo para substituir os transistores de efeito de campo FinFETs devido às suas altas capacidades de condução de corrente, excelente controle eletrostático e operação de alta frequência (Wong e Kakushima, 2022) e implementar o GAA-FET de canal único.

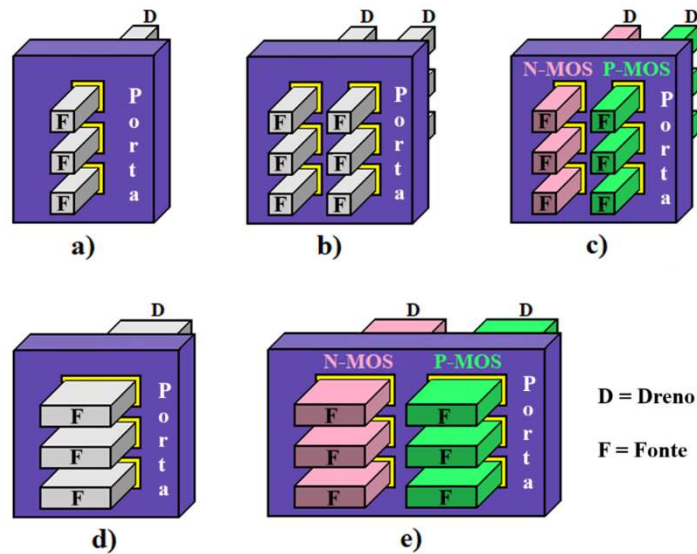
Uma característica ainda mais atraente é que, ao empilhar o canal GAA-FET verticalmente, a corrente de dreno ou a largura efetiva do canal pode ser muito maior do que um FinFET com o mesmo tamanho e, portanto, tem uma escalabilidade ainda melhor (Wong e Kakushima, 2022).

Quanto à geometria do canal, os dispositivos GAA-FET de canais empilhados (Kurniawan *et al.*, 2020) podem ter seção da região ativa de forma quadrada ou circular (nanotubos) ou seção retangular achatada (nanofolhas ou *nanosheets*) (Kumari; Prithvi, 2022), como é visto na Figura 11.

2.5 iFinFET

A estrutura do transistor FinFET de múltiplas portas é amplamente utilizada nas tecnologias de semicondutores metal-óxido complementares (CMOS) na geração de 16/14 nm (Natarajan *et al.*, 2014; Lin *et al.*, 2014; Wu S-Y. *et al.*, 2014).

Figura 11 – Estruturas GAA-FET com: a) três nanotubos; b) seis nanotubos; c) nanotubos complementares (N-MOS e P-MOS); d) três nanosheets; e) nanosheets complementares (N-MOS e P-MOS).



Fonte: Elaborado pelo autor.

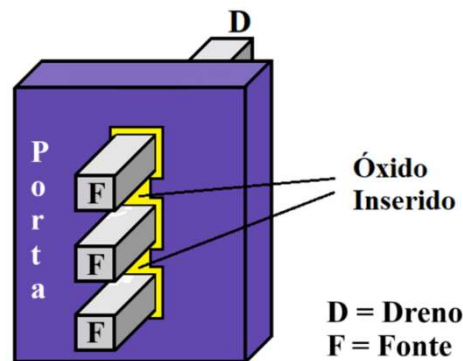
O transistor de efeito de campo "gate-all-around" (GAA-FET) é esperado para ser adotado em gerações futuras para permitir o escalonamento final do comprimento da porta devido à sua superior integridade eletrostática. No entanto, para alcançar eficiência de área de layout comparável (ou até melhor) do que a do FinFET, um GAA FET deve incluir múltiplos nanofios empilhados (Dupre *et al.*, 2008), com complexidade significativa adicionada ao processo de fabricação.

Isso ocorre porque nanofios empilhados são formados pelo crescimento epitaxial de camadas sacrificiais de $\text{Si}_{1-x}\text{Ge}_x$ relativamente espessas (>10 nm) entre camadas de canal de Si para acomodar camadas de dielétrico de porta/metal de porta/dielétrico de porta entre os nanofios, de modo que estruturas de aleta com razão de aspecto muito alta, devem ser gravadas antes da remoção seletiva das camadas sacrificiais de $\text{Si}_{1-x}\text{Ge}_x$. Esse processo de construção de canais ou nanotubos empilhados está descrito no anexo A.

Além disso, será mais difícil implementar espessuras múltiplas de óxido de porta conforme necessário para aplicações de sistema em chip (SoC) na tecnologia GAA FET. Essa proposta de design evolutivo de transistor de múltiplas portas, o FinFET com óxido inserido (iFinFET) (Zheng² *et al.*, 2015) (Figura 12), é de contornar esses desafios, proporcionando um controle aprimorado da porta sem qualquer complexidade adicional no processo de fabricação.

As características de desempenho do iFinFET serão comparadas com o FinFET e com o GAA FET de nanofios empilhados (canal-n ou NMOS) por meio de simulações de dispositivos 3-D assistidas por computador (TCAD).

Figura 12 – iFinFET tridimensional com óxido inserido entre os NWs.



Fonte: Elaborado pelo autor.

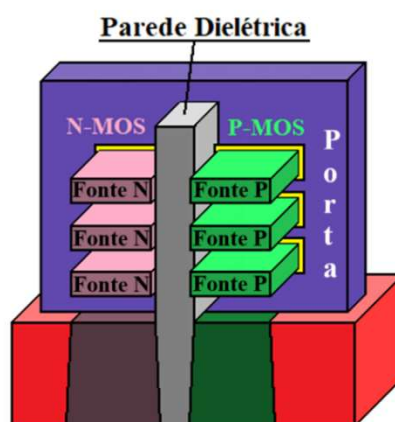
O óxido inserido fornece acoplamento capacitivo aprimorado entre o eletrodo de porta e as regiões do canal NW, de modo que a integridade eletrostática de um iFinFET seja próxima à do NWFET aumentando o acionamento de corrente e reduzindo o espaçamento vertical entre os NWs.

2.6 Forksheet

O dispositivo *Forksheet* (FSH) é uma recente proposta de arquitetura de transistor de efeito de campo com grande potencial de substituir os FinFETs (Bury *et al.*, 2023). Sua geometria é mostrada na Figura 13 e na Figura 14 (Liu, 2021) tem-se uma imagem de microscopia de varredura eletrônica de um arranjo de vários dispositivos *Forksheet* com suas respectivas regiões representadas no elemento NMOS/PMOS à direita dessa figura.

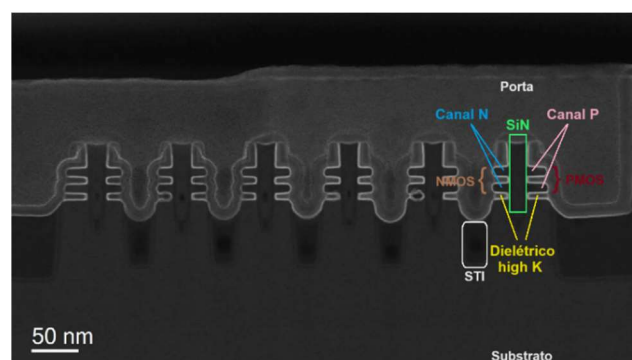
Ele consiste em folhas do tipo NMOS e PMOS empilhadas verticalmente em lados opostos de uma parede dielétrica e são controladas por uma estrutura de porta bifurcada. A ideia do *Forksheets* surgiu da exploração dos limites da arquitetura do GAA FET nanosheet, que consiste em pilhas horizontais de fitas de silício cercadas pela porta de controle de corrente e que tem como uma das principais limitações a manutenção de uma separação segura entre os dois tipos de transistores que compõem a lógica CMOS (Weckx *et al.*, 2019).

Figura 13 – Dispositivo *Forksheets* tridimensional.



Fonte: Elaborado pelo autor.

Figura 14 – Imagem de microscopia por varredura de um arranjo de Forksheets.



Fonte: Adaptado de Liu (2021) pelo autor.

Os dois tipos - NMOS e PMOS - devem manter uma certa distância para limitar a capacitância que prejudica o desempenho e o consumo de energia dos dispositivos. Logo, a proposta do *Forksheets* é romper essa limitação com o uso de uma parede dielétrica de SiN.

Isso permite que os dispositivos sejam colocados mais próximos sem causar problemas de capacitância e oferecer mais espaço livre ao projeto devido seu tamanho mais compacto (Bury *et al.*, 2023).

Esta parede dielétrica de SiN pode atuar como uma "esponja" para cargas não equilibradas criadas pelo portador quente ou absorver cargas resultantes do campo horizontal entre os dispositivos do tipo NMOS e PMOS (Bury *et al.*, 2022).

3 PARÂMETROS ELÉTRICOS

Neste capítulo são tratadas as principais características elétricas dos transistores de efeito de campo (FinFET, iFinFET e GAA FET) e que serão objeto de simulação neste trabalho tais como a corrente de dreno (I_{DS}), tensão de limiar (V_{TH}), inclinação de sublimiar (SS), abaixamento da barreira induzida pelo dreno (DIBL) e a transcondutância (g_m).

3.1 Corrente de Dreno – I_{DS}

Corrente de dreno (I_{DS}) nos dispositivos de efeito de campo é a corrente elétrica que flui do dreno em direção a fonte quando, no terminal de controle (porta), uma tensão (V_{GS}) é aplicada. Dependendo do tipo de dopagem do canal do dispositivo (tipo N ou tipo P), haverá uma determinada polaridade para a tensão aplicada no terminal de controle:

- $V_{GS} > 0$, para canal tipo N
- $V_{GS} < 0$, para canal tipo P

Fasarakis *et al.*, (2012) definem I_{DS} em dispositivo MOSFET de dupla porta (*double-gate*) levemente dopado como sendo (Eq. 1):

$$I_{DS} = \mu_0 2W_{eff} \frac{\epsilon_{ox}}{t_{ox}} \left(\frac{2k}{q} \right)^2 \left[\frac{(q_{is} - q_{id})}{L} + \frac{1}{2} \frac{(q_{is}^2 - q_{id}^2)}{L - \Delta L} \right] \quad (1)$$

Onde μ_0 é a mobilidade de elétrons de baixo campo, ϵ_{ox} é a permissividade do óxido, t_{ox} é a espessura do óxido, k é a constante de Boltzmann, T é a temperatura absoluta (K), q é a carga do elétron, ΔL é o gap entre L e o ponto de pinçamento (*pinch-off*) do canal, L é o comprimento físico do canal, e q_{is} e q_{id} são densidade de carga na camada de inversão normalizadas calculadas na fonte e no dreno.

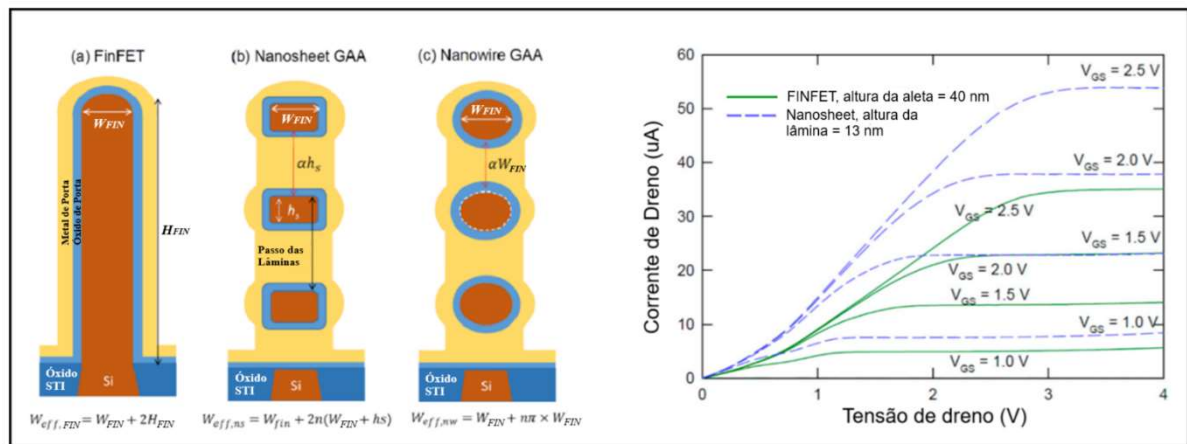
Para I_{DS} em dispositivos de porta tripla, Fasarakis *et al.*, (2012) usaram uma derivação com pequenos ajustes da Eq. 1 e a definiram como (Eq. 2):

$$I_{DS} = \mu_0 \frac{2W}{L} \frac{\varepsilon_{ox}}{t_{ox}} (2V_T)^2 \left[(q_{is} - q_{id}) + \frac{1}{2} (q_{is}^2 - q_{id}^2) \right] \quad (2)$$

Onde $V_T = kT/q$.

A Figura 15 (Wong; Kakushima, 2022) mostra como a corrente de dreno se comporta quando V_{DS} varia de 0 a V_{DD} . Pode-se dizer que o comportamento de I_{DS} de um determinado dispositivo é sua principal identidade.

Figura 15 – Curva $I_{DS} \times V_{DS}$ de um FinFET (a) e um Nanosheet GAA (b).



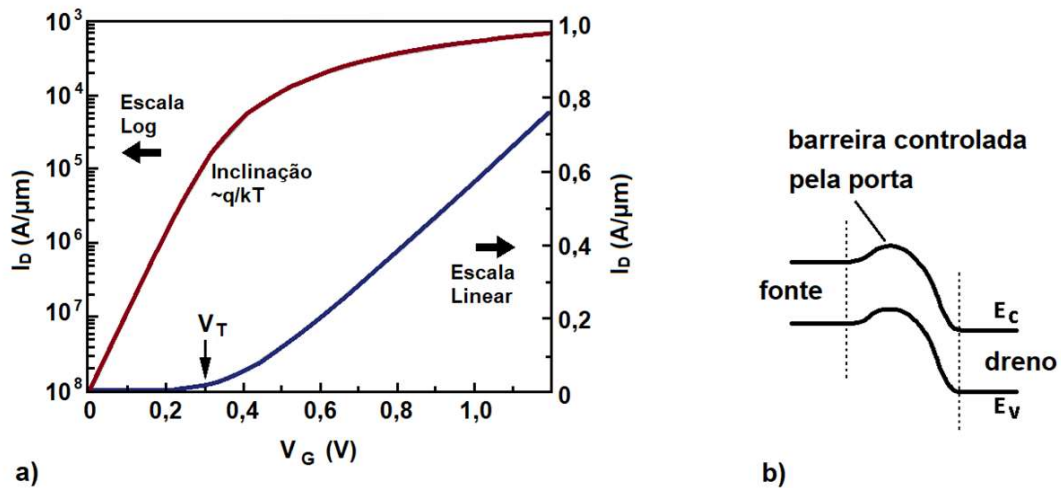
Fonte: Adaptado de Wong e Kakushima (2022).

3.2 Tensão de Limiar – V_{TH}

Tensão de limiar (*Threshold Voltage*) – V_{TH} – é a mínima tensão aplicada entre o terminal de controle porta e o terminal fonte que é capaz de formar uma camada de inversão no topo do canal (abaixo do óxido isolante) e entre a fonte e o dreno.

Essa camada de inversão, formada por portadores minoritários do tipo n ou p, é a responsável por dar início a um fluxo de corrente elétrica (I_{DS}) entre a fonte e o dreno (Maurya *et al.*, 2022). Abaixo da tensão de limiar (V_{TH}), a corrente (I_{DS}) não cai imediatamente para zero. Em vez disso, diminui exponencialmente com uma inclinação na escala logarítmica inversamente proporcional à energia térmica kT (Figura 16a). Isso ocorre porque alguns dos elétrons distribuídos termicamente na fonte do transistor têm energia suficiente para superar a barreira de potencial controlada pela tensão da porta e para o dreno (Figura 16b). Esse comportamento de V_{TH} abaixo do limite segue diretamente da termodinâmica fundamental e é independente da tensão da fonte de alimentação e do comprimento do canal.

Figura 16 – a) curvas log e linear de I_{DS} ; b) banda de energia fonte/dreno.



Fonte: Adaptado de Taur (2002) pelo autor.

A tensão de limiar nos dispositivos de porta dupla depende da espessura da camada de silício (t_{Si}). Assumindo que o potencial de superfície (responsável pelo encurvamento das bandas de energia) seja o dobro do potencial de Fermi (diferença de energia do nível de Fermi e o nível intrínseco) na inversão forte, ou seja $\phi_s = 2\phi_F$, a tensão de limiar para dispositivos de porta dupla pode ser determinada pela Eq. 3;

$$V_{TH_2} = V_{FB} + 2\phi_F + \frac{qN_A t_{Si}}{C_{OX}} \frac{1}{2} \quad (3)$$

Onde V_{FB} é a tensão de faixa plana (tensão que anula o encurvamento das bandas de energia ou que anula o potencial de superfície), ϕ_S é o potencial de superfície, ϕ_F é o nível de Fermi, N_A é a concentração de impurezas aceitadores do semiconductor tipo P, t_{Si} é a espessura da camada de silício e C_{OX} a capacitância no óxido.

Para dispositivos MuGFETs (*multi-gate field effect transistor*) com baixa dopagem no canal, as tensões de limiar ocorrem ao mesmo tempo e a Eq. 4 (Lee *et al.*, 2007) é obtida por meio da relação entre tensão de limiar e a espessura da camada de silício.

$$V_{TH_np} = V_{FB} + 2\phi_F + \frac{qN_A t_{Si}}{C_{OX} np} \quad (4)$$

Onde $np = 2$ para dispositivos de porta dupla: $np = 3$ para dispositivos de porta tripla e $np = 4$ para dispositivos de porta circundante. Considerando os dispositivos com a espessura do filme de silício maiores que 10 nm, pois os efeitos quânticos, (tais como inversão de volume) foram desprezados.

Na literatura existem vários métodos para extração da tensão de limiar reportados (Condez *et al.*, 2002; Liou *et al.*, 1997; Karlsson *et al.*, 1996). O método da variação máxima da transcondutância (MTC - *Maximum Transconductance Change*) (Terao *et al.*, 1991; Wong *et al.*, 1987) é um dos mais utilizados para extrair a tensão de limiar nos MuGFETs, pois através dele, é possível verificar facilmente a presença de mais de uma tensão de limiar existente nos dispositivos.

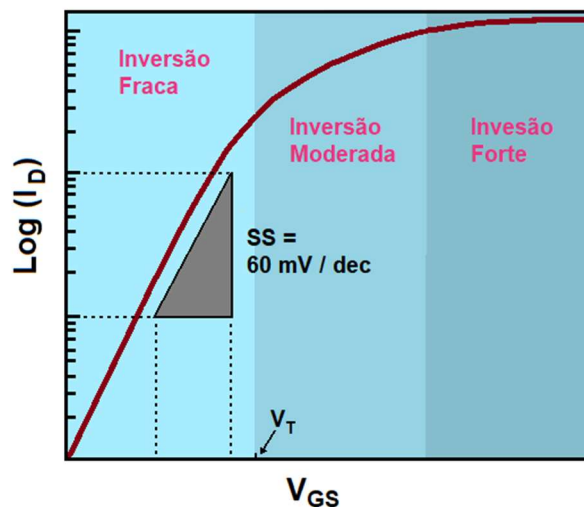
No método MTC, a tensão de limiar é definida como sendo a tensão aplicada à porta do transistor, onde a derivada da transcondutância (d^2I_{DS}/dV_{GS}^2) tem o seu valor máximo, ou seja, quando $d^3I_{DS}/dV_{GS}^3 = 0$.

3.3 Inclinação de Sublimiar – SS

A inclinação de sublimiar (SS – *Subthreshold Slope*) de um transistor MOSFET ocorre quando a tensão aplicada à porta do transistor (V_{GS}) está abaixo da tensão de limiar (V_{TH}) e o semiconductor está na chamada inversão fraca (Sze, 2006; Ng, 2009). Para transistores do tipo N-MOS, quando $V_{GS} < V_{TH}$, a corrente elétrica de dreno varia exponencialmente com a tensão de porta, até que exista um canal formado e o transistor comece a conduzir.

Em termos matemáticos, a SS é definida como a variação de tensão de porta (V_{GS}) necessária para causar a variação de uma década na corrente de dreno (I_{DS}) com o dispositivo operando na região de sublimiar (Figura 17).

Figura 17 – Representação de SS através da curva $I_{DS} \times V_{GS}$ em escala log.



Fonte: Elaborado pelo autor.

Em temperatura ambiente, o limite teórico de SS para transistores de efeito de campo dado pela Eq. 5 e 6 (Colinge, 2002) é de 60 mV/dec, onde V_T é a tensão térmica, K é a constante de Boltzman, T é a temperatura absoluta, q a carga elementar do elétron e ' n ' o fator de idealidade. Este fator de idealidade ou fator de qualidade é responsável pela recombinação das cargas da região de depleção da junção, cujo valor varia entre 1 e 2, sendo 1 o valor mais próximo do ideal.

$$SS = V_T \cdot \ln(10) \cdot n \quad (5)$$

$$SS = \frac{k.T}{q} \cdot \ln(10) \cdot n \quad (6)$$

Considerando à temperatura ambiente (25 °C) a tensão térmica equivale a 25,68 mV e o fator de idealidade vale 1, o lado direito da Eq. 6 atinge o valor de 59,13 mV/Dec (≈ 60 mV/Dec).

Os dispositivos de efeito de campo com duas ou três portas apresentam melhor SS devido ao maior controle das cargas no interior do canal quando comparados aos dispositivos de porta simples.

Outra forma de calcular SS é por meio da variação de V_G pela variação de I_{DS} , como mostra a Eq. 7.

$$SS = \frac{\partial V_{GS}}{\partial \log(I_{DS})} \quad (7)$$

3.4 Redução da Barreira Induzida pelo Dreno – DIBL

DIBL (*Drain-Induced Barrier Lowering*) é um efeito de canal curto observado em MOSFET com comprimento de canal inferior a 100 nm. Quando a tensão de dreno for aumentada, a barreira de potencial no canal diminuirá e a este efeito dá-se o nome de DIBL. A redução da barreira de potencial eventualmente permite o fluxo de elétrons entre a fonte e o dreno, mesmo que a tensão V_{GS} seja menor que V_{TH} . A corrente do canal que flui nessas condições ($V_{GS} < V_{TH}$) é chamada de corrente de sublimiar e ela tende a aumentar. Aumentar o potencial de dreno aumenta a região de depleção da junção de dreno, reduzindo ainda mais a tensão de limiar.

Em um N-MOS convencional, quando uma tensão positiva é aplicada na porta, o canal do tipo P começa a depletar, e se a tensão da porta continuar aumentando, o canal sofre inversão e começa a conduzir. Logo podemos dizer que a tensão da porta é a única responsável pela depleção das cargas no canal e controla o dispositivo.

Entretanto, em MOSFET de canal curto, a fonte e o dreno estão muito próximos e qualquer tensão positiva aplicada no dreno resultará na depleção de uma parte considerável do canal. Portanto, a carga efetiva total que o dispositivo de canal curto precisa agora depletar para ligar o MOSFET é reduzida, implicando na redução de V_{TH} devido ao compartilhamento de carga. Nessas condições, uma vez que o dispositivo estiver ligado, a porta não mais conseguirá desligar I_{DS} com eficiência.

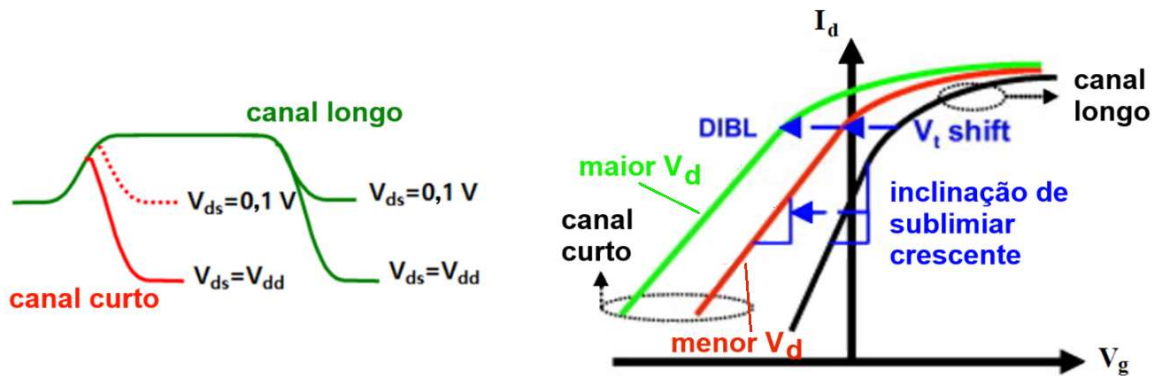
À esquerda da Figura 18 está representado o diagrama de bandas de energia da fonte/canal/dreno com dois valores padrão de V_{DS} (0,1 V e V_{DD}). No caso de dispositivos de canal longo, a região de depleção formada pela tensão de dreno que ocupa a região do canal não é tão significativa com uma variação de V_{DS} de 0,1 V até V_{DD} . Para dispositivos de canal curto, o efeito DIBL já é observado quando V_{DS} ainda está em 0,1 V e bem acentuado para $V_{DS} = V_{DD}$. À direita da Figura 18 está o gráfico que compara o impacto do DIBL em dispositivos de canal longo e de canal curto e sua influência na diminuição tanto do valor de V_T quanto na inclinação da curva log (quanto mais íngreme a inclinação, melhor).

Neste trabalho, foi utilizada a Eq. 8 para o cálculo do DIBL para dois valores diferentes de tensão de dreno ($V_{D1} = 100$ mV e $V_{D2} = 1,2$ V) e dois valores de tensão de limiar obtidos por meio de simulação (V_{T1} e V_{T2}) para valores distintos de comprimento de canal.

$$DIBL \left(\frac{mV}{V} \right) = \frac{V_{T1(VD1)} - V_{T2(VD2)}}{V_{D2} - V_{D1}} \quad (8)$$

Onde: V_{T1} é a tensão de limiar para a menor tensão de dreno, V_{T2} é a tensão de limiar para a maior tensão de dreno, V_{D1} é a menor tensão de dreno e V_{D2} é a maior tensão de dreno.

Figura 18 – à esquerda: diagrama de bandas de energia fonte/canal/dreno; à direita: gráfico da degradação de SS e redução de V_{TH} .



Fonte: DISPOSITIVO [...] (2022)

3.5 Transcondutância – g_m

A transcondutância (g_m) é uma propriedade importante que determina o desempenho de qualquer transistor de efeito de campo e é definida como a razão entre a mudança na corrente de dreno e a mudança na tensão de porta em um intervalo arbitrariamente pequeno definido na curva I_{DS} versus V_{GS} (Aditya *et al.*, 2022).

Em termos matemáticos, g_m é definida como a derivada da corrente de dreno em relação à tensão da porta (Eq. 9). Em geral, quanto maior a transcondutância do dispositivo, maior o ganho (ou amplificação) que ele é capaz de fornecer, quando todos os outros fatores são mantidos constantes. Sua unidade é o Siemens e é representada pela letra S.

$$g_m = \frac{\partial I_{DS}}{\partial V_{GS}} \quad (9)$$

Por meio das equações de corrente do modelo desenvolvido por Lim & Fossum⁴², é possível expressar a transcondutância nas regiões linear e de saturação utilizando as Eq. 10 e 11, respectivamente.

$$g_m = \frac{dI_{DSat}}{dV_{G1}} = \mu_n C_{ox1} \frac{W}{L} V_{DS} \quad (10)$$

$$g_m = \frac{dI_{DSat}}{dV_{G1}} = \frac{\mu_n C_{ox1}}{(1+\alpha)} \frac{W}{L} (V_{G1} - V_T), \text{ para } V_{DS} > V_{DSat} \quad (11)$$

No contexto do transistor, a largura e o comprimento do canal são denotados como W e L , respectivamente. A mobilidade efetiva dos elétrons é representada por μ_n , e α é o parâmetro resultante de associação das capacitâncias do transistor. Consequentemente, é evidente que a transcondutância também varia de acordo com a polarização da segunda interface. Portanto, ela é maior em um transistor MOSFET SOI totalmente depletado em comparação com um dispositivo MOS, que, por sua vez, é maior do que em um transistor SOI MOSFET totalmente depletado com a segunda interface acumulada, uma vez que $(1 + \alpha) = n$ aumenta.

É importante notar que a diminuição da temperatura resulta em um aumento na transcondutância, uma vez que a mobilidade dos portadores está diretamente relacionada a ela, e essa relação é intensificada com a redução da temperatura. Em particular, esse aumento é mais significativo quando a transcondutância é avaliada na região linear, pois nessa região não há influência das armadilhas de interface.

Entretanto, é preciso mencionar que o aumento da transcondutância devido à redução da temperatura é atenuado quando a avaliação é feita na região de saturação. Isso ocorre porque, além da influência das armadilhas de interface, a transcondutância nessa região é inversamente proporcional ao fator n , onde $n = 1 + \alpha$.

3.6 Parâmetros Analógicos

3.6.1 Condutância de Dreno – g_D

Nos transistores de efeito de campo, condutância de dreno (g_D), também conhecida como condutância de saída, é uma medida da capacidade do transistor de conduzir corrente entre o dreno e a fonte quando uma diferença de potencial é aplicada entre esses terminais.

Com mais rigor, a condutância de dreno é a taxa de mudança da corrente de dreno (I_{DS}) em relação à mudança da tensão de dreno-fonte (V_{DS}), mantendo a tensão de porta constante conforme mostra a Eq. 12. Há também outra relação para g_D que relaciona a corrente de dreno do dispositivo (I_{DS}) com a tensão Early (V_{EA}) que será estudada no próximo tópico.

$$g_D \cong \frac{\partial I_{DS}}{\partial V_{DS}} \cong \frac{I_{DS}}{V_{EA}} \quad (12)$$

Alguns parâmetros que podem influenciar na condutância de dreno dos dispositivos de efeito de campo e que estão relacionados com as suas dimensões, polarizações e dopagens:

- Tamanho do transistor (L e W) – Transistores FET maiores têm canais mais amplos, o que geralmente resulta em maior condutância de dreno (Sedra; Smith, 2014).
- Tensão de polarização da porta (V_{GS}): A condutância de dreno é altamente sensível à tensão aplicada entre a porta e a fonte. Aumentar a tensão de polarização da porta geralmente aumenta a condutância de dreno (Sedra; Smith, 2014).
- Tensão de dreno-fonte (V_{DS}): A condutância de dreno diminui à medida que a tensão de dreno-fonte aumenta, principalmente em transistores operando em regiões de saturação (Se; Mg, 2006).
- Nível de dopagem no substrato: A dopagem do material semiconductor usado no substrato do FET pode afetar a condutância de dreno (Se; Mg, 2006).

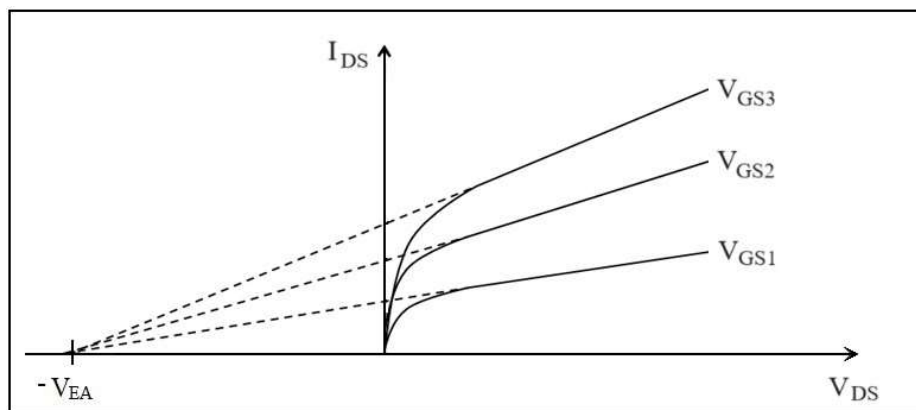
3.6.2 Tensão Early – V_{EA}

A tensão Early (V_{EA}) descreve a relação entre a corrente de dreno (I_{DS}) e a tensão dreno-fonte (V_{DS}) em um transistor de efeito de campo quando a tensão de porta (V_{GS}) é mantida constante.

Quando uma tensão crescente é aplicada entre o dreno e a fonte de um MOSFET, a região de depleção na junção dreno-substrato aumenta em largura. Isso resulta em uma redução efetiva no comprimento do canal disponível para a condução de corrente. Como resultado, a corrente de dreno começa a se saturar mais rapidamente do que seria esperado em um modelo ideal sem esse efeito.

A tensão Early é geralmente expressa como a inclinação da curva I_{DS} (Figura 19) em uma região de operação específica, como a região de saturação. A tensão Early pode ser visualizada com sendo o prolongamento do patamar (trecho linear) das curvas de I_{DS} em função de V_{DS} até o cruzamento com o eixo “x”.

Figura 19 – Exemplo de curva das características I_{DS} em função de V_{DS} para diferentes valores de V_{GT} .



Fonte: Adaptado de Andrade (2012, p. 42) pelo autor.

Considerando que os valores de corrente de dreno e a condutância de saída tenham sido obtidos na região de saturação, a tensão Early pode ser determinada pela Eq. 13.

$$|V_{EA}| \cong \frac{I_{DS}}{g_D} \quad (13)$$

Para dispositivos de múltiplas portas, a melhoria da tensão Early pode ser alcançada ao considerarmos a relação I_{DS}/g_D enquanto o dispositivo opera em saturação. Isso se deve ao excelente acoplamento vertical resultante do controle aprimorado do potencial dentro do canal desses dispositivos (Kranti *et al.*, 2003).

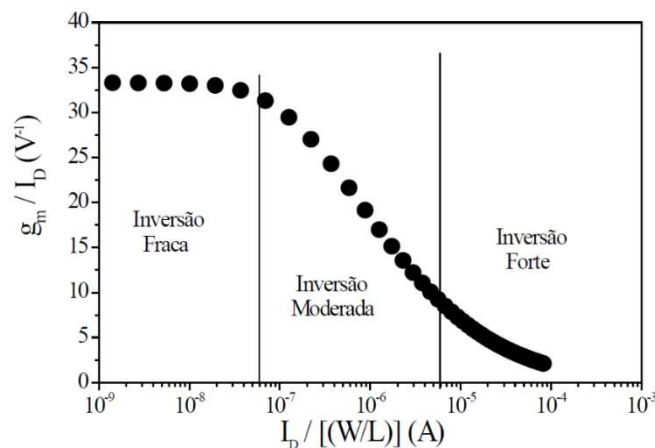
Com um melhor controle, há uma reduzida influência do potencial de dreno sobre a corrente elétrica de condução, resultando em uma menor condutância de dreno. Como consequência, isso aumentará a tensão Early.

3.6.3 Relação da Transcondutância pela Corrente de Dreno

A razão g_m/I_{DS} , também conhecida como razão ou relação de transcondutância pela corrente de dreno, é um parâmetro importante em transistores MOSFET e é frequentemente utilizada para caracterizar o desempenho desses dispositivos. Portanto, essa razão fornece uma medida da eficiência da amplificação de corrente do MOSFET em relação à sua corrente de dreno. Quanto maior for essa razão, mais eficiente será o dispositivo na amplificação do sinal de entrada.

Essa razão é um parâmetro fundamental na concepção e análise de circuitos utilizando MOSFETs, pois ajuda a determinar o ganho de tensão e a resposta em frequência desses circuitos. Esse parâmetro normalmente é apresentado em função da corrente de dreno normalizada, como pode ser visualizado no exemplo da Figura 20.

Figura 20 – Curva característica da relação g_m/I_{DS} em função da corrente normalizada ($I_{DS}/[W/L]$) de um dispositivo MOSFET na saturação.



Fonte: Andrade (2012, p. 40).

3.6.4 Ganho de Tensão Intrínseco (A_V)

O ganho de tensão intrínseco, também conhecido como ganho de tensão em malha aberta (A_V), é um dos principais indicadores de desempenho para dispositivos que atuam como amplificadores.

Na Eq. 14, observa-se a influência da tensão Early, onde $|V_{EA}|$ é consideravelmente maior em FinFETs em comparação com transistores de porta única (planar). Isso resulta em um aumento significativo no ganho de tensão intrínseco, levando a um melhor desempenho em aplicações analógicas. Outra forma de representar esse ganho de tensão DC está na Eq. 15, a qual utiliza a transcondutância dividida pela condutância de dreno em saturação (Flandre, 1996). Os FinFETs apresentam ganhos que mostram uma melhoria substancial em comparação com dispositivos planares de dimensões semelhantes.

$$|A_V| \cong \left(\frac{g_m}{I_{DS}} \right) \cdot V_{EA} \quad (14)$$

$$|A_V| \cong \left(\frac{g_m}{g_D} \right) \quad (15)$$

4 SIMULAÇÕES TRIDIMENSIONAIS

Neste capítulo é apresentada uma introdução sobre o simulador ATLAS, modelos e métodos que foram utilizados para obtenção das simulações tridimensionais.

Para o estudo dos transistores FinFET, iFinFET e GAA FET, as simulações tridimensionais realizadas utilizou-se o ambiente de trabalho Deckbuild do simulador Atlas da Silvaco e estudos da literatura científica (Zheng *et al.*, 2015) para calibrar o simulador.

4.1 Simulador ATLAS SILVACO

O ATLAS é um simulador tanto bidimensional como tridimensional e executável em ambiente DECKBUILD e produzido pela SILVACO. SILVACO (sua licença foi financiada pelo projeto FAPESP processo nº 2023/00123-7). Esse simulador é baseado em equações físicas, permitindo a obtenção das características elétricas associadas às estruturas específicas e às condições de polarização do dispositivo.

Para tal, o dispositivo simulado é discretizado em uma grade de pontos bidimensionais ou tridimensionais. Essa grade é utilizada para solucionar as equações fundamentais dos semicondutores que são resolvidas numericamente em cada um dos cruzamentos entre linhas e colunas.

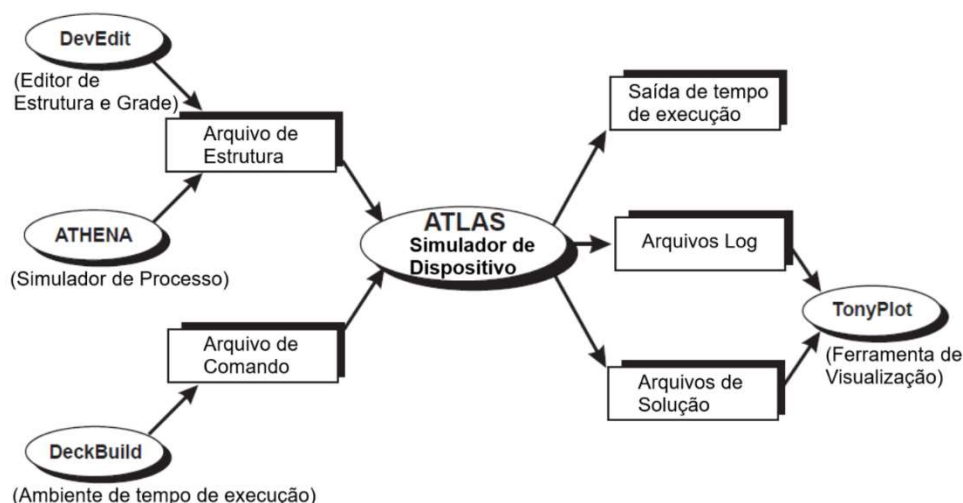
Alguns cuidados devem ser tomados para sua construção, a saber:

- As linhas e colunas não precisam, necessariamente, cruzar toda a estrutura;
- Os pontos devem se concentrar nas interfaces entre os materiais;
- As regiões com concentração de dopantes constante podem possuir menor número de pontos;
- Os triângulos obtusos prejudicam a convergência.

A maioria das simulações do ATLAS usa dois arquivos de entrada. O primeiro arquivo de entrada é um arquivo de texto que contém comandos para o Atlas executar.

O segundo arquivo de entrada é um arquivo de estrutura que define a estrutura que será simulada. A Figura 21 representa o fluxograma de execução do Atlas.

Figura 21 – Fluxograma de execução do Atlas.



Fonte: Adaptado de Manual Atlas do Usuário (2015, p. 31).

No anexo A estão listados os cinco grupos de comandos que o simulador Atlas utiliza na execução de suas simulações sendo o primeiro dele relacionado com especificação física da estrutura a ser simulada. O segundo grupo trabalha com a especificação dos modelos e materiais utilizados na simulação. A escolha dos métodos numéricos, que podem ser usados para calcular as soluções para problemas de dispositivos semicondutores, ficam especificados no terceiro grupo. O quarto grupo está relacionado com a especificação das soluções, onde tensões aplicadas nos devidos eletrodos produzem corrente elétrica, concentrações de portadores e campos elétricos, por exemplo. O último grupo fornece de forma gráfica ao usuário os resultados para análise, como a extração de parâmetros, plotagem de curvas e visualização 2D ou 3D da estrutura objeto de estudo.

4.2 Modelos e Métodos do Simulador ATLAS

Nas simulações com o ATLAS, é importante a escolha adequada dos modelos que incluam os mecanismos físicos adequados para que os resultados obtidos sejam equivalentes aos resultados das caracterizações experimentais.

Os modelos utilizados são selecionados pelos usuários e variam conforme a aplicação. Esses modelos podem ser específicos de mobilidade de portadores, de recombinação de portadores, de largura de faixa proibida, de ionização por impacto etc.

No desenvolvimento do presente trabalho utilizou-se os seguintes modelos contidos no simulador ATLAS, com destaque as suas principais características:

- AUGER – Modelo de recombinação, através da transição direta de três partículas, onde um portador é capturado ou emitido. Importante em altas densidades de correntes;
- BGN (*Band Narrowing*) – Modelo importante para aplicação em regiões com alta concentração de dopantes, e necessário para a modelagem do ganho do transistor bipolar parasitário ao transistor SOI. Deve ser usado em conjunto com o modelo Klaassen;
- CONMOB: especifica que um modelo de mobilidade dependente da concentração seja usado tanto para elétrons quanto lacunas. Este modelo é uma tabela de dopagem versus mobilidade válida apenas para 300K;
- CVT: é um modelo de degradação da mobilidade nas interfaces que considera o efeito do alto campo elétrico transversal, o qual aumenta a interação dos portadores com a interface semiconductor/isolante e consequentemente aumentando a degradação devido aos mecanismos de espalhamento por fônons acústicos e pela rugosidade na superfície;
- SRH (*Shockley-Read-Hall*) – Modelo de recombinação, onde o tempo de vida dos portadores minoritários é fixado;

- FLDMOB (*Parallel Electric Field Dependence*) – Modelo de mobilidade dependente do efeito de campo elétrico lateral, utilizado em estruturas de silício e arseneto de gálio;
- PRINT: este parâmetro mostra os valores do tempo de execução e os modelos que são utilizados durante a simulação. É altamente recomendável a inclusão do parâmetro PRINT na declaração dos modelos, pois assim o detalhamento dos parâmetros dos materiais e as constantes e modelos de mobilidade serão especificados no início da execução;
- TEMP: temperatura de operação dos dispositivos, em Kelvin, para ser utilizada durante as simulações. No caso, $TEMP = 300$.

Vários métodos numéricos diferentes podem ser usados para calcular as soluções para problemas de dispositivos semicondutores. Os métodos numéricos são fornecidos nas instruções METHOD do arquivo de entrada. Diferentes combinações de modelos exigirão que o Atlas resolva até seis equações. Para cada um dos tipos de modelo, existem basicamente três tipos de técnicas de solução: (a) desacoplada (GUMMEL), (b) totalmente acoplada (NEWTON) e (c) BLOCO.

- Método GUMMEL: resolverá cada incógnita, mantendo as outras variáveis constantes, repetindo o processo até que uma solução estável seja alcançada. Geralmente, este método é útil onde o sistema de equações é fracamente acoplado, mas possui apenas convergência linear.
- Método NEWTON: resolve o sistema total de incógnitas juntos. Ele é útil quando o sistema de equações é fortemente acoplado e possui convergência quadrática. O método NEWTON pode, no entanto, gastar mais tempo resolvendo quantidades que são essencialmente constantes ou fracamente acopladas e requer uma estimativa inicial mais precisa do problema para obter convergência.

- Métodos BLOCK: resolverão algumas equações totalmente acopladas enquanto outras são desacopladas. Assim, um método BLOCK pode fornecer tempos de simulação mais rápidos nestes casos em relação a NEWTON.

Em complemento aos três métodos numéricos citados acima, há dois outros métodos importantes citados na sequência:

- Método AUTONR: este método implementa um procedimento automatizado de Newton-Richardson, que tenta reduzir o número de decomposições por ponto de polarização. É recomendamos enfaticamente que se use esse parâmetro para aumentar a velocidade das soluções de NEWTON. As iterações usando AUTONR aparecerão anotadas com um “A” na saída de tempo de execução
- Método BICGST (*Bi-Conjugate Gradient Stabilized*): ou gradiente biconjugado estabilizado: desejável usar quando se quer métodos diretos em problemas 3D devido à convergência aprimorada da eficiência computacional. É também usado para calcular a matriz de condução do dispositivo em vez do solucionador CGS ou BICGST.

4.3 Calibração da Simulação

Para investigar o comportamento de desempenho entre as três estruturas de transistores de efeito de campo avançados (FinFET, iFinFET e GAA FET), buscou-se na literatura especializada (Buryk *et al.*, 2020) informações que dessem suporte para montar um projeto de simulação cujos resultados aproximassem do comportamento real destes dispositivos avançados.

As simulações foram calibradas considerando dados da Tabela I e com outros parâmetros importantes como: mobilidade, dopagem, métodos, modelos e declarações de materiais.

As concentrações de dopagens da região de fonte e drenos foram ajustadas para $3 \times 10^{20} \text{ cm}^{-3}$ enquanto para o corpo do canal a concentração foi de $1 \times 10^{15} \text{ cm}^{-3}$, como mostra a Figura 22.

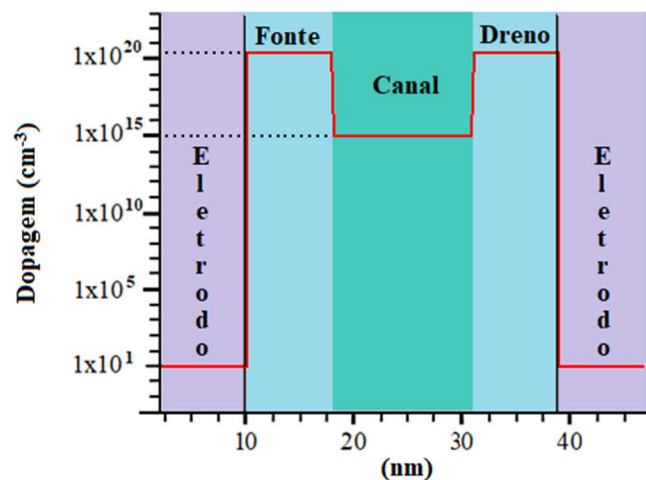
Tabela 1 – Dados físicos dos dispositivos carregados no Atlas.

Parâmetros Físicos dos Dispositivos	FinFET	iFinFET	GAA FET
Largura do Canal – W_{Fin} (nm)	6	6	6
Altura do Canal – H_{Fin} (nm)	18	6+6+6	6+6+6
Comprimento do Canal – L (nm)	12	12	12
Espessura Equivalente do Óxido de Porta – EOT (nm)	0,7	0,7	0,7
Altura do Óxido Inserido (nm)	0	3,2	0
Espaçamento Entre os Canais (nm)	0	3,2	6
Área da Região Ativa – $W_{\text{Fin}} * H_{\text{Fin}}$ – (nm^2)	108	108	108

Fonte: Elaborado pelo autor.

Outro ponto de calibração importante foi a corrente de fuga (I_{OFF}), que foi ajustada em 20 pA por meio de ajuste da função trabalho (W_F – *workfunction*) da porta e do substrato quando a tensão V_{GS} está em 0 V. A Tabela 2 os valores em eV das funções trabalho da porta e substrato.

Figura 22 – Níveis de dopagens de fonte, canal e dreno no plano zy.



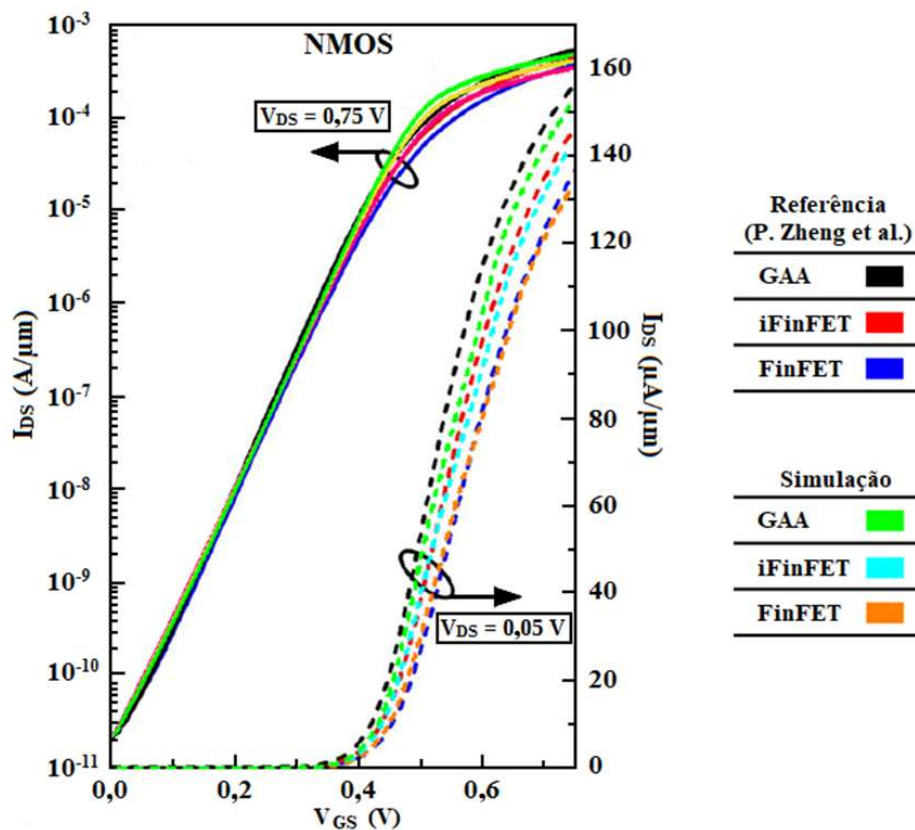
Fonte: Elaborado pelo autor.

Tabela 2 – Função trabalho (wf) de porta e substrato para os três dispositivos.

Workfunction [eV]	FinFET	iFinFET	GAA FET
Eletrodo de porta	4,59	4,57	4,57
Substrato	4,88	4,88	4,88

Fonte: Elaborado pelo autor.

A Figura 23 mostra que a calibração dos dispositivos praticamente atingiu o objetivo das simulações. Pela palheta de cores abaixo do gráfico de corrente de dreno, tanto na escala linear quanto na logarítmica, é possível ver uma boa aproximação dos resultados simulados comparados aos resultados dos dados de referência colhidos na literatura (Zheng *et al.*, 2015).

Figura 23 – Comparação entre as curvas I_{DS} versus V_{GS} simuladas e a referência.

Fonte: Elaborado pelo autor.

A tabela 3 traz comparações de desempenho dos parâmetros I_{DS} , V_{TH} e SS da calibração da simulação realizada com os valores de referência.

Os dispositivos de canais empilhados (iFinFET e GAA-FET) indicaram satisfatória aproximação dos valores de referência e calibrados para os parâmetros I_{DS} e V_{TH} .

Tabela 3 – Comparação dos resultados dos parâmetros de calibração com os parâmetros de referência para os dispositivos FinFET, iFinFET e GAA FET.

	FinFET		iFinFET		GAA FET	
	Referência	Calibração	Referência	Calibração	Referência	Calibração
I_{DS} ($\mu A/\mu m$)	320	375	390	420	500	540
V_{TH} (V)	0,39	0,46	0,41	0,44	0,42	0,42
SS (mV/Dec)	78	73	75	70	71	68

Fonte: Elaborado pelo autor.

4.4 Estruturas dos Dispositivos Simulados

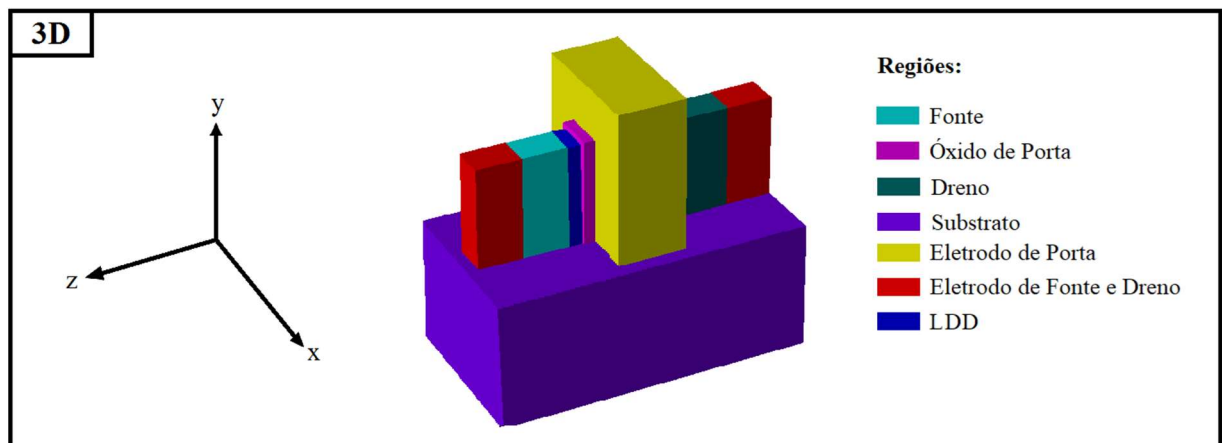
Independente de qual dispositivo a ser simulado, primeiramente deve-se construir as regiões (fonte, dreno, canal, porta, eletrodos, substrato etc.) que comporão os dispositivos através de pares coordenados xy que formarão cada vértice da superfície do volume dessas regiões.

A construção dessas regiões obedece às seguintes composições materiais: a composição do material de porta foi o silício policristalino (ou polissilício). Fonte, canal e dreno são formados de silício e têm seus níveis de dopagem já indicados na Figura 22. O substrato é composto por três camadas com diferentes níveis de dopagens (i, ii e iii) que também é composto por silício. O óxido de porta e de trincheira de isolamento (STI) é composto por SiO_2 e para os eletrodos de fonte e dreno é utilizado o alumínio. Utilizou-se óxido de porta e óxido de trincheira de isolamento (STI) composto por SiO_2 . De acordo com Zheng (2016), o uso de materiais com constante dielétrica (k) mais alta poderia comprometer a integridade eletrostática do dispositivo, uma vez que resultaria em maior acoplamento capacitivo entre as regiões do dreno e do canal. Por essa razão, o SiO_2 foi a escolha preferencial. Essas composições materiais são as mesmas para as três estruturas: FinFET (Figura 24), iFinFET (Figura 25) e GAA FET (Figura 27).

4.4.1 FinFET

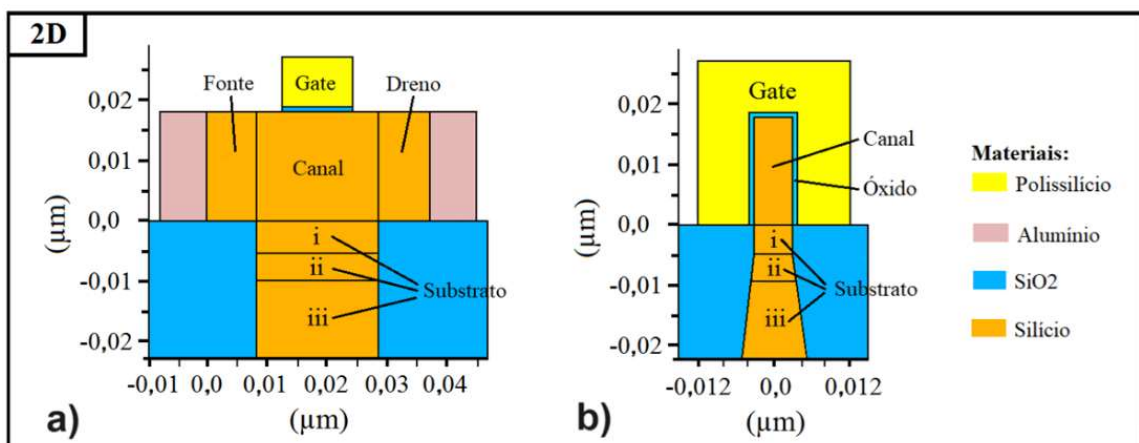
Na Figura 24 tem-se a representação tridimensional da estrutura FinFET com suas regiões representadas em cores e na Figura 25 são vistos em bi dimensão os cortes nos eixos yz e xy com os respectivos materiais que compõem a estrutura FinFET também representadas em cores.

Figura 24 – Representação tridimensional do dispositivo FinFET e as regiões que o compõem.



Fonte: Elaborado pelo autor.

Figura 25 – Cortes ortogonais do dispositivo FinFET mostrando os materiais que o compõem: a) corte yz e b) corte xy.

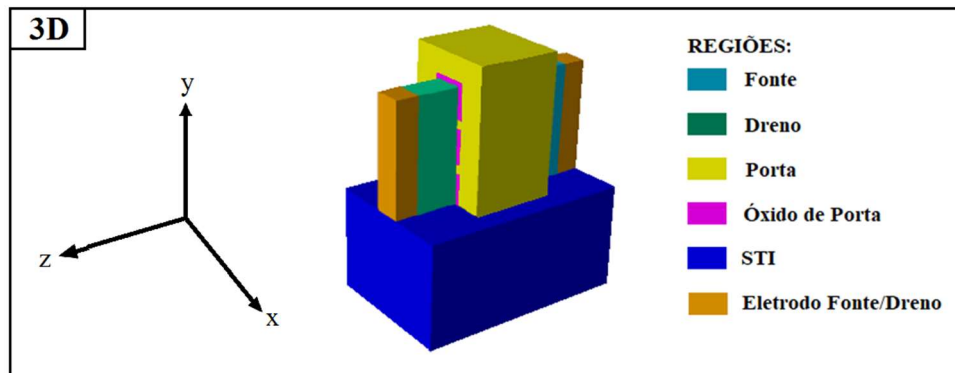


Fonte: Elaborado pelo autor.

4.4.2 iFinFET

Segundo exemplo do dispositivo anterior, a Figura 26 e Figura 27 trazem, respectivamente, a representação 3D do dispositivo iFinFET com suas regiões em cores e os cortes ortogonais yz e xy da estrutura do dispositivo com cores indicando os materiais que o compõe.

Figura 26 – Representação tridimensional do dispositivo iFinFET e as regiões que o compõem.

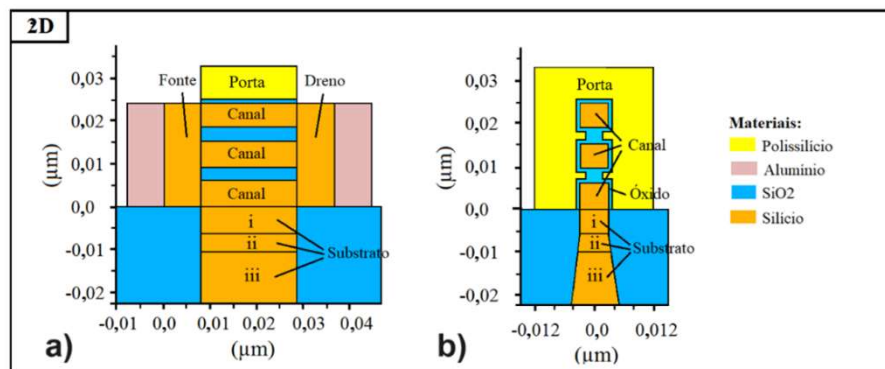


Fonte: Elaborado pelo autor.

4.4.3 GAA FET

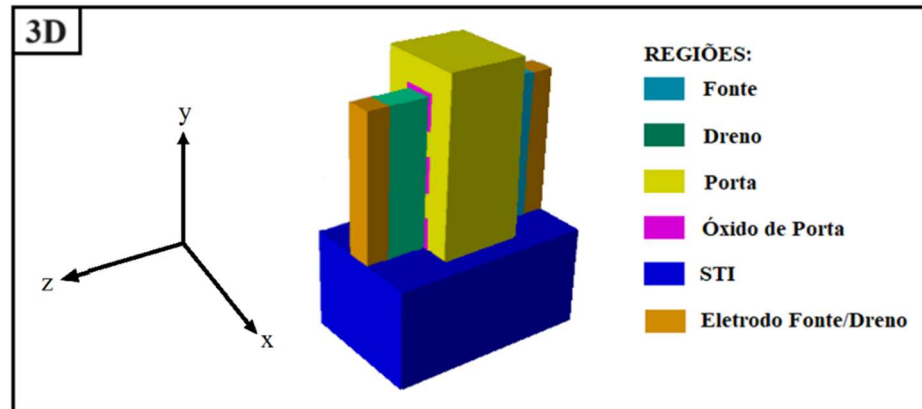
Os cortes xy e yz da estrutura do GAA FET são representados pela Figura 28 com o mesmo padrão de cores dos dispositivos anteriores para representar os materiais utilizados e a Figura 29 mostra por meio de cores as regiões do dispositivo.

Figura 27 – Cortes ortogonais do dispositivo iFinFET mostrando os materiais que o compõem: a) corte yz e b) corte xy.



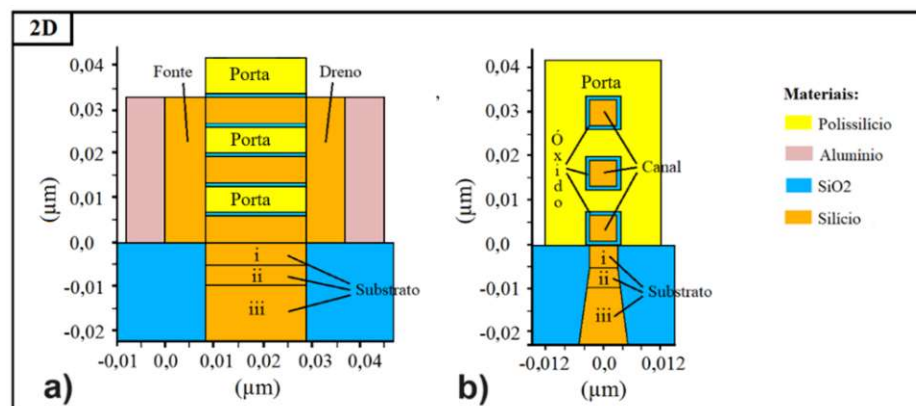
Fonte: Elaborado pelo autor.

Figura 28 – Representação tridimensional do dispositivo GAAFET e as regiões que o compõem.



Fonte: Elaborado pelo autor.

Figura 29 – Cortes ortogonais do dispositivo GAAFET mostrando os materiais que o compõem: a) corte yz e b) corte xy.



5 RESULTADOS E DISCUSSÕES

Neste capítulo serão apresentados cálculos, análises e discussões dos principais parâmetros elétricos em dispositivos semicondutores obtidos por simulação tridimensionais (3D). Os três dispositivos (FinFET, iFinFET e GAA FET) foram simulados com padronização da tensão de dreno (V_{DS}) fixa em 0,75 V, varredura da tensão entre porta e fonte (V_{GS}) variando de 0 até 0,75 V com passos de 0,005 V.

As dimensões físicas dos dispositivos simulados são os mesmos já apresentados na Tabela 1, com exceção do comprimento dos canais, que foram simulados para seis comprimentos diferentes, mas comuns às três estruturas ($L = 10, 12, 14, 16, 18$ e 20 nm). Nos apêndices encontram-se a descrição dos códigos de entrada no simulador Atlas. O APÊNDICE B é referente ao FinFET, B ao iFinFET e C ao *Gate-all-around* FET (GAA FET).

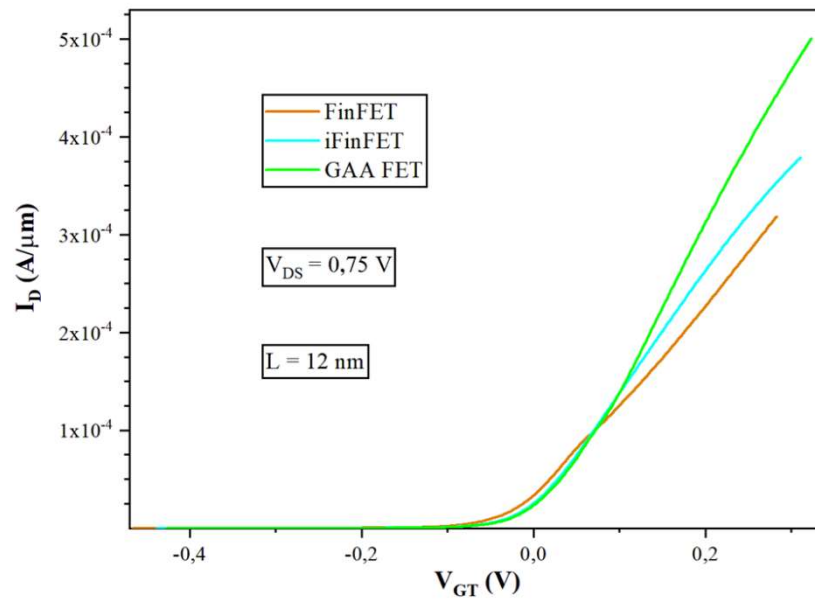
5.1 Corrente de dreno – I_{DS}

A corrente de dreno é o principal parâmetro elétrico a ser obtido em um dispositivo, tendo em vista que servirá de base para os cálculos de vários parâmetros elétricos.

Foi tomado como base para as simulações o comprimento 12 nm para os canais com V_{DS} igual a 0,75 V para os três dispositivos e foram plotados dois gráficos de I_{DS} em função da sobretensão de porta (V_{GT}): um gráfico na escala linear (Figura 30) e outro na escala logarítmica (Figura 31) com finalidade de comparação de desempenho de $I_{DS\text{máx}}$ para os três transistores.

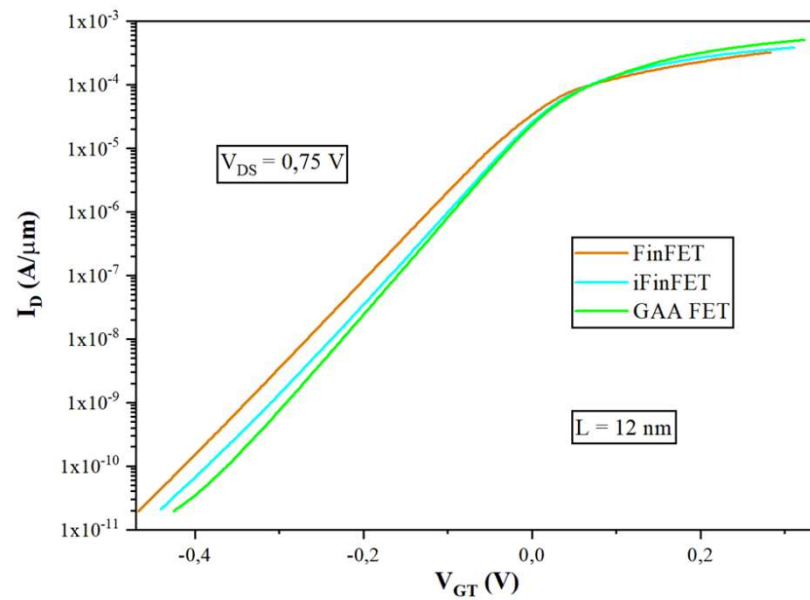
A Figura 32 mostra que os três dispositivos tiveram comportamento semelhante no que se refere a $I_{DS\text{ (máx.)}}$ quando o comprimento de canal variou de 10 nm a 20 nm e V_{GS} atingiu 0,75 V, ou seja, houve sensível diminuição de I_{DS} à medida que foi aumentado o comprimento do canal simulado para estas três estruturas.

Figura 30 – Curvas $I_{DS} \times V_{GT}$ em escala linear para $V_{DS} = 0,75V$.



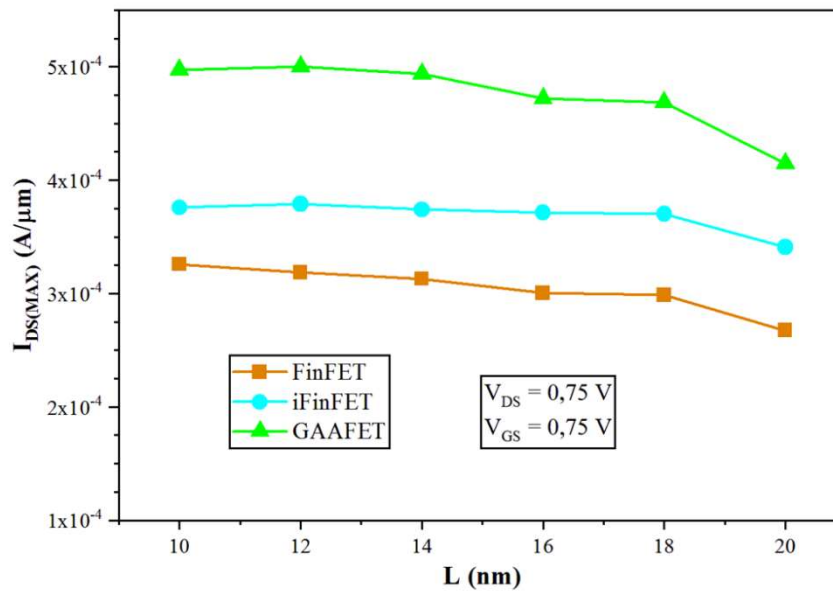
Fonte: Elaborado pelo autor.

Figura 31 – Curvas $I_{DS} \times V_{GT}$ em escala Log para $V_{DS} = 0,75V$.



Fonte: Elaborado pelo autor

Figura 32 – $I_{DS\text{máx}}$ para FinFET, iFinFET e GAA para $V_{GS} = 0,75$ V.



Fonte: Elaborado pelo autor.

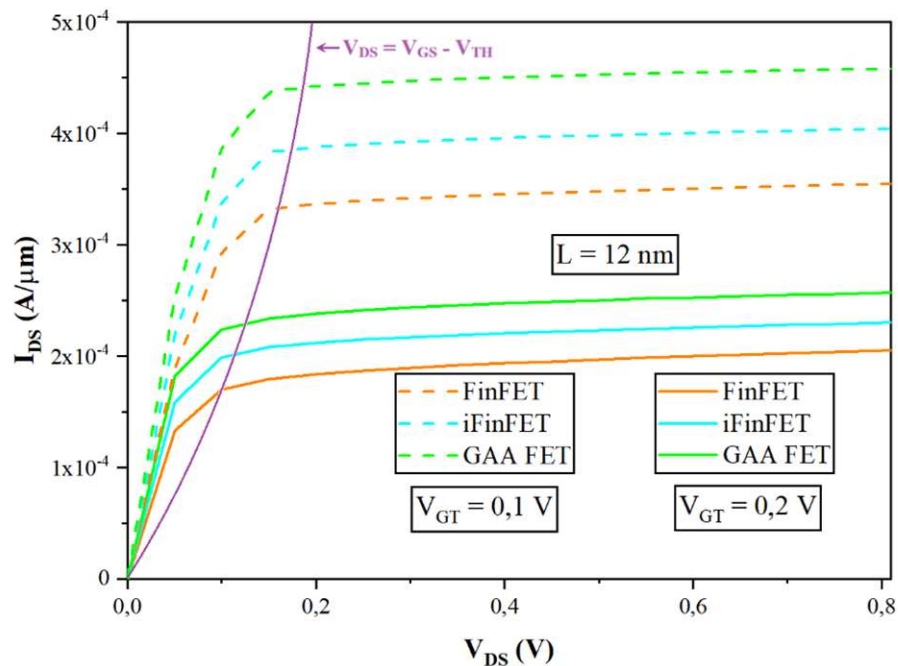
Há duas análises a serem feitas a respeito da Figura 32 sobre o comportamento de I_{DS} :

1) com relação ao comprimento de canal (L): para quaisquer dos três dispositivos (cada qual com seu W_{eff} fixo), I_{DS} apresenta diminuição na sua magnitude à medida que há aumento no comprimento dos canais. Esses resultados simulados estão em conformidade com a Eq. 2, a qual mostra que o valor de I_{DS} é inversamente proporcional ao comprimento do canal (L). Essas observações se baseiam no fato de que quanto menor for o comprimento do canal, menor será a resistência elétrica ao longo do canal (entre dreno e fonte) e por consequência maior será I_{DS} .

2) com relação a um determinado L , $I_{DS_GAA\ FET}$ é maior que $I_{DS_iFinFET}$ e que, por sua vez, é maior que I_{DS_FinFET} ($I_{DS_GAA\ FET} > I_{DS_iFinFET} > I_{DS_FinFET}$). Isso se deve ao fato dos dispositivos de canais empilhados (iFinFET e GAA FET) terem múltiplas regiões ativas que fazem com que estes apresentem maior largura efetiva de canal ($W_{\text{eff_GAA\ FET}} > W_{\text{eff_iFin}}$) comparados ao de canal único ($W_{\text{eff_FinFET}}$).

Outra forma de visualizar o comportamento de I_{DS} para as três estruturas pode ser feita pela análise da Figura 33 onde as curvas $I_{DS} \times V_{DS}$ foram extraídas para dois diferentes de valores de sobretensão da porta (V_{GT}): 0.1 V e 0.2 V.

Figura 33 – Curvas $I_{DS} \times V_{DS}$ para os dispositivos FinFET, iFinFET e GAAFET ($L = 12$ nm).



Fonte: Elaborado pelo autor.

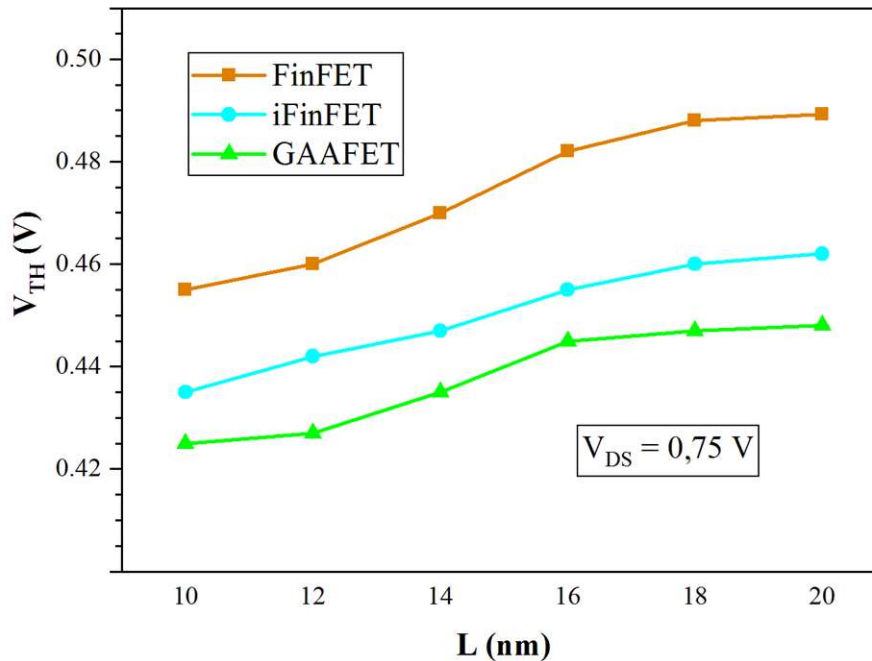
Nessa Figura 33 ficam bem destacadas duas regiões importantes das curvas $I_{DS} \times V_{DS}$ delimitadas pela linha roxa ($V_{DS} = V_{GS} - V_{TH}$) esperadas para dispositivos de efeito de campo, onde a sua esquerda está a região trípodo (linear ou ôhmica) na qual os dispositivos operam como um resistor controlado por tensão. A corrente de dreno aumenta linearmente com a tensão de dreno. Já a direita da linha roxa está a região de saturação, indicando que esses dispositivos estão completamente ligados, e a corrente de dreno é quase constante, mesmo que a tensão de dreno aumente. A corrente de dreno é limitada pelo dispositivo e pela carga conectada ao dreno.

5.2 Tensão de Limiar – V_{TH}

Outro parâmetro importante na análise de dispositivos semicondutores de comparação de desempenho dos três dispositivos simulados é a tensão de limiar. Embora já apresentado anteriormente o conceito de tensão de limiar no capítulo 3.2, este capítulo mostra como ela se comporta para cada comprimento de canal (L) para as três estruturas.

A Figura 34 mostra que para valores menores que 10 nm e maiores que 8 nm de comprimento de canal, V_{TH} tem uma pequena variação no seu valor para as três estruturas.

Figura 34 – Curvas V_{TH} versus L para FinFET, iFinFET e GAAFET.



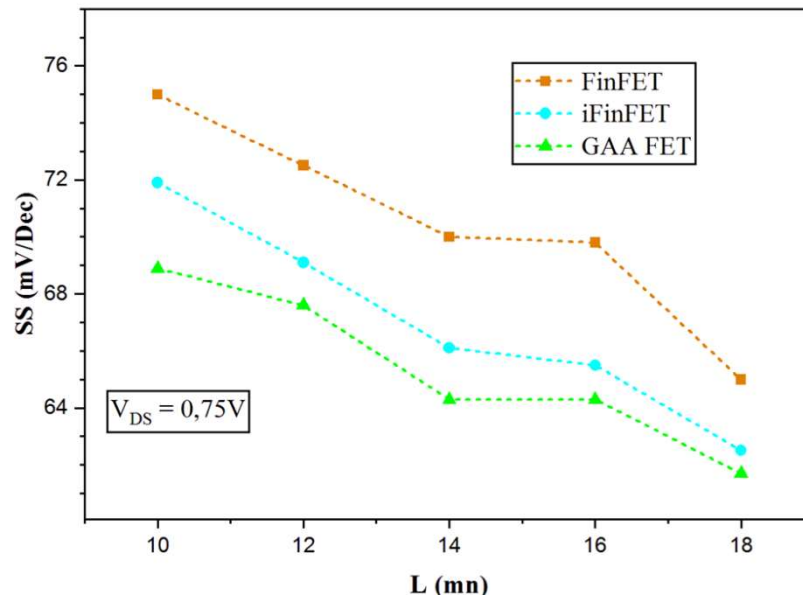
Fonte: Elaborado pelo autor.

Para L maiores que 16 nm e menores que 20 nm, V_{TH} permaneceu praticamente constante e observa-se também que no dispositivo GAAFET a tensão de limiar é menor e no dispositivo FinFET ela é maior. Devido aos múltiplos canais completamente envolvidos pela porta, o GAAFET possui uma W_{eff} maior em relação aos outros dois dispositivos. Como resultado, um maior acoplamento eletrostático exigirá um menor V_{TH} para ativar o transistor, o que justifica os valores de V_{TH} apresentados na Figura 34. Isso também explica o fato de o FinFET necessitar de maior valor de V_{TH} para entrar em condução.

5.3 Inclinação de Sublimiar – SS

Na Figura 35, são exibidas as curvas da inclinação de sublimiar em relação ao comprimento do canal (L) para os dispositivos FinFET, iFinFET e GAAFET com o intuito de uma melhor análise do efeito de canal curto.

Figura 35 – Curva $\log I_{DS} \times V_{GS}$ do FinFET para $L = 10, 12, 14, 16$ e 18 nm.



Fonte: Elaborado pelo autor.

Analisando a Figura 35, pode-se obter duas informações relevantes: 1- os valores da inclinação de sublimiar (SS) apresentam diminuição à medida que o comprimento da porta aumenta; 2- há diminuição também no valor de SS para os dispositivos de múltiplos canais $SS_{GAA} < SS_{iFinFET} < SS_{FinFET}$. Diminuição essa que pode ser explicada teoricamente pela Eq. 7, a qual mostra que a inclinação de sublimiar é inversamente proporcional à variação da corrente de dreno ($I_{FinFET} < I_{iFinFET} < I_{GAAFET}$) e que também se correlaciona com os resultados da tensão de limiar (Figura 34).

Utilizando um valor fixo de comprimento de canal, o dispositivo com menor SS, ou seja, maior inclinação da curva $I_{DS} \times V_{GS}$ na escala logarítmica, é aquele que consegue formar a camada de inversão no topo do canal no menor espaço de tempo e que necessita de baixa tensão de limiar. O dispositivo GAAFET atende melhor essa característica, ficando o dispositivo iFinFET na posição intermediária e o FinFET com o menor desempenho relativo tanto no parâmetro SS quanto no V_{TH} .

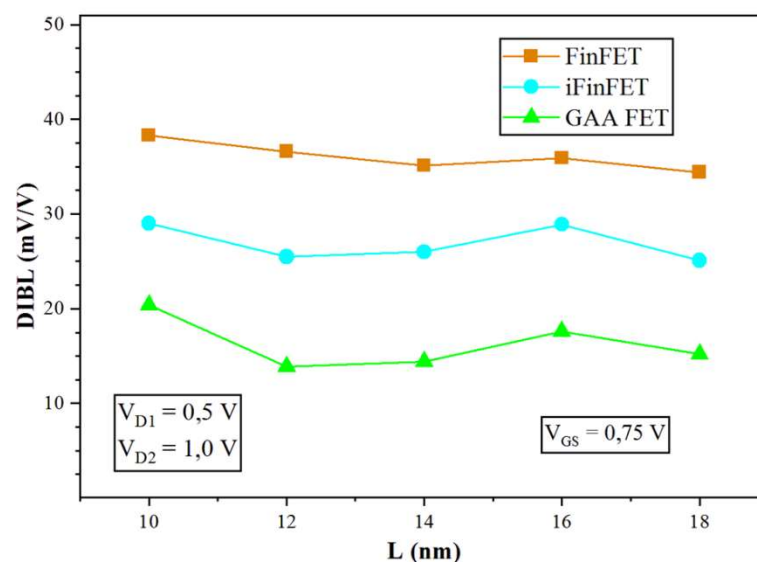
Os valores da inclinação de sublimiar obtidos nas simulações estão bem próximos ao limite teórico em temperatura ambiente (60 mV/década) para os dispositivos de canais empilhados.

Isso se deve ao excelente controle exercido pela porta sobre as cargas dos canais dos dispositivos de múltiplas portas (1º- GAA FET e 2º- iFinFET) em relação ao dispositivo FinFET.

5.4 Redução da Barreira Induzida pelo Dreno – DIBL

O abaixamento da barreira induzida pelo dreno (DIBL) se destaca também para efeito de comparação de desempenho dos três dispositivos e sua dinâmica de funcionamento está descrito na seção 3.4. Os resultados obtidos e plotados na Figura 36 estão de acordo com os resultados teóricos esperados da Eq. 6. Para quaisquer um dos cinco comprimentos de porta investigados (10, 12, 14, 16 e 18 nm), o dispositivo FinFET apresenta maior DIBL comparado com o dispositivo iFinFET e que por sua vez é maior que o do GAA FET. No cálculo do DIBL, o numerador da Eq. 6 trabalha com a diferença de tensão de limiar ($V_{T1(VD1)} - V_{T2(VD2)}$) obtida dos dois valores distintos de V_D ($V_{D1} = 0,5$ V e $V_{D2} = 1,0$ V) e no estudo da tensão de limiar (seção 3.2), os resultados simulados mostraram que $V_{T_FinFET} > V_{T_iFinFET} > V_{T_GAA\ FET}$. Logo o $DIBL_{FinFET} > DIBL_{iFinFET} > DIBL_{GAA\ FET}$.

Figura 36 – DIBL para os dispositivos FinFET, iFinFET e GAA FET.



Fonte: Elaborado pelo autor.

Pelos resultados até então obtidos das simulações, o transistor FinFET (canal único) é o que mais se aproxima de um dispositivo sujeito ao efeito de canal curto quando comparado com os outros dois dispositivos de múltiplos canais (iFinFET e GAA FET) e por isso terá o maior DIBL.

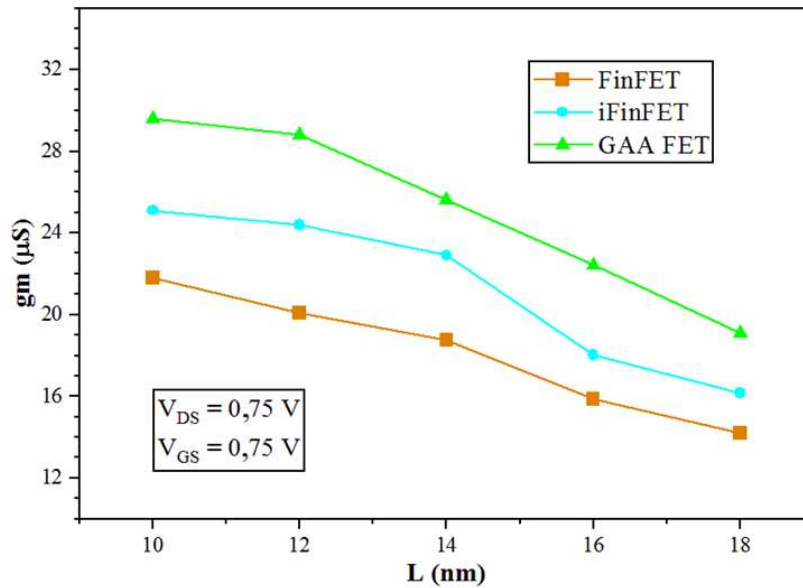
5.5 Transcondutância – g_m

O objetivo de se extrair a transcondutância máxima do FinFET, iFinFET e GAA FET é de verificar a eficiência do controle da corrente elétrica de dreno exercido pela tensão de porta em cada um deles. Com todas as curvas $I_{DS} \times V_{GS}$ levantadas para os três dispositivos, o cálculo da transcondutância foi obtido pela Eq. 10. A Figura 37 apresenta os valores de g_m máximo para intervalos de comprimento de porta variando de 10 a 18 nm.

O comportamento dos resultados obtidos de g_m máximo está bem próximo do esperado (valores de g_m ascendentes), tendo em vista que estão em consonância com os valores de I_{DS} (Figura 32) e a própria Eq. 9 mostra que a transcondutância é diretamente proporcional a derivada de I_{DS} . Há dois outros fatos a serem observados também para análise: 1- a corrente de dreno é proporcional ao comprimento da porta em quaisquer estruturas, 2- a análise feita na seção 5.1 de como a geometria dos dispositivos influencia diretamente em I_D reflete também na transcondutância.

Ou seja, os dispositivos com maior número de canais e W_{eff} são os que apresentam melhor desempenho de transcondutância ($g_{mFinFET} > g_{miFinFET} > g_{mGAA FET}$). Deste modo, a Figura 37 mostra que os valores de g_m extraídos estão dentro do esperado, tanto em relação à teoria quanto aos resultados simulados.

Figura 37 – Transcondutância máxima extraída para FinFET, iFinFET e GAA FET.



Fonte: Elaborado pelo autor.

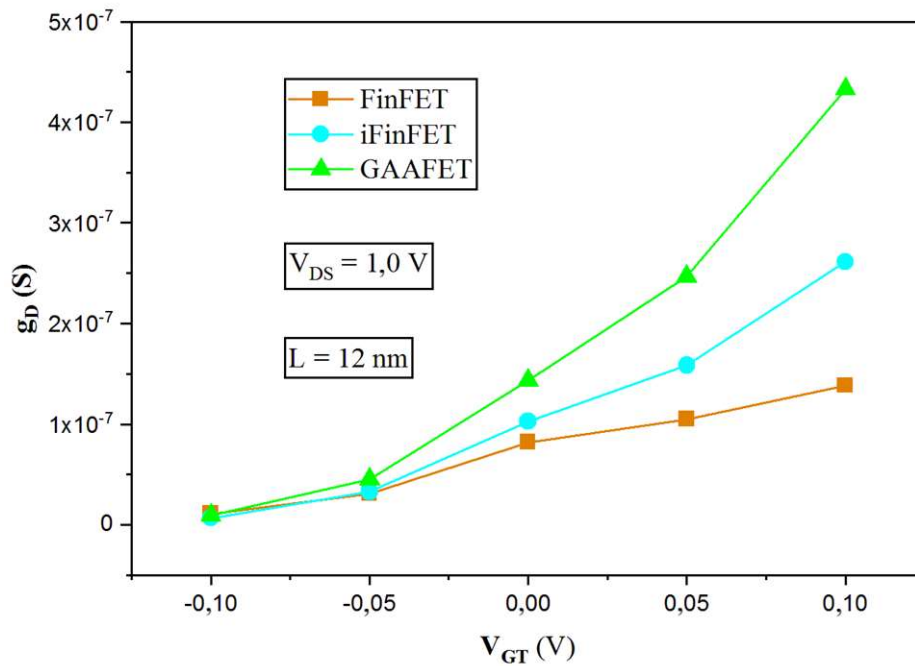
5.6 Condutância de Dreno ou de Saída - g_D

A condutância de dreno ou de saída desempenha um papel fundamental neste estudo, pois está intimamente relacionada ao ganho de tensão intrínseco, como evidenciado pela Eq. 15, a qual será discutida na seção 5.6.

Para tanto, a partir das curvas de corrente de dreno (I_{DS}) em relação à tensão de dreno-fonte (V_{DS}) previamente obtidas na região de saturação, a condutância de dreno (g_D) foi obtida para cada simulação dos três dispositivos estudados para um determinado valor de comprimento de canal ($L = 12$ nm), como ilustrado na Figura 38.

Para baixo valor de V_{GT} , a diferença de valores de g_D para os três dispositivos foi pouca. Já para valores maiores de V_{GT} verificou-se uma maior degradação de g_D para o dispositivo GAAFET e iFinFET comparado ao FinFET. Esse comportamento é validado pela equação $g_D = \partial I_{DS} / \partial V_{DS}$ (Eq. 12), onde V_{DS} foi mantido em 1.0 V para todos os dispositivos e I_{DS} obtido das curvas $I_{DS} \times V_{GS}$ para diferentes valores de V_{GT} .

Figura 38 – Curvas da condutância de saída (g_D) em função da sobretensão de porta (V_{GT}) para FinFET, iFinFET e GAAFET.

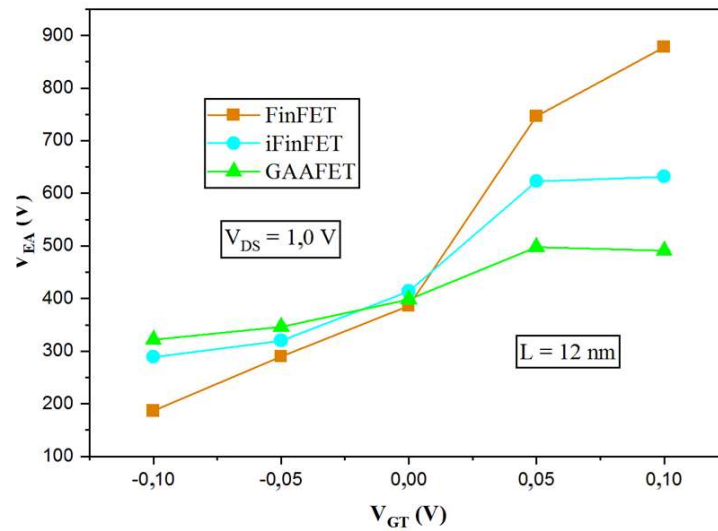


Fonte: Elaborado pelo autor.

5.7 Tensão Early

As curvas simuladas da tensão Early ($|V_{EA}|$) em função da sobretensão de porta (V_{GT}) estão apresentadas na Figura 39 e apresentam comportamentos distintos quanto aos valores de V_{GT} . Para valores positivos de V_{GT} , onde os dispositivos se encontram em saturação ($V_{GS} > V_{TH}$), o dispositivo FinFET apresenta maior V_{EA} que o dispositivo iFinFET e que por sua vez é maior que o dispositivo GAAFET. Já para valores negativos de V_{GT} ($V_{GS} < V_{TH}$) o comportamento de V_{EA} é oposto ao primeiro caso.

Figura 39 – Curvas de V_{EA} para os dispositivos FinFET, iFinFET e GAAFET em função de V_{GT} .

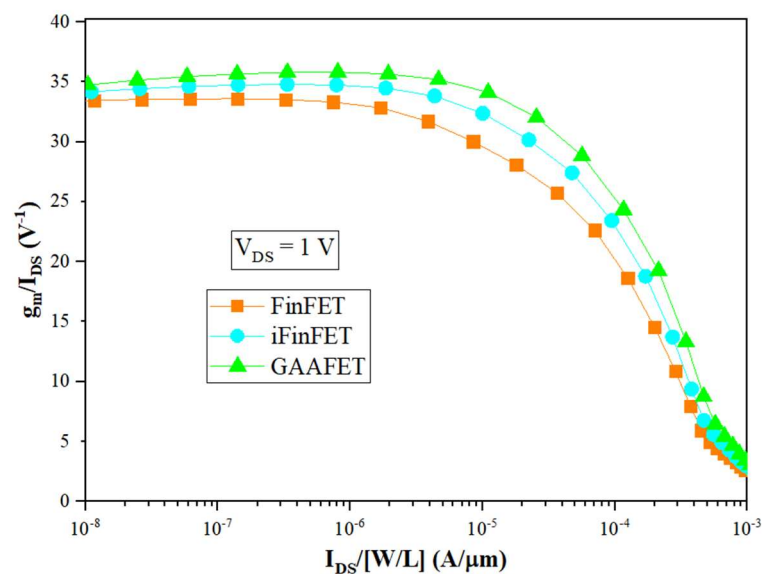


Fonte: Elaborado pelo autor.

5.8 Relação da Transcondutância pela Corrente de Dreno

A Figura 40 apresenta as curvas característica simuladas da razão g_m/I_{DS} em função da corrente normalizada de dreno ($I_{DS}/[W/L]$) na região de saturação. A razão g_m/I_{DS} é um indicador da eficiência do dispositivo em transformar a corrente elétrica do dreno em transcondutância.

Figura 40 – Curvas da relação g_m/I_{DS} em função da corrente de dreno normalizada para os dispositivos FinFET, iFinFET e GAAFET para $L = 12$ nm.



Fonte: Elaborado pelo autor.

Essa razão representa um indicador do fator de qualidade do transistor, ao relacionar a amplificação que pode ser alcançada com a corrente elétrica que flui através do transistor. Sendo assim, analisando a Figura 40, os dispositivos de canais empilhados são os que detêm a melhor relação g_m/I_{DS} (1º GAAFET, 2º iFinFET) para toda faixa de inversão (fraca, moderada e forte) em relação ao dispositivo FinFET.

5.9 Ganho Intrínseco de Tensão

Analisando os dispositivos operando como amplificador, a Figura 41 mostra o comportamento dos dispositivos simulados para as mesmas condições de polarização tanto para a transcondutância quanto para a condutância de dreno para a obtenção do ganho intrínseco (Eq. 16). Foram padronizados a tensão de dreno (V_{DS}) e comprimento de canal (L) em 1.0 V e 12 nm respectivamente.

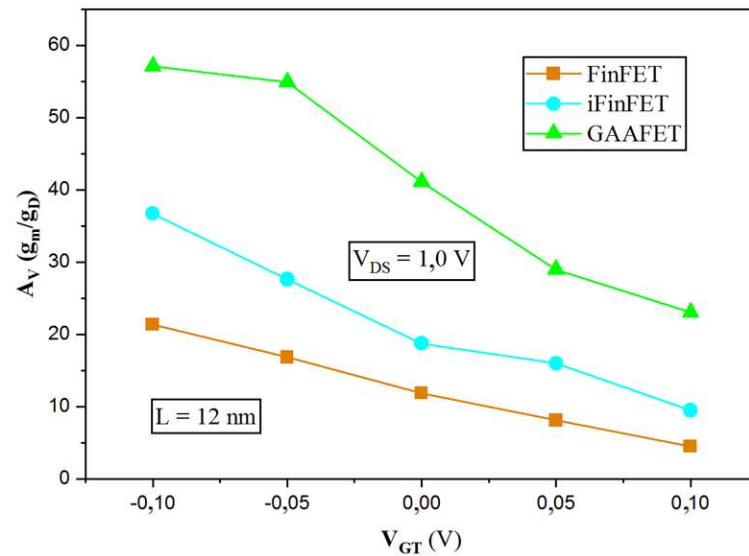
$$A_V = \frac{g_m}{g_D} \quad (16)$$

A Figura 41 destaca mais uma vez o desempenho superior dos dispositivos de canais empilhados em relação ao dispositivo de canal único. O dispositivo GAAFET apresentou destacado ganho de tensão intrínseco para toda faixa de V_{GT} simulada mesmo sobre o outro dispositivo de canal empilhado (iFinFET) e ambos com desempenho superior ao FinFET. Analisando o comportamento das curvas da transcondutância (Figura 37), da condutância de dreno (Figura 38) e a Eq. 16, os resultados obtidos para A_V na Figura 41 são plausíveis.

5.10 Distribuição de Cargas nos Dispositivos FinFET, iFinFET e GAA FET

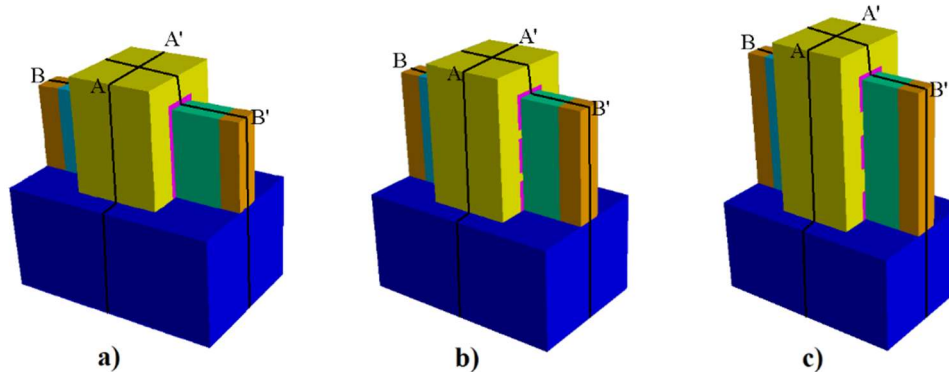
As seções 5.10 e 5.11 que, abordaram as concentrações de elétrons e densidade de corrente elétrica respectivamente, tomarão como referência a Figura 42 para representar as superfícies analisadas. Os cortes A-A' representarão as superfícies nos planos xy enquanto os cortes B-B' representarão as superfícies no plano zy.

Figura41 – Curvas simuladas do ganho de tensão intrínseco (A_V) em função da sobretensão de porta (V_{GT}) na região de saturação para os dispositivos FinFET, iFinFET e GAAFET.



Fonte: Elaborado pelo autor.

Figura 42 – Planos de cortes que representarão as superfícies analisadas para os dispositivos (a) FinFET; (b) iFinFET e (c) GAAFET.



Fonte: Elaborado pelo autor.

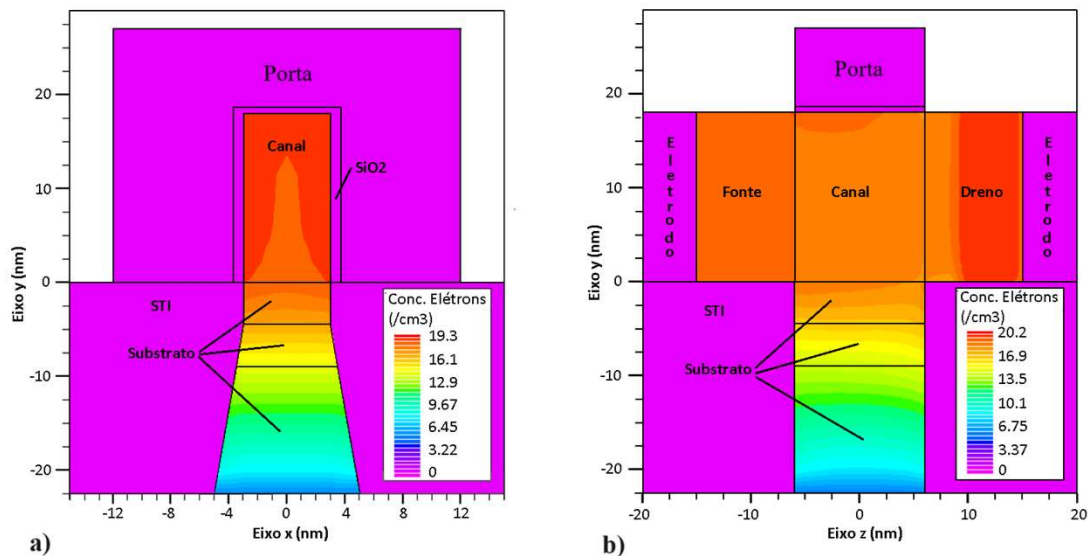
As Figuras 43, 44 e 45 mostram as concentrações de elétrons medidas em elétrons por centímetros cúbicos (e^-/cm^3) na escala de cor dos dispositivos FinFET, iFinFET e GAAFET em cortes feitos nos planos xy e zy. Para o levantamento dos gráficos de concentração de elétrons, as três estruturas apresentam as mesmas condições de simulação: comprimento de porta igual a 12 nm, V_{DS} e V_{GS} iguais a 0,75 V.

Analisando a Figura 43a, plano xy, a maior concentração de elétrons ($\approx 19 \text{ e}^-/\text{cm}^3$) se distribui nas superfícies das paredes laterais e no topo do canal. Na região central do canal, essa concentração de elétrons é de aproximadamente $18 \text{ e}^-/\text{cm}^3$. Essa concentração no substrato se torna menor à medida que se aproxima da base do substrato ($\approx 5 \text{ e}^-/\text{cm}^3$).

A Figura 43b traz as concentrações de elétrons para o eixo zy do dispositivo FinFET onde se observa um valor mais elevado de concentração na região direita do dreno ($\approx 20 \text{ e}^-/\text{cm}^3$) comparado às regiões de canal ($\approx 17 \text{ e}^-/\text{cm}^3$) e dreno ($\approx 19 \text{ e}^-/\text{cm}^3$).

Outra observação a ser destacada sobre a Figura 43a é que a região de maior concentração de elétrons no canal fica onde também há o maior acoplamento eletrostático que a porta (*gate*) pode exercer sobre o canal para este tipo de dispositivo.

Figura 43 – FinFET: Concentração de elétrons: a) plano xy; b) plano zy.



Fonte: Elaborado pelo autor.

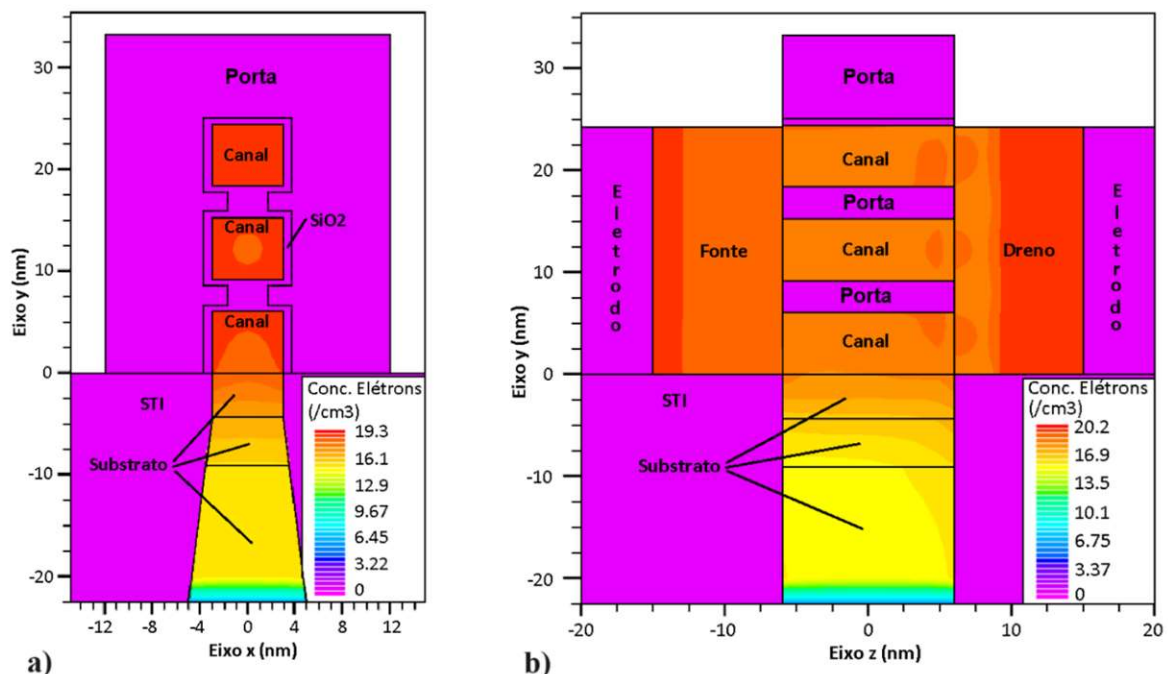
Na Figura 44a, os canais empilhados do dispositivo iFinFET trazem comportamentos de concentrações sensivelmente distintos. O canal superior apresenta concentração uniforme de elétrons ($\approx 20 \text{ e}^-/\text{cm}^3$) e o canal do meio tem maior concentração de elétrons ($\approx 19 \text{ e}^-/\text{cm}^3$) na sua periferia e uma concentração um pouco menor ($\approx 18 \text{ e}^-/\text{cm}^3$) na sua região central.

O canal inferior apresenta concentração de elétrons uniforme da ordem de 19 e/cm^3 nas suas superfícies laterais e 18 e/cm^3 na sua região central. Já o substrato apresenta concentrações decrescentes em direção à sua base semelhantes ao substrato do dispositivo FinFET.

A Figura 44b mostra as concentrações deste dispositivo no plano zy. Próximo à superfície da região de dreno e do seu eletrodo há a maior concentração de elétrons ($\approx 20 \text{ e/cm}^3$) e os três canais com as mesmas concentrações ($\approx 17 \text{ e/cm}^3$). Na região da fonte, a maior concentração se apresenta na superfície próxima ao seu eletrodo ($\approx 20 \text{ e/cm}^3$). Para a região do substrato, segue a mesma análise para a Figura 44a.

O comportamento do perfil de concentração de elétrons nos canais empilhados do dispositivo iFinFET apontam semelhanças entre os canais superior e do meio com canais de dispositivos com canal totalmente envolvidos pela porta (GAAFET) enquanto o canal inferior tem perfil próximo a de um dispositivo de canal único (FinFET).

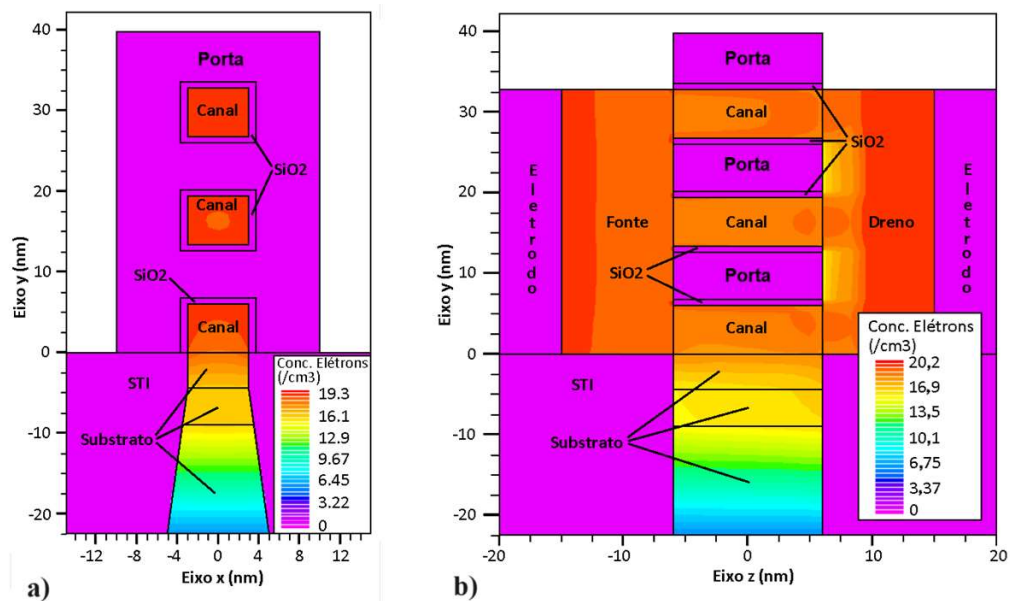
Figura 44 – iFinFET: Concentração de elétrons: a) plano xy; b) plano zy.



Fonte: Elaborado pelo autor.

A análise do dispositivo GAAFET (Figura 45a e 45b) é bem semelhante àquela feita para o dispositivo iFinFET com relação aos cortes nos planos xy e zy e em relação às concentrações de elétrons do substrato. A pequena diferença de comportamento entre esses dispositivos está na superfície de maior concentração de elétrons nos canais central e de baixo do transistor GAAFET.

Figura 45 – GAA FET: Concentração de elétrons: a) plano xy; b) plano zy.



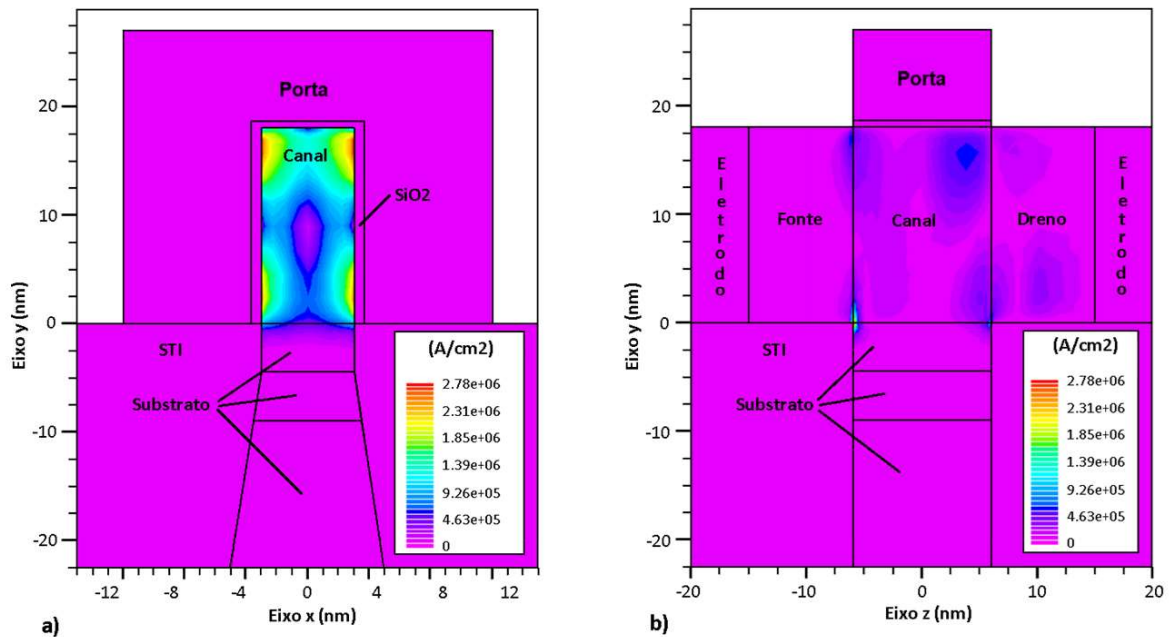
Fonte: Elaborado pelo autor.

5.11 Densidade de Corrente nos Dispositivos FinFET, iFinFET e GAA FET

As Figura 46, 47 e 48 representam as densidades de correntes elétricas medidas em A/cm^2 para os dispositivos FinFET, iFinFET e GAAFET na escala de cores em cortes feitos nos planos xy (superfície frontal) e zy (superfície lateral).

O dispositivo FinFET apresenta densidade de corrente relativamente baixa na região central de seu canal (Figura 46a) de aproximadamente $3 \times 10^5 \text{ A}/\text{cm}^2$ e alta densidade nas laterais superiores e inferiores do canal variando de aproximadamente $2,0$ a $2,7 \times 10^6 \text{ A}/\text{cm}^2$. Para o plano zy (Figura 46b), o corte mostrou uma densidade de corrente praticamente uniforme de 3 a $5 \times 10^5 \text{ A}/\text{cm}^2$.

Figura 46 – FinFET: densidade de corrente nos planos: a) xy; b) zy.



Fonte: Elaborado pelo autor.

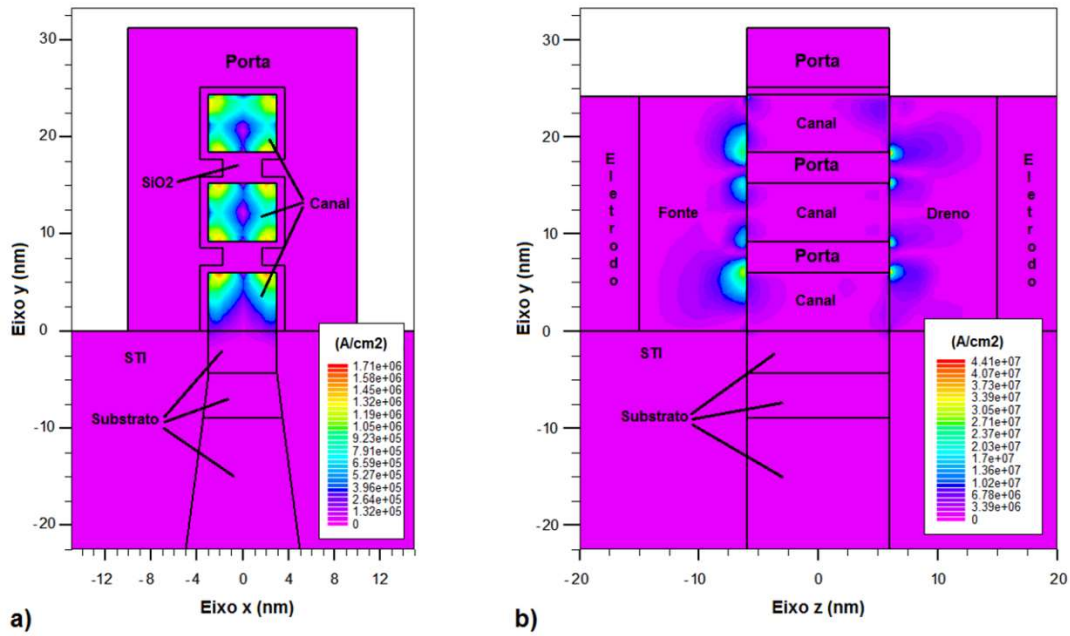
Na Figura 47 estão representados os planos xy e zy do dispositivo iFinFET e pode se constatar que as maiores densidades de corrente elétrica ($\approx 2 \times 10^6$ A/cm²) estão próximas aos cantos dos canais empilhados como vistos na Figura 47a e ficando o centro dos canais com densidades na ordem de 4×10^5 A/cm². Há um razoável fluxo de corrente no topo do substrato, a qual poderá ser vista como uma pequena corrente de fuga entre fonte e dreno através do substrato.

No plano zy (Figura 47b), as densidades se destacam dentro da região de fonte e dreno, próximas as superfícies dos canais e a porta com praticamente nenhuma densidade de corrente pelo substrato.

Para o dispositivo GAAFET, o plano xy (Figura 48a) mostra que o canal superior e o canal inferior apresentam poucas diferenças entre si a respeito de suas densidades de corrente elétrica. O canal inferior apresenta maior densidade devido ao fato dele ter maior contato com a porta quando comparado com o canal inferior do dispositivo iFinFET, no qual há uma pequena porção de óxido inserido.

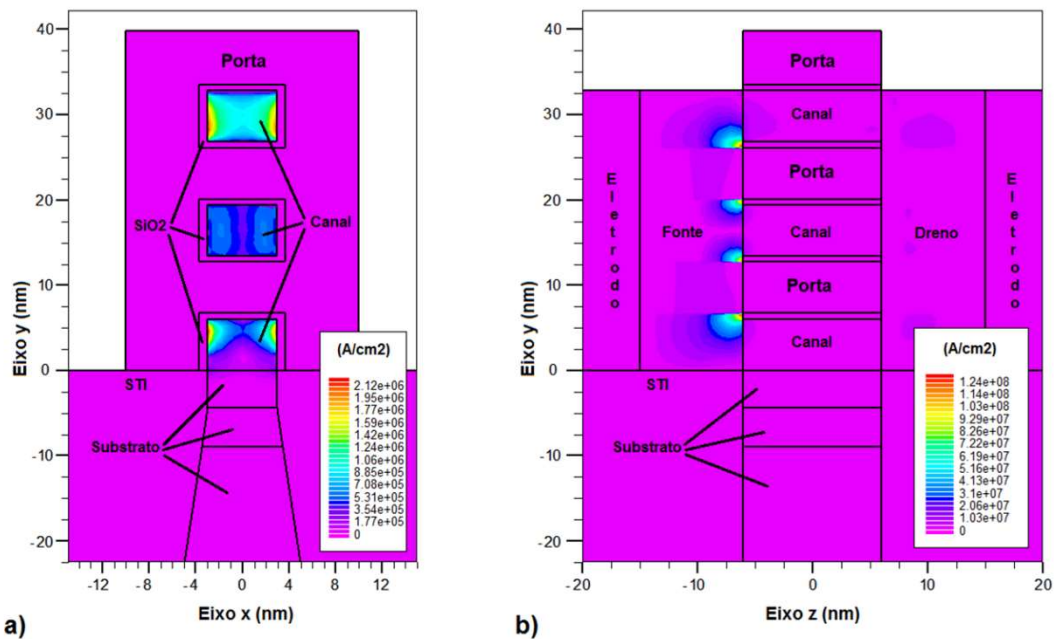
Essa maior presença da porta sobre o canal inferior também afeta a densidade de corrente no substrato no que se refere à corrente de fuga entre fonte e dreno. Para o plano zy, a análise é semelhante a este mesmo plano do dispositivo iFinFET.

Figura 47 – iFinFET: densidade de corrente nos planos: a) xy; b) zy.



Fonte: Elaborado pelo autor.

Figura 48 – GAA FET: densidade de corrente nos planos: a) xy; b) zy.



Fonte: Elaborado pelo autor.

5.12 Síntese dos Resultados Simulados

Nessa seção é feita uma síntese de resultados dos parâmetros simulados e a disposição desses resultados na Tabela 4, indicando comparação quantitativa de comportamento dos dispositivos de canais empilhados (iFinFET e GAA FET) com o dispositivo de referência (FinFET).

Tabela 4 – Quadro resumo de resultados simulados.

L = 12 nm					
Parâmetros	FinFET (Referência)	iFinFET		GAA FET	
I_{DS} [μA]	320	390	↑ 18,6%	500	↑ 36,9%
V_{TH} [V]	0,46	0,44	↓ 2,6%	0,42	↓ 5,0%
SS [mV/dec]	72,5	69,1	↓ 1,3%	67,6	↓ 2,6%
DIBL [mV/V]	36,6	25,5	↓ 9,4%	13,9	↓ 30,7%
g_m [μS]	20,1	24,4	↑ 23,6%	28,8	↑ 53,7%
g_D [μS] p/ $V_{GT} = 0,1$ V	0,14	0,25	↑ 78,5%	0,41	↑ 192%
V_{EA} [V] p/ $V_{GT} = 0,1$ V	860	620	↓ 27,9%	470	↓ 45,3%
A_v [g_m/g_D] p/ $V_{GT} = 0,1$ V	5,1	9,6	↑ 88,2%	22,9	↑ 349%

↓ = redução; ↑ = aumento

Fonte: Elaborado pelo autor.

O dispositivo GAAFET, com seus canais empilhado, exibe um V_{TH} (Figura 34) mais baixo e um SS (Figura 35) quase ideal em dispositivos com comprimento de canal (L) ≥ 16 nm; isso ocorre porque esses dispositivos também exibem melhores propriedades de canal curto.

Pode-se observar que, à medida que o comprimento do canal aumenta, o DIBL (Figura 36) é muito menor em todos os dispositivos empilhados quando L varia de 10 nm a 18 nm de comprimento. Na Figura 40, observa-se que a eficiência do transistor GAAFET empilhado é maior do que nos dispositivos padrão, principalmente em inversão fraca e moderada, devido ao melhor SS. Em baixas I_{DS} , a degradação do SS causa uma diminuição no g_m/I_{DS} , enquanto a variação no V_{TH} é responsável pela redução em I_{DS} mais altos.

Os resultados dos parâmetros simulados aqui mostram coerência na ordem de desempenho das estruturas, onde o iFinFET permanece na posição de desempenho intermediário.

A influência do comprimento do canal (L) é evidente em cada parâmetro simulado: maior L implica menor I_{DS} , SS e $DIBL$, menor L traz menor V_{TH} em relação ao número de canais carregados pelos dispositivos; aqueles com maior W_{eff} , devido aos canais empilhados (iFinFET e GAAFET), apresentaram melhor desempenho em comparação com o dispositivo de canal único (FinFET), como visto nos gráficos.

6 CONCLUSÕES

Neste trabalho, o desempenho de estruturas de canal empilhado foi comparado com a estruturas de canal único. Primeiramente foram feitas calibrações de três dispositivos tomando como referência resultados experimentais obtidos através da literatura (Zheng¹ *et al.*, 2015). Após as calibrações/validações desses dispositivos, variou-se as dimensões do comprimento de canal (porta). Para cada um desses comprimentos foi feita aplicação de tensão variável na porta e registrada a corrente de dreno e esta corrente de dreno foi a base cálculo e análise de todos os parâmetros investigados neste trabalho.

Os resultados das simulações demonstraram que as estruturas com multicanais ou canais empilhados (GAA FET e iFinFET) têm melhor desempenho em comparação com a estrutura de canal único (FinFET) em todos os parâmetros estudados. Isso está relacionado à maior superfície de contato da porta em relação ao canal ($>W_{\text{eff}}$), o que implica em aumento do acoplamento eletrostático porta/canal e maior I_{DS} para uma mesma área de região ativa ($W_{\text{Fin}} \cdot H_{\text{Fin}}$).

O uso estratégico do SiO_2 como camada dielétrica entre a porta e o canal se deve ao fato de sua alta qualidade de interface Si/SiO_2 , além de oferecer maior corrente de acionamento no estado ligado (I_{ON}) e o menor atraso intrínseco. Material com k (constante dielétrica) mais alta (Si_3N_4 e HfO_2 , por exemplo) resulta em pior integridade eletrostática porque resulta em maior acoplamento capacitivo entre as regiões do dreno e do canal (Zheng, 2016). Evidenciado isso, este trabalho de simulação fez comparações de desempenho dos três dispositivos utilizando o SiO_2 (k mais baixo) como material isolante entre porta e canal.

Deste modo, a partir das simulações, observou-se que as estruturas de canal empilhadas oferecem maiores vantagens sobre a estrutura de canal único com real potencial de substituição substancial para futuros dispositivos semicondutores integrados.

Corroborando estes resultados simulados e viabilidade funcional, é esperado, para futuro próximo, que fabricantes de semicondutores coloquem em produção um novo nó tecnológico de transistores de canais empilhados chamados de nó 20Å (Rak, 2024).

7 PUBLICAÇÕES

Durante o desenvolvimento do trabalho foi possível elaborar as publicações que seguem referenciadas abaixo:

7.1 Trabalhos Completos em Anais de Eventos

7.1.1 Eventos Internacionais

NASCIMENTO, S. O.; LIMA, L. P. B.; ANDRADE, M. G. C. Performance Investigation of 3D Stack Channel Devices. In: EuroSOI-ULIS Conference, 10th Joint EuroSOI Workshop and International Conference on Ultimate Integration on Silicon. Glyfada, Greece. 2024. <https://aeneas-office.org/2024/01/10/eurosoi-ulis-conference-2024/>

7.1.2 Eventos Nacionais

NASCIMENTO, S. O.; LIMA, L. P. B.; ANDRADE, M. G. C. Drain current behaviour in FinFET, iFinFET and GAA FET devices by TCAD 3D simulation. In: SEMINATEC, XVII Workshop on Semiconductors and Micro & Nano Technology, Campinas, SP, 2023.

NASCIMENTO, S. O.; LIMA, L. P. B.; ANDRADE, M. G. C. Performance of stacked iFinFET, GAA FET, FinFET through 3D TCAD simulation. In: SEMINATEC, XVIII Workshop on Semiconductors and Micro & Nano Technology, São Paulo, SP. 2024.

7.2 Artigos Submetido Para Publicação

Nascimento, S. O.; Lima, L. P. B.; Andrade, M. G. C. Performance investigation of 3D stack channel devices. Submetido para revista Solid-State Electronics, 2024.

REFERÊNCIAS

ADITYA, M.; GUHA, K.; RAO, K. S.; SRAVANI, K. G. Simulation and drain current performance analysis of high-K gate dielectric FinFET. **Silicon** **14**, v. 14, p. 4075-4078, 2022.

AGHA, F. N. A. H.; NAIF, Y. H.; SHAKIB, M. N. Review of nanosheet transistors technology. **Tikrit Journal of Engineering Sciences**, v. 28, p. 40-48, mar. 2021.

AJAYAN, J.; NIRMAL, D.; TAYAL, S.; BHATTACHARYA, S.; ARIVAZHAGAN, L.; FLETCHER, A. S. A.; MURUGAPANDIYAN, P.; AJITHA, D. Nanosheet field effect transistors – a next generation device to keep Moore's law alive: an intensive study. **Elsevier Microelectronics Journal**, vol. 114, Ago. 2021, 105141.

ALCORN, P. Imec presents sub-1nm process and Transistor Roadmap Until 2036: From Nanometers to the Angstrom Era. **Tom's Hardeare**. Disponível em: www.tomshardware.com/news/imecs-sub-1nm-process-node-and-transistor-roadmap-until-2036-from-nanometers-to-the-angstrom-era. Acesso em: 22 abr. 2024.

ANDRADE, M. G. C. Estudo de transistores de porta tripla de corpo. **Escola Politécnica da Universidade de São Paulo**. 2012. Tese de Doutorado. Universidade de São Paulo.

BERA, L. K.; NGUYEN, H. S.; SINGH, N.; LIOW, T. Y.; HUANG, D. X.; HOE, K. M.; TUNG, C. H.; FANG, W. W.; RUSTAGI, S. C.; JIANG, Y.; LO, G. Q.; BALASUBRAMANIAN, N.; KWONG, D. L. Three dimensionally stacked SiGe nanowire array and gate-all-around p-MOSFETs. **Proceedings of the 2006 International Electron Devices Meeting (IEDM)**, p. 551–554, 2006.

BHOIR, M. S.; CHIARELLA, T.; HORIGUCHI, N.; MITARD, J.; MOHAPATRA, N. R.; RAGNARSSON, L. Å.; TERZEIVA, V. Analog performance and its variability in sub-10nm fin-width FinFETs: a detailed analysis. **IEEE Journal of the Electron Devices Society**, p. 99, 2019.

BOHR, M.; MISTRY, K. Intel's revolutionary 22 nm transistor technology, [2011]. Disponível em: http://download.intel.com/newsroom/kits/22nm/pdfs/22nm-Details_Presentation.pdf. Acesso em: 29 abr. 2024.

BURY, E.; CHASIN, A.; KACZER, B.; VANDOOREN, M.; TYAGINOV, S.; FORTUNY, J. D.; FRANCO, J.; RITZENTHALER, R.; MERTENS, H.; WECKX, P.; HORIGUCHI, N.; LINTEN, D. Reliability challenges in Forksheet Devices. **2023 IEEE International Reliability Physics Symposium (IRPS)**, p. 1-8, 2023. Evaluating forksheet FET reliability concerns by experimental comparison with co-integrated nanosheets. **2022 IEEE International Reliability Physics Symposium (IRPS)**, p. 5A.2-1-5A.2-7, 2022

BURYK, I.P.; IVASHCHENKO, M.M.; GOLOVNIA, A.O.; OPANASYUK, A.S. Numerical simulation of FET transistors based on nanowire and fin technologies. **IEEE KhPI Week on Advanced Technology (KhPIWeek)**, p. 257-259, 2020.

BUSTILLO, J. M.; HOWE, R. T.; MULLER, R. S. Surface micromachining for microelectromechanical systems. Proc. **Proceedings of the IEEE**, p. 1552–1574, 1998.

CHIP Roadmap for The Next Decade. [S./.] 2024. Disponível em: <https://www.easybuyic.com/wapshop/ArticleDetails?ArticleId=2087>. Acesso em: 16 mar. 2024.

CHOI, B. K.; HAN, K. R.; KIM, Y. M.; PARK, Y. J.; LEE, J. H. Threshold-voltage modelling of body-tied FinFETs (bulk FinFETs). **IEEE Transactions on Electron Devices**, v. 54, p. 537-545, 2007.

COLINGE, C. A.; COLINGE, J. P. Physics of semiconductor devices. New York. 1ª edição. **Springer Science & Business Media**. 2002.

COLINGE, J. P.; GAO, M. H.; ROMANO-RODRIGUEZ, A.; MAES, H.; CLAEYS, C.; Silicon-on-insulator “gate-all-around device”. **Proceedings of the 1990 International Electron Devices Meeting (IEDM)**, p. 595–598, 1990.

CONDEZ, A. O.; SANCHEZ, F. J. G.; LIOU, J. J.; CERDEIRA, A.; ESTRADA, M.; YUE, Y. A review of recent MOSFET threshold voltage extraction methods. **Microelectronics Reliability**, v. 42, p. 583-596, 2002.

Dispositivo semiconductor: efeito de canal curto nº 1. [S. /], 2022. Disponível em: <https://sshmyb.tistory.com/51>. Acesso em: 6 mar. 2024.

DRAEGER, N. From FinFETs to Gate-All-Around. **Semiconductor Engineering 2020**. Disponível em: <https://semiengineering.com/from-finfets-to-gate-all-around/>. Acesso em: 2 abr. 2024.

DU, H.; HAO, L.; HAO, Y.; LIU, Z.; SU, H.; ZHANG, J.; ZHANG, T.; ZHANG, W. High-performance e-mode p-channel GaN FinFET on silicon substrate with high I ON/I OFF and high threshold voltage. **IEEE Electron Device Letters**. v. 43, p. 705-708, 2022.

DUPRE, C.; HUBERT, A.; BECU, S.; JUBLOT, M.; MAFFINI-ALVARO, V.; VIZIOZ, C. AUSSENAC, F.; ARVET, C.; BARNOLA, S.; HARTMANN, J.-M.; GARNIER, G.; ALLAIN, F.; COLONNA, J.-P.; RIVOIRE, M.; BAUD, L.; PAULIAC, S.; LOUP, V.; CHEVOLLEAU, T.; RIVALLIN, P.; GUILLAUMOT, B.; GHIBAUDO, G.; FAYNOT, O.; ERNST, T.; DELEONIBUS, S. 15nm-diameter 3D stacked nanowires with

independent gates operation: Φ FET. **2008 IEEE International Electron Devices Meeting**, p. 1-4, 2008.

FASARAKIS, N.; TSORMPATZOGLOU, A.; TASSIS, D. H.; PAPPAS, I.; PAPATHANASIOU, K.; BUCHER, M.; GHIBAU, G.; DIMITRIADIS, C. A. Compact model of drain current in short-channel triple-gate FinFETs. **IEEE Transactions on Electron Devices**, v. 59, p. 1891-1898, 2012.

FLANDRE, D.; JESPER, P. G. A.; SILVEIRA, F. A gm/Id based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon-on-insulator micropower OTA. **IEEE Journal of Solid-State Circuits**, v. 31, n. 9, p. 1314-1319, 1996.

GRIFFIN, M. **IMEC Reveals First Sub 1nm Transistor Roadmap**. [S.l.]: 311Institute, 25 fev. 2024. Disponível em: <https://www.311institute.com/imec-reveals-first-sub-1nm-transistor-roadmap/>. Acesso em: 11 mar. 2024.

HERTZ, J. Scaling down: Intel boasts ribbonFET and PowerVia as next IC design solution. **All About Circuits**. Disponível em: <https://www.allaboutcircuits.com/news/scaling-down-intel-boasts-ribbonfet-and-powervia-as-next-ic-design-solution/>. Acesso em: 04 abr. 2024.

HISAMOTO, D.; KAGA, T.; KAWAMOTO, Y.; TAKEDA, E. Fully Depleted Lean-channel Transistor (DELTA) - A novel vertical ultra-thin SOI MOSFET. **IEEE Electron Device Letters**, vol. 11, n. 1, pp. 36-38, 1990.

HORIGUCHI, N., Entering the Nanosheet Transistor Era. **DESIGNLINES 2021**. Disponível em: <https://www.eetimes.com/entering-the-nanosheet-transistor-era/>. Acesso em: 06 de abr. 2024.

JEGADHEESAN, V., SIVASANKARAN, K.; KONAR, A. Improved statistical variability and delay performance with junctionless inserted oxide FinFET. **International Journal of Electronics and Communications**, v. 115, 2020.

JOHNSON, R. C. Intel, IBM dueling 14nm FinFETS. **EETimes**, 2014. Disponível em: <https://www.eetimes.com/intel-ibm-dueling-14nm-finfets/>. Acesso em: 16 mar. 2024.

KARLSSON, P. R.; JEPPSON, K. O. An efficient method for determining threshold voltage, series resistance and effective geometry of MOS transistors. **IEEE Transactions Semiconductor Manufacturing**, v. 9, n. 2, pp. 215-222, 1996.

KRANTI, A.; CHUNG, T. M.; FLANDRE, D.; RASKIN, J. P. Analysis of laterally asymmetric channel engineering in fully depleted double gate (DG) SOI MOSFETs for high performance analog applications. **Solid-State Electronics**, p. 131-134, 2003.

KUMARI, N. A.; PRITHVI, P. Performance evaluation of GAA nanosheet FET with varied geometrical and process parameters. **Silicon** **14**, p. 9821-9831, 2022.

KURNIAWAN, E. D.; DU, Y-T.; WU, Y-C. Performance evaluation of vertically stacked nanosheet InGaAs/InAlAs/InP double quantum well FinFET on Si substrate. **IEEE Xplore**. p. 362-365. 2020.

LEE, K-S; PARK, J-Y. Inner spacer engineering to improve mechanical stability in channel-release process of nanosheet FETs. **Electronics** **2021**, v. 10, n. 12, p. 1395, 2021.

LIN, C-H.; GREENE, B.; NARASIMHA, S.; CAI, J.; BRYANT, A.; RADENS, C.; NARAYANAN, V.; LINDER, B.; HO, H.; AIYAR, A.; ALPTEKIN, E.; AN, J-J.; AQUILINO, M.; BAO, R.; BASKER, V.; BREIL, N.; BRODSKY, M.; CHANG, W.; CLEVENGER, L.; CHIDAMBARRAO, D.; CHRISTIANSEN, C.; CONKLIN, D.; DEWAN, C.; DONG, H.; ECONOMIKOS, L.; ENGEL, B.; FANG, S.; FERRER, D.; FRIEDMAN, A.; GABOR, A.; GUARIN, F.; GUAN, X.; HASANUZZAMAN, M.; HONG, J.; HOYOS, D.; JAGANNATHAN, B.; JAIN, S.; JENG, S-J.; JOHNSON, J.; KANNAN, B.; KE, Y.; KHAN, B.; KIM, B.; KOSWATTA, S.; KUMAR, A.; KWON, T.; KWON, U.; LANZEROTTI, L.; LEE, H-K.; LEE, W-H.; LEVESQUE, A.; LI, W.; LI, Z.; LIU, W.; MAHAJAN, S.; MCSTAY, K.; NAYFEH, H.; NICOLL, W.; NORTHROP, G.; OGINO, A.; PEI, C.; POLVINO, S.; RAMACHANDRAN, R.; REN, Z.; ROBISON, R.; SARAF, I.; SARDESAI, V.; SAUDARI, S.; SCHEPIS, D.; SHERAW, C.; SIDDIQUI, S.; SONG, L.; STEIN, K.; TRAN, C.; UTOMO, H.; VEGA, R.; WANG, G.; WANG, H.; WANG, W.; WANG, X.; WEHELLE-GAMAGE, D.; WOODARD, E.; XU, Y.; YANG, Y.; ZHAN, N.; ZHAO, K.; ZHU, C.; BOYD, K.; ENGBRECHT, E.; HENSON, K.; KASTE, E.; KRISHNAN, S.; MACIEJEWSKI, E.; SHANG, H.; ZAMDMER, N.; DIVAKARUNI, R.; RICE, J.; STIFFLER, S.; AGNELLO, P. High performance 14nm SOI FinFET CMOS technology with 0.0174 μm^2 embedded DRAM and 15 levels of Cu metallization. **2014 IEEE International Electron Devices Meeting**, p. 74-76, 2014.

LIN, C. L.; HSIAO, P. H.; YEH, W. K.; LIU, H. W.; YANG, S. R.; CHEN, Y. T.; CHEN, K. M.; LIAO, W. S. Effects of fin width on device performance and reliability of double-gate n-type FinFETs. **IEEE Transactions on Electron Devices**, v. 60, n. 11, p. 3639-3644, 2013.

LIU, J. J.; CONDEZ, A. O.; SANCHEZ, F. J. G. Extraction of the threshold voltage of MOSFETs: an overview. **Proceedings of IEEE - Electron Devices Meeting**, p. 31-38, 1997.

LIU, J. Imec reports first electrical demonstration of integrated forksheet devices to extend nanosheets beyond 2nm technology node. **IMEC**, 2021. Disponível em: <https://www.imec-int.com/en/press/imec-reports-first-electrical-demonstration-integrated-forksheet-devices-extend-nanosheets>. Acesso em: 18 mar. 2024.

LOUBET, N.; KAL, S.; ALIX, C.; PANCHARATNAM, S.; ZHOU, H.; DURFEE, C.; BELYANSKY, M.; HALLER, N.; WATANABE, K.; DEVARAJAN, T.; ZHANG, J.; MIAO, X.; SANKAR, M.; BRETON, M.; CHAO, R.; GREENE, A.; YU, L.; FROUGIER, J.; CHANEMOUGAME, D.; TAPILY, K.; SMITH, J.; BASKER, V.; MOSDEN, A.; BIOLSI, P.; HURD, T. Q.; DIVAKARUNI, R.; HARAN, B.; BU, H. A novel dry selective etch of SiGe for the enablement of high-performance logic stacked gate-all-around nanoSheet devices. **Proceedings of the 2019 IEEE International Electron Devices Meeting (IEDM)**, p. 11.4.1-11.4.4, 2019.

MACK, C. A. The end of the semiconductor industry as we know it. **Emerging Lithographic Technologies VII**, v. 5037, p. 1-11, 2003.

Manual Atlas do Usuário 2015, 2015, p. 31, 38.

MAURYA, R. K.; BHOWMICK, B. Review of FinFET devices and perspective on circuit design challenges. **Silicon** **14**, p. 5783-5791, 2022.

MERTENS, H.; RITZENTHALER, R.; PENA, V.; SANTORO, G.; KENIS, K.; SCHULZE, A.; LITTA, E. D.; CHEW, S. A.; DEVRIENDT, K.; CHIARELLA, R.; DEMUYNCK, S.; YAKIMETS, D.; JANG, D.; SPESSOT, A.; ENEMAN, G.; DANGOL, A.; LAGRAIN, P.; BENDER, H.; SUN, S.; KOROLIK, M.; KIOUSSIS, D.; KIM, N.; BU, K. H.; CHEN, S. C.; COGORNO, M.; DEVRAJAN, J.; MACHILLOT, J.; YOSHIDA, N. KIM, M.; BARLA, K.; MOCUTA, D.; HORIGUCHI, N. Vertically stacked gate-all-around Si nanowire transistors: key process optimizations and ring oscillator demonstration. **2017 IEEE International Electron Devices Meeting (IEDM)**, p. 828-831, 2017.

MINHAJ, E. H.; RAZZAK, M. A.; ISLAM, M. M.; ADNAN, M. M. R. Performance enhancement of multigate FinFETs by using high-k stack oxide. **1st International Conference on Advances in Science, Engineering and Robotics Technology (ICASERT)**, p. 1-4, 2019.

MOORE, G. E. Cramming more components onto integrated circuits. **IEEE Solid-State Circuits Society Newsletter**, v. 11, p. 33-35, 2006.

MUKESH, S.; ZHANG, J. A review of the gate-all-around nanosheet FET process opportunities. **Electronics** **2022**, v. 11, p. 3589, 2022.

NATARAJAN, S.; AGOSTINELLI, M.; AKBAR, S.; BOST, M.; BOWONDER, A.; CHIKARMANE, V.; CHOUKSEY, S.; DASGUPTA, A.; FISCHER, K.; FU, Q.; GHANI, T.; GILES, M.; GOVINDARAJU, S.; GROVER, R.; HAN, W.; HANKEN, D.; HARALSON, E.; HARAN, M.; HECKSCHER, M.; HEUSSNER, R.; JAIN, P.; JAMES, R.; JHAVERI, R.; JIN, I.; KAM, H.; KARL, E.; KENYON, C.; LIU, M.; LUO, Y.; MEHANDRU, R.; MORARKA, S.; NEIBERG, L.; PACKAN, P.; PALIWAL, A.; PARKER, C.; PATEL, P.; PATEL, R.; PELTO, C.; PIPES, L.; PLEKHANOV, P.;

PRINCE, M.; RAJAMANI, S.; SANDFORD, J.; SELL, B.; SIVAKUMAR, S.; SMITH, P.; SONG, B.; TONE, K.; TROEGER, T.; WIEDEMER, J.; YANG, M.; ZHANG, K. A 14 nm logic technology featuring 2nd-generation FinFET, airgapped interconnects, self-aligned double patterning and a 0.0588 μm^2 SRAM cell size. **2014 IEEE international electron devices meeting**, p. 71-73, 2014.

NG, R. M. Y.; WANG, T.; LIU, F.; ZUO, X.; HE, J.; CHAN, M. Vertically stacked silicon nanowire transistors fabricated by inductive plasma etching and stress-limited oxidation. **IEEE Electron Device Letters**, v. 30, p. 520-522, 2009.

PANDEY, A.; TESFAY, D.; JARSO, E. Performance analysis of Intel Ivy Bridge and Intel Broadwell microarchitectures using Intel VTune amplifier software. **2018 2nd International Conference on Inventive Systems and Control (ICISC)**, p. 423-426, 2018.

PETTERSON, A. Samsung leads chip industry with nanosheet production. **DESIGNLINES 2022**. Disponível em: <https://www.eetimes.com/samsung-leads-chip-industry-with-nanochip-production/>. Acesso em: 04 abr. 2024.

RADAMSON, H. H.; MIAO, Y.; ZHOU, Z. WU, Z.; KONG, Z.; GAO, J.; YANG, H.; REN, Y.; ZHANG, Y.; SHI, J.; XIANG, J.; CUI, H.; LU, B.; LI, J.; LIU, J.; LIN, H.; XU, H.; LI, M.; CAO, J.; HE, C.; DUAN, X.; ZHAO, X.; SU, J.; DU, Y.; YU, J.; WU, Y.; JIANG, M.; LIANG, D.; LI, B.; DONG, Y.; WANG, G. CMOS scaling for the 5 nm node and beyond: device, process and technology. **Nanomaterials 2024**, v. 14, p. 837, 2024.

RAK, G. Intel hopes to leapfrog its competitors: the chipmaker bets on new transistors, power-delivery tech, and a nascent foundry business. **IEEE Spectrum**, v. 61, p. 32-56, 2024.

RAZAVIEH, A.; ZEITZOFF, P.; BROWN, D. E.; KARVE, G.; NOWAK, E. J.; Scaling challenges of FinFET architecture below 40nm contacted gate pitch. **75th Annual Device Research Conference (DRC)**, p. 1-2, 2017.

RODRIGUEZ, S. S.; TINOCO, J. C.; MARTINEZ-LOPEZ, A. G.; RASKIN, J. P.; ALVARADO, J. Parasitic gate capacitance model for triple-gate FinFETs. **IEEE Transactions on Electron Devices**, v. 60, n. 11, 2013.

SACCHETTO, D.; BEN-JAMAA, M. H.; DE MICHELI, G.; LEBLEBICI, Y. Fabrication and characterization of vertically stacked gate-all-around Si nanowire FET arrays. **2009 Proceedings of the European Solid State Device Research Conference**, p. 245–248, 2019.

SAURABH, R.; TRIPATHI, P. N.; BHASME, S. B.; NAZAROV, A. Design and simulation of nano scale FIN FET using Silvaco TCAD. **2021 International Conference Engineering and Telecommunication (En&T)**, p. 1-6, 2021.

SEDRA, A. S., & SMITH, K. C. (2014). **Microelectronic Circuits**. Oxford University Press.

SEKIGAWA, T.; HAYASHI, Y. Calculated threshold-voltage characteristics of an X MOS transistor having an additional bottom gate. **Solid-State Electronics**, v. 27, n. 8/9, p. 827-828, 1984.

SELL, B.; AN, S.; ARMSTRONG, J.; BAHR, D.; BAINS, B.; BAMBERY, R.; BANG, K.; BASU, D.; BENDAPUDI, S.; BERGSTROM, D.; BHANDAVAT, R.; BHOWMICK, S.; BUEHLER, M.; CASELLI, D.; CEKLI, S.; CHAGANTI, V.; CHANG, Y. J.; CHIKKADI, K.; CHU, T.; CRIMMINS, T.; DARBY, G.; EGE, C.; ELFICK, P.; ELKO-HANSEN, T.; FANG, S.; GADDAM, C.; GHONEIM, M.; GOMEZ, H.; GOVINDARAJU, S.; GUO, Z.; HAFEZ, W.; HARAN, M.; HATTENDORF, M.; HU, S.; JAIN, A.; JALOVIA, S.; JANG, M.; KAMESWARAN, J.; KAPINUS, V.; KENNEDY, A.; KLOPCIC, S.; KRISHNAN, D.; LEIB, J.; LIN, Y.-T.; LINDERT, N.; LIU, G.; LOH, O.; LUO, Y.; MANI, S.; MLECZKO, M.; MOCHERLA, S.; PACKAN, P.; PAIK, M.; PALIWAL, A.; PANDEY, R.; PATANKAR, K.; PIPES, L.; PLEKHANOV, P.; PRASAD, C.; PRINCE, M.; RAMALINGAM, G.; RAMASWAMY, R.; RILEY, J.; PEREZ, J. R. S.; SANDFORD, J.; SATHE, A.; SHAH, F.; SHIM, H.; SUBRAMANIAN, S.; TANDON, S.; TANNIRU, M.; THAKURTA, D.; TROEGER, T.; WANG, X.; WARD, C.; WELSH, A.; WICKRAMARATNE, S.; WNUK, J.; XU, S. Q.; YASHAR, P.; YAUNG, J.; YOON, K.; YOUNG, N. Intel 4 CMOS technology featuring advanced FinFET transistors optimized for high density and high-performance computing. **IEEE Symposium on VLSI Technology and Circuits (VLSI Technology and Circuits)**, p. 282-283, 2022.

SZE, S. M.; Ng, K. K. (2006). **Semiconductor Devices: Physics and Technology**. John Wiley & Sons.

TACHIKI, K.; ONO, T.; KOBAYASHI, T.; KIMOTO, T. Short-channel effects in SiC MOSFETs based on analyses of saturation drain current. **IEEE Transactions on Electron Devices**, v. 68, n. 3, p. 1382-1384, 2021.

TAKATO, H.; SUNOUCHI, K.; OKABE, N.; NITAYAMA, A.; HIEDA, K.; HORIGUCHI, F.; MASUOKA, F. High performance CMOS surrounding gate transistor (SGT) for ultra high density LSIs. **Technical Digest., International Electron Devices Meeting**, p. 222-225, 1988.

TAUR, Y. ULSI scaling toward 10nm gate-lengths: challenges and opportunities. **Encyclopedia of Materials: Science and Technology**, p. 9430-9444, 2001.

TERAO, A.; FLANDRE, D.; TAMOYO, E. L.; WIELE, V. Measurement of threshold voltages of thin-film accumulation-mode PMOS/SOI transistors. **IEEE Electron Device Letters**, v. 12, n. 12, p. 682-684, 1991.

WANG, M. A Review of Reliability in Gate-All-Around Nanosheet Devices **Micromachines** **2024**, v. 15, n. 2, p. 269, 2024.

WECKX, P.; RYCKAERT, J.; LITTA, E. D.; YAKIMETS, D. MATAGNE, P.; SCHUDDINCK, P.; JANG, D.; CHEHAB, B.; BAERT, R.; GUPTA, M.; ONIKI, Y.; RAGNARSSON, L.-A.; HORIGUCHI, N.; SPESSOT, A.; VERKEST, D. Novel forksheet device architecture as ultimate logic scaling device towards 2nm. **IEEE International Electron Devices Meeting (IEDM)**, p. 36.5.1-36.5.4, 2019.

WONG, H.; KAKYSHIMA, K. On the vertically stacked gate-all-around nanosheet and nanowire transistor scaling beyond the 5 nm technology node. **Nanomaterials**, v. 12, n.10, p. 1739, 2022.

WONG, H. S.; WHITE, M. H.; KRUTSICK, T. J.; BOOTH, V. Modelling of transconductance degradation and extraction of threshold voltage in thin oxide MOSFET's," **Solid-State Electronics**, v. 30, n. 9, p. 953-958, 1987.

WU, S-Y.; LIN, C. Y.; CHIANG, M. C.; LIAW, J. J.; CHENG, J. Y.; YANG, S. H.; CHANG, S. Z.; LIANG, M.; MIYASHITA, T.; TSAI, C. H.; CHANG, C. H.; CHANG, V. S.; WU, Y. K.; CHEN, J. H.; CHANG, S. Y.; PAN, K. H.; TSUI, R. F.; YAO, C. H. TING, K. C.; YAMAMOTO, T.; HUANG, H. T.; LEE, T. L.; LEE, C. H.; CHANG, W.; LEE, H. M.; CHEN, C. C.; CHANG, T.; CHEN, R.; CHIU, Y. H.; TSAI, M. H.; JANG, S. M.; CHEN, K. S.; KU, Y. An enhanced 16nm CMOS technology featuring 2nd generation FinFET transistors and advanced Cu/ low-k interconnect for Low power and high-performance applications. **2014 IEEE International Electron Devices Meeting**, p. p. 3.1.1-3.1.4., 2014.

WU, Y. T.; CHEN, J. F.; CHIANG, M. H.; LIU, T. J. K.; Simulation-based study of high-permittivity inserted-oxide FinFET with low-permittivity inner spacers. **IEEE Transactions on Electron Devices**, v. 68, n. 11, p. 5529-5534, 2021.

WU, Y. T.; DING, F.; CHIANG, M. H.; CHEN, J. F.; LIU, T. J. K.; Simulation-based study of low minimum operating voltage SRAM with inserted-oxide FinFETs and gate-all-around transistors. **IEEE Transactions on Electron Devices**, v. 69, n. 4, p. 1823-1829, 2022.

ZHENG, P. Advanced MOSFET Structures and Processes for Sub-7 nm CMOS Technologies. **University of California, Berkeley**. Tese de Doutorado. University of California, Berkeley, 2016.

ZHENG, P.; CONNELLY, D.; DING, F.; LIU, T. J. K. FinFET evolution toward stacked-nanowire FET for CMOS technology scaling. **IEEE Transactions on Electron Devices**, v. 62, n. 12, p. 3945-3950, 2015.

ZHENG, P.; CONNELLY, D.; DING, F.; LIU, T. J. K. Inserted-oxide FinFET (iFinFET) design to extend CMOS scaling. **2015 International Symposium on VLSI Technology, Systems and Applications**, p. 1-2, 2015.

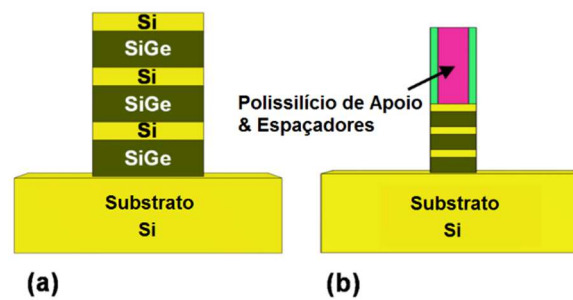
APÊNDICE A – RESUMO DO PROCESSO DE FABRICAÇÃO DE DISPOSITIVOS DE CANAIS EMPILHADOS

Comparados aos FinFETs, os iFinFETs, GAAFETs e os *Forksheets*, com seus canais empilhados, requerem a formação de canais suspensos no substrato. Geralmente, os métodos de fabricação de canais suspensos foram categorizados de duas maneiras. A primeira abordagem é usar uma camada sacrificial depositada em um substrato como uma camada dielétrica (por exemplo, SiO₂) ou inorgânica (por exemplo, Si_{1-x}Ge_x) (Colinge *et al.*, 1990; Bera *et al.*, 2006). Canais de silício podem ser suspensos do substrato quando a camada sacrificial é seletivamente atacada por via úmida. A segunda abordagem é usar ataque a seco reativo, chamado de “processo Bosch”, para formar canais empilhados (Ng *et al.*, 2009; BEM-JAMAA *et al.*, 2009). Para formar os canais suspenso são usadas gravura a seco isotrópica realizada sequencialmente, oxidação térmica e remoção de óxido sacrificial.

No entanto, ambas as abordagens mencionadas acima para formar canais suspensos encontraram uma instabilidade mecânica, conhecida como atrito, que está associada à força capilar dos produtos químicos durante o ataque úmido (BUSTILLO; HOWE; MULLER, 1990). Essa preocupação foi evitada pela melhoria do ataque a seco e da secagem supercrítica (Mertens *et al.*, 2017; Loubet *et al.*, 2019).

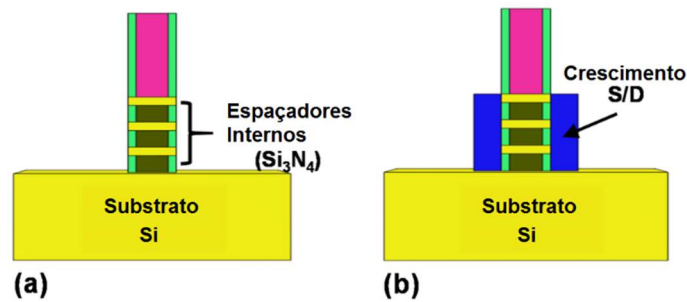
A Figura 50, 51 e 52 fornecem um resumo do processo de fabricação desses dispositivo de canais suspenso. Pilhas Si_{1-x}Ge_x são depositadas iterativamente em um substrato por crescimento epitaxial. Então, uma porta fictícia ou de apoio composta de polissilício é depositada como uma máscara dura. Posteriormente, as pilhas Si/ Si_{1-x}Ge_x são gravadas a seco para formação de fonte/dreno (S/D). A gravação de indentação Si_{1-x}Ge_x, a deposição do espaçador interno e a formação de silício fortemente dopado no S/D são realizadas sequencialmente. Não há preocupação crítica até a etapa mostrada na Figura 51a, mas ocorre falha mecânica entre os nanofios durante a liberação do canal, como mostrado na Figura 51b.

Figura 49 – (a) Empilhamento Si/ Si_{1-x}Ge_x por crescimento epitaxial iterativo; (b) Padronização de porta polissilício simulada e gravação a seco de fonte/dreno.



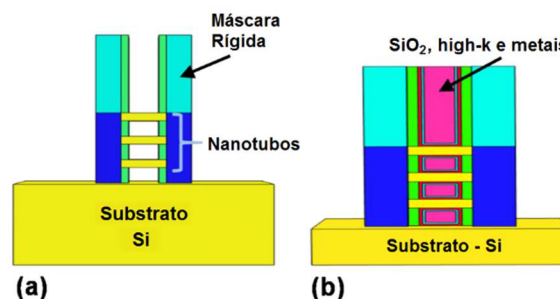
Fonte: Adaptado de LEE e PARK (2021) pelo autor.

Figura 50 – (a) Gravura indentada Si/ Si_{1-x}Ge_x e deposição do espaçador interno; (b) Crescimento epitaxial para fonte e dreno.



Fonte: Adaptado de LEE e PARK (2021) pelo autor.

Figura 51 – (a) Substituição da porta polissilício e liberação do canal por ataque seletivo a seco; (b) Formação de pilha de porta incluindo high-k, ajuste de dipolo e metais de função de trabalho.



Fonte: Adaptado de LEE e PARK (2021) pelo autor.

APÊNDICE B – GRUPO DE COMANDOS DO SIMULADOR ATLAS

Grupo de Comandos do Atlas Utilizados nas Simulações

A ordem na qual as instruções ocorrem em um arquivo de entrada do Atlas é importante. Há uma sequência de instruções dentro da definição de malha, definição estrutural e grupos de solução que também é importante. Caso contrário, pode causar operação incorreta ou encerramento do programa. A Figura 53 elenca os grupos de comandos do Atlas com suas declarações de parâmetros.

Grupo 1: Especificação da Estrutura

Este primeiro grupo de comandos está relacionado com a construção da parte física do dispositivo.

Figura 52 – Grupo de comandos do Atlas.

<i>Group</i>		<i>Statements</i>
1. Structure Specification	————	MESH REGION ELECTRODE DOPING
2. Material Models Specification	————	MATERIAL MODELS CONTACT INTERFACE
3. Numerical Method Selection	————	METHOD
4. Solution Specification	————	LOG SOLVE LOAD SAVE
5. Results Analysis	————	EXTRACT TONYPLOT

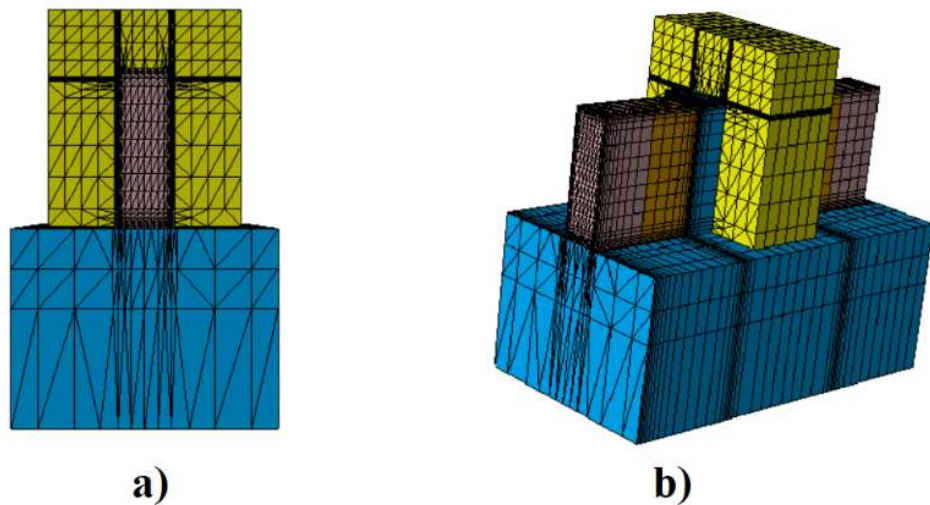
Fonte: Manual [...], 2015, p. 38.

- **MESH** (ou malha): Para definir um dispositivo por meio da linguagem de comando do Atlas, deve-se primeiro definir uma malha. Essa malha ou grade cobre o domínio da simulação física. A malha é definida por uma série de linhas horizontais e verticais e o espaçamento entre elas.

Na área formada entre duas linhas e duas colunas, o programa traça uma linha diagonal que formará dois triângulos (Figura 50). Então, as regiões dentro desta malha são alocadas para diferentes materiais conforme necessário para construir o dispositivo.

MESH SPACE.MULT=<VALUE>

Figura 53 – Grade ou *Mesh* do dispositivo em: a) vista frontal; b) vista em ângulo.



Fonte: Elaborado pelo autor.

- REGION (ou região): Especifica a localização dos materiais em uma malha previamente definida. Todo triângulo deve ser definido como um material.

REGION NUMBER=<n> <material> [<position>]

- ELECTRODE (ou eletrodo): Especifica uma superfície ou região que fará conexão elétrica ao meio externo, como uma fonte de tensão por exemplo.

ELECTRODE NAME=<substrate> <top>

- DOPING (ou dopagem): Especifica o tipo de dopagem (P ou N), a sua concentração, se é uniforme ou gaussiana e está atrelado ao parâmetro REGION onde ocorre a dopagem.

DOPING num=<n> uniform p.type conc=<n'>

Grupo 2: Especificação de Modelos e Materiais

Esse segundo grupo especifica quais materiais e modelos utilizados no arquivo de simulação.

- MATERIAL: Especifica quais materiais (silício, germânio, silício/germânio, óxido de silício ou de háfnio etc.) que comporão cada região do dispositivo simulado.

MATERIAL MATERIAL=<type>

- MODELS: Especifica quais modelos numéricos (CVT, CONMOB, SRH, AUGER, BGN, FLDMOB etc.) de simulação serão utilizados na simulação.

MODELS=<type1 type 2 type3 ... etc.>

- CONTACT INTERFACE (ou interface de contato): Um eletrodo em contato com um material semiconductor é assumido por padrão como sendo ôhmico. Se uma função trabalho (workfunction) for definida, o eletrodo é tratado como um contato Schottky. A instrução CONTACT é usada para especificar a função de trabalho do metal de um ou mais eletrodos.

CONTACT NAME=<electrode> workfunction=<n>

Grupo 3: Seleção dos Métodos Numéricos

Vários métodos numéricos diferentes podem ser usados para calcular as soluções para problemas de dispositivos semicondutores (Manual [...], 2015, p. 80-83). Os métodos numéricos são fornecidos nas instruções METHOD do arquivo de entrada. Diferentes combinações de modelos exigirão que o Atlas resolva até seis equações.

Para cada um dos tipos de modelos, existem basicamente três tipos de técnicas de solução: (a) desacoplado (GUMMEL), (b) totalmente acoplado (NEWTON) e (c) BLOCK. Uma breve descrição de cada método é feita na sequência.

- GUMMEL: resolve uma incógnita por vez mantendo as outras variáveis constantes, repetindo o processo até que uma solução estável seja alcançada. Ele é útil quando o sistema de equações é fracamente acoplado, mas possui apenas convergência linear.
- NEWTON: resolve o sistema total de incógnitas juntas e é útil quando o sistema de equações é fortemente acoplado e possui convergência quadrática. Este método é útil quando o sistema de equações é fortemente acoplado e possui convergência quadrática. Por outro lado, este método requer tempo extra de simulação comparado aos demais.
- BLOCK: Resolve algumas equações totalmente acopladas enquanto outras são desacopladas e pode fornecer tempos de simulação mais rápidos nesses casos sobre NEWTON.

Grupo 4: Especificação de Solução

O Atlas pode calcular pequenos sinais DC, AC e soluções transitórias. Com as tensões definidas em cada eletrodo, o Atlas então calcula a corrente através de cada um destes eletrodos, bem como quantidades internas, como concentrações de portadores e campos elétricos em todo o dispositivo. Na sequência são listados os principais parâmetros dessas soluções.

- LOG: Os arquivos .log armazenam as características do terminal calculadas pelo Atlas. Estas características são correntes e tensões para cada eletrodo em simulações DC.
- SOLVE: Especifica uma condição de polarização inicial e instrui o Atlas a executar uma solução para um ou mais pontos de polarização especificados.
- SAVE: Salva todas as informações dos pontos simulados em arquivos de saída com extensão .log e .str, por exemplo.

Grupo 5: Análise de Resultados

Este último grupo se refere aos parâmetros de resultados da simulação.

EXTRACT: Fornecido no ambiente Deckbuild, ele permite a extração de parâmetros do dispositivo, como por exemplo a extração da V_T de um transistor MOS calculando a inclinação máxima da curva I_D/V_G e encontrando a interceptação com o eixo X.

TONYPLOT: O comando TonyPlot executa de forma gráfica os arquivos de saída com extensão .log e .str quando a simulação é concluída. Os arquivos .log são gráficos de curvas enquanto os arquivos .str podem ser exibidos tanto na forma 2D quanto 3D. O ambiente Deckbuild do Atlas permite a execução de simulação de dispositivos 2D e 3D.


```

#*****#
models    cvt conmob srh auger bgn fldmob print temp=300
METHOD gummel newton autonr bicgst trap maxtrap=10 carriers=2
#*****#

solve init
solve prev
solve vdrain=0.0000010
solve vdrain=0.0000025
solve vdrain=0.0000050
solve vdrain=0.00001
solve vdrain=0.00005
solve vdrain=0.00010
solve vdrain=0.00050
solve vdrain=0.0010
solve vdrain=0.010
solve vdrain=0.050
solve vdrain=0.100
solve vdrain=0.250
solve vdrain=0.450
solve vdrain=0.500
solve vdrain=0.600
solve vdrain=0.750
#*****#

output e.mobility h.mobility
#*****#

log outf=a12p0.log
solve vgate=0.0 vfinal=0.75 vstep=0.005 name=gate
log off
output p.quantum band.temp con.band val.band band.par
save outf=aGrd_12p0.str
tonyplot a12p0.log
quit

```



```

#*****#
contact name=gate workfunc=4.577
contact name=substrate workfunc=4.885
#*****#
models    cvt conmob srh auger bgn fldmob print temp=300
METHOD gummel newton autonr bicgst trap maxtrap=10 carriers=2
#*****#
solve init
solve prev
solve vdrain=0.0000010
solve vdrain=0.0000025
solve vdrain=0.0000050
solve vdrain=0.00001
solve vdrain=0.00005
solve vdrain=0.00010
solve vdrain=0.00025
solve vdrain=0.00050
solve vdrain=0.0010
solve vdrain=0.0050
solve vdrain=0.010
solve vdrain=0.050
solve vdrain=0.100
solve vdrain=0.250
solve vdrain=0.450
solve vdrain=0.500
solve vdrain=0.600
solve vdrain=0.750
#*****#
output e.mobility h.mobility
#*****#
log outf=b12p0.log
solve vgate=0.0 vfinal=0.75 vstep=0.005 name=gate
log off

```

```
output p.quantum band.temp con.band val.band band.par  
save outf=bGrd_12p0.str  
tonyplot b12p0.log  
quit
```



```

solve init
solve prev
solve vdrain=0.0000010
solve vdrain=0.0000025
solve vdrain=0.0000050
solve vdrain=0.00001
solve vdrain=0.00005
solve vdrain=0.00010
solve vdrain=0.00025
solve vdrain=0.00050
solve vdrain=0.0010
solve vdrain=0.0050
solve vdrain=0.010
solve vdrain=0.050
solve vdrain=0.100
solve vdrain=0.250
solve vdrain=0.450
solve vdrain=0.500
solve vdrain=0.600
solve vdrain=0.750
#*****#
output e.mobility h.mobility
#*****#
log outf=c12p0.log
solve vgate=0.0 vfinal=0.75 vstep=0.005 name=gate
log off
output p.quantum band.temp con.band val.band band.par
save outf=cGrd_12p0.str
tonyplot c12p0.log
quit

```