

UNIVERSIDADE ESTADUAL PAULISTA
"JÚLIO DE MESQUITA FILHO"
CAMPUS DE SÃO JOÃO DA BOA VISTA

GUSTAVO IURI AZEVEDO PASCHOALINOTO

Análise de uma rede neural oscilatória baseada em redes de PLL

São João da Boa Vista
2025

Gustavo Iuri Azevedo Paschoalinoto

Análise de uma rede neural oscilatória baseada em redes de PLL

Trabalho de Graduação apresentado ao Conselho de Curso de Graduação em Engenharia Eletrônica e de Telecomunicações do Campus de São João da Boa Vista, Universidade Estadual Paulista, como parte dos requisitos para obtenção do diploma de Graduação em Engenharia Eletrônica e de Telecomunicações .

Orientador: Prof^o Dr. André Alves Ferreira

São João da Boa Vista
2025

P279a

Paschoalinoto, Gustavo Iuri Azevedo

Análise de uma rede neural oscilatória baseada em redes de PLL /
Gustavo Iuri Azevedo Paschoalinoto. -- São João da Boa Vista, 2025
40 p. : il., tabs., fotos

Trabalho de conclusão de curso (Bacharelado - Engenharia de
Telecomunicações) - Universidade Estadual Paulista (UNESP),
Faculdade de Engenharia, São João da Boa Vista

Orientador: André Alves Ferreira

1. Redes neurais (Computação). 2. Circuito de retenção de fase. 3.
Sincronização. I. Título.

**UNIVERSIDADE ESTADUAL PAULISTA “JÚLIO DE MESQUITA FILHO”
FACULDADE DE ENGENHARIA - CÂMPUS DE SÃO JOÃO DA BOA VISTA
GRADUAÇÃO EM ENGENHARIA ELETRÔNICA E DE TELECOMUNICAÇÕES**

TRABALHO DE CONCLUSÃO DE CURSO

ANÁLISE DE UMA REDE NEURAL OSCILATÓRIA BASEADA EM REDES DE PLL

Aluno: Gustavo Iuri Azevedo Paschoalinoto

Orientador: Prof. Dr. André Alves Ferreira

Banca Examinadora:

- André Alves Ferreira (Orientador)
- Afonso José do Prado (Examinador)
- Marcelo Jorge Filho (Examinador)

Os formulários de avaliação e a ata da defesa, na qual consta a aprovação do trabalho, devidamente assinados pela banca encontram-se no prontuário eletrônico do aluno.

São João da Boa Vista, 08 de dezembro de 2025

“Study hard what interests you the most in the most undisciplined, irreverent and original manner possible.”
(Richard Feynmann)

RESUMO

Neste trabalho, uma rede de PLL (*phase-locked loops*) mutuamente conectada foi estudada no contexto de redes neurais oscilatórias. O objetivo principal desta pesquisa foi caracterizar as condições que possibilitam a existência de estados de sincronismo entre os nós da rede. Os nós que formam a rede são placas de circuito impresso desenvolvidas a partir de um circuito eletrônico que representa um neurônio. Medições foram realizadas para verificar o funcionamento de cada placa, assim como avaliar o comportamento da rede completa. Foi observado que os neurônios entram em um estado de sincronismo em uma determinada faixa de frequência. Além disso, tal sincronismo é possível para uma pequena diferença de fase entre os sinais de entrada da rede. Desse modo, este trabalho fornece dados experimentais para trabalhos futuros sobre redes neurais oscilatórias baseadas em PLLs com um número de neurônios igual a dois.

PALAVRAS-CHAVE: redes neurais; circuito de retenção de fase; sincronização.

ABSTRACT

In this work, a mutually connected network of PLLs (phase-locked loops) was studied in the context of oscillatory neural networks. The main objective of this research was to characterize the conditions that enable the existence of synchronized states among the nodes of the network. The nodes forming the network are printed circuit boards developed from an electronic circuit that represents a neuron. Measurements were carried out to verify the operation of each board, as well as to evaluate the behavior of the complete network. It was observed that the neurons enter a synchronized state within a certain frequency range. In addition, such synchronization is possible for a small phase difference between the input signals of the network. Thus, this work provides experimental data for future studies on oscillatory neural networks based on PLLs with a number of neurons equal to two.

KEYWORDS: neural networks; phase-locked loops; synchronization.

LISTA DE ILUSTRAÇÕES

Figura 1 – Diagrama de blocos de um PLL	12
Figura 2 – Formas de onda dos sinais do PFD	14
Figura 3 – Diagrama de um divisor de tensão	15
Figura 4 – Filtro avanço-atraso passivo	15
Figura 5 – Filtro avanço-atraso ativo	16
Figura 6 – Filtro PI ativo	16
Figura 7 – Amplificador operacional	18
Figura 8 – Amplificador operacional com configuração inversora	18
Figura 9 – Amplificador operacional com configuração somador ponderado	19
Figura 10 – Amplificador operacional com configuração de múltiplos estágios	19
Figura 11 – Rede totalmente conectada	21
Figura 12 – Diagrama de um único nó	22
Figura 13 – PLL comercial HEF4046B	22
Figura 14 – Amplificador operacional comercial LM741	23
Figura 15 – Identificação dos pinos do LM741	23
Figura 16 – Circuito do VCO e PFD_II ₁	24
Figura 17 – Circuito do PFD_II ₂	24
Figura 18 – Filtro passa-baixa utilizado	25
Figura 19 – Circuito do bloco do somador ponderado	25
Figura 20 – Circuitos auxiliares	26
Figura 21 – Foto das PCBs construídas - vista superior	27
Figura 22 – Foto de uma PCB construída - vista inferior	27
Figura 23 – Montagem para avaliação do somador ponderado	28
Figura 24 – Montagem para avaliação da rede mutuamente conectada	29
Figura 25 – Rede totalmente conectada	32
Figura 26 – Faixa de frequência em que ocorre o sincronismo da rede conectada	33
Figura 27 – Varredura de fase para rede conectada - parte 1	34
Figura 28 – Varredura de fase para rede conectada - parte 2	35

LISTA DE TABELAS

Tabela 1 – Valores dos potenciômetros ajustados para cada PCB	30
Tabela 2 – Tensões de saída de cada estágio para entradas nulas	30
Tabela 3 – Avaliação do somador ponderado para diversos valores - PCB 1	31
Tabela 4 – Avaliação do somador ponderado para diversos valores - PCB 2	31
Tabela 5 – Faixa de frequência do VCO de cada placa	32
Tabela 6 – Relação entre canais, identificadores e sinais medidos	32
Tabela 7 – Medidas de diferença fase para entrada e saída	33

LISTA DE ABREVIATURAS E SIGLAS

PLL	<i>Phase-locked loop</i>
PD	<i>Phase detector</i>
PFD	<i>Phase frequency detector</i>
VCO	<i>Voltage-controlled oscillator</i>
DPLL	<i>Digital phase-locked loop</i>
LPF	<i>Low-pass filter</i>
PCB	<i>Printed circuit board</i>

SUMÁRIO

1	INTRODUÇÃO	10
1.1	OBJETIVO	11
1.2	ORGANIZAÇÃO DO TRABALHO	11
2	REVISÃO BIBLIOGRÁFICA	12
2.1	MALHA DE SINCRONISMO DE FASE	12
2.1.1	Detector de fase (PD - <i>phase detector</i>)	13
2.1.1.1	Detector de fase tipo I	13
2.1.1.2	Detector de fase tipo II	13
2.1.2	Filtro passa-baixa (LPF - <i>low-pass filter</i>)	14
2.1.3	Oscilador controlado por tensão (VCO - <i>voltage-controlled oscillator</i>)	17
2.1.3.1	Osciladores lineares ou harmônicos	17
2.1.3.2	Osciladores de relaxamento	17
2.2	AMPLIFICADOR OPERACIONAL	17
2.2.1	Configuração inversora	18
2.2.2	Configuração somador ponderado	19
2.2.3	Ganho para múltiplos estágios	19
3	MATERIAIS E MÉTODOS	21
3.1	DESCRIÇÃO DA REDE	21
3.2	IMPLEMENTAÇÃO FÍSICA DO NEURÔNIO	22
3.3	FABRICAÇÃO E MONTAGEM DAS PLACAS	27
3.4	DESCRIÇÃO DOS TESTES	28
4	RESULTADOS E DISCUSSÕES	30
4.1	AJUSTE DOS GANHOS E DESVIOS DE TENSÃO DE ENTRADA	30
4.2	VERIFICAÇÃO DO SINCRONISMO DA REDE MUTUAMENTE CONECTADA	32
5	CONCLUSÃO	36
5.1	TRABALHOS FUTUROS	36
	REFERÊNCIAS	37
	APÊNDICE A – CIRCUITO ELÉTRICO DE UM ÚNICO NEURÔNIO	39
	APÊNDICE B – ESQUEMA DA PCB DE UM ÚNICO NEURÔNIO .	40

1 INTRODUÇÃO

Osciladores formam um grupo particular de sistemas dinâmicos existentes na natureza, que possuem como principal característica a periodicidade. Um evento é classificado como periódico quando se repete sem alteração durante um determinado intervalo de tempo (Nussenzveig, 1981).

O estudo de osciladores é muito importante para diversas áreas da ciência atualmente, já que a natureza está repleta de sistemas compostos por osciladores acoplados, como as células marcapasso do coração (Jalife, 1984); as células do núcleo supraquiasmático do hipotálamo, que controlam o ritmo circadiano em mamíferos (Gonze *et al.*, 2005); e grupos de vagalumes que piscam em sincronia (Buck, 1988). Além disso, diversas aplicações fazem uso de osciladores, tanto em aparelhos simples, como o relógio de pulso, quanto em equipamentos mais complexos, como sistemas de posicionamento global (GPS) (Carareto, 2005).

Ao interligar diversos osciladores formando um sistema maior, cada oscilador constitui um nó da rede. Quando há interações entre os osciladores, a dinâmica de cada oscilador é descrita pelas equações que o governam, pelas formas de acoplamento e pelas frequências naturais dos osciladores (Monteiro *et al.*, 2003). O sincronismo do sistema é atingido quando um parâmetro que caracteriza o acoplamento entre os osciladores ultrapassa o valor crítico de acoplamento. Nesse caso, há o fenômeno da bifurcação, em que os osciladores manifestam a mesma frequência e diferenças de fases fixas (Monteiro, 2002), (Piqueira; Orsatti; Monteiro, 2003).

Os processos de sincronismo em telecomunicações são geralmente efetuados utilizando-se, além dos osciladores, os PLLs (*phase-locked loops*), que são dispositivos eletrônicos capazes de fazer o controle automático de frequência e da fase. Depois de atingido tal sincronismo, a diferença de fase entre o sinal de referência e o sinal emitido pelo oscilador é nula ou, pelo menos, constante (Best, 2007).

As redes mutuamente conectadas não tiveram grandes participações nos sistemas de telecomunicações, possivelmente por causa da complexidade da descrição analítica de seu comportamento (Bregni, 1998). Apesar disso, tais redes apresentam uma característica importante: o seu sincronismo é mantido (Lindsey *et al.*, 1985), mesmo quando há a falha de um ou mais nós da rede.

Na neurocomputação, há evidências experimentais que mostram uma relação entre a atividade rítmica e a sincronização dos disparos neurais com o processamento da informação em diversos sistemas cerebrais, incluindo o bulbo olfativo, o hipocampo e o sistema tálamo-cortical (Gray, 1994). Apesar disso, as pesquisas sobre redes neurais artificiais, concentram-se, em grande parte, no neurônio sigmoidal não oscilatório. Tal modelo possui uma dinâmica que, geralmente, não depende do tempo preciso do disparo neural, considerando somente a média dos disparos (Hoppensteadt, 1989).

Uma forma de analisar as redes neurais oscilatórias e compreender suas possíveis propriedades neurocomputacionais é considerar um caso extremo, no qual cada neurônio exibe uma

atividade periódica. Para uma introdução teórica rigorosa, é possível descrever tais redes por modelos de fase (Hoppensteadt, 1997), (Izhikevich, 2001), considerando o tempo preciso dos disparos. Em tais redes, os neurônios se comunicam entre si por meio da modulação de suas fases (codificação PM) e essas interações dependem das relações ressonantes entre suas frequências.

1.1 OBJETIVO

O objetivo deste trabalho é caracterizar e avaliar uma rede de malhas de sincronismo de fase mutuamente conectadas, visando a aplicação de redes neurais oscilatórias. Inicialmente, será desenvolvido o circuito eletrônico que representa cada nó da rede. Em seguida, cada placa construída será avaliada e caracterizada. Por fim, a rede mutuamente conectada será analisada.

1.2 ORGANIZAÇÃO DO TRABALHO

O trabalho foi organizado nos seguintes capítulos:

- Capítulo 1 apresenta uma introdução do tema estudado, como também as motivações e objetivos do trabalho;
- Capítulo 2 contém uma revisão bibliográfica acerca dos conceitos de malha de sincronismo de fase e de amplificadores operacionais;
- Capítulo 3 será apresentada a rede de PLLs mutuamente conectada desenvolvida neste trabalho. Também será abordada a implementação de cada nó da rede em circuito eletrônico. Por fim, será feita a descrição dos testes realizados para a verificação da rede mutuamente conectada;
- Capítulo 4 traz os resultados obtidos nos experimentos realizados;
- Capítulo 5 expõe as conclusões sobre o trabalho.

Além disso, os apêndices contêm os circuitos eletrônicos desenvolvidos.

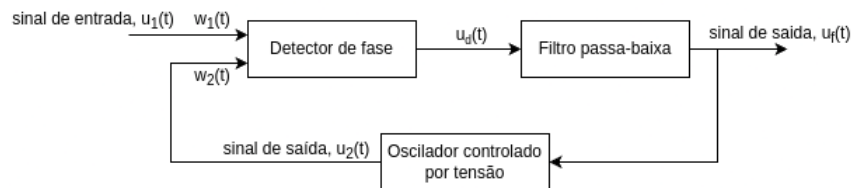
2 REVISÃO BIBLIOGRÁFICA

Neste capítulo serão apresentados os conceitos utilizados para o desenvolvimento da rede de PLLs mutuamente conectada. Inicialmente, será exposto o conceito de malhas de sincronismo de fase. Em seguida, serão apresentados os amplificadores operacionais, seus aspectos práticos e as configurações empregadas na implementação da rede.

2.1 MALHA DE SINCRONISMO DE FASE

Uma malha de sincronismo de fase ou *phase-locked loop* (PLL) é um circuito de controle de malha fechada, cuja função é sincronizar o seu sinal de saída com relação a uma referência ou sinal de entrada tanto em frequência, quanto em fase (Best, 2007). O PLL é constituído basicamente por: um detector de fase - *phase detector* (PD), um filtro passa-baixa - *low-pass filter* (LPF) e um oscilador controlado por tensão - *voltage-controlled oscillator* (VCO). A Figura 1 apresenta o diagrama de blocos de um PLL (Ferreira *et al.*, 2023).

Figura 1 – Diagrama de blocos de um PLL



Fonte: Adaptado de (Best, 2007)

Os PLLs podem ser implementados tanto em *hardware*, quanto em *software* (Bregni, 2002). Em PLLs do tipo híbrido - *digital PLL* (DPLL), também retratado pela 1, o VCO e o LPF são analógicos, porém o detector de fase é substituído por um detector de fase e frequência - *phase frequency detector* (PFD), com uma bomba de corrente em sua saída - *charge pump* (Best, 2007).

O PLL pode operar em dois modos distintos: aquisição e rastreamento. O primeiro consiste na busca de um estado síncrono dada uma condição inicial. Nesse caso, os ajustes realizados só podem ser feitos dentro de uma faixa de frequências que possibilita a obtenção do estado síncrono, sendo essa faixa conhecida como faixa de captura - *pull-in range* (Piqueira, 1997). Já o segundo modo de operação corresponde à manutenção do estado síncrono do PLL sob certas perturbações, a qual é realizada a partir de ajustes automáticos. Nessa condição, há o conceito de faixa de retenção - *lock range*, o qual caracteriza a faixa de frequências na qual o sinal externo deve estar, para que o PLL permaneça em um estado síncrono (Piqueira, 1997).

Os componentes que formam uma malha de sincronismo de fase são detalhados a seguir.

2.1.1 Detector de fase (PD - *phase detector*)

O detector de fase é um circuito capaz de gerar um sinal de saída proporcional à diferença de fase entre dois sinais de entrada (1) (Best, 2007). Em PLLs comuns, dois tipos de detectores de fase podem ser empregados: detectores de tipo I e de tipo II.

2.1.1.1 Detector de fase tipo I

O detector de fase tipo I, conhecido como detector de fase ou-exclusivo, corresponde a um multiplicador de quatro quadrantes.

Dessa forma, considere dois sinais digitais de mesma frequência e uma diferença de fase. Ao aplicar esses dois sinais a uma porta ou-exclusiva, o sinal de saída da porta será constituído de pulsos com largura correspondente à diferença de fase entre os sinais de entrada. Após a filtragem das componentes de maior frequência pelo filtro passa-baixa (1), uma tensão média proporcional à largura dos pulsos representará a diferença de fase dos sinais de entrada. Além disso, o sinal de saída da porta terá o dobro da frequência dos sinais de entrada (Best, 2007).

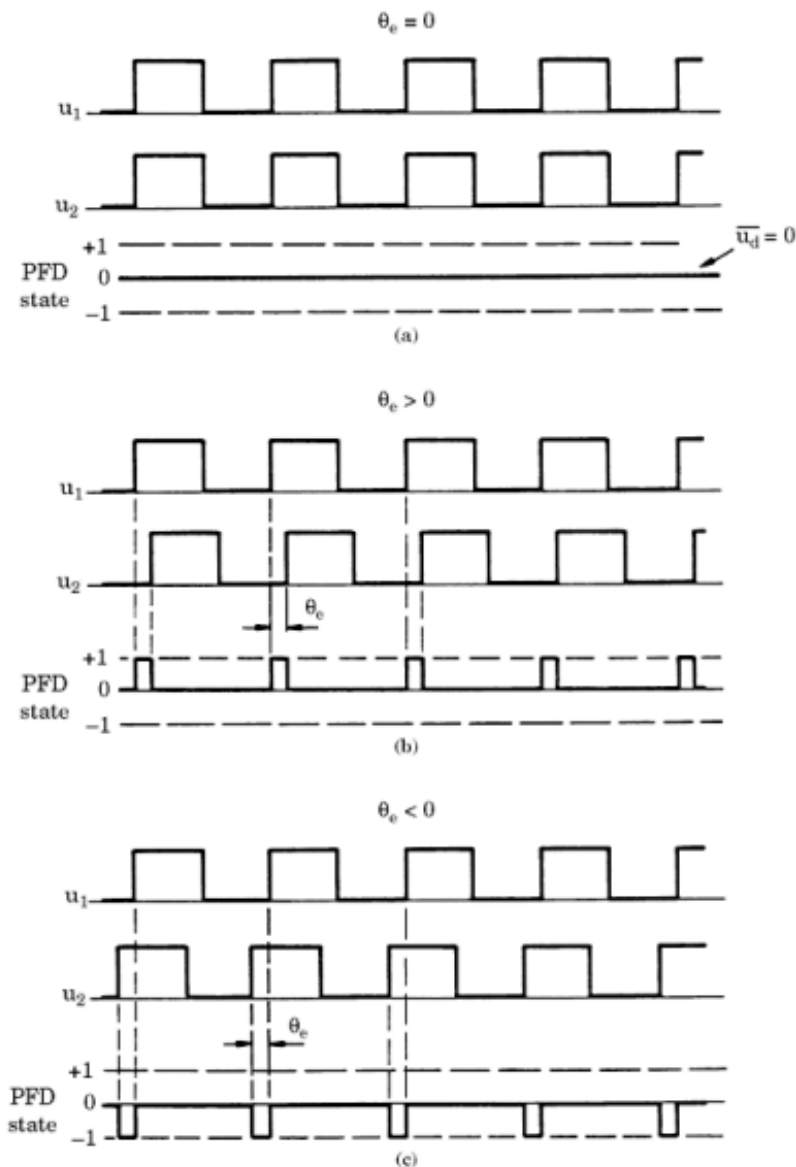
Tal detector não consegue distinguir um sinal de frequência fundamental de uma harmônica. Desse modo, ele pode travar em qualquer um dos dois sinais. Outro fator negativo é que se os sinais de entrada não possuírem um ciclo de trabalho próximo de 50%, o detector de fase ou-exclusivo apresentará um desempenho menor, com a redução das faixas de captura e de retenção (Best, 2007).

2.1.1.2 Detector de fase tipo II

O detector de fase tipo II, conhecido como detector de fase e frequência - *phase frequency detector (PFD)*, é utilizado com sinais digitais, pois identifica as mudanças de fase, quando os sinais de entrada mudam de nível lógico.

O funcionamento desse detector é determinado pela transição de borda de subida dos sinais de entrada. Quando o sinal u_1 (1) tem uma transição de nível BAIXO para ALTO, é somado 1 ao estado do PFD, a menos que já esteja nesse estado. Quando o sinal u_2 (1) tem uma transição de nível BAIXO para ALTO, é somado -1 ao estado do PFD, a menos que já esteja nesse estado. Com o estado do PFD igual a -1, a saída u_d (1) corresponde ao nível lógico BAIXO. Já com o estado do PFD igual a 1, a saída u_d está no nível ALTO. Quando o estado está em 0, ou seja, os sinais possuem a mesma frequência e fase, a saída assume uma posição média em que o nível nem é alto e nem baixo (circuito aberto) (Best, 2007). A Figura 2 exibe as formas de onda de cada estado descrito acima.

Figura 2 – Formas de onda dos sinais do PFD



Fonte: Retirado de (Best, 2007)

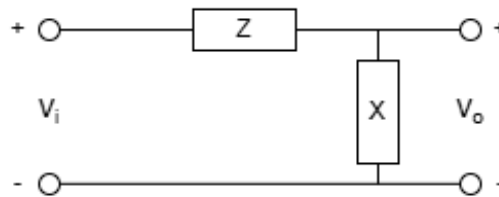
Em um PLL com esse tipo de detector, o filtro passa-baixa atua como um circuito de carga e descarga do capacitor, atuando de modo similar a um circuito de amostragem e retenção (*sample and hold*). Além disso, a faixa de captura não depende do filtro passa-baixa. Um fator negativo do PFD é a susceptibilidade a ruídos no sinal (Best, 2007).

2.1.2 Filtro passa-baixa (LPF - *low-pass filter*)

Filtros são redes que modificam o sinal de entrada de forma dependente da frequência. O funcionamento de um filtro pode ser entendido a partir do estudo do comportamento da impedância dos capacitores e indutores em relação à frequência. Considere o circuito de um

divisor de tensão da 3, com Z sendo uma impedância resistiva e X uma reatância.

Figura 3 – Diagrama de um divisor de tensão



Fonte: Elaborado pelo autor

Ao variar a frequência do sinal de entrada V_i , o valor da reatância também varia e, assim, o divisor de tensão exibe uma nova taxa de divisão. A relação entre a entrada e a saída do circuito dependente da frequência é comumente chamada de resposta em frequência (Nilson; Riedel, 2015).

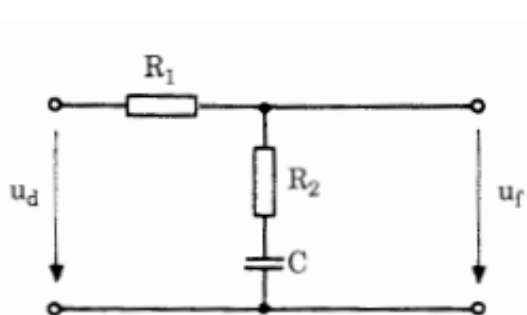
A resposta de amplitude de um filtro ideal é igual a uma unidade para as frequências desejadas (conhecidas como banda de passagem). Já para a banda de corte, faixa de frequência indesejada, a resposta é zero. A frequência que separa ambas as faixas de passagem e corte é chamada de frequência de corte (Best, 2007). Para um filtro passa-baixa ideal, a banda de passagem corresponde às frequências mais baixas que a frequência de corte, e a banda de corte compreende as frequências mais altas que a frequência de corte. É importante destacar que, além da amplitude, a fase do sinal também é afetada pelo filtro. A saída do detector de fase, quando o PLL está travado, possui diversas componentes harmônicas indesejadas. Desse modo, o filtro passa-baixa é empregado para suprimir as frequências mais altas. Em projetos de PLL, os filtros comumente utilizados estão descritos abaixo.

A Figura 4a exibe um filtro avanço-atraso passivo, que possui um polo e um zero. Sua função de transferência é dada por (1), sendo $\tau_1 = R_1C$ e $\tau_2 = R_2C$ (Best, 2007).

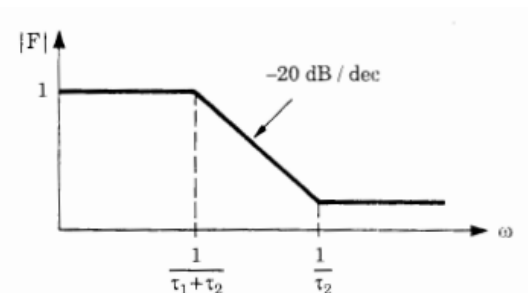
$$F(s) = \frac{1 + s\tau_2}{1 + s(\tau_1 + \tau_2)} \quad (1)$$

A resposta em amplitude desse filtro é apresentada na Figura 4b.

Figura 4 – Filtro avanço-atraso passivo



(a) Circuito do filtro avanço-atraso passivo



(b) Diagrama de Bode para o filtro avanço-atraso passivo

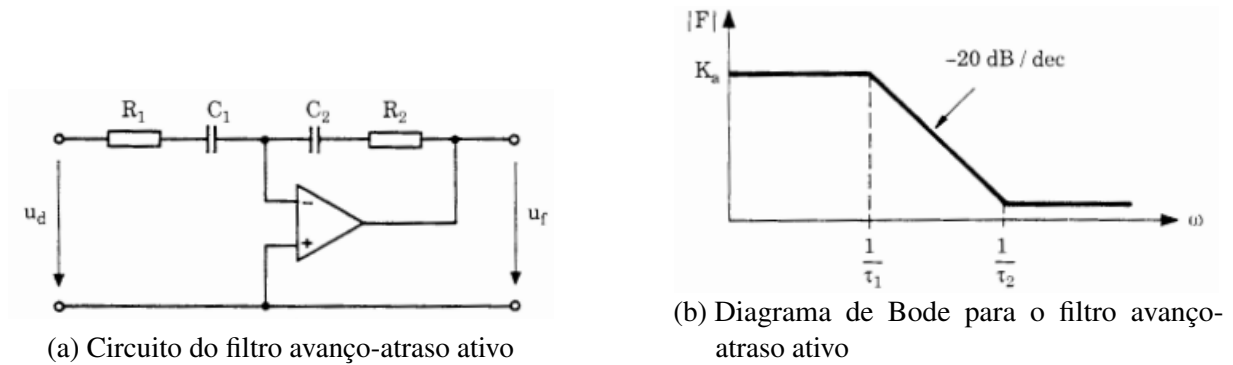
Fonte: Retirado de (Best, 2007)

A Figura 5a exibe um filtro avanço-atraso ativo. Sua função de transferência é similar ao filtro avanço-atraso passivo, porém possui um ganho K_a . Sua função de transferência é dada por (2), sendo $\tau_1 = R_1C_1$, $\tau_2 = R_2C_2$, e $K_a = C_1/C_2$ (Best, 2007).

$$F(s) = K_a \frac{1 + s\tau_2}{1 + s\tau_1} \quad (2)$$

A resposta em amplitude desse filtro é apresentada na Figura 5b.

Figura 5 – Filtro avanço-atraso ativo



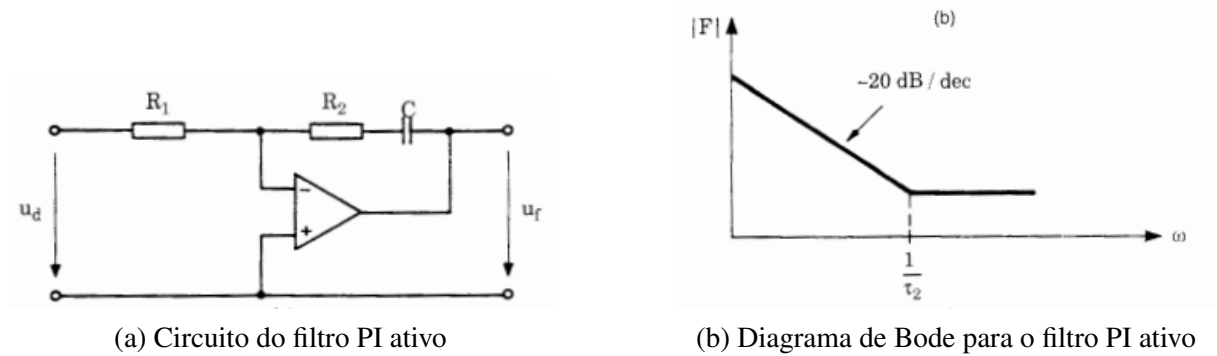
Fonte: Retirado de (Best, 2007)

A Figura 6a exibe um filtro avanço-atraso, que recebe o nome PI ativo, referente à ação proporcional e integral da teoria de controle. Sua função de transferência é dada por (3), sendo $\tau_1 = R_1C$ e $\tau_2 = R_2C$. Esse filtro possui um polo em $s = 0$ e, assim, atua como um integrador (Best, 2007).

$$F(s) = \frac{1 + s\tau_2}{s\tau_1} \quad (3)$$

A resposta em amplitude desse filtro é apresentada pela Figura 6b.

Figura 6 – Filtro PI ativo



Fonte: Retirado de (Best, 2007)

2.1.3 Oscilador controlado por tensão (VCO - *voltage-controlled oscillator*)

Um oscilador controlado por tensão (VCO - *voltage-controlled oscillator*) é um oscilador cuja frequência do sinal de saída é função de uma tensão de entrada (Razavi, 2017). Os VCOs podem ser divididos em duas categorias com base na forma de onda gerada: osciladores harmônicos e osciladores de relaxamento (Edson, 1953).

2.1.3.1 Osciladores lineares ou harmônicos

Os osciladores lineares ou harmônicos são caracterizados por sua onda senoidal e frequência de operação estável (Edson, 1953). Em eletrônica, os osciladores harmônicos podem ser construídos com um ressonador e um amplificador. Esse amplificador compensa as perdas do ressonador, impedindo a atenuação da amplitude e isolando o ressonador da carga de saída, o que evita que ela interfira no funcionamento do circuito ressonante. Alguns exemplos de osciladores harmônicos são os osciladores de cristal e os osciladores LC.

2.1.3.2 Osciladores de relaxamento

As oscilações de relaxamento se manifestam por meio de dois processos alternados em escalas temporais distintas: um prolongado período de relaxamento, durante o qual o sistema se aproxima gradualmente de um estado de equilíbrio, seguido por um breve intervalo impulsivo, no qual esse ponto de equilíbrio é modificado, sendo que o período de relaxamento é dado principalmente pela constante de tempo de relaxamento (Ginoux; Letellier, 2012).

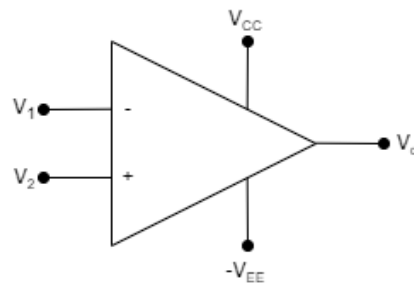
Na área da eletrônica, um oscilador de relaxamento consiste em um circuito oscilador eletrônico não linear, cujo sinal de saída é um sinal repetitivo não senoidal, como uma onda triangular ou uma onda quadrada.

2.2 AMPLIFICADOR OPERACIONAL

Um amplificador operacional pode ser concebido como um dispositivo que possui duas entradas e uma saída. Analisando a 7, as duas entradas V_1 e V_2 são denominadas inversora e não inversora, respectivamente (Boylestad; Nashelsky, 2013). Para um amplificador operacional ideal, o ganho de tensão em malha aberta é infinito. Além disso, sua resposta em frequência e sua impedância de entrada também são infinitas. Já a impedância de saída é nula (Boylestad; Nashelsky, 2013).

Tal dispositivo amplifica a diferença de tensão entre as duas entradas pelo ganho de tensão

Figura 7 – Amplificador operacional



Fonte: Elaborado pelo autor

de malha aberta, A_v .

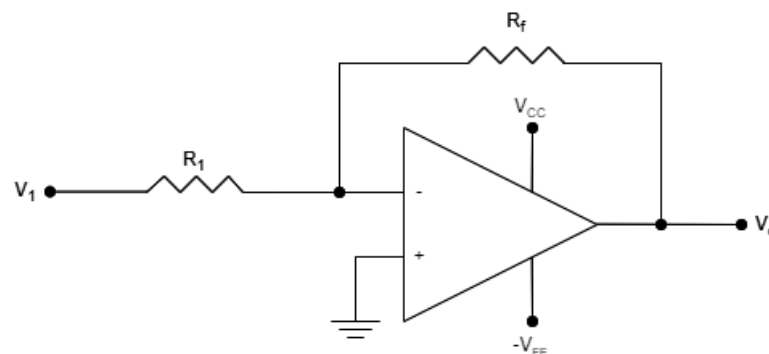
$$V_o = A_v(V_2 - V_1) \quad (4)$$

Já para amplificadores operacionais reais, a tensão de saída é limitada aos valores de tensão de alimentação superior, V_{CC} , e inferior, $-V_{EE}$. Geralmente, a saturação ocorre 2 V abaixo de V_{CC} e 2 V acima de $-V_{EE}$. Além disso, existe outra questão prática: ao aplicar uma diferença de tensão de 0 V na entrada do amplificador, a saída não será nula, pois há uma tensão gerada pelo descasamento dos transistores que compõem o estágio de entrada do amplificador. Essa tensão é denominada tensão de deslocamento de entrada. Assim, uma pequena diferença de tensão de entrada é amplificada e torna-se uma parte significativa e indesejável do sinal de saída do amplificador (Boylestad; Nashelsky, 2013), (Sedra; Smith, 2007).

2.2.1 Configuração inversora

O amplificador operacional aplicado numa configuração inversora, 8, é o circuito amplificador de ganho fixo mais amplamente empregado (Boylestad; Nashelsky, 2013).

Figura 8 – Amplificador operacional com configuração inversora



Fonte: Elaborado pelo autor

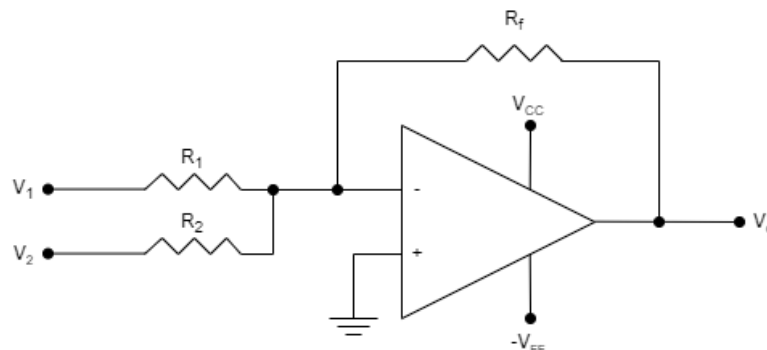
O ganho deste circuito é dado por:

$$A_V = -\frac{R_f}{R_1} \quad (5)$$

2.2.2 Configuração somador ponderado

Outra configuração importante é a do somador ponderado, 9, capaz de realizar a soma de múltiplas tensões de entrada, cada uma multiplicada por um ganho constante (Boylestad; Nashelsky, 2013).

Figura 9 – Amplificador operacional com configuração somador ponderado



Fonte: Elaborado pelo autor

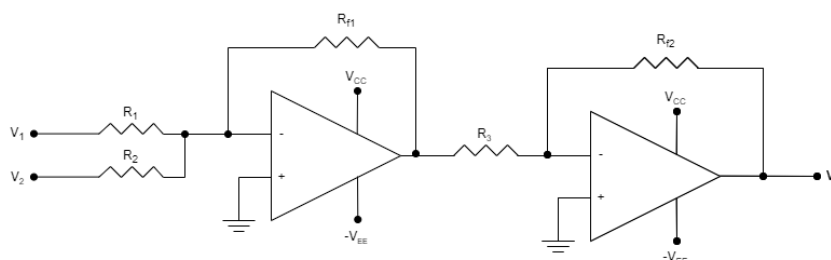
A tensão de saída desse circuito é dada por:

$$V_o = -R_f \left(\frac{V_1}{R_1} + \frac{V_2}{R_2} \right) \quad (6)$$

2.2.3 Ganho para múltiplos estágios

A utilização de múltiplos estágios conectados em série resulta em um ganho total igual ao produto do ganho de cada estágio (Boylestad; Nashelsky, 2013).

Figura 10 – Amplificador operacional com configuração de múltiplos estágios



Fonte: Elaborado pelo autor

Assim, o circuito com um amplificador somador ponderado seguido de um amplificador inversor, apresentado na 10, possui a tensão de saída dada por:

$$V_o = R_{f1} \left(\frac{V_1}{R_1} + \frac{V_2}{R_2} \right) \left(\frac{R_{f2}}{R_3} \right) \quad (7)$$

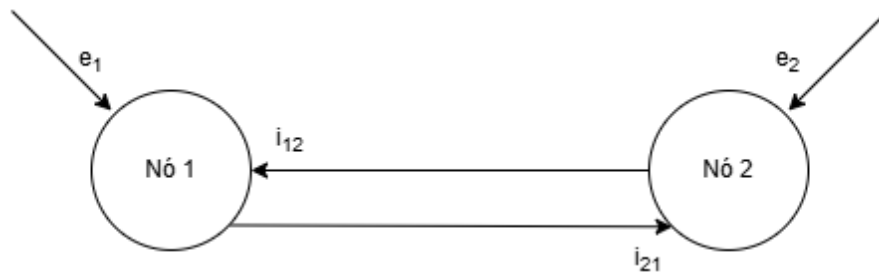
3 MATERIAIS E MÉTODOS

Neste capítulo, serão apresentadas a rede de PLLs mutuamente conectada desenvolvida neste trabalho, sua implementação física e os testes de verificação. A rede foi descrita com base no funcionamento de cada nó e no fluxo dos sinais internos e externos.

3.1 DESCRIÇÃO DA REDE

A rede neural oscilatória considerada neste trabalho consiste em uma malha de sincronismo de fase de dois nós totalmente conectada. O pequeno número de nós foi escolhido a fim de simplificar os processos de aquisição e análise dos sinais. A 11 mostra o diagrama da rede totalmente conectada, em que cada nó é considerado um neurônio e possui uma entrada de sinal externo à rede, e_1 e e_2 . A ligação i_{12} indica o sinal proveniente do nó 2, que é recebido pelo nó 1, já a ligação i_{21} indica o sinal proveniente do nó 1, que é recebido pelo nó 2.

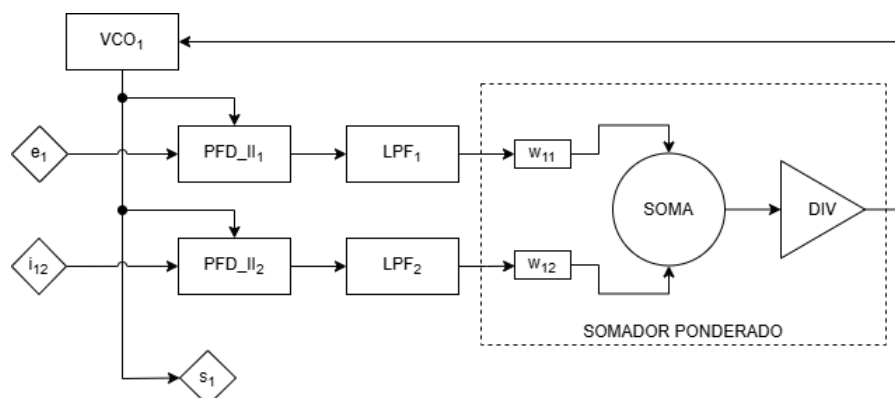
Figura 11 – Rede totalmente conectada



Fonte: Elaborado pelo autor

A 12 exibe o diagrama que representa um único neurônio da rede. Cada neurônio é composto por um oscilador (VCO_1), dois comparadores de fase e frequência (PFD_II_1 e PFD_II_2), dois filtros passa-baixa (LPF_1 e LPF_2) e um somador ponderado, que é composto pelos pesos (w_{11} e w_{12}) e pelos blocos de soma e divisão. Os sinais e_1 e i_{12} indicam, respectivamente, o sinal de entrada externo ao neurônio e o sinal proveniente do outro neurônio. Além disso, s_1 representa o sinal de saída do neurônio. O funcionamento de cada neurônio começa com os comparadores PFD_II_1 e PFD_II_2 , que geram sinais correspondentes às diferenças de fase entre o sinal de saída do VCO_1 e os sinais e_1 e i_{12} . Em seguida, os filtros LPF_1 e LPF_2 , com uma frequência de corte pequena, atenuam os sinais de alta frequência dos comparadores. O bloco do somador ponderado realiza a média ponderada entre os sinais dos filtros e fornece um sinal de tensão ao VCO . Por fim, esse sinal de tensão é utilizado pelo VCO para gerar o sinal oscilatório do nó, s_1 .

Figura 12 – Diagrama de um único nó



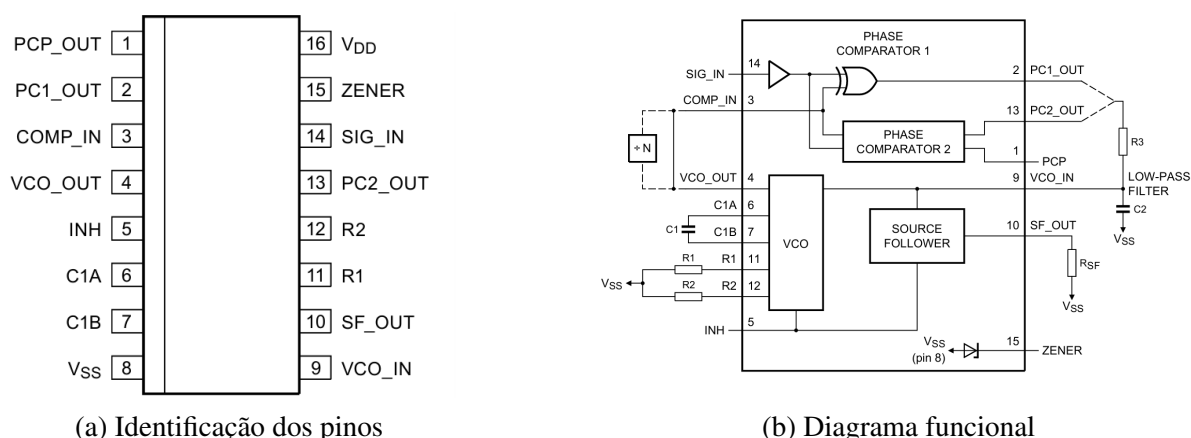
Fonte: Elaborado pelo autor

3.2 IMPLEMENTAÇÃO FÍSICA DO NEURÔNIO

A implementação em circuito eletrônico do nó é baseada em um PLL comercial, o HEF4046B, e dois amplificadores operacionais LM741. A descrição desses componentes foi realizada abaixo.

O HEF4046B é um circuito PLL comercial que consiste em um oscilador controlado por tensão linear e dois comparadores de fase, com uma entrada de sinal comum e uma entrada de comparador comum (13). Ele pode ser alimentado com uma tensão entre 3,0 V e 15,0 V. O VCO pode ser desabilitado ao alimentar o pino 5 (INH). O capacitor C1 e o resistor R1 determinam a faixa de frequência do VCO, sendo opcional o resistor R2, que adiciona um deslocamento de frequência. O comparador 1 é um detector de fase do tipo ou-exclusivo, já o comparador 2 é um detector de fase e frequência (NXP, 2024).

Figura 13 – PLL comercial HEF4046B

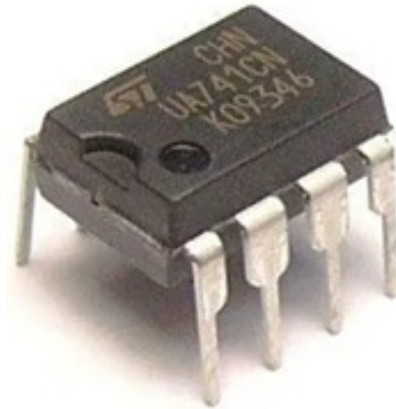


Fonte: Retirado de (NXP, 2024).

O LM741 (14) é um amplificador operacional de uso geral, destinado a uma ampla variedade de aplicações analógicas. Pode ser empregado em aplicações de amplificadores integradores,

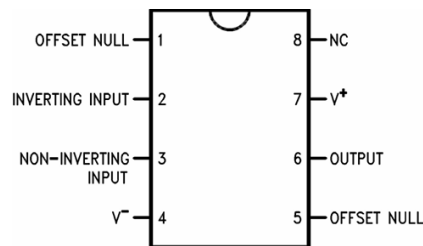
somadores e de realimentação. Ele pode ser alimentado com uma tensão de até 22,0 V e contém pinos para o ajuste da tensão de deslocamento de entrada (15) (Instruments, 2015).

Figura 14 – Amplificador operacional comercial LM741



Fonte: Retirado de (eletrônicos, 2025).

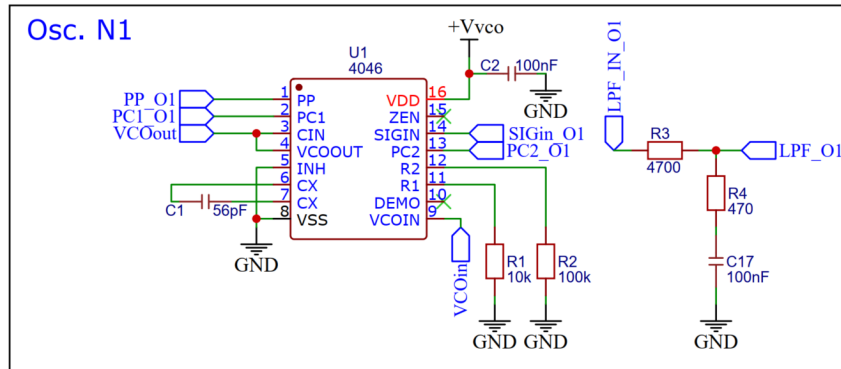
Figura 15 – Identificação dos pinos do LM741



Fonte: Retirado de (Instruments, 2015).

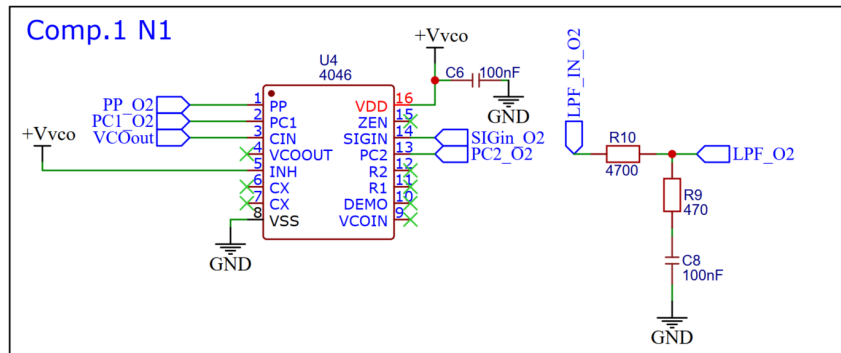
A partir da 12 e da descrição dos componentes acima, foi possível desenvolver o circuito eletrônico que descreve cada neurônio, que está exposto no Apêndice A. Esse circuito foi elaborado no *software* de automação e projeto eletrônico *on-line* e gratuito *EasyEDA* (EasyEDA, 2025). O detalhamento de cada parte do circuito será apresentado abaixo por meio de figuras extraídas do mesmo apêndice para favorecer o entendimento.

A16 mostra o circuito integrado HEF4046B (U1), que é responsável por gerar o sinal oscilatório do neurônio, identificado como VCOout. A tensão de entrada do VCO é identificada no circuito por VCOin. A faixa de frequência do VCO foi determinada pelos resistores R1 e R2 de valores 10 k Ω e 100 k Ω e pelo capacitor C1 de 56 pF. Além disso, esse circuito integrado também faz a comparação entre o sinal do seu VCO e o sinal externo SIGin_O1 por meio de seu PFD, cuja saída é identificada por PC2_O1. Assim, o HEF4046B (U1) implementa os blocos VCO₁ e PFD_II₁ da 12.

Figura 16 – Circuito do VCO e PFD_II₁

Fonte: Elaborado pelo autor.

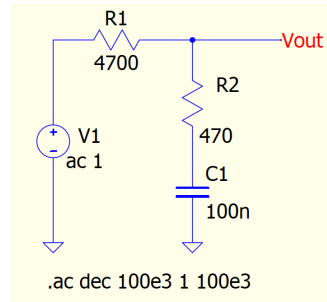
O circuito integrado HEF4046B (U4), apresentado na 17, realiza somente a comparação entre o sinal do VCO do HEF4046B (U1) e o sinal de saída do outro neurônio, SIGin_O2, sendo o sinal resultante designado por PC2_O2. Para desabilitar o VCO desse circuito integrado, o pino INH foi conectado à alimentação do próprio PLL. Desse modo, o HEF4046B (U4) implementa o bloco PFD_II₂ da 12.

Figura 17 – Circuito do PFD_II₂

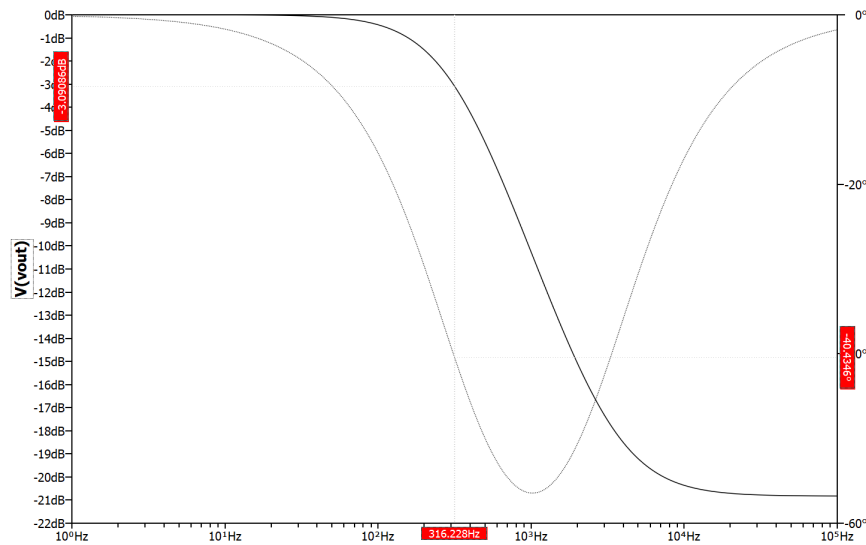
Fonte: Elaborado pelo autor.

Os blocos LPF₁ e LPF₂ da 12 foram implementados por filtros do tipo avanço-atraso passivo mostrados nas Figuras 16 e 17. Os filtros foram configurados para terem uma frequência de corte de aproximadamente 316 Hz, como apresentado na 18.

Figura 18 – Filtro passa-baixa utilizado



(a) Circuito do filtro passa-baixa

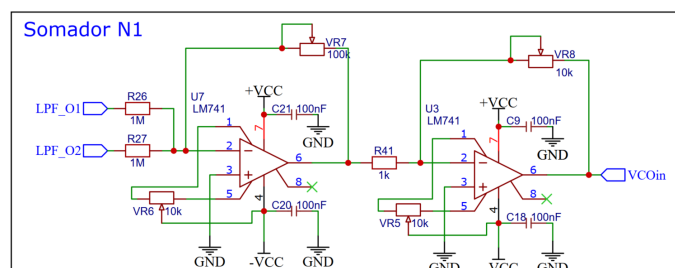


(b) Diagrama de Bode do filtro passa-baixa

Fonte: Elaborado pelo autor.

A implementação do bloco do somador ponderado da 12 é apresentada na 19. As duas entradas desse bloco são identificadas por LPF_O1 e LPF_O2, e a saída é designada por VCOin. O amplificador operacional LM741 (U7) foi utilizado na configuração de somador ponderado, sendo os pesos w_{11} e w_{12} representados pelos resistores R26 e R27. O ajuste do ganho do primeiro estágio é feito pelo potenciômetro VR7. O amplificador operacional LM741 (U3) foi empregado como um amplificador inversor, com o ajuste do ganho realizado pelo potenciômetro VR8. Os potenciômetros VR5 e VR6 foram usados para corrigir as tensões de deslocamento de entrada de cada amplificador operacional.

Figura 19 – Circuito do bloco do somador ponderado



Fonte: Elaborado pelo autor.

Considerando o caso em que ambos os sinais de entrada, e_1 e i_{12} , têm mesma influência sobre a resposta do neurônio, os pesos w_{11} e w_{12} são iguais e o bloco de divisão pode ser substituído por uma divisão por 2.

Assim, a saída do somador ponderado é da forma:

$$V_o = \frac{V_1 + V_2}{2} \quad (8)$$

Utilizando (6), a saída de tensão do somador ponderado do Apêndice A é dada por:

$$V_o = \left(V_1 \frac{VR_7}{R_{26}} + V_2 \frac{VR_7}{R_{27}} \right) \frac{VR_8}{R_{41}} \quad (9)$$

Usando $R_{26} = R_{27} = 1 \text{ M}\Omega$ e $R_{41} = 1 \text{ k}\Omega$, tem-se:

$$V_o = (V_1 + V_2) \frac{VR_7}{1} \frac{VR_8}{1000 \text{ M}\Omega} \quad (10)$$

Para que $V_o = (V_1 + V_2)/2$, tem-se:

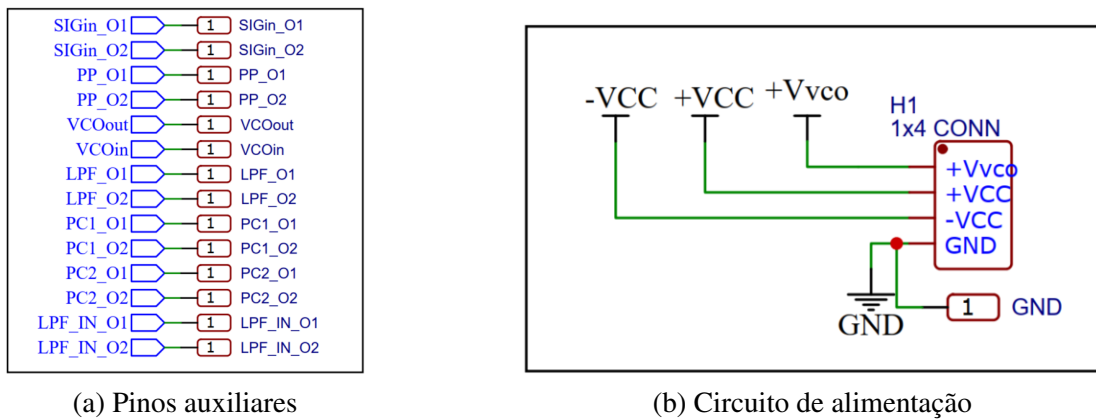
$$\frac{VR_7}{1} \frac{VR_8}{1000 \text{ M}\Omega} = \frac{1}{2} \quad (11)$$

Portanto, o ajuste do ganho deve seguir a regra:

$$VR_7 \cdot VR_8 = 500 \text{ k}\Omega \quad (12)$$

A Figura 20a mostra um conjunto de pinos utilizados para facilitar a ligação dos sinais de entrada e saída da placa que foi construída. Já a Figura 20b apresenta as ligações das linhas de alimentação do circuito com o conector de alimentação.

Figura 20 – Circuitos auxiliares



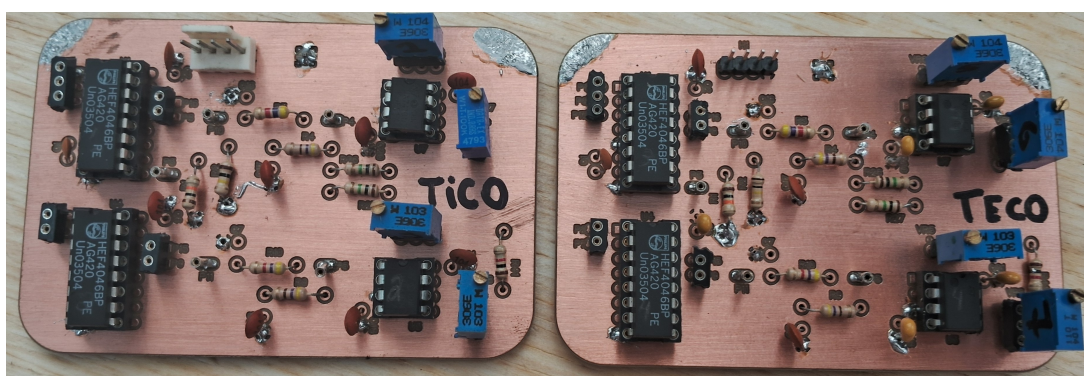
Fonte: Elaborado pelo autor.

3.3 FABRICAÇÃO E MONTAGEM DAS PLACAS

A partir do circuito do Apêndice A, foi desenvolvido o esquema da placa de circuito impresso (PCB - *printed circuit board*) no software *EasyEDA*. O Apêndice B exibe o esquema final da placa elaborada. A fabricação das duas PCBs que formaram a rede iniciou com a usinagem das placas de FR-4 realizada pela prototipadora LPKF ProtoMat S64 (LPKF, 2025) disponível no laboratório de fabricação digital da Faculdade de Engenharia de São João (FESJ, 2025). Em seguida, cada placa usinada foi lixada e envernizada para proteger e aumentar a vida útil das mesmas. Com isso, os componentes foram soldados, sendo que, para os PLLs, para os amplificadores operacionais e para os potenciômetros foram empregados soquetes, a fim de facilitar a substituição, em caso de necessidade.

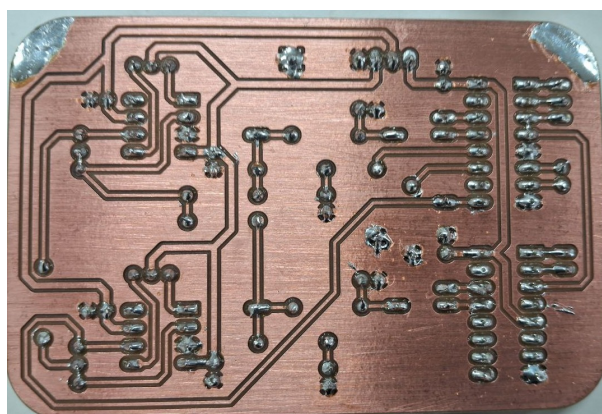
A 21 expõe a vista superior de cada PCB fabricada, enquanto a 22 mostra a vista inferior de uma das PCBs produzidas. Os pinos fêmeas torneados da 22 são os pinos exibidos na 20a, os quais foram utilizados como pontos de entrada e saída dos sinais das placas. As zonas de estanho nos cantos superiores das placas foram criadas para facilitar a conexão entre as referências de terra das placas e os equipamentos utilizados nos testes.

Figura 21 – Foto das PCBs construídas - vista superior



Fonte: Elaborado pelo autor.

Figura 22 – Foto de uma PCB construída - vista inferior



Fonte: Elaborado pelo autor.

3.4 DESCRIÇÃO DOS TESTES

Os testes realizados para a avaliação da rede de PLLs mutuamente conectada serão descritos nesta seção. Os equipamentos utilizados para os ajustes e para as medições dos circuitos são listados abaixo.

- gerador de função Tektronix AFG2021 (2 unidades);
- gerador de função Tektronix AFG2021-BR (1 unidade);
- osciloscópio Tektronix TDS2014C (1 unidade);
- fonte de alimentação dupla Hikari HF-3205D (2 unidades);
- multímetro digital Minipa ET-2082E (1 unidade).

Antes de iniciar a verificação do comportamento da rede de dois neurônios, foi necessário avaliar o desempenho de cada placa. Assim, os circuitos do somador ponderado e a faixa de operação do VCO foram examinados. Inicialmente, com um multímetro, foi feito o ajuste das resistências dos potenciômetros que controlam o ganho de cada amplificador operacional de acordo com (12). Em seguida, com as entradas dos amplificadores operacionais nulas, os potenciômetros que ajustam as tensões de deslocamento de saída foram regulados para que as tensões de saída dos amplificadores se aproximassem de zero. Desse modo, o circuito do somador ponderado pode ser examinado.

A 23 mostra a montagem dos equipamentos para a avaliação do somador ponderado de cada placa construída. A fonte de tensão superior foi configurada para operação simétrica com a finalidade de fornecer as tensões de alimentação de +12 V e -12 V para os amplificadores operacionais. Já os canais da fonte de tensão inferior foram utilizados de forma independente para gerar diferentes combinações de tensão para as entradas dos somadores ponderados. O osciloscópio foi utilizado para medir os sinais de entrada e de saída do circuito avaliado.

Figura 23 – Montagem para avaliação do somador ponderado

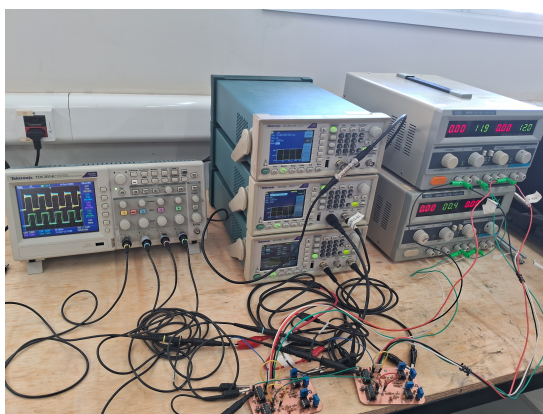


Fonte: Elaborado pelo autor.

Para verificar a faixa de tensão do VCO, o HEF4046B (U1) (Figura 16) foi alimentado com 10 V por uma das fontes de tensão. A outra fonte de tensão foi utilizada para fornecer uma tensão de 0 a 10 V para a entrada do VCO do HEF4046 (U1). Os sinais de entrada e de saída do VCO do HEF4046B (U1) foram adquiridos pelo osciloscópio.

Com a validação de cada placa, a rede mutuamente conectada foi montada de acordo com as Figuras 12 e 16, utilizando fios para a conexão entre as entradas e as saídas dos neurônios. Foram realizados testes de varredura de fase e frequência dos sinais de entrada da rede para avaliar os casos de sincronismo dos sinais de saída dos neurônios. Os equipamentos do laboratório foram arranjados como apresentado na 24. O gerador de função AFG2021-BR, que está no topo da pilha de geradores de função, foi responsável por fornecer o sinal de referência para os outros dois geradores AFG2021. Esses dois equipamentos operaram de forma sincronizada e geraram os sinais externos da rede. A fonte de tensão superior gerou os níveis de tensão de +12 V e -12 V para a alimentação do somador ponderado de cada placa. A fonte de tensão inferior forneceu a tensão de 10 V para os PLLs HEF4046B. O osciloscópio foi utilizado para obter os dados dos sinais de entrada e de saída de ambas as placas.

Figura 24 – Montagem para avaliação da rede mutuamente conectada



Fonte: Elaborado pelo autor.

4 RESULTADOS E DISCUSSÕES

Com base nos testes descritos no capítulo anterior, os resultados desses testes serão apresentados neste capítulo, partindo da verificação de cada placa construída e finalizando com a análise de sincronismo da rede de PLLs mutuamente conectada.

4.1 AJUSTE DOS GANHOS E DESVIOS DE TENSÃO DE ENTRADA

A tabela 1 exibe os valores obtidos para os potenciômetros que determinam os ganhos dos amplificadores, bem como ajustam os desvios de tensão de entrada. Verifica-se que o ganho total do somador ponderado de cada placa ficou próximo da regra descrita por (12). Assim, a influência de cada entrada do neurônio é aproximadamente 50% do sinal de controle do VCO.

Tabela 1 – Valores dos potenciômetros ajustados para cada PCB

PCB 1		PCB 2	
Potenciômetro	Resistência [kΩ]	Potenciômetro	Resistência [kΩ]
Offset do estágio 1	3,5	Offset do estágio 1	2,5
Ganho do estágio 1	100,5	Ganho do estágio 1	95,9
Offset do estágio 2	1,7	Offset do estágio 2	3,8
Ganho do estágio 2	4,5	Ganho do estágio 2	4,8

Fonte: Elaborado pelo autor

A tabela 2 apresenta as tensões de saída de cada estágio quando as duas entradas do somador ponderado são nulas. As baixas tensões, obtidas a partir dos valores dos potenciômetros de offset da tabela 1, mostram que ambos os somadores ponderados possuem uma pequena tendência de tensão de saída, a qual terá pouca influência no sinal de entrada dos VCOs e, conseqüentemente, no sinal de saída do neurônio.

Tabela 2 – Tensões de saída de cada estágio para entradas nulas

PCB 1		PCB 2	
Estágio	Tensão [mV]	Estágio	Tensão [mV]
1	2,35	1	-2,4
2	-2,16	2	1,1

Fonte: Elaborado pelo autor

As tabelas 3 e 4 expõem os resultados da varredura de tensão das entradas dos somadores ponderados para cada PCB. Desconsiderando os valores próximos de zero para as duas entradas, o erro entre os valores da média aritmética das entradas (V_{arit}) e os valores obtidos experimentalmente (V_{out}) ficou em torno de 5,7%. Para os casos em que ambas as tensões de entrada estão próximas de zero, nota-se um erro alto, o que pode ser explicado pela influência da tensão de deslocamento de entrada na pequena tensão de entrada aplicada.

Tabela 3 – Avaliação do somador ponderado para diversos valores - PCB 1

$V_{entrada1}$ [V]	$V_{entrada2}$ [V]	V_{out} [V]	V_{arit} [V]	Erro [%]
0,16	0,08	0,09	0,12	25,5
1,04	0,57	0,76	0,80	5,1
1,04	1,03	0,98	1,04	5,6
0,58	1,04	0,76	0,81	6,4
2,12	1,04	1,49	1,58	5,7
2,60	2,08	2,20	2,34	6,0
3,12	4,01	3,39	3,57	4,9
3,62	1,10	2,24	2,36	5,1
4,12	0,57	2,23	2,34	4,9
4,55	2,05	3,13	3,30	5,2
5,12	5,04	4,85	5,08	4,5
1,04	5,05	2,91	3,05	4,4
3,08	4,64	3,63	3,86	6,0
0,61	2,96	1,67	1,78	6,4

Fonte: Elaborado pelo autor

Tabela 4 – Avaliação do somador ponderado para diversos valores - PCB 2

$V_{entrada1}$ [V]	$V_{entrada2}$ [V]	V_{out} [V]	V_{arit} [V]	Erro [%]
0,16	0,07	0,10	0,12	11,1
1,09	0,54	0,76	0,82	6,6
1,09	1,09	1,02	1,09	6,4
0,57	1,09	0,77	0,83	7,1
2,09	1,12	1,52	1,61	5,3
2,60	2,11	2,23	2,36	5,3
3,12	4,17	3,43	3,65	5,9
3,60	1,06	2,20	2,33	5,6
4,17	0,56	2,23	2,36	5,7
4,60	2,10	3,13	3,35	6,6
5,13	5,08	4,80	5,11	6,0
1,04	5,07	2,88	3,06	5,7
3,10	4,60	3,60	3,85	6,5
0,56	3,04	1,68	1,80	6,7

Fonte: Elaborado pelo autor

O resultado da verificação da faixa de operação do VCO de cada placa está apresentado na tabela 5. A diferença entre as faixas de frequência obtidas pode ser atribuída às diferenças entre os valores reais dos resistores e capacitores que regulam o comportamento de cada VCO. Apesar disso, ambos os osciladores operam entre aproximadamente 300 kHz e 1900 kHz.

Tabela 5 – Faixa de frequência do VCO de cada placa

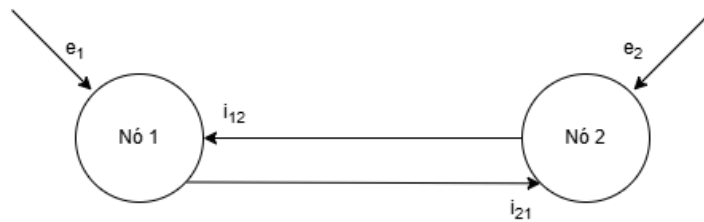
Frequência	PCB 1		PCB 2	
	VCO_{in} [V]	VCO_{out} [kHz]	VCO_{in} [V]	VCO_{out} [kHz]
F_{min}	1,20	308	1,46	312
F_{max}	9,83	1930	8,93	1990

Fonte: Elaborado pelo autor.

4.2 VERIFICAÇÃO DO SINCRONISMO DA REDE MUTUAMENTE CONECTADA

Com ambas as placas validadas, a rede apresentada pela 11, a qual está exposta novamente abaixo, foi montada utilizando dois geradores de função sincronizados para os sinais externos e_1 e e_2 . O identificador i_{12} é representado pela conexão entre o VCO da placa 2 e a entrada do segundo PLL da placa 1. A mesma lógica é aplicada ao identificador i_{21} .

Figura 25 – Rede totalmente conectada



Fonte: Elaborado pelo autor

Para facilitar o entendimento das figuras obtidas a seguir, a tabela 6 exhibe a relação entre os canais do osciloscópio, os identificadores da 11 e os sinais medidos.

Tabela 6 – Relação entre canais, identificadores e sinais medidos

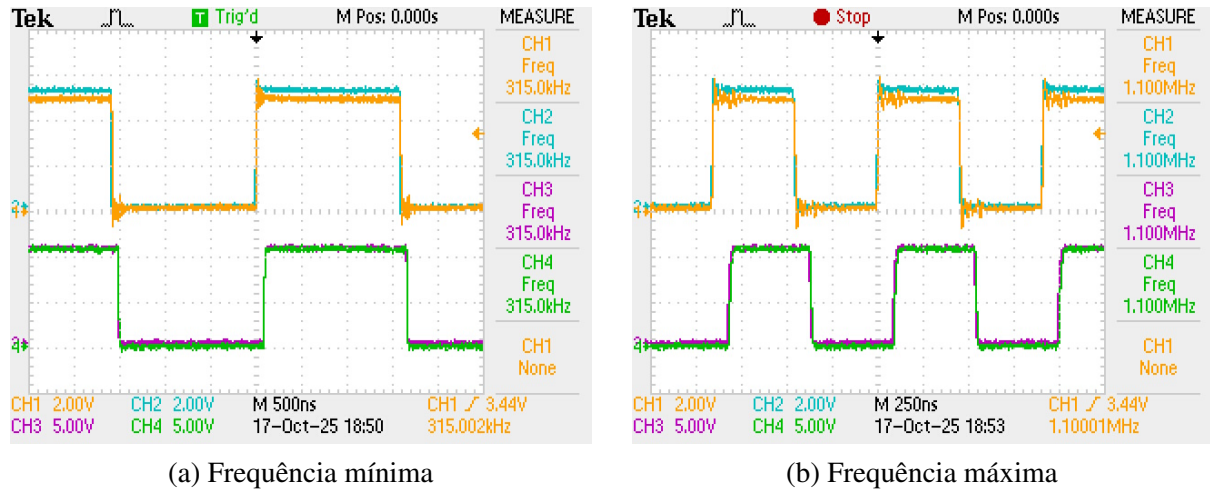
Canal	Identificador	Descrição do sinal
CH1	e_1	sinal de entrada - placa 1
CH2	e_2	sinal de entrada - placa 2
CH3	i_{21}	sinal de saída - placa 1
CH4	i_{12}	sinal de saída - placa 2

Fonte: Elaborado pelo autor.

Inicialmente, foi avaliada a faixa de frequência em que ocorria o sincronismo dos sinais de saída dos neurônios, considerando a mesma frequência para ambos os sinais externos e uma diferença de fase nula entre eles. A 26 mostra as frequências mínima e máxima encontradas, sendo elas 315 kHz e 1100 kHz, respectivamente. Além disso, há um atraso de 10 ns entre os sinais de entrada e os sinais de saída.

Com a faixa de frequência de sincronismo definida, foi realizada a verificação do sincronismo em relação à diferença de fase entre os sinais externos na frequência central de 700 kHz, sendo o passo da varredura da fase do CH2 de 30°. As 27 e 28 mostram os resultados obtidos, e as medidas de fase estão resumidas na tabela 7.

Figura 26 – Faixa de frequência em que ocorre o sincronismo da rede conectada



Fonte: Elaborado pelo autor.

As Figuras 27b a 27f revelam que, quando o sinal de entrada da PCB 2 (canal CH2) está atrasado em relação ao sinal de entrada da PCB 1 (canal CH1) entre 30° e 150° , as saídas dos VCOs entram em sincronismo com suas respectivas entradas: CH1-CH3 e CH2-CH4. Esse comportamento persiste até um atraso de 300° do CH2, exibido nas Figuras 28a a 28e.

Tabela 7 – Medidas de diferença fase para entrada e saída

Diferença de fase		Erro absoluto [°]
Entrada [°]	Saída [°]	
-0,533	1,91	1,377
30,5	32,4	1,9
59,5	61	1,5
89,6	89,1	0,5
119	120	1
149	150	1
-181	-180	1
-151	-149	2
-120	-119	1
-90,5	-89,2	1,3
-60,5	-58,6	1,9
-30,5	-6,63	23,87

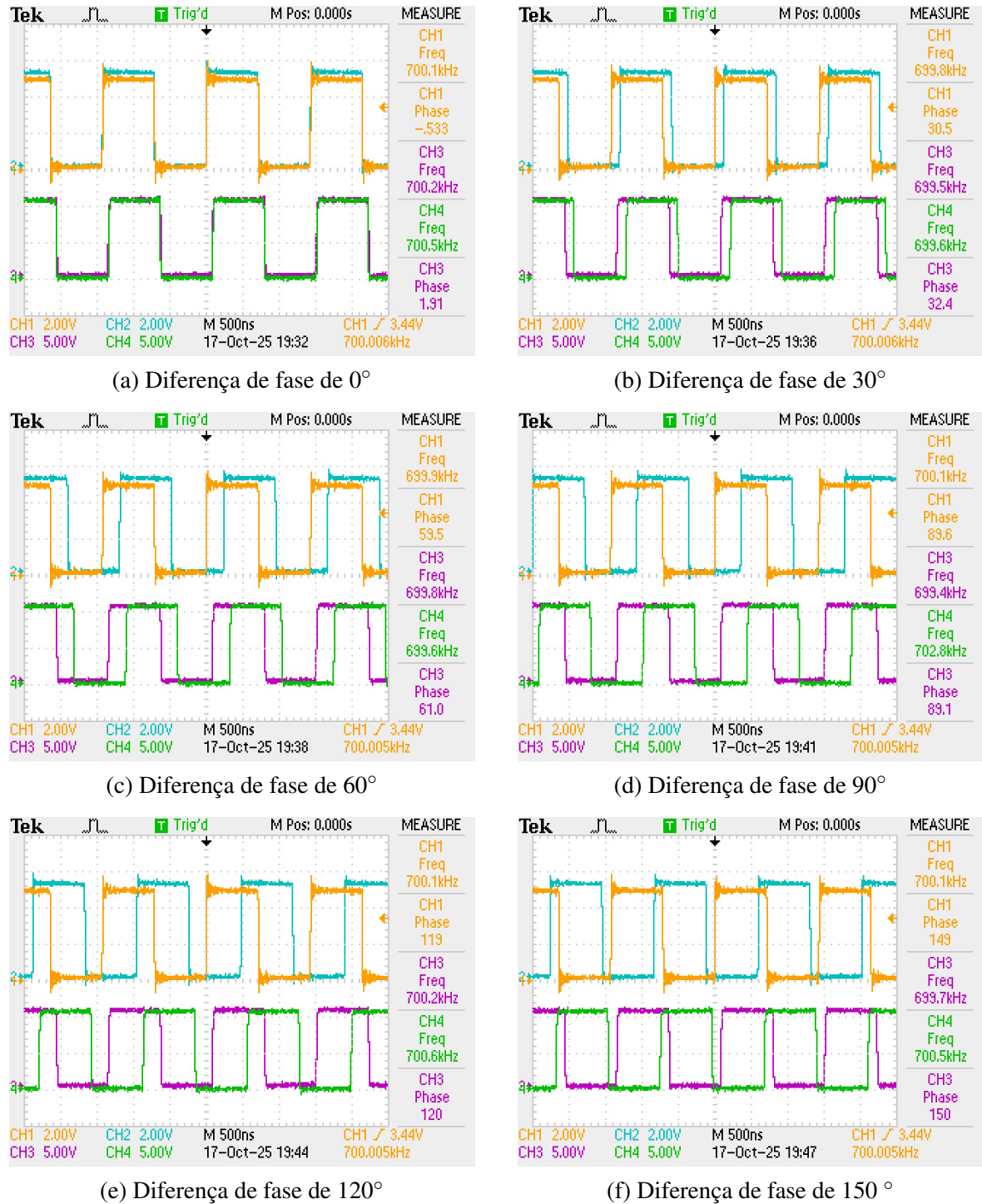
Fonte: Elaborado pelo autor

Um caso distinto de sincronismo é apresentado nas Figuras 27a e 28f. A sincronização dos canais CH3 e CH4 de forma independente da diferença de fase entre os canais CH1-CH2; ou seja, apesar da defasagem dos sinais de entrada de cada PCB, os sinais de saída dos VCOs estão sincronizados entre si.

Observando as Figuras 28e e 28f, percebe-se que o sincronismo apresentado anteriormente entre os canais CH3 e CH4 foi perdido. Assim, para que o sincronismo entre os canais CH3 e CH4 exista, a diferença de fase máxima entre os canais CH2 e CH1 está entre 30° e 60° . Portanto,

foi realizada uma varredura de fase com um passo de 5° , a fim de determinar o valor em que essa condição ocorre. A defasagem obtida foi de 60° , valor que também foi encontrado para outras frequências dentro da faixa de frequência de sincronismo da rede.

Figura 27 – Varredura de fase para rede conectada - parte 1

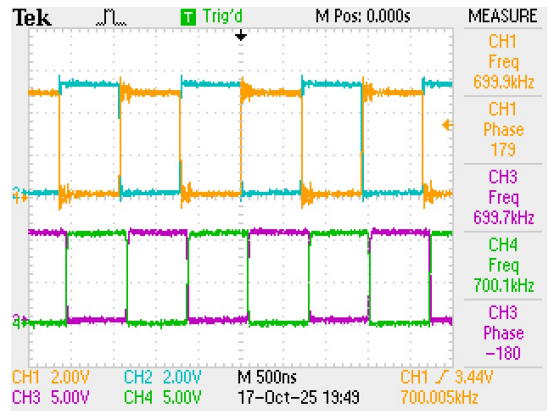


Fonte: Elaborado pelo autor.

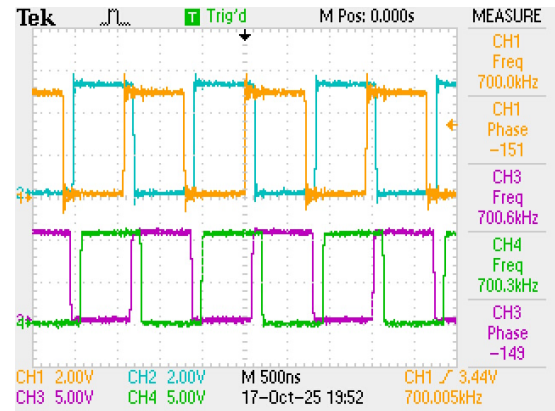
Desse modo, o sincronismo entre os sinais de saída dos VCOs é alcançado quando o sinal de

entrada da PCB 1 está atrasado em até 60° em relação ao sinal de entrada da PCB 2. A Figura 28f mostra o momento após a perda desse sincronismo. Para outros valores de defasagem, o sinal de saída de cada placa se sincroniza com seu sinal de entrada.

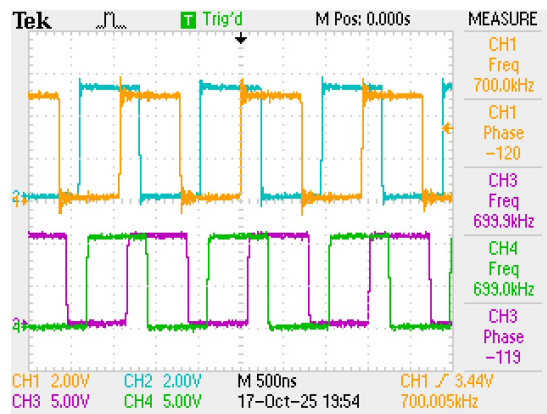
Figura 28 – Varredura de fase para rede conectada - parte 2



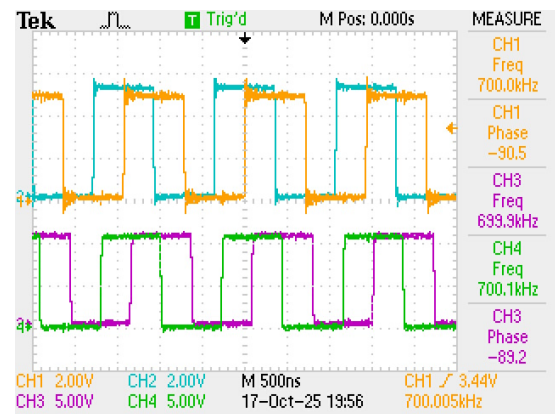
(a) Diferença de fase de 180°



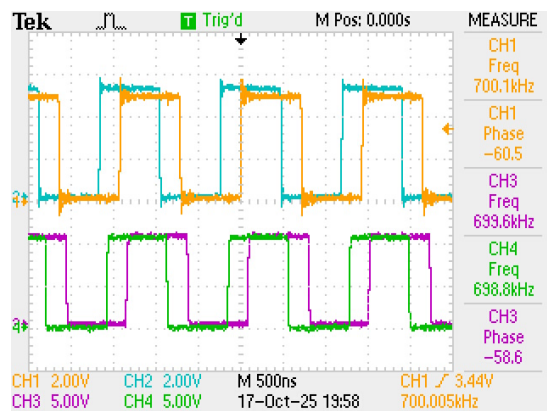
(b) Diferença de fase de 210°



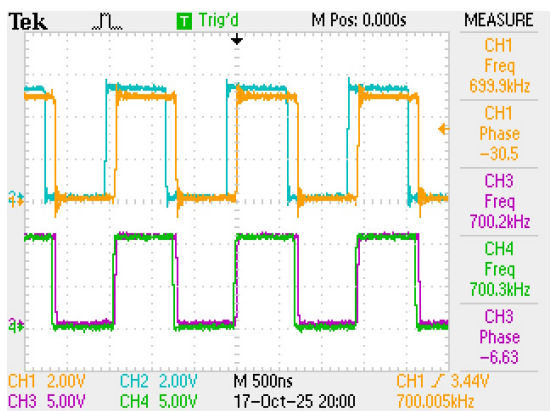
(c) Diferença de fase de 240°



(d) Diferença de fase de 270°



(e) Diferença de fase de 300°



(f) Diferença de fase de 330°

Fonte: Elaborado pelo autor.

5 CONCLUSÃO

Este trabalho teve como objetivo avaliar o comportamento de uma rede de malhas de sincronismo de fase mutuamente conectadas para empregá-las no reconhecimento de padrões a partir de sinais oscilatórios. A rede avaliada compreende dois nós, sendo que cada um possui uma entrada de sinal externo e uma entrada de sinal do outro nó.

Cada nó da rede, considerado um neurônio, foi definido por um circuito eletrônico, e este foi implementado em uma placa de circuito impresso. As placas construídas foram avaliadas e caracterizadas, considerando a faixa de operação do VCO, o funcionamento do somador ponderado e a faixa de frequência em que ocorre o sincronismo.

Com a rede de PLLs mutuamente conectados, o estado de sincronismo foi observado para a mesma faixa de frequência que as verificações de cada neurônio individualmente, considerando a condição de que ambos os sinais externos estavam sincronizados. A varredura de fase para os sinais de entrada mostrou que, os sinais de saída dos neurônios entram no estado de sincronismo, quando a fase do sinal de entrada do segundo neurônio está atrasada em relação ao sinal de entrada do primeiro neurônio em até 60° . Para os casos em que a diferença de fase entre os sinais de entrada dos neurônios é maior que 60° , cada neurônio entra em sincronismo com seu respectivo sinal de entrada.

5.1 TRABALHOS FUTUROS

Com base nos resultados deste trabalho, aplicações em um simulador de circuitos eletrônicos poderiam ser desenvolvidas para a avaliação de redes de PLLs mutuamente conectados com um número maior de neurônios, a fim de facilitar o estudo da interação entre os neurônios e também verificar o reconhecimento de padrões pela rede. Outro estudo interessante utilizando o simulador é a análise da influência dos resistores do somador ponderado, w_{11} e w_{12} , na resposta da rede. Também, como sugestão, ambas as propostas anteriores poderão ser confrontadas com um estudo envolvendo a implementação de uma rede com um maior número de neurônios e com os pesos do somador ponderado ajustáveis.

REFERÊNCIAS

- BEST, R. E. **Phased Locked Loops: Design, Simulation, and Applications**. 6. ed. [S.l.]: McGraw-Hill, 2007.
- BOYLESTAD, R. L.; NASHELSKY, L. **Dispositivos Eletrônicos e Teoria de Circuitos**. 11. ed. São Paulo, São Paulo - Brasil: Pearson, 2013.
- BREGNI, S. A historical perspective on telecommunication network synchronization. **IEEE communications magazine**, v. 36, n. 6, p. 158–166, June 1998.
- BREGNI, S. **Synchronization of Digital Telecommunications Networks**. [S.l.]: John Wiley Sons, 2002.
- BUCK, J. Synchronous rhythmic flashing of fireflies. ii. **The Quarterly review of biology**, v. 663, n. 3, p. 265–89, 1988.
- CARARETO, R. **Modelagem e simulação de redes de LPLLs, DPLLs e ADPLLs mutuamente conectadas**. 2005. Dissertação (Mestrado) — Escola Politécnica, Universidade de São Paulo, 2005.
- EASYEDA. **EasyEDA - Online PCB design and circuit simulator**. 2025. Disponível em: <https://easyeda.com/>.
- EDSON, W. **Vacuum-tube Oscillators**. New York: John Wiley and Sons, 1953.
- ELETRÔNICOS, B. da eletrônica C. **Amplificador Operacional LM741**. 2025. Disponível em: https://www.baudaeletronica.com.br/produto/amplificador-operacional-lm741.html?utm_source=Site&utm_medium=GoogleMerchant&utm_campaign=GoogleMerchant&gad_source=1&gad_campaignid=20317575525&gbraid=0AAAAADonfB2YsyP_wAAh1YKwkPhuiHp-d&gclid=EAIaIQobChMIrp2x-tFkAMVN19IAB3OQBmqEAYYASABEgIYOfD_BwE.
- FERREIRA, A. A. *et al.* Tendências e avanços científicos nas engenharias: aeronáutica, aeroespacial, eletrônica e de telecomunicações. In: _____. [S.l.]: Editora Amplla, 2023. cap. 6.
- FESJ, F. de Engenharia de S. J. **FabLab**. 2025. Disponível em: <https://www.sjbv.unesp.br/#!/pesquisa/fablab/>.
- GINOUX, J.-M.; LETELLIER, C. **Van der Pol and the history of relaxation oscillations: Toward the emergence of a concept**. [S.l.: s.n.], 2012. v. 22. 023120 p.
- GONZE, D. *et al.* Spontaneous synchronization of coupled circadian oscillators. **Biophysical Journal**, v. 89, n. 1, p. 120–129, 2005.
- GRAY, C. M. Synchronous oscillations in neuronal systems: Mechanism and functions. **Journal of Computational Neuroscience**, v. 1, p. 11–38, 1994.
- HOPPENSTEADT, F. C. Intermittent chaos, self-organization, and learning from synchronous synaptic activity in model neuron networks. **Proceedings of the National Academy of Sciences**, v. 86, n. 9, p. 2991–2995, 1989.

HOPPENSTEADT, F. C. **An Introduction to the Mathematics of Neurons. Modeling in the Frequency Domain**. Cambridge, U.K.: Cambridge University Press, 1997.

INSTRUMENTS, T. **LM741 Operational Amplifier**. 2015. Disponível em: <https://www.ti.com/lit/ds/symlink/lm741.pdf>.

IZHIKEVICH, E. M. Resonate-and-fire neurons. **Neural Networks**, v. 14, n. 6, p. 883–894, 2001.

JALIFE, J. Mutual entrainment and electrical coupling as mechanisms for synchronous firing of rabbit sino-atrial pace-maker cells. **The Journal of physiology**, v. 356, p. 221–243, 1984.

LINDSEY, W. *et al.* Network synchronization. **Proceedings of the IEEE**, v. 73, n. 10, October 1985.

LPKF. **LPKF ProtoMat S64**. 2025. Disponível em: https://www.lpkf.com/fileadmin/mediafiles/user_upload/products/pdf/DQ/flyer_lpkf_protomat_s64_en.pdf.

MONTEIRO, L. H. A. **Sistemas Dinâmicos**. São Paulo: Livraria da Física, 2002.

MONTEIRO, L. H. A. *et al.* Global and partial synchronism in phase-locked loop networks. **IEEE Transactions. Neural Networks**, v. 4, n. 6, p. 1572–1575, November 2003.

NILSON, J. W.; RIEDEL, S. A. **Electric Circuits**. 10. ed. [S.l.]: Pearson, 2015.

NUSSENZVEIG, H. M. **Curso de Física básica 1: Mecânica**. [S.l.]: Edgar Blücher Ltda, 1981.

NXP. **HEF4046B**. 2024. Disponível em: <https://assets.nexperia.com/documents/data-sheet/HEF4046B.pdf>.

PIQUEIRA, J. R. C. **Uma contribuição ao estudo das redes com malhas de sincronismo de fase**. 1997. Tese de Livre-docência — Escola Politécnica da Universidade de São Paulo, São Paulo, São Paulo - Brasil, 1997.

PIQUEIRA, J. R. C.; ORSATTI, F. M.; MONTEIRO, L. H. A. Computing with phase locked loops: choosing gains and delays. **IEEE Transactions on Neural Networks**, v. 14, n. 1, p. 243–247, January 2003.

RAZAVI, B. **Design of Analog CMOS Integrated Circuits**. New York: McGraw-Hill Education, 2017.

SEDRA, A. S.; SMITH, K. C. **Microeletrônica**. 5. ed. São Paulo: Pearson Prentice Hall, 2007. ISBN 9788576050223.

APÊNDICE A – CIRCUITO ELÉTRICO DE UM ÚNICO NEURÔNIO

