

UNIVERSIDADE ESTADUAL PAULISTA “JÚLIO DE MESQUITA FILHO”

Programa de Pós-graduação em Ciência e Tecnologia de Materiais

Gabriel Leonardo Nogueira

Desenvolvimento de transistores verticais de efeito de campo impressos

PRESIDENTE PRUDENTE

2022

Gabriel Leonardo Nogueira

Desenvolvimento de transistores verticais de efeito de campo impressos

Tese apresentada como requisito à obtenção do título de Doutor em Ciência e Tecnologia de Materiais, junto a Universidade Estadual Paulista “Júlio de Mesquita Filho” – Programa de Pós-Graduação em Ciência e Tecnologia de Materiais, sob a orientação do Prof. Dr. Neri Alves.

Presidente Prudente

2022

N778d	Nogueira, Gabriel Leonardo Desenvolvimento de transistores verticais de efeito de campo impressos / Gabriel Leonardo Nogueira. -- , 2022 170 p. Tese (doutorado) - Universidade Estadual Paulista (Unesp), Faculdade de Ciências e Tecnologia, Presidente Prudente, Orientador: Neri Alves 1. Eletrônica impressa. 2. Transistor eletrolítico vertical. 3. Óxido de zinco. 4. Nanofio de prata. I. Título.
-------	---

Sistema de geração automática de fichas catalográficas da Unesp. Biblioteca da Faculdade de Ciências e Tecnologia, Presidente Prudente. Dados fornecidos pelo autor(a).

Essa ficha não pode ser modificada.

ATA DA DEFESA PÚBLICA DA TESE DE DOUTORADO DE GABRIEL LEONARDO NOGUEIRA, DISCENTE DO PROGRAMA DE PÓS-GRADUAÇÃO EM CIÊNCIA E TECNOLOGIA DE MATERIAIS, DA FACULDADE DE CIÊNCIAS - CÂMPUS DE BAURU.

Aos 10 dias do mês de agosto do ano de 2022, às 14:00 horas, por meio de Videoconferência, realizou-se a defesa de TESE DE DOUTORADO de GABRIEL LEONARDO NOGUEIRA, intitulada **Desenvolvimento de transistores verticais de efeito de campo impressos**. A Comissão Examinadora foi constituída pelos seguintes membros: Prof. Dr. NERI ALVES (Orientador(a) - Participação Virtual) do(a) Departamento de Física Química e Biologia / UNESP Campus de Presidente Prudente, Profa. Dra. KELI FABIANA SEIDEL (Participação Virtual) do(a) Departamento de Física / Universidade Tecnológica Federal do Paraná - UTFPR, Prof. Dr. CARLOS CÉSAR BOF BUFON (Participação Virtual) do(a) Instituto Presbiteriano Mackenzie / Instituto Presbiteriano Mackenzie, Prof. Dr. CARLOS FREDERICO DE OLIVEIRA GRAEFF (Participação Virtual) do(a) Departamento de Física / Faculdade de Ciências UNESP Bauru, Prof. Dr. RAFAEL FURLAN DE OLIVEIRA (Participação Virtual) do(a) Departamento: Laboratório Nacional de Nanotecnologia (LNNano) / Centro Nacional de Pesquisa em Energia e Materiais (CNPEM). Após a exposição pelo doutorando e arguição pelos membros da Comissão Examinadora que participaram do ato, de forma presencial e/ou virtual, o discente recebeu o conceito final: aprovado. Nada mais havendo, foi lavrada a presente ata, que após lida e aprovada, foi assinada pelo(a) Presidente(a) da Comissão Examinadora.


Prof. Dr. NERI ALVES

Agradecimentos

Agradeço primeiramente a Deus.

Agradeço também:

Minha família, em especial ao meu pai Marcos, minha mãe Solange e meu irmão Bruno por todo suporte e carinho;

Minha querida noiva Aryane, por ser uma companheira tão especial, por suportar todo o meu pessimismo e minhas inseguranças, por todo apoio e por acreditar em mim mais do que eu mesmo;

Todos os amigos com quem tive o prazer de conviver no LaDSOr que já não fazem mais parte do grupo, como a Nati e o Marcelinho; e também à formação mais recente: Rogério, Maiza, Maykel, Douglas, Mayk, Luis, Guilherme e Diego.

Meus grandes amigos Lucas Vinícius Citolino e Maykel dos Santos Klem, com os quais dividi momentos tristes e principalmente vitoriosos desde o início da nossa graduação em 2010;

A Prof^ª. Dr^ª. Keli Fabiana Seidel, por toda a contribuição ao longo dos últimos anos, além de aceitar o convite para fazer parte da banca do exame de defesa;

O Dr. Rafael Furlan de Oliveira, por todo o incentivo no início da minha jornada na iniciação científica e por aceitar o convite para fazer parte da banca do exame de defesa;

Aos Prof. Dr. Carlos C. B. Bufon e Carlos F. O. Graeff, por se prontificarem a aceitar o convite para a banca do exame de defesa;

A Prof^ª. Dr^ª. Clarissa de Almeida Olivati, por todo o convívio de conselhos desde a época da graduação, e por aceitar o convite para compor a banca do exame de defesa;

O Prof. Dr. Gregório Couto Faria, pelas contribuições no exame de qualificação e por aceitar o convite para compor a banca do exame de defesa;

O Prof. Dr. José P. M. Serbena, por todo suporte e por aceitar o convite para compor a banca do exame de defesa;

O Programa de Pós-graduação em Ciência e Tecnologia de Materiais (POSMAT), e a Faculdade de Ciência e Tecnologia (FCT/Unesp) pela grande oportunidade;

A Fundação de Amparo à Pesquisa do Estado de São Paulo (FAPESP), pelo apoio financeiro (processo 2018/02034-7).

O presente trabalho foi realizado com apoio da Coordenação de Aperfeiçoamento de Pessoal de Nível Superior - Brasil (CAPES) - Código de Financiamento 001.

Também sou muito grato ao Prof. Jeff Kettle pela supervisão científica e convívio amigável durante meu estágio na University of Glasgow (Thanks for the Ben Nevis' Wednesday nights with coca-cola and live traditional music).

Um agradecimento especial ao amigo e orientador Prof. Dr. Neri Alves, pela confiança e conhecimento compartilhado desde os tempos de iniciação científica, além de toda a orientação tanto no âmbito acadêmico quanto pessoal.

Agradeço também a todos os que contribuíram de forma direta ou indireta ao longo desses anos.

Resumo

Atualmente, os transistores com *gate* eletrolítico (EGTs) e transistores de efeito de campo com arquitetura vertical e barreira Schottky (SB-VFETs) são alternativas promissoras aos transistores convencionais, principalmente visando o desenvolvimento de uma eletrônica impressa. Em particular, camadas ativas baseadas no uso de óxidos metálicos semicondutores como o óxido de zinco (ZnO) se destaca devido à alta mobilidade e transparência aliadas a uma compatibilidade com processamento por solução. Embora o número de publicações nesses tópicos venha aumentando significativamente, um transistor de arquitetura vertical que contenha *gate* eletrolítico e camada ativa de óxido semicondutor não foi reportado até o momento. Neste estudo, propomos uma rota com baixo-custo de implementação baseada em um transistor eletrolítico vertical (EG-SB-VFET) com camada semicondutora de ZnO depositada por spray. Desta forma, alcançamos um desempenho notável para um transistor com baixa voltagem de operação devido ao caráter eletrolítico, aliada à arquitetura vertical que contorna a necessidade de microfabricação de alta resolução. Tal objetivo demandou diferentes etapas, nas quais foram estudados diferentes materiais e desenvolvidos três dispositivos elementares: diodo Schottky, EGT e o EG-SB-VFET. A avaliação dos diodos Schottky baseou-se no pós-processamento de dados experimentais de corrente-voltagem por meio da aplicação de métodos analíticos complementares (*Mikhelashvili, Werner e Cheung*). Destacam-se valores de resistência em série de $\sim 200 \Omega$ e altura de barreira de $\sim 0,75$ eV para a junção ZnO/AgNW. O desempenho do EGT padrão de ZnO depositado por spray pirólise foi usado como referência para os transistores verticais. Os principais parâmetros calculados foram mobilidade de efeito de campo de $\sim 11 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$, transcondutância de $\sim 2,46 \text{ mS}$ e *subthreshold swing* de $\sim 0,13 \text{ V dec}^{-1}$. Quanto aos EG-SB-VFET, foram calculadas as principais figuras-de-mérito a partir da curva de transferência, que incluem densidade de corrente de $\sim 111 \text{ mA cm}^{-2}$, transcondutância de $\sim 4,7 \text{ mS}$ e *subthreshold swing* de $\sim 0,22 \text{ V dec}^{-1}$. Em relação à modulação da corrente nas curvas de saída, verificou-se que dependendo da forma com que os eletrodos são polarizados, o mesmo dispositivo pode-se comportar de forma similar a um diodo ou a um transistor. Conclui-se que o desempenho reportado dos EG-SB-VFETs é atrativo, pois sem a necessidade de eletrodos de fonte e dreno coplanares de alta resolução atingem-se valores semelhantes ao EGT padrão. Assim, a arquitetura EG-SB-VFET baseada em ZnO e AgNW é uma forma inovadora de contornar os principais desafios dos TFTs convencionais.

Palavras-chave: eletrônica impressa; transistor eletrolítico vertical; óxido de zinco; AgNW.

Abstract

Nowadays, electrolyte-gated transistors (EGT) and Schottky barrier vertical field-effect transistors (SB-VFET) are better options for the development of printed electronics than conventional transistors. In particular, the use of a metal oxide semiconducting layer as zinc oxide (ZnO) stands out because of its high mobility and transparency integrated with the solution-processed advantages. Even though the publications on the above topics have faced a fast-growing, a vertical transistor composed of an electrolytic gate and an active layer based on an oxide semiconductor is still missing. Here, we report a low-cost vertical electrolyte transistor (EG-SB-VFET) using spray-deposited ZnO as the semiconductor. This approach enables a notable performance with a low-voltage transistor operation resulting from electrolytic character. Besides, the vertical structure circumvents the need for high-resolution microfabrication. The main goal demanded several steps, in which we studied different materials and developed three ZnO-based devices: Schottky diode, EGT, and the EG-SB-VFET. We evaluated the Schottky diodes based on the post-processing of the experimental current-voltage data by applying different analytical methods (*Mikhelashvili, Werner and Cheung*). We achieved a series resistance of $\sim 200 \Omega$ and a barrier height of $\sim 0.75 \text{ eV}$ for the ZnO/AgNW junction. We used the performance of the standard EGTs using ZnO by spray pyrolysis as the benchmark for the vertical architecture ones. The main parameters are field-effect mobility of $\sim 11 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$, a transconductance of $\sim 2.4 \text{ mS}$ and a subthreshold swing of $\sim 0.13 \text{ V dec}^{-1}$. For the EG-SB-VFET, we calculated the main figure-of-merit from the transfer curves, which are a current density of $\sim 111 \text{ mA cm}^{-2}$, a transconductance of $\sim 4.7 \text{ mS}$ and a subthreshold swing of $\sim 0.22 \text{ V dec}^{-1}$. By analyzing the current modulation on output curves, it is clear that we can control the electric behavior based on the bias connections once the same device can behave in a diode or a transistor mode. In conclusion, the achieved EG-SB-VFETs performance without high-resolution patterns is even better than the standard micrometric-sized EGT. Therefore, the EG-SB-VFET based on spray-deposited ZnO and AgNW layers is an innovative way to circumvent the challenges of conventional TFTs.

Keywords: printed electronics; vertical electrolyte-gated transistor; zinc oxide; silver nanowire.

Lista de figuras

- Figura 1** – (a) Estrutura padrão de um TFT com *gate* na base, na qual os eletrodos de fonte e dreno são coplanares, adaptada de ⁴⁴. (b) SB-FET com *gate* no topo, no qual os eletrodos de fonte e dreno são empilhados verticalmente. Para ambos, o comprimento do canal é indicado por L . (c) Vista lateral do SB-VFET, útil para ilustrar que tal estrutura é composta pelo empilhamento de um capacitor e um diodo. Figuras (b) e (c) adaptadas de ⁴⁵. 7
- Figura 2** - Estrutura química do PEDOT:PSS. Adaptado de *Shi et al* ⁸². 14
- Figura 3** - Diagramas de bandas para um semiconductor tipo-n: (a) antes e (b) após a junção entre o metal e o semiconductor. E_F é o nível de Fermi, ϕ_m é a função trabalho do metal, ϕ_s é a função trabalho do semiconductor e χ_s é a afinidade eletrônica do semiconductor. Também estão ilustrados outros parâmetros do semiconductor, como nível de Fermi (E_F), banda de condução (E_C) e banda de valência (E_V), além dos parâmetros da junção, como largura de depleção (W) e potencial *built-in* (V_i). Figura elaborada pelo autor, baseada em ⁹⁴. 17
- Figura 4** – Diagrama de bandas de energia de um contato retificador entre um metal e um semiconductor tipo-n. (a) Situação de equilíbrio térmico. (b) Polarização direta e (c) polarização reversa. Neste diagrama, V_F refere-se ao potencial aplicado em polarização direta, enquanto V_R à polarização reversa. Adaptada de ⁹⁴. 19
- Figura 5** – Curvas teóricas de (a) I-V, geradas a partir da simulação do circuito apresentado no *inset*, montado no *software LTspice* com diferentes valores para resistência em série (R_{serie}) e resistência em paralelo (R_p). (b) Curva ilustrativa de $R_i = dV/dI \times V$, calculada a partir das curvas de I-V. 24
- Figura 6** – Curva de $\alpha \times V$ calculada a partir da Equação 15, para o diodo Schottky simulado no *software LTspice*. Curva 1 para $R_{serie} = 10^3 \Omega$ e curva 2 para $R_{serie} = 0$. Figura baseada em ¹⁰⁶. 28
- Figura 7** – (a) Vista lateral da arquitetura de um TFT com *gate* no topo e eletrodos de fonte e dreno na base. (b) O canal (-) induzido próximo à interface dielétrico/semiconductor ao aplicar $V_{GATE} > 0$ é ilustrado considerando-se um semiconductor tipo-n. (c) Indicação do movimento dos portadores de carga ao aplicar uma diferença de potencial (V_{DS}) entre fonte e dreno. 30
- Figura 8** - Curvas típicas de um TFT com semiconductor tipo-n: (a) curvas de saída e (b) curva de transferência. Figuras digitalizadas a partir de ¹⁵, com propósito estritamente didático. 31
- Figura 9** – (a) Visão lateral de um EGT. Operação no modo de acumulação de portadores para um EGT cujo semiconductor tipo-p é (b) impermeável ou (c) permeável aos íons. Os EGTs podem ser divididos em transistores de dupla camada elétrica (EDLT) ou transistores eletroquímicos (ECT), respectivamente. Figura adaptada de ³⁶. 35
- Figura 10** – (a) Filme semiconductor rugoso depositado sobre substrato plano. Comparação entre (b) dielétrico e (c) eletrólito com relação ao acoplamento com o filme semiconductor irregular/rugoso. Figura adaptada de ¹. 37
- Figura 11 - Estruturas de SB-VFETs encontradas na literatura: (a) VOFET proposto por *Yang*⁴²; (b) utilizando nanotubo de carbono como eletrodo de fonte⁵³, (c) utilizando eletrodo de fonte com perfurações sub-micrométricas bem ordenadas⁴⁹ e (d) utilizando eletrodo intermediário de AgNW⁴⁵. Figuras adaptadas das respectivas referências. 39
- Figura 12** – (a) Diagrama representado o SB-VFET com perfurações sub-micrométricas bem ordenadas no eletrodo intermediário. (b) Vista lateral do eletrodo, indicando a acumulação de cargas negativas nas perfurações (contato virtual). (c) Ilustração da concentração de carga e formação do canal vertical. Figuras adaptadas de ¹⁰⁸. (d) Exemplo de curvas de saída esperada para o SB-VFET com semiconductor tipo-n, elaborada pelo autor baseado em ¹¹⁶. 41

Figura 13 – Evolução temporal da aproximação de uma gotícula em direção à superfície horizontal, para o caso específico no qual o impacto entre a gota e a superfície resulta na deposição do material. Figura retirada de ¹¹⁹	45
Figura 14 - a) Fotografia do sistema <i>homemade</i> de deposição por spray automatizado. b) Esboço ilustrando as partes que compõem o sistema, cujos parâmetros estão resumidos na Tabela 1 . c) Fotografia de filmes de PEDOT:PSS depositados por spray com várias camadas sobre substrato de vidro.	46
Figura 15 – Diagrama dos diferentes estágios do processo de evolução das gotículas enquanto se aproximam do substrato aquecido, com temperatura e velocidade constantes e diferentes tamanhos iniciais de gotícula (A-D). Figura adaptada de ¹²²	48
Figura 16 – Substratos de vidro recoberto com ITO, com dois padrões diferentes. (a) eletrodos interdigitados adquiridos da Ossila®, com distância entre dígitos de 50 μm e comprimento de eletrodo de 30 mm. (b) Padrão para os eletrodos de ITO com faixas de 0,1 cm obtidas via processo de decapagem de uma superfície totalmente recoberta com ITO. Ambas camadas de ITO possuem espessura de ~ 100 nm.	50
Figura 17 – (a,c) Diagrama e foto do diodo de PEDOT/ZnO-NP/Al, com pelo menos seis eletrodos circulares por substrato, com área de 1 mm^2 cada. (b,d) Diagrama e foto do diodo de ITO/ZnO/AgNW, com uma tira comum de AgNW às cinco tiras de ITO perpendicular, totalizando uma área sobreposta de 3 mm^2 . Ressalta-se que, devido a transparência, a identificação visual das camadas é prejudicada.	54
Figura 18 – Diagramas dos transistores com estrutura (a) planar e (b) vertical. Para ambos foi utilizado <i>gate</i> eletrolítico, eletrodo inferior de ITO e ZnO depositado por spray-pirólise. Os eletrodos de <i>gate</i> serão especificados no momento em que forem apresentados nos capítulos de resultados.	55
Figura 19 - Fotos dos principais equipamentos utilizados para a caracterização elétrica. (a) Analisador de impedância Solartron 1260 com interface dielétrica 1296 e (b) analisador de parâmetros semicondutores Keithley 4200-SCS.....	56
Figura 20 – Fotos dos sistemas <i>homemade</i> de medidas elétricos. (a) Criostato com sistema de aquecimento em vácuo e contatos realizados com tinta prata. (b) Base com campânula de acrílico e (c) posicionadores xyz para estabelecer os contatos elétricos por pressão.....	57
Figura 21 - (a) Gráfico de transmitância e espessura em função do número de camadas de ZnO-NP depositadas por spray sobre substrato de vidro. <i>Inset</i> : foto dos filmes analisados ilustrando a relação entre espessura e transparência. Imagens de MEV para o filme de 20 camadas com ampliação de (b) 1.000x e (c) 50.000x.....	60
Figura 22 - Gráficos da corrente medida entre dois eletrodos coplanares de Al sobre os quais depositou-se o filme de ZnO-NP com 10 camadas. (a) Valores de corrente extraídos de I-V em +5 V para diferentes temperaturas. (b) Comportamento da corrente no escuro e sob radiação UV, ambos medidos em atmosfera ambiente. As setas indicam o sentido da histerese. <i>Inset</i> : gráfico do ganho em função da voltagem.....	61
Figura 23 – Caracterizações referentes aos filmes de PEDOT:PSS sem tratamentos depositado por spray sobre substrato de vidro. (a) Curvas de transmitância <i>versus</i> comprimento de onda para as quatro espessuras, destacadas entre parênteses. (b) Gráfico de transmitância para o comprimento de onda de 550 nm e R_s em função do número de camadas de PEDOT:PSS.....	62
Figura 24 – Caracterizações referentes aos filmes de PEDOT:PSS submetidos ao tratamento de cossolvente realizado pós-deposição. (a) Curvas de transmitância $\times$ comprimento de onda para as quatro espessuras. (b) Gráfico de transmitância para o comprimento de onda de 550 nm e R_s em função do número de camadas de PEDOT:PSS.....	63

- Figura 25** – Comparação entre os valores de (a) resistência de folha e (b) condutividade para as quatro espessuras de PEDOT:PSS depositadas por spray. Os gráficos ilustram o efeito do tratamento térmico nos filmes. 64
- Figura 26** - Caracterização dos filmes de PEDOT:PSS depositados por spray. (a) Espectros RAMAN obtidos com laser 785 nm referentes ao filme puro (como recebido da Sigma-Aldrich) depositado por *casting* sobre vidro, após deposição por spray sobre quartzo e após tratamento com cossolvente. (b) Espectros de absorção UV-Vis referentes aos filmes de PEDOT:PSS depositado sobre quartzo após a deposição e após tratamento com cossolvente. 65
- Figura 27** – Espectros de emissão obtidos com laser 514,5 nm referentes ao (a) substrato de quartzo e aos filmes de PEDOT:PSS depositados por spray sobre quartzo (b) após deposição e (c) após tratamento com cossolvente. Imagens de microscopia de campo claro (DIC) dos filmes (d) não tratado e (e) tratado com cossolvente. 67
- Figura 28** – (a) Fotografia de um dispositivo PEDOT:PSS/ZnO-NP/Al estudado. (b) Diagrama ilustrando o diodo formado pela barreira Schottky de PEDOT:PSS/ZnO-NP obtida por spray e o contato ôhmico de Al evaporado no topo. 68
- Figura 29** – Curvas características de I-V para diodos Schottky, referentes aos diodos PEDOT/ZnO-NP/Al utilizando como eletrodo inferior (a) PEDOT:PSS de 1 camada e R_s de $2,61 \text{ k}\Omega \text{ sq}^{-1}$; e (b) PEDOT:PSS de 5 camadas de R_s $0,34 \text{ k}\Omega \text{ sq}^{-1}$. Ambos eletrodos foram submetidos ao tratamento com cossolvente pós-deposição. 69
- Figura 30** – Curvas de $R_i = dV/dI \times V$ (Lei de Ohm) calculadas a partir das curvas de I-V da Figura 29 (volta) suavizadas, para os diodos utilizando eletrodo inferior de (a) PEDOT 1; e (b) PEDOT 5. As linhas vermelhas tracejadas destacam os valores da resistência em paralelo (R_p), obtidos a partir da condutividade ($G_p = 1/R_p$) das curvas apresentadas nos respectivos *insets*. Circuito equivalente que representa um diodo real em polarização (c) direta e (d) reversa. 70
- Figura 31** – Curvas de corrente e inclinação diferencial (I-V e α -V) referentes à polarização direta dos diodos de PEDOT/ZnO-NP/Al com eletrodo inferior de (a) PEDOT 1 e (b) PEDOT 5. A partir das curvas de α -V, são calculados os parâmetros R_{serie} , n e ϕ_b 72
- Figura 32** – Grupo de parâmetros dependentes da voltagem calculados a partir do gráfico de α -V pelo método de *Mikhelashvili*: (a) R_{serie} ; (b-c) fator de idealidade n . Parâmetros referentes ao diodo de PEDOT:PSS/ZnO-NP/Al. 73
- Figura 33** - Grupo de parâmetros dependentes da voltagem calculados a partir do gráfico de α -V pelo método de *Mikhelashvili*: (a) corrente de saturação I_{SAT} ; e (b) variação da altura da barreira $\Delta\phi_b$ 74
- Figura 34** – Gráficos de (b) $G/I \times G$; (c) $dV/d\ln(I) \times I$; e (d) $I/G \times I$, obtidos a partir dos dados de (a) I-V para o diodo PEDOT/ZnO-NP/Al. Tais gráficos são úteis para determinação de R_{serie} e n pelo método de *Werner*. As linhas vermelhas são referentes aos ajustes lineares, que resultam nas equações da reta apresentadas na parte superior de cada gráfico. 75
- Figura 35** – Gráficos da função $H_{(I)}$ de *Cheung* em função da corrente obtidos a partir dos valores de n calculados por meio do (a) Plot A; e do (b) Plot C-*Cheung*. Obtêm-se os valores de R_{serie} e ϕ_b por meio dos ajustes lineares (linhas vermelhas). 77
- Figura 36** – Valores de R_{serie} , n e ϕ_b já apresentados nas Tabelas 3 e 4, calculados a partir dos métodos complementares de *Werner* e *Cheung* para os diodos de PEDOT/ZnO-NP/Al. 78
- Figura 37** – EGT com *gate* no topo e contatos na base, com camada ativa de nanopartículas de óxido de zinco (ZnO-NP) depositada por spray sobre eletrodos de fonte e dreno de ITO (Ossila®, $W = 30 \text{ mm}$ e $L = 50 \mu\text{m}$). (a) Fotografia da amostra. (b) Ilustração de um corte transversal conforme destacado. 79
- Figura 38** – Curvas de (a) saída para diferentes voltagens aplicadas ao *gate*, e (b) transferência para $V_{\text{DS}} = 1 \text{ V}$, referentes ao dispositivo de ZnO-NP com fonte e dreno de ITO (Ossila®, $W = 30 \text{ mm}$ e

$L = 50 \mu\text{m}$), dielétrico eletrolítico, e *gate* de grafite no topo. *Inset*: Curva de capacitância $\times$ voltagem em 1 Hz, obtida a partir da medida de impedância no modo capacitor, isto é, entre os eletrodos de *gate* e fonte..... 80

Figura 39 – EGTs formados por ZnO depositado por spray pirólise sobre eletrodos de ITO com padrão de fonte e dreno com W/L de 30mm/50 μm e (a) *gate* no topo. Eletrodos de *gate* de (b) ITO ou (c) Au. 82

Figura 40 – (a) Diagrama ilustrando as etapas dos filmes de ZnO depositados por spray pirólise sobre eletrodos interdigitados de ITO (Ossila, com W/L = 30mm/50 μm). (b) Comportamento da corrente e efeito do tratamento térmico de 400 °C no escuro por 1 hora do filme de ZnO. (c) Diferença entre a corrente através do filme de ZnO tratado (curva preta) e o aumento de corrente devido ao acoplamento do eletrólito (curva laranja). 84

Figura 41 – Medidas de (a) capacitância e (b) ângulo de fase em função da frequência para os capacitores montados de acordo com o diagrama (área $\sim 0,1 \text{ cm}^2$). Foram utilizados eletrodos simétricos de PET/ITO, vidro/Au, folha de Al e folha de Al recoberta com Au..... 86

Figura 42 – Curvas de saída para os EGTs de ZnO com arquitetura de contato na base e *gate* no topo, utilizando eletrodo de *gate* de (a) ITO e (b) Au. ZnO depositados por spray pirólise sobre eletrodos interdigitados de ITO (Ossila, com W/L = 30mm/50 μm)..... 88

Figura 43 – Curvas de transferência com $V_{DS} = 1 \text{ V}$ e taxa de varredura de 50 mV/s para os EGTs de ZnO, utilizando eletrodo de *gate* de (a) ITO e (b) Au. ZnO depositados por spray pirólise sobre eletrodos interdigitados de ITO (Ossila, com W/L = 30mm/50 μm)..... 88

Figura 44 - Extração dos parâmetros V_{TH} e μ a partir da curva de transferência dos EGTs de ZnO para $V_{DS} = 1 \text{ V}$. Gráficos de $(I_{DS})^{0,5} \times V_{GATE}$ para os eletrodos de *gate* de (a) ITO e (b) Au. 89

Figura 45 – Gráficos de $\mu \times V_{GATE}$ para os transistores com eletrodos de *gate* de (a) ITO e (b) Au. As curvas foram calculadas a partir da Equação 22 e das curvas de transferência para $V_{DS} = 1 \text{ V}$. Os valores de μ obtidos pela inclinação de $(I_{DS})^{0,5} \times V_{GATE}$ são exibidos em vermelho. 90

Figura 46 – Comportamento de $g_m/W \times V_{GATE}$ a partir da curva de transferência dos EGTs de ZnO para $V_{DS} = 1 \text{ V}$. Gráficos referentes aos transistores com eletrodo de *gate* de (a) ITO e (b) Au. Transcondutância normalizada pela largura do canal (30 mm)..... 90

Figura 47 – Gráficos de $dV_{GATE}/d\text{Log}(I_{DS}) \times V_{GATE}$ para os eletrodos de *gate* de (a) ITO e (b) Au. Os valores de SS são calculados a partir do ponto de mínimo de tais gráficos. 91

Figura 48 – (a) Imagem de MEV da rede de AgNW depositada por spray. Diagramas dos dispositivos utilizando ZnO depositado por spray pirólise como camada ativa e AgNW depositado por spray como eletrodo permeável. (b) Estrutura do diodo Schottky de ITO/ZnO/AgNW. 93

Figura 49 – Curvas de I-V para o diodo formado por ITO/ZnO/AgNW. Curvas referentes à cinco eletrodos diferentes de um mesmo substrato, sendo (a) antes e (b) depois de um tratamento térmico à 200 °C no escuro por 30 min. (c) Comparação entre as curvas médias com barras de erro, das quais foram extraídos os parâmetros do diodo, sendo RR a razão de retificação..... 95

Figura 50 – Curvas de $R_i = dV/dI \times V$ (Lei de Ohm) calculadas a partir das curvas médias de I-V da Figura 49, para os diodos (a) antes e (b) depois do tratamento térmico. As linhas vermelhas tracejadas destacam os valores da resistência em paralelo (R_p), obtidos a partir da condutância ($G_p = 1/R_p$) das curvas apresentadas nos respectivos *insets*. 96

Figura 51 - Curvas de corrente e inclinação diferencial (I-V e α -V) referentes à polarização direta dos diodos de ITO/ZnO/AgNW, sendo (a) antes e (b) depois do tratamento térmico. Os dados de I-V são os mesmos já apresentados na **Figura 49c**. A partir das curvas de α -V, são calculados os parâmetros R_{serie} , n e Φ_b 97

Figura 52 - Grupo de parâmetros dependentes da voltagem para os diodos antes e depois do tratamento térmico, calculados a partir do gráfico de α -V pelo método de <i>Mikhelashvili</i> : (a) R_{serie} ; (b-c) fator de idealidade n ; (d) corrente de saturação (I_{SAT}); e (e) variação da altura da barreira $\Delta\phi_b$	98
Figura 53 - Valores de R_{serie} , n e ϕ_b já apresentados nas Tabela 10 e Tabela 11 , calculados a partir dos métodos complementares de <i>Werner</i> e <i>Cheung</i> para os diodos de ITO/ZnO/AgNW.	101
Figura 54 – Diagrama do (a) diodo e do (b) transistor vertical com as respectivas conexões elétricas. (c) Curvas de saída referente ao transistor vertical ilustrado no diagrama, com V_{GATE} variando entre 0 e 1,0 V. A linha pontilhada vermelha representa a curva de I-V do diodo utilizado como base. (d) Corrente de fuga correspondente através do eletrólito.	103
Figura 55 – Gráficos obtidos a partir das curvas de saída para o transistor vertical: (a) gráfico de α -V obtido a partir das curvas de ($I_{\text{DS}} - I_{\text{GATE}}$). A curva de círculos vermelhos representa o comportamento padrão para o diodo ITO/ZnO/AgNW. Grupo de parâmetros dependentes da voltagem calculados a partir das curvas de α -V para 0,5 V_{GATE} e 1,0 V_{GATE} , pelo método de <i>Mikhelashvili</i> : (b) R_{serie} ; (c-d) fator de idealidade n ; e (e) corrente de saturação I_{SAT}	104
Figura 56 - Valores de R_{serie} e n já apresentados nas Tabela 12 e Tabela 13 , calculados a partir dos métodos complementares de <i>Werner</i> e <i>Cheung</i> para as curvas de 0,5 e 1,0 V_{GATE}	107
Figura 57 – (a) Diagrama ilustrando a estrutura do transistor, bem como as conexões elétricas utilizadas durante a medida. (b) Curvas de transferência e corrente de fuga para $V_{\text{DS}} = -1$ V. (c) Curva de transferência para $V_{\text{DS}} = -1$ V. Extração dos parâmetros J , V_{TH} , g_m/A e SS a partir da curva de transferência: (c) Gráfico de $J \times V_{\text{GATE}}$, a partir do qual é calculado o valor de V_{TH} ; (d) Gráfico de $g/A \times V_{\text{GATE}}$; e (e) Gráfico de $dV_{\text{GATE}}/d\log(I_{\text{DS}}) \times V_{\text{GATE}}$, a partir do qual calcula-se o valor de SS	108
Figura 58 - Curvas de saída referentes ao transistor eletrolítico vertical de ZnO sob duas condições de polarização: (a-b) com o eletrodo de ITO aterrado; e (c-d) com o eletrodo de AgNW aterrado. A curva pontilhada em azul representa o comportamento I-V do dispositivo medido no modo diodo Schottky.	113
Figura 59 - Curvas de transferência referentes ao transistor eletrolítico vertical de ZnO sob duas condições de polarização: (a-c) com o eletrodo de ITO aterrado; e (d-f) com o eletrodo de AgNW aterrado. As medidas foram obtidas para $V_{\text{DS}} = \pm 1$ e $V_{\text{DS}} = \pm 0,1$	115
Figura 60 - Comparação entre (a) as curvas de transferência obtidas no transistor eletrolítico vertical ao aterrar o eletrodo de ITO ou de AgNW para $V_{\text{DS}} = \pm 1$ V; e (b) mesmas curvas após transladar em 1 V apenas a curva referente ao AgNW (azul) para a esquerda.	117
Figura 61 - Diagrama do diodo Schottky ZnO depositado por spray pirólise como camada ativa e AgNW depositado por spray como eletrodo permeável.	136
Figura 62 - Gráficos de $G/I \times G$ (Plot A) obtidos a partir dos dados de I-V da Figura 49 para o diodo ITO/ZnO/AgNW: (a) antes e (b) depois do tratamento térmico. Tais gráficos são úteis para determinação de R_{serie} e n pelo método de <i>Werner</i> . As linhas vermelhas são referentes aos ajustes lineares, que resultam nas equações da reta apresentadas na parte superior de cada gráfico.	136
Figura 63 - Gráficos de $I/G \times I$ (Plot C) obtidos a partir dos dados de I-V da Figura 49 para o diodo ITO/ZnO/AgNW: (a) antes e (b) depois do tratamento térmico. Tais gráficos são úteis para determinação de R_{serie} e n pelo método de <i>Werner</i> . As linhas vermelhas são referentes aos ajustes lineares, que resultam nas equações da reta apresentadas na parte superior de cada gráfico.	137
Figura 64 - Gráficos da função $H_{(t)}$ de <i>Cheung</i> em função da corrente obtidos a partir dos valores de n calculados por meio do Plot A: (a) antes e (b) depois do tratamento térmico. Obtêm-se os valores de R_{serie} e ϕ_b por meio dos ajustes lineares (linhas vermelhas).	138

Figura 65 - Gráficos da função $H_{(I)}$ de Cheung em função da corrente obtidos a partir dos valores de n calculados por meio do Plot C: (a) antes e (b) depois do tratamento térmico. Obtêm-se os valores de R_{serie} e ϕb por meio dos ajustes lineares (linhas vermelhas).	138
Figura 66 - Diagrama do SB-EG-VFET obtido ao posicionar o eletrólito sobre o diodo de ITO/ZnO/AgNW. A camada ativa de ZnO foi depositada por spray pirólise e eletrodo intermediário de AgNW depositado por spray como eletrodo permeável.	139
Figura 67 - Gráficos de $G/I \times G$ (Plot A) obtidos a partir dos dados de I-V da Figura 54 para o SB-EG-VFET, com V_{GATE} igual a (a) 1,0 V e (b) 0,5 V. Tais gráficos são úteis para determinação de R_{serie} e n pelo método de Werner. As linhas vermelhas são referentes aos ajustes lineares, que resultam nas equações da reta apresentadas na parte superior de cada gráfico.	139
Figura 68 - Gráficos de $I/G \times I$ (Plot C) obtidos a partir dos dados de I-V da Figura 54 para o para o SB-EG-VFET, com V_{GATE} igual a (a) 1,0 V e (b) 0,5 V. Tais gráficos são úteis para determinação de R_{serie} e n pelo método de Werner. As linhas vermelhas são referentes aos ajustes lineares, que resultam nas equações da reta apresentadas na parte superior de cada gráfico.	140
Figura 69 - Gráficos da função $H_{(I)}$ de Cheung em função da corrente obtidos a partir dos valores de n calculados por meio do Plot A com V_{GATE} igual a (a) 1,0 V e (b) 0,5 V. Obtêm-se os valores de R_{serie} e ϕb por meio dos ajustes lineares (linhas vermelhas).	141
Figura 70 - Gráficos da função $H_{(I)}$ de Cheung em função da corrente obtidos a partir dos valores de n calculados por meio do Plot C com V_{GATE} igual a (a) 1,0 V e (b) 0,5 V. Obtêm-se os valores de R_{serie} e ϕb por meio dos ajustes lineares (linhas vermelhas).	141
Figura 71 - (a) Curvas de saída referente ao transistor vertical com <i>gate</i> de ITO ilustrado no diagrama, com V_{GATE} variando entre 0 e 1,25 V. A linha pontilhada azul representa a curva de I-V medida no modo diodo utilizado como um valor de referência. (b) Corrente de fuga correspondente.	142
Figura 72 - (a) Curvas de transferência referente ao transistor vertical com <i>gate</i> de ITO ilustrado no diagrama, para diferentes valores de V_{DS} . (b) Corrente de fuga correspondente.	143
Figura 73 - Curvas de transferência para o mesmo transistor utilizando ITO como eletrodo de <i>gate</i> e com duas conexões diferentes, conforme ilustrado nos diagramas. (a) ITO da base aterrado e (b) com o eletrodo intermediário de AgNW aterrado.	144
Figura 74 - Curvas de transferência para o mesmo transistor utilizando grafite como eletrodo de <i>gate</i> e com duas conexões diferentes, conforme ilustrado nos diagramas. (a) ITO da base aterrado e (b) com o eletrodo intermediário de AgNW aterrado.	145
Figura 75 – Curvas de transferência para o dispositivo ilustrado no <i>inset</i> , com eletrodo de ITO da base aterrado e <i>gate</i> de Au. (a) Curva com $V_{DS} = -1$ V; (b) degradação de I_{DS} para $V_{DS} = 1$ V; e (c) curva para $V_{DS} = -1$ V após a degradação do dispositivo.	146
Figura 76 – Imagem de MEV dos AgNW depositados por spray. (a) Imagem da fronteira dentre duas regiões da amostra. (b) Imagem que destaca os AgNW não tiveram contato com o eletrólito. (c) Imagem que destaca os AgNW que tiveram contato direto com o eletrólito.	147
Figura 77 – Curvas de transferência para $V_{DS} = -1$ V. (a) Degradação de I_{DS} com sucessivo estresse de voltagem. (b) Comportamento de I_{DS} após incidência de radiação UV (365 nm).	148

Lista de tabelas

Tabela 1 – Resumo das informações que estão descritas nos itens 3.3.1 e 3.3.2, referentes aos parâmetros de deposição por spray para os diferentes materiais utilizados no estudo. Encontra-se abaixo os materiais e solventes utilizados, a velocidade de deslocamento do aerógrafo durante a deposição, distância entre o aerógrafo e o substrato, fluxo de ar controlado, temperatura do substrato durante a deposição e tratamento térmico pós-deposição.....	51
Tabela 2 – Principais parâmetros dos filmes de PEDOT:PSS com 4 camadas depositadas por spray sobre substrato de quartzo. Os parâmetros resistência de folha, espessura e condutividade foram determinados antes e depois do tratamento com cossolvente dos filmes de PEDOT:PSS.....	64
Tabela 3 – Parâmetros calculados referentes aos diodos de PEDOT/ZnO-NP/Al, onde os R_{serie} , G_p e R_p foram extraídos a partir das curvas de $R_i \times V$ apresentadas na Figura 30 , RR é a razão de retificação visível na Figura 29 , e R_s é a resistência de folha do filme de PEDOT:PSS utilizado como eletrodo inferior.....	71
Tabela 4 – Valores de R_{serie} e n calculados pelo método de <i>Werner</i> para os diodos de PEDOT/ZnO-NP/Al a partir dos gráficos apresentados na Figura 34	76
Tabela 5 – Valores de R_{serie} e $\emptyset b$ calculados por meio da função $H_{(I)}$ de <i>Cheung</i> , para os diodos de PEDOT/ZnO-NP/Al. Tais valores foram calculados utilizando os valores de n previamente calculados pelo método de <i>Werner</i>	78
Tabela 6 – Valores médios das figuras de mérito de 12 EGT de ZnO-NP depositados por spray, que inclui V_{TH} , mobilidade calculada considerando-se $C_i \sim 20 \mu F cm^{-2}$, razão I_{ON}/I_{OFF} e histerese entre os sentidos de varredura de V_{GATE} para $I_{DS} = 1 \mu A$	81
Tabela 7 – Principais parâmetros extraídos diretamente das curvas de capacitância e ângulo de fase (Figura 41), referentes aos quatro diferentes capacitores.....	87
Tabela 8 – Resumo dos principais parâmetros para EGTs de ZnO. São comparados os parâmetros dos EGTs com <i>gate</i> de folha de Al revestida de Au apresentados aqui, com alguns dispositivos reportados na literatura ^{32,37,38,40,41}	93
Tabela 9 - Valores calculados para a condutância (G_p), resistência em paralelo (R_p), resistência em série (R_{serie}) e razão de retificação (RR) a partir das curvas de $R_i \times V$ apresentadas na Figura 50 , referentes aos diodos de ITO/ZnO/AgNW.	96
Tabela 10 - Valores de R_{serie} e n calculados pelo método de <i>Werner</i> para os diodos de ITO/ZnO/AgNW a partir dos gráficos apresentados no Apêndice I. Ressalta-se que, pela similaridade de valores entre o Plot C e o Plot de <i>Cheung</i> , optou-se por omitir os gráficos de $dV/d\ln(I)$	100
Tabela 11 - Valores de R_{serie} e $\emptyset_b$ calculados por meio da função $H_{(I)}$ de <i>Cheung</i> , para os diodos de ITO/ZnO/AgNW. Tais valores foram calculados utilizando os valores de n previamente calculados pelo método de <i>Werner</i> . Os gráficos são apresentados no Apêndice I.	100
Tabela 12 - Valores de R_{serie} e n calculados pelo método de <i>Werner</i> para as curvas de 0,5 e 1,0 V_{GATE} a partir dos gráficos apresentados no Apêndice I. Ressalta-se que, pela similaridade de valores entre o Plot C e o Plot de <i>Cheung</i> , optou-se por omitir os gráficos de $dV/d\ln(I)$	105
Tabela 13 - Valores de R_{serie} e $\emptyset_b$ calculados por meio da função $H_{(I)}$ de <i>Cheung</i> , para as curvas de 0,5 e 1,0 V_{GATE} . Tais valores foram calculados utilizando os valores de n previamente calculados pelo método de <i>Werner</i> . Os gráficos são apresentados no Apêndice I.	106

Tabela 14 – Resumo dos principais parâmetros para os EGTs planar e vertical de ZnO. São comparados os valores calculados para os dispositivos apresentados na presente tese com valores para dispositivos compatíveis reportados na literatura ^{32,37,38,40,41,46,62,63}	110
Tabela 15 - Principais parâmetros calculados para o transistor vertical de ZnO nas situações de polarização nas quais os eletrodos de ITO ou AgNW senão aterrados. Além disso, para cada condição, foram calculados os valores para $V_{DS} = \pm 1$ V e $V_{DS} = \pm 0,1$ V.....	116
Tabela 16 - Parâmetros de quatro diferentes diodos Schottky utilizando ZnO depositado por spray desenvolvidos no LaDSOr.	122

Lista de abreviações e siglas

LaDSOr – Laboratório de dispositivos e sensores orgânicos, liderado pelo Prof. Dr. Neri alves

ZnO - óxido de zinco

ZnO-NP - nanopartículas de óxido de zinco

P3HT - poli(3-hexiltiofeno)

Au - ouro

Al - alumínio

Sn - estanho

ITO - óxido de estanho e índio

AgNW - nanofios de prata

DC – corrente contínua

AC – corrente alternada

SMU – unidades de fonte e medição

PEDOT:PSS - *poly(3,4-ethylenedioxythiophene) polystyrene sulfonate*

OFET - *organic field effect transistor*

TFT - *thin-film transistor*

EGT - *electrolyte-gated transistor*

ECT - *electrochemical transistor*

EDLT - *electric-double-layer transistor*

VOFET - *vertical organic field-effect transistor*

SB-VFET - transistor vertical de efeito de campo e barreira Schottky

EG-SB-VFET - SB-VFET com componente eletrolítico

P(VDF-HFP) - poli(fluoreto vinilideno-co-hexafluoropropileno)

[EMI][TFSA] - 1-etil-3-metilimidazólio bis(trifluorometilsulfonil)amida

SCLC - *space-charge limited current*

PBS - *positive-bias stress*

PBTS - *positive-bias temperature stress*

Lista de símbolos

q - carga elementar	ϕ_{b0} - altura da barreira sem polarização
Q - carga do capacitor	G - condutância
L - comprimento do canal de um TFT	g_m - transcondutância
W - largura do canal de um TFT	g_m/W - transcondutância normalizada pela largura do canal
d - espessura do filme	g_m/A - transcondutância normalizada pela área do eletrodo
V_i - potencial de <i>built-in</i>	SS - <i>subthreshold swing</i>
V_F - <i>forward voltage</i>	μ - mobilidade de saturação
V_R - <i>reverse voltage</i>	C_i - capacitância do isolante
χ - afinidade eletrônica	ρ - resistividade
E_g - energia de gap	σ - condutividade
E_C - energia da banda de condução	V_{DS} - voltagem entre os eletrodos de dreno e fonte
E_v - energia da banda de valência	V_{GATE} - voltagem aplicada ao <i>gate</i>
ϕ_m - função trabalho do metal	I_{DS} - corrente medida entre dreno e fonte
ϕ_s - função trabalho do semiconductor	V_{TH} - voltagem limiar
k - constante de Boltzmann	I_{ON}/I_{OFF} - razão entre a corrente no estado ligado e desligado
T - temperatura	J_{eff} - densidade de corrente efetiva
V - voltagem aplicada	
I - corrente medida	
$I-V$ - curva corrente em função da voltagem	
A^* - constante de Richardson	
n - fator de idealidade	
α - inclinação diferencial	
R_i - resistência diferencial	
R_{serie} - resistência em serie	
R_s - resistência de folha	
R_p - resistência de em paralelo	
RR - razão de retificação	
I_{SAT} - corrente de saturação	
$H_{(I)}$ - função de <i>Cheung</i>	
$\Delta\phi_b$ - variação da barreira	
ϕ_b - altura da barreira	

*The oldest and strongest emotion of mankind
Is fear, and the oldest and strongest kind of
Fear is fear for the unknown.*
H. P. Lovecraft

Sumário

1. Introdução.....	1
1.1. Motivação.....	1
1.2. Panorama dos dispositivos	4
1.3. Objetivos	11
2. Fundamentos teóricos	12
2.1. Materiais condutores	12
2.2. Contato metal/semicondutor.....	16
2.2.1. Formação da barreira Schottky	16
2.2.2. Contatos ôhmicos e Schottky para o ZnO.....	21
2.2.3. Diodo Schottky e determinação dos parâmetros.....	22
2.3. Transistores de efeito de campo	30
2.3.1. Transistores eletrolíticos	34
2.3.2. Transistores verticais de barreira Schottky	38
3. Materiais e métodos	43
3.1. Materiais.....	43
3.2. Deposição por spray	44
3.2.1. Sistema homemade de deposição.....	45
3.2.2. Spray pirólise do ZnO	47
3.3. Descrição do preparo das amostras	49
3.3.1. Filmes de ZnO e PEDOT:PSS	51
3.3.2. Fabricação dos diodos.....	53
3.3.3. Fabricação dos transistores	54
3.4. Caracterizações elétricas, morfológicas e óticas	55
4. Dispositivos com nanopartículas de ZnO.....	59
4.1. Caracterização inicial dos filmes.....	59
4.1.1. Deposição por spray dos filmes de ZnO-NP e PEDOT:PSS	59
4.1.2. Caracterização dos filmes de PEDOT:PSS depositados por spray	64
4.2. Análise elétrica do diodo PEDOT/ZnO-NP/Al	68
4.2.1. Determinação dos parâmetros pelo método de Mikhelashvili.....	71
4.2.2. Determinação dos parâmetros pelos métodos de Werner e Cheung.....	74
4.3. Transistores eletrolíticos (ZnO-NP EGTs).....	79
5. Dispositivos com ZnO sintetizado por spray-pirólise	82
5.1. Transistor eletrolítico	82
5.1.1. Caracterizações preliminares	83

5.1.2.	Caracterização do transistor planar	87
5.2.	Diodos Schottky de ZnO e AgNW	93
5.3.	Transistor eletrolítico vertical	101
5.3.1.	Caracterização inicial do transistor vertical	102
5.3.2.	Comparação entre as polarizações	110
6.	Trabalhos correlatos	119
6.1.	Breve resumo de publicações do Laboratório de Dispositivos e Sensores Orgânicos (LaDSOr)	119
6.2.	Trabalhos em desenvolvimento	122
7.	Conclusão e perspectivas	125
	Referências	129
	Apêndice I: parâmetros extraídos dos gráficos de I-V	136
I.1.	Gráficos utilizados no método de Werner e Cheung para os diodos ITO/ZnO/AgNW	136
I.2.	Gráficos utilizados para os métodos de Werner e Cheung para as curvas de saída do SB-EG-VFET	138
	Apêndice II: Caracterizações adicionais de SB-EG-VFETs	142
II.1.	SB-EG-VFETs com <i>gate</i> de ITO e grafite	142
II.2.	Estabilidade do vertical	145
II.3.	Estresse de voltagem e radiação UV	147

1. Introdução

1.1.Motivação

A eletrônica impressa é uma área promissora que propõe contornar algumas limitações existentes na eletrônica do silício, criando novos nichos e aplicações¹. As principais vantagens da eletrônica impressa incluem deposições em grandes áreas, baixo custo de implementação, circuitos e sistemas customizáveis e flexibilidade mecânica. O interesse por este ramo da eletrônica tem aumentado rapidamente desde o desenvolvimento do primeiro circuito complexo no final dos anos 1990s envolvendo a fabricação reprodutível de circuitos integrados poliméricos^{2,3}. Atualmente, a demanda por dispositivos impressos com desempenho suficiente para aplicações comerciais exige uma abordagem multidisciplinar que envolve desde a síntese de materiais e o aprimoramento de técnicas de deposição, até o desenvolvimento de dispositivos com novas arquiteturas⁴.

Para a produção de dispositivos por impressão é necessária a otimização ou desenvolvimento de novos materiais semicondutores (orgânicos e inorgânicos) através da melhoria nos processos de dopagem, síntese e avanços nas técnicas de deposição. Os semicondutores orgânicos compõem uma família de materiais que tem sido alvo de intensas pesquisas ao longo das últimas décadas, principalmente a partir da descoberta dos polímeros condutores^{4,5}. A síntese química de semicondutores orgânicos oferece uma grande variedade de materiais solúveis, tanto poliméricos como macromoleculares, e o uso destes na forma de filmes finos é muito atraente para a produção de dispositivos. A possibilidade de materiais orgânicos serem processáveis por solução viabilizou o desenvolvimento da eletrônica impressa. Porém, alguns desafios ainda devem ser superados para que o seu potencial econômico seja amplamente explorado⁶. Por exemplo, melhorar a estabilidade das propriedades elétricas em

atmosfera ambiente, aumentar o desempenho para viabilizar aplicações comerciais e diminuir a variabilidade entre dispositivos.

Em paralelo ao desenvolvimento dos semicondutores e condutores orgânicos, os óxidos metálicos semicondutores emergem como materiais alternativos para a eletrônica impressa. Filmes finos de óxidos metálicos também podem ser processados a partir de soluções de precursores orgânicos ou dispersão de nanopartículas, e inclusive incorporam qualidades que faltam aos orgânicos, como por exemplo mobilidade de carga suficientemente alta para uso em *displays* baseados em diodos orgânicos emissores de luz (OLEDs)⁶. Assim, na eletrônica impressa, os óxidos metálicos são usados de forma complementar aos semicondutores orgânicos.

Entre os óxidos metálicos, o óxido de zinco (ZnO) é um semicondutor tipo-n que tem se destacado devido à sua alta mobilidade de elétrons, largo *band-gap* ($\sim 3,4$ eV) e alta transparência⁷. Além disso, o ZnO pode ser depositado em diferentes substratos, como silício, plástico, vidro, podendo resultar em dispositivos totalmente transparentes⁸. A obtenção de ZnO na forma de filme fino pode ser feita por meio de várias técnicas como *atomic layer deposition* (ALD), *sputtering*, *spincoating*, recobrimento por spray, entre outras. As propriedades do filme de ZnO dependem da técnica de deposição utilizada, sendo que cada uma apresenta vantagens e desvantagens que devem ser avaliadas de acordo com o objetivo desejado. Em um cenário no qual as técnicas de impressão são alternativas viáveis para a fabricação de dispositivos eletrônicos⁹, o processamento por solução do ZnO é particularmente interessante, por exemplo, visando aplicação em transistores de filmes finos (TFTs) transparentes e de baixo custo¹⁰.

O processamento de semicondutores inorgânicos por solução pode ser dividido em duas categorias¹⁰. Na primeira, usa-se o material semicondutor em dispersão na forma de tinta que, após a deposição, resulta em uma camada semicondutora sem a necessidade de tratamentos adicionais. Nesta categoria, inclui-se nanopartículas de óxidos metálicos, nanotubo de carbono,

e semicondutores 2D como grafeno e disulfeto de molibdênio. Na segunda, o material semicondutor é obtido a partir da deposição da solução precursora do mesmo. Para isso, é necessário que a deposição seja feita sob temperatura elevada (geralmente superior a 300 °C) ou que seja aplicada uma etapa de pós-processamento como tratamento térmico, cura na presença de luz, entre outras¹¹.

Em geral, as tecnologias de impressão englobam um grupo de técnica de fabricação aditiva, isto é, metodologias que permitem a adição direta de materiais em determinadas superfícies. É necessário esclarecer que alguns autores^{1,10} fazem distinção entre as expressões “técnicas de processamento por solução” e “técnicas de impressão”, referindo-se à cobertura total de uma superfície e à possibilidade de deposição com resolução sub-milimétrica, respectivamente. Porém, os dois termos serão tratados como sinônimos neste texto.

Muitos processos comuns para a deposição de filmes finos em escala de laboratório, como *spin-coating*, etapas a vácuo e/ou em atmosfera de nitrogênio, não são compatíveis com uma produção em larga escala. Contudo, o revestimento por spray se destaca entre as técnicas de impressão quando há a necessidade de deposição de filmes sobre grandes áreas. Nestes casos, a técnica de deposição de materiais por spray, que é um método de recobrimento de superfícies sem contato direto com o substrato, é ainda mais interessante do que jato de tinta, impressão por gravura, serigrafia, etc¹². Entre as vantagens da técnica de deposição por spray inclui-se a possibilidade de deposição de fluidos com diferentes reologias de maneira simples e com baixo custo de implementação, capacidade de deposição em diversos substratos e geometrias, e facilidade para implementação de produção em larga-escala¹³. Portanto, propõe-se na presente tese o estudo de transistores eletrolíticos verticais baseados em ZnO e nanofio de prata (AgNW) como camadas semicondutora e eletrodo intermediário, respectivamente. O uso de tais materiais obtidos por spray e compondo um transistor eletrolítico vertical resulta em um

dispositivo com bom desempenho sem a necessidade de geometrias micrométricas padronizadas com alta resolução.

1.2. Panorama dos dispositivos

Os diodos e transistores são componentes eletrônicos de grande importância do ponto de vista tecnológico, pois estão presente em praticamente todos os circuitos eletrônicos. Além disso, são dispositivos fundamentais do ponto de vista científico, devido à utilidade para a caracterização dos materiais isolantes, semicondutores, condutores e suas interfaces^{14,15}. Será apresentado um panorama sobre diodo Schottky, transistores de filmes finos (TFTs), transistores eletrolíticos (EGTs) e transistores verticais de barreira Schottky (SB-VFET), especialmente os desenvolvidos com camada ativa de ZnO. Além disso, será apresentada a promissora proposta dos transistores eletrolíticos verticais (VETs) e uma breve descrição sobre a pesquisa em transistores verticais no Brasil.

Conhecido desde 1968¹⁶ como um canal semicondutor em transistor, o ZnO se tornou um material muito atraente para o uso em TFTs a partir do início dos anos 2000s devido ao interesse por aplicação em circuitos transparentes^{17,18}. Desde então, observa-se um aumento no número de trabalhos com ZnO em TFTs, o qual não é acompanhado pela quantidade de estudos de ZnO em diodos Schottky¹⁹. *Nakano et al*, por exemplo, reportam a realização de uma junção Schottky de alta qualidade por meio da deposição de Poli(3,4-etilenodioxitiofeno):Poli(estirenosulfonado) (PEDOT:PSS) sobre um substrato de ZnO monocristalino²⁰.

Diversos autores apresentam estudos de diodos de ZnO processado por solução. Entre eles, destacam-se: (i) *Semple et al* que desenvolveram um método para a fabricação de diodos Schottky coplanares com distância nanométrica entre eletrodos (< 20 nm) por meio de uma técnica simples de litografia. Além da inovadora arquitetura coplanar com dois eletrodos

assimétricos, o excelente desempenho do diodo é atribuído à formação de um contato Schottky na interface Au/ZnO^{19,21}; (ii) *Hernandez-Como et al* que utilizaram filmes finos de ZnO, depositado por *sputtering* de rádio frequência e temperatura máxima de processamento de 80 °C, para a detecção de UV com uma responsividade de 0,013 A W⁻¹ ²²; (iii) *Vieira et al* que desenvolveram diodo com contato Schottky ZnO/PEDOT:PSS depositado por spray, visando aplicação como um sensor de UV barato, simples e altamente responsivo²³. Além disso, destaca-se também o desenvolvimento de diodos flexíveis de ZnO/PEDOT:PSS²⁴ e diodos processados por solução com aplicação em alta frequência que competem com os diodos Schottky de rádio frequência no atual estado-da-arte²⁵.

O primeiro TFT reportado na literatura foi produzido por Weimer em 1962, que utilizou filme finos de sulfeto de cádmium (CdS) policristalino como semicondutor, depositados sobre os eletrodos de fonte e dreno de ouro, com *gate* no topo²⁶. Desde então, pesquisadores tentaram aplicar os óxidos semicondutores como canal em TFTs. Porém, apenas a partir de 2003 obtiveram-se dispositivos com desempenho satisfatório o suficiente para mostrar a viabilidade tecnológica de TFTs baseados em óxidos semicondutores. Os estudos de TFTs baseados em filmes policristalinos de ZnO realizados por *Hoffman et al*²⁷, *Carcia et al*²⁸ e *Masuda et al*²⁹, foram os responsáveis por consolidar tal inovação. Outra contribuição relevante foi a aplicação de filmes de ZnO processados por solução³⁰ para o desenvolvimento de TFTs compatíveis com deposições em grandes áreas. Destacam-se os trabalhos de *Anthopoulos et al* em 2009, cujas camadas de ZnO foram depositadas por spray pirólise com temperaturas entre 200-500 °C em atmosfera ambiente sobre SiO₂, utilizando eletrodos de fonte e dreno de Al^{6,31}.

Recentemente, *Cho et al* reportaram um estudo sobre TFTs estáveis e de alto desempenho para filmes policristalinos de ZnO depositados por spray pirólise, atingindo mobilidade de efeito de campo de ~14,7 cm² V⁻¹ s⁻¹, razão I_{ON}/I_{OFF} de ~10⁹ e *subthreshold*

swing de $\sim 0,49 \text{ V dec}^{-1}$ ³². Entre outros exemplos de estudos atuais com TFTs de ZnO depositado por spray pirólise, destaca-se a aplicação de métodos de planejamento de experimentos (DOE) para avaliar o efeito dos vários parâmetros de fabricação por meio de um número reduzido de experimentos³³. Além disso, *Kumar et al* reportam uma comparação entre TFTs de ZnO depositados por *sputtering* e spray pirólise aplicados à detecção de UV³⁴.

Além dos TFTs convencionais como ilustrado na **Figura 1a**, duas arquiteturas que se destacam são os transistores eletrolíticos (EGTs)[†] e os transistores verticais de efeito de campo (VFET). Tais arquiteturas se destacam principalmente para contornar as limitações de semicondutores com baixa mobilidade na busca por dispositivos que permitam modular correntes mais elevadas com menores tensões de polarização^{5,35}.

Nos EGTs, o dielétrico convencional de um TFT é substituído por eletrólitos, que podem ser de diferentes naturezas, como líquido, gel ou sólido. A alta capacitância, da ordem de $1\text{-}10 \mu\text{F cm}^{-2}$, devido à formação de dupla camada entre as interfaces *gate*/eletrólito e eletrólito/semicondutor, é responsável por reduzir a voltagem de operação dos transistores³⁶. Entre o grande número de EGTs encontrados na literatura, destacam-se alguns trabalhos que utilizam ZnO como camada semicondutora. Um tema bastante recorrente é a combinação de EGTs de ZnO e poli(3-hexiltiofeno) (P3HT) para o desenvolvimento de inversores híbridos complementares com baixa voltagem de operação³⁷⁻³⁹. Também se destacam os estudos de EGTs a base de ZnO usando substratos flexíveis. Por exemplo, *Carvalho et al* reportam um EGT de ZnO totalmente impresso sobre papel. Enquanto os EGTs depositados sobre vidro com tratamento térmico a $350 \text{ }^{\circ}\text{C}$ atingiram mobilidade $> 5 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$, a otimização das tintas de ZnO permitiu o desenvolvimento do dispositivo sobre papel ($150 \text{ }^{\circ}\text{C}$) com mobilidade de

[†] A sigla EGT refere-se ao termo *electrolyte-gated transistor*. Optamos por utilizar o termo “transistor eletrolítico” ao longo do texto. Com essa simplificação da nomenclatura, buscamos contornar as dificuldades com a tradução e a coerência com o significado do termo em português.

$0,07 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ ⁴⁰. *Bidoky et al* propõem um processo fácil de alta resolução para a fabricação de EGTs e inversores usando um gel iônico depositado por serigrafia. Os dispositivos atingiram mobilidade $> 2 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$, $I_{\text{ON}}/I_{\text{OFF}} > 10^5$ e transcondutância normalizada de 20 S m^{-1} ⁴¹.

Os VFETs são transistores cuja a estrutura é constituída de várias camadas nanométricas, que são empilhadas de forma que o filme semiconductor seja posicionado entre os eletrodos de fonte e dreno. Assim, o comprimento do canal (L) do dispositivo é definido pela espessura da camada semicondutora, tipicamente da ordem de poucos nanômetros. Em contraste com o TFT convencional ilustrado na **Figura 1a**, a estrutura pioneira proposta por *Ma e Yang* em 2004⁴² permite a produção de canais em escala nanométrica a partir de técnicas simples, compatíveis com a proposta da eletrônica impressa. Como sintetizado por *Kleemann et al*⁴³, existem várias estruturas de transistores verticais disponíveis. Optamos por focar na estrutura utilizada no presente estudo, ou seja, no VFET com barreira Schottky (SB-VFET) com *gate* no topo conforme ilustrado nas **Figura 1b-c**.

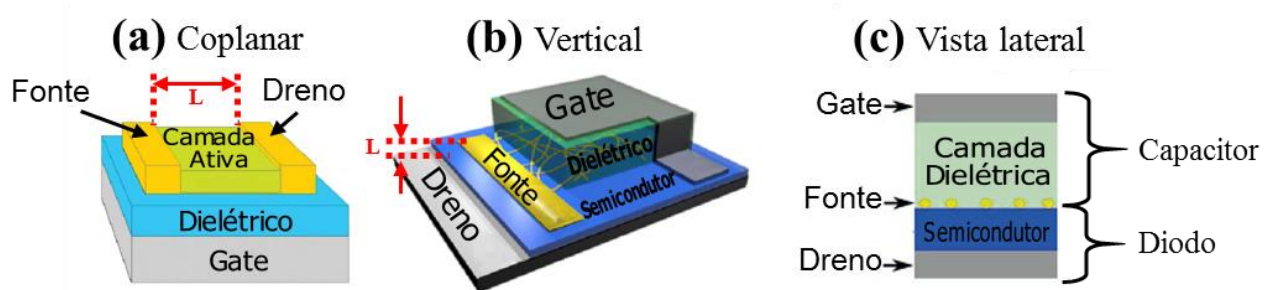


Figura 1 – (a) Estrutura padrão de um TFT com *gate* na base, na qual os eletrodos de fonte e dreno são coplanares, adaptada de ⁴⁴. (b) SB-FET com *gate* no topo, no qual os eletrodos de fonte e dreno são empilhados verticalmente. Para ambos, o comprimento do canal é indicado por L . (c) Vista lateral do SB-VFET, útil para ilustrar que tal estrutura é composta pelo empilhamento de um capacitor e um diodo. Figuras (b) e (c) adaptadas de ⁴⁵.

O SB-VFET é composto por duas partes: capacitor, formado pela camada dielétrica entre o eletrodo de *gate* e o eletrodo intermediário; e diodo, formado pela camada semicondutora entre o eletrodo intermediário e o eletrodo de dreno. Como ilustrado pela **Figura 1c**, as duas partes são conectadas pelo eletrodo intermediário. Como será aprofundado no item 2.3.2, o eletrodo intermediário é o principal parâmetro estrutural, pois é necessário reunir as

características de permeabilidade ao campo elétrico de *gate* e condutividade suficientemente alta para utilização como eletrodo. Algumas abordagens são encontradas na literatura para atingir essa condição, por exemplo o uso de nanotubo de carbono^{44,46}, estrutura de grade obtida por *patterning*⁴⁷⁻⁴⁹, eletrodo de estanho evaporado em condições específicas^{50,51}, ou o uso de nanofios metálicos^{45,52}. Ressalta-se que as contribuições dos pesquisadores *Rinzler et al*^{44,46,53} e *Tessler et al*^{47,49,54} ao longo da última década destacam-se como os estudos mais consistentes e esclarecedores sobre o tema.

No contexto nacional, existem alguns grupos de pesquisa que estudam transistores verticais. O pioneiro desta área no Brasil foi o Prof. Dr. Ivo Hümmelgen[‡] (UFPR, Curitiba), que desde 2011 publicou diversos artigos relevantes sobre o assunto^{50,55,56}. Além disso, contribuiu de forma direta ou indireta com todos os outros grupos nacionais que estudam o assunto. Nosso interesse pelo tema se iniciou no projeto de mestrado em 2014 (proc. FAPESP 2013/26973-5). O estudo resultou na publicação de um artigo sobre VFET utilizando P3HT como semicondutor e eletrodo permeável de estanho⁵¹. Além do atual projeto de doutorado (proc. FAPESP 2018/02037-2), outro projeto de doutorado do pesquisador Douglas Vieira (proc. FAPESP 2020/12282-4) visa expandir os estudos que aqui foram iniciados. O pesquisador Dr. Luiz G.S. Albano, então aluno de doutorado sob orientação do Prof. Dr. Carlos Graeff (Unesp/Bauru), publicou um estudo utilizando AgNW como eletrodo permeável e C₆₀ como semicondutor tipo-n⁵². O pesquisador Dr. Ali Nawaz, ex-aluno de doutorado do Prof. Ivo, conduziu um projeto em conjunto com o Prof. Dr. Carlos Bufon (LNNano/CNPEM - Campinas), que resultou em um estudo bastante sofisticado sobre o uso de nanomembranas em transistores verticais orgânicos⁵⁷. Entre os trabalhos recentes mais relevantes para o tema da

[‡] Em nome do Laboratório de Dispositivos e Sensores Orgânicos (LaDSOr), presto aqui homenagem póstumas ao Prof. Ivo e agradeço todo o apoio e incentivo recebido dele no início de nossos estudos com VFETs.

presente tese, destaca-se a proposta da Prof^a. Dr^a. Keli Seidel (UTFPR/Curitiba) para a fabricação de transistores eletrolíticos verticais, que incluem os modos de funcionamento por efeito de campo e/ou eletroquímico⁵⁸.

Atualmente, existem poucos estudos que combinam de forma promissora as abordagens dos EGTs e SB-VFET em uma mesma estrutura⁵⁸⁻⁶⁰. Por exemplo, *Lenz et al* demonstraram uma estrutura baseada em um transistor vertical que tornam viáveis EGTs de alta potência com correntes de até 3 MA cm^{-2} utilizando semicondutores orgânicos. Os autores afirmam que a introdução do eletrólito aos VFETs melhora o desempenho do dispositivo quando comparado tanto aos TFTs padrões quanto a outros VFETs⁶¹. *Luan et al* reportaram um EGT orgânico com arquitetura vertical, usando poli(3-hexiltiofeno) como semicondutor e filme fino de prata como eletrodo poroso, atingindo densidade de corrente de 10 mA cm^{-2} no estado ligado⁶². *Ji et al* propõem uma estratégia para a realização de TFTs baseados em estruturas verticais, atingindo 248 mA cm^{-2} e 541 mA cm^{-2} para o semicondutor puro e dopado, respectivamente, valores superiores aos TFTs convencionais⁶³. Os estudos recentes citados acima são exemplos da combinação entre EGT e SB-VFET, que será referida ao longo do texto como transistor eletrolítico vertical (EG-SB-VFET). Ressalta-se que, além de ainda não ser completamente explorada, tal abordagem é inovadora e apresenta grande potencial.

A proposta da presente tese está inserida no contexto atual descrito acima, tanto no aspecto dos materiais quanto da arquitetura dos dispositivos e da técnica de produção. Apresenta-se no Capítulo 2 uma revisão sobre os fundamentos teóricos relevantes para a discussão dos resultados. No Capítulo 3 são apresentados os materiais e métodos para a deposição das camadas, fabricação dos dispositivos e caracterização dos mesmos. Os resultados são apresentados e discutidos nos Capítulos 4 e 5. No Capítulo 6 são descritos estudos adicionais de ZnO desenvolvidos no LaDSOr categorizados entre artigos já publicados e em fase de submissão.

Especificamente sobre os resultados, apresenta-se no Capítulo 4 um estudo sobre os dispositivos utilizando filmes de ZnO obtidos a partir da deposição por spray de uma dispersão de nanopartículas de ZnO (ZnO-NP) como camada ativa em diodos e EGTs. Foram explorados os efeitos de um tratamento realizado no filme de PEDOT:PSS e a utilização do filme tratado na formação de uma barreira Schottky com o ZnO-NP. Além disso, com a estrutura PEDOT:PSS/ZnO-NP/Al, foi possível relacionar os principais parâmetros do diodo Schottky com as características do eletrodo de PEDOT:PSS. O estudo de diodo deste capítulo é importante para definir o protocolo para a análise detalhada dos dados de I-V por meio dos métodos de *Mikhelashvili*⁶⁴, *Werner*⁶⁵ e *Cheung*⁶⁶. Encerra-se o Capítulo 4 com a apresentação do desempenho de EGTs utilizando ZnO-NP como camada ativa. Os dispositivos exibiram desempenho satisfatório considerando o processo baixo-custo de fabricação por solução em baixa temperatura e caracterização em condição ambiente.

Os estudos apresentados no Capítulo 5 são referentes aos resultados obtidos com os filmes de ZnO obtidos a partir do processo de spray pirólise do acetato de zinco dihidratado em álcool isopropílico aplicados como camada ativa em EGTs, diodo Schottky e em transistores verticais eletrolíticos. O EGT de ZnO é um dispositivo importante para servir como padrão, pois já existem publicações semelhantes na literatura^{41,67}. Para a avaliação do EGT padrão, é apresentada uma caracterização básica tanto do filme semiconductor de ZnO depositado por spray pirólise quanto do eletrólito utilizado. A caracterização dos EGTs possibilitou o cálculo de parâmetros como mobilidade, transcondutância e *subthreshold swing*. São apresentados também os resultados diretamente relacionados à proposta de desenvolvimento de um transistor vertical, cuja camada ativa (ZnO) e eletrodo permeável (AgNW) são depositados por spray. Para a caracterização do EG-SB-VFET através das curvas de saída, utilizou-se o protocolo de análise de diodos apresentado no Capítulo 4. Por meio da curva de transferência, calculou-se os valores de densidade de corrente, transcondutância e *subthreshold swing*, que foram

comparados com o EGT padrão do Capítulo 4. Por fim, comparou-se o desempenho do EG-SB-VFET ao utilizar duas condições de polarização dos eletrodos, isto é, aterrando-se o eletrodo de óxido de estanho e índio (ITO) ou o eletrodo intermediário de AgNW. Entre as diferenças encontradas, destaca-se o comportamento similar a um diodo ao aterrar o eletrodo de ITO e de transistor ao aterrar o eletrodo intermediário de AgNW.

1.3.Objetivos

O principal objetivo é o estudo de transistores eletrolíticos verticais utilizando óxido de zinco (ZnO) e a técnica de deposição de filmes por spray, ambos compatíveis com a eletrônica impressa.

Os objetivos específicos incluem:

- Obter contato Schottky por spray, utilizando PEDOT:SS e ZnO-NP visando aplicação em diodo;
- Caracterizar o EGT com camada ativa de ZnO-NP obtido por spray como semicondutor;
- Estudar o EGT padrão utilizando ZnO obtido por spray pirólise como semicondutor;
- Desenvolver diodos Schottky com estrutura ITO/ZnO/AgNW utilizando ZnO obtido por spray pirólise;
- Desenvolver e caracterizar os EG-SB-VFETs, aplicando os métodos definidos nos itens anteriores.

2. Fundamentos teóricos

2.1. Materiais condutores

Eletrodos transparentes são necessários em vários dispositivos optoeletrônicos. A categoria de materiais mais utilizada para esta finalidade é a dos óxidos transparentes condutores, entre os quais se destaca o óxido de índio e estanho (ITO). Porém, o ITO apresenta problemas devido principalmente à escassez do índio (resultando em grandes variações de preços) e à limitação de aplicação (devido à sua fragilidade mecânica)⁶⁸. Entre os materiais da próxima geração que são apresentados como alternativa ao ITO, destacam-se os polímeros condutores e nanoestruturas como os nanofios. Ressalta-se que os estudos encontrados na literatura relacionados à necessidade de eletrodos transparentes se aplicam principalmente para OLEDs e dispositivos fotovoltaicos. Porém, como esclarecido por *Ben-Sasson e Tessler*^{45,49}, a transparência ótica devido a perfurações (poros) na camada é uma característica macroscópica que indica a condição de permeabilidade ao campo elétrico, necessária para a utilização da camada condutora como eletrodo intermediário em SB-VFETs.

Os metais são materiais altamente reflexivos na faixa do espectro visível. Uma forma de obter eletrodos metálicos transparentes é substituir os filmes contínuos e homogêneos por redes de nanofios metálicos. De forma análoga às grades metálicas, a transparência é devida aos espaços não preenchidos entre os nanofios. Em relação às grades metálicas convencionais, uma camada condutora formada por nanofios pode ser obtida com maior simplicidade, principalmente quando é formada por uma rede de nanofios com orientações aleatórias⁶⁸. A chave para esta tecnologia é a síntese de nanofios de pequeno diâmetro (40-200 nm), longos (1-20 μm), lisos e altamente puros.

Devido à alta condutividade da prata, os nanofios de prata (AgNWs) possuem um grande potencial para a aplicação como eletrodo transparente⁶⁹. Os AgNWs normalmente são

sintetizados pela redução do nitrato de prata na presença de polivinilpirrolidona (PVP) em etileno glicol. Após a deposição dos AgNW sobre um substrato, é necessária uma etapa de tratamento térmico para remover o resíduo de PVP, estabelecendo um contato físico eficiente para o fluxo de corrente entre os nanofios⁷⁰.

Dentre os polímeros condutores, o PEDOT:PSS é o material mais bem sucedido em termos de aplicações comerciais. A história sobre a criação do PEDOT é cuidadosamente detalha por *Elschner et al*, em especial no capítulo 4⁷¹. De forma resumida, a aplicação da patente do PEDOT (DE3813589A1)⁷², foi apresentada por Friedrich Jonas, Gerhard Heywang e Werner Schimidtberg (Bayer AG) em 1988. Apenas uma semana depois, os inventores solicitaram outra patente (DE3814730A1)⁷³ sobre o uso de PEDOT em capacitores. Em tais patentes, utilizou-se a síntese por polimerização oxidativa. Após isso, desenvolveu-se o processo eletroquímico para a síntese do PEDOT, sendo aplicado como patente no final de 1988 (DE3843412A1)⁷⁴ como uma extensão da patente fundamental. As pesquisas sobre como tornar o PEDOT mais facilmente processável resultaram na formação do complexo de PEDOT:PSS. O processo de fabricação e uso como agente antiestático e material fotográfico do PEDOT:PSS foram apresentados pela Bayer em patente de 1991 (DE4003720)⁷⁵. Paralelamente ao desenvolvimento industrial, as primeiras publicações da Bayer relacionadas ao PEDOT em 1991 e 1992^{76,77} incentivaram o início de várias pesquisas no âmbito acadêmico.

Desde então, os filmes de PEDOT:PSS (**Figura 2**) têm sido utilizados tanto como camada transportadora de buracos⁷⁸ quanto como eletrodos transparentes⁷⁹. O polímero conjugado PEDOT, que é positivamente dopado, é atraído à um segmento isolante de PSS que é formado por grupos aniônicos sulfonados de contra íons usados para balancear a carga de dopagem⁸⁰. Assim, o material pode ser suspenso em solução aquosa, facilitando a produção de filmes de PEDOT:PSS por meio de técnicas compatíveis com o processamento por solução, como *spin-coating*, revestimento por spray e outras⁸¹.

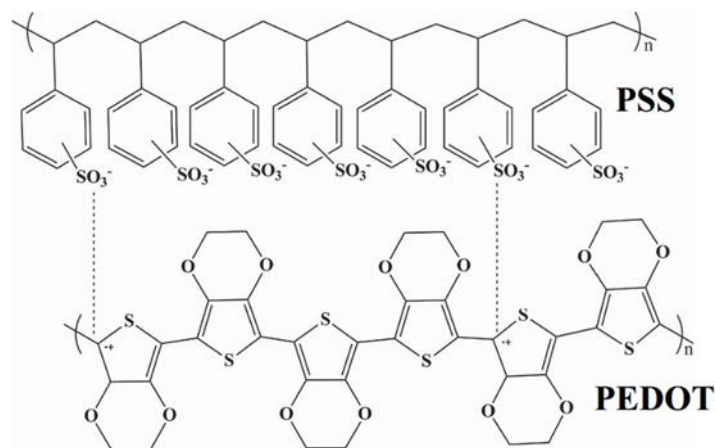


Figura 2 - Estrutura química do PEDOT:PSS. Adaptado de *Shi et al*⁸².

Para obter filmes uniformes a partir de dispersões comerciais de PEDOT:PSS em água, a mesma deve ser ajustada para atender as necessidades específicas de cada técnica de deposição. Após a deposição, a água remanescente dos filmes de PEDOT:PSS pode ser removida mediante aquecimento, incidência de radiação infravermelho, ou por meio de diferença de pressão (vácuo). Geralmente, após o recobrimento do substrato, os filmes finos são secos em placas aquecidas com temperaturas acima de 100 °C por alguns segundos. Embora seja um material polimérico, uma das vantagens do PEDOT:PSS é sua estabilidade térmica. De acordo com dados analíticos obtidos por termogravimetria (TGA), o material é considerado termicamente estável até a temperatura de 200 °C⁸³.

Devido às propriedades de formação de filme do PSS, os filmes de PEDOT:PSS são amorfos⁸⁴. Não há evidências para regimes cristalinos, exceto por ordem estrutural de curto alcance, mesmo para filmes com condutividade aprimorada⁸⁵. O oposto ocorre com os filmes de PEDOT quimicamente polimerizado *in situ*, que não contém PSS e exibem ordem cristalina⁸⁶. Para filmes espessos e secos, não é observada segregação de fase entre o PEDOT e o PSS em escala microscópica. Contudo, separação de fase tem sido observada em filmes finos de PEDOT:PSS depositados por *spin-coating*. Nesta situação, foi investigado que o PSS segrega na superfície, formando uma fase de 30 a 40 Å rica em PSS⁸³. O espectro vibracional do PEDOT *in situ* e do PEDOT:PSS tem sido investigado por espectroscopia de infravermelho

e Raman, onde bandas bem definidas são atribuídas ao PEDOT (500 a 2000 cm^{-1}). A forma do espectro e a intensidade relativa dos picos depende do nível de oxidação do PEDOT^{87,88}. A forma da banda Raman associada com o estiramento simétrico C=C em 1400 a 1500 cm^{-1} tem sido utilizada para distinguir entre as formas benzenóide ou quinoide do PEDOT⁸⁹.

O PEDOT:PSS é um polímero intrinsecamente condutor que, em contraste com sólidos iônicos condutores, provém de portadores de cargas livres. Os anéis tiofenos formam um sistema π conjugado, com intensa dopagem tipo-p. O PSS não contribui para o transporte de carga diretamente, mas age como um suporte para manter o PEDOT disperso no meio líquido e prover as propriedades formadoras do filme. Os grupos sulfonados dissociados balanceiam as cargas do PEDOT catiônico formando um sal estável.

A condutividade das camadas de PEDOT:PSS é geralmente determinada após a deposição uniforme de filmes finos sobre substratos isolantes. A resistência de folha (R_s) é geralmente obtida por medidas de duas ou quatro pontas, para as quais é recomendado depositar terminações metálicas para assegurar um contato elétrico eficiente. Ressalta-se que contatos de alumínio evaporados em vácuo devem ser evitados no PEDOT:PSS, pois a acidez do PSS oxidará o metal, resultando em uma fina camada isolante de AlO_x . Nenhuma corrosão interfacial tem sido observada para outros contatos metálicos no PEDOT:PSS como ouro, prata e outros⁸³. Para obter a resistividade ρ (ou a condutividade σ), é necessário multiplicar R_s pela espessura do filme (d):

$$\rho = \sigma^{-1} = R_s \cdot d. \quad (1)$$

Apesar de todas as vantagens, os filmes de PEDOT:PSS apresentam valores de condutividade menores que 1 S cm^{-1} quando fabricados a partir de solução aquosa, valor bem menor do que os eletrodos de ITO⁸⁹. Porém, a condutividade dos filmes de PEDOT:PSS pode ser aprimorada por meio de diferentes tratamentos. Entre os vários métodos que buscam melhorar a condutividade do PEDOT:PSS⁸², destacam-se dois. O primeiro é a adição de um

composto orgânico com alto ponto de ebulição, como o etileno glicol (EG) ou o dimetilsulfóxido (DMSO), na solução aquosa de PEDOT:PSS⁹⁰. Uma forma similar de aumentar a condutividade é com o tratamento do filme de PEDOT:PSS com tais compostos orgânicos. O segundo é o tratamento do filme com um cossolvente de água e metanol (solvente de baixo ponto de ebulição), que foi o método utilizado no estudo apresentado no item 4.1. Neste caso, o aumento da condutividade é atribuído ao efeito do cossolvente na solvatação preferencial das cadeias de PEDOT e PSS. Enquanto o metanol solvata preferencialmente o PEDOT hidrofóbico, a água solvata o PSSH hidrofílico⁹¹.

2.2. Contato metal/semicondutor

2.2.1. Formação da barreira Schottky

Uma junção metal-semicondutor é retificadora quando o contato apresenta barreira de potencial. O primeiro passo importante em direção ao entendimento da ação retificadora do contato metal-semicondutor foi realizado por *Schottky* para uma barreira de potencial na interface entre eles. Na sequência, *Schottky e Mott*⁹² explicaram o mecanismo de formação da barreira e também propuseram modelos para o cálculo da sua altura e do seu formato. Outro avanço significativo no entendimento dos contatos de barreira Schottky foi feito durante a Segunda Guerra Mundial, quando *Bethe*⁹³ propôs a emissão termiônica como meio de transporte de corrente sobre esta barreira. Os detalhes a seguir sobre a formação da barreira são baseados no livro *Metal Semiconductor Schottky Barrier Junctions and their Application*⁹⁴.

A barreira de potencial, formada quando um metal é posto em contato com um semicondutor, surge da separação de cargas na interface metal-semicondutor, de forma que uma região de alta resistência desprovida de portadores móveis é criada no semicondutor. De acordo com o modelo de Mott-Schottky, tal barreira é resultado da diferença entre a função trabalho

do metal e a afinidade eletrônica do semiconductor. Na **Figura 3a**, é ilustrado o diagrama de banda antes do contato de um metal com função trabalho ϕ_m e um semiconductor tipo-n de função trabalho ϕ_s , e afinidade eletrônica χ_s , sendo $\phi_m > \chi_s$. A função trabalho do metal é definida como a quantidade de energia necessária para promover um elétron do nível de Fermi para o nível do vácuo. O nível de vácuo é o nível de energia de um elétron fora do metal com energia cinética zero, que é usado como nível de referência na **Figura 3**. A função trabalho do semiconductor é definida de forma similar e é uma quantidade que varia com a distância da interface, pois o nível de Fermi no semiconductor varia com a dopagem. A afinidade eletrônica χ_s é um parâmetro importante que não depende da dopagem é definida como a diferença de energia entre o nível de vácuo e o limite inferior da banda de condução. Na ilustração da **Figura 3a**, o semiconductor e o metal estão afastados (sem contato elétrico) e, assim, portadores de carga não são acumulados na interface. Então a estrutura de banda da superfície é a mesma que a do volume, não ocorrendo entortamento da banda nesta condição.

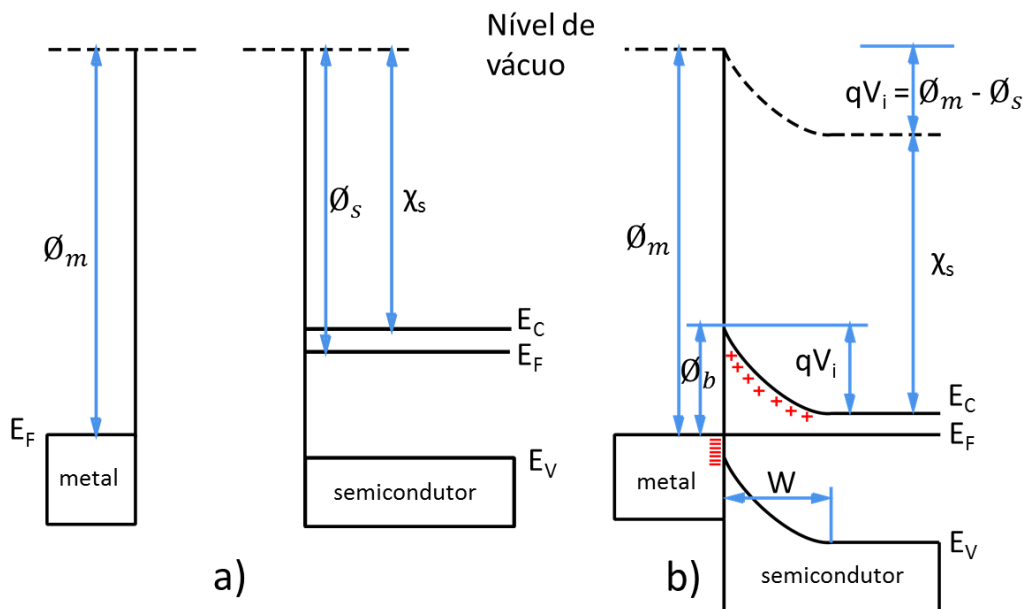


Figura 3 - Diagramas de bandas para um semiconductor tipo-n: (a) antes e (b) após a junção entre o metal e o semiconductor. E_F é o nível de Fermi, ϕ_m é a função trabalho do metal, ϕ_s é a função trabalho do semiconductor e χ_s é a afinidade eletrônica do semiconductor. Também estão ilustrados outros parâmetros do semiconductor, como nível de Fermi (E_F), banda de condução (E_C) e banda de valência (E_V), além dos parâmetros da junção, como largura de depleção (W) e potencial *built-in* (V_i). Figura elaborada pelo autor, baseada em ⁹⁴.

Na **Figura 3b** é apresentado o diagrama de banda do sistema em equilíbrio após a realização do contato entre o metal e o semiconductor tipo-n. Quando os dois materiais são colocados em contato, elétrons da banda de condução do semiconductor, que estão em um nível de energia maior do que os elétrons do metal, fluem para o metal até que o nível de Fermi nos dois lados se iguale. Como os elétrons saem do semiconductor e entram no metal, a concentração de elétrons livres diminui na região semicondutora próxima à borda. Tal efeito de falta de elétrons é ilustrado pelas cargas positivas (+) na **Figura 3b**. A borda da banda de condução sofre o entortamento ilustrado na **Figura 3b** porque a redução na concentração de portadores produz um afastamento entre a borda da banda de condução (E_c) e o nível de Fermi (E_F), sendo que E_F permanece constante em equilíbrio térmico. Os elétrons da banda de condução que fluem para o metal deixam para trás uma carga positiva, isto é, doadores ionizados, os quais não são móveis. Este processo resulta em uma região no semiconductor com ausência de elétrons móveis, denominada de depleção. Então, uma carga positiva é estabelecida ao longo do semiconductor, próximo à interface e os elétrons que fluíram para o metal formam uma camada fina de carga negativa junto à interface. Consequentemente, um campo elétrico interno é estabelecido em tal interface, com sentido do semiconductor para o metal.

Como o *bandgap* e a afinidade eletrônica do semiconductor não são alterados após estabelecido o contato com o metal, a extremidade da banda de valência E_v será movida de forma paralela à banda de condução (E_c), e o nível de vácuo no semiconductor seguirá a mesma variação que E_c . Então, o grau de entortamento da banda é igual à diferença entre os dois níveis de vácuo, que é igual à diferença entre as funções trabalho. A diferença é dada por $qV_i = (\phi_m - \phi_s)$, onde V_i é denominado potencial *built-in* da junção. Após atingir o equilíbrio, qV_i é a barreira de potencial que um elétron encontra ao fluir do semiconductor para o metal através da região de depleção. Contudo, a barreira encontrada a partir do metal em direção ao semiconductor é diferente e é dada por:

$$\phi_b = (\phi_m - \chi_s), \quad (2)$$

relação que foi proposta de forma independente por *Schottky* e *Mott*⁹², que é comumente denominada de barreira Schottky.

Na sequência será explicado porque o contato da **Figura 3b** é um contato retificador. Na **Figura 4a** é apresentado o diagrama de bandas de energia em equilíbrio referente ao contato metal-semicondutor. Em equilíbrio, a taxa na qual os elétrons atravessam a barreira do semicondutor para o metal é balanceada pela taxa na qual os elétrons atravessam a barreira na direção oposta, resultando em uma corrente elétrica desprezível. A existência de poucas cargas móveis na região de depleção resulta em uma resistência alta em comparação com a resistência do metal e da região neutra do semicondutor. Assim, a diferença de potencial aplicada externamente é estabelecida majoritariamente na região de depleção do semicondutor. Portanto, uma voltagem externa altera o diagrama de banda de equilíbrio pela mudança da curvatura total das bandas e pela modificação da queda de potencial nesta região de depleção.

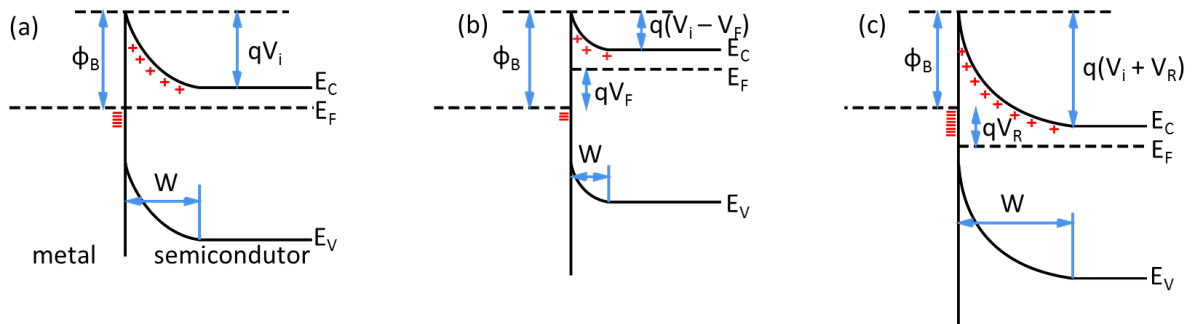


Figura 4 – Diagrama de bandas de energia de um contato retificador entre um metal e um semicondutor tipo-n. (a) Situação de equilíbrio térmico. (b) Polarização direta e (c) polarização reversa. Neste diagrama, V_F refere-se ao potencial aplicado em polarização direta, enquanto V_R à polarização reversa. Adaptada de ⁹⁴.

Ao aplicar um potencial negativo ($-V_F$) no volume do semicondutor, conforme ilustrado na **Figura 4b**, a largura da camada de depleção é reduzida e a diferença do nível de energia E_C entre o volume e a superfície do semicondutor diminui de qV_i para $q(V_i - V_F)$. De forma complementar, pode-se dizer que a queda de tensão na região de depleção é reduzida de V_i para $V_i - V_F$. A barreira existente para os elétrons no lado semicondutor é reduzida e, assim,

o fluxo de elétrons do semicondutor em direção ao metal é maior do que na condição de equilíbrio. Por outro lado, o fluxo de elétrons do metal em direção ao semicondutor não é alterado, pois praticamente não ocorre queda de potencial ao longo do metal, de forma que ϕ_b não é afetada pela voltagem externa. Então, para um potencial negativo aplicado ao volume do semicondutor, existe um fluxo de elétrons do semicondutor para o metal, causando uma corrente elétrica que flui do metal para o semicondutor. Nesta polaridade em que um potencial negativo é aplicado ao volume do semicondutor tipo-n, é dito que a junção está em polarização direta e a corrente aumenta exponencialmente com a voltagem V_F .

O diagrama de banda para um contato com polarização reversa é apresentado na **Figura 4c**. Nesta situação, aplica-se uma tensão positiva (V_R) no semicondutor e a queda de tensão na região de depleção é aumentada de V_i para $V_i + V_R$. O fluxo de elétrons do semicondutor em direção ao metal é reduzido para valores abaixo do valor de equilíbrio, enquanto o fluxo a partir do lado do metal permanece inalterado. Isso resulta em uma corrente que flui na direção oposta e que é pequena em comparação à corrente em polarização direta. Portanto, o contato metal-semicondutor em discussão é retificador.

Em condições reais, porém, a regra de Schottky-Mott para os contatos metal-semicondutor não é estritamente seguida. A Equação 2 mostra que a altura da barreira (ϕ_b) aumenta linearmente com a função trabalho do metal (ϕ_m). Porém, a dependência de ϕ_b com ϕ_m é observada apenas em semicondutores iônicos. Em muitos semicondutores covalentes, a altura da barreira é uma função menos sensível à ϕ_m do que é descrito pela Equação 2 sendo, em alguns casos, um parâmetro praticamente independente⁹⁵. A não dependência da altura da barreira com a função trabalho do metal em semicondutores covalentes foi primeiro explicada por *Bardeen*⁹⁶, que notou a importância dos estados superficiais localizados na determinação de ϕ_b . O modelo de Bardeen assume que existem estados superficiais intrínsecos para o semicondutor que fixam o nível de Fermi na superfície (*Fermi level pinning*). Assim, são esses

estados que determinam a altura da barreira, pois permanecem inalterados mesmo após o contato entre o semicondutor e o metal.

2.2.2. Contatos ôhmicos e Schottky para o ZnO

Os contatos elétricos formados entre um eletrodo (material condutor) e o ZnO é um assunto de grande importância para o desempenho dos dispositivos de ZnO. As propriedades elétricas desses contatos dependem da natureza da superfície do ZnO, da interface entre o eletrodo e o ZnO e dos processos envolvidos durante a formação do contato⁹⁵. O ZnO é um material que está na fronteira entre os semicondutores iônicos e covalentes, portanto o entendimento e controle das barreiras Schottky para o ZnO são desafiadores, pois a regra de Schottky-Mott não é suficiente para explicá-las. Isto é evidenciado pela grande variação na medida de altura de barreira de um mesmo metal com uma superfície de ZnO. Por exemplo, dada a afinidade eletrônica de $\sim 4,2$ eV para o ZnO²¹, barreiras Schottky com metais nobres como o Au ($\phi_b = 4,8 - 5,2$ eV) deveriam resultar em barreiras maiores que 1 eV. Porém, os valores encontrados na literatura variam entre 0,6 e 0,8 eV²¹.

*Monakhov et al*⁹⁷ mostram que, considerando o ZnO monocristalino, não há uma relação clara entre ϕ_b e ϕ_m . Isto sugere que a condição da superfície do ZnO é o fator decisivo que pode influenciar os estados superficiais, reações na superfície metálica, morfologia, contaminações superficiais e defeitos estruturais. Além disso, atualmente é consenso que os contatos Schottky com melhor desempenho retificador podem ser obtidos pela oxidação da superfície antes da deposição do contato. A dificuldade em formar contato Schottky entre vários metais e o ZnO, como proposto por *Allen e Durbin*, tem bastante influência das vacâncias de oxigênio na interface metal/ZnO⁹⁸. Uma solução para a formação do contato Schottky é obter uma superfície rica em oxigênio, pois enquanto as vacâncias de oxigênio são consideradas doadoras para o ZnO, a abundância de oxigênio reduz a concentração de elétrons livres na

interface⁹⁸. Isso faz com que a probabilidade de tunelamento seja reduzida e a retificação de corrente é permitida devido a formação de uma barreira para a injeção de elétrons do metal para a banda de condução do ZnO¹⁹.

A junção metal-semicondutor resulta em contato ôhmico quando não há barreira efetiva para a injeção dos portadores de carga, de forma que eles são livres para serem injetados ou coletados através do contato⁹⁵. Para um semicondutor tipo-n, isso significa que a função trabalho do condutor precisa ser próxima ou menor do que a afinidade eletrônica do semicondutor. Por estar na fronteira entre os semicondutores iônicos e covalentes, um contato ôhmico para o ZnO pode ser alcançado, respectivamente: i) pela redução da altura da barreira, aumentando a emissão termiônica; e/ou ii) aumentando a densidade de dopagem superficial, fazendo com que a largura da barreira seja estreita o bastante para permitir o tunelamento dos portadores. A formação de um contato ôhmico para o ZnO tipo-n exclusivamente por emissão termiônica exige que a função trabalho do contato metálico deve ser menor que a afinidade eletrônica do ZnO, como é o caso do Al (4,28 eV). Em geral, a emissão termiônica será dominante em semicondutores com baixa concentração de dopagem, e tunelamento será dominante para alta concentração de dopagem⁹⁹. Portanto, a formação de contato ôhmico para o ZnO pode ser obtida aumentando a densidade de dopagem superficial¹⁰⁰.

2.2.3. Diodo Schottky e determinação dos parâmetros

O diodo Schottky é um dispositivo formado por uma camada semicondutora posicionada entre dois eletrodos, que formam junções de duas naturezas distintas. Um eletrodo forma uma junção retificadora que permite a injeção de carga em uma direção preferencial, enquanto bloqueia na direção oposta. O outro forma uma junção ôhmica, da qual resulta uma baixa resistência para a condução de corrente^{14,101}.

O comportamento da corrente em função da voltagem (I-V) para um diodo Schottky submetido à uma polarização direta, conforme ilustrado na **Figura 5** (curva 1), é explicado pelo modelo de emissão termiônica:

$$I = I_{SAT} \left[\exp \left(\frac{qV_D}{nkT} \right) - 1 \right] \quad (3)$$

onde q é a carga elementar, V_D a voltagem aplicada no diodo, k a constante de Boltzmann, T a temperatura absoluta e I_{SAT} é a corrente de saturação. O fator n é um parâmetro adimensional denominado fator de idealidade, que é incluído na Equação 3 para abranger os comportamentos não ideais. Para os diodos de silício, o fator de idealidade é próximo de $1^{66,102}$, enquanto que para o ZnO, o valor pode variar de acordo com características do contato Schottky. Para um diodo Schottky, I_{SAT} é descrita por:

$$I_{SAT} = AA^*T^2 \exp \left(\frac{q\phi_b}{kT} \right). \quad (4)$$

onde A é a área efetiva, A^* ($= 36 \text{ cm}^{-2} \text{ K}^{-2} \text{ A}$) é a constante de Richardson para o ZnO^{20,23} e ϕ_b a altura da barreira Schottky do contato retificador.

A Equação 3 pode ser generalizada para um diodo real que, conforme ilustrado no *inset* da **Figura 5b**, é modelado por um circuito equivalente com uma resistência em paralelo (R_p) e outra resistência em série (R_{serie}). Então, a Equação 3 pode ser reescrita como:

$$I = AA^*T^2 \exp \left(\frac{q\phi_b}{kT} \right) \left[\exp \left(\frac{q[V_D - IR_{serie}]}{nkT} \right) - 1 \right] + \frac{V_D - IR_{serie}}{R_p}. \quad (5)$$

A **Figura 5a** ilustra as três curvas teóricas calculadas a partir da Equação 5, considerando $\phi_b = 1 \text{ eV}$, $n = 1$ e $T = 300 \text{ K}$, para voltagem variando entre -3 e 3 V. Nesta simulação, a curva 1 foi gerada considerando o caso ideal, onde $R_p \rightarrow \infty$ e $R_{serie} = 0$. A curva 2, considerando $R_p \rightarrow \infty$, porém com uma resistência em série elevada, $R_{serie} = 10^3 \Omega$, e a curva 3, considerando a existência de ambas resistências em paralelo e em série, sendo $R_p = 10^9 \Omega$ e $R_{serie} = 10^3 \Omega$. A partir das simulações apresentadas, nota-se que as curvas de I-V referente ao

diodo Schottky podem ser divididas em três regiões: (i) a região de alta voltagem em polarização direta dominada por R_{serie} ; (ii) a região de baixa voltagem em polarização reversa dominada por R_p ; e (iii) a região intermediária, na qual as três curvas coincidem, a qual é a região linear é descrita pelo modelo de emissão termiônica (Equação 3)¹⁰³. Porém, nos casos reais, muitas vezes não é possível calcular os parâmetros n e ϕ_b diretamente, pois essa região linear não é suficientemente ampla. Devido a isso, é necessário aplicar métodos específicos para obter dados confiáveis a partir das curvas de I-V.

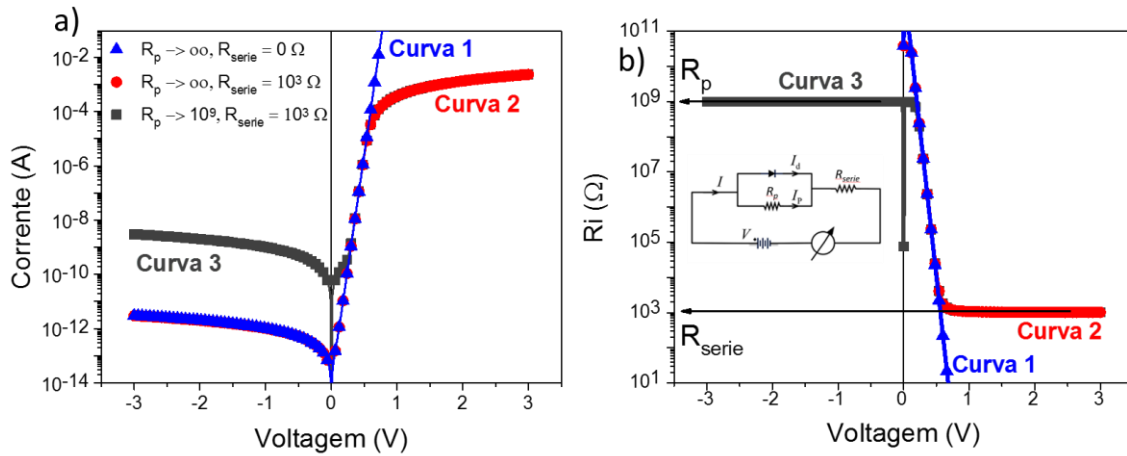


Figura 5 – Curvas teóricas de (a) I-V, geradas a partir da simulação do circuito apresentado no *inset*, montado no *software LTspice* com diferentes valores para resistência em série (R_{serie}) e resistência em paralelo (R_p). (b) Curva ilustrativa de $R_i = dV/dI \times V$, calculada a partir das curvas de I-V.

As curvas de I-V podem ser apresentadas na forma de $R_i \times V$ como mostradas na **Figura 5b**, as quais são calculadas a partir da aplicação da Lei de Ohm ($R_i = dV/dI$), sendo R_i denominada resistência diferencial. Para entender a curva de $R_i \times V$ presente na **Figura 5b**, é importante considerar o diagrama do circuito equivalente. Para polarização direta ($V > 0$), o diodo ideal não oferece resistência ao fluxo de carga, de forma que a resistência calculada tende ao valor de R_{serie} ($R_i \rightarrow R_{\text{serie}}$) com o aumento da voltagem. Para a polarização reversa ($V < 0$), o diodo ideal oferece uma resistência infinita ao fluxo de carga. Portanto, como a corrente flui apenas através da resistência em paralelo (R_p), temos que $R_i = R_p$.

Existem muitas estratégias para a determinação dos parâmetros de um diodo Schottky a partir dos dados de I-V, geralmente divididas em métodos analíticos, métodos numéricos e algoritmos evolucionários¹⁰³. Os dois últimos, que incluem técnicas sofisticadas como por exemplo o uso de inteligência artificial¹⁰⁴ e determinação analítica por meio da função W de Lambert¹⁰⁵, estão além da proposta apresentada neste texto. Entre os métodos analíticos, propomos uma utilização complementar dos métodos de *Werner*⁶⁵, *Cheung*⁶⁶ e *Mikhelashvili*⁶⁴.

Cheung propôs uma abordagem de duas etapas para determinar os valores de n , R_{serie} e ϕ_b a partir dos dados de I-V. Para a primeira etapa, é necessário reescrever a Equação 5 para $V_D > \frac{3kT}{q}$ e $R_p \rightarrow \infty$:

$$I = AA^*T^2 \exp\left(\frac{q\phi_b}{kT}\right) \exp\left[\frac{q(V_D - IR_{\text{serie}})}{nkT}\right]. \quad (6)$$

Tais condições são referentes ao valor mínimo de voltagem de $\sim 0,12$ V (temperatura de 298 K) e à resistência em paralelo ideal, respectivamente. Ao isolar V_D na Equação 6 e derivá-lo em relação à $\ln(I)$, pode-se rearranjar os termos como:

$$\frac{dV_D}{d \ln(I)} = n \frac{kT}{q} + IR_{\text{serie}}, \quad (7)$$

Que é uma equação linear com a variável I , sendo R_{serie} a inclinação e o termo nkT/q a interceptação do eixo y (gráfico de $dV/d\ln(I) \times I$). Dessa forma, na primeira etapa do método de *Cheung* calcula-se os valores de R_{serie} e n .

A segunda etapa tem por objetivo avaliar ϕ_b . Para isso, *Cheung* definiu uma função $H_{(I)}$, dada por:

$$H_{(I)} = V_D - n \frac{kT}{q} \ln\left(\frac{I}{AA^*T^2}\right) = IR_{\text{serie}} + n\phi_b. \quad (8)$$

Para o gráfico de $H_{(I)} \times I$, a interceptação do eixo y fornece o valor de $n\phi_b$, de forma que é possível determinar a altura da barreira a partir do valor de n calculado anteriormente. Com a

inclinação da reta, calcula-se um segundo valor para R_{serie} , usado para confirmar a precisão do método.

Werner propõe três alternativas para o cálculo de R_{serie} e n , denominadas Plot A, B e C, obtidas a partir da curva de I-V. Os três gráficos são baseados na condutância ($G = 1/R = dI/dV$). Neste texto, vamos utilizar apenas os Plot A e Plot C. Ressalta-se que o Plot C é similar à primeira etapa do método de *Cheung*.

Segundo *Werner*⁶⁵, as análises da curva de I-V requerem métodos que evitem a região de alta voltagem em polarização direta, devido aos efeitos de aquecimento e alta injeção. Também é desejável evitar a região próxima de zero, pois é dominada pela corrente em paralelo ($I_p = [V_D - IR_{serie}]/R_p$). Então, é mais apropriado usar o regime para voltagem intermediária da curva de I-V. Para isso, as seguintes equações foram propostas. A partir da Equação 6 e da definição de condutância ($G = dI/dV$), temos:

$$\frac{G}{I} = \frac{q}{nkT} (1 - GR_{serie}), \quad (9)$$

de forma que o gráfico de $G/I \times G$ (Plot A) leva à uma linha reta com inclinação $q \cdot R_{serie}/nkT$ e que intercepta o eixo-y em q/nkT .

A outra alternativa é obtida a partir de uma identidade envolvendo a resistência diferencial ($R_i = 1/G$):

$$R_i = \frac{nkT}{qI} + R_{serie}, \quad (10a)$$

$$R_i = \frac{1}{G} = \frac{dV}{dI} = \frac{1}{I} \frac{dV}{d \ln I}. \quad (10b)$$

A partir das Equação 10a-b, temos que:

$$\frac{dV_D}{d \ln(I)} = n \frac{kT}{q} + IR_{serie}, \quad (11)$$

De forma que o gráfico de $dV/d \ln(I) \times I$ resulta em uma linha reta com inclinação R_{serie} e que intercepta o eixo-y em nkT/q . Nota-se que, de acordo com a Equação 10b, o lado esquerdo da

Equação 11 é igual a I/G . Portanto, o Plot C é definido como $I/G \times I$. Como dito anteriormente, a Equação 7 foi usada de forma independente por *Cheung* que a deduziu de forma diferente.

Até este momento assumiu-se que os desvios do comportamento ideal como recombinação dentro da região de carga espacial, dependência de ϕ_b com a voltagem devido à força imagem ou estados interfaciais, ou injeção de portadores minoritários no diodo Schottky, são todos efeitos adicionais contidos no fator de idealidade. Para voltagem moderada, a principal razão para o desvio da característica exponencial ideal é o fato de que vários mecanismos de transportes dos portadores, como tunelamento através da barreira e corrente de geração-recombinação na depleção, ocorrem simultaneamente com a emissão termiônica, mudando o valor de n ¹⁰⁶. No regime de alta voltagem, a característica I-V desvia do comportamento exponencial ideal devido a presença da R_{serie} . Então, a determinação da dependência do fator de idealidade com a voltagem é importante para extrair corretamente os valores dos parâmetros do diodo Schottky.

*Mikhelashvili*⁶⁴ propõe um método analítico simples para determinar o caráter de $n(V)$ a partir dos dados experimentais de I-V. O método é baseado na análise da inclinação diferencial (α) da curva de I-V:

$$\alpha = \frac{d(\ln I)}{d(\ln V)} \quad (12)$$

Tal formalismo permite identificar as mudanças no mecanismo de fluxo de corrente, bem como a extração dos parâmetros para quando n é independente da voltagem.

Considerando $n = n(V)$ e $V_D > \frac{3kT}{q}$, a Equação 6 pode ser reescrita como:

$$I = AA^*T^2 \exp\left(\frac{q\phi_{b0}}{kT}\right) \left[\exp\left(\frac{q[V_D - IR_{serie}]}{n(V)kT}\right) - 1 \right] \quad (13)$$

Sendo que ϕ_{b0} é a altura da barreira para 0 V. O fator de idealidade, cuja dependência com a voltagem deriva da dependência de ϕ_{b0} com a voltagem, é escrito como:

$$n(V) = \frac{1}{(1 - \frac{\Delta\phi_b}{V})}, \quad (14)$$

sendo $\Delta\phi_b = \phi_b - \phi_{b0}$ a mudança na altura da barreira devido a voltagem aplicada.

A partir de uma manipulação algébrica da Equação 13a, a Equação 12 pode ser reescrita como:

$$\alpha = \frac{qV}{kT} \left[\frac{1}{n} - \frac{(V - IR_{serie})}{n^2} \frac{dn}{dV} \right] \frac{1}{\left(1 + \frac{qIR_{serie}}{nkT}\right)}. \quad (15)$$

Observa-se na Equações 15 que, para o caso de emissão termiônica pura (n constante), α varia linearmente com a voltagem no regime $IR_{serie} \ll V$:

$$\alpha = \frac{qV}{nkT + qIR_{serie}}. \quad (16)$$

Como ilustrado no gráfico de $\alpha \times V$ da **Figura 6**, α atinge um valor máximo (α_{max}) para voltagem intermediária devido à R_{serie} e se torna uma função não linear quando $IR_{serie} \gg V$.

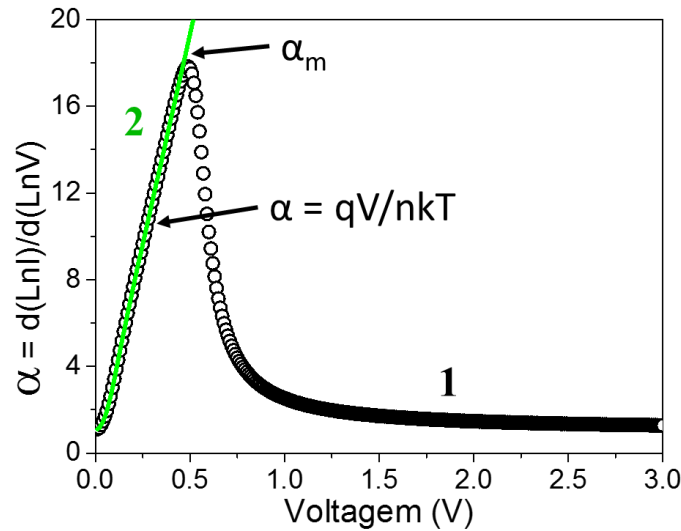


Figura 6 – Curva de $\alpha \times V$ calculada a partir da Equação 15, para o diodo Schottky simulado no *software* LTspice. Curva 1 para $R_{serie} = 10^3 \Omega$ e curva 2 para $R_{serie} = 0$. Figura baseada em ¹⁰⁶.

No caso em que o fator de idealidade depende da voltagem, podemos calcular os valores de R_{serie} , n e ϕ_{b0} . Para o regime de alta voltagem, a variação de n tem um efeito

desprezível na curva de I-V quando comparado à mudança causada pela queda de voltagem IR_{serie} . Então, ao calcular R_{serie} a partir da Equação 15, considerando $dn/dV = 0$, temos:

$$R_{\text{serie}} = \frac{(1-\gamma)V}{\alpha^2 I}, \quad (17a)$$

sendo γ definida como

$$\gamma = \frac{d(\ln\alpha)}{d(\ln V)}. \quad (17b)$$

A solução para a Equação 15 diferencial, para n , é:

$$n = \frac{qV}{kT} \left(1 - \frac{IR_{\text{serie}}}{V} \right) \frac{1}{\int_{\frac{3kT}{q}}^V \frac{\alpha}{V} dV}, \text{ para } R_{\text{serie}} > 0 \quad (18a)$$

$$n' = \frac{qV}{kT} \frac{1}{\int_{\frac{3kT}{q}}^V \frac{\alpha}{V} dV}, \text{ para } R_{\text{serie}} = 0. \quad (18b)$$

Substituindo a Equação 18a na Equação 13a, podemos obter as equações para determinar a corrente de saturação e, conseqüentemente, ϕ_{b0} :

$$I_{SAT} = \frac{I}{\int_{\frac{3kT}{q}}^V \frac{\alpha}{V} dV} \quad (19a)$$

$$\phi_{b0} = kT \left[\ln \left(\frac{I}{AA^* T^2} \right) - \int_{\frac{3kT}{q}}^V \frac{\alpha}{V} dV \right]. \quad (19b)$$

Os três métodos analíticos apresentados acima serão utilizados para a análise dos diodos Schottky de ZnO apresentados nos capítulos 4 e 5. Ao utilizar os três métodos, obtém-se os mesmos parâmetros a partir de condições de contorno diferentes e, portanto, a comparação entre os valores calculados garante uma maior precisão. Por outro lado, uma possível diferença proporciona uma reflexão sobre a física do dispositivo.

2.3. Transistores de efeito de campo

Os TFTs são dispositivos de efeito de campo composto por três elementos básicos: filme fino semicondutor, camada dielétrica e eletrodos. Os principais elementos de um TFT padrão com *gate* no topo estão ilustrados na **Figura 7a**. Tal arquitetura é compatível com o uso de um semicondutor depositado por spray pirólise, pois a camada semicondutora é obtida previamente ao dielétrico e ao eletrodo de *gate*. Assim, o filme semicondutor pode ser submetido aos tratamentos térmicos necessários sem correr o risco de danificar as camadas subsequentes.

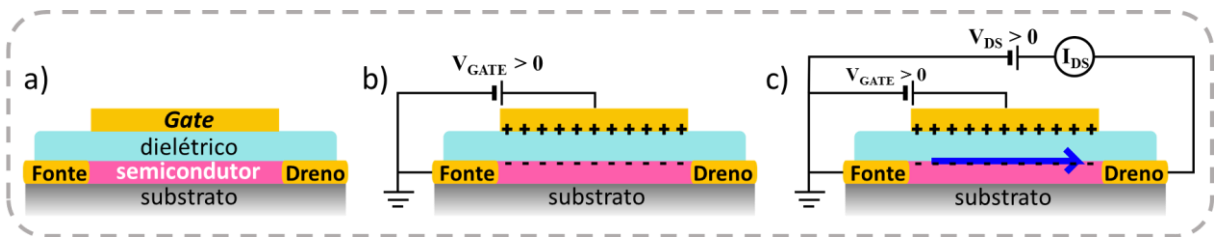


Figura 7 – (a) Vista lateral da arquitetura de um TFT com *gate* no topo e eletrodos de fonte e dreno na base. (b) O canal (-) induzido próximo à interface dielétrico/semicondutor ao aplicar $V_{GATE} > 0$ é ilustrado considerando-se um semicondutor tipo-n. (c) Indicação do movimento dos portadores de carga ao aplicar uma diferença de potencial (V_{DS}) entre fonte e dreno.

O funcionamento do TFT é baseado na modulação da corrente (I_{DS}) que flui no canal formado entre os eletrodos de fonte e dreno. A camada dielétrica existente entre o semicondutor e o eletrodo de *gate* tem a função de controlar a acumulação capacitiva de cargas próxima à interface dielétrico/semicondutor por meio do efeito de campo. Como ilustrado na **Figura 7b**, para voltagem positiva no *gate*, portadores de cargas negativas são induzidos na interface dielétrico/semicondutor, formando um canal condutor. Assim, como ilustrado na **Figura 7c** os portadores de carga podem ser conduzidos da fonte para o dreno mediante aplicação de uma diferença de potencial entre esses dois eletrodos (V_{DS}). Quando $V_{DS} = 0$ e uma tensão positiva é aplicada ao *gate* ($V_{GATE} > 0$), a concentração de portadores de carga induzidas na interface dielétrico/semicondutor é mais uniforme ao longo do canal do que para

maiores valores de V_{DS} . Com a aplicação de um pequeno potencial V_{DS} , o canal se comporta como um resistor cuja resistência é controlada por V_{GATE} . Maiores detalhes sobre os três regimes de operação de um TFT que ocorrem com o aumento de V_{DS} (regime linear, início do regime de saturação devido ao *pinch-off* e regime de saturação) estão além do objetivo da presente tese, mas são cuidadosamente explicados nas revisões de *Sirringhaus*¹⁰⁷ e *Tessler*¹⁰⁸.

O funcionamento de um TFT padrão pode ser avaliado a partir de dois tipos de curvas obtidas através da caracterização DC do dispositivo. Estas curvas são denominadas de curvas de saída e curva de transferência e estão ilustradas na **Figura 8**. Para a obtenção da curva de saída de um transistor (**Figura 8a**) varia-se V_{DS} para diferentes valores constantes de V_{GATE} . A curva de transferência (**Figura 8b**) é obtida variando-se continuamente V_{GATE} para um valor constante de V_{DS} . Em ambas as situações, I_{DS} é a corrente medida que flui entre os eletrodos de fonte e dreno.

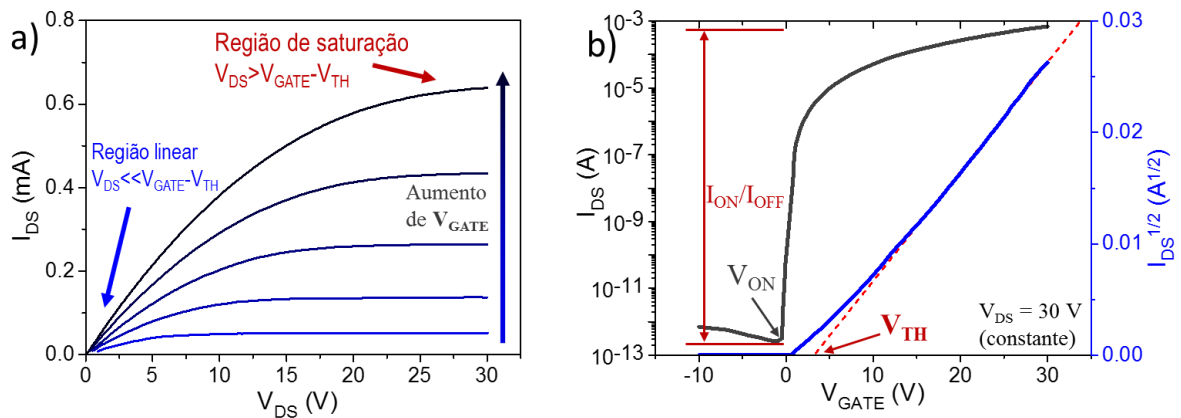


Figura 8 - Curvas típicas de um TFT com semiconductor tipo-n: (a) curvas de saída e (b) curva de transferência. Figuras digitalizadas a partir de ¹⁵, com propósito estritamente didático.

A partir da curva de transferência são calculados importantes parâmetros para a avaliação do desempenho do dispositivo, como a razão I_{ON}/I_{OFF} , mobilidade de efeito de campo do semiconductor (μ), voltagem de *threshold* (V_{TH}), transcondutância (g_m) e *subthreshold swing* (SS). Tais parâmetros e seus métodos de obtenção serão descritos a seguir.

A razão I_{ON}/I_{OFF} é definida como a razão entre os valores máximo e mínimo de I_{DS} , como ilustrado na **Figura 8b**. Para os transistores que operam em modo de acumulação, o mínimo de I_{DS} geralmente é referente ao nível de ruído do equipamento de medida ou à I_{GATE} . O valor máximo de I_{DS} depende do material semiconductor, representado pela mobilidade, e da efetividade da injeção capacitiva pelo efeito de campo, representada por fatores como capacitância e geometria do canal.

O comportamento da corrente elétrica I_{DS} no regime de saturação pode ser descrito pela Equação 20, a partir do modelo da aproximação gradual do canal¹⁰⁹:

$$I_{DS} = \frac{WC_i}{L} \mu \left[(V_{GATE} - V_{TH}) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \quad (20)$$

onde C_i é a capacitância do isolante por unidade de área, W é a largura do canal e L o comprimento do canal. Define-se V_{TH} como a “tensão de *threshold*”, que é a mínima tensão aplicada no *gate* necessária para acumular os portadores de cargas móveis próximos à interface dielétrico/semiconductor, formando um canal efetivo entre os eletrodos de fonte e dreno. O conceito de V_{ON} também é usado na literatura e corresponde simplesmente à voltagem mínima aplicada ao eletrodo de *gate* para a qual I_{DS} começa a aumentar, como ilustrado no gráfico de $\text{Log}(I_{DS}) \times V_{GATE}$ da **Figura 8b**.

A mobilidade de efeito de campo dos portadores de carga no semiconductor que compõe o transistor é descrita como a razão entre a velocidade dos portadores e o campo elétrico ao qual estão submetidos. Portanto, é uma medida do quão eficiente é o transporte de carga no material do canal, afetando diretamente o valor máximo de I_{DS} e a frequência de operação do dispositivo. Para o regime de saturação, $V_{DS} > V_{GATE} - V_{TH}$, a mobilidade de efeito de campo em saturação (μ_{sat}) é calculada por meio da seguinte equação:

$$I_{DS} = \frac{WC_i}{L} \mu_{sat} \frac{(V_{GATE} - V_{TH})^2}{2}. \quad (21)$$

Ao reescrever a curva de transferência como um gráfico $I_{DS}^{1/2}$ em função de V_{GATE} , a inclinação da região linear é numericamente igual a $(WC_i\mu/2l)^{1/2}$. De forma equivalente, podemos escrever:

$$\mu_{sat} = \frac{\left(\frac{d\sqrt{I_{DS}}}{dV_{GATE}}\right)^2}{\frac{1}{2}C_i\frac{W}{L}}. \quad (22)$$

Em muitos trabalhos, apenas o valor máximo de μ é apresentado. Porém, o gráfico de mobilidade em função de V_{GATE} permite um entendimento mais completo do dispositivo. Ressalta-se que a mobilidade de um TFT pode ser extraída usando diferentes metodologias e cada uma tem vantagens e desvantagens. O cálculo da mobilidade de saturação por meio da Equação 22 não requer V_{TH} e é menos sensível a resistência de contato, mas descreve uma situação na qual os portadores de cargas induzidos na interface dielétrico/semicondutor não estão distribuídos de forma homogênea ao longo do canal (regime de saturação).

O fator SS é definido como a razão entre a variação da polarização do *gate* e a variação da corrente de dreno em escala log, expressa por:

$$SS = \frac{dV_{GATE}}{d\log(I_{DS})}. \quad (23)$$

Portanto, é uma medida da facilidade com que o dispositivo chaveia entre o estado desligado e o estado ligado, comumente expresso em volts/década ($V \text{ dec}^{-1}$). Alternativamente, é uma medida dos principais efeitos que afetam o comportamento de chaveamento de um transistor, como concentração de impurezas, estados interfaciais e densidade de armadilhas¹⁸.

De acordo com a Equação 20, $I_{DS} \propto \frac{W}{L} C_i \mu$, ou seja, dois fatores que influenciam o desempenho dos TFTs além da mobilidade são a capacitância da camada dielétrica e a razão W/L referente à geometria do canal. A carga (Q) disponível para condução que constitui o canal é induzida pela capacitância do dielétrico (C_i) de *gate*. Isto é, $Q = C_i[V_{GATE} - V_{TH}] = \frac{\epsilon\epsilon_0 A}{d}[V_{GATE} - V_{TH}]$, sendo ϵ_0 a permissividade elétrica do vácuo e ϵ a constante dielétrica do

material. Assim, filmes dielétricos finos e com alta constante dielétrica induzem maior I_{DS} com menor tensão de operação. Para atingir essa condição, são necessários filmes dielétricos com espessura nanométrica, normalmente obtidos a partir de materiais poliméricos ou de óxidos metálicos. Uma forma de contornar as desvantagens existentes ao empregar tais classes de materiais, é a utilização de um eletrólito. Por outro lado, pode-se melhorar o desempenho do transistor com o aumento da razão W/L . Um critério utilizado por Rinzler⁴⁶ é o conceito de “padrão de baixa resolução”, em referência aos TFTs com comprimentos de canais $L > 25 \mu\text{m}$. Até este limite, é possível manter a fabricação relativamente barata por meio da evaporação térmica dos eletrodos através de máscaras de sombra. Porém, os transistores com arquitetura vertical representam uma alternativa para atingir comprimentos de canais sub-micrométricos sem a necessidade de padrões de alta resolução. Os detalhes sobre transistores eletrolíticos e transistores verticais, os quais são configurações alternativas que visam a obtenção de maior corrente com menor tensão de operação, serão apresentados nos próximos itens.

2.3.1. Transistores eletrolíticos

O eletrólito é um condutor iônico, mas um isolante elétrico¹¹⁰. Assim, é uma alternativa aos dielétricos convencionais (SiO_2 , Al_2O_3 , etc) em TFTs, pois o eletrólito pode ser utilizado na forma de líquido, gel ou sólido. Os transistores eletrolíticos são particularmente populares entre os pesquisadores que atuam no campo da eletrônica impressa, no qual um eletrólito é usado para obter o efeito de campo. A principal motivação para o uso de eletrólitos nos TFTs é a formação da dupla camada elétrica na interface do eletrólito com o semicondutor, que resulta em uma alta capacitância tipicamente na ordem de $1 \sim 10 \mu\text{F cm}^{-2}$ ³⁶, resultando em dispositivos com baixa tensão de operação. Outras vantagens incluem fácil fabricação e processamento em temperatura ambiente³⁶.

Apresenta-se na **Figura 9** a ilustração de um EGT no qual um eletrólito ionicamente condutor e eletronicamente isolante é utilizado como substituto de um dielétrico. Considerando

uma formação de dupla camada elétrica ideal na interface eletrodo/eletrólito, existem dois mecanismos básicos para a operação dos EGTs em relação à interface eletrólito/semicondutor. Para os casos nos quais os íons difundem para o interior do filme semicondutor, compensando os portadores de cargas disponíveis no volume do mesmo, os transistores podem operar no modo denominado “eletroquímico” (ECT). A operação no modo ECT, no qual há íons no canal, ocorre por meio da dopagem eletroquímica geralmente reversível do canal semicondutor sob aplicação e remoção da polarização do *gate*.

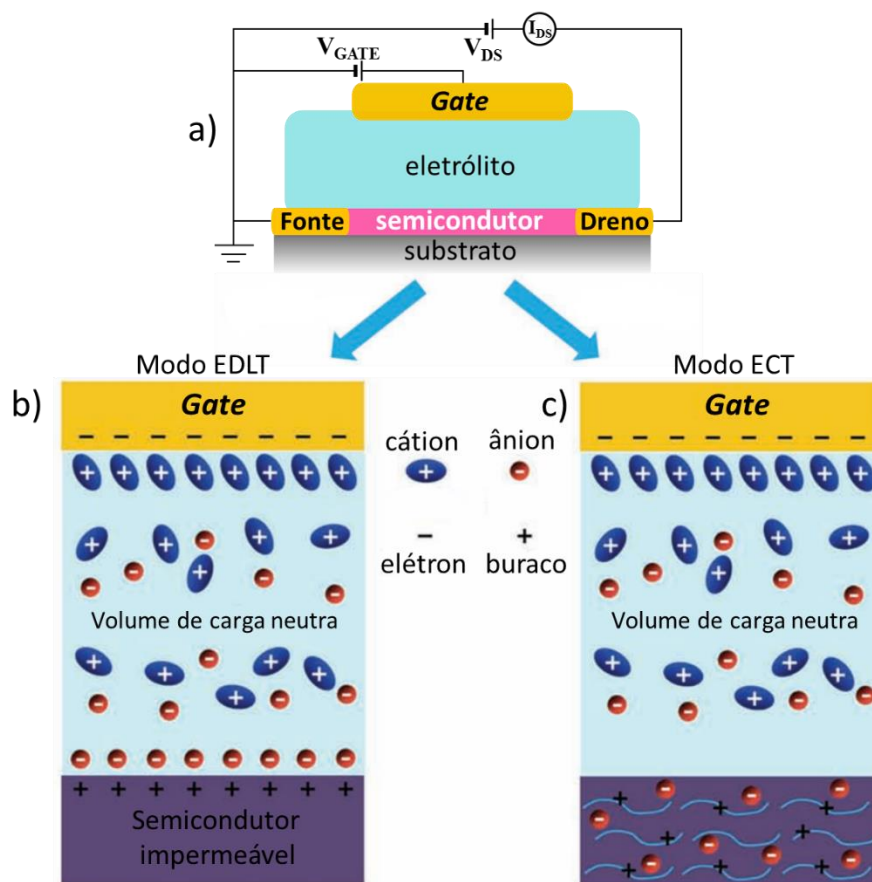


Figura 9 – (a) Visão lateral de um EGT. Operação no modo de acumulação de portadores para um EGT cujo semicondutor tipo-p é (b) impermeável ou (c) permeável aos íons. Os EGTs podem ser divididos em transistores de dupla camada elétrica (EDLT) ou transistores eletroquímicos (ECT), respectivamente. Figura adaptada de ³⁶.

No caso em que o semicondutor é impermeável aos íons do eletrólito, ilustrado na **Figura 9a**, em resposta a uma voltagem negativa aplicada ao *gate*, cátions do volume do eletrólito migram para a interface eletrodo/eletrólito, enquanto os ânions se movem em direção à interface eletrólito/semicondutor. Neste caso, dupla camadas elétrica (EDL) são formadas nas

interfaces, resultando em um transistor denominado transistor de dupla camada elétrica (EDLT). Na ausência de processos eletroquímicos, como a transferência de elétrons através da interface eletrólito/semicondutor, o efeito de tal interface no funcionamento do transistor é similar ao efeito de uma interface dielétrico/semicondutor, isto é, o EDLT é um transistor de efeito de campo. Ressalta-se que o presente texto é focado neste modo de funcionamento dos transistores.

Os eletrólitos são divididos em categorias, sendo que cada uma tem suas vantagens e desvantagens. Por exemplo, os eletrólitos líquidos, como água ou líquidos iônicos, têm sido frequentemente utilizados em transistores orgânicos devido à sua alta condutividade iônica (desde 10^{-5} até 10^{-2} S cm⁻¹)³⁶. Porém, a natureza fluída limita as aplicações práticas para a eletrônica de estado sólido. Alternativamente, eletrólitos sólidos, como géis iônicos, polieletrólitos e eletrólitos poliméricos sólidos, têm sido proposto para superar não somente os pontos negativos associados com os líquidos, mas também para permitir a fabricação e aprimoramento da eletrônica baseada em eletrólitos¹¹¹.

Os EGTs podem ser considerados células eletroquímicas de dois eletrodos, sendo eles o canal semicondutor e o eletrodo de *gate*¹. Consequentemente, o desempenho em corrente contínua é independente da posição dos eletrodos. Assim, os EGTs são compatíveis com arquiteturas nas quais o eletrodo de *gate* é depositado no mesmo plano que os eletrodos de fonte e dreno¹¹². Essa característica é possível pois, ao contrário dos dielétricos onde a polarização é unidirecional, no caso dos capacitores eletrolíticos a dupla camada elétrica é formada em cada superfície metálica e semicondutora em contato com o eletrólito. Além disso, como ilustrado na **Figura 10**, existe uma diferença entre o acoplamento de um filme dielétrico e de um eletrólito sobre um filme semicondutor. Como é observado na ilustração, o eletrólito tem uma característica de conformação espacial que é útil visando sua aplicação sobre materiais com morfologia irregular ou rugosa. Tal característica pode ser explorada em transistores de

arquitetura vertical com *gate* no topo, pois, como será apresentado no próximo tópico, o eletrodo intermediário é geralmente composto por uma camada porosa ou por uma rede metálica rugosa.

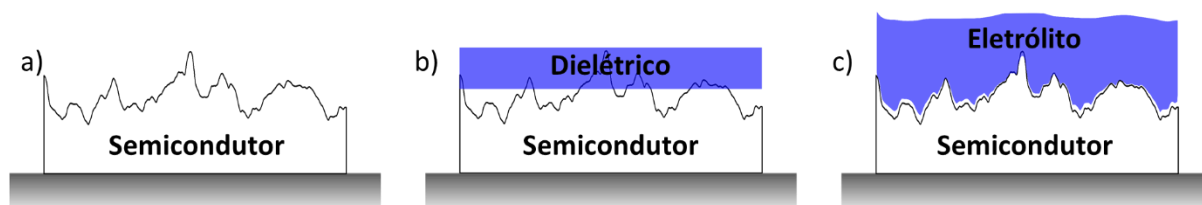


Figura 10 – (a) Filme semicondutor rugoso depositado sobre substrato plano. Comparação entre (b) dielétrico e (c) eletrólito com relação ao acoplamento com o filme semicondutor irregular/rugoso. Figura adaptada de ¹.

Entre as várias abordagens para a obtenção de eletrólitos para ser utilizado em TFTs, destacam-se os estudos de *Lee et al*¹¹³ e *Cunha et al*⁶⁷. O primeiro apresenta um gel iônico baseado no poli(fluoreto vinilideno-co-hexafluoropropileno) P(VDF-HFP) e no líquido iônico 1-etil-3-metilimidazólio bis(trifluorometilsulfonil)amida. O autor defende que o gel iônico resultante pode ser cortado manualmente e laminado sobre a camada semicondutora. Tal estratégia, denominada “*cut and stick*”, permite uma fabricação conveniente para transistores baseados em vários materiais semicondutores, pois o gel se adapta até à forma de superfícies irregulares. Com essa estratégia, os autores¹¹³ obtiveram capacitâncias tão altas quanto $10 \mu\text{F cm}^{-2}$ em baixas frequências e, de forma geral, apresentaram resultados que demonstram que a utilização do gel iônico é uma rota simples para obter transistores eletrolíticos. O segundo estudo apresenta um novo conceito de eletrólito hidrogel baseado em celulose, para a fabricação de transistores em papel, que também usa o processo de transferência do filme por laminação⁶⁷. Devido às características alcançadas em tal estudo, como alta capacitância de dupla camada ($4 \sim 5 \mu\text{F cm}^{-2}$), transparência e flexibilidade, os eletrólitos produzidos exibiram propriedades interessantes para a aplicação em dispositivos como biossensores ou transistores eletrolíticos.

2.3.2. Transistores verticais de barreira Schottky

O comprimento do canal, definido pela distância entre os eletrodos de fonte e dreno, é um dos parâmetros que determina o desempenho do transistor. O desenvolvimento de transistores com arquitetura vertical permite a fabricação de canais da ordem de centenas nanômetros sem a necessidade de fabricação com padronização geométrica de alta resolução. Pois, ao empilhar as camadas (condutoras, dielétrica e semicondutora) verticalmente, o comprimento do canal é a própria espessura do semicondutor. Tal dispositivo proposto por *Yang* recebeu o nome de transistor orgânico de efeito de campo com arquitetura vertical (VOFET)⁴². O VOFET é composto por três camadas condutoras, que são os eletrodos de *gate*, fonte e dreno. De acordo com a nomenclatura de *Yang*, a camada dielétrica entre os eletrodos de *gate* e fonte formam a célula capacitiva; já o semicondutor orgânico entre os eletrodos de fonte e dreno formam a célula ativa. Devido à grande diversidade de estruturas utilizando o empilhamento vertical de suas camadas, *Kleemann et al* propõem um panorama do estado-da-arte dos transistores verticais⁴³. Entre as variações possíveis, o presente texto se concentra na categoria SB-VFET. *Kleemann et al* observam que nesta categoria os transistores possuem um canal pseudo-vertical, isto é, um híbrido de transporte lateral e vertical. Devido à estrutura semelhante aos TFTs, as técnicas de processamento já estabelecidas são convenientes para os SB-VFETs.

Para o funcionamento de um SB-VFET, é necessária uma atenção especial para o eletrodo intermediário, que deve ser permeável ao campo elétrico do *gate*. Quatro abordagens se destacam no desenvolvimento de um eletrodo intermediário adequado. A primeira é a utilização de uma camada metálica com rugosidade da ordem da espessura do filme como proposto inicialmente por *Yang*^{42,114} e ilustrado no diagrama da **Figura 11a**. A segunda é a utilização de nanoestruturas porosas, como o eletrodo de nanotubos de carbono ilustrado na **Figura 11b**, que é uma abordagem difundida principalmente por *Rinzler*, como destacam os trabalhos de *Liu et al* e *McCarthy et al*^{44,46}. A terceira é através de padrões tipo grade, ilustrado

pelo diagrama presente na **Figura 11c**, obtidos principalmente por meio do uso de nanoesferas ou por processos de litografia⁴⁷⁻⁴⁹. Tal abordagem permite maior controle sobre as características do SB-VFET, sendo possível aplicar modelos analíticos. Porém, envolve processos de fabricação mais complexos. A quarta possibilidade é a utilização de nanofios metálicos como, por exemplo, os AgNW. Embora formem uma estrutura com perfurações não ordenadas, os AgNW bastante interessantes por serem compatíveis com técnicas de deposição por impressão^{45,52}.

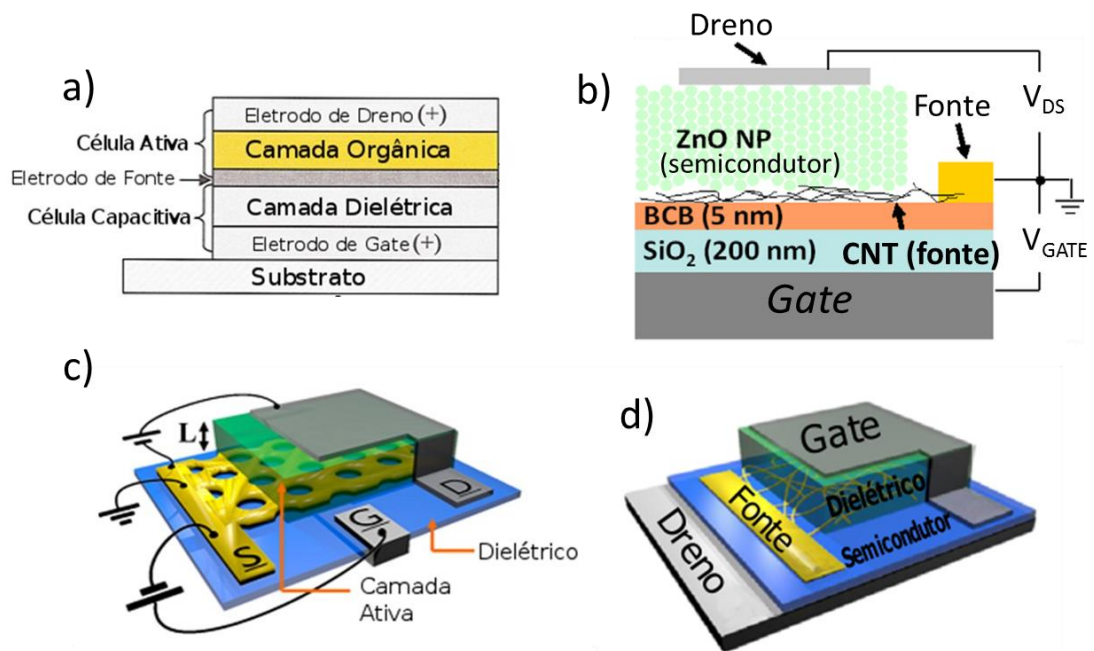


Figura 11 - Estruturas de SB-VFETs encontradas na literatura: (a) VOFET proposto por Yang⁴²; (b) utilizando nanotubo de carbono como eletrodo de fonte⁵³, (c) utilizando eletrodo de fonte com perfurações sub-micrométricas bem ordenadas⁴⁹ e (d) utilizando eletrodo intermediário de AgNW⁴⁵. Figuras adaptadas das respectivas referências.

O mecanismo de funcionamento de um TFT é diferente de um SB-VFET. O modelo da aproximação gradual, usado em OFETs¹⁰⁷, não é adequado para descrever os SB-VFETs. Como explicado por Kleemann¹¹⁵, para o OFET padrão, o campo entre dreno e fonte é perpendicular ao campo entre *gate* e dreno, além de ter menor magnitude. Assim, o transporte dos portadores de carga ocorre somente no canal, que está em um plano perpendicular ao campo elétrico do dielétrico. Apesar de também funcionar em modo de acumulação, tal descrição não

é aplicável para o SB-VFET, pois o campo entre *gate* e fonte é paralelo ao campo entre dreno e fonte, e possuem magnitudes similares. Isso dá origem à uma complexa distribuição de campo em 3D no volume do semiconductor. Uma diferença fundamental entre os TFTs convencionais e os SB-VFETs é que enquanto no primeiro o canal é formado a partir da largura W dos eletrodos de fonte e dreno (uma dimensão), no segundo o canal origina-se a partir da área de tais eletrodos (duas dimensões)⁴⁴. Assim, os SB-VFETs possuem uma área de corte transversal extremamente grande, que combinada com o comprimento do canal sub-micrométrico, permite baixas voltagens de operação e altas densidades de correntes de saída⁴⁶. *Rinzler* propõe que para viabilizar a comparação direta entre os dois tipos de dispositivos, é necessário converter a densidade de corrente linear dos TFTs em uma densidade de corrente planar⁴⁶.

Ao considerar o eletrodo intermediário com perfurações bem definidas como ilustrado na **Figura 12**, é possível propor uma descrição analítica aplicável apenas a este modelo simplificado¹⁰⁸. Uma descrição completa, resultado de uma investigação teórica da correlação entre os parâmetros estruturais e o desempenho do transistor, é fornecida por *Ben-Sasson*⁴⁷. Com esse modelo simplificado, é explicada a redução da barreira de injeção para o contato eletrodo-semicondutor mediante a influência da polarização do *gate* que, consequentemente, é um indicativo de que o comportamento de um SB-VFET é semelhante à um diodo cuja altura da barreira Schottky varia mediante a aplicação de V_{GATE} .

Para uma junção retificadora entre um semiconductor tipo-n e um eletrodo intermediário, a barreira Schottky existente limita a injeção dos elétrons do eletrodo para o semiconductor. Então, sem a polarização do *gate*, a corrente que flui a partir do topo do eletrodo é limitada por contato (CL) e, consequentemente, atribuída à corrente do estado desligado (I_{OFF}). Quando o *gate* é polarizado positivamente, as cargas negativas são atraídas para a interface dielétrico/semicondutor na região das perfurações do eletrodo intermediário, resultando na redução da barreira de injeção⁴⁹. Devido à tal acumulação de portadores, a área

perfurada serve como um reservatório de cargas, similar à definição de contato ôhmico. Esse fenômeno é denominado contato virtual e está representado na **Figura 12b**. Ao aplicar V_{DS} positiva, o campo elétrico estabelecido entre os eletrodos de fonte e dreno induz a formação de um canal vertical a partir do contato virtual como ilustrado na **Figura 12c**, no qual a corrente I_{DS} é somada ao valor de corrente medida no modo diodo. Para V_{DS} constante, V_{GATE} controla a carga armazenada no capacitor e, portanto, controla a altura efetiva da barreira de injeção. No caso em que a voltagem aplicada ao *gate* é suficiente para o dispositivo atingir o estado ligado, a corrente entre fonte e dreno é limitada quase que exclusivamente pela mobilidade do volume do semiconductor e, então, pode ser descrita usando o modelo da corrente limitada por carga espacial (SCLC).

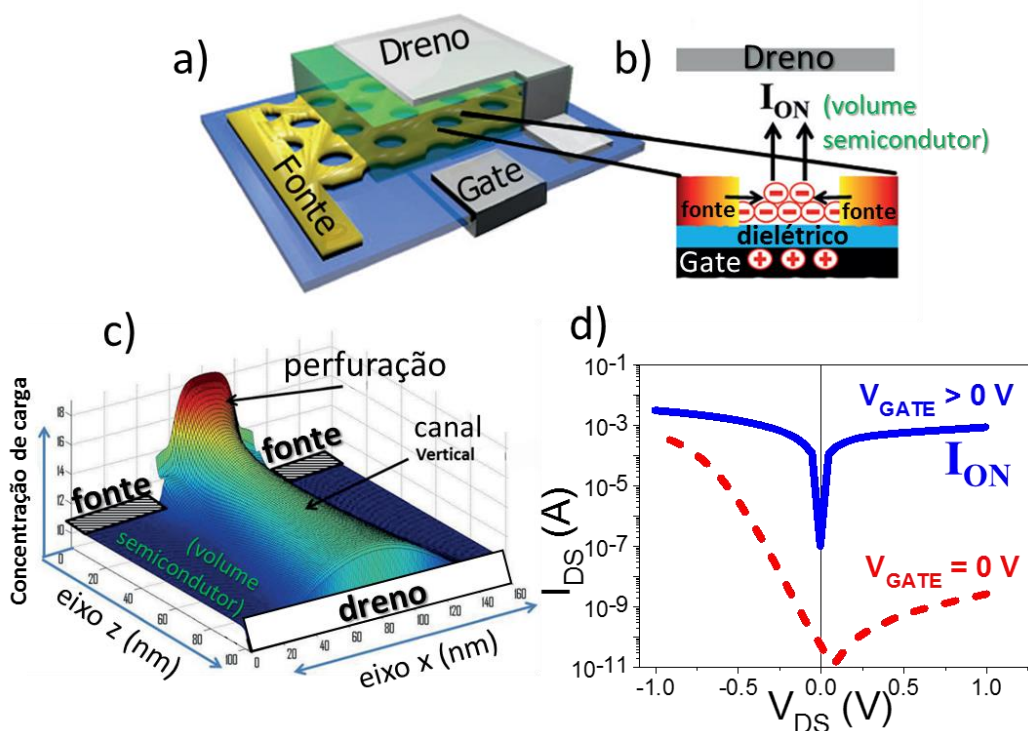


Figura 12 – (a) Diagrama representado o SB-VFET com perfurações sub-micrométricas bem ordenadas no eletrodo intermediário. (b) Vista lateral do eletrodo, indicando a acumulação de cargas negativas nas perfurações (contato virtual). (c) Ilustração da concentração de carga e formação do canal vertical. Figuras adaptadas de ¹⁰⁸. (d) Exemplo de curvas de saída esperada para o SB-VFET com semiconductor tipo-n, elaborada pelo autor baseado em ¹¹⁶.

Considerando um transistor normalmente desligado, a polarização do *gate* é responsável por chaveá-lo para um estado ligado por meio de uma redução da barreira de

injeção entre o eletrodo intermediário e o semicondutor. Neste modelo simplificado, o comportamento do SB-VFET é similar ao de um diodo, sendo função do *gate* mudar a característica do eletrodo intermediário quanto à injeção de cargas^{47,108}. Ilustra-se na **Figura 12d** a curva de saída esperada para o SB-VFET ao utilizar um eletrodo intermediário que estabelece contato Schottky e um contato ôhmico depositado sobre o semicondutor. Sem a polarização do *gate* ($V_{\text{GATE}} = 0 \text{ V}$), o estado desligado do SB-VFET resulta em um comportamento da corrente similar à retificação de um diodo. Com a polarização do *gate* ($V_{\text{GATE}} > 0 \text{ V}$), a corrente é chaveada atingindo o estado ligado, perdendo o comportamento de retificação.

3. Materiais e métodos

3.1. Materiais

Os materiais utilizados na produção dos dispositivos estudados podem ser categorizados como condutores para uso em eletrodos, semicondutores para camada ativa de diodo e transistores, e eletrólito para aplicação nos transistores eletrolíticos. O eletrólito utilizado nos transistores é um hidrogel a base de celulose e íons de hidróxido de lítio (LiOH), produzido pela equipe do laboratório de impressão do CEMOP-CENIMAT/i3N⁶⁷.

Como eletrodo utilizou-se Al, ITO, PEDOT:PSS, e AgNW. Além desses, grafite de lapiseira comercial também foi avaliado como eletrodo de baixo-custo. Todos os principais materiais utilizados nesse estudo foram adquiridos da Sigma-Aldrich. O Al utilizado tem pureza de 99,9% e densidade de $2,7 \text{ g mL}^{-1}$ (nº produto 266523). O PEDOT:PSS utilizado é uma dispersão de 1,3% em peso em água, com condutividade de 1 S cm^{-1} (nº produto 483095). O AgNW utilizado possui comprimento entre 20 e 50 μm , fornecido em uma suspensão de 0,5% em álcool isopropílico (nº produto 778095). Foram utilizados dois tipos de substratos de vidro recoberto com ITO: i) vidro totalmente recoberto; e ii) vidro com padrão interdigitado de ITO adquirido da Ossila®.

Os filmes de ZnO, utilizados como camada semicondutora, foram depositados por spray por duas rotas distintas. Na primeira rota, explorada no Capítulo 4, utilizou-se de uma dispersão de nanopartículas (ZnO-NP) com concentração de 20% em peso em água (nº produto 721077). Na segunda rota, explorada no Capítulos 5, o ZnO foi sintetizado por spray pirólise a partir do precursor orgânico de acetato dihidratado de zinco $[\text{Zn}(\text{CH}_3\text{COO})_2 \cdot 2\text{H}_2\text{O}]$ com pureza $> 98\%$ (nº produto 383058).

3.2. Deposição por spray

O revestimento por spray está presente no dia-a-dia em inúmeras aplicações industriais e em outras mais sofisticadas, como a deposição de filmes finos de materiais funcionais para a fabricação de TFTs¹¹⁷. O mecanismo pelo qual forma-se o filme fino sólido ou revestimento é dividido em algumas etapas: atomização da solução, voo da gotícula desde o bico de deposição até o substrato e a dinâmica de impacto da gotícula¹³.

A atomização é a conversão de um volume de líquido em pequenas partículas que compõem um grupo de gotículas dinâmicas. Todos os métodos de atomização são baseados em transferência de energia com o objetivo de fragmentar uma massa líquida. No caso em que é utilizado um fluxo gasoso, o processo de atomização é controlado pela dinâmica de pressão do gás, tensão superficial e viscosidade do líquido. A atomização primária que ocorre próxima ao bico de deposição é causada pela fricção entre a superfície do líquido e o ar em alta velocidade. Quando a flutuação de pressão do fluxo de ar excede a tensão superficial do líquido, a sua superfície começa a romper, tornando possível a pulverização¹¹⁸.

O caminho que as gotículas percorrem durante o voo, desde a pulverização até atingir o substrato, é determinado pela combinação entre a força exercida pelo gás de arraste e a gravidade. É esperado um aumento na taxa de evaporação do solvente devido à pressão de vapor muito maior do que do soluto. Portanto, essa dinâmica de evaporação é referente à concentração de soluto nas gotículas que pode aumentar até atingir um valor no qual a gota se torne uma partícula, impedindo a distribuição suave do material no substrato ou levando a formação de um filme granuloso.

O último passo do mecanismo de deposição por spray é o impacto das gotículas na superfície, resultando na formação de um filme fino contínuo. A hidrodinâmica da interação gotícula-superfície durante o impacto é complexa e muitos estudos são focados neste ponto. Por exemplo, *Rioboo et al*¹¹⁹ apresentam um estudo extensivo, no qual são apontados seis

resultados possíveis para o impacto da gota na superfície seca. Entre eles, ilustra-se na **Figura 13** o caso particular no qual o resultado é a deposição do material, que ocorre quando as gotas são espalhadas sobre a superfície e lá permanecem sem qualquer rompimento. Os resultados obtidos em termos de espessura, rugosidade e qualidade dos filmes são influenciados pelo tamanho da gotícula, viscosidade da solução, número de camadas e temperatura do substrato¹².



Figura 13 – Evolução temporal da aproximação de uma gotícula em direção à superfície horizontal, para o caso específico no qual o impacto entre a gota e a superfície resulta na deposição do material. Figura retirada de ¹¹⁹.

3.2.1. Sistema homemade de deposição

A maior parte dos filmes estudados para a presente tese podem ser reunidos em duas categorias de processamento por solução: i) revestimento por spray, pela qual obtiveram-se filmes de ZnO-NP, PEDOT:PSS e AgNW; e ii) spray pirólise, pela qual obtiveram-se filmes de ZnO a partir do acetato de zinco [$\text{Zn}(\text{CH}_3\text{COO})_2 \cdot 2\text{H}_2\text{O}$]. Embora semelhantes e realizadas no mesmo sistema apresentado na **Figura 14a**, é importante estabelecer a distinção entre as duas abordagens. No revestimento por spray, o material disperso já se encontra na formulação final e o aquecimento do substrato interfere apenas nas condições físicas de formação do filme. A síntese por spray pirólise é um processo no qual o filme fino é depositado através da pulverização de uma solução na superfície aquecida, onde os constituintes reagem para formar o composto químico. Além disso, os reagentes são selecionados de tal forma que os produtos que não fazem parte do composto desejado sejam voláteis na temperatura de deposição¹¹.

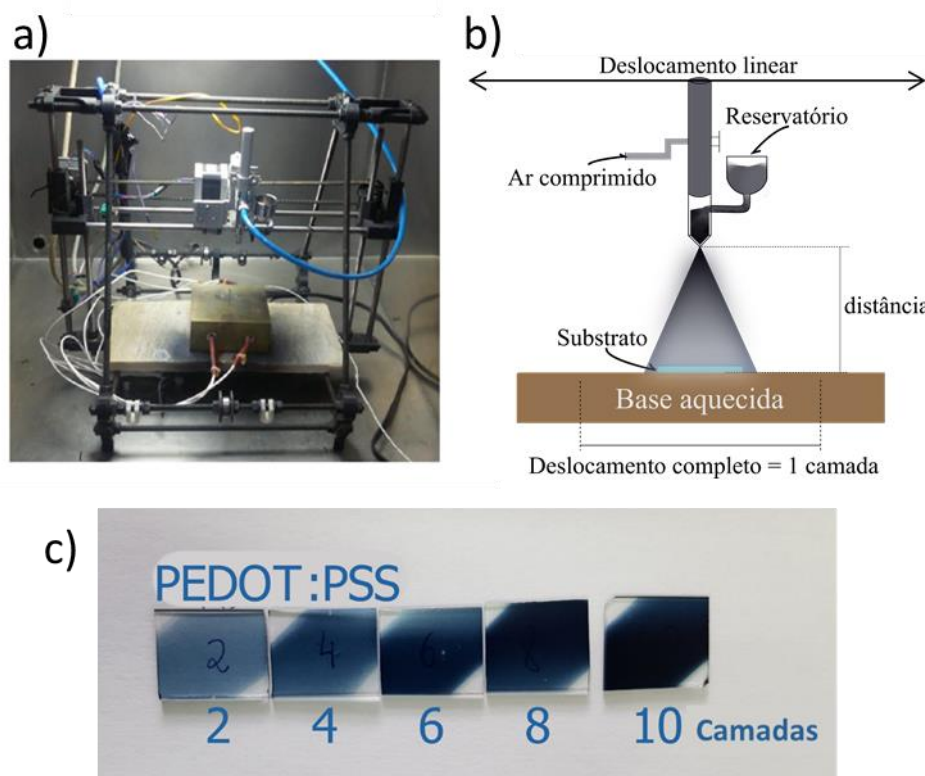


Figura 14 - a) Fotografia do sistema *homemade* de deposição por spray automatizado. b) Esboço ilustrando as partes que compõem o sistema, cujos parâmetros estão resumidos na **Tabela 1**. c) Fotografia de filmes de PEDOT:PSS depositados por spray com várias camadas sobre substrato de vidro.

O sistema *homemade* de deposição por spray é equipado com um aerógrafo Steula BC-62 com bico de 0,2 mm e reservatório com capacidade de 7 mL. Os principais parâmetros de deposição por spray incluem o solvente, a velocidade de deslocamento linear, distância entre a base e o aerógrafo, fluxo do gás de arraste e temperatura da base¹²⁰. Para ter melhor controle sobre tais parâmetros, o aerógrafo foi acoplado em uma estrutura modificada de uma impressora 3D (MoviTech), permitindo um deslocamento linear automatizado sobre o substrato. Este movimento linear perpendicular ao bico de deposição garante maior homogeneidade para o filme¹²¹. Além disso, acoplou-se ao sistema uma chapa aquecedora sobre a qual os substratos são posicionados, com a finalidade de controlar a temperatura do substrato durante a deposição. Apresenta-se na **Figura 14b** um esquema indicando as principais partes do sistema de spray. É importante esclarecer que, ao longo do texto, o termo “camada” refere-se a um deslocamento completo do aerógrafo sobre toda a extensão do substrato. Tal parâmetro é útil para controlar a

espessura desejada do material. Por exemplo, a fotografia da **Figura 14c** ilustra a relação entre o número de camadas e o aumento da espessura do filme. É importante mencionar que o conceito de camadas é particularmente interessante quando deseja-se manter uma uniformidade e não há a possibilidade de medida de espessura. Este foi o caso da maior parte do período do doutorado, por isso, manteve-se esta abordagem. Porém, com a aquisição de um perfilômetro para a medição de espessura de filmes finos, não é necessário seguir estritamente os parâmetros determinados experimentalmente. Neste caso, o mais importante é adequar os parâmetros ao que é medido de forma direta no perfilômetro. Ressalta-se que o sistema de deposição foi configurado de forma a deixar um tempo de espera entre as camadas. A deposição de uma camada, que dura entre 30 e 45 segundos, é seguida por uma pausa de 15 segundos que permite o assentamento do vapor na amostra antes da repetição do ciclo. O referido protocolo é repetido pelo número de vezes necessário para atingir a espessura final desejada.

3.2.2. *Spray pirólise do ZnO*

A técnica de spray pirólise é uma maneira de sintetizar materiais em pressão atmosférica na forma de pó ou filme. Para obter o material na forma de filme, a solução precursora do composto químico no solvente apropriado é pulverizada sobre um substrato aquecido onde a reação de pirólise ocorre. A técnica de síntese de materiais por spray pirólise envolve três estágios: composição da solução precursora, geração e transporte do aerossol e o processo de síntese. Cada etapa é ajustada de acordo com as características finais desejadas para o material. Após a determinação da composição química adequada e da geração da névoa de aerossol, o transporte das gotículas pode ser realizado por meio de um fluxo de gás configurado para minimizar a coalescência durante o transporte e garantir a taxa de síntese desejada¹²².

No caso da deposição de filmes, a região reativa é o espaço próximo à superfície do substrato aquecido. Nesta região, os parâmetros de temperatura do substrato, tamanho da gota e velocidade são determinantes para o processo de síntese. A **Figura 15** ilustra os diferentes

estágios durante a aproximação da gotícula em direção ao substrato aquecido, para o caso com temperatura e velocidade fixas e diferentes tamanhos de gotícula¹²². O tamanho das gotículas é controlado pelos parâmetros de deposição disponíveis de acordo com o método de geração das gotículas que formam a névoa. As três principais categorias são: spray pneumático, baseado em um fluxo de gás de arraste; spray ultrassônico, por meio de vibrações ultrassônicas; e eletrospray de alta voltagem, através de repulsão elétrica¹²³. Para o presente estudo, foi utilizado o spray pneumático, com ar comprimido como gás de arraste. Para a partícula inicialmente grande (A), o solvente da gotícula não é completamente vaporizado e a gotícula líquida atinge o substrato. Com o contato, a gotícula vaporiza deixando uma marca anelar seca precipitada no substrato. Para os tamanhos grande ou médios (B), o solvente é vaporizado e um precipitado seco (sal precursor amorfo) atinge o substrato onde a reação de pirólise ocorre. Para os médios ou pequenos (C), as gotículas passam pelos estágios descritos acima e ao aproximar da superfície do substrato os precipitados secos são vaporizados, propiciando uma deposição química em fase de vapor (CVD) na superfície do substrato. Finalmente, para as gotículas pequenas (D), os precipitados vaporizados são submetidos à CVD antes de atingir a superfície do substrato.

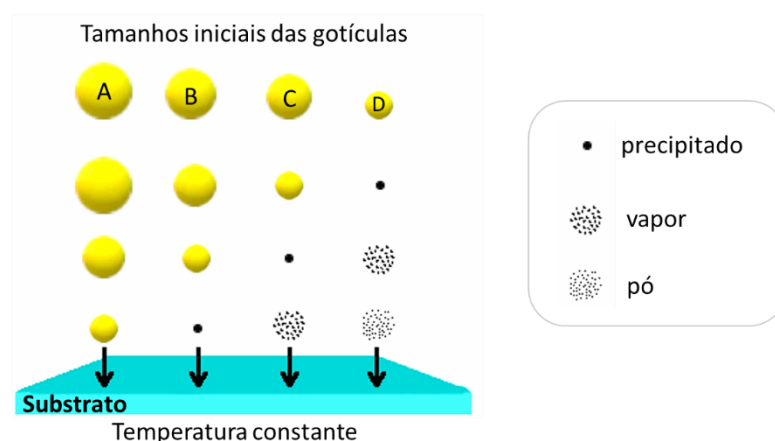


Figura 15 – Diagrama dos diferentes estágios do processo de evolução das gotículas enquanto se aproximam do substrato aquecido, com temperatura e velocidade constantes e diferentes tamanhos iniciais de gotícula (A-D). Figura adaptada de ¹²².

Na maior parte dos casos, os filmes de ZnO por spray pirólise são depositados através da decomposição de uma solução de acetato de zinco em álcool. O acetato de zinco é um sal acético amplamente disponível, que possui temperatura de decomposição relativamente baixa. Além de ser altamente solúvel, o acetato de zinco é usado de forma eficiente para obter filmes policristalinos de ZnO de alta qualidade¹²⁴. Soluções alcóolicas são preferíveis pois a baixa tensão superficial e viscosidade facilita a formação de pequenas gotículas pulverizadas, enquanto o baixo ponto de fusão possibilita a sua remoção de forma eficiente¹²¹. Em relação ao processo de spray do ZnO, as gotículas pulverizadas que atingem o substrato aquecido formam um filme que pode ser composto por monocristalitos ou por um grupo de cristalitos dos produtos¹²⁵. A deposição de ZnO por spray pirólise resulta em um filme denso quando comparado aos filmes obtidos por impressão jato de tinta e *spin-coating*¹²⁶.

3.3.Descrição do preparo das amostras

O primeiro passo para a preparação das amostras é a limpeza do substrato, os quais são lâminas de vidro para microscopia da marca *Knittel*. As lâminas de vidro foram limpas com água deionizada e detergente NionLab não iônico. Foram enxaguadas em água deionizada com abundância, colocadas em um porta-amostra contendo aproximadamente 80% de água e 20% de detergente e deixadas em ultrassom durante 30 minutos a 45 °C. As lâminas foram enxaguadas com água deionizada quente, em abundância, e colocadas em porta amostras contendo apenas água ultrapura (sistema Mili-Q), onde permaneceu em banho ultrassônico por 5 minutos. Repetiu-se essa etapa mais duas vezes, com o objetivo de eliminar resíduos de detergente. A seguir, as lâminas foram secas com fluxos de N₂ e imersas em um porta-amostra contendo acetona, onde permaneceu em ultrassom por mais 20 minutos. Enfim, as lâminas

limpas foram armazenadas em álcool etílico absoluto, onde permaneceram até serem levadas ao próximo passo experimental.

Foram utilizados dois tipos de substratos de vidro recoberto com ITO, que são ilustrados na **Figura 16**. O padrão de eletrodos interdigitados ilustrado na **Figura 16a** foi utilizado para a fabricação de transistores eletrolíticos planares. Segundo o fabricante (Ossila®), tais eletrodos apresentam largura (W) e comprimento (L) de canal de 30 μm e 50 μm , respectivamente, resultando em uma razão W/L de 600, além de espessura de ~ 100 nm e resistência de folha de $20 \Omega \text{ sq}^{-1}$. Como não há a necessidade de uma resolução micrométrica para os diodos e transistores verticais, optou-se por utilizar um padrão mais simples de faixas paralelas para esses dois dispositivos. Para obter as faixas de 0,1 cm ilustradas na **Figura 16b**, é necessário submeter o substrato de vidro totalmente recoberto com ITO ao processo de decapagem. Para isso, as áreas que correspondem às faixas de ITO são protegidas com fita adesiva, enquanto as áreas de ITO que devem ser removidas ficam expostas e em contato com uma solução de pó de zinco e água (pasta). Após a secagem, a pasta é removida com ácido sulfúrico, cuja reação remove o ITO do substrato de vidro.

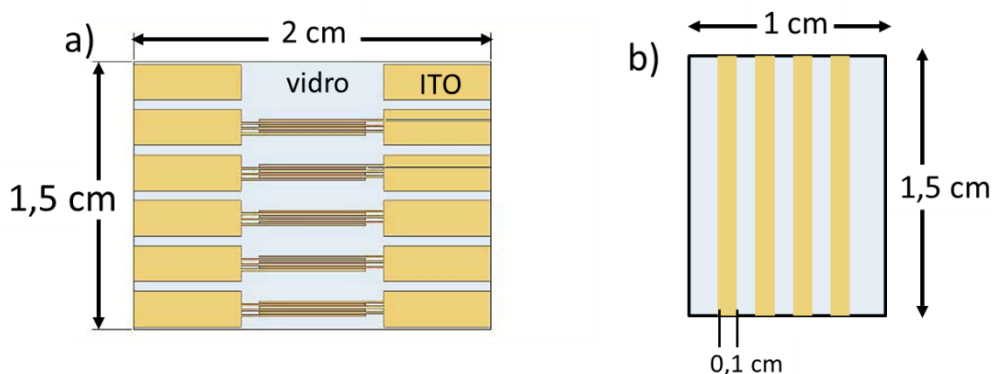


Figura 16 – Substratos de vidro recoberto com ITO, com dois padrões diferentes. (a) eletrodos interdigitados adquiridos da Ossila®, com distância entre dígitos de 50 μm e comprimento de eletrodo de 30 μm . (b) Padrão para os eletrodos de ITO com faixas de 0,1 cm obtidas via processo de decapagem de uma superfície totalmente recoberta com ITO. Ambas camadas de ITO possuem espessura de ~ 100 nm.

Nos itens seguintes (3.3.1 e 3.3.2) estão descritos os detalhes de preparo e deposição por spray dos filmes utilizados nos estudos. Apresenta-se na **Tabela 1** os principais parâmetros citados, referente às deposições por spray para cada material. Ressalta-se que os números de camadas que não estão especificados nestes itens serão apresentados diretamente nos capítulos de resultados. Os parâmetros de deposição foram determinados através de testes experimentais, tendo como base os parâmetros determinados em trabalhos prévios. Após o ajuste dos parâmetros de deposição para cada material, foi possível sobrepor os filmes de materiais diferentes, resultando em dispositivos com camada ativa e eletrodos depositados por spray.

Tabela 1 – Resumo das informações que estão descritas nos itens 3.3.1 e 3.3.2, referentes aos parâmetros de deposição por spray para os diferentes materiais utilizados no estudo. Encontra-se abaixo os materiais e solventes utilizados, a velocidade de deslocamento do aerógrafo durante a deposição, distância entre o aerógrafo e o substrato, fluxo de ar controlado, temperatura do substrato durante a deposição e tratamento térmico pós-deposição.

Material depositado	Solvente da Dispersão	Velocidade De deposição (mm s^{-1})	Distância Até o substrato (cm)	Fluxo de ar (L min^{-1})	Temperatura Do substrato ($^{\circ}\text{C}$)	Tratamento Térmico ($^{\circ}\text{C} / \text{min}$)
PEDOT:PSS	Água e metanol	40	10	2	110	-
Cossolvente	Água e metanol	-	12	2	160	-
ZnO-NP	Água e etanol	20	10	7	90	130 / 30
ZnO pirólise	Álcool isopropílico e etanolamina	40	12	7	350	400 / 60
AgNW	Álcool isopropílico	30	10	3	80	120 / 20

3.3.1. Filmes de ZnO e PEDOT:PSS

A dispersão de nanopartículas de ZnO em água (20% em peso) foi diluída em etanol até atingir uma concentração de 2% em peso. A tinta então foi submetida a 15 minutos de agitação magnética, seguida por 30 minutos em banho ultrassônico. Os parâmetros da deposição das camadas por spray incluem distância de 10 cm entre o substrato e o aerógrafo, velocidade de deslocamento do aerógrafo de 20 mm s^{-1} , fluxo de ar de 7 L min^{-1} e temperatura de 90°C .

Após a deposição, o filme foi tratado com uma temperatura de 130 °C, no ar, durante 30 minutos. O filme resultante possui uma coloração branca e é visivelmente mais espesso do que o filme obtido por spray pirólise.

Para a deposição dos filmes de ZnO por spray pirólise, a solução precursora foi obtida adicionando-se 1,0 g de acetato de zinco em 20 mL de álcool isopropílico, além de uma pequena quantidade de etanolamina que atua como estabilizante da solução. Nesta síntese, o substrato de vidro foi colocado sobre uma base aquecida a 350 °C, para que ocorresse a pirólise dos materiais enquanto a solução precursora é pulverizada diretamente sobre o substrato. Como será relatado nos resultados, adotou-se como padrão a realização de uma etapa de tratamento térmico à 400 °C na atmosfera, no escuro, durante uma hora, imediatamente após a deposição do filme. Ao estudar o efeito da temperatura durante o processo de spray pirólise nas propriedades estruturais e elétricas do ZnO, *Adamapoulos et al.* relatam uma completa decomposição do acetato de zinco ocorre por volta de 350 °C e que as melhores mobilidades de efeito de campo foram atingidas pelos TFTs com deposição de ZnO acima de 400 °C¹²⁴. Tal procedimento resulta em filmes transparentes e visivelmente homogêneos. Além da temperatura do substrato, outros parâmetros utilizados para a deposição das camadas de ZnO são a distância de 12 cm, fluxo de 7 L min⁻¹ e velocidade de 40 mm s⁻¹.

A dispersão de PEDOT:PSS em água foi diluída em metanol em uma proporção de 50% em volume. De acordo com *Wang et al*¹²⁷, a adição de metanol na dispersão auxilia a formação do filme de PEDOT:PSS, sendo que a morfologia da camada de PEDOT:PSS mostrou-se dependente da quantidade de metanol devido à uma menor viscosidade e melhor molhabilidade. Os parâmetros de deposição para essa dispersão foram velocidade de 40 mm s⁻¹, distância de 10 cm, fluxo de 2 L min⁻¹ e temperatura de 110 °C. Com o objetivo de melhorar a condutividade, os filmes foram submetidos ao tratamento com cossolvente composto por 80% de metanol e 20% de água. De acordo com a metodologia proposta por *Xia e Ouyang*⁹¹ era

necessário gotejar 100 μL do cossolvente sobre o filme de PEDOT:PSS com temperatura de 140 $^{\circ}\text{C}$. Porém, ao tentar reproduzir esse procedimento, foi observado que a secagem do cossolvente ocorre de forma irregular, criando diferentes morfologias ao longo do filme, dificultando o uso como eletrodo. Então, o procedimento foi modificado para ser compatível com o uso automatizado do sistema de spray no modo estático[§]. O tratamento foi realizado pela pulverização de 500 μL do cossolvente com uma distância de 12 cm do filme de PEDOT:PSS, temperatura de 160 $^{\circ}\text{C}$ e fluxo de 2 L min^{-1} .

3.3.2. *Fabricação dos diodos*

Os diodos de PEDOT/ZnO/Al, presentes na **Figura 17a,c**, foram produzidos a partir dos filmes de PEDOT:PSS com duas espessuras distintas após o tratamento com cossolvente. Estudou-se o efeito causado pela diferença entre os dois eletrodos de PEDOT:PSS no funcionamento do diodo. Os filmes de ZnO-NP foram depositados sobre os eletrodos de PEDOT:PSS, resultando em um contato Schottky obtido totalmente por spray. Como última etapa, os eletrodos circulares de Al foram depositados no topo para atuar como contato ôhmico.

[§] Refere-se à deposição por spray na qual o aerógrafo permanece fixo sobre o substrato, isto é, sem o deslocamento linear ilustrado na **Figura 14b**.

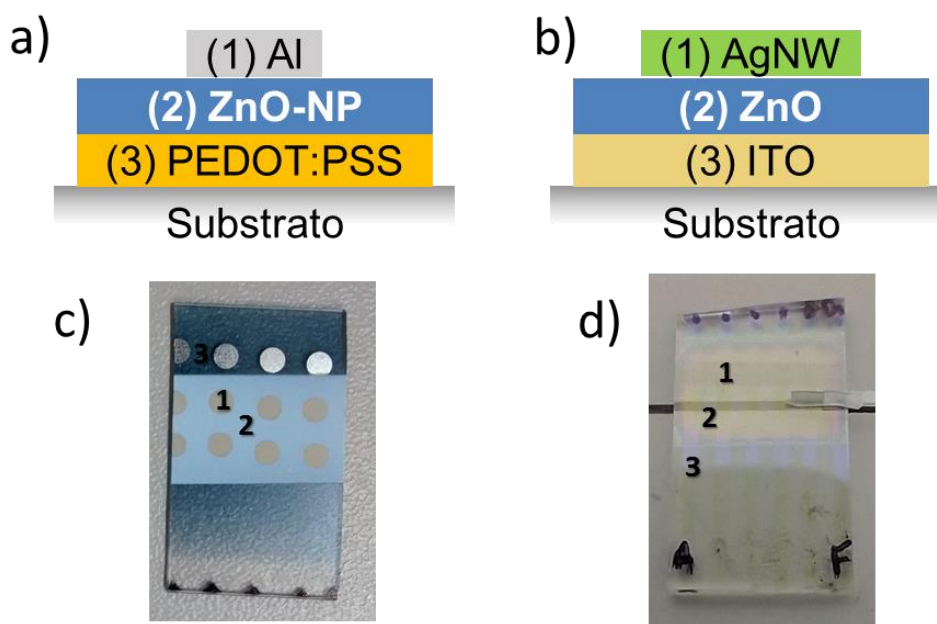


Figura 17 – (a,c) Diagrama e foto do diodo de PEDOT/ZnO-NP/Al, com pelo menos seis eletrodos circulares por substrato, com área de 1 mm^2 cada. (b,d) Diagrama e foto do diodo de ITO/ZnO/AgNW, com uma tira comum de AgNW às cinco tiras de ITO perpendicular, totalizando uma área sobreposta de 3 mm^2 . Ressalta-se que, devido a transparência, a identificação visual das camadas é prejudicada.

Para a fabricação dos diodos de ITO/ZnO/AgNW apresentados na **Figura 17b,d**, o eletrodo de AgNW foi obtido pela deposição por spray da dispersão de AgNW em álcool isopropílico 1:3 (v:v) sobre a camada de ZnO previamente depositada. Os parâmetros de deposição para as 4 camadas foram: distância de 10 cm; fluxo de 3 L min^{-1} ; velocidade de 30 mm s^{-1} ; e temperatura de $80 \text{ }^\circ\text{C}$. Após a deposição dos eletrodos de AgNW, as amostras foram mantidas em uma chapa aquecedora a $120 \text{ }^\circ\text{C}$ por 20 min. Com esse processo de deposição fácil e rápido, é possível controlar a quantidade de nanofios por meio dos parâmetros do spray, resultando em eletrodos transparentes ($\sim 98\%$) e com baixa resistência de folha ($\sim 10 \text{ } \Omega \text{ sq}^{-1}$). Como será mostrado no Capítulo 6, tal estrutura de diodo é adequada como base para o SB-EG-VFET.

3.3.3. Fabricação dos transistores

As duas arquiteturas de transistor utilizadas, planar e vertical, foram obtidas ao utilizar um eletrólito como dielétrico de *gate*. Para isso, conforme ilustrado no diagrama da

Figura 18, o eletrólito em gel é posicionado sobre a amostra de ITO/ZnO (**Figura 18a**) e sobre o diodo ITO/ZnO/AgNW (**Figura 18b**), formando a camada dielétrica dos transistores planar e vertical, respectivamente. Para o transistor planar (item 5.1), foram testados os eletrodos de *gate* de PET recoberto com ITO ou eletrodos de folha de Al recoberta com Au. Devido à superioridade do transistor planar com *gate* de Al-Au, optou-se por mostrar apenas os resultados de transistor vertical utilizando eletrodo de *gate* semelhante (item 5.3).

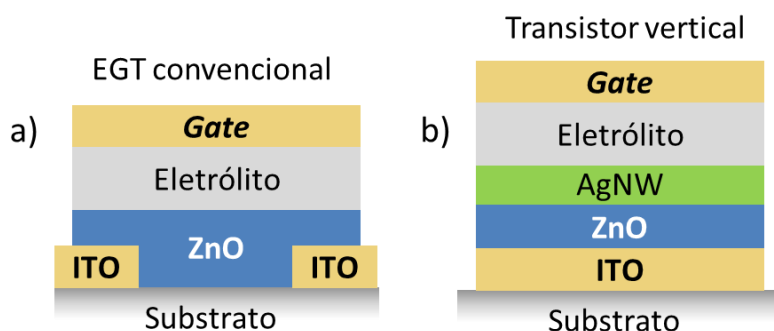


Figura 18 – Diagramas dos transistores com estrutura (a) planar e (b) vertical. Para ambos foi utilizado *gate* eletrolítico, eletrodo inferior de ITO e ZnO depositado por spray-pirólise. Os eletrodos de *gate* serão especificados no momento em que forem apresentados nos capítulos de resultados.

3.4. Caracterizações elétricas, morfológicas e óticas

As caracterizações elétricas com corrente contínua (DC) foram utilizadas para obter os valores de resistência de folha (R_s) pelo método de quatro pontas, além das curvas de corrente em função da voltagem (I-V) e as curvas de saída e transferência, fundamentais para o estudo dos transistores. O equipamento da Keithley modelo 4200-SCS (Sistema de Caracterização de Semicondutores), apresentado na **Figura 19b**, é um sistema completo de soluções para caracterização elétrica de dispositivos e materiais semicondutores. A configuração padrão inclui duas unidades de fonte e medição (SMU) e uma unidade de aterramento¹²⁸. As medidas com corrente alternada (AC) foram realizadas através da espectroscopia de impedância, obtendo-se as curvas de capacitância e ângulo de fase em função da frequência. A aplicação da técnica para o estudo de dispositivos por meio de curvas de impedância e de capacitância pode ser encontrada nos trabalhos anteriores do LaDSOr^{129,130}. A análise de espectroscopia de

impedância foi realizada por meio do analisador de impedância 1260 acoplado à interface dielétrica 1296, ambos da Solartron, mostrados na **Figura 19a**. A interface dielétrica 1296 é usada em conjunto com o analisador de impedância da Solartron, ampliando sua capacidade de medida para lidar com uma maior variedade de materiais^{131,132}.

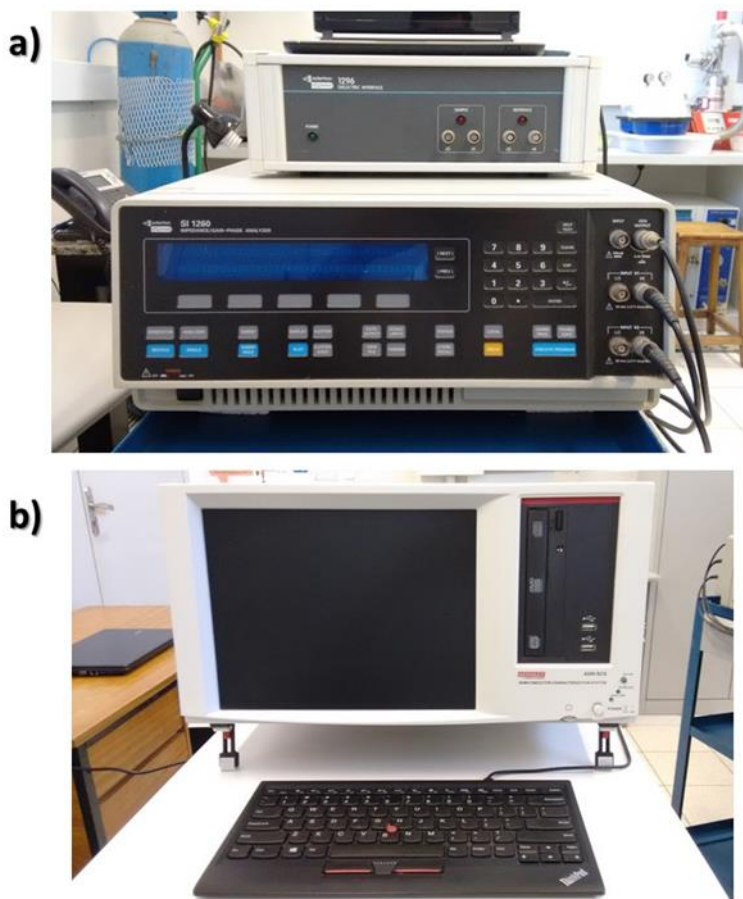


Figura 19 - Fotos dos principais equipamentos utilizados para a caracterização elétrica. (a) Analisador de impedância Solartron 1260 com interface dielétrica 1296 e (b) analisador de parâmetros semicondutores Keithley 4200-SCS.

Para realizar as medidas elétricas dos dispositivos de ZnO, é de grande importância que a amostra esteja em local escuro. Para isso, foram utilizados os sistemas *homemade* apresentados na **Figura 20**. O criostato da **Figura 20a** possui um sistema de aquecimento em vácuo que permite variar desde a temperatura ambiente até 400 °C, sendo necessário realizar os contatos elétricos com a amostra com o auxílio de tinta de prata. O sistema das **Figura 20b** e **Figura 20c** é formado por uma base de aço inox, no qual os contatos, por pressão, são realizados

com o auxílio de três posicionadores xyz. Em tal sistema, as medidas podem ser realizadas em pressão atmosférica ou em vácuo ativo. As condições para as caracterizações de cada amostra serão especificadas nos capítulos de resultados.

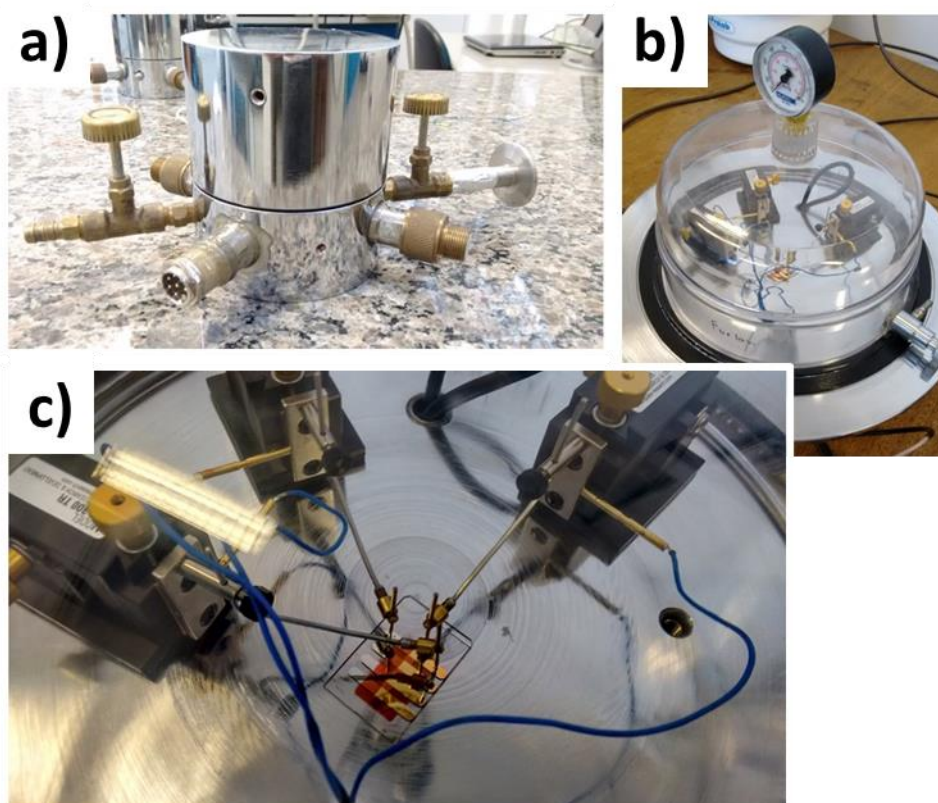


Figura 20 – Fotos dos sistemas *homemade* de medidas elétricos. (a) Criostato com sistema de aquecimento em vácuo e contatos realizados com tinta prata. (b) Base com campânula de acrílico e (c) posicionadores xyz para estabelecer os contatos elétricos por pressão.

As morfologias dos filmes foram estudadas a partir de imagens de microscopia eletrônica de varredura (MEV) e de microscopia confocal, ambos disponíveis em laboratórios multiusuários da FCT/Unesp. Para as imagens de MEV, utilizou-se um microscópio Carl Zeiss modelo EVO LS15, com uma tensão de aceleração de 30 kV. Utilizou-se um microscópio confocal Nikon modelo C2/C2si para obter imagens de campo claro. As análises das imagens foram realizadas através do *software ImageJ*. Para as medidas de espessura, utilizou-se um perfilômetro de contato Bruker Dektak XT.

As propriedades vibracionais dos filmes de PEDOT:PSS foram estudadas através de espectroscopia Raman, por meio de um espectrógrafo micro-Raman, Renishaw, modelo in-

Via. As medidas foram realizadas em temperatura ambiente no Laboratório de Filmes Finos e Espectroscopia do Departamento de Física da FCT/Unesp, coordenado pelo Prof. Dr. Carlos José Leopoldo Constantino. Foram utilizados os lasers 514 nm e 785 nm, que serão especificados na apresentação dos resultados. A espectroscopia de UV-Vis foi realizada em um espectrofotômetro Shimadzo, modelo UV-1800, com feixe duplo.

4. Dispositivos com nanopartículas de ZnO

Neste capítulo serão apresentados os resultados obtidos com os filmes de ZnO obtidos a partir da deposição por spray de uma dispersão de nanopartículas de ZnO (ZnO-NP) adquirida da Sigma-Aldrich. No item 4.1 apresenta-se a caracterização inicial dos filmes de ZnO-NP e PEDOT:PSS depositados por spray, visando a aplicação no diodo Schottky apresentado no item 4.2. No item 4.3 apresenta-se os filmes de ZnO-NP aplicados em EGTs.

4.1. Caracterização inicial dos filmes

4.1.1. Deposição por spray dos filmes de ZnO-NP e PEDOT:PSS

Os filmes de ZnO-NP depositados por spray foram caracterizados por meio das medidas de espessura, transmitância e imagens de MEV. Na **Figura 21a**, apresenta-se o gráfico de transmitância e espessura em função do número de camadas. A fotografia dos filmes no *inset* ilustra a informação obtida pelo gráfico, ou seja, o aumento da espessura resulta em um filme com menor transmitância. A deposição da dispersão de ZnO-NP por spray resultou em filmes com espessura micrométrica. Os filmes de ZnO-NP geralmente apresentam espessura elevada, e esta não é uma condição favorável para a aplicação no diodo Schottky. Porém, neste caso em específico, a espessura elevada garantiu um filme semicondutor com espessura suficiente para evitar curto-circuito ao depositá-lo sobre os filmes de PEDOT:PSS. A morfologia do filme de ZnO-NP apresentada nas imagens de MEV das **Figura 21b-c** é semelhante ao que é reportado na literatura¹³³. Segundo informação do fabricante (Sigma-Aldrich ®), as nanopartículas possuem tamanho inferior à 100 nm. Neste caso, o aspecto visual de nanoestruturas não é visível pois as nanopartículas foram aglutinadas em aglomerados de centenas de nanômetros devido à deposição por spray de uma dispersão provavelmente muito concentrada.

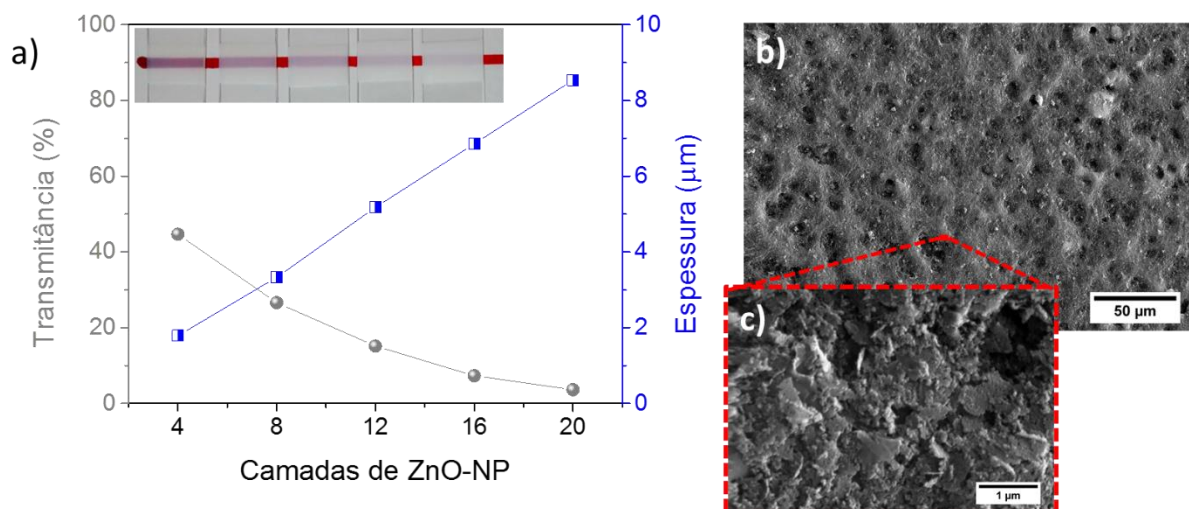


Figura 21 - (a) Gráfico de transmitância e espessura em função do número de camadas de ZnO-NP depositadas por spray sobre substrato de vidro. *Inset*: foto dos filmes analisados ilustrando a relação entre espessura e transparência. Imagens de MEV para o filme de 20 camadas com ampliação de (b) 1.000x e (c) 50.000x.

A caracterização elétrica do filme de ZnO-NP depositado por spray sobre eletrodos de Al é apresentada na **Figura 22**. A amostra foi submetida à uma variação de temperatura a partir da condição ambiente até 200 °C, sendo que foi obtida as curvas de I-V com tensão variando entre +5 e -5 V para as temperaturas ambiente, 50 °C, 100 °C, 150 °C e 200 °C. O primeiro ciclo de I-V foi obtido em ar, enquanto as demais medidas foram realizadas em vácuo. Apresenta-se na **Figura 22a** apenas os valores de corrente que correspondem à voltagem de +5 V. A variação entre os dois primeiros pontos do gráfico evidencia a contribuição das moléculas de oxigênio para a condução do ZnO-NP. Com o aumento da temperatura, observa-se um aumento da corrente que é o comportamento esperado para um semicondutor. Além disso, é apresentado na **Figura 22b** o comportamento fotocondutivo do filme de ZnO-NP ($E_g \sim 3,4 \text{ eV}$)⁷ ao ser irradiado com radiação UV (355 nm). Para a tensão de 5 V, os valores de corrente no escuro e de fotocorrente são $2,3 \times 10^{-8} \text{ A}$ e $1,6 \times 10^{-7} \text{ A}$, respectivamente. Como apresentado por *Shabannia et al*, o ganho da corrente pode ser calculado por meio da razão entre fotocorrente e a corrente no escuro¹³⁴. Os valores calculados para o intervalo de voltagem

utilizado são apresentados no *inset* da **Figura 22b**, onde observa-se o ganho máximo de 28,7 para a tensão de 1,35 V.

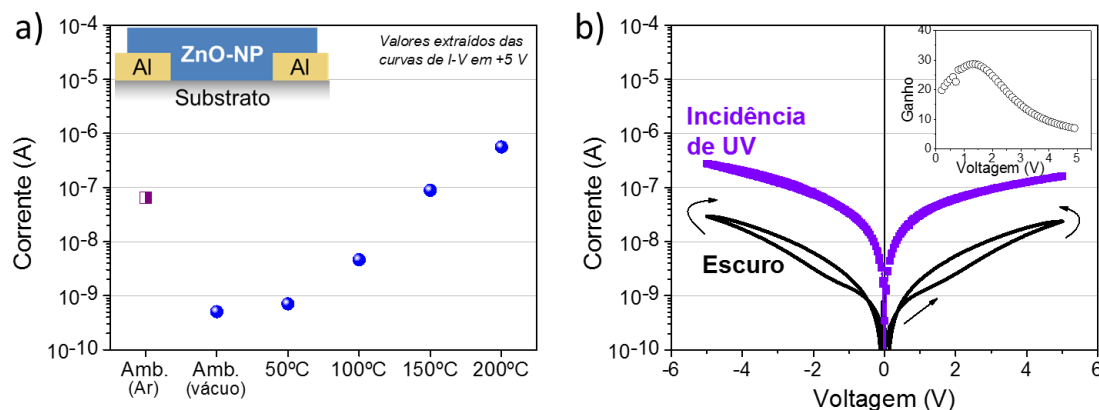


Figura 22 - Gráficos da corrente medida entre dois eletrodos coplanares de Al sobre os quais depositou-se o filme de ZnO-NP com 10 camadas. (a) Valores de corrente extraídos de I-V em +5 V para diferentes temperaturas. (b) Comportamento da corrente no escuro e sob radiação UV, ambos medidos em atmosfera ambiente. As setas indicam o sentido da histerese. *Inset*: gráfico do ganho em função da voltam.

Os filmes de PEDOT:PSS depositados por spray foram submetidos à caracterização ótica logo após a deposição (**Figura 23**) e após o tratamento com cossolvente (**Figura 24**). Nos dois casos, **Figura 23a** e **Figura 24a**, são apresentadas as curvas de transmitância em função do comprimento de onda obtidas para quatro espessuras diferentes. Como esperado, a espessura do filme aumenta à cada camada adicionada, enquanto a transmitância diminui. A fotografia presente no *inset* **Figura 23a** ilustra a relação entre número de camadas (espessura) e a transmitância dos filmes. Visando aplicação como eletrodo, é necessário atingir um valor de resistência de folha adequado (menor do que $1 \text{ k}\Omega \text{ sq}^{-1}$). Atingir tal condição para filmes de PEDOT:PSS depositados por spray resulta em uma espessura elevada e coloração azulada⁷¹. Como mencionado anteriormente, a espessura elevada dos ZnO-NP é compatível com a espessura dos eletrodos de PEDOT:PSS, pois deste modo evita-se o rompimento elétrico e consequentemente um curto-circuito do diodo.

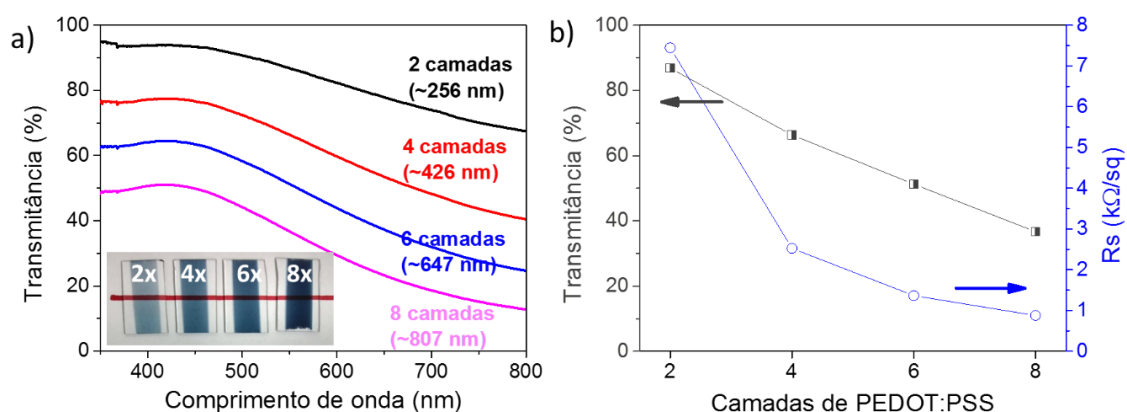


Figura 23 – Caracterizações referentes aos filmes de PEDOT:PSS sem tratamentos depositado por spray sobre substrato de vidro. (a) Curvas de transmitância *versus* comprimento de onda para as quatro espessuras, destacadas entre parênteses. (b) Gráfico de transmitância para o comprimento de onda de 550 nm e R_s em função do número de camadas de PEDOT:PSS.

Apresenta-se na **Figura 23b** o gráfico de transmitância em 550 nm e resistência de folha em função do número de camadas de PEDOT:PSS sem tratamento. Observa-se uma variação de transmitância de ~87% até ~37%, enquanto a resistência de folha variou entre $7,5 \text{ k}\Omega \text{ sq}^{-1}$ até $1,0 \text{ k}\Omega \text{ sq}^{-1}$. Nota-se que enquanto a relação com a transmitância é aproximadamente linear, a relação com a resistência de folha não é linear, sendo que a maior queda de R_s ocorre entre 2 e 4 camadas. Pode-se inferir que tal diferença no comportamento da condutividade e da transparência se deve à formação das primeiras camadas que formam filmes descontínuos com aglomerados não percolados. Somente após quatro camadas a cobertura é uniforme e passa a ocorrer o aumento na espessura do filme como um todo.

Os filmes de PEDOT:PSS após o tratamento com cossolvente exibem um comportamento análogo, como apresentado na **Figura 24b**. Porém, ainda que a variação de transmitância seja semelhante ao filme não tratado (de ~85% para ~36%), o valor de R_s é consideravelmente menor. Assim, entende-se que o tratamento com cossolvente pós-deposição altera predominantemente a resistência de folha dos filmes de PEDOT:PSS.

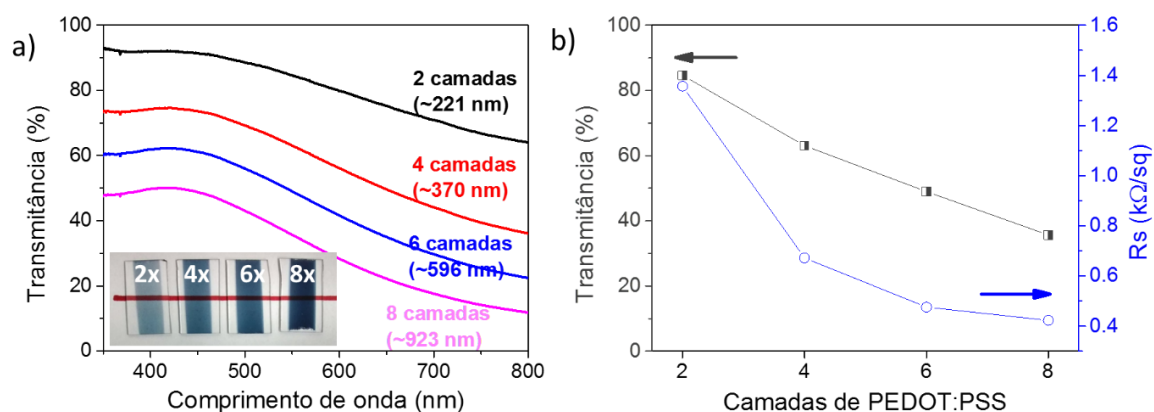


Figura 24 – Caracterizações referentes aos filmes de PEDOT:PSS submetidos ao tratamento de cossolvente realizado pós-deposição. (a) Curvas de transmitância $\times$ comprimento de onda para as quatro espessuras. (b) Gráfico de transmitância para o comprimento de onda de 550 nm e R_s em função do número de camadas de PEDOT:PSS.

Apresenta-se na **Figura 25a** uma comparação entre os valores de R_s para os filmes de PEDOT:PSS antes e depois do tratamento com cossolvente. A primeira observação é que as variações de R_s são maiores para os filmes de menor espessura. Em segundo lugar, o filme tratado de 4 camadas apresenta $R_s \sim 672 \Omega \text{ sq}^{-1}$ e $T \sim 63\%$, enquanto o de 8 camadas sem tratamento apresenta $R_s \sim 878 \Omega \text{ sq}^{-1}$ e $T \sim 37\%$. Assim, por meio do tratamento compatível com a técnica de deposição do filme, é obtido um eletrodo com menor resistência e maior transmitância. A partir de $R_s = \rho/t = 1/\sigma t$, onde ρ é a resistividade, t é a espessura e σ é a condutividade do material, é possível calcular os valores de condutividade dos filmes de PEDOT:PSS. Com o gráfico da **Figura 25b**, nota-se que o tratamento aumenta de maneira efetiva a condutividade, sendo que o filme com 4 camadas é o que apresenta o maior valor de condutividade ($\sigma = 40,4 \text{ S cm}^{-1}$). Embora tratamentos que resultam em filmes de PEDOT:PSS com condutividade de até 1000 S cm^{-1} são reportados na literatura¹³⁵, o método proposto aqui tem a vantagem de ser totalmente realizado por spray. Além disso, o aumento da condutividade em aproximadamente uma ordem de grandeza foi o bastante para a aplicação do filme de PEDOT:PSS como eletrodo no diodo Schottky que será apresentado no item 4.1.3.

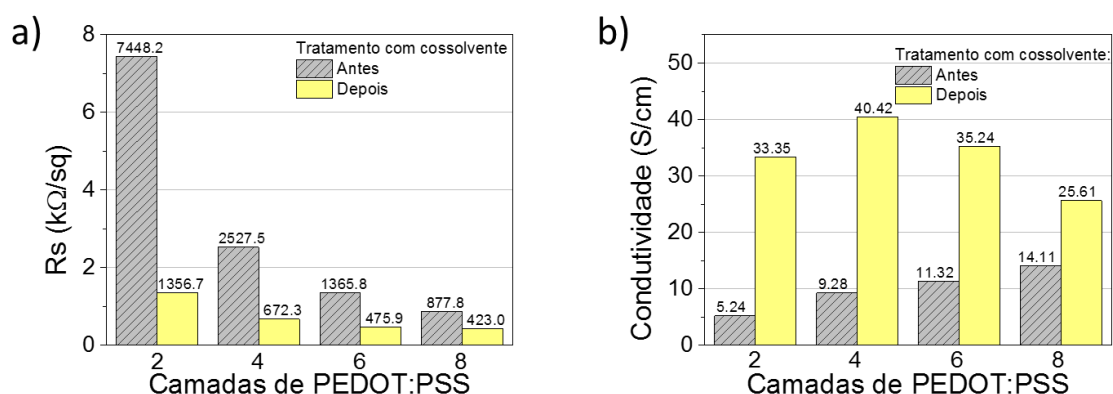


Figura 25 – Comparação entre os valores de (a) resistência de folha e (b) condutividade para as quatro espessuras de PEDOT:PSS depositadas por spray. Os gráficos ilustram o efeito do tratamento térmico nos filmes.

4.1.2. Caracterização dos filmes de PEDOT:PSS depositados por spray

As caracterizações realizadas especificamente nos filmes de PEDOT:PSS depositados sobre substrato de quartzo têm a finalidade de avaliar a eficácia do tratamento com cossolvente. Como descrito no item 3.3.1, o metanol foi utilizado em duas etapas distintas. Para o preparo da dispersão de PEDOT:PSS, foi adicionado metanol para facilitar a deposição por spray¹²⁷. Após a deposição das camadas de PEDOT:PSS, o filme foi submetido ao tratamento por spray com o cossolvente de água e metanol, adaptado do estudo de *Xia et al*⁹¹. A **Tabela 2** reúne os principais parâmetros dos filmes de PEDOT:PSS que foram submetidos às demais caracterizações que serão apresentadas na sequência. Os parâmetros foram calculados de forma similar ao que já foi apresentado no item 4.1.1, porém, a diferença é o uso de um substrato de quartzo. Neste caso, o tratamento com cossolvente resultou em um aumento de ~14 vezes no valor de condutividade do PEDOT:PSS.

Tabela 2 – Principais parâmetros dos filmes de PEDOT:PSS com 4 camadas depositadas por spray sobre substrato de quartzo. Os parâmetros resistência de folha, espessura e condutividade foram determinados antes e depois do tratamento com cossolvente dos filmes de PEDOT:PSS.

Parâmetro	Valor antes do tratamento*	Valor depois do tratamento*
Resistência de folha (Ωsq^{-1})	$7,09 \times 10^3$	$0,54 \times 10^3$
Espessura (cm)	$6,27 \times 10^{-5}$	$5,84 \times 10^{-5}$
Condutividade ($s cm^{-1}$)	2,25	31,42

* Tratamento com cossolvente realizados nos filmes de PEDOT:PSS

Na **Figura 26a** são apresentados os espectros Raman obtido ao excitar os filmes de PEDOT:PSS com laser 785 nm. Os picos observados são característicos do PEDOT:PSS⁷⁹. A medida foi realizada em três tipos de filmes de PEDOT:PSS: i) filmes obtidos diretamente a partir da dispersão de PEDOT:PSS sem qualquer alteração da solução recebida do fornecedor e depositada por *casting* sobre vidro; ii) obtidos a partir da dispersão em metanol depositada sobre substrato de quartzo; e iii) obtidos de uma dispersão de PEDOT:PSS em metanol depositada sobre substrato de quartzo e submetidos ao tratamento com cossolvente. Como a posição e intensidade dos picos não foram alteradas, a utilização de metanol nas duas etapas (ii e iii) não modificou o PEDOT:PSS. Então, o efeito de aumento na condutividade não está relacionado com modificações na estrutura química do material, além de não indicar sinal de resíduo de metanol ou de degradação do PEDOT:PSS.

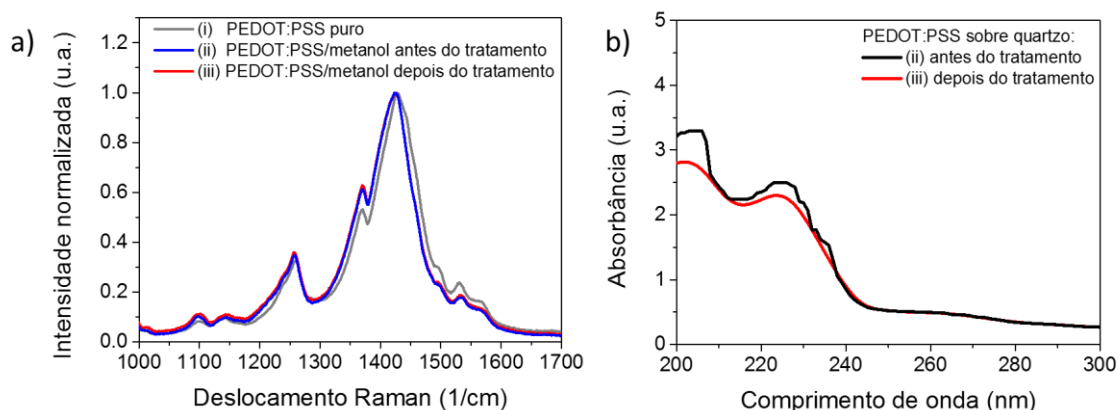


Figura 26 - Caracterização dos filmes de PEDOT:PSS depositados por spray. (a) Espectros RAMAN obtidos com laser 785 nm referentes ao filme puro (como recebido da Sigma-Aldrich) depositado por *casting* sobre vidro, após deposição por spray sobre quartzo e após tratamento com cossolvente. (b) Espectros de absorção UV-Vis referentes aos filmes de PEDOT:PSS depositado sobre quartzo após a deposição e após tratamento com cossolvente.

Apresenta-se na **Figura 26b** os espectros de absorção UV-vis referentes aos filmes de PEDOT:PSS depositados por spray sobre quartzo. De acordo com *Alemu et al*, as duas bandas de absorção são referentes aos anéis aromáticos de PSS¹³⁶. Observa-se pelo espectro que o tratamento com cossolvente afeta a absorção apenas na região do UV. *Xia* sugere que a

queda na absorção é devido à uma mudança na morfologia do filme de PEDOT:PSS induzida pelo solvente, indicando a agregação das cadeias de PSSH⁹¹.

Na **Figura 27a-c** são apresentados os espectros de emissão obtidos pela excitação com laser 514,5 nm referentes ao substrato de quartzo e para os filmes de PEDOT:PSS não tratado e tratado com o cossolvente. Notam-se os picos de espalhamento Raman referentes ao PEDOT:PSS, além de uma banda mais larga que pode ser associada a fluorescência do material. Como as bandas mais largas ocorrem para todos os espectros, a hipótese de tais bandas estarem relacionadas com a fluorescência do PEDOT:PSS preveria uma fluorescência semelhante para os filmes não tratado e tratado com o cossolvente. Porém, imagens de fluorescência confocal não mostradas aqui contrariam essa hipótese, pois o filme tratado apresenta uma fluorescência mais intensa. Então, como será discutido abaixo, a hipótese mais provável é que as bandas largas são relacionadas apenas ao espalhamento Raman no filme de PEDOT:PSS.

As imagens de microscopia de campo claro apresentadas na **Figura 27d-e** são referentes aos mesmos filmes de PEDOT:PSS não tratado e tratado com cossolvente, respectivamente. Nestas imagens, o relevo é visto pela diferença do caminho ótico da luz nas regiões com diferentes quantidades de material. Estas imagens evidenciam a diferença morfológica dos filmes causadas pelo tratamento com cossolvente. Na **Figura 27d**, a superfície da amostra apresenta várias regiões circulares semelhantes à bolhas, que são comuns para filmes depositados por spray¹³⁷. Após o tratamento, a superfície apresenta regiões circulares com diâmetros maiores e com menor concentração de material nas bordas. Então, tais imagens indicam que o tratamento foi responsável por modificar a morfologia do filme de PEDOT:PSS, tornando-o mais homogêneo. Essa avaliação pode ser relacionada ao aumento de ~14 vezes na condutividade dos filmes. Como indicado por *Xia*, a maior alteração no filme de PEDOT:PSS causada pelo tratamento com o cossolvente é uma mudança morfológica⁹¹.

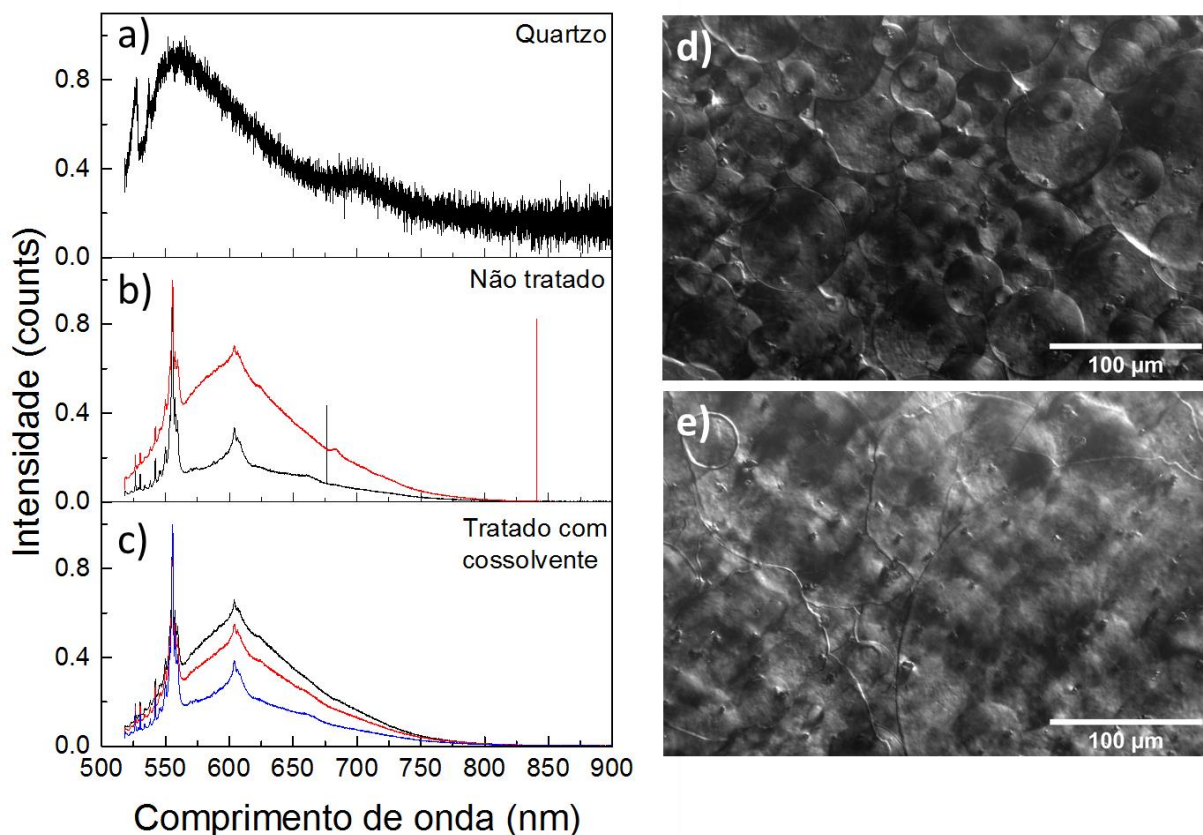


Figura 27 – Espectros de emissão obtidos com laser 514,5 nm referentes ao (a) substrato de quartzo e aos filmes de PEDOT:PSS depositados por spray sobre quartzo (b) após deposição e (c) após tratamento com cossolvente. Imagens de microscopia de campo claro (DIC) dos filmes (d) não tratado e (e) tratado com cossolvente.

Ao relacionar as imagens com os espectros (**Figura 27**), a hipótese mais provável é de que as diferenças de intensidade dos espectros são relacionadas às diferentes quantidades de material ao longo da amostra. Para o filme não tratado, o espectro mais intenso (vermelho) foi medido na região de borda, enquanto o espectro de menor intensidade (preto) foi medido no interior da região circular. De forma semelhante, os espectros mais intensos do filme tratado (preto e vermelho) foram medidos em região de borda, enquanto o de menor intensidade (azul) foi medido no interior da região circular. Em relação às intensidades das bandas (**Figura 27b-c**), nota-se que a diferença entre a região de borda para a região interior é menor no filme submetido ao tratamento com o cossolvente, ou seja, a quantidade de material está distribuída

de forma mais homogênea. Tal descrição está em concordância com as imagens das **Figura 27d,e**.

4.2. Análise elétrica do diodo PEDOT/ZnO-NP/Al

Para a produção de uma barreira Schottky via spray em baixas temperaturas ($T < 170\text{ }^{\circ}\text{C}$) e sua aplicação em um diodo, foram utilizados os filmes de PEDOT:PSS como eletrodo inferior, ZnO-NP como camada semicondutora e Al obtido por evaporação térmica a vácuo como eletrodo superior, conforme ilustrado na **Figura 28**.

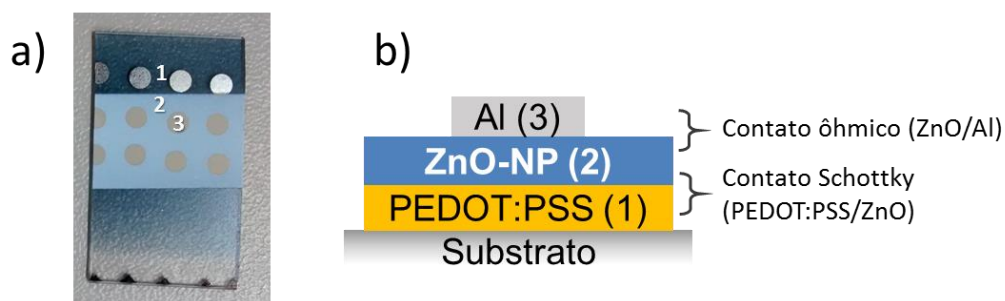


Figura 28 – (a) Fotografia de um dispositivo PEDOT:PSS/ZnO-NP/Al estudado. (b) Diagrama ilustrando o diodo formado pela barreira Schottky de PEDOT:PSS/ZnO-NP obtida por spray e o contato ôhmico de Al evaporado no topo.

Foram analisadas as curvas de I-V medidas em dois diodos formados a partir do contato Schottky entre PEDOT:PSS e ZnO-NP depositados por spray, com eletrodo de Al evaporado no topo. A diferença entre os dois diodos ilustrados na **Figura 29** é a espessura do filme de PEDOT:PSS, que naturalmente implica em uma diferença nos valores de resistência de folha (R_s). Após a realização do tratamento com cossolvente, os valores de R_s para os filmes de PEDOT:PSS foram de $2,6\text{ k}\Omega\text{ sq}^{-1}$ e $0,3\text{ k}\Omega\text{ sq}^{-1}$, para os filmes com 1 e 5 camadas respectivamente. Apresentam-se na **Figura 29** os gráficos de I-V referente aos dois diodos. Os valores da razão de retificação (RR) pra $\pm 2\text{ V}$ são de $3,9 \times 10^4$ e $1,5 \times 10^5$ para os diodos PEDOT 1 e PEDOT 5, respectivamente. A partir das caracterizações que serão apresentadas na sequência, busca-se entender a influência dos eletrodos de PEDOT:PSS nas características do diodo Schottky.

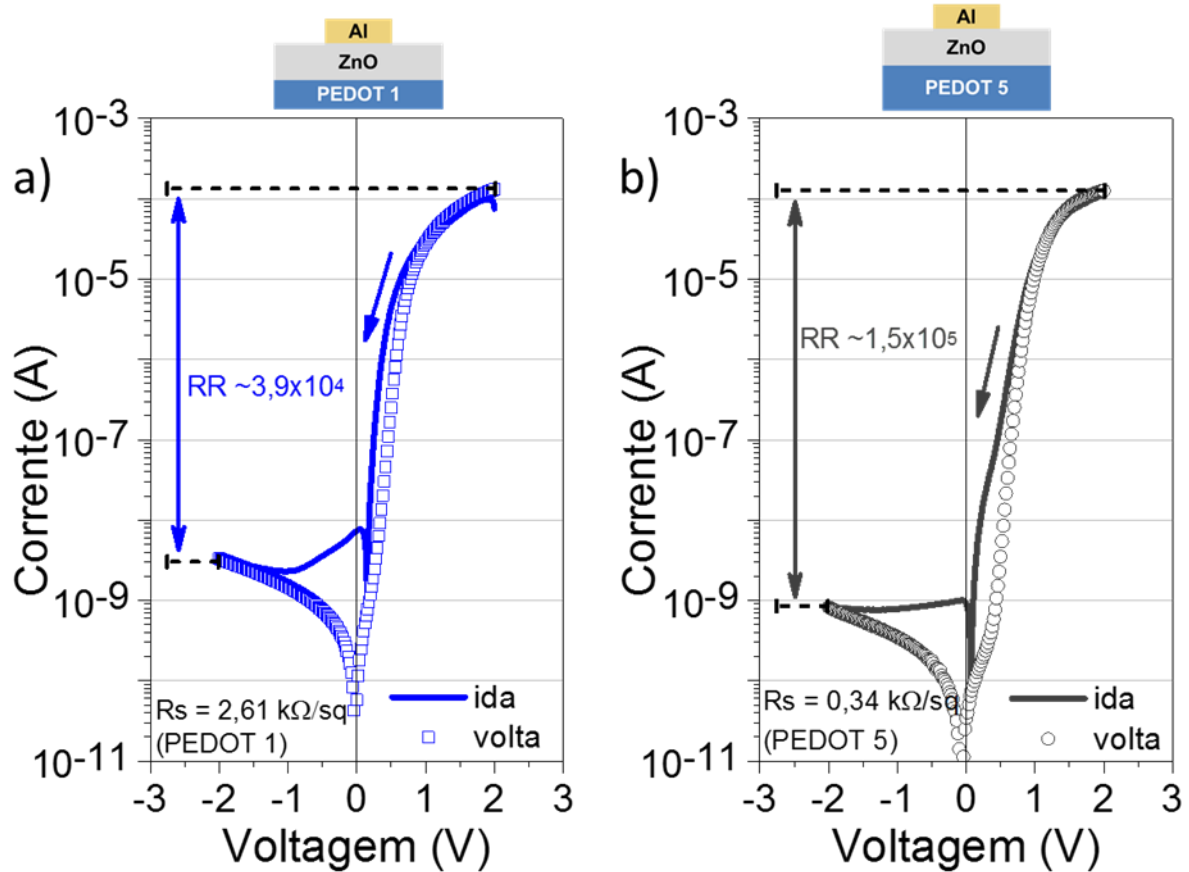


Figura 29 – Curvas características de I-V para diodos Schottky, referentes aos diodos PEDOT/ZnO-NP/Al utilizando como eletrodo inferior (a) PEDOT:PSS de 1 camada e R_s de $2,61 \text{ k}\Omega \text{ sq}^{-1}$; e (b) PEDOT:PSS de 5 camadas de R_s $0,34 \text{ k}\Omega \text{ sq}^{-1}$. Ambos eletrodos foram submetidos ao tratamento com cossolvente pós-deposição.

Com o objetivo de melhorar a precisão dos parâmetros extraídos, aplicou-se uma função de *smoothing* na curva de I-V. A primeira análise apresentada na **Figura 30** são as curvas de $R_i \times V$ calculadas a partir da aplicação da Lei de Ohm ($R_i = dV/dI$) nos dados de I-V para os dois diodos. Para isso, foi considerado apenas a varredura no sentido da voltagem negativa para a positiva, indicado nos gráficos como “volta”. Para entender essas curvas, é importante considerar os diagramas de circuito equivalente apresentados nas **Figura 30c-d** que modelam um diodo real. O circuito possui uma resistência em paralelo (R_p), além de uma resistência em série (R_{serie}). Tais resistências usadas para a modelagem de circuito (Equação 5) podem ser relacionadas às propriedades das junções semicondutoras. A fuga de corrente através da junção é representada por R_p ¹³⁸. Por outro lado, o elemento R_{serie} está relacionado às “perdas ôhmicas” devido à resistência do volume do semicondutor e dos contatos metálicos. Como

exemplo, destaca-se que para a fabricação de diodos baseados em filmes finos de ZnO para aplicação em altas frequências, é necessário reduzir o volume do semiconductor para diminuir R_{serie} ¹⁹. Para a polarização direta ($V > 0$) apresentada na **Figura 30c**, o diodo ideal não oferece resistência ao fluxo de carga, portanto nesta situação temos que com o aumento da voltagem $R_i \rightarrow R_{\text{serie}}$. Para a polarização reversa ($V < 0$) apresentada na **Figura 30d**, o diodo ideal oferece uma resistência infinita ao fluxo de carga, portanto, como a corrente flui apenas através da resistência em paralelo, temos que $R_i \rightarrow R_p$.

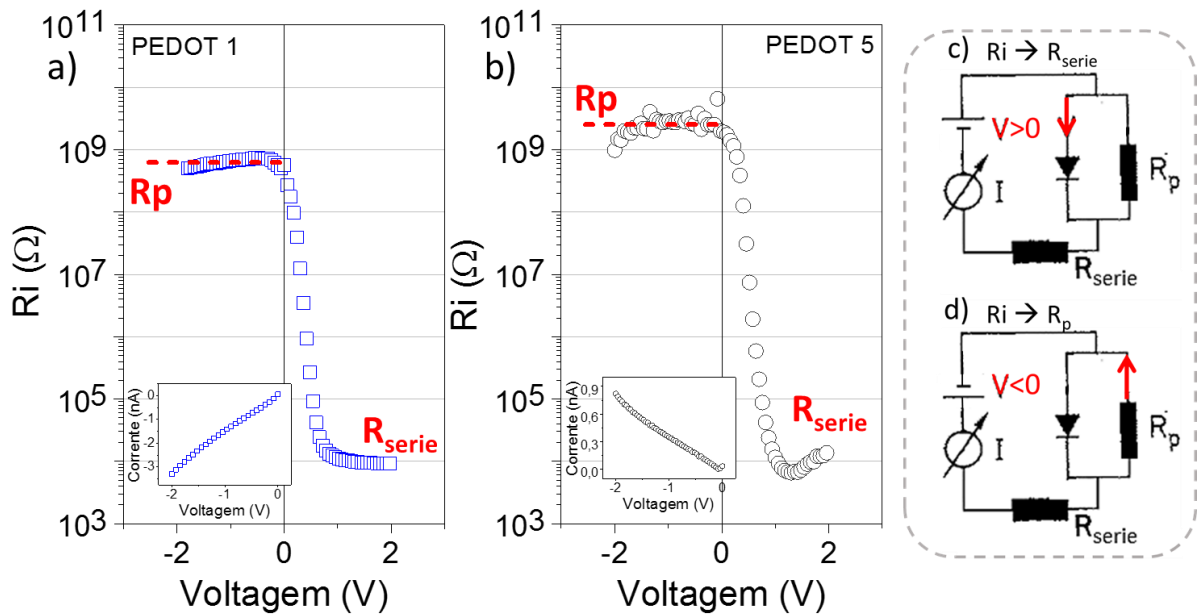


Figura 30 – Curvas de $R_i = dV/dI \times V$ (Lei de Ohm) calculadas a partir das curvas de I-V da Figura 29 (volta) suavizadas, para os diodos utilizando eletrodo inferior de (a) PEDOT 1; e (b) PEDOT 5. As linhas vermelhas tracejadas destacam os valores da resistência em paralelo (R_p), obtidos a partir da condutividade ($G_p = 1/R_p$) das curvas apresentadas nos respectivos *insets*. Circuito equivalente que representa um diodo real em polarização (c) direta e (d) reversa.

Os valores de R_{serie} extraídos diretamente do gráfico em +1,5 V são de 9,5 k Ω e 7,6 k Ω para os diodos PEDOT 1 e PEDOT 5, respectivamente. Os valores de R_p destacados por meio das linhas pontilhadas na **Figura 30** são calculados a partir da condutância em paralelo. Por sua vez, G_p é calculada a partir da inclinação da curva de I-V na região com polarização reversa, exibida na parte interior da **Figura 30**.

Os valores calculados para os parâmetros R_{serie} , G_p e R_p , além dos valores de R_s dos filmes de PEDOT:PSS e RR dos diodos, estão reunidos na **Tabela 3**. Como esperado, o diodo que utilizava o filme mais condutivo de PEDOT:PSS apresenta desempenho ligeiramente superior.

Tabela 3 – Parâmetros calculados referentes aos diodos de PEDOT/ZnO-NP/Al, onde os R_{serie} , G_p e R_p foram extraídos a partir das curvas de $R_i \times V$ apresentadas na **Figura 30**, RR é a razão de retificação visível na **Figura 29**, e R_s é a resistência de folha do filme de PEDOT:PSS utilizado como eletrodo inferior.

Dispositivos	R_s ($\Omega \text{ sq}^{-1}$)	RR ($\pm 2V$)	G_p (Ω^{-1})	R_p (Ω)	$R_{\text{serie}} (+1,5V)$ (Ω)
PEDOT 1	$2,61 \times 10^3$	$3,96 \times 10^4$	$1,60 \times 10^{-9}$	$6,25 \times 10^8$	$9,41 \times 10^3$
PEDOT 5	$0,34 \times 10^3$	$1,54 \times 10^5$	$3,95 \times 10^{-10}$	$2,53 \times 10^9$	$7,45 \times 10^3$

Na sequência, serão apresentadas análises adicionais dos mesmos dados de I-V suavizados para os dois diodos, considerando apenas um sentido de varredura (volta). Na maioria dos estudos de diodo Schottky²¹, a análise mais comum é feita com base na determinação dos valores de R_{serie} , fator de idealidade (n) e altura da barreira (ϕ_b) por meio das duas etapas do método de *Cheung*. Propomos aprimorar esta abordagem limitada com uma análise complementar a partir dos métodos de *Mikhelashvili*, *Werner* e *Cheung*. Para isso, a análise inicial é realizada através do método de *Mikhelashvili* que considera a condição na qual n e ϕ_b dependem da voltagem. Na segunda etapa, calcula-se os valores de n e R_{serie} a partir do método de *Werner*, para os intervalos de voltagem adequados determinados na etapa inicial. Para a última etapa, aplica-se os valores de n na função $H_{(I)}$ de *Cheung* para determinar os valores de R_{serie} e ϕ_b .

4.2.1. Determinação dos parâmetros pelo método de *Mikhelashvili*

A característica mais relevante do método de *Mikhelashvili*⁶⁴ para este estudo é que os parâmetros do diodo Schottky são extraídos utilizando a inclinação diferencial (α) dos dados

experimentais de I-V. Apresentam-se nas **Figura 31a-b** os gráficos de I-V e as curvas correspondentes de α -V com polarização direta para os diodos PEDOT 1 e PEDOT 5, respectivamente. De acordo com *Mikhelashvili et al*¹⁰⁶, não é trivial identificar a transição entre a condição de baixa voltagem ($I \cdot R_{\text{serie}} \ll V$) para o regime no qual a queda de voltagem $I \cdot R_{\text{serie}}$ tem efeito visível, a partir das curvas de I-V. Porém, com α -V é visível que a curva aumenta linearmente, atinge um valor máximo α_m devido à R_{serie} e diminui até estabilizar. Em baixa voltagem, a influência de R_{serie} é desprezível. Os pontos de voltagem e corrente correspondentes a $\alpha = \alpha_m$ correspondem às tensões a partir da qual R_{serie} passa a contribuir para a resposta I-V do diodo. Para voltagens alta o suficiente para que $\alpha = 1$ ($I \cdot R_{\text{serie}} \gg V$), atinge-se o regime de comportamento ôhmico, no qual a queda de voltagem em R_{serie} é predominante.

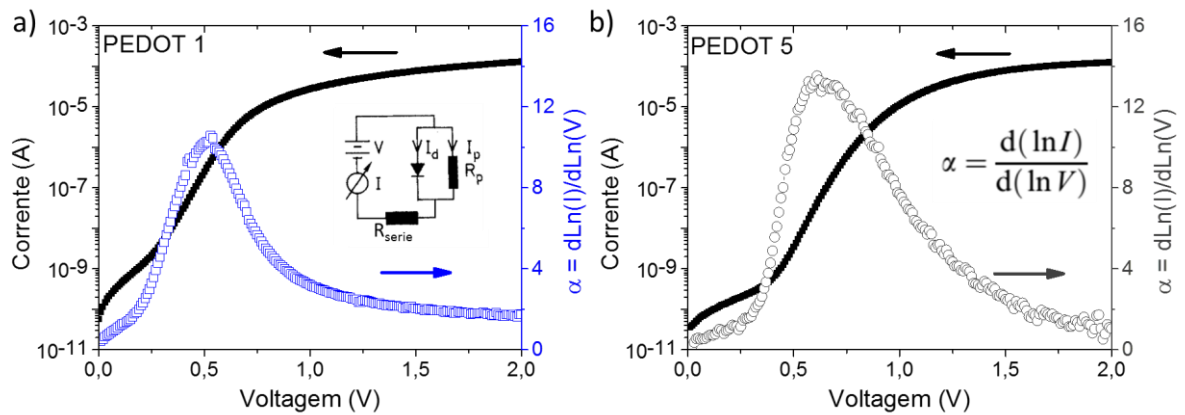


Figura 31 – Curvas de corrente e inclinação diferencial (I-V e α -V) referentes à polarização direta dos diodos de PEDOT/ZnO-NP/Al com eletrodo inferior de (a) PEDOT 1 e (b) PEDOT 5. A partir das curvas de α -V, são calculados os parâmetros R_{serie} , n e Φ_b .

Ainda de acordo com *Mikhelashvili et al*¹⁰⁶, o grau de linearidade do regime de baixa voltagem indica o grau de independência de n e Φ_b em relação a voltagem. A não-linearidade das curvas de α -V presentes na **Figura 31** indica que n e Φ_b tem uma dependência com a voltagem que pode ser determinada pelo método analítico de *Mikhelashvili* descrito no item 2.2.2⁶⁴. Para isso, serão determinados os parâmetros R_{serie} , $n(V)$, I_{SAT} , Φ_{b0} e $\Delta\Phi_b = \Phi_b - \Phi_{b0}$.

A dependência de R_{serie} com a voltagem, calculada a partir da Equação 17, é mostrada na **Figura 32a**. Os valores obtidos para 1,0 V são 8,7 k Ω e 5,3 k Ω para os diodos

PEDOT 1 e PEDOT 5, respectivamente. Esses valores são próximos aos obtidos pela Lei de Ohm (Tabela 3). A partir da Equação 15, que descreve a dependência de $n(V)$ com a voltagem, temos dois comportamentos que dependem de R_{serie} e que divergem para alta voltagem. Como visto nas **Figura 32b-c**, as curvas de $n(V)$ precisam ser corrigidas pelos valores de R_{serie} extraídos do gráfico da **Figura 32a**. Com isso, nota-se que para o PEDOT 1, o valor de n é independente da voltagem para $V > 0,5$, enquanto para o PEDOT 5, n é aproximadamente constante para $0,75 < V < 1,5$. Consequentemente, o método de *Mikheleshvili* indica os intervalos nos quais os métodos de *Werner* e *Cheung*, que consideram os parâmetros independentes da voltagem, podem ser aplicados. Assim, espera-se uma consistência entre os parâmetros extraídos por cada método.

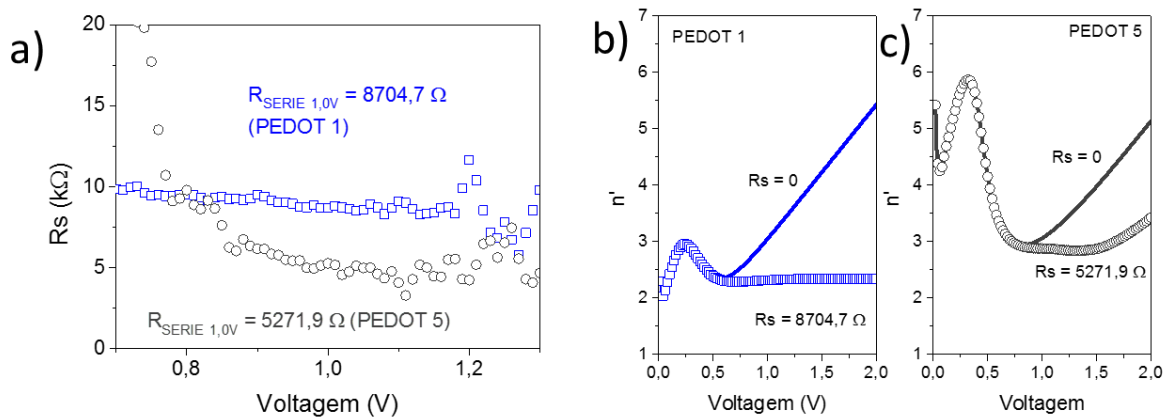


Figura 32 – Grupo de parâmetros dependentes da voltagem calculados a partir do gráfico de α -V pelo método de *Mikheleshvili*: (a) R_{serie} ; (b-c) fator de idealidade n . Parâmetros referentes ao diodo de PEDOT:PSS/ZnO-NP/Al.

A corrente de saturação (I_{SAT}), determinada pela Equação 16a, é constante como visto na **Figura 33a**. Assim, a partir da Equação 16b, calcula-se os valores da altura da barreira sem polarização (ϕ_{b0}) iguais a 0,90 eV e 0,92 eV para o PEDOT 1 e PEDOT 5, respectivamente. Além disso, pode-se calcular os valores de $\Delta\phi_b$ a partir da região de baixa voltagem das **Figura 32b-c** com o auxílio da Equação 12. O resultado é um $\Delta\phi_b$ que depende da voltagem, como exibido na **Figura 33b**.

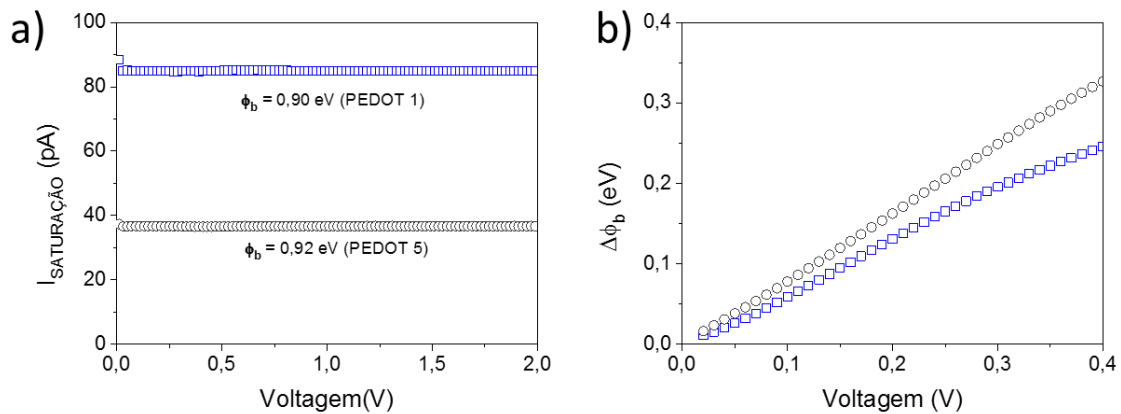


Figura 33 - Grupo de parâmetros dependentes da voltagem calculados a partir do gráfico de α -V pelo método de *Mikhelashvili*: (a) corrente de saturação I_{SAT} ; e (b) variação da altura da barreira $\Delta\phi_b$.

4.2.2. Determinação dos parâmetros pelos métodos de Werner e Cheung

Como já demonstrado pelo método de *Mikhelashvili* e apresentado nas **Figura 32b-c**, o fator de idealidade é constante em apenas um intervalo de voltagem. Então, o método de *Werner* foi aplicado considerando tal informação previamente. Apresenta-se novamente na **Figura 34a** as curvas experimentais de I-V para os diodos que serão submetidas às análises. Apresenta-se na **Figura 34b** o gráfico referente ao Plot A. É notável que na região relativa ao regime de baixa voltagem, os gráficos de $G/I \times G$ para o PEDOT 1 e 5 desviam do comportamento linear. Conforme *Werner*⁶⁵, a não-linearidade do Plot A indica uma falha ao usar o modelo de emissão termiônica considerando que os parâmetros são independentes da voltagem. Porém, para o intervalo determinado pelo método de *Mikhelashvili*, nota-se um comportamento aproximadamente linear. Os valores de n e R_{serie} calculados a partir do Plot A são apresentados na **Tabela 4**. Ao comparar os valores de n para os diodos denominados PEDOT 1 e PEDOT 5 com os gráficos das **Figura 32b-c** (da mesma forma para R_{serie}) fica claro que, com as considerações acima, os métodos de *Mikhelashvili* e *Werner* são consistentes.

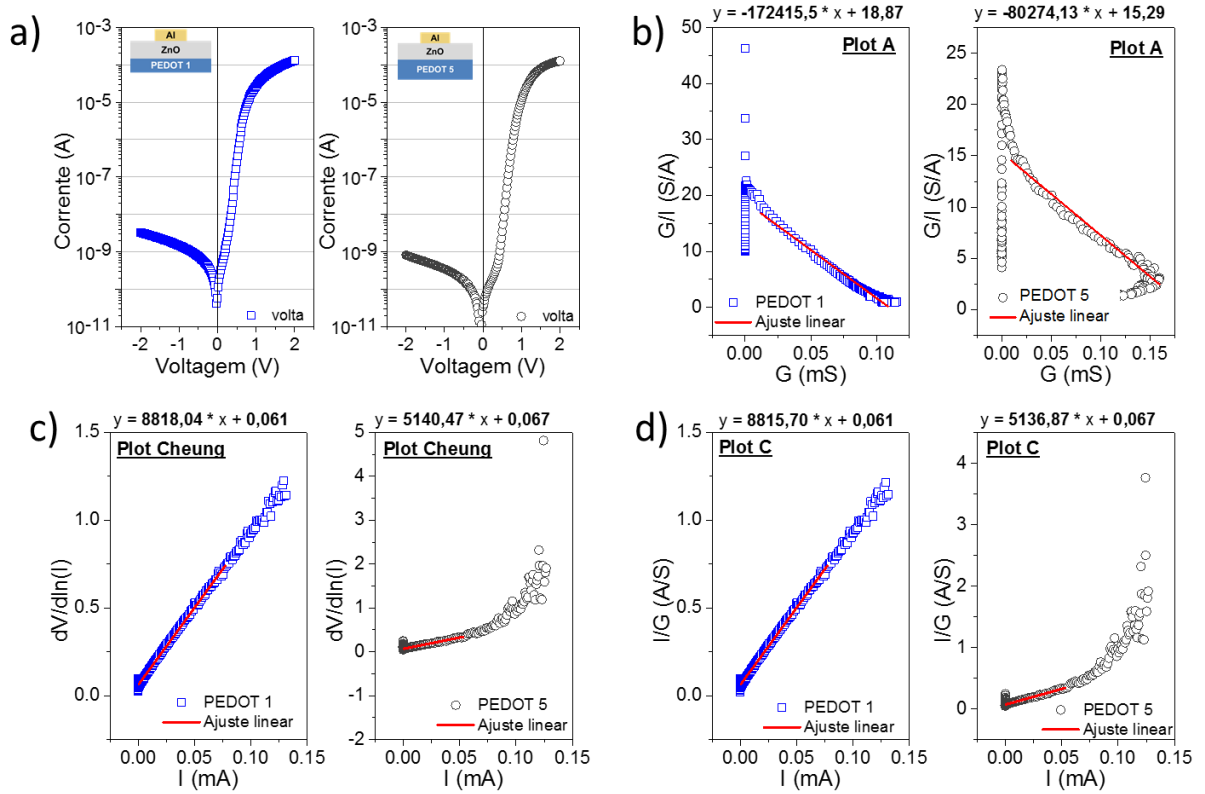


Figura 34 – Gráficos de (b) $G/I \times G$; (c) $dV/d\ln(I) \times I$; e (d) $I/G \times I$, obtidos a partir dos dados de (a) I-V para o diodo PEDOT/ZnO-NP/Al. Tais gráficos são úteis para determinação de R_{serie} e n pelo método de Werner. As linhas vermelhas são referentes aos ajustes lineares, que resultam nas equações da reta apresentadas na parte superior de cada gráfico.

Os gráficos apresentados na **Figura 34d** são referentes ao Plot C de Werner que, conforme explicado no item 2.2.2, é similar à primeira etapa do método de Cheung (**Figura 34c**). Optou-se aqui por testar a previsão do método de Werner de que os gráficos de “ $dV/d\ln(I_D) \times I_D$ ” e “ $I_D/G \times I_D$ ” são equivalentes. De fato, tanto nas **Figura 34c-d** quanto para os valores calculados e apresentados na **Tabela 4**, os gráficos referentes ao Plot C de Werner são equivalentes ao gráfico de Cheung. Deste ponto em diante, as análises serão realizadas considerando-se apenas o gráfico de “ $I_D/G \times I_D$ ”.

Tabela 4 – Valores de R_{serie} e n calculados pelo método de *Werner* para os diodos de PEDOT/ZnO-NP/Al a partir dos gráficos apresentados na **Figura 34**.

Gráfico	$n_{\text{PEDOT 1}}$	$n_{\text{PEDOT 5}}$	$R_{\text{serie 1}} (\Omega)$ PEDOT 1	$R_{\text{serie 1}} (\Omega)$ PEDOT 5
Plot A [G/I vs G]	2,05	2,53	$9,13 \times 10^3$	$5,25 \times 10^3$
Plot C [I/G vs I]	2,35	2,60	$8,82 \times 10^3$	$5,14 \times 10^3$
Plot <i>Cheung</i> [dV/dln(I) vs I]	2,35	2,60	$8,82 \times 10^3$	$5,14 \times 10^3$

Outro ponto importante sobre os valores apresentados na **Tabela 4** é a discrepância entre os parâmetros calculados pelo Plot A em comparação aos cálculos a partir do Plot C. Nota-se que a tendência dos parâmetros é consistente, isto é, nos dois casos o aumento de n e a queda de R_{serie} é compatível com a situação física de aumento de espessura e condutividade do eletrodo de PEDOT:PSS. Porém, a discrepância de valores entre os Plot A e Plot C abre espaço para uma discussão sobre o método de *Werner*. Após testes de precisão realizados ao aplica-los nos mesmos dados I-V, *Werner* concluiu que os Plot A e Plot C são confiáveis, porém naquela situação o Plot A se mostrou superior. De forma que os valores dos parâmetros podem depender do gráfico escolhido para a análise.

Segundo *Werner*, o desvio entre os resultados avaliados a partir do Plot A e Plot C é devido à diferença de ponderação das diferentes partes da curva I-V original. Os dados experimentais de I-V são originalmente distribuídos de forma equidistante sobre o eixo da voltagem. Os Plot A e C redistribuem esses dados de forma diferente em torno de suas abscissas. Então, o ajuste não pondera todos os regimes da curva de I-V igualmente. Por utilizar a variação linear da corrente (I_D) como abscissa, o Plot C enfatiza os dados de alta corrente, o que não é a melhor condição. Essa ênfase pode levar a resultados imprecisos no caso de diodos com alta resistência em série. Deste ponto de vista, o Plot A é a melhor base para uma avaliação confiável dos dados de I-V, pois é baseado no uso de condutância (G) como abscissa. Neste caso, a principal influência do ajuste vem dos dados em voltagens intermediárias. Ao relacionar

a explicação de *Werner* ao presente caso, a situação é ainda mais crítica devido à dependência de n com a voltagem.

Para finalizar a análise dos dados de I-V do diodo de PEDOT/ZnO-NP/Al, optou-se por utilizar a função $H_{(I)}$ de *Cheung* definida na Equação 8 para calcular os valores de ϕ_B . Para isso, os valores de n calculados a partir dos Plot A e C são aplicados em $H_{(I)}$ de forma que além do cálculo de ϕ_b , um segundo valor para R_{serie} é obtido. Os gráficos de $H_{(I)} \times I$ são mostrados na **Figura 35**. A semelhança entre $R_{\text{serie}1}$ e $R_{\text{serie}2}$ é um indicativo da boa qualidade do ajuste obtido por $H_{(I)}$. Os valores de R_{serie} e ϕ_b estão reunidos na **Tabela 5**.

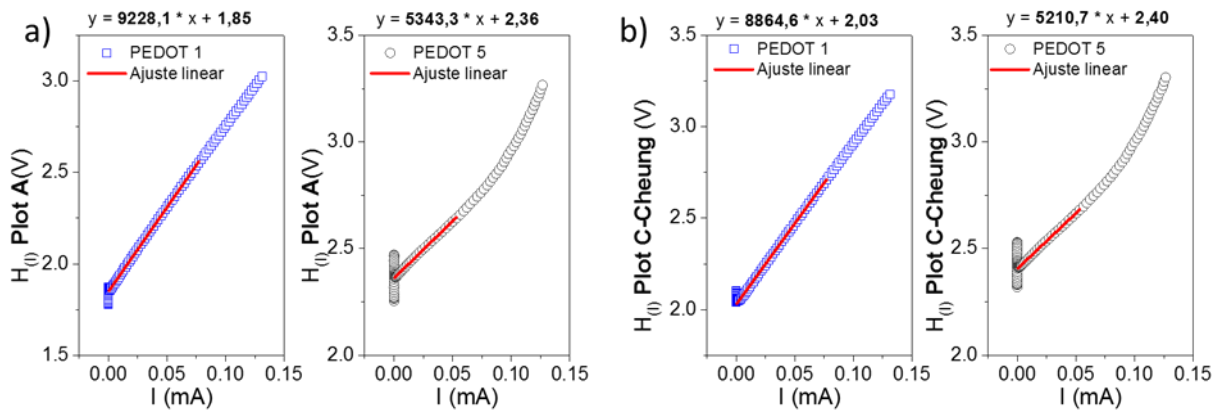


Figura 35 – Gráficos da função $H_{(I)}$ de *Cheung* em função da corrente obtidos a partir dos valores de n calculados por meio do (a) Plot A; e do (b) Plot C-Cheung. Obtêm-se os valores de R_{serie} e ϕ_b por meio dos ajustes lineares (linhas vermelhas).

Os valores de R_{serie} presentes na **Figura 32** (*Mikhelashvili*), **Tabela 4** (*Werner*) e **Tabela 5** (*Cheung*) são consistentes. Por exemplo, os valores de R_{serie} são respectivamente: 5,3 k Ω ; entre 5,1 e 5,2 k Ω ; entre 5,2 e 5,3 k Ω . É importante mencionar que R_{serie} é uma medida de resistência que leva em consideração não apenas a resistência do eletrodo, mas também o volume do semiconductor. Como o filme de ZnO-NP utilizado como semiconductor possui uma espessura elevada, é natural que R_{serie} também seja elevado.

Tabela 5 – Valores de R_{serie} e ϕ_b calculados por meio da função $H_{(I)}$ de *Cheung*, para os diodos de PEDOT/ZnO-NP/Al. Tais valores foram calculados utilizando os valores de n previamente calculados pelo método de *Werner*.

Gráfico	$R_{\text{serie2}} (\Omega)$		ϕ_b (eV)	
	PEDOT 1	PEDOT 5	PEDOT 1	PEDOT 5
$H_{(I)}$ [n via Plot A]	$9,23 \times 10^3$	$5,34 \times 10^3$	0,90	0,93
$H_{(I)}$ [n via Plot C-Cheung]	$8,86 \times 10^3$	$5,21 \times 10^3$	0,86	0,92

Apresenta-se na **Figura 36** um resumo dos parâmetros calculados pelos métodos de *Werner* e *Cheung*, aplicados aos intervalos de voltagem definidos pelo método de *Mikhelashvili*. Com esses gráficos, nota-se que mesmo com a discrepância já discutida entre os Plot A e C, a tendência de comportamento dos parâmetros são compatíveis com a situação real de aumento de condutividade e de espessura para o filme de PEDOT 5. Portanto, a escolha entre o PEDOT 1 ou PEDOT 5 depende da aplicação desejada. Com o PEDOT 1, o menor valor de n (**Figura 36b**) indica um contato Schottky melhor e o eletrodo possui maior transparência. Porém, a redução da resistência em série obtida com o PEDOT 5 é muito importante principalmente para aplicações do diodo Schottky em alta frequência²¹. A pequena variação da altura da barreira para o contato PEDOT:PSS/ZnO-NP indica que, mesmo com a mudança de condutividade, a modificação do PEDOT:PSS não alterou suas características eletrônicas.

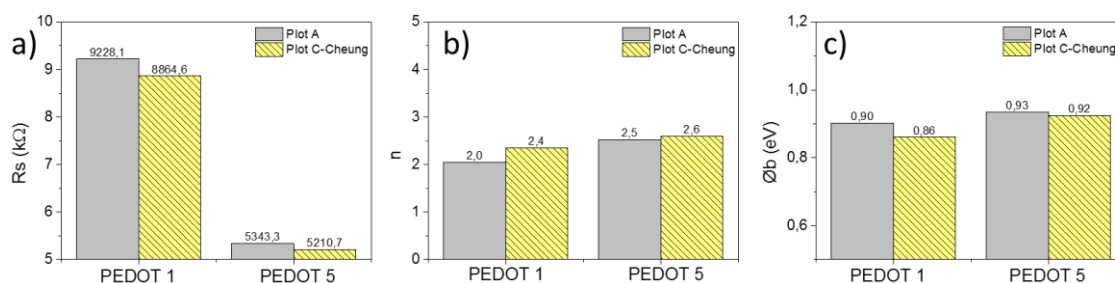


Figura 36 – Valores de R_{serie} , n e ϕ_b já apresentados nas Tabelas 3 e 4, calculados a partir dos métodos complementares de *Werner* e *Cheung* para os diodos de PEDOT/ZnO-NP/Al.

4.3. Transistores eletrolíticos (ZnO-NP EGTs)

Neste item serão apresentados os resultados referentes aos EGTs com camada ativa de ZnO-NP depositada por spray em baixa temperatura ($T = 120\text{ }^{\circ}\text{C}$) sobre eletrodos de fonte e dreno de ITO (Ossila®, $W/L = 30\text{mm}/50\mu\text{m}$). Como ilustrado na **Figura 37**, foi utilizado eletrólito de gel iônico e grafite de lapiseira como eletrodo de *gate*, resultando em um EGT de baixo custo e de fácil fabricação.

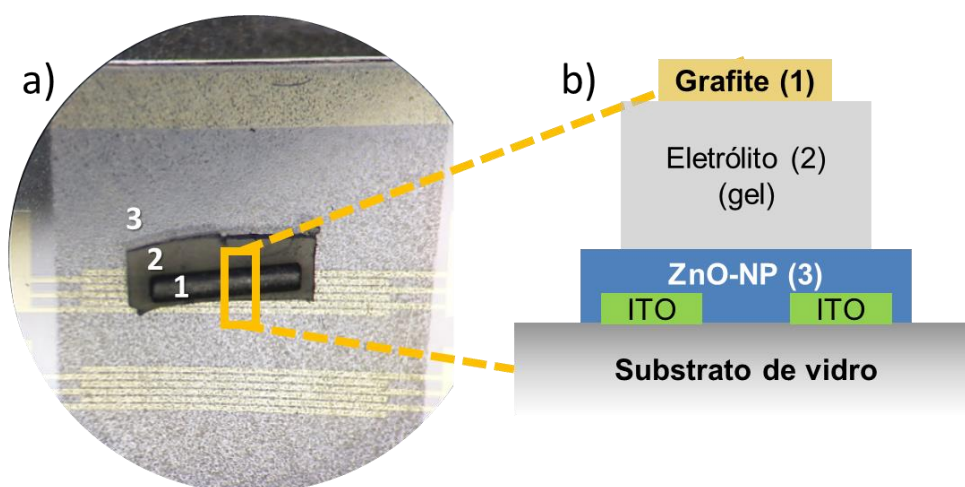


Figura 37 – EGT com *gate* no topo e contatos na base, com camada ativa de nanopartículas de óxido de zinco (ZnO-NP) depositada por spray sobre eletrodos de fonte e dreno de ITO (Ossila®, $W = 30\text{ mm}$ e $L = 50\text{ }\mu\text{m}$). (a) Fotografia da amostra. (b) Ilustração de um corte transversal conforme destacado.

Apresenta-se na **Figura 38** as curvas de saída e de transferência obtidas imediatamente após a montagem do EGT de ZnO-NP. Na **Figura 38a**, observa-se o comportamento da corrente de dreno (I_{DS}) em função da voltagem entre fonte e dreno (V_{DS}), enquanto na **Figura 38b**, tem-se a corrente I_{DS} em escala log em função da voltagem de *gate* (V_{GATE}). A partir de curva de saída, é evidente que o dispositivo exibe comportamento linear para valores baixos de V_{DS} e saturação para valores altos de V_{DS} . Além de apresentar histerese no sentido horário, como ilustrado pelas setas. Na curva de transferência, observa-se I_{DS} três ordens de grandeza maior do que a corrente de fuga, razão I_{ON}/I_{OFF} de $\sim 1,3 \times 10^5$ e uma histerese de $0,11\text{ V}$, definida como a diferença de V_{GATE} entre os ciclos ligado-desligado e desligado-

ligado das curvas de transferência para $I_{DS} = 1 \mu A$. A histerese dos transistores baseados em ZnO depositados por spray é devido aos defeitos de oxigênio na interface com o dielétrico. Quando os transistores são expostos ao ar, dessorção/adsorção de moléculas de água e O_2 podem afetar o desempenho do transistor aumentando a histerese com o tempo¹²⁵.

Conforme a Equação 21 (item 2.3), calcula-se a voltagem de *threshold* e o fator $\mu \cdot C_i$ a partir do gráfico de $I_{DS}^{0,5} \times V_G$, sendo obtido os valores de 1,6 V e $1,6 \times 10^{-6} \text{ Fcm}^2 \text{ V}^{-1} \text{ s}^{-1}$, respectivamente. Porém, para extrair a imobilidade μ é necessário determinar o valor da capacitância. Para isso, realizou-se a medida de capacitância em função da voltagem no modo capacitor, isto é, entre os eletrodos de *gate* e fonte, para a frequência fixa de 1 Hz mostrada no *inset* da **Figura 38b**. Considerando que a capacitância do isolante é extraída do regime de acumulação, foi obtido um valor de $\sim 20 \mu\text{F cm}^{-2}$ para 2 V, resultando em um valor de mobilidade de $0,08 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$. Tal valor de mobilidade é similar ao reportado por Carvalho et al ao utilizar nanopartículas de ZnO depositadas em baixa temperatura (150°C)⁴⁰. Também foram calculados uma transcondutância $g_m \sim 7,6 \times 10^{-4} \text{ S}$ e um *subthreshold swing* $SS \sim 0,17 \text{ V dec}^{-1}$.

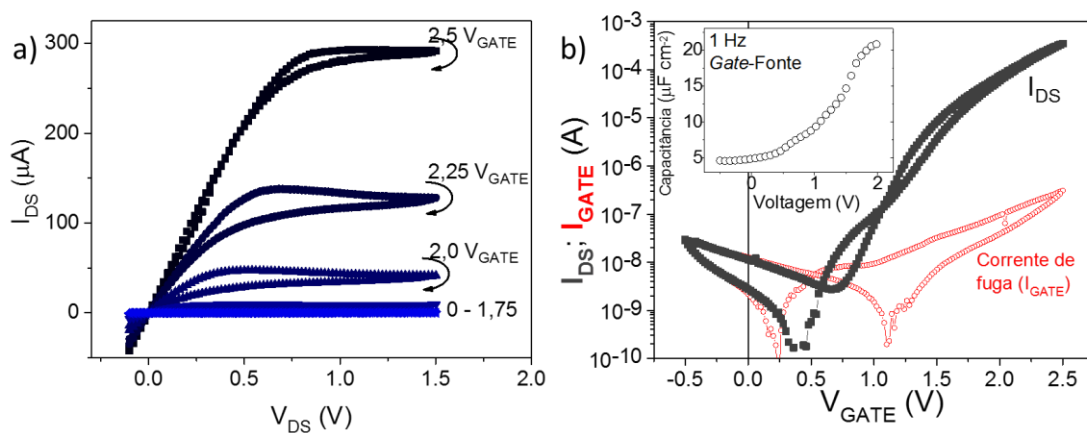


Figura 38 – Curvas de (a) saída para diferentes voltagens aplicadas ao *gate*, e (b) transferência para $V_{DS} = 1$ V, referentes ao dispositivo de ZnO-NP com fonte e dreno de ITO (Ossila®, $W = 30 \text{ mm}$ e $L = 50 \mu m$), dielétrico eletrolítico, e *gate* de grafite no topo. *Inset*: Curva de capacitância $\times$ voltagem em 1 Hz, obtida a partir da medida de impedância no modo capacitor, isto é, entre os eletrodos de *gate* e fonte.

Apesar de altos desempenhos dos TFTs de ZnO e demonstrações de utilização circuitos baseados em EGTs já serem publicados^{139,140}, o desenvolvimento de futuras aplicações práticas requer o entendimento sobre os limites de desempenho, reprodutibilidade e estabilidade¹⁴¹. Neste sentido, apresenta-se **Tabela 6** os valores médios extraídos das curvas de transferência de 12 transistores fabricados em diferentes lotes. Os valores médios de mobilidade e V_{TH} foram de $0,045 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ e $1,35 \text{ V}$, respectivamente. Os dispositivos exibiram I_{ON}/I_{OFF} de $\sim 10^5$ e histerese média de $0,28 \text{ V}$ entre os sentidos de varredura de V_{GATE} para $I_{DS} = 1 \text{ } \mu\text{A}$. Mesmo sem uma otimização do processo de fabricação que resulta na variabilidade exibida entre os transistores, os dispositivos exibiram desempenho satisfatório considerando o processo baixo-custo de fabricação por solução em baixa temperatura e caracterização em condição ambiente. Portanto, trabalhos futuros visando a otimização dos processos, bem como a utilização de etapas adicionais como tratamentos de superfície, de temperatura, adição de camada de passivação ou encapsulamento são necessários para garantir maior reprodutibilidade. Em paralelo aos estudos de reprodutibilidade, futuros estudos devem explorar a estabilidade em relação ao tempo e ao número de ciclos de medidas e, finalmente, o efeito do estresse de tensão com V_{GATE} positiva (PBS) em temperatura ambiente e sob aquecimento (PBTS)¹²⁵.

Tabela 6 – Valores médios das figuras de mérito de 12 EGT de ZnO-NP depositados por spray, que inclui V_{TH} , mobilidade calculada considerando-se $C_i \sim 20 \text{ } \mu\text{F cm}^{-2}$, razão I_{ON}/I_{OFF} e histerese entre os sentidos de varredura de V_{GATE} para $I_{DS} = 1 \text{ } \mu\text{A}$.

$V_{TH} \text{ (V)}$	$\mu \text{ (cm}^2 \text{ V}^{-1} \text{ s}^{-1}\text{)}$	I_{ON}/I_{OFF}	histerese (V)
$1,35 \pm 0,2$	$0,045 \pm 0,02$	$1,02 \times 10^5 \pm 0,4 \times 10^5$	$0,28 \pm 0,15$

5. Dispositivos com ZnO sintetizado por spray-pirólise

Neste capítulo serão apresentados os resultados obtidos com os filmes de ZnO obtidos a partir do processo de spray pirólise do acetato de zinco em álcool isopropílico. No item 5.1 apresenta-se a aplicação dos filmes de ZnO em EGTs. No item 5.2 são apresentados diodos Schottky com estrutura ITO/ZnO/AgNW. No item 5.3 são apresentados os transistores verticais utilizando todos os elementos apresentados até então: camada ativa de ZnO, eletrodo transparente/permeável de AgNW e eletrólito formando uma arquitetura com *gate* no topo.

5.1. Transistor eletrolítico

Apresenta-se aqui a comparação do desempenho de dois EGTs planares que se diferenciam apenas pelo eletrodo de *gate*, isto é, ITO sobre substrato de PET ou folha de Al recoberta com Au. Como ilustra-se na **Figura 39**, ambos são formados por filmes de ZnO obtidos por spray pirólise ($T = 350\text{ }^{\circ}\text{C}$) como camada semicondutora sobre eletrodos de fonte e dreno de ITO com W/L de 30mm/50 μm . Destaca-se que enquanto a vantagem de utilizar o eletrodo de ITO é a transparência, ao utilizar o eletrodo de Au tem-se menor resistência de folha e espera-se maior estabilidade. Os resultados estão organizados em dois tópicos. No primeiro são apresentadas as caracterizações preliminares do filme de ZnO e do eletrólito, enquanto que no segundo reúne-se as caracterizações dos EGTs por meio das figuras de mérito como mobilidade de saturação (μ), transcondutância (g_m) e *Subthreshold Swing* (SS).

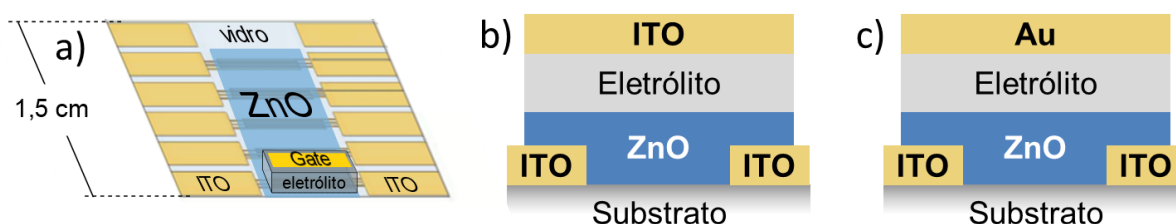


Figura 39 – EGTs formados por ZnO depositado por spray pirólise sobre eletrodos de ITO com padrão de fonte e dreno com W/L de 30mm/50 μm e (a) *gate* no topo. Eletrodos de *gate* de (b) ITO ou (c) Au.

Os filmes de ZnO depositados por spray pirólise são amplamente utilizados no LaDSOr tanto para a fabricação de diodos¹⁴² como de transistores³⁴. Em especial, para o estudo publicado por *Vieira et al*²³, a solução precursora utilizada possui uma formulação semelhante à utilizada no presente texto. A partir das caracterizações do filme de ZnO apresentadas na referida publicação, nota-se uma superfície lisa formada por pequenos grãos em escala nanométrica. Além disso, é observada uma estrutura hexagonal na fase wurtzita a partir do difratograma de raio-x (XRD) e a confirmação da formação de ZnO a partir do espectro de espectroscopia de fotoelétrons excitados por raio-x (XPS).

5.1.1. Caracterizações preliminares

As medidas de I-V foram realizadas no filme de ZnO obtido por spray pirólise sobre os eletrodos de fonte e dreno de ITO, conforme ilustrados na **Figura 40a**. A síntese de ZnO policristalino por meio da pirólise do acetato de zinco ocorre para temperaturas acima de 200 °C. Conforme reportado por *Adamopoulos et al.*, a temperatura de deposição por spray pirólise acima de 400 °C resultou nos TFTs de melhor desempenho¹²⁴. Como é observado na **Figura 40b**, o filme de ZnO imediatamente após a deposição a 350 °C exibiu valor de corrente relativamente alto em relação ao esperado para a corrente em modo desligado de um transistor, além de histerese, representada pela curva laranja. No entanto, um canal condutivo implica em alta corrente entre fonte e dreno (I_{DS}) mesmo no modo desligado, que é uma característica indesejável para o transistor. Para evitar essa desvantagem, adotou-se por padrão realizar uma etapa adicional de tratamento térmico à 400 °C no escuro, em atmosfera ambiente, durante uma hora, logo após a deposição das camadas de ZnO. Uma vez que as vacâncias de oxigênio são conhecidas como os defeitos mais dominantes no ZnO tipo-n, tal etapa de tratamento térmico reduz a quantidade de tais defeitos devido a difusão de oxigênio do ambiente para os filmes¹⁴³. Como discutido no item 2.2.2, uma superfície de ZnO rica em oxigênio também favorece a

formação de um contato Schottky. Observa-se na **Figura 40b** que após tal tratamento, os valores de corrente diminuíram mais de duas ordens de grandeza, além de eliminar a histerese. De fato, é bem explorado que a adsorção de oxigênio pelo ZnO reduz sua condutividade¹⁴⁴. Para todos os dispositivos que serão apresentados (transistor planar, diodo Schottky e transistor vertical), os filmes de ZnO depositados por spray pirólise à 350 °C foram submetidos ao tratamento térmico à 400 °C.

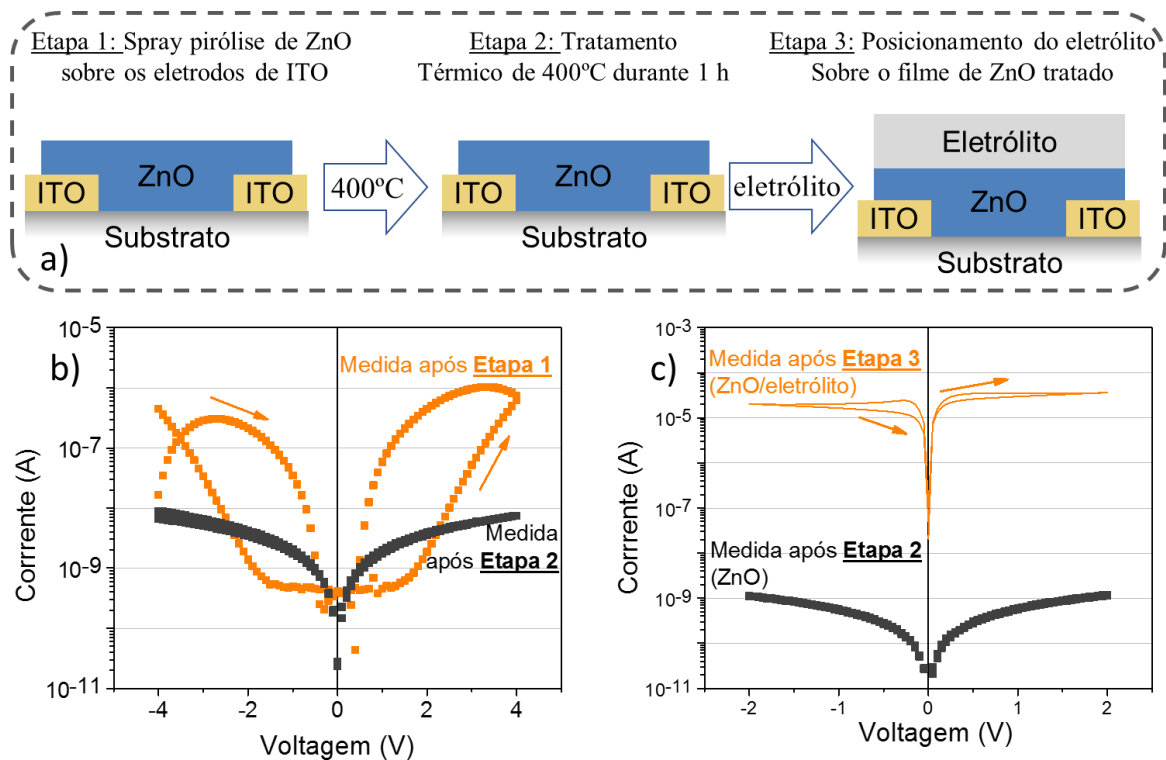


Figura 40 – (a) Diagrama ilustrando as etapas dos filmes de ZnO depositados por spray pirólise sobre eletrodos interdigitados de ITO (Ossila, com W/L = 30mm/50µm). (b) Comportamento da corrente e efeito do tratamento térmico de 400 °C no escuro por 1 hora do filme de ZnO. (c) Diferença entre a corrente através do filme de ZnO tratado (curva preta) e o aumento de corrente devido ao acoplamento do eletrólito (curva laranja).

Apresenta-se na **Figura 40c** as curvas de I-V referente ao ZnO tratado, e o comportamento da corrente ao acoplar o eletrólito sobre a estrutura ITO/ZnO, denominado como etapa 3 na **Figura 40a**. Ao posicionar o eletrólito sobre o filme de ZnO, nota-se um grande aumento nos valores de corrente (curva laranja). Infere-se que este aumento ocorre pois mesmo quando o *gate* não está conectado, há uma polarização interfacial, com formação de dupla

camada, que induz a acumulação de cargas na superfície do semicondutor que está em contato com o eletrólito.

Para o desenvolvimento dos transistores, além do filme de ZnO como semicondutor, é importante caracterizar o eletrólito que será utilizado como dielétrico de *gate*. Os estudos em modo capacitor previamente reportados sobre o eletrólito utilizado no presente trabalho foram realizados com eletrodo de aço inoxidável^{40,67}. Em complemento a tais estudos, nossa proposta é utilizar o eletrólito em uma estrutura sanduiche, cujos eletrodos são os mesmos que foram aplicados como dielétrico nos EGTs que serão apresentados nos próximos itens. Neste caso, tem-se uma situação padrão para a acumulação de portadores por eletrostática nas duplas camadas elétricas, pois espera-se que o capacitor puro tenha processos químicos interfaciais desprezíveis¹⁴⁵. Apresentam-se na **Figura 41a-b** as curvas de capacitância e ângulo de fase em função da frequência, respectivamente, no intervalo entre 0,1 e 10⁵ Hz. As curvas foram obtidas a partir da espectroscopia de impedância medida para quatro capacitores montados conforme o diagrama inserido na **Figura 41b**. Para a montagem dos capacitores simétricos, foram utilizados os eletrodos de PET recoberto com ITO, vidro recoberto com Au, folha de Al e folha de Al recoberta com Au. Dentre eles, os eletrodos de PET/ITO e Al/Au são os mais adequados para a utilização como *gate* nos transistores.

Nota-se na **Figura 41a** que existe uma grande variação entre os valores de capacitância específica dos quatro capacitores. Enquanto os capacitores de ITO e vidro/Au exibem valores de capacitância dentro do intervalo típico para eletrólitos ($1\text{-}10\text{ }\mu\text{F cm}^{-2}$)³⁶, os capacitores com folhas de Al exibem capacitância consideravelmente menor. Essa discrepância nos valores de capacitância pode ser explicada considerando a contribuição de uma camada de óxido de alumínio natural. Com isso, ao utilizar os eletrodos de folha de Al, soma-se uma capacitância em série com a capacitância do eletrólito, resultando em um valor de capacitância menor. Considerando que o oxido natural existente no Al tem espessura típica de 2 nm e que a

sua constante dielétrica é de aproximadamente 10, isto corresponde a uma capacitância de $\sim 4,5 \times 10^{-6} \text{ F cm}^{-2}$ que justifica o deslocamento observado.

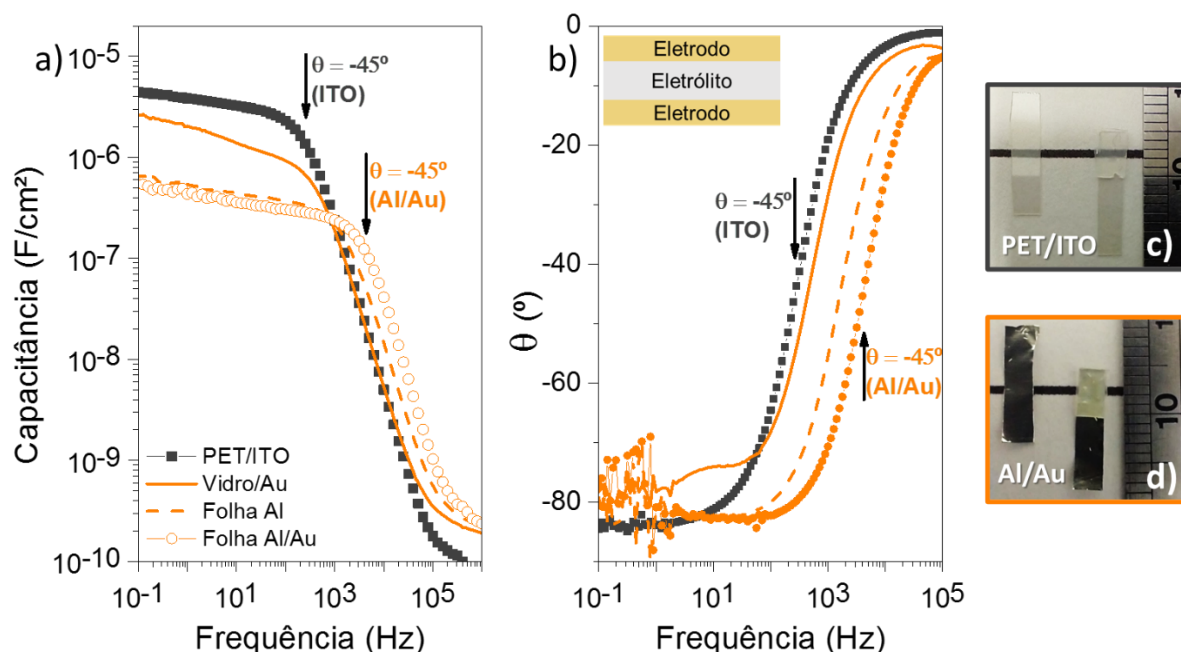


Figura 41 – Medidas de (a) capacitância e (b) ângulo de fase em função da frequência para os capacitores montados de acordo com o diagrama (área $\sim 0,1 \text{ cm}^2$). Foram utilizados eletrodos simétricos de PET/ITO, vidro/Au, folha de Al e folha de Al recoberta com Au.

Como é visto na **Figura 41b**, as curvas de ângulo de fase indicam uma mudança de mecanismo em função da frequência¹⁴⁵. A frequência de corte que correspondente a $\theta = -45^\circ$ marca a transição entre um regime de baixa frequência predominantemente capacitivo, para um regime resistivo em alta frequência. Para cada uma das curvas da **Figura 41b** a transição ocorre em uma frequência diferente. Nas curvas para ITO e Al/Au, a frequência de corte está destacada com retas verticais nos gráficos de capacitância e ângulo de fase. Com o aumento da frequência, $\theta > -45^\circ$, o eletrólito exibe comportamento resistivo que é referente à relaxação iônica do volume do eletrólito. Com a diminuição da frequência, $\theta < -45^\circ$, ocorre a formação da dupla camada elétrica devido à acumulação de íons na interface eletrólito/eletrodo⁶⁷. Ressalta-se que

mesmo em baixas frequências, o ângulo de fase não atinge -90° , indicando que o eletrólito não se comporta como um elemento puramente capacitivo.

Os valores de capacitância e frequência de corte para cada capacitor estão reunidos na **Tabela 7**. Ressalta-se que utilizar o valor de capacitância em baixa frequência para calcular a mobilidade do EGT é uma abordagem conservadora, isto é, pode resultar em um valor subestimado de mobilidade em comparação ao que seria calculado usando a capacitância de dupla camada^{40,146}.

Tabela 7 – Principais parâmetros extraídos diretamente das curvas de capacitância e ângulo de fase (**Figura 41**), referentes aos quatro diferentes capacitores.

Eletródos simétricos	$C_{f=0,1\text{ Hz}}$ (F cm ⁻²)	$f_{\theta=-45^\circ}$ (Hz)	$C_{\theta=-45^\circ}$ (F cm ⁻²)
PET/ITO*	$4,4 \times 10^{-6}$	270,0	$1,3 \times 10^{-6}$
Vidro/Au	$2,6 \times 10^{-6}$	441,2	$7,7 \times 10^{-7}$
Folha de Al	$6,5 \times 10^{-7}$	1631,0	$1,5 \times 10^{-7}$
Folha de Al/Au*	$5,5 \times 10^{-7}$	4059,4	$1,2 \times 10^{-7}$

* Eletródos utilizados como *gate* para os transistores que serão apresentados no item seguinte.

5.1.2. Caracterização do transistor planar

Com a adição do eletrodo de *gate* sobre o eletrólito, foi possível realizar as caracterizações do EGT por meio das curvas de saída e de transferência. A seguir será comparado o desempenho de dois transistores, com eletrodo de *gate* de ITO sobre PET e folha de Al recoberta com Au. Apresenta-se na **Figura 42** as curvas de saída para os dois transistores. Ao utilizar *gate* de Au (**Figura 42b**), os valores de I_{DS} são aproximadamente quatro vezes maior do que ao utilizar *gate* de ITO (**Figura 42a**). Isto é, para $V_{DS} = 1\text{ V}$, temos $I_{DS} = 1,0\text{ mA}$ e $I_{DS} = 0,25\text{ mA}$, respectivamente. Como esperado para um EGT, foram atingidos altos valores de I_{DS} com baixas tensões de operação ($< 2\text{ V}$).

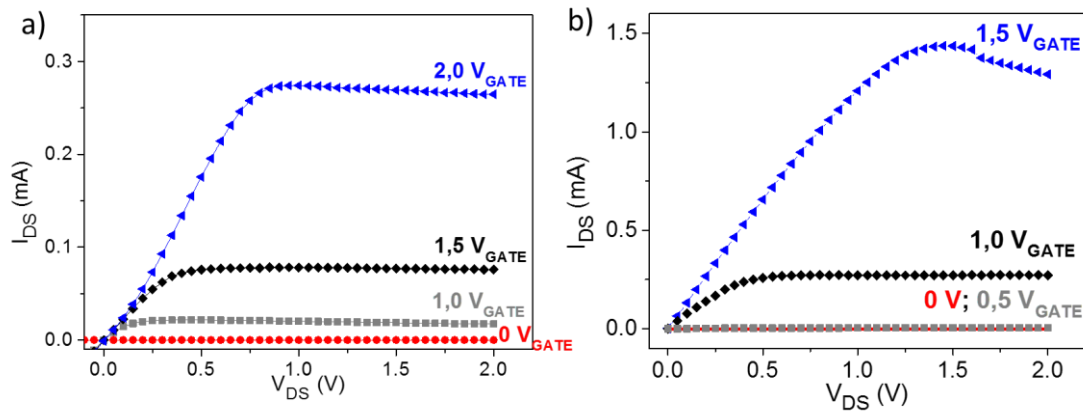


Figura 42 – Curvas de saída para os EGTs de ZnO com arquitetura de contato na base e *gate* no topo, utilizando eletrodo de *gate* de (a) ITO e (b) Au. ZnO depositados por spray pirólise sobre eletrodos interdigitados de ITO (Ossila, com W/L = 30mm/50μm).

Apresenta-se na **Figura 43** as curvas de transferência para os dois transistores, mantendo-se $V_{DS} = 1$ V. Nota-se, tanto na **Figura 43a** quanto em **Figura 43b**, o funcionamento dos dispositivos com baixa voltagem, com corrente de fuga $< 10^{-6}$ A, e razão $I_{ON}/I_{OFF} \sim 10^5$.

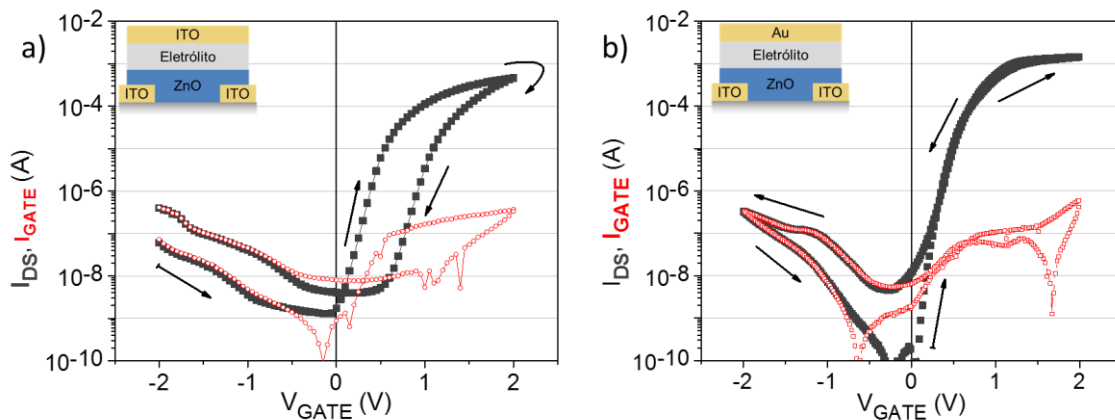


Figura 43 – Curvas de transferência com $V_{DS} = 1$ V e taxa de varredura de 50 mV/s para os EGTs de ZnO, utilizando eletrodo de *gate* de (a) ITO e (b) Au. ZnO depositados por spray pirólise sobre eletrodos interdigitados de ITO (Ossila, com W/L = 30mm/50μm).

A partir das curvas de transferência da **Figura 43**, foram calculados os parâmetros necessários para avaliar o desempenho dos transistores. Considerando o regime de saturação, para $V_{DS} > V_{GATE} - V_{TH}$, são aplicadas as Equações 21 e 22 para o cálculo da mobilidade de efeito de campo (μ). Os valores de capacitância por unidade de área (C_i) utilizados foram $4,4 \times 10^{-6}$ F cm $^{-2}$ (*gate* de ITO) e $5,5 \times 10^{-7}$ F cm $^{-2}$ (*gate* de Au), medidos conforme apresentado no item 5.1. Obtiveram-se os parâmetros $\mu.C_i$ de $6,1 \times 10^{-6}$ e $7,7 \times 10^{-7}$ F cm $^{-2}$ V $^{-1}$ s $^{-1}$ para os

transistores com *gate* de ITO e Au, respectivamente. Nota-se que o EGT baseado no ZnO-NP apresentado no item 4.3 tem um $\mu \cdot C_i$ intermediário ($1,6 \times 10^{-6} \text{ F cm}^{-2} \text{ V}^{-1} \text{ s}^{-1}$). Os valores de μ e V_{TH} são calculados a partir do gráfico de $I_{DS}^{0,5} \times V_{GATE}$, apresentados na **Figura 44**. Foram calculados os valores de V_{TH} de 0,32 e 0,46 V, e μ de 0,17 e 11,18 $\text{cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ para os transistores com *gate* de ITO e Au, respectivamente.

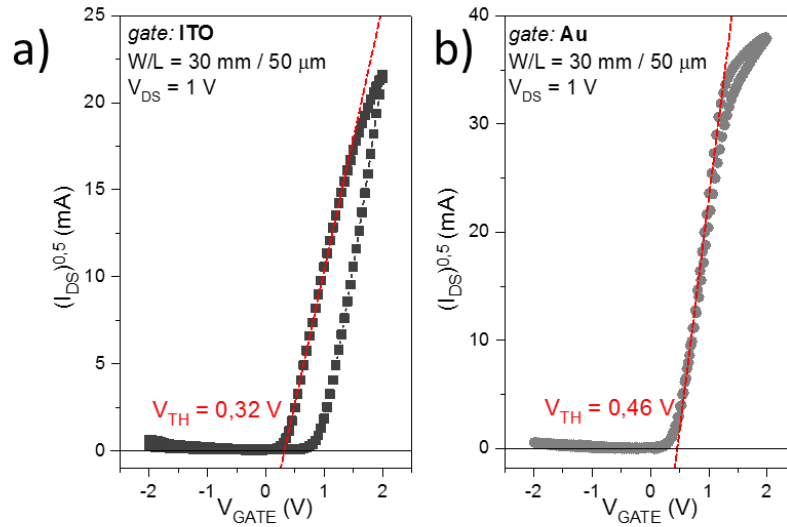


Figura 44 - Extração dos parâmetros V_{TH} e μ a partir da curva de transferência dos EGTs de ZnO para $V_{DS} = 1 \text{ V}$. Gráficos de $(I_{DS})^{0,5} \times V_{GATE}$ para os eletrodos de *gate* de (a) ITO e (b) Au.

Apresenta-se na **Figura 45** as curvas de $\mu \times V_{GATE}$, como previsto pela Equação 22, para os transistores com *gate* de ITO e de Au. Com esses gráficos, é possível avaliar o comportamento da mobilidade em função da voltagem após atingir o regime de saturação ($V > V_{TH}$)¹⁴⁷. Nota-se que os valores máximos de mobilidade ocorrem em $V_{GATE} \sim 0,7 \text{ V}$ e $\sim 1,1 \text{ V}$ ao utilizar os *gates* de Au e ITO, respectivamente. A partir das Equação 24 calcula-se a transcondutância (g_m) do transistor:

$$g_m = \frac{dI_{DS}}{dV_{GATE}} \quad (24)$$

A dependência da transcondutância normalizada pela largura do canal (g_m/W) com V_{GATE} é mostrada nas **Figura 47a** e **Figura 47b**, para os transistores com $W = 30 \text{ mm}$, e eletrodo de

gate de ITO e Au, respectivamente. Para um transistor ideal, g_m/W deveria ser independente para $V_{GATE} > V_{TH}$, mas os EGTs tipicamente exibem um pico na curva de g_m/W ^{41,148,149}. Como está indicado nos gráficos, obteve-se os valores de 0,013 e 0,082 S m⁻¹ para os transistores de ITO e Au, respectivamente.

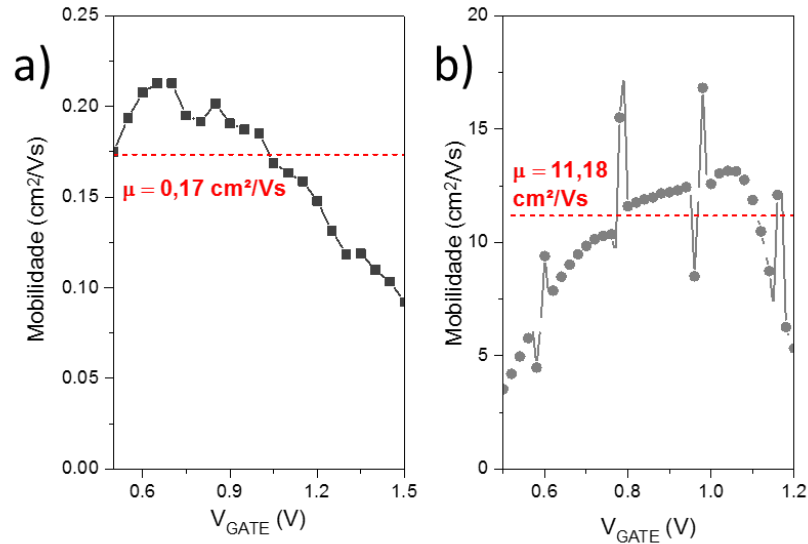


Figura 45 – Gráficos de $\mu \times V_{GATE}$ para os transistores com eletrodos de *gate* de (a) ITO e (b) Au. As curvas foram calculadas a partir da Equação 22 e das curvas de transferência para $V_{DS} = 1$ V. Os valores de μ obtidos pela inclinação de $(I_{DS})^{0,5} \times V_{GATE}$ são exibidos em vermelho.

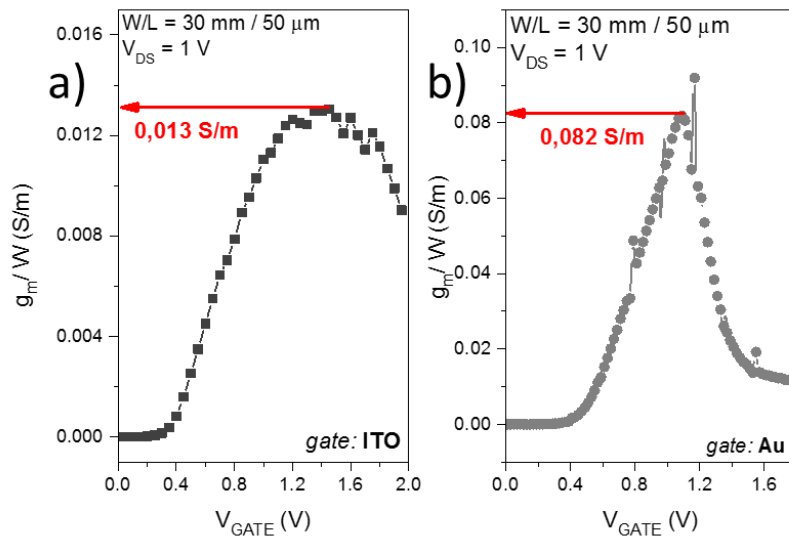


Figura 46 – Comportamento de $g_m/W \times V_{GATE}$ a partir da curva de transferência dos EGTs de ZnO para $V_{DS} = 1$ V. Gráficos referentes aos transistores com eletrodo de *gate* de (a) ITO e (b) Au. Transcondutância normalizada pela largura do canal (30 mm).

O valor de SS também é dependente de V_{GATE} como é visto nas **Figura 47a** e **Figura 47b**, para os transistores com *gate* de ITO e Au, respectivamente. Como indicado pela Equação 23 (item 2.3), o inverso da inclinação máxima da curva de transferência indica a voltagem V_{GATE} necessária para aumentar I_{DS} em uma década, na região abaixo do limiar ($V_{GATE} < V_{TH}$). A partir dos valores mínimos dos gráficos de $dV_{GATE}/d\log(I_{DS}) \times V_{GATE}$, temos 0,12 e 0,13 V dec⁻¹ para os transistores com *gate* de ITO e Au, respectivamente. Tais valores estão dentro do intervalo típico de 0,10 e 0,30 V dec⁻¹ ^{15,38}.

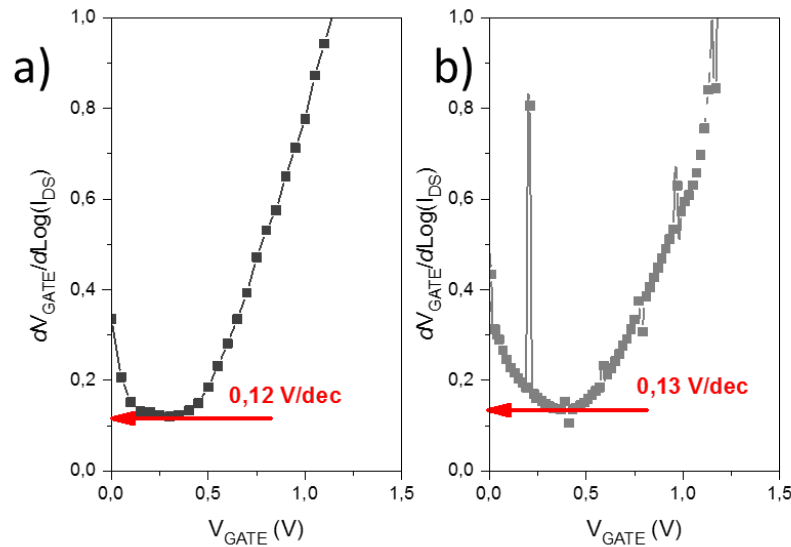


Figura 47 – Gráficos de $dV_{GATE}/d\log(I_{DS}) \times V_{GATE}$ para os eletrodos de *gate* de (a) ITO e (b) Au. Os valores de SS são calculados a partir do ponto de mínimo de tais gráficos.

Compara-se na **Tabela 8** os valores dos parâmetros calculados anteriormente a partir das curvas de transferências. Os parâmetros I_{ON}/I_{OFF} , V_{TH} e SS são similares para os dois transistores. Porém, os valores de g_m/W e μ indicam um desempenho superior ao utilizar o eletrodo de *gate* de Au. Inicialmente, optamos por usar o *gate* de Au como alternativa ao ITO devido às instabilidades do ITO em sistemas eletroquímicos¹⁵⁰. Mas, verificou-se um desempenho superior ao utilizar Au mesmo sem levar em conta experimentos de estabilidade.

Para além de comportamentos esperados como uma relação linear entre a função trabalho do eletrodo e V_{TH} do EGT, o eletrodo de *gate* pode contribuir ou limitar o funcionamento de um EGT devido à diversos fatores, como intervalo eletroquímico e a presença de reações físico-químicas¹⁵¹. Desta forma, futuros trabalhos devem explorar o motivo pelo qual obteve-se melhor desempenho ao utilizar eletrodo de Au quando comparado ao eletrodo de *gate* de ITO. Dois conceitos parecem ser fundamentais para tal sistema. Primeiro, enquanto eletrodos de Ag/AgCl são reconhecidos por formar *gates* não polarizáveis, o Au é um eletrodo polarizável¹⁵². Apesar das vantagens de fabricação e integração com biocamadas, eletrodos de Au tem mostrado uma eficiência reduzida devido à uma queda de voltagem na interface eletrodo/eletrólito¹⁵³. Porém, o mesmo material condutor pode ser polarizável ou não polarizável dependendo do eletrólito usado e do potencial aplicado¹⁵². Portanto, um caráter polarizável do eletrodo de *gate* de ITO pode explicar o presente resultado. Segundo, como é comum em dispositivos eletroquímicos baseados em óxidos, o potencial de circuito aberto (*open circuit potential*) pode influenciar a capacidade do *gate*¹⁵⁴. Li *et al.* atribuíram a voltagem de chaveamento relativamente alta do EGT estudado ao alto potencial de circuito aberto resultante da diferença entre o potencial químico do canal e do eletrodo de *gate*¹⁵⁵. Dessa forma, um maior potencial efetivo é uma outra hipótese para explicar o melhor desempenho ao utilizar o *gate* de Au.

São apresentados na **Tabela 8** os valores referentes à EGTs utilizando ZnO como semicondutor. Desta forma, nota-se que os dispositivos apresentados aqui atingiram um desempenho compatível com o a literatura. Ressalta-se que, conforme será discutido na seção de transistor vertical, atenção especial deve ser dada à transcondutância. Pois mobilidade e densidade de corrente possuem significados físicos bem diferentes entre as arquiteturas planar e vertical.

Tabela 8 – Resumo dos principais parâmetros para EGTs de ZnO. São comparados os parâmetros dos EGTs com *gate* de folha de Al revestida de Au apresentados aqui, com alguns dispositivos reportados na literatura^{32,37,38,40,41}.

Autor	Eletrodos De <i>gate</i>	$C_{f=0,1\text{ Hz}}$ ($\mu\text{F cm}^{-2}$)	$I_{\text{ON}}/I_{\text{OFF}}$	V_{TH} (V)	μ_{sat} ($\text{cm}^2 \text{ V}^{-1} \text{ s}^{-1}$)	g_m ($\times 10^{-3} \text{ S}$)	g_m/W ($\times 10^{-3} \text{ S m}^{-1}$)	SS (V dec^{-1})
Presente trabalho	ITO	4,43	$2,8 \times 10^5$	0,32	0,2	0,39	13,0	0,12
	Au	0,55	$2,1 \times 10^5$	0,46	11,2	2,46	81,7	0,13
Hong, 2014	PEDOT: PSS	-	$>10^5$	0,50	1,9	8,0	40,0	0,09
Carvalho, 2019	Ag	20	$8,7 \times 10^3$	-	5,7	0,84	21,1	0,06
Bidoky, 2019	Au	24	$>10^5$	0,5	2-9	3,80	19000	-
Cho, 2019	PEDOT: PSS	31	$>10^4$	$\sim 1,0$	1-2	-	-	-
Cho, 2019	Si/SiO ₂ *	-	$>10^6$	$\sim 3,5$	14,7	-	-	0,49

* TFT convencional.

5.2. Diodos Schottky de ZnO e AgNW

Após a deposição de ZnO, as amostras foram tratadas à 400 °C, porém, realizou-se um tratamento térmico adicional de 200 °C após a deposição do AgNW. É o segundo tratamento térmico que será avaliado no estudo do diodo de ITO/ZnO/AgNW a seguir. É apresentada na **Figura 48a** uma imagem de MEV da rede de AgNW formada por spray. Nota-se que, apesar das regiões vazias, existe a percolação dos AgNW, resultando em baixa resistência ($\sim 10 \Omega \text{ sq}^{-1}$) e alta transparência ($> 90\%$). Os diodos Schottky ITO/ZnO/AgNW cuja estrutura é apresentada na **Figura 48b** foram avaliados por meio dos métodos analíticos de *Mikhelashvili*, *Werner* e *Cheung* já apresentados no Capítulo 4.

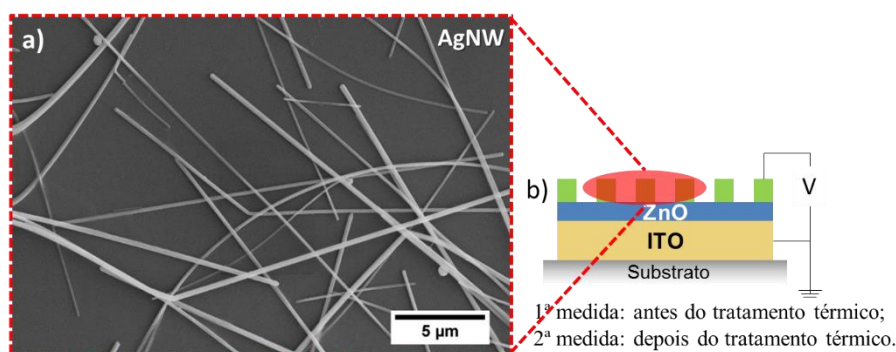


Figura 48 – (a) Imagem de MEV da rede de AgNW depositada por spray. Diagramas dos dispositivos utilizando ZnO depositado por spray pirólise como camada ativa e AgNW depositado por spray como eletrodo permeável. (b) Estrutura do diodo Schottky de ITO/ZnO/AgNW.

As análises das curvas de I-V são referentes ao mesmo diodo de ITO/ZnO/AgNW antes e depois de um tratamento térmico a 200 °C em atmosfera ambiente e no escuro. De acordo com a afinidade eletrônica do ZnO ($\sim 4,2$ eV)²¹ e os níveis de energia dos três materiais, seria esperado um contato ôhmico entre ZnO/Ag e um contato Schottky entre ITO/ZnO. O ITO comercial pode apresentar uma função trabalho entre 4,7 e 5,1 eV, enquanto a prata apresenta um valor entre 4,2 e 4,7 eV¹⁵⁶. *Bai et al.* reportam uma função trabalho de 3,82 eV extraída por UPS para os AgNW¹⁵⁷. Porém, temos um sistema mais complexo no qual um contato Schottky entre AgNW/ZnO é favorecido devido ao efeito da adsorção de oxigênio na superfície do ZnO, enquanto que o contato ôhmico entre ZnO/ITO ocorre devido ao excesso de vacâncias de oxigênio formadas nesta interface durante a deposição do ZnO. Tais dinâmicas de formação de contato para o ZnO foram discutidas no item 2.2.2. Devido às diversas variáveis envolvidas neste procedimento experimental multicamadas, processado por solução e com sucessivos tratamentos térmicos, outros fenômenos podem ocorrer. Por exemplo, é reportado por *Magari et al.* um aumento da barreira entre o óxido de prata (Ag_xO) e o IGZO devido ao aumento da função trabalho efetiva do Ag_xO para os estados diferentes estados oxidativos¹⁵⁸. Tal fenômeno pode ocorrer nos diodos devido à migração de oxigênio do ZnO para os AgNW. Outra possibilidade é a difusão de Ag para o filme de ZnO¹⁵⁹. Portanto, a caracterização da barreira Schottky pelos métodos analíticos apresentados no item 4.2 fornecerá informações importantes para o entendimento do dispositivo.

Apresentam-se nas **Figura 49a-b** as curvas referentes aos cinco eletrodos localizados em um mesmo substrato antes e depois do tratamento, respectivamente. A partir do cálculo da média entre as cinco curvas para os dois grupos, obteve-se as curvas da **Figura 49c**, nas quais as marcações vermelhas representam o desvio padrão. Os valores da razão de retificação (RR) das curvas médias pra ± 1 V são de 2×10^5 e $1,7 \times 10^5$ para o diodo antes e depois do tratamento, respectivamente. As análises utilizando a Lei de Ohm ($R_i = dV/dI$) e os métodos

de Mikhelashvili, Werner e Cheung foram realizadas nos dados de I-V das duas curvas médias da **Figura 49c**. Como são similares ao que foi detalhadamente descrito no item 4.1, serão apresentadas aqui de forma resumida.

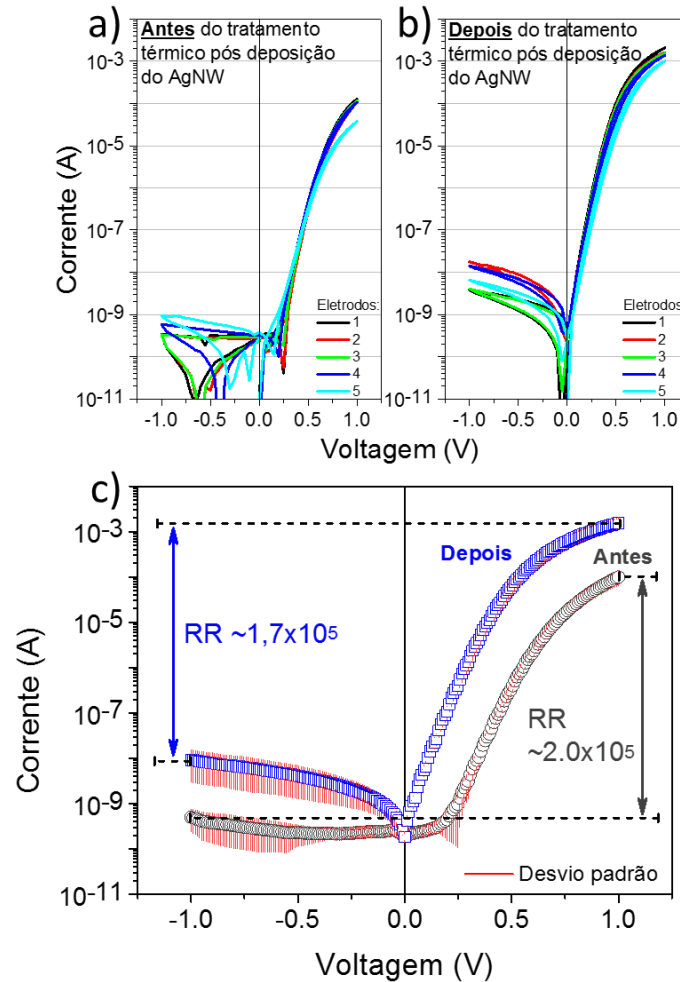


Figura 49 – Curvas de I-V para o diodo formado por ITO/ZnO/AgNW. Curvas referentes à cinco eletrodos diferentes de um mesmo substrato, sendo (a) antes e (b) depois de um tratamento térmico à 200 °C no escuro por 30 min. (c) Comparação entre as curvas médias com barras de erro, das quais foram extraídos os parâmetros do diodo, sendo RR a razão de retificação.

As curvas de $R_i \times V$ apresentadas nas **Figura 50a-b** foram calculadas a partir da aplicação da Lei de Ohm ($R_i = dV/dI$) nos dados de I-V para o diodo de ITO/ZnO/AgNW antes e depois do tratamento térmico. A interpretação do gráfico de $R_i \times V$ a partir do circuito equivalente apresentado no *inset* da **Figura 50b** é a mesma discutida no item 4.1.3. Os valores de R_{serie} extraídos diretamente do gráfico em +1 V são de 2,12 k Ω e 0,24 k Ω , respectivamente.

Os valores calculados para a condutância (G_p), resistência em paralelo (R_p), resistência em série (R_{serie}) e razão de retificação (RR) para as duas situações estão reunidos na **Tabela 9**.

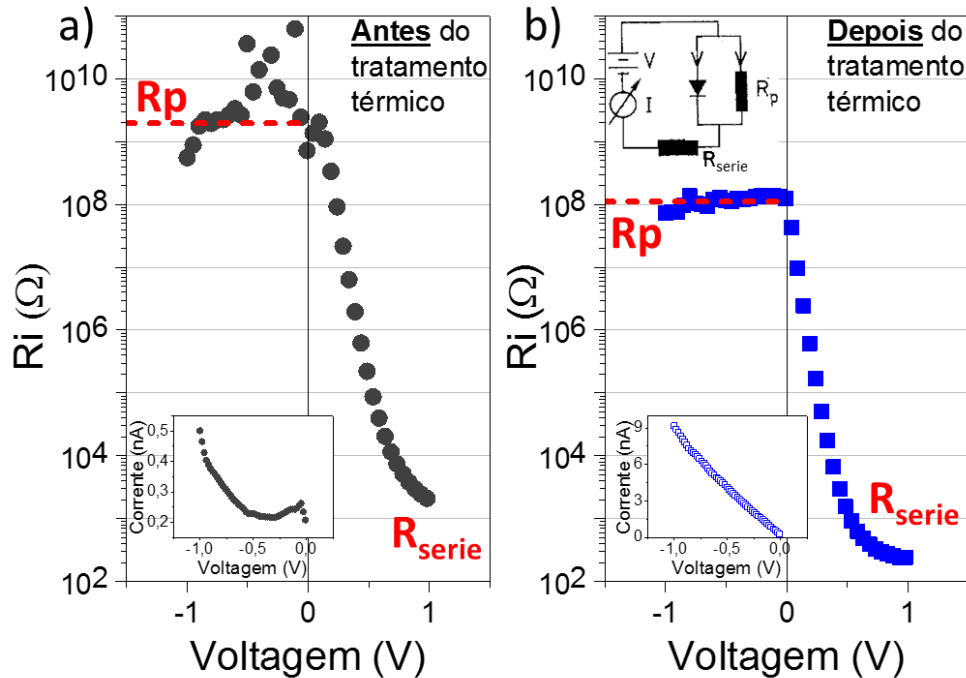


Figura 50 – Curvas de $R_i = dV/dI \times V$ (Lei de Ohm) calculadas a partir das curvas médias de I-V da Figura 49, para os diodos (a) antes e (b) depois do tratamento térmico. As linhas vermelhas tracejadas destacam os valores da resistência em paralelo (R_p), obtidos a partir da condutância ($G_p = 1/R_p$) das curvas apresentadas nos respectivos insets.

Tabela 9 - Valores calculados para a condutância (G_p), resistência em paralelo (R_p), resistência em série (R_{serie}) e razão de retificação (RR) a partir das curvas de $R_i \times V$ apresentadas na Figura 50, referentes aos diodos de ITO/ZnO/AgNW.

Tratamento térmico (200°C)	RR ($\pm 1V$)	G_p (Ω^{-1})	R_p (Ω)	R_{+1V} (Ω)
Sem	$1,98 \times 10^5$	$-5,13 \times 10^{-10}$	$1,95 \times 10^9$	$2,11 \times 10^3$
Com	$1,67 \times 10^5$	$-8,98 \times 10^{-9}$	$1,11 \times 10^8$	$0,24 \times 10^3$

Fica evidente a partir das **Figura 49** e **Figura 50** a mudança no comportamento I-V do diodo induzida pelo tratamento térmico. Enquanto o fator RR não sofre muita alteração, observa-se que depois do tratamento há uma queda de aproximadamente uma ordem de grandeza no valor de R_{serie} , indicando a melhora do dispositivo. É importante informar neste ponto que a realização do tratamento térmico após a fabricação desses diodos foi fundamental

para o funcionamento do transistor vertical (SB-EG-VFET) que será apresentado no próximo item. Pois, na ausência do tratamento após a deposição do eletrodo de AgNW, poucos transistores apresentaram a modulação característica de I_{DS} em função da voltagem de *gate*. Embora estudos futuros sejam necessários para o esclarecer o efeito do tratamento térmico nos dispositivos, o cálculo dos demais parâmetros do diodo para as duas situações fornecerá mais elementos para essa discussão.

Apresentam-se nas **Figura 51a-b** os gráficos de I-V e as curvas correspondentes de da inclinação diferencial em função da voltagem (α -V) com polarização direta para o diodo ITO/ZnO/AgNW antes e depois do tratamento térmico, respectivamente. Nota-se um aumento da linearidade do regime de baixa voltagem da curva de α -V após a realização do tratamento térmico, o que indica uma independência maior de n e Φ_b em relação a voltagem. Novamente será aplicado o método analítico de *Mikheleshvili* descrito no item 2.2.3, que será utilizado para o cálculo de R_{serie} , $n(V)$, $I_{SAT}(V)$, Φ_{b0} e $\Delta\Phi_b = \Phi_b - \Phi_{b0}$.

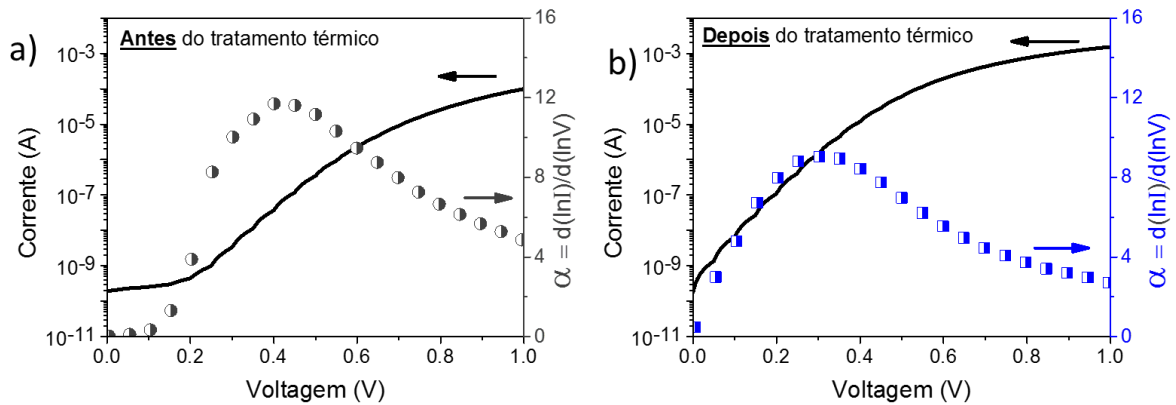


Figura 51 - Curvas de corrente e inclinação diferencial (I-V e α -V) referentes à polarização direta dos diodos de ITO/ZnO/AgNW, sendo (a) antes e (b) depois do tratamento térmico. Os dados de I-V são os mesmos já apresentados na **Figura 49c**. A partir das curvas de α -V, são calculados os parâmetros R_{serie} , n e Φ_b .

Estão reunidos na **Figura 52** os parâmetros que dependem da voltagem, calculados pelo método de *Mikheleshvili*. A dependência de R_{serie} com a voltagem, calculada a partir da Equação 17, é mostrada na **Figura 52a**. Os valores obtidos para 1,0 V são 2,1 k Ω e 0,2 k Ω para os diodos antes e depois do tratamento térmico, respectivamente. Esses valores são idênticos

aos obtidos pela Lei de Ohm. Como visto nas **Figura 52b-c**, as curvas de $n(V)$ precisam ser corrigidas pelos valores de R_{serie} extraídos do gráfico da **Figura 52a**. Com isso, nota-se que antes do tratamento, o valor de n é independente da voltagem para $V > 0,6$, enquanto que depois do tratamento, n é aproximadamente constante para $V > 0,3$. Consequentemente, é a partir desses valores de voltagem que os métodos de *Werner* e *Cheung* devem ser aplicados.

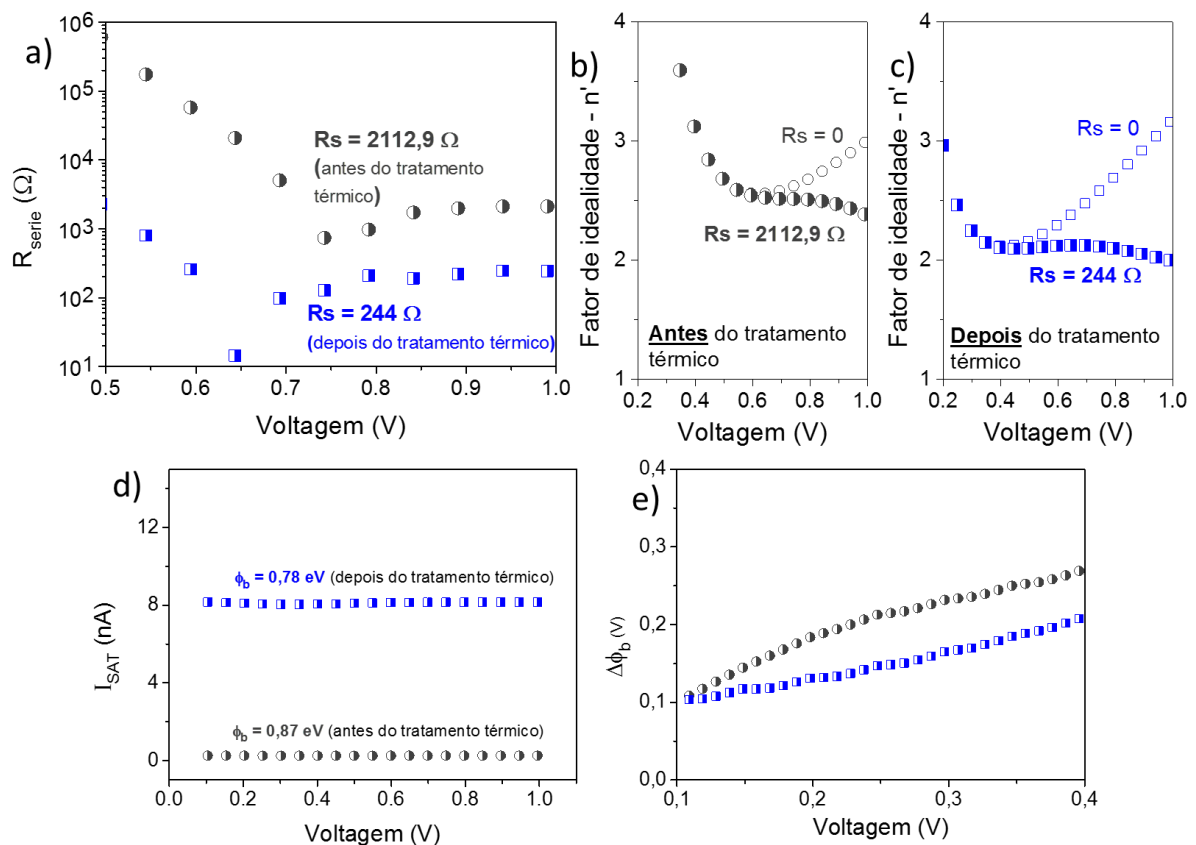


Figura 52 - Grupo de parâmetros dependentes da voltagem para os diodos antes e depois do tratamento térmico, calculados a partir do gráfico de α - V pelo método de *Mikhelashvili*: (a) R_{serie} ; (b-c) fator de idealidade n ; (d) corrente de saturação (I_{SAT}); e (e) variação da altura da barreira $\Delta\phi_b$.

A corrente de saturação (I_{SAT}), determinada pela Equação 16a, é constante como visto na **Figura 52d**. Assim, a partir da Equação 16b, calculam-se os valores da altura da barreira sem polarização (ϕ_{b0}) iguais a 0,87 eV e 0,78 eV para o diodo antes e depois do tratamento, respectivamente. Antes do tratamento térmico (200 °C), a barreira Schottky é similar ao valor obtido com outros contatos Schottky (conforme será mostrado na **Tabela 16**, item 6.1). A variação da altura da barreira AgNW/ZnO com o tratamento térmico indica que

uma interação entre os AgNW e a superfície do ZnO que é induzida pela temperatura. Portanto, as etapas de tratamento térmico influenciam a densidade de cargas superficiais do ZnO, seja tanto pela adsorção de oxigênio quanto por uma possível reação com o AgNW.

Além disso, pode-se calcular os valores de $\Delta\phi_b$ a partir da região de baixa voltagem das **Figura 52b-c** com o auxílio da Equação 12. O resultado é um $\Delta\phi_b$ que depende da voltagem, como exibido na **Figura 52e**. Esses valores de ϕ_{b0} , junto com a variação $\Delta\phi_b$, serão comparados com os cálculos a partir da função $H_{(I)}$ de *Cheung*.

Com a informação prévia a respeito do intervalo para a aplicação do método de Werner, as curvas de I-V foram avaliadas a partir dos Plot A e Plot C. A equivalência entre os gráficos de “ $dV/d\ln(I_D) \times I_D$ ” e “ $I_D/G \times I_D$ ” possibilita ocultar a primeira relação que é referente à primeira etapa do método de *Cheung* sem perda de informação. Além disso, optou-se por exibir os gráficos relacionados ao método de *Werner* e *Cheung* apenas no Apêndice I. Ao consultá-los, o Plot A (**Figura 62**) evidencia a não linearidade para o regime de baixa voltagem, sendo que após o tratamento, uma região linear é identificada de maneira mais clara. O comportamento exibido no Plot C (**Figura 63**), de maior linearidade em comparação ao Plot A, está de acordo com o que já foi discutido sobre a diferença entre tais gráficos. De forma resumida, o Plot C enfatiza os dados de alta corrente, enquanto que o Plot A enfatiza os dados em voltagens intermediárias.

Os valores de n e R_{serie} para os Plot A e C referentes ao diodo antes e depois do tratamento térmico estão reunidos na **Tabela 10**. Nota-se que o tratamento térmico teve efeito nos dois parâmetros. Nota-se novamente a diminuição de quase uma ordem de grandeza nos valores de R_{serie} , que estão bem próximos aos valores calculados tanto pela Lei de Ohm, quanto pelo método de *Mikheleshvili*. Além disso, a diminuição de n indica que o tratamento melhorou o contato Schottky entre ZnO-AgNW.

Tabela 10 - Valores de R_{serie} e n calculados pelo método de *Werner* para os diodos de ITO/ZnO/AgNW a partir dos gráficos apresentados no Apêndice I. Ressalta-se que, pela similaridade de valores entre o Plot C e o Plot de *Cheung*, optou-se por omitir os gráficos de $dV/d\ln(I)$.

Tratamento Térmico (200 °C)	Parâmetro	Plot A [G/I × G]	Plot C-Cheung [I/G × I]
Antes	n	2,46	2,63
	$R_{\text{serie}} 1 (\Omega)$	$1,56 \times 10^3$	$1,44 \times 10^3$
Depois	n	2,30	2,49
	$R_{\text{serie}} 1 (\Omega)$	$2,05 \times 10^2$	$1,96 \times 10^2$

Para finalizar a análise dos dados de I-V do diodo de ITO/ZnO/AgNW, optou-se por utilizar a função $H_{(I)}$ de *Cheung* definida na Equação 8 para calcular os valores de ϕ_b . Para isso, os valores de n calculados a partir dos Plot A e C são aplicados em $H_{(I)}$ de forma que além do cálculo de ϕ_b , um segundo valor para R_{serie} é obtido. A semelhança entre $R_{\text{serie}1}$ e $R_{\text{serie}2}$ é um indicativo da boa qualidade do ajuste obtido por $H_{(I)}$. Os valores de R_{serie} e ϕ_b estão reunidos na **Tabela 11**. Observa-se que os valores de ϕ_b são semelhantes entre os Plot A e C, além de ser compatíveis com o valor de ϕ_{b0} , apresentado na **Figura 52d**. Os gráficos de $H_{(I)} \times I$ para o diodo antes e depois do tratamento estão presentes no Apêndice I (**Figura 64** e **Figura 65**).

Tabela 11 - Valores de R_{serie} e ϕ_b calculados por meio da função $H_{(I)}$ de *Cheung*, para os diodos de ITO/ZnO/AgNW. Tais valores foram calculados utilizando os valores de n previamente calculados pelo método de *Werner*. Os gráficos são apresentados no Apêndice I.

Tratamento térmico	Parâmetro	$H_{(I)}$ [n via Plot A]	$H_{(I)}$ [n via Plot C-Cheung]
Antes	$R_{\text{serie}} 2 (\Omega)$	$1,69 \times 10^3$	$1,50 \times 10^3$
	ϕ_b (eV)	0,88	0,86
Depois	$R_{\text{serie}} 2 (\Omega)$	$2,11 \times 10^2$	$1,99 \times 10^2$
	ϕ_b (eV)	0,76	0,74

Apresenta-se na **Figura 53** um resumo dos parâmetros calculados pelos métodos de *Werner* e *Cheung*, aplicados aos intervalos de voltagem definidos pelo método de *Mikhelashvili*. É importante destacar os valores de R_{serie} , pois no diodo de ITO/ZnO/AgNW, os dois eletrodos possuem alta condutividade. Portanto, R_{serie} está relacionada com o volume do semiconductor. Ao comparar a espessura dos filmes de ZnO-NP (Capítulo 4) com os filmes de ZnO depositados por spray (Capítulo 5), é natural esperar uma diferença significativa para o valor de R_{serie} ($\sim 5 \text{ k}\Omega$ e $\sim 200 \Omega$, respectivamente) ao utilizar esses filmes como semiconductor. Com os gráficos da **Figura 53**, nota-se que mesmo com a discrepância já discutida entre os Plot A e C, a tendência de comportamento dos parâmetros são compatíveis com a melhora do dispositivo após o tratamento, isto é, menor resistência em série e menor fator de idealidade. Portanto, o tratamento térmico após a deposição do eletrodo de AgNW é uma etapa fundamental tanto para a o aprimoramento do diodo quanto para a aplicação no transistor vertical.

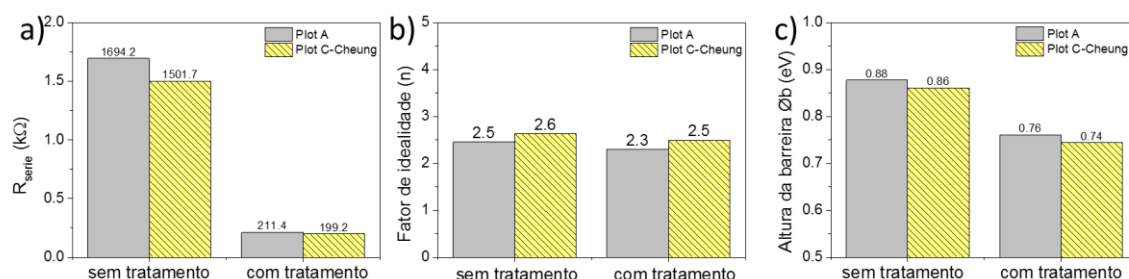


Figura 53 - Valores de R_{serie} , n e Φ_b já apresentados nas **Tabela 10** e **Tabela 11**, calculados a partir dos métodos complementares de *Werner* e *Cheung* para os diodos de ITO/ZnO/AgNW.

5.3. Transistor eletrolítico vertical

Neste item serão apresentadas as caracterizações dos SB-EG-VFETs compostos por ZnO depositado por spray pirólise e eletrodo permeável de AgNW depositado por spray. Inicialmente, as curvas de saída do transistor vertical foram analisadas como uma curva I-V de um diodo, na qual o valor de I_{DS} em estado desligado é definido pela magnitude da corrente

através do diodo em polarização reversa. A curva de transferência foi utilizada para a determinação dos parâmetros como densidade de corrente efetiva (J_{eff}), transcondutância normalizada pela área ($g_m/\text{área}$) e *subthreshold swing* (SS). No item 5.3.1 será apresentada a caracterização do transistor vertical mantendo o eletrodo inferior de ITO aterrado. Como será destacado no item 6.1, tal estudo foi publicado recentemente¹⁶⁰. No item 5.3.2 serão apresentados os efeitos nas curvas de saída e transferência ao aterrar o eletrodo inferior de ITO ou o eletrodo intermediário de AgNW. Além das caracterizações apresentadas neste capítulo, testes adicionais foram realizados que, devido ao caráter preliminar, estão presentes de forma resumida no Apêndice II. Entre eles, incluem-se as caracterizações dos EG-SB-VFETs utilizando eletrodos de *gate* de ITO e de grafite, o que indica a reprodutibilidade e versatilidade da arquitetura eletrolítica vertical proposta. Além disso, apresenta-se no Apêndice II instabilidades do vertical devido ao contato AgNW/eletrolito e os efeitos de estresse de voltagem e da incidência de UV.

5.3.1. Caracterização inicial do transistor vertical

Para a caracterização no modo transistor, acoplou-se o eletrólito ao mesmo diodo caracterizado no item 5.2, conforme indicado nas **Figura 54a** e **Figura 54b**. Inicialmente, manteve-se também a mesma conexão elétrica utilizada para o modo diodo, isto é, aterramento do eletrodo de ITO da base (contato ôhmico) e voltagem aplicada ao eletrodo intermediário de AgNW (contato Schottky). Para ilustrar a semelhança entre a curva de saída do SB-EG-VFET e a curva I - V no modo diodo, apresenta-se na **Figura 54c** uma curva de I - V (tracejada) referente a um dos diodos apresentados na **Figura 49b**. Uma vez que o SB-VFET é formado ao acoplar um diodo com um capacitor, *Sarjidan et al*¹⁶¹ observam que é natural que as curvas de saídas, como apresentadas na **Figura 54c**, possuam as propriedades de uma curva de diodo. Nota-se que ao acoplar o eletrólito ao diodo, mesmo para $V_{\text{GATE}} = 0$, a corrente mínima medida no

eletrodo de AgNW é definida pela corrente de fuga através do eletrólito. O funcionamento do EG-SB-VFET é evidenciado pela razão de $7,75 \times 10^3$ entre I_{DS} e I_{GATE} em $V_{DS} = -1V$. Como é observado na **Figura 54d**, o comportamento de I_{GATE} praticamente não é alterado nesse intervalo de voltagem.

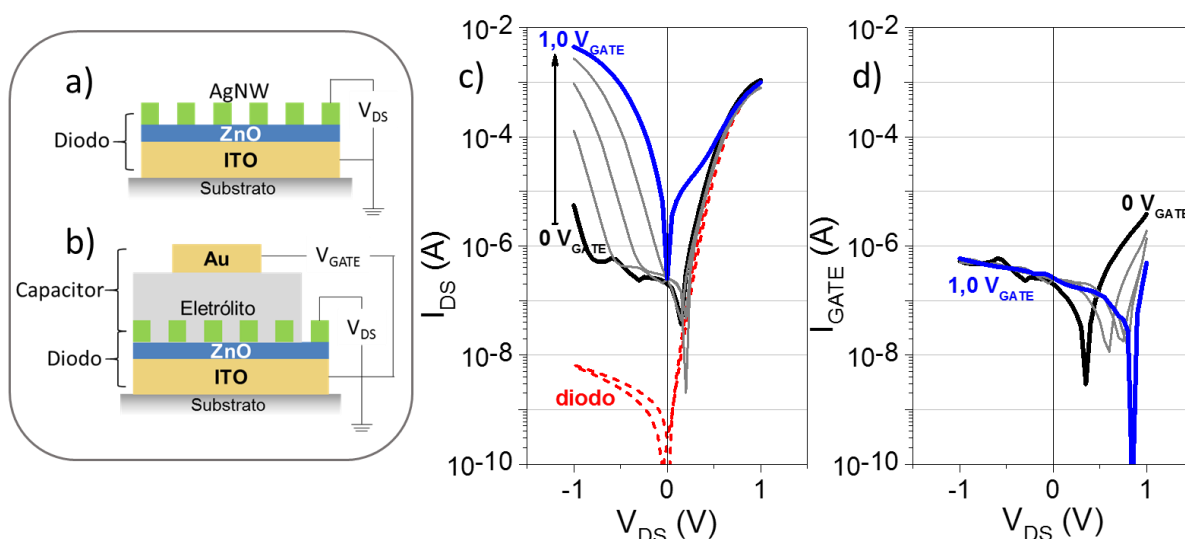


Figura 54 – Diagrama do (a) diodo e do (b) transistor vertical com as respectivas conexões elétricas. (c) Curvas de saída referente ao transistor vertical ilustrado no diagrama, com V_{GATE} variando entre 0 e 1,0 V. A linha pontilhada vermelha representa a curva de I-V do diodo utilizado como base. (d) Corrente de fuga correspondente através do eletrólito.

Como explicado por *Ben-Sasson et al*¹⁰⁸, de acordo com a descrição analítica proposta para um modelo simplificado, o comportamento de um VFET é similar ao de um diodo. A função do *gate* é mudar a característica de um dos eletrodos do diodo, que neste caso é o eletrodo intermediário de AgNW. Segundo esse modelo, quando o *gate* está despolarizado, o regime de corrente tem a forma de um diodo Schottky limitada pelo contato entre o eletrodo intermediário e o semiconductor. Por outro lado, com o aumento da voltagem aplicada ao *gate*, assume-se que as perfurações do eletrodo intermediário são saturadas com portadores de carga. Consequentemente, essas regiões se comportam como um contato ôhmico.

Para o presente estudo, propõe-se analisar as curvas de saída ($I_{DS} \times V_{DS}$) com um protocolo similar ao que se aplica à curva I-V de um diodo. Assim, obtiveram-se as curvas de α -V apresentadas na **Figura 55a** ao aplicar a equação do *inset* aos dados das curvas de saída

para os intervalos de voltagem $-1 < V_{DS} < 0$ V e $0,5 < V_{GATE} < 1,25$ V. A curva de α -V representada pelos círculos abertos e mostrada no quadrante $V > 0$ é referente ao diodo puro com polarização direta apresentado como padrão na **Figura 54a**. Para os menores valores de V_{GATE} , os valores de α são relativamente altos. Contudo, para $V_{GATE} = 1,0$ V o valor de α tende aproximadamente à 2, o que indica um regime de corrente limitada por carga espacial. Para $V_{GATE} = 1,25$ V o valor de α é próximo de 1, indicando um comportamento ôhmico.

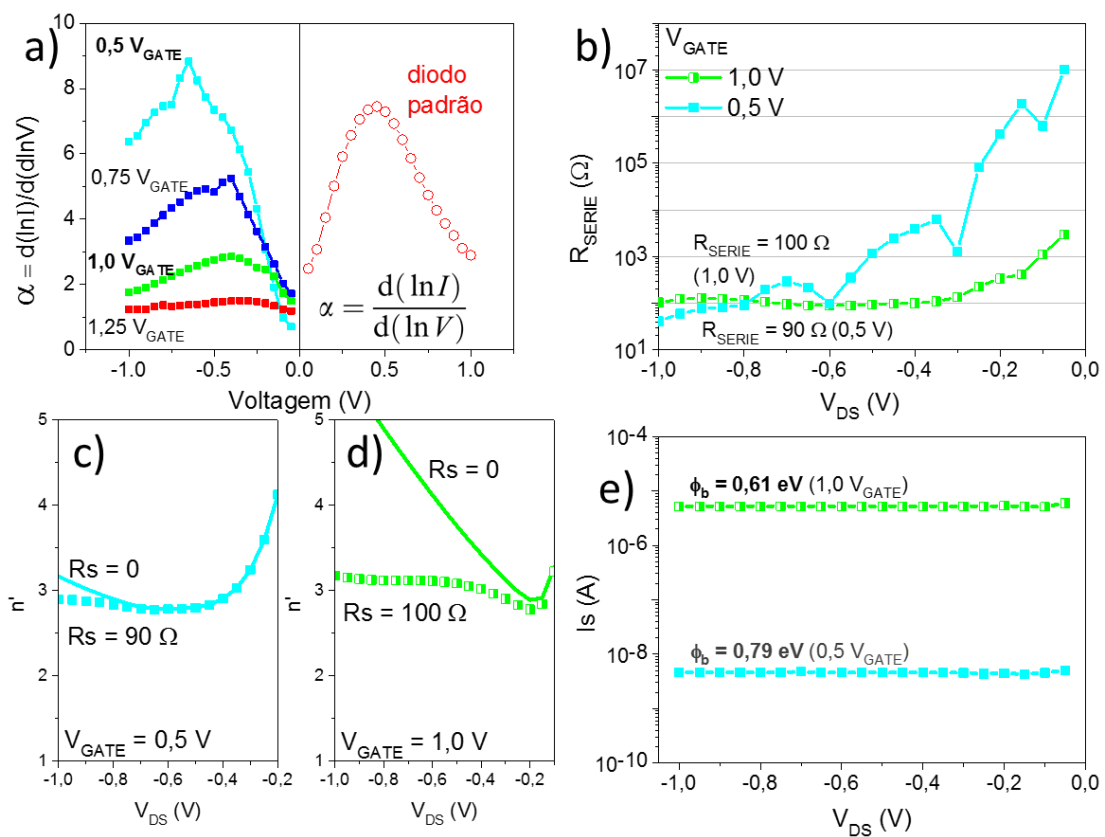


Figura 55 – Gráficos obtidos a partir das curvas de saída para o transistor vertical: (a) gráfico de α -V obtido a partir das curvas de $(I_{DS} - I_{GATE})$. A curva de círculos vermelhos representa o comportamento padrão para o diodo ITO/ZnO/AgNW. Grupo de parâmetros dependentes da voltagem calculados a partir das curvas de α -V para $0,5$ V_{GATE} e $1,0$ V_{GATE} , pelo método de *Mikhelashvili*: (b) R_{serie} ; (c-d) fator de idealidade n ; e (e) corrente de saturação I_{SAT} .

A partir dos gráficos de α -V, foi possível aplicar o método de *Mikhelashvili* para extrair os parâmetros de R_{serie} , $n(V)$, I_{SAT} , ϕ_{b0} . Optou-se por apresentar apenas as análises realizadas para duas das curvas de $I_{DS} \times V_{DS}$, isto é, $V_{GATE} = 0,5$ V (azul) e $1,0$ V (verde) presentes na **Figura 55a**. A partir da dependência de R_{serie} com a V_{DS} , mostrada na **Figura 55b**,

foram obtidos os valores de $\sim 90 \, \Omega$ e $\sim 100 \, \Omega$ para as curvas de 0,5 e 1,0 V_{GATE} , respectivamente. Como visto nas **Figura 55c-d**, as curvas de $n(V)$ precisam ser corrigidas pelos valores de R_{serie} . Com isso, nota-se que para 0,5 V_{GATE} , o valor de n é independente da voltagem para $V > 0,4$; enquanto para 1,0 V_{GATE} , n é aproximadamente constante para $V > 0,5$. Consequentemente, é a partir desses valores de V_{DS} que os métodos de *Werner* e *Cheung* devem ser aplicados. A partir da corrente de saturação (I_{SAT}) apresentada na **Figura 55e**, calculam-se os valores da altura da barreira sem polarização (ϕ_{b0}) iguais a 0,79 eV e 0,61 eV para as curvas de 0,5 e 1,0 V_{GATE} , respectivamente.

Com a informação prévia a respeito do intervalo para a aplicação do método de *Werner*, as curvas de I-V foram avaliadas pelos Plot A (**Figura 67**) e Plot C (**Figura 68**) apresentados apenas no Apêndice I. Os valores de n e R_{serie} para os Plot A e C referentes às curvas de 0,5 e 1,0 V_{GATE} estão reunidos na **Tabela 12**. Nota-se que ao aumentar a voltagem no *gate* para 1,0 V, o valor de n também aumenta, indicando um contato Schottky com maior desvio da condição ideal. Tal comportamento é consistente, pois o aumento de V_{GATE} é responsável por tornar o contato inicialmente Schottky em um contato ôhmico. Os valores de R_{serie} ($\sim 100 \, \Omega$) estão de acordo com os gráficos da **Figura 55b**, sendo ainda menores do que os valores de resistência calculados para os diodos sem a influência do *gate*. A similaridade entre os valores de R_{serie} para as curvas de 0,5 e 1,0 V_{GATE} , indica que o volume do semiconductor não teve alteração.

Tabela 12 - Valores de R_{serie} e n calculados pelo método de *Werner* para as curvas de 0,5 e 1,0 V_{GATE} a partir dos gráficos apresentados no Apêndice I. Ressalta-se que, pela similaridade de valores entre o Plot C e o Plot de *Cheung*, optou-se por omitir os gráficos de $dV/d\ln(I)$.

Gráfico	n (0,5 V_{GATE})	n (1,0 V_{GATE})	$R_{\text{serie}}^{-1} (\Omega)$ (0,5 V_{GATE})	$R_{\text{serie}}^{-1} (\Omega)$ (1,0 V_{GATE})
Plot A [G/I vs G]	2,72	3,45	123	101
Plot C- <i>Cheung</i> [I/G vs I]	2,82	3,01	115	107

Para finalizar a análise dos dados de I-V das curvas de saída com polarização no *gate* de 0,5 e 1,0 V, optou-se por utilizar a função $H_{(I)}$ de *Cheung* calcular os valores de ϕ_B . Para isso, os valores de n calculados a partir dos Plot A e C são aplicados em $H_{(I)}$ de forma que além do cálculo de ϕ_b , um segundo valor para R_{serie} é obtido. Os gráficos de $H_{(I)} \times I$ para o diodo sem e com tratamento térmico são exibidos no Apêndice I (**Figura 69** e **Figura 70**). Os valores de R_{serie} e ϕ_b estão reunidos na **Tabela 13**. Como já mencionado anteriormente, a semelhança entre $R_{\text{serie}1}$ e $R_{\text{serie}2}$ é um indicativo da boa qualidade do ajuste obtido por $H_{(I)}$. Nota-se que os valores de $R_{\text{serie}1}$ da **Tabela 12** são todos próximos de 100 Ω . Porém, os valores de $R_{\text{serie}2}$ para 0,5 V_{GATE} mostrados na **Tabela 13** indicam uma discrepância que resulta em um valor não confiável de ϕ_b . Então, considerando apenas estes dados, não é possível afirmar se a barreira está realmente diminuindo com o aumento de V_{GATE} . Mesmo no caso de 1,0 V_{GATE} , que apresentou uma concordância maior entre $R_{\text{serie}1}$ e $R_{\text{serie}2}$, o valor calculado de ϕ_b é o dobro do que foi calculado a partir do método de *Mikhelashvili*.

Tabela 13 - Valores de R_{serie} e ϕ_b calculados por meio da função $H_{(I)}$ de *Cheung*, para as curvas de 0,5 e 1,0 V_{GATE} . Tais valores foram calculados utilizando os valores de n previamente calculados pelo método de *Werner*. Os gráficos são apresentados no Apêndice I.

Gráfico	R_{serie}^2 (Ω) (0,5 V_{GATE})	R_{serie}^2 (Ω) (1,0 V_{GATE})	ϕ_b (eV) (0,5 V_{GATE})	ϕ_b (eV) (1,0 V_{GATE})
$H_{(I)}$ [n via Plot A]	738	212	0,40	0,32
$H_{(I)}$ [n via Plot C-Cheung]	749	186	0,33	0,37

Apresenta-se na **Figura 56** um resumo dos parâmetros calculados pelos métodos de *Werner* e *Cheung*, aplicados aos intervalos de voltagem definidos pelo método de *Mikhelashvili*. Como já discutido, os valores calculados de ϕ_b são inconclusivos. A constância dos valores de R_{serie} apresentados na **Figura 56a** indicam que o aumento de V_{GATE} não modifica o volume do ZnO. Já o aumento de n , apresentado na **Figura 56b**, indica que o aumento de

V_{GATE} resultou em um comportamento mais distante do termiônico para uma barreira Schottky ideal.

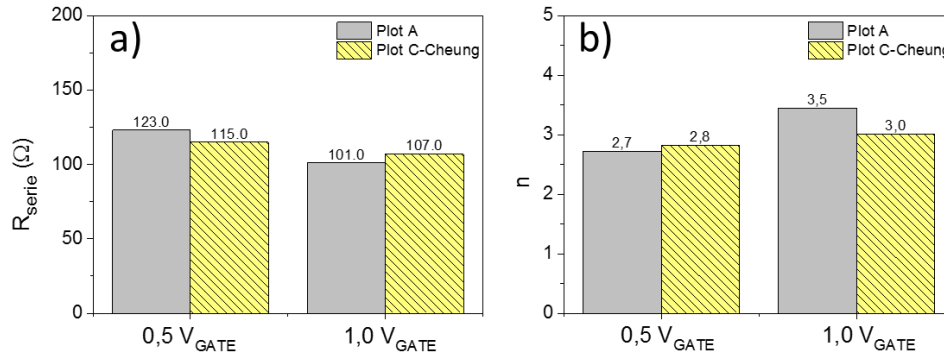


Figura 56 - Valores de R_{serie} e n já apresentados nas **Tabela 12** e **Tabela 13**, calculados a partir dos métodos complementares de *Werner* e *Cheung* para as curvas de 0,5 e 1,0 V_{GATE} .

Apresenta-se a caracterização do SB-EG-VFET de ITO/ZnO/AgNW/eletrolito/Au ilustrado na **Figura 57a** por meio das curvas de transferência e corrente de fuga para $V_{DS} = -1$ V (**Figura 57b**). Observa-se I_{ON}/I_{OFF} de $\sim 10^4$ e, devido ao efeito de histerese, considerou-se apenas a varredura da esquerda para a direita para os cálculos de V_{TH} , J_{eff} , g_m/A e SS .

Uma distinção importante entre transistores planar e vertical é que a corrente em TFTs convencionais varia linearmente com a largura do canal, enquanto para os verticais a corrente varia com a área do canal. Devido a isso, *McCarthy et al*⁴⁶ propõem uma figura de mérito através da conversão da densidade de corrente linear ($J = I_{DS}/W$) de um TFT em uma densidade de corrente por área ($J_{eff} = I_{DS}/A$), que permite a comparação direta entre transistores planar e vertical. Tal conversão para os TFTs convencionais é feita através da relação $J_{eff} = I_{DS}/2WL$, sendo W a largura dos eletrodos coplanares de fonte e dreno e L o comprimento do canal⁴⁶. Como até o momento não encontramos referências de EG-SB-VFETs de ZnO, é útil comparar o desempenho do EG-SB-VFET com o EGT padrão do item 5.1, bem como com os EGT e TFTs de ZnO reportados na literatura.

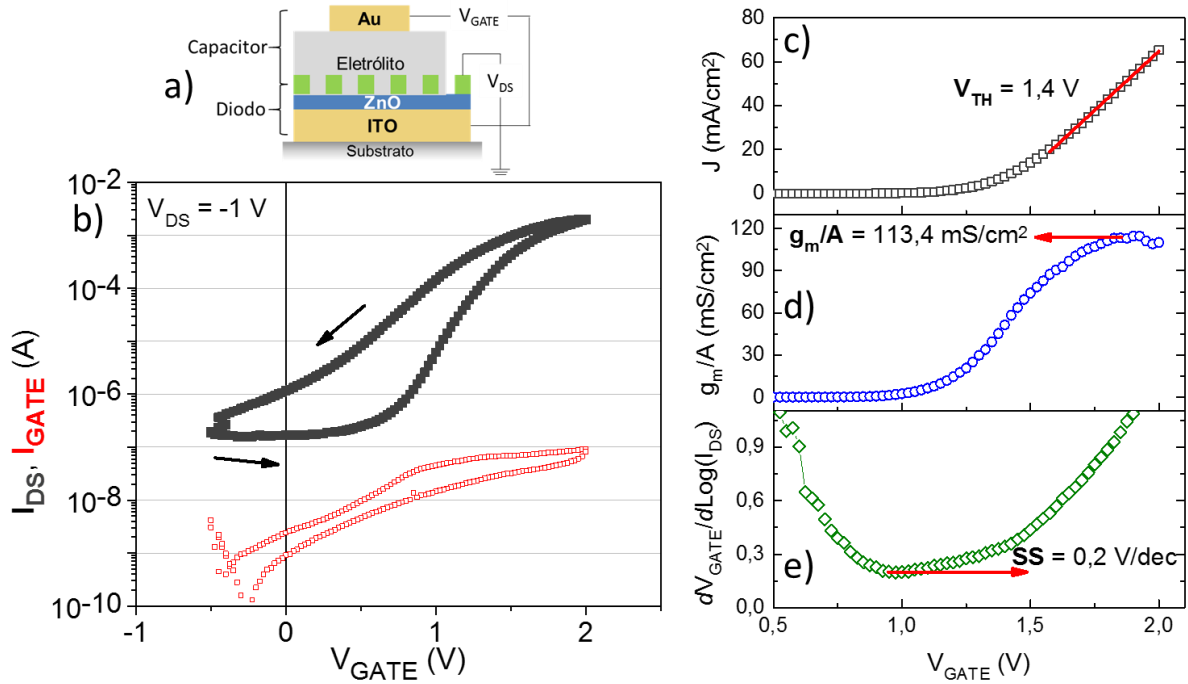


Figura 57 – (a) Diagrama ilustrando a estrutura do transistor, bem como as conexões elétricas utilizadas durante a medida. (b) Curvas de transferência e corrente de fuga para $V_{DS} = -1$ V. (c) Curva de transferência para $V_{DS} = -1$ V. Extração dos parâmetros J , V_{TH} , g_m/A e SS a partir da curva de transferência: (c) Gráfico de $J \times V_{GATE}$, a partir do qual é calculado o valor de V_{TH} ; (d) Gráfico de $g_m/A \times V_{GATE}$; e (e) Gráfico de $dV_{GATE}/d\log(I_{DS}) \times V_{GATE}$, a partir do qual calcula-se o valor de SS .

Como apresentado no item 5.1, para os TFTs tradicionais o valor de V_{TH} é extraído do ajuste linear do gráfico de $I_{DS}^{0,5} \times V_{GATE}$, de acordo com o modelo de aproximação gradual de canal. Porém, para o transistor vertical de barreira Schottky, as equações desse modelo não são aplicáveis. Segundo *McCarthy*⁴⁶, dada a dependência linear entre J_{DS} e V_{GATE} no estado ligado, é natural extrair o valor de V_{TH} a partir do gráfico da **Figura 57c**. Ao dividir o valor de I_{DS} apresentado na **Figura 57b** pela área do canal, considerada aqui igual a $3 \times 10^{-2} \text{ cm}^2$, é obtida a curva de $J_{DS} \times V_{GATE}$ apresentada na **Figura 57c**. Para esse EG-SB-VFET, obteve-se uma J_{DS} máxima de $65,3 \text{ mA cm}^{-2}$.

De modo semelhante ao que ocorre para a densidade de corrente, a transcondutância é geralmente normalizada pela largura dos eletrodos de fonte e dreno (g_m/W) nos TFTs convencionais. Propomos aqui estender o conceito de J_{eff} de *McCarthy* para a normalização da transcondutância. Desta forma, é possível comparar a transcondutância normalizada pela área

(g_m/A) do canal do EG-SB-VFET com a g_m/W convertida em $g_m/A_{eff} = g_m/2WL$ para os transistores planares. Apresenta-se na **Figura 57d** o gráfico de $g_m/A \times V_{GATE}$ para o EG-SB-VFET de ZnO que, como indicado, possui $g_m/A = 113,4 \text{ mS cm}^{-2}$. Por último, a partir dos valores mínimos do gráfico de $dV_{GATE}/d\log(I_{DS}) \times V_{GATE}$ apresentado na **Figura 57e**, temos um $SS = 0,20 \text{ V dec}^{-1}$ para o EG-SB-VFET de ZnO.

A **Tabela 14** compara o desempenho do EGT (item 5.1) e EG-SB-VFET (item 5.3), que se tornam comparáveis por meio da utilização do conceito de J_{eff} . O desempenho obtido com o EG-SB-VFET é bastante promissor, pois atingimos valores similares com o EGT utilizando o mesmo ZnO por spray pirólise, sem a necessidade de eletrodos de fonte e dreno coplanares de alta resolução. Até o momento, EG-SB-VFETs utilizando ZnO como semicondutor não foi reportado. Então, mostra-se a comparação de desempenho entre os dispositivos deste estudo com transistores planares de ZnO e transistores verticais utilizando outros semicondutores.

Deve-se ressaltar que recorreremos a essa abordagem do cálculo de J_{eff} de *McCarthy et al* em um esforço para comparar os transistores planar e vertical. Porém, é necessário cuidado ao fazê-lo, pois tal abordagem não ortodoxa considera apenas a intensidade de corrente que é fornecida por unidade de área em cada caso. Assim, tais figuras de método baseadas na densidade de corrente não apresentam um significado físico bem definido. Apesar das discussões acima, as duas arquiteturas se baseiam em condições físicas tão distintas que qualquer comparação direta não contribuirá para uma compreensão mais precisa. Porém, entre as figuras de mérito disponíveis, reconhecemos que a transcondutância (g_m) é a grandeza mais indicada quando esse tipo de análise for indispensável, pois é derivada diretamente do comportamento da curva de transferência. De acordo com a **Tabela 14**, tem-se valores de transcondutância de 2,46 mS para o EGT e de 3,40 mS para o EG-SB-VFET. Portanto, tal análise indica um desempenho superior para a arquitetura vertical.

Tabela 14 – Resumo dos principais parâmetros para os EGTs planar e vertical de ZnO. São comparados os valores calculados para os dispositivos apresentados na presente tese com valores para dispositivos compatíveis reportados na literatura^{32,37,38,40,41,46,62,63}.

Autor	Dispositivo	I_{ON}/I_{OFF}	V_{TH} (V)	J^* ($\times 10^{-3}$ A cm ⁻²)	g_m ($\times 10^{-3}$ S)	g_m/A^* ($\times 10^{-3}$ S cm ⁻²)	SS (V dec ⁻¹)
Presente trabalho	EGT	2×10^5	0,5	48,0	2,46	102,5	0,13
	EG-SB-VFET	1×10^4	1,4	65,3	3,40	113,4	0,20
Hong, 2014	EGT	$>10^5$	0,5	20	8,0	4×10^4	0,09
Carvalho, 2019	EGT	9×10^3	-	3,8	0,84	3,2	0,06
Bidoky, 2019	EGT	$>10^5$	0,5	$7,5 \times 10^4$	3,80	$9,5 \times 10^4$	-
Cho, 2019	EGT	$>10^4$	$\sim 1,0$	60	-	-	-
Cho, 2019	TFT	$>10^6$	$\sim 3,5$	550	-	-	0,49
McCarthy, 2010	SB-VFET**	6×10^4	-0,9	110	-	-	0,50
Luan, 2018	EG-SB-VFET [†]	10^4	-	10	1,0	19,0	-
Ji, 2020	EG-SB-VFET [§]	-	-0,7	541	-	-	-

* Para os canais laterais, utilizou-se $A = 2 \cdot W \cdot L$ como proposto por Rinzler *et al*;

** SB-VFET utilizando DNTT como semiconductor;

† EG-SB-VFET utilizando P3HT como semiconductor;

§ EG-SB-VFET utilizando CuSCN como semiconductor.

5.3.2. Comparação entre as polarizações

A caracterização elétrica do transistor ITO/ZnO/AgNW/eletrólito/Au foi realizada em duas condições de polarização diferentes entre os eletrodos de ITO e AgNW. Como será descrito, tanto as propriedades de saída quanto as de transferência do transistor são diferentes para cada situação.

Na **Figura 58a**, são apresentadas as curvas de saída com eixo y em escala logarítmica obtidas ao aterrar o eletrodo de ITO (fonte), enquanto a voltagem é aplicada no eletrodo intermediário de AgNW (dreno). Nesta polarização, o campo elétrico gerado para $V_{gate} > 0$ é paralelo ao campo elétrico gerado para $V_{DS} > 0$ e antiparalelo quando $V_{DS} < 0$, sendo que a modulação de I_{DS} ocorre para os campos antiparalelos ($V_{DS} < 0$, polarização reversa). Na **Figura 58c**, são apresentadas as curvas de saída com eixo y em escala logarítmica obtidas ao aterrar o eletrodo de AgNW (fonte), enquanto a voltagem é aplicada no ITO (dreno). Nesta condição, os

campos também são paralelos para $V_{DS} > 0$ e antiparalelos quando $V_{DS} < 0$. Porém, a modulação de I_{DS} ocorre para os campos paralelos ($V_{DS} > 0$, polarização reversa). Para efeito de comparação, também é exibido o comportamento I-V obtido no modo diodo e representado pela curva azul pontilhada nos dois gráficos. Observa-se que o comportamento I-V no modo diodo é bem similar à curva de saída com $V_{GATE} = 0$ V. Para esclarecer a nomenclatura, temos que ao aterrar o eletrodo da base o comportamento característico de um diodo em polarização direta ocorre para valores positivos de V_{DS} , enquanto que a polarização reversa está associada aos valores negativos de V_{DS} . Ao aterrar o eletrodo intermediário, a polarização direta ocorre para valores negativos de V_{DS} , enquanto que a polarização reversa ocorre para valores positivos de V_{DS} .

Destacam-se três efeitos relacionados à diferença de polarização. Em primeiro lugar, em polarização direta nota-se que, para $V_{GATE} = 0$ V, I_{DS} é similar à curva medida no modo diodo nas duas situações. Ao variar V_{GATE} até atingir o estado ligado, nota-se nas **Figura 58a** e **Figura 58c** uma mudança no mecanismo de condução. Ao submeter um diodo Schottky ao regime de alta voltagem em polarização direta, a região de depleção do contato metal/semicondutor é desprezível. Portanto, tal região é adequada para o estudo dos mecanismos de transporte através do filme semicondutor. Ressalta-se que tal avaliação está além do objetivo da presente tese, pois a presente avaliação é focada na modulação de corrente mediante variação de V_{GATE} observada em polarização reversa. Em um estudo complementar em co-autoria com *D. H. Vieira*, que está em desenvolvimento, é explorado o comportamento dos mecanismos de transporte exclusivamente na região de polarização direta mantendo-se o eletrodo intermediário de AgNW aterrado.

Em segundo lugar, existe uma diferença entre as duas formas de aterramento ao comparar a curva de I-V no modo diodo (curva azul pontilhada) com I_{DS} para $V_{GATE} = 0$ V (curva preta), ambas em polarização reversa. Com o eletrodo de ITO aterrado, mostra-se na **Figura 58a** que I_{DS} no estado desligado é maior do que a corrente medida no modo diodo,

enquanto que é nítido na **Figura 58c** que ao aterrar o eletrodo de AgNW, I_{DS} atinge valores tão baixo quanto a corrente medida no modo diodo. Tal fenômeno também é observado nas curvas de transferência e está relacionado ao efeito da corrente de fuga através do eletrólito nas duas condições de polarização.

Em terceiro lugar, as curvas de saída em escala linear (**Figura 58b** e **Figura 58d**) mostram uma diferença clara entre a condição de saturação de I_{DS} com o aumento de V_{DS} para cada polarização. Para o transistor em polarização reversa, é observado um comportamento de I-V similar a um diodo ao aterrar o eletrodo de ITO e similar a um transistor ao aterrar o eletrodo de AgNW. A saturação da corrente nas curvas de saída em OFETs convencionais está relacionada ao fenômeno de *pinch-off* como um resultado da depleção das cargas. Por outro lado, o perfil de corrente para um transistor vertical geralmente é similar à curva característica de um diodo, na qual a corrente aumenta exponencialmente com o aumento da voltagem sem a ocorrência da saturação¹⁶¹. A saturação da corrente de dreno é uma característica essencial para aplicações nas quais os transistores são usados como fonte de corrente, especialmente em matrizes ativas de telas OLED, nas quais a saturação da corrente permite que o transistor estabilize a corrente e consequentemente o brilho da tela mesmo durante variação de voltagem^{54,162}. Porém, poucos trabalhos têm analisado os mecanismos físicos da saturação de corrente em transistores verticais.

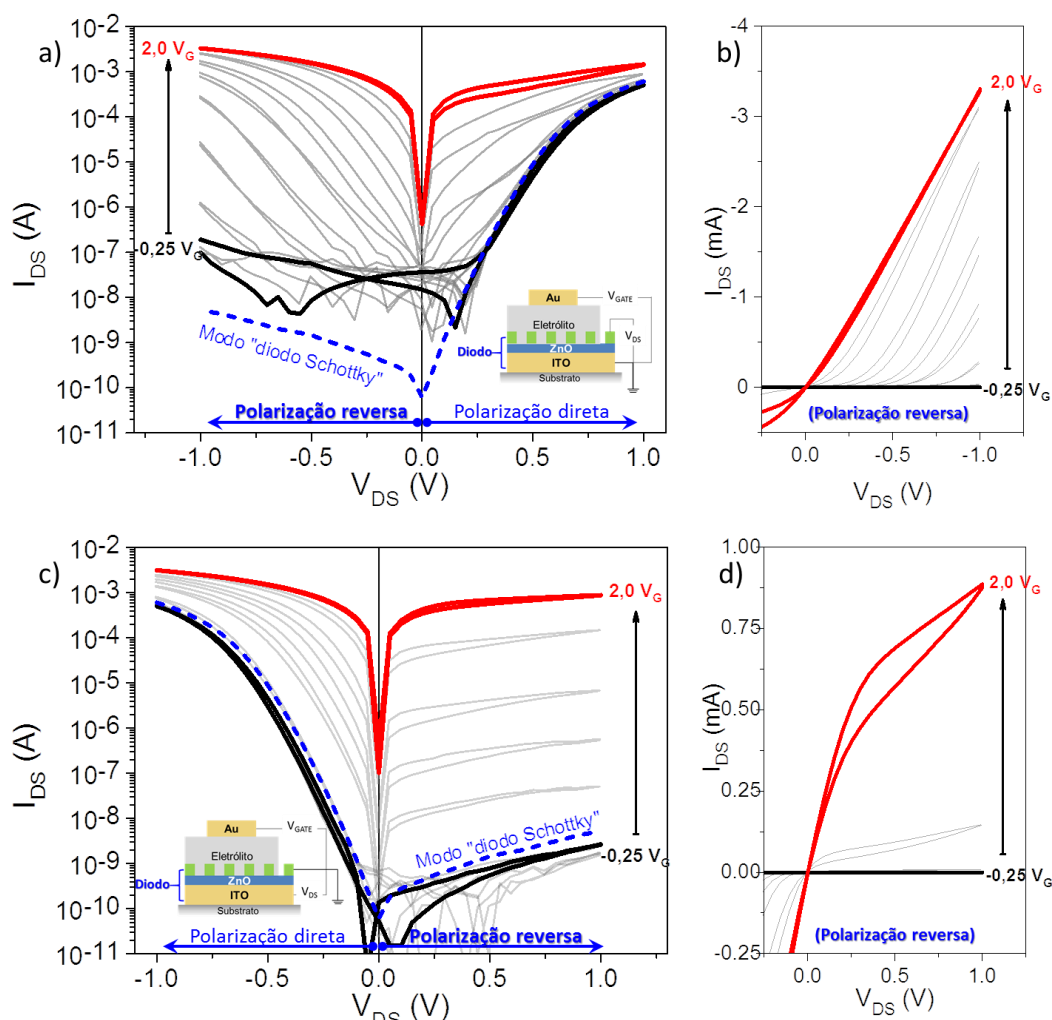


Figura 58 - Curvas de saída referentes ao transistor eletrolítico vertical de ZnO sob duas condições de polarização: (a-b) com o eletrodo de ITO aterrado; e (c-d) com o eletrodo de AgNW aterrado. A curva pontilhada em azul representa o comportamento I-V o dispositivo medido no modo diodo Schottky.

De forma geral, a tentativa de aumentar a corrente modulada no transistor por meio da redução do comprimento do canal gera um novo desafio relacionado ao regime de saturação. Para um regime de alta voltagem, o comportamento de I-V para os transistores verticais é linear, o que também é observado em TFTs de canal curto. Para os TFTs, quando o canal é curto, o comprimento do canal e a zona de *pinch-off* que é formada no eletrodo de dreno em saturação possuem tamanho comparável¹⁶³. Assim, ao aumentar V_{DS} , o comprimento efetivo do canal diminui, resultando na linearidade da corrente medida no dreno. Ao estudar OFETs com comprimento de canais desde 1 até 50 μm , *Haddock et al*¹⁶³ reportaram que a partir de 10 μm é notável uma perda de saturação e que com canal menor do que 3 μm a curva de saída se torna

similar ao comportamento de um diodo. *Kleemann et al*¹¹⁵ sugerem outros dois mecanismos que também podem explicar a perda de saturação nos verticais com canais curtos e dominados pela injeção de portadores de carga. O primeiro está relacionado à limitação de injeção de portadores. O comportamento linear de I-V para $V_{DS} > V_G - V_{TH}$ é explicado por uma transição entre uma limitação de contato forte para uma fraca. Se V_{DS} é aumentada, mais portadores de carga são injetados do eletrodo de fonte e a corrente através do canal se aproxima do seu valor em saturação. A segunda explicação para a ausência de um regime de saturação está relacionada com uma contribuição do volume do semicondutor. Como consequência da pequena distância entre fonte e dreno e do intenso campo elétrico, o transporte de carga não fica confinado apenas à área do canal, que é controlável pelo campo entre *gate* e fonte. Adicionalmente, o transporte através do volume do semicondutor pode fornecer uma contribuição significativa para a corrente de dreno.

Para os SB-VFETs, espera-se que não ocorra saturação enquanto o dispositivo esteja em um regime de condução limitado pelo volume do semicondutor. Por outro lado, para uma barreira de injeção alta entre o eletrodo de fonte e o semicondutor, a corrente será dominada pelo contato e, conseqüentemente, ocorrerá a saturação¹⁶⁴. Como já exaustivamente calculado e apresentado nos itens anteriores, tem-se valores entre 0,74 e 0,78 eV para a altura da barreira da junção AgNW/ZnO. Portanto, a relação entre a saturação das curvas de saída e altura da barreira é compatível com os dados apresentados na **Figura 58**, pois a saturação é observada ao aterrar o eletrodo de AgNW devido à maior barreira de injeção entre AgNW/ZnO quando comparado com ITO/ZnO.

Apresenta-se na **Figura 59** as curvas de transferência do transistor vertical de ZnO nas duas condições de polarização ilustradas nos diagramas e para V_{DS} igual a 1 V e 0,1 V. A partir de tais curvas, observa-se pequena histerese, razão I_{ON}/I_{OFF} superior a 10^4 e I_{DS} pelo menos três vezes maior do que I_{GATE} . As figuras de mérito para tal dispositivo são apresentadas

na **Tabela 15**. Observa-se o mesmo valor de corrente de fuga I_{GATE} através do eletrólito para as quatro situações da **Figura 59**. Contudo, existe uma diferença importante entre as duas polarizações em relação ao comportamento de I_{GATE} e de I_{DS} . Ao polarizar o eletrodo da base (**Figura 59a**), o valor mínimo de I_{DS} no estado desligado é limitado pela corrente de fuga I_{GATE} . Com a polarização do eletrodo intermediário (**Figura 59d**), a corrente I_{DS} em estado desligado atinge valores de até três ordens de grandeza menor do que I_{GATE} . Nesta situação, o valor de corrente é limitado pela qualidade da barreira Schottky entre o eletrodo intermediário e o semiconductor. Uma vez que uma das limitações de transistores eletrolíticos é a corrente de fuga relativamente alta, a independência de I_{DS} em relação à I_{GATE} permite que o mesmo transistor alcance maior razão I_{ON}/I_{OFF} apenas mudando a polarização do dispositivo.

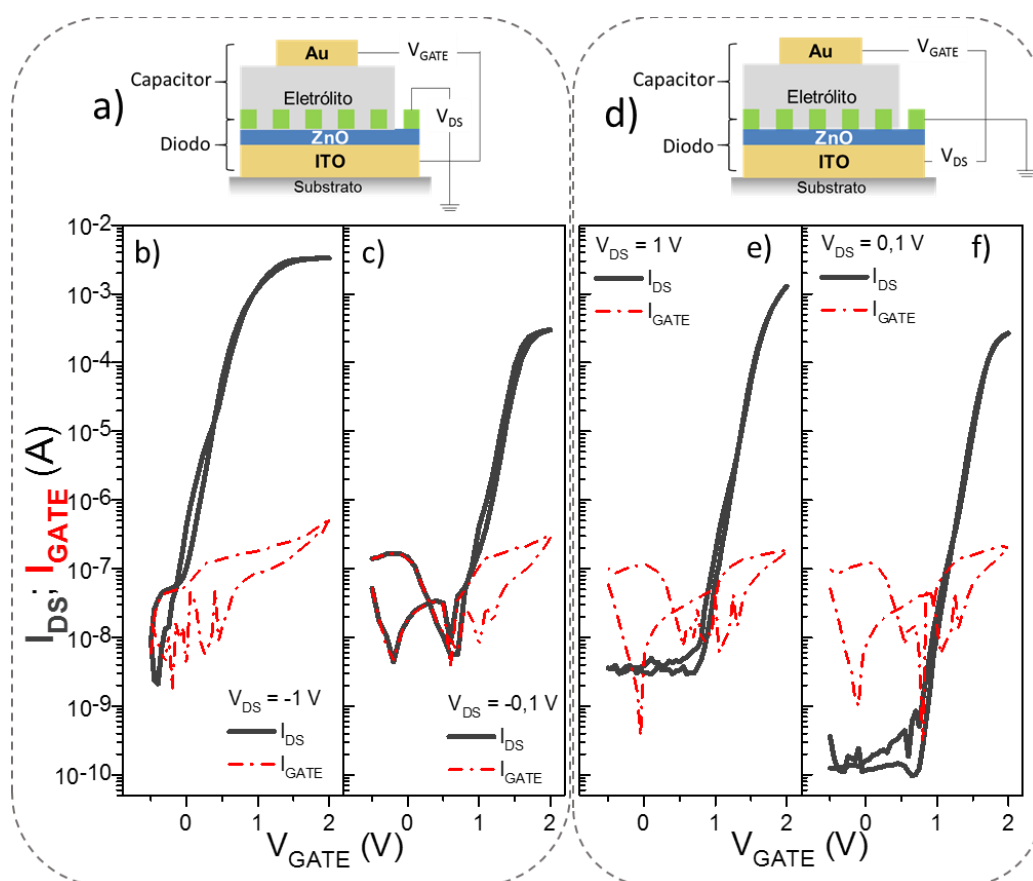


Figura 59 - Curvas de transferência referentes ao transistor eletrolítico vertical de ZnO sob duas condições de polarização: (a-c) com o eletrodo de ITO aterrado; e (d-f) com o eletrodo de AgNW aterrado. As medidas foram obtidas para $V_{DS} = \pm 1$ V e $V_{DS} = \pm 0,1$ V.

Os dados apresentados na **Tabela 15** confirmam a existência de uma compensação entre altos valores de corrente e saturação¹⁶⁴. O maior valor de densidade de corrente é obtido ao aterrar o ITO ($110,8 \text{ mA cm}^{-2}$), porém, a curva de saída não apresenta saturação nesta condição. Além disso, destaca-se um valor superior a 10^6 da razão $I_{\text{ON}}/I_{\text{OFF}}$ do transistor com AgNW aterrado e $V_{\text{DS}} = -0,1 \text{ V}$. Os valores de transcondutância são similares quando comparadas sob a mesma voltagem e SS é virtualmente o mesmo para todos os casos. Considerando a transcondutância como principal parâmetro de comparação entre os dispositivos (discutido no final da seção 5.3.1), tem-se que o valor de $4,7 \text{ mS}$ é o maior valor calculado entre os dispositivos estudados durante a elaboração da presente tese. Ressalta-se que tais comportamentos dos transistores verticais submetidos à diferentes polarizações são reproduzíveis, até mesmo para outros eletrodos de *gate* como mostrado no Apêndice II.1. Porém, foi constatado apenas uma reprodutibilidade qualitativa. A quantificação e análises estatísticas do desempenho dos dispositivos serão realizadas em trabalhos futuros.

Tabela 15 - Principais parâmetros calculados para o transistor vertical de ZnO nas situações de polarização nas quais os eletrodos de ITO ou AgNW senão aterrados. Além disso, para cada condição, foram calculados os valores para $V_{\text{DS}} = \pm 1 \text{ V}$ e $V_{\text{DS}} = \pm 0,1 \text{ V}$.

Polarização	V_{DS} (V)	$I_{\text{ON}}/I_{\text{OFF}}$	V_{TH} (V)	J^* (mA cm^{-2})	g_m ($\times 10^{-3} \text{ S}$)	g_m/A ($\times 10^{-3} \text{ S cm}^{-2}$)	SS (V dec^{-1})
ITO aterrado	-1	$3,2 \times 10^5$	0,72	110,8	4,7	156,3	0,22
ITO aterrado	-0,1	$1,2 \times 10^4$	1,4	9,9	0,83	27,8	0,17
AgNW aterrado	1	$4,2 \times 10^5$	1,6	43,2	3,5	115,3	0,18
AgNW aterrado	0,1	$2,9 \times 10^6$	1,6	8,9	0,80	26,8	0,16

Apresenta-se na **Figura 60** uma comparação entre as curvas de transferência com diferente polarização mantendo $V_{\text{DS}} = 1 \text{ V}$. Tal comparação sugere que a diferença entre os valores de corrente e o platô de corrente para alta voltagem de *gate* está relacionada ao deslocamento na voltagem de *threshold*. Para transladar a curva referente ao dispositivo com o AgNW aterrado ($V_{\text{TH}} = 1,6 \text{ V}$) para a esquerda até sobrepor a curva referente ao ITO aterrado

($V_{TH} = 0,7$ V), é necessário subtrair ~ 1 V do eixo V_{GATE} . Tal diferença é similar à diferença entre os valores de V_{TH} nessas duas condições. Portanto, conclui-se que independente da polarização utilizada, os transistores eletrolíticos verticais usando eletrodos de ITO sem padronização de alta resolução atingiram desempenho superior aos EGTs planares de ZnO utilizando padronização com $W = 30$ mm e $L = 50$ μ m.

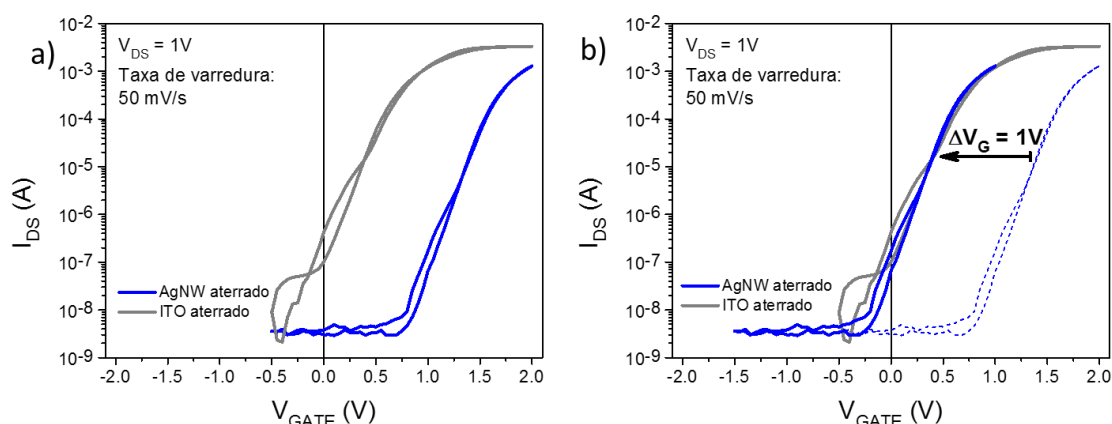


Figura 60 - Comparação entre (a) as curvas de transferência obtidas no transistor eletrolítico vertical ao aterrar o eletrodo de ITO ou de AgNW para $V_{DS} = \pm 1$ V; e (b) mesmas curvas após transladar em 1 V apenas a curva referente ao AgNW (azul) para a esquerda.

Além dos resultados apresentados neste capítulo utilizando Au como eletrodo de *gate*, apresenta-se no Apêndice II o comportamento de transistores eletrolíticos verticais de ZnO e AgNW utilizando eletrodos de *gate* de ITO e de grafite. Nota-se em tais dispositivos alternativos exibidos nas **Figura 73** e **Figura 74** o mesmo comportamento descrito acima (**Figura 59**) em relação às duas diferentes polarizações. Além de indicar a reprodutibilidade da arquitetura proposta, o uso de diferentes eletrodos de *gate* permite que seja escolhido um material mais adequado a aplicação desejada. Por exemplo, o ITO é indicado para as aplicações nas quais a transparência é um fator importante, enquanto que o grafite é adequado visando uma eletrônica com apelo *metal-free*. Trabalhos futuros deverão incluir a fabricação de transistores eletrolíticos verticais utilizando os filmes de ZnO-NP, que como apresentados no Capítulo 4, já resultam em diodos e EGTs com bons desempenhos. Apesar das dificuldades

relacionadas à rugosidade elevada das camadas de ZnO-NP depositadas por spray (**Figura 21**), a vantagem de processamento em temperatura menor do que 200 °C permite outras aplicações, como a utilização de substratos flexíveis. Como será comentado na conclusão, uma continuação natural dos estudos descritos nos Capítulos 4 e 5 será a utilização de uma arquitetura vertical com eletrodo permeável de AgNW sem a utilização de camada isolante. Neste caso, sugere-se a deposição do ZnO por spray pirólise formando um diodo na base, e a deposição do ZnO-NP formando um diodo no topo.

6. Trabalhos correlatos

6.1. Breve resumo de publicações do Laboratório de Dispositivos e Sensores Orgânicos (LaDSOr)

Apresenta-se aqui uma breve descrição dos trabalhos publicados recentemente em colaboração com os colegas integrantes do LaDSOr sob comando do Prof. Dr. Neri Alves. Tais publicações foram selecionadas pois possuem argumentos e/ou conclusões que complementam os resultados apresentados nos capítulos 4 e 5 da presente tese.

O trabalho denominado *AZO transparent electrodes grown in situ during the deposition of zinc acetate dihydrate onto aluminum thin film by spray pyrolysis* desenvolvido por M. S. Ozório et al, foi publicado na *Journal of Materials Science: Materials in Electronics* em 2019 ¹⁴². Nesta publicação, filmes de ZnO foram obtidos a partir da técnica de spray pirólise a 450 °C de uma solução de acetato de zinco dihidratado sobre substrato de vidro recoberto com uma fina camada de Al (10 nm). A formação do ZnO ocorre de forma diferente sobre o Al devido aos processos de difusão, formando AZO na interface Al/ZnO. A espectroscopia Raman revelou um alto grau de dopagem para os filmes finos de ZnO e que o processo de difusão é alto na interface Al/ZnO. O desempenho do eletrodo transparente de AZO foi avaliado por meio da caracterização de um diodo Schottky AZO/ZnO/Au. Obteve-se fator de idealidade de 3,79, uma resistência em série de 1,03 kΩ, e altura da barreira Schottky efetiva de 0,97 eV. Os estudos do filme de ZnO são particularmente importantes para a presente tese, pois é reportado o espectro de difração de raio-x (XRD) cuja a ocorrência de um pico associado a estrutura policristalina e outro atribuído a estrutura wurtzita hexagonal são característicos para os filmes de ZnO. No espectro Raman, também são identificadas bandas características que podem ser associadas à estrutura wurtzita e à formação de defeitos estruturais como vacâncias de oxigênio e outros.

Caracterizações complementares do filme de ZnO são apresentadas no trabalho denominado *UV-photocurrent response of zinc oxide based devices: Application to ZnO/PEDOT:PSS hybrid Schottky diodes* desenvolvido por D. H. Vieira et al e publicado na *Materials Science in Semiconductor Processing* em 2021²³. Explorou-se a resposta da fotocorrente através do ZnO durante exposição ao UV, pois é uma radiação compatível com o largo *band gap* do ZnO. Por ser um dispositivo com múltiplos parâmetros em relação à caracterização elétrica, o diodo Schottky pode fornecer mais informações do que sensores com respostas puramente resistiva ou capacitiva. Os diodos Schottky foram obtidos usando ZnO e PEDOT:PSS, ambos depositados por spray. Foram obtidas razões de retificação de 10^4 e fator de idealidade de 1,3. As curvas de I-V características foram analisadas pelo método de Cheung para determinar o efeito da irradiação UV no fator de idealidade, resistência em série, e altura da barreira Schottky. O estudo da fotocorrente através do filme de ZnO em função de parâmetros geométricos e da intensidade da luz UV demonstraram uma transição entre os processos de recombinação bimolecular para monomolecular em altos valores de irradiância, sendo resultado da dinâmica de adsorção/dessorção de oxigênio molecular na interface entre o ZnO e o ar. Além do desempenho do dispositivo, foi reportada uma imagem de MEV do filme de ZnO onde nota-se que a deposição por spray pirólise resulta em um filme contínuo e homogêneo, para o qual a superfície com baixa rugosidade é formada por grãos em escala nanométrica. A formação de ZnO também foi confirmada a partir da espectroscopia de fotoelétrons excitados por raio-x (XPS).

O trabalho intitulado *A Sub-1 V, Electrolyte-Gated Vertical Field Effect Transistor Based on ZnO/AgNW Schottky Contact* desenvolvido por G. L. Nogueira et al, foi publicado na *IEEE Electron Device Letters* em 2021¹⁶⁰. Tal publicação é referente aos resultados iniciais da arquitetura vertical eletrolítica apresentados no tópico 5.3. Neste artigo, reportamos um transistor eletrolítico vertical com baixa voltagem de operação (< 1 V) baseado no contato

Schottky entre ZnO e AgNW depositados por spray. Da curva de transferência, foram extraídos razão I_{ON}/I_{OFF} de $\sim 10^4$, densidade de corrente de $65,3 \text{ mA cm}^{-2}$ e transcondutância normalizada de $113,4 \text{ mS cm}^{-2}$. Assim, tal contribuição demonstra que a arquitetura ZnO-EGVFET é promissora para o desenvolvimento de transistores impressos sem a necessidade de padrões com alta resolução.

O estudo e aplicação dos filmes de ZnO por spray pirólise na fabricação de diodos foi estendido aos filmes de ZnO depositados a partir da dispersão aquosa de nanopartículas de ZnO (ZnO-NP). O trabalho intitulado *Analytical study of a solution-processed diode based on ZnO nanoparticles using multi-walled carbon nanotubes as Schottky contact* desenvolvido por L. H. Bertoldo et al, foi publicado na *Journal of Materials Science: Materials in Electronics* em 2022¹⁶⁵. Para este estudo, os diodos Schottky foram obtidos a partir da junção entre os filmes de nanotubo de carbono (CNT) e nanopartículas de ZnO, ambos depositados por spray com temperatura de processamento inferior a 200°C . Usando métodos analíticos, foram estimadas resistência em série de $6,2 \text{ k}\Omega$ e fator de idealidade de 2,2, além de uma altura de barreira Schottky efetiva de $0,82 \text{ eV}$ e razão de retificação de 1×10^4 . Além de explorar as propriedades dos filmes de ZnO-NP e o seu uso em diodo Schottky, tal estudo é relevante pois destaca a importância do método analítico de *Mikheleshvili* para complementar a extração dos parâmetros de diodo Schottky usualmente realizada por outros métodos.

Conforme apresenta na **Tabela 16**, os trabalhos apresentados acima estão relacionados aos diodos Schottky com contatos distintos: Al, Au, PEDOT:PSS, AgNW e CNT. Além disso, enquanto os três primeiros são baseados em filmes de ZnO obtidos a partir do spray pirólise do acetato de zinco em álcool, o último é baseado na deposição por spray da dispersão de nanopartículas de ZnO. O método de spray pirólise resulta em filmes mais finos e superfície mais lisa, porém é necessário temperaturas de processamento elevadas ($> 350^\circ\text{C}$). Por outro lado, as nanopartículas de ZnO resultam em filmes mais espessos e rugosos, porém são

compatíveis com temperatura mais baixa ($< 150^{\circ}\text{C}$). Uma proposta promissora é apontada por R. M. Morais et al, a qual é reportada em um estudo visando menor temperatura de síntese para o ZnO baseado em tratamento térmico, mistura de nanopartículas de zinco e um precursor de nitrato de zinco e tratamento assistido por radiação UV¹⁶⁶.

Tabela 16 - Parâmetros de quatro diferentes diodos Schottky utilizando ZnO depositado por spray desenvolvidos no LaDSOr.

Contato ôhmico	Contato Schottky	ZnO	Fator de idealidade (n)	Resistência (R_{serie})	Altura da barreira	Referência
Al/AZO	Au	Spray pirólise	3,8	1,02 k Ω	0,97 eV	142
Al	PEDOT:PSS	Spray pirólise	1,3	49,8 k Ω	0,82 eV	23
ITO	AgNW	Spray pirólise	2.2	200 Ω	0,76 eV	160
Al	MWCNT	Nanopartículas	2.2	6,2 k Ω	0,82 eV	165

6.2. Trabalhos em desenvolvimento

Os três trabalhos que serão apresentados abaixo são referentes aos manuscritos que já foram submetidos à publicação e, durante a escrita da tese, estão em processo de análise pelas respectivas revistas. Enquanto os trabalhos citados no item anterior estão diretamente relacionados ao estudo de diodos Schottky de ZnO, os estudos abaixo estão relacionados aos TFTs.

O estudo denominado *ZnO-based electrolyte-gated transistor (EGT) applied as multiparametric UV-sensing device* desenvolvido por D. H. Vieira et al, foi submetido à *Sensors and Actuators A: Physical*. Neste estudo, é reportado um EGT de ZnO transparente que apresenta baixa voltagem de operação (< 2 V), voltagem de *threshold* de 0,16 V, razão $I_{\text{ON}}/I_{\text{OFF}}$ de $3,0 \times 10^5$ e mobilidade de $0,17 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$. Tal EGT foi aplicado como sensor de UV, mostrando uma resposta em múltiplos parâmetros, como voltagem de *threshold*, *subthreshold swing*, transcondutância e aumento da mobilidade sob diferentes irradiâncias de UV. Além

disso, com tal dispositivo atingiu-se altos valores de razão I_{UV}/I_{escuro} (1×10^5), responsividade ($8,4 \times 10^4 \text{ A W}^{-1}$) e eficiência quântica ($2,7 \times 10^6 \%$).

O estudo denominado *Effect of the gate electrodes/water interface on the performance of ZnO-based water gate field-effect transistors (WGFETs)* desenvolvido por M. S. Ozório et al, foi submetido à *Materials Science in Semiconductor Processing*. O uso de água como eletrólito em transistores de efeito de campo resulta em uma alta capacitância específica e baixa voltagem de operação devido à formação de dupla camada elétrica nas interfaces. Além do eletrólito constituído por água pura, o material usado como eletrodo de *gate* também pode afetar o desempenho do transistor eletrolítico. Assim, o referido estudo avalia o desempenho de WGFETs usando filmes de ZnO depositados por spray pirólise como camada ativa e cinco diferentes eletrodos de *gate*: grafite, Au, ITO, tungstênio e estanho. Entre os eletrodos avaliados, o grafite se destaca principalmente devido a um baixo *subthreshold swing* ($SS = 90 \text{ mV dec}^{-1}$) e alta transcondutância ($g_m = 0,40 \text{ mS}$). Além disso, o grafite e ZnO constituem um transistor baseado em materiais biocompatíveis visando uma eletrônica de baixo custo, *eco-friendly* e *metal-free*. Em resumo, os resultados apontam que o eletrodo de *gate* exerce significativa influência nos principais parâmetros do dispositivo, sendo um fator que deve ser analisado visando o uso de WGFET como sensor.

Um dos temas desenvolvidos durante o estágio de seis meses na *University of Glasgow* sob supervisão do Prof. Jeff Kettle resultou no trabalho denominado *Zero waste and biodegradable Zinc Oxide Thin-film transistors for UV sensors and logic circuits*, submetido à *IEEE Transactions on Electron Devices*. Tal estudo é importante pois explora a aplicação de TFTs de ZnO visando uma eletrônica biodegradável, que é uma aposta para a redução de lixo eletrônico e para outros setores como monitoramento de saúde. Neste estudo, reporta-se um TFT biodegradável fabricado em baixa temperatura baseado em uma camada ativa de ZnO e eletrodos de molibdênio ambos depositados por *sputtering*. Após uma avaliação do impacto

ambiental por meio do método USEtox, eletrodos de molibdênio foram selecionados devido à sua estabilidade, função trabalho e sustentabilidade. Com o TFT de ZnO, preparado em temperatura ambiente sob substrato biodegradável, obteve-se uma razão I_{on}/I_{off} de $\sim 4 \times 10^6$, uma voltagem de *threshold* de $\sim 2,3$ V, mobilidade de saturação de $1,3 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$, e um *subthreshold swing* de $0,3 \text{ V dec}^{-1}$.

Destaca-se que entre os estudos descritos acima, os transistores eletrolíticos foram obtidos usando eletrodos de gel iônico e água. Demais trabalhos em desenvolvimento em coautoria e paralelos ao tema da tese incluem a utilização de mel comercial como eletrólito em transistores de ZnO e DNTT. Tais eletrólitos são compatíveis com uma eletrônica biodegradável e de baixo custo. Assim, a breve descrição e menção dos estudos acima compõem um panorama da atividade de pesquisa do autor da tese.

7. Conclusão e perspectivas

Com o presente estudo, conclui-se que os filmes semicondutores de ZnO obtido por spray, além de interessante para as aplicações em diodo Schottky e transistores planares, são promissores para a produção de transistores eletrolíticos verticais (EG-SB-VFETs).

Os filmes de ZnO obtidos a partir da deposição por spray de uma dispersão de nanopartículas de ZnO foram aplicados em diodos e EGTs. A caracterização elétrica do contato Schottky de PEDOT:PSS e ZnO-NP depositado por spray foi importante tanto para o estudo dos materiais, quanto para aprimorar o método de análise das curvas de I-V. Os filmes de PEDOT:PSS submetidos ao tratamento com cossolvente tiveram um aumento de condutividade de $\sim 2 \text{ S cm}^{-1}$ para $\sim 30 \text{ S cm}^{-1}$. Com esses valores, foi possível aplicar dois filmes de PEDOT:PSS, ambos após tratamento, como eletrodo em diodos Schottky. Foi proposto o uso complementar dos métodos de *Mikhelashvili*, *Werner* e *Cheung* para a avaliação dos parâmetros dos dois diodos de PEDOT:PSS/ZnO-NP/Al estudados. Os valores obtidos estão de acordo com a tendência de comportamento esperada ao utilizar eletrodos com diferentes resistências. Ao utilizar o eletrodo de PEDOT:PSS menos resistivo, foram calculados os parâmetros $R_{\text{serie}} \sim 5 \text{ k}\Omega$, $n \sim 2,5$ e $\phi_b \sim 0,90 \text{ eV}$. Foi demonstrado que, levando em conta a preparação fácil e de baixo-custo, o EGT de ZnO-NP com *gate* de grafite atingiu um desempenho satisfatório, como razão $I_{\text{ON}}/I_{\text{OFF}}$ de $\sim 1,3 \times 10^5$, $\mu.C_i \sim 1,6 \times 10^{-6} \text{ F cm}^{-2} \text{ V}^{-1} \text{ s}^{-1}$, mobilidade de $0,08 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$, transcondutância de $\sim 7,6 \times 10^{-4} \text{ S}$ (ou $0,025 \text{ S m}^{-1}$) e um *subthreshold swing* de $\sim 0,17 \text{ V dec}^{-1}$. Destaca-se que apesar dos resultados satisfatórios obtidos ao utilizar o PEDOT:PSS como eletrodo em diodos, os AgNW foram mais promissores para serem utilizados como eletrodo intermediário nos transistores verticais. Futuros trabalhos podem incluir blendas de PEDOT:PSS e AgNW para tal aplicação.

Os filmes de ZnO obtidos a partir do processo de spray pirólise do acetato de zinco em álcool isopropílico foram aplicados como camada ativa em EGTs, diodo Schottky e em

transistores eletrolíticos verticais. O estudo dos EGTs foi fundamental para estudar o ZnO depositado por spray pirólise como filme semicondutor. Com isso, foi estabelecido um protocolo de fabricação apropriado, além da aplicação bem-sucedida do eletrólito de gel iônico substituindo um dielétrico de *gate*. Também foi observado que a folha de Al revestida com Au obteve desempenho superior como eletrodo de *gate*. Entre os parâmetros calculados para o EGT, destaca-se o parâmetro $\mu.C_i$ de $6,1 \times 10^{-6} \text{ F cm}^{-2} \text{ V}^{-1} \text{ s}^{-1}$, além dos valores de mobilidade, transcondutância e SS de $11 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$, $2,46 \times 10^{-3} \text{ S}$ (ou $0,082 \text{ S cm}^{-1}$) e $0,13 \text{ V dec}^{-1}$, respectivamente. Estudou-se o comportamento dos diodos de ITO/ZnO/AgNW a partir do uso complementar dos métodos de *Mikheleshvili*, *Werner* e *Cheung*. Foi observado que uma etapa adicional de tratamento térmico após a deposição dos AgNW resulta em melhores desempenhos. Entre os parâmetros do diodo após tratamento, destacam-se $R_{\text{serie}} \sim 200 \Omega$, $n \sim 2,3$ e $\phi_b \sim 0,75 \text{ eV}$. O estudo dos EG-SB-VFETs utilizando ZnO e AgNW foram divididos em duas partes. Na primeira, apresentou-se as caracterizações elétricas básicas do EG-SB-VFET, mantendo uma polarização na qual o eletrodo de ITO foi aterrado. Foi observado que as curvas de saída são similares às curvas de I-V para os diodos, cuja altura da barreira depende de V_{GATE} . A partir da curva de transferência do EG-SB-VFET, foram calculados os parâmetros $I_{\text{ON}}/I_{\text{OFF}} \sim 10^4$, $J_{\text{eff}} \sim 65 \text{ mA cm}^{-2}$, $g_m \sim 3,40 \times 10^{-3} \text{ S}$ (ou $g_m/A \sim 113 \text{ mS cm}^{-2}$) e $SS \sim 0,2 \text{ V dec}^{-1}$. Na segunda parte, foram apresentadas as diferenças no comportamento elétrico e desempenho do EG-SB-VFETs ao usar duas polarizações diferentes, isto é, com o eletrodo de ITO aterrado ou com o eletrodo intermediário de AgNW aterrado. Mostra-se que o comportamento da modulação de I_{DS} do transistor vertical ao aterrar o ITO é similar a um diodo, e similar a um transistor ao aterrar o AgNW. Obteve-se transcondutância máxima de ___ ao aterrar o eletrodo de $4,7 \times 10^{-3} \text{ S}$ ao aterrar o eletrodo de ITO. É importante destacar que o desempenho reportado dos EG-SB-VFETs é atrativo, pois atingem-se valores semelhantes ao EGT padrão sem a necessidade de eletrodos de fonte e dreno coplanares de alta resolução.

Além dos estudos do EG-SB-VFET apresentados no Capítulo 5, vários testes foram realizados em caráter preliminar. Os mais promissores foram reunidos no Apêndice II, para ilustrar as perspectivas em relação aos estudos do EG-SB-VFET. Como ilustrado no Apêndice II, ao utilizar ITO ou grafite como eletrodos de *gate*, mantém-se o mesmo comportamento observado no item 5.3.2. Com isso, a escolha do eletrodo de *gate* pode ser adequada à necessidade do estudo. Por exemplo, caso seja necessário um eletrodo transparente, recomenda-se o uso do ITO; por outro lado, caso haja interesse em abordagens biodegradável e de baixo custo, pode-se utilizar o grafite. Destaca-se também a necessidade de um estudo posterior sobre a estabilidade dos dispositivos, principalmente devido à interação entre os AgNW e o eletrólito. Após estudar a estabilidade dos dispositivos, será possível avaliar efeitos como o estresse de voltagem e sensibilidade à radiação UV.

Dentre as diferentes ideias que foram cogitadas ao longo do doutorado, mas não foram exploradas até o momento, destacam-se abaixo quatro sugestões para trabalhos futuros relacionados aos transistores eletrolíticos verticais:

- (i) Uso de outros materiais. Além dos descritos no item 6.2, trabalhos em desenvolvimento no LaDSOr incluem uso de outros condutores, eletrólitos e semicondutores. Apesar dos excelentes resultados utilizando AgNW como eletrodo intermediário, outros materiais condutores como PEDOT:PSS ou nanotubo de carbono devem ser avaliados. Além de já publicarmos diodos Schottky usando tais condutores, ambos são alternativas interessantes visando uma eletrônica de baixo custo e biodegradável. Entre os possíveis eletrólitos, já temos resultados com água (pura e salina) e mel em transistores eletrolíticos convencionais. Portanto, é natural estender a aplicação de tais materiais aos verticais. Em relação aos semicondutores, sugere-se a utilização de moléculas orgânicas como o DNTT que, devido à sua natureza tipo-p, aumenta as possíveis aplicações em relação ao ZnO tipo-n.

- (ii) Estudo de estabilidade. Como apresentado no Apêndice II, a interface entre os AgNW e o eletrólito resulta em instabilidades em determinadas condições de tensão, que precisam ser mapeadas com precisão. Algumas estratégias para mitigar tais efeitos incluem o recobrimento dos AgNW com filmes poliméricos ou a obtenção de eletrodos a partir de blendas de AgNW com outros materiais. De acordo com resultados preliminares, o AgNW também apresenta instabilidades em relação à umidade. Portanto, estudos de estabilidade em relação a tensão de operação dos dispositivos e com controle de umidade são recomendados. Tais estudos são particularmente interessantes como etapa preliminar aos estudos de efeito de estresse de tensão e de aplicações como sensor.
- (iii) Caracterizações dinâmicas. Uma limitação inerente aos transistores eletrolíticos é a aplicação em altas frequências, que existe devido à alta capacitância e baixa condutividade iônica. Assim, é importante estabelecer as frequências máximas de operação e investigar se a arquitetura vertical apresenta alguma vantagem em relação à arquitetura convencional neste aspecto. As caracterizações dinâmicas por meio de transientes podem ser realizadas diretamente no transistor, ou pode ser uma forma de avaliar a formação de circuitos básicos, como inversores e portas lógicas.
- (iv) Estrutura tipo MESFET, isto é, sem dielétrico. Estruturas do tipo metal-semicondutor de efeito de campo (MESFET), é uma alternativa para obter transistores para aplicações em altas frequências. Em princípio, sendo o efeito de campo uma característica da junção metal/semicondutor, o MESFET não apresenta as limitações ligadas aos dielétricos e eletrólitos. A partir dos resultados obtidos ao longo da presente tese, sugere-se um empilhamento vertical de dois diodos Schottky de ZnO, conectados por meio do eletrodo intermediário de AgNW. No diodo da base, recomenda-se utilizar uma célula composta por ITO/ZnO/AgNW, no qual o ZnO é

depositado por spray pirólise. Pois, a temperatura de pirólise é superior a 350 °C e superfície do ZnO apresenta baixa rugosidade. No diodo do topo, é possível utilizar uma célula de AgNW/ZnO-NP/Al, pois a deposição de ZnO-NP resulta em uma camada mais espessa ($> 1 \mu\text{m}$) que não degrada as camadas anteriores devido à baixa temperatura de deposição. Portanto, espera-se um dispositivo visando aplicação em altas frequências, com camadas ativadas e eletrodo intermediário compatíveis com uma fabricação de baixo-custo.

Referências

1. Garlapati, S. K. *et al.* Printed electronics based on inorganic semiconductors: from processes and materials to devices. *Adv. Mater.* **30**, 1707600 (2018).
2. Drury, C. J., Mutsaers, C. M. J., Hart, C. M., Matters, M. & De Leeuw, D. M. Low-cost all-polymer integrated circuits. *Appl. Phys. Lett.* **73**, 108–110 (1998).
3. Cadilha Marques, G. *et al.* Progress Report on “From Printed Electrolyte-Gated Metal-Oxide Devices to Circuits”. *Adv. Mater.* **31**, 1806483 (2019).
4. Li, Q. *et al.* Review of printed electrodes for flexible devices. *Front. Mater.* **5**, 77 (2019).
5. Schweicher, G. *et al.* Molecular Semiconductors for Logic Operations: Dead-End or Bright Future? *Adv. Mater.* **32**, 1905909 (2020).
6. Bashir, A. *et al.* High-Performance Zinc Oxide Transistors and Circuits Fabricated by Spray Pyrolysis in Ambient Atmosphere. *Adv. Mater.* **21**, 2226–2231 (2009).
7. Vyas, S. A short review on: optimization techniques of ZnO based thin film transistors. *Chinese J. Phys.* **56**, 117–124 (2018).
8. Kandpal, K. & Gupta, N. Perspective of zinc oxide based thin film transistors: a comprehensive review. *Microelectron. Int.* (2018).
9. Arrabito, G. *et al.* Printing ZnO Inks: From Principles to Devices. *Crystals* **10**, 449 (2020).
10. Choi, C.-H., Lin, L.-Y., Cheng, C.-C. & Chang, C.-H. Printed oxide thin film transistors: a mini review. *ECS J. Solid State Sci. Technol.* **4**, P3044 (2015).
11. Jung, D. S., Park, S. Bin & Kang, Y. C. Design of particles by spray pyrolysis and recent progress in its application. *Korean J. Chem. Eng.* **27**, 1621–1645 (2010).
12. Park, J. W., Kang, B. H. & Kim, H. J. A Review of Low-Temperature Solution-Processed Metal Oxide Thin-Film Transistors for Flexible Electronics. *Adv. Funct. Mater.* **30**, 1904632 (2020).
13. Reale, A. *et al.* Spray Coating for Polymer Solar Cells: An Up-to-Date Overview. *Energy Technol.* **3**, 385–406 (2015).
14. Al-Ahmadi, N. A. Metal oxide semiconductor-based Schottky diodes: a review of recent advances. *Mater. Res. Express* **7**, 32001 (2020).
15. Fortunato, E., Barquinha, P. & Martins, R. Oxide semiconductor thin-film transistors: a review of recent advances. *Adv. Mater.* **24**, 2945–2986 (2012).
16. Bozzoni, E. & Mengali, U. Comparison between the oscillating limiter and the first-order phase-locked loop. *Proc. IEEE* **56**, 2094 (1968).
17. Fortunato, E. *et al.* Recent advances in ZnO transparent thin film transistors. *Thin Solid Films* **487**, 205–211 (2005).
18. Kamiya, T., Nomura, K. & Hosono, H. Present status of amorphous In–Ga–Zn–O thin-film transistors. *Sci. Technol. Adv. Mater.* **11**, 44305 (2010).
19. Semple, J. *et al.* Radio Frequency Coplanar ZnO Schottky Nanodiodes Processed from Solution on Plastic Substrates. *Small* **12**, 1993–2000 (2016).

20. Nakano, M. *et al.* Schottky contact on a ZnO (0001) single crystal with conducting polymer. *Appl. Phys. Lett.* **91**, 142113 (2007).
21. Semple, J., Rossbauer, S. & Anthopoulos, T. D. Analysis of Schottky Contact Formation in Coplanar Au/ZnO/Al Nanogap Radio Frequency Diodes Processed from Solution at Low Temperature. *ACS Appl. Mater. Interfaces* **8**, 23167–23174 (2016).
22. Hernandez-Como, N. *et al.* Ultraviolet photodetectors based on low temperature processed ZnO/PEDOT: PSS Schottky barrier diodes. *Mater. Sci. Semicond. Process.* **37**, 14–18 (2015).
23. Vieira, D. H., da Silva Ozório, M., Nogueira, G. L., Fugikawa-Santos, L. & Alves, N. UV-photocurrent response of zinc oxide based devices: Application to ZnO/PEDOT:PSS hydrid Schottky diodes. *Mater. Sci. Semicond. Process.* **121**, 105339 (2021).
24. Hernandez-Como, N. *et al.* Flexible PEDOT: PSS/ZnO Schottky diodes on polyimide substrates. *Microelectron. Eng.* **216**, 111060 (2019).
25. Georgiadou, D. G. *et al.* 100 GHz zinc oxide Schottky diodes processed from solution on a wafer scale. *Nat. Electron.* 1–8 (2020).
26. Weimer, P. K. The TFT a new thin-film transistor. *Proc. IRE* **50**, 1462–1469 (1962).
27. Hoffman, R. L., Norris, B. J. & Wager, J. F. ZnO-based transparent thin-film transistors. *Appl. Phys. Lett.* **82**, 733–735 (2003).
28. Carcia, P. F., McLean, R. S., Reilly, M. H. & Nunes, G. Transparent ZnO thin-film transistor fabricated by rf magnetron sputtering. *Appl. Phys. Lett.* **82**, 1117–1119 (2003).
29. Masuda, S. *et al.* Transparent thin film transistors using ZnO as an active channel layer and their electrical properties. *J. Appl. Phys.* **93**, 1624–1630 (2003).
30. Studenikin, S. A., Golego, N. & Cocivera, M. Fabrication of green and orange photoluminescent, undoped ZnO films using spray pyrolysis. *J. Appl. Phys.* **84**, 2287–2294 (1998).
31. Adamopoulos, G., Bashir, A., Wöbkenberg, P. H., Bradley, D. D. C. & Anthopoulos, T. D. Electronic properties of ZnO field-effect transistors fabricated by spray pyrolysis in ambient air. *Appl. Phys. Lett.* **95**, 133507 (2009).
32. Cho, J., Hwang, S., Ko, D.-H. & Chung, S. Transparent ZnO Thin-Film Deposition by Spray Pyrolysis for High-Performance Metal-Oxide Field-Effect Transistors. *Materials (Basel)*. **12**, 3423 (2019).
33. Braga, J. P., Moises, L. A., Gozzi, G. & Fugikawa-Santos, L. Prediction of the electrical response of solution-processed thin-film transistors using multifactorial analysis. *J. Mater. Sci. Mater. Electron.* **30**, 16939–16948 (2019).
34. Kumar, D. *et al.* UV phototransistors based upon spray coated and sputter deposited ZnO TFTs. *IEEE Sens. J.* (2020).
35. Liu, J. *et al.* Vertical Organic Field-Effect Transistors. *Adv. Funct. Mater.* **29**, 1808453 (2019).
36. Kim, S. H. *et al.* Electrolyte-gated transistors for organic and printed electronics. *Adv. Mater.* **25**, 1822–1846 (2013).
37. Cho, K. G. *et al.* Sub-2 V, Transfer-Stamped Organic/Inorganic Complementary Inverters Based on Electrolyte-Gated Transistors. *ACS Appl. Mater. Interfaces* **10**, 40672–40680 (2018).
38. Hong, K. *et al.* Aerosol Jet Printed, Sub-2 V Complementary Circuits Constructed from P - and N -Type Electrolyte Gated Transistors. *Adv. Mater.* **26**, 7032–7037 (2014).
39. Lee, D. *et al.* Low voltage, high gain electrolyte-gated complementary inverters based on transfer-printed block copolymer ion gels. *Org. Electron.* **71**, 266–271 (2019).
40. Carvalho, J. *et al.* Fully Printed Zinc Oxide Electrolyte-Gated Transistors on Paper. *Nanomaterials* **9**, 169 (2019).
41. Zare Bidoky, F. *et al.* Sub-3 V ZnO Electrolyte-Gated Transistors and Circuits with Screen-Printed and Photo-Crosslinked Ion Gel Gate Dielectrics: New Routes to Improved Performance. *Adv. Funct. Mater.* **30**, 1902028 (2020).
42. Ma, L. & Yang, Y. Unique architecture and concept for high-performance organic transistors. *Appl. Phys. Lett.* **85**, 5084–5086 (2004).
43. Kleemann, H., Krechan, K., Fischer, A. & Leo, K. A Review of Vertical Organic Transistors. *Adv. Funct. Mater.* **30**, 1907113 (2020).
44. Liu, B. *et al.* Carbon-nanotube-enabled vertical field effect and light-emitting transistors. *Adv. Mater.* **20**, 3605–3609 (2008).
45. Ben-Sasson, A. J. *et al.* Self-assembled metallic nanowire-based vertical organic field-effect

- transistor. *ACS Appl. Mater. Interfaces* **7**, 2149–2152 (2015).
46. McCarthy, M. A., Liu, B. & Rinzler, A. G. High Current, Low Voltage Carbon Nanotube Enabled Vertical Organic Field Effect Transistors. *Nano Lett.* **10**, 3467–3472 (2010).
 47. Ben-Sasson, A. J. & Tessler, N. Patterned electrode vertical field effect transistor: Theory and experiment. *J. Appl. Phys.* **110**, (2011).
 48. Ben-Sasson, A. J. *et al.* Patterned electrode vertical field effect transistor fabricated using block copolymer nanotemplates. *Appl. Phys. Lett.* **95**, 302 (2009).
 49. Ben-Sasson, A. J. & Tessler, N. Unraveling the physics of vertical organic field effect transistors through nanoscale engineering of a self-assembled transparent electrode. *Nano Lett.* **12**, 4729–33 (2012).
 50. Kvitschal, A., Cruz-Cruz, I. & Hümmelgen, I. A. Copper phthalocyanine based vertical organic field effect transistor with naturally patterned tin intermediate grid electrode. *Org. Electron.* **27**, 155–159 (2015).
 51. Nogueira, G. L., Ozório, M. da S., Silva, M. M. da, Morais, R. M. & Alves, N. Middle electrode in a vertical transistor structure using an Sn layer by thermal evaporation. *Electron. Mater. Lett.* (2018).
 52. Albano, L. G. S., Boratto, M. H., Nunes-Neto, O. & Graeff, C. F. O. Low voltage and high frequency vertical organic field effect transistor based on rod-coating silver nanowires grid electrode. *Org. Electron.* **50**, 311–316 (2017).
 53. Wang, P.-H. *et al.* N-channel carbon nanotube enabled vertical field effect transistors with solution deposited ZnO nanoparticle based channel layers. *Appl. Phys. Lett.* **100**, 173514 (2012).
 54. Greenman, M. *et al.* Reaching saturation in patterned source vertical organic field effect transistors. *J. Appl. Phys.* **121**, 204503 (2017).
 55. Seidel, K. F., Rossi, L., Mello, R. M. Q. & Hümmelgen, I. A. Vertical organic field effect transistor using sulfonated polyaniline/aluminum bilayer as intermediate electrode. *J. Mater. Sci. Mater. Electron.* **24**, 1052–1056 (2013).
 56. Rossi, L., Seidel, K. F., Machado, W. S. & Hümmelgen, I. A. Low voltage vertical organic field-effect transistor with polyvinyl alcohol as gate insulator. *J. Appl. Phys.* **110**, 94508 (2011).
 57. Nawaz, A., Mercas, L., de Andrade, D. M., de Camargo, D. H. S. & Bufon, C. C. B. Edge-driven nanomembrane-based vertical organic transistors showing a multi-sensing capability. *Nat. Commun.* **11**, 1–12 (2020).
 58. Seidel, K. F. Fabrication and electrical characterization of vertical electrolyte transistor. *Curr. Appl. Phys.* **20**, 1288–1294 (2020).
 59. Rother, M. *et al.* Vertical electrolyte-gated transistors based on printed single-walled carbon nanotubes. *ACS Appl. Nano Mater.* **1**, 3616–3624 (2018).
 60. Baby, T. T. *et al.* Sub-50 nm Channel Vertical Field-Effect Transistors using Conventional Ink-Jet Printing. *Adv. Mater.* **29**, 1603858 (2017).
 61. Lenz, J., del Giudice, F., Geisenhof, F. R., Winterer, F. & Weitz, R. T. Vertical, electrolyte-gated organic transistors show continuous operation in the MA cm⁻² regime and artificial synaptic behaviour. *Nature Nanotechnology* **14**, 579–585 (2019).
 62. Luan, X., Liu, J. & Li, H. Electrolyte-Gated Vertical Organic Transistor and Circuit. *J. Phys. Chem. C* **122**, 14615–14620 (2018).
 63. Ji, Y. *et al.* Solution processed vertical p-channel thin film transistors using copper(i) thiocyanate. *J. Mater. Chem. C* **8**, 5587–5593 (2020).
 64. Mikhelashvili, V., Eisenstein, G. & Uzdin, R. Extraction of Schottky diode parameters with a bias dependent barrier height. *Solid. State. Electron.* **45**, 143–148 (2001).
 65. Werner, J. H. Schottky barrier and pn-junction I/V plots—Small signal evaluation. *Appl. Phys. A* **47**, 291–300 (1988).
 66. Cheung, S. K. & Cheung, N. W. Extraction of Schottky diode parameters from forward current-voltage characteristics. *Appl. Phys. Lett.* **49**, 85–87 (1986).
 67. Cunha, I. *et al.* Reusable Cellulose-Based Hydrogel Sticker Film Applied as Gate Dielectric in Paper Electrolyte-Gated Transistors. *Adv. Funct. Mater.* **27**, 1606755 (2017).
 68. Hecht, D. S., Hu, L. & Irvin, G. Emerging Transparent Electrodes Based on Thin Films of Carbon Nanotubes, Graphene, and Metallic Nanostructures. *Adv. Mater.* **23**, 1482–1513 (2011).
 69. Langley, D. *et al.* Flexible transparent conductive materials based on silver nanowire networks:

- A review. *Nanotechnology* **24**, (2013).
70. Sannicolo, T. *et al.* Metallic Nanowire-Based Transparent Electrodes for Next Generation Flexible Devices: a Review. *Small* **12**, 6052–6075 (2016).
 71. Elschner, A., Kirchmeyer, S., Lovenich, W., Merker, U. & Reuter, K. *PEDOT: principles and applications of an intrinsically conductive polymer*. (CRC press, 2010).
 72. Jonas, F., Heywang, G., Schmidtberg, W., Heinze, J. & Dietrich, M. Polythiophenes, process for their preparation and their use. (1990).
 73. Jonas, F., Heywang, G. & Schmidtberg, W. Solid electrolytes, and electrolyte capacitors containing same. (1990).
 74. Jonas, F., Heywang, G., Schmidtberg, W., Heinze, J. & Dietrich, M. Polythiophenes, process for their preparation and their use. (1991).
 75. Jonas, F. & Krafft, W. Polythiophene dispersions, their production and their use. (1994).
 76. Heywang, G. & Jonas, F. Poly (alkylenedioxythiophene) s—new, very stable conducting polymers. *Adv. Mater.* **4**, 116–118 (1992).
 77. Jonas, F. & Schrader, L. Conductive modifications of polymers with polypyrroles and polythiophenes. *Synth. Met.* **41**, 831–836 (1991).
 78. Chang, S. H. *et al.* Improving the efficiency of CH₃NH₃PbI₃ based photovoltaics by tuning the work function of the PEDOT: PSS hole transport layer. *Sol. Energy* **122**, 892–899 (2015).
 79. Chang, S. H., Chiang, C.-H., Kao, F.-S., Tien, C.-L. & Wu, C.-G. Unraveling the enhanced electrical conductivity of PEDOT: PSS thin films for ITO-free organic photovoltaics. *IEEE Photonics J.* **6**, 1–7 (2014).
 80. Crispin, X. *et al.* The origin of the high conductivity of poly (3, 4-ethylenedioxythiophene)–poly (styrenesulfonate)(PEDOT–PSS) plastic electrodes. *Chem. Mater.* **18**, 4354–4360 (2006).
 81. Lai, M., Wu, J., Yeh, J. & Chang, S. H. Unraveling the Modified PEDOT: PSS Thin Films Based Near-Infrared Solar-Heat Shields by Using Broadband Transmittance and Raman Scattering Spectrometers. *Phys. status solidi* 1900025 (2019).
 82. Shi, H., Liu, C., Jiang, Q. & Xu, J. Effective approaches to improve the electrical conductivity of PEDOT: PSS: a review. *Adv. Electron. Mater.* **1**, 1500017 (2015).
 83. Andreas Elschner Stephan Kirchmeyer Wilfried Lövenich Udo Merker Knud Reuter. *PEDOT: Principles and Applications of an Intrinsically Conductive Polymer*. (CRC Press, 2011).
 84. Aleshin, A. N., Williams, S. R. & Heeger, A. J. Transport properties of poly (3, 4-ethylenedioxythiophene)/poly (styrenesulfonate). *Synth. Met.* **94**, 173–177 (1998).
 85. Martin, B. D. *et al.* Hydroxylated secondary dopants for surface resistance enhancement in transparent poly (3, 4-ethylenedioxythiophene)–poly (styrenesulfonate) thin films. *Synth. Met.* **142**, 187–193 (2004).
 86. Aasmundtveit, K. E. *et al.* Structure of thin films of poly (3, 4-ethylenedioxythiophene). *Synth. Met.* **101**, 561–564 (1999).
 87. Gustafsson, J. C., Liedberg, B. & Inganäs, O. In situ spectroscopic investigations of electrochromism and ion transport in a poly (3, 4-ethylenedioxythiophene) electrode in a solid state electrochemical cell. *Solid State Ionics* **69**, 145–152 (1994).
 88. Garreau, S., Louarn, G., Buisson, J. P., Froyer, G. & Lefrant, S. In situ spectroelectrochemical Raman studies of poly (3, 4-ethylenedioxythiophene)(PEDT). *Macromolecules* **32**, 6807–6812 (1999).
 89. Ouyang, J. *et al.* On the mechanism of conductivity enhancement in poly (3, 4-ethylenedioxythiophene): poly (styrene sulfonate) film through solvent treatment. *Polymer (Guildf)*. **45**, 8443–8450 (2004).
 90. Jönsson, S. K. M. *et al.* The effects of solvents on the morphology and sheet resistance in poly (3, 4-ethylenedioxythiophene)–polystyrenesulfonic acid (PEDOT–PSS) films. *Synth. Met.* **139**, 1–10 (2003).
 91. Xia, Y. & Ouyang, J. PEDOT:PSS films with significantly enhanced conductivities induced by preferential solvation with cosolvents and their application in polymer photovoltaic cells. *J. Mater. Chem.* **21**, 4927–4936 (2011).
 92. Mott, N. F. Note on the contact between a metal and an insulator or semiconductor. in *Mathematical Proceedings of the Cambridge Philosophical Society* **34**, 568 (Cambridge University Press, 1938).

93. Bethe, H. A. Theory of the boundary layer of crystal rectifiers. in *Semiconductor Devices: Pioneering Papers* 387–399 (World Scientific, 1991).
94. BL, S. *Metal-Semiconductor Schottky Barrier Junctions and Their Applications*. (Springer US, 1984). doi:10.1007/978-1-4684-4655-5
95. Brillson, L. J. & Lu, Y. ZnO Schottky barriers and Ohmic contacts. *J. Appl. Phys.* **109**, 8 (2011).
96. Bardeen, J. Surface states and rectification at a metal semi-conductor contact. *Phys. Rev.* **71**, 717 (1947).
97. Monakhov, E. V, Kuznetsov, A. Y. & Svensson, B. G. Zinc oxide: bulk growth, role of hydrogen and Schottky diodes. *J. Phys. D. Appl. Phys.* **42**, 153001 (2009).
98. Allen, M. W. & Durbin, S. M. Influence of oxygen vacancies on Schottky contacts to ZnO. *Appl. Phys. Lett.* **92**, 122110 (2008).
99. Lv, Y. & Wan, L. Recent progress of ohmic contact on ZnO. in *2008 International Conference on Electronic Packaging Technology & High Density Packaging* 1–4 (IEEE, 2008).
100. Alzahrani, A. O. M., Abdel-wahab, M. S., Alayash, M. & Aida, M. S. Metals and ITO Contact Nature on ZnO and NiO Thin Films. *Brazilian J. Phys.* **51**, 1159–1165 (2021).
101. Chu, Y., Qian, C., Chahal, P. & Cao, C. Printed diodes: Materials processing, fabrication, and applications. *Adv. Sci.* **6**, 1801653 (2019).
102. Ayyildiz, E. *et al.* Effect of series resistance on the forward current-voltage characteristics of Schottky diodes in the presence of interfacial layer. *Solid. State. Electron.* **39**, 83–87 (1996).
103. Liu, Y., Tang, W. M. & Lai, P. T. Analytical modeling of nonideal Schottky diode with series and shunt resistance and application in hydrogen gas sensors. *Phys. status solidi* **213**, 2764–2768 (2016).
104. Rabehi, A. *et al.* Optimal estimation of Schottky diode parameters using a novel optimization algorithm: Equilibrium optimizer. *Superlattices Microstruct.* **146**, 106665 (2020).
105. Jung, W. & Guziewicz, M. Schottky diode parameters extraction using Lambert W function. *Mater. Sci. Eng. B* **165**, 57–59 (2009).
106. Mikhelashvili, V. *et al.* On the extraction of linear and nonlinear physical parameters in nonideal diodes. *J. Appl. Phys.* **85**, 6873–6883 (1999).
107. Firek, P., Szmids, J., Nowakowska-Langier, K. & Zdunek, K. Electric Characterization and Selective Etching of Aluminum Oxide. *Plasma Process. Polym.* **6**, S840–S843 (2009).
108. Ben-Sasson, A. J., Greenman, M., Roichman, Y. & Tessler, N. The Mechanism of Operation of Lateral and Vertical Organic Field Effect Transistors. *Isr. J. Chem.* **54**, 568–585 (2014).
109. Zaumseil, J. & Sirringhaus, H. Electron and ambipolar transport in organic field-effect transistors. *Chem. Rev.* **107**, 1296–1323 (2007).
110. Huang, W. *et al.* Dielectric materials for electrolyte gated transistor applications. *J. Mater. Chem. C* **9**, 9348–9376 (2021).
111. Nketia-Yawson, B. & Noh, Y. Recent Progress on High-Capacitance Polymer Gate Dielectrics for Flexible Low-Voltage Transistors. *Adv. Funct. Mater.* **28**, 1802201 (2018).
112. Marques, G. C. *et al.* Electrolyte-gated FETs based on oxide semiconductors: Fabrication and modeling. *IEEE Trans. Electron Devices* **64**, 279–285 (2016).
113. Lee, K. H. *et al.* “Cut and stick” rubbery ion gels as high capacitance gate dielectrics. *Adv. Mater.* **24**, 4457–4462 (2012).
114. Li, S.-H., Xu, Z., Ma, L., Chu, C.-W. & Yang, Y. Achieving ambipolar vertical organic transistors via nanoscale interface modification. *Appl. Phys. Lett.* **91**, 83507 (2007).
115. Kleemann, H., Günther, A. A., Leo, K. & Lüssem, B. High-Performance Vertical Organic Transistors. *Small* **9**, 3670–3677 (2013).
116. Greenman, M., Yoffis, S. & Tessler, N. Complementary inverter from patterned source electrode vertical organic field effect transistors. *Appl. Phys. Lett.* **108**, 1–5 (2016).
117. Huang, J., Yuan, Z., Gao, S., Liao, J. & Eslamian, M. Understanding spray coating process: Visual observation of impingement of multiple droplets on a substrate. *J. Shanghai Jiaotong Univ.* **23**, 97–105 (2018).
118. Tobiska, S. & Kleinebudde, P. Coating uniformity: influence of atomizing air pressure. *Pharm. Dev. Technol.* **8**, 39–46 (2003).
119. Rioboo, R., Tropea, C. & Marengo, M. Outcomes from a drop impact on solid surfaces. *At. sprays* **11**, (2001).

120. Aziz, F. & Ismail, A. F. Spray coating methods for polymer solar cells fabrication: A review. *Mater. Sci. Semicond. Process.* **39**, 416–425 (2015).
121. Quintana, M., Ricra, E., Rodriguez, J. & Estrada, W. Spray pyrolysis deposited zinc oxide films for photo-electrocatalytic degradation of methyl orange: influence of the pH. *Catal. Today* **76**, 141–148 (2002).
122. Falcony, C., Aguilar-Frutis, M. A. & García-Hipólito, M. Spray pyrolysis technique; high-K dielectric films and luminescent materials: a review. *Micromachines* **9**, 414 (2018).
123. Chou, L.-H., Chan, J. M. W. & Liu, C.-L. Progress in Spray Coated Perovskite Films for Solar Cell Applications. *Sol. RRL* **6**, 2101035 (2022).
124. Adamopoulos, G. *et al.* Structural and electrical characterization of ZnO films grown by spray pyrolysis and their application in thin-film transistors. *Adv. Funct. Mater.* **21**, 525–531 (2011).
125. Saha, J. K., Bukke, R. N., Mude, N. N. & Jang, J. Remarkable Stability Improvement of ZnO TFT with Al₂O₃ Gate Insulator by Yttrium Passivation with Spray Pyrolysis. *Nanomaterials* **10**, 976 (2020).
126. Saha, J. K. *et al.* Highly Stable, Nanocrystalline, ZnO Thin-Film Transistor by Spray Pyrolysis Using High-K Dielectric. *IEEE Trans. Electron Devices* **67**, 1021–1026 (2020).
127. Wang, W. *et al.* Effect of methanol addition on the resistivity and morphology of PEDOT: PSS layers on top of carbon nanotubes for use as flexible electrodes. *ACS Appl. Mater. Interfaces* **7**, 8789–8797 (2015).
128. Manual do analisador de parâmetros keithley 4200-SCS. Available at: <http://www.tek.com/keithley-4200-scs-parameter-analyzer>. (Accessed: 26th July 2016)
129. Sabino, F. P. Estudo da fotocapacitância em dispositivos MIS orgânicos Dissertação. (Faculdade de Ciência e Tecnologia, Universidade Estadual Paulista, 2012).
130. Silva, M. M. da. Formação de filmes finos de Al₂O₃ por anodização e seu uso em dispositivos com filmes de poli(3-hexiltiofeno). (Faculdade de Ciência e Tecnologia, Universidade Estadual Paulista, 2012).
131. Site 2. Available at: <http://www.solartronanalytical.com/material-test-systems/model-1296a-dielectric-interface-system.aspx>. (Accessed: 26th July 2016)
132. Site 1. Available at: <http://www.solartronanalytical.com/material-test-systems/Model-1260a-impedance-gain-phase-analyzer-fra.aspx>. (Accessed: 26th July 2016)
133. Sarkar, K., Braden, E. V, Bonke, S. A., Bach, U. & Müller-Buschbaum, P. Screen-Printing of ZnO Nanostructures from Sol–Gel Solutions for Their Application in Dye-Sensitized Solar Cells. *ChemSusChem* **8**, 2696–2704 (2015).
134. Shabannia, R. A high photocurrent gain in UV photodetector based on Cu doped ZnO nanorods on PEN substrate. *J. Mater. Sci. Mater. Electron.* **29**, 11646–11652 (2018).
135. Yu, Z., Xia, Y., Du, D. & Ouyang, J. PEDOT: PSS films with metallic conductivity through a treatment with common organic solutions of organic salts and their application as a transparent electrode of polymer solar cells. *ACS Appl. Mater. Interfaces* **8**, 11629–11638 (2016).
136. Alemu, D., Wei, H.-Y., Ho, K.-C. & Chu, C.-W. Highly conductive PEDOT: PSS electrode by simple film treatment with methanol for ITO-free polymer solar cells. *Energy Environ. Sci.* **5**, 9662–9671 (2012).
137. Chaturvedi, N. & Dutta, V. Effect of electric field on the spray deposited PEDOT: PSS film. *Energy Procedia* **33**, 228–232 (2013).
138. Macabebe, E. Q. B. & Van Dyk, E. E. Parameter extraction from dark current-voltage characteristics of solar cells. *S. Afr. J. Sci.* **104**, 401–404 (2008).
139. Bidoky, F. & Frisbie, D. Sub-3V, MHz-Class Electrolyte-Gated Transistors and Inverters. *ACS Appl. Mater. Interfaces* (2022).
140. Ha, M. *et al.* Aerosol-jet-printed, 1 volt h-bridge drive circuit on plastic with integrated electrochromic pixel. *ACS Appl. Mater. Interfaces* **5**, 13198–13206 (2013).
141. Kim, S. H., Hong, K., Lee, K. H. & Frisbie, C. D. Performance and stability of aerosol-jet-printed electrolyte-gated transistors based on poly (3-hexylthiophene). *ACS Appl. Mater. Interfaces* **5**, 6580–6585 (2013).
142. Ozório, M. S. *et al.* AZO transparent electrodes grown in situ during the deposition of zinc acetate dihydrate onto aluminum thin film by spray pyrolysis. *J. Mater. Sci. Mater. Electron.* **30**, 13454–13461 (2019).

143. Hsu, C.-H. *et al.* Air annealing effect on oxygen vacancy defects in Al-doped ZnO films grown by high-speed atmospheric atomic layer deposition. *Molecules* **25**, 5043 (2020).
144. Belagodu, T., Azhar, E. A. & Yu, H. Modulation of charge conduction in ZnO nanowires through selective surface molecular functionalization. *Nanoscale* **4**, 7330–7333 (2012).
145. Yuan, H. *et al.* Electrostatic and electrochemical nature of liquid-gated electric-double-layer transistors based on oxide semiconductors. *J. Am. Chem. Soc.* **132**, 18402–18407 (2010).
146. Singh, M. *et al.* The double layer capacitance of ionic liquids for electrolyte gating of ZnO thin film transistors and effect of gate electrodes. *J. Mater. Chem. C* **5**, 3509–3518 (2017).
147. Mondal, S., Paul, S., Alam, M. J., Sushama, S. & Chakrabarti, S. Effects of carrier confinement in MgZnO/CdZnO thin-film transistors: Towards next generation display technologies. *Superlattices Microstruct.* **134**, 106220 (2019).
148. Khodagholy, D. *et al.* High transconductance organic electrochemical transistors. *Nat. Commun.* **4**, 1–6 (2013).
149. Thiburce, Q., Giovannitti, A., McCulloch, I. & Campbell, A. J. Nanoscale ion-doped polymer transistors. *Nano Lett.* **19**, 1712–1718 (2019).
150. Senthilkumar, M., Mathiyarasu, J., Joseph, J., Phani, K. L. N. & Yegnaraman, V. Electrochemical instability of indium tin oxide (ITO) glass in acidic pH range during cathodic polarization. *Mater. Chem. Phys.* **108**, 403–407 (2008).
151. Ozório, M. S. *et al.* Effect of the gate electrodes/water interface on the performance of ZnO-based water gate field-effect transistors. *Mater. Sci. Semicond. Process.* **151**, 107045 (2022).
152. Torricelli, F. *et al.* Electrolyte-gated transistors for enhanced performance bioelectronics. *Nat. Rev. Methods Prim.* **1**, 1–24 (2021).
153. Koutsouras, D. A., Torricelli, F., Gkoupidenis, P. & Blom, P. W. M. Efficient Gating of Organic Electrochemical Transistors with In-Plane Gate Electrodes. *Adv. Mater. Technol.* **6**, 2100732 (2021).
154. Li, Y. *et al.* Electrolyte-gated transistors with good retention for neuromorphic computing. *Appl. Phys. Lett.* **120**, 21901 (2022).
155. Li, Y. *et al.* Oxide-based electrolyte-gated transistors for spatiotemporal information processing. *Adv. Mater.* **32**, 2003018 (2020).
156. Michaelson, H. B. The work function of the elements and its periodicity. *J. Appl. Phys.* **48**, 4729–4733 (1977).
157. Bai, S., Guo, X., Chen, T., Zhang, Y. & Yang, H. Solution process fabrication of silver nanowire composite transparent conductive films with tunable work function. *Thin Solid Films* **709**, 138096 (2020).
158. Magari, Y., Makino, H., Hashimoto, S. & Furuta, M. Origin of work function engineering of silver oxide for an In–Ga–Zn–O Schottky diode. *Appl. Surf. Sci.* **512**, 144519 (2020).
159. Huang, G.-Y., Wang, C.-Y. & Wang, J.-T. First-principles study of diffusion of Li, Na, K and Ag in ZnO. *J. Phys. Condens. Matter* **21**, 345802 (2009).
160. Nogueira, G. L. *et al.* A Sub-1 V, Electrolyte-Gated Vertical Field Effect Transistor Based on ZnO/AgNW Schottky Contact. *IEEE Electron Device Lett.* **42**, 1790–1793 (2021).
161. Sarjidan, M. A. M., Shuhaimi, A. & Majid, W. H. A. Observation of saturation transfer characteristics in solution processed vertical organic field-effect transistors (VOFETs) with high leakage current. *Curr. Appl. Phys.* **18**, 1415–1421 (2018).
162. Hu, S., Huang, K., Zhang, B., Liu, B. & Liu, C. On the Current Saturation of Vertical Transistors With Conductive Network Electrodes. *IEEE Trans. Electron Devices* **69**, 248–253 (2021).
163. Haddock, J. N. *et al.* A comprehensive study of short channel effects in organic field-effect transistors. *Org. Electron.* **7**, 45–54 (2006).
164. Sheleg, G., Greenman, M., Lussem, B. & Tessler, N. Removing the current-limit of vertical organic field effect transistors. *J. Appl. Phys.* **122**, 195502 (2017).
165. Bertoldo, L. H. T. *et al.* Analytical study of a solution-processed diode based on ZnO nanoparticles using multi-walled carbon nanotubes as Schottky contact. *J. Mater. Sci. Mater. Electron.* 1–11 (2022).
166. Morais, R. M. *et al.* UV-Assisted Annealing Effect on the Performance of an Electrolyte-Gated Transistor Based on Inkjet Printed ZnO Nanoparticles Blended With Zinc Nitrate. *IEEE Trans. Electron Devices* **69**, 1538–1544 (2022).

Apêndice I: parâmetros extraídos dos gráficos de I-V

I.1. Gráficos utilizados no método de Werner e Cheung para os diodos ITO/ZnO/AgNW

Apresenta-se na **Figura 61** o diagrama do diodo Schottky de ITO/ZnO/AgNW caracterizado através das curvas de I-V e métodos analíticos de Mikhelashvili, Werner e Cheung.



Figura 61 - Diagrama do diodo Schottky ZnO depositado por spray pirólise como camada ativa e AgNW depositado por spray como eletrodo permeável.

Apresentam-se na **Figura 62** os gráficos referentes ao Plot A do método de Werner.

Nota-se que o gráfico de $G/I \times G$ para o ITO/ZnO/AgNW antes e depois do tratamento térmico desvia do comportamento linear na região relativa ao regime de baixa voltagem.

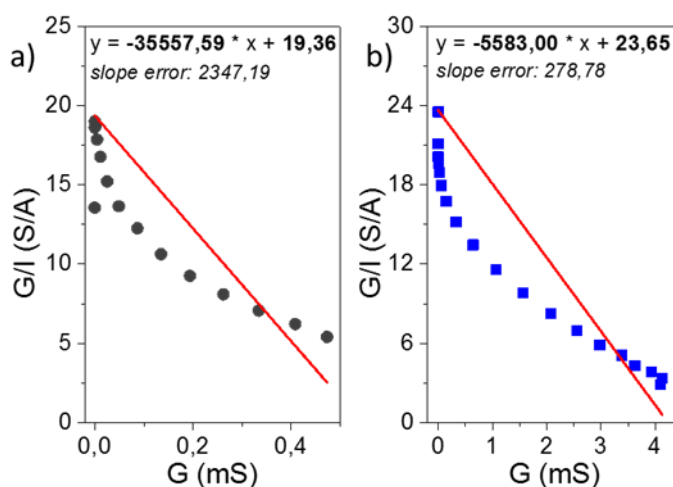


Figura 62 - Gráficos de $G/I \times G$ (Plot A) obtidos a partir dos dados de I-V da **Figura 49** para o diodo ITO/ZnO/AgNW: (a) antes e (b) depois do tratamento térmico. Tais gráficos são úteis para determinação de R_{serie} e n pelo método de Werner. As linhas vermelhas são

referentes aos ajustes lineares, que resultam nas equações da reta apresentadas na parte superior de cada gráfico.

Os gráficos apresentados na **Figura 63** são referentes ao Plot C de Werner para o diodo ITO/ZnO/AgNW antes e depois do tratamento térmico. Conforme explicado no item 2.2.3, este gráfico é similar ao obtido na primeira etapa do método de Cheung.

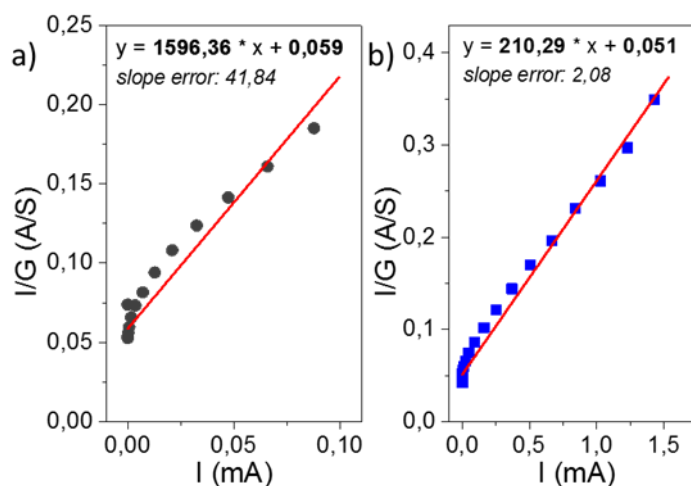


Figura 63 - Gráficos de $I/G \times I$ (Plot C) obtidos a partir dos dados de I-V da **Figura 49** para o diodo ITO/ZnO/AgNW: (a) antes e (b) depois do tratamento térmico. Tais gráficos são úteis para determinação de R_{serie} e n pelo método de Werner. As linhas vermelhas são referentes aos ajustes lineares, que resultam nas equações da reta apresentadas na parte superior de cada gráfico.

Para finalizar a análise dos dados de I-V do diodo de ITO/ZnO/AgNW, optou-se por utilizar a função $H_{(I)}$ de Cheung definida na Equação 8 para calcular os valores de ϕ_B . Para isso, os valores de n calculados a partir dos Plot A e C são aplicados em $H_{(I)}$ de forma que além do cálculo de ϕ_B , um segundo valor para R_{serie} é obtido. Os gráficos de $H_{(I)} \times I$ são mostrados nas **Figura 64** e **Figura 65** referentes ao diodo antes e depois do tratamento térmico, respectivamente.

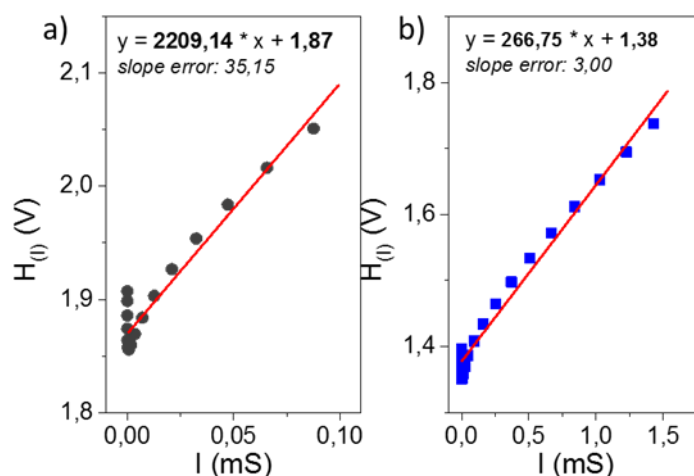


Figura 64 - Gráficos da função $H(I)$ de Cheung em função da corrente obtidos a partir dos valores de n calculados por meio do Plot A: (a) antes e (b) depois do tratamento térmico. Obtêm-se os valores de R_{serie} e ϕ_b por meio dos ajustes lineares (linhas vermelhas).

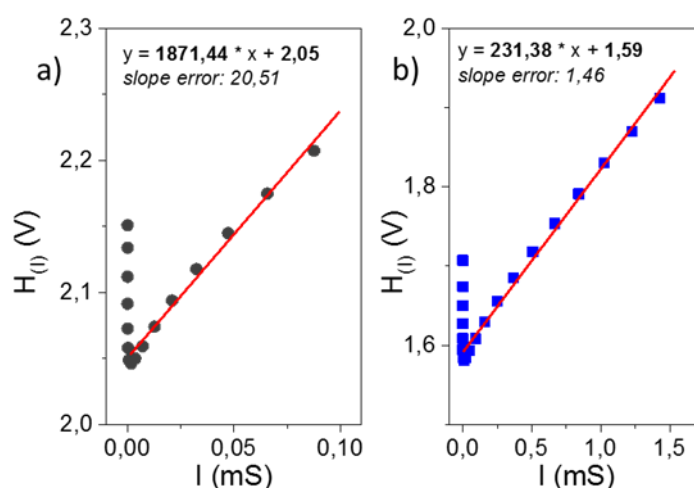


Figura 65 - Gráficos da função $H(I)$ de Cheung em função da corrente obtidos a partir dos valores de n calculados por meio do Plot C: (a) antes e (b) depois do tratamento térmico. Obtêm-se os valores de R_{serie} e ϕ_b por meio dos ajustes lineares (linhas vermelhas).

I.2. Gráficos utilizados para os métodos de Werner e Cheung para as curvas de saída do SB-EG-VFET

Apresenta-se na **Figura 66** o diagrama do EG-SB-VFET, formado pelo acoplamento do diodo Schottky de ITO/ZnO/AgNW com um eletrólito. A caracterização por meio das curvas de saída foi analisada de forma similar ao que foi realizado para as curvas de

I-V dos diodos. Assim, optou-se por realizar a análise em duas curvas de saída, referentes à 0,5 e 1,0 V_{GATE} . Os gráficos exibidos aqui são referentes ao método de Werner e de Cheung.

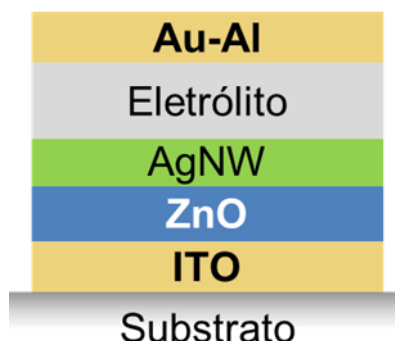


Figura 66 - Diagrama do SB-EG-VFET obtido ao posicionar o eletrólito sobre o diodo de ITO/ZnO/AgNW. A camada ativa de ZnO foi depositada por spray pirólise e eletrodo intermediário de AgNW depositado por spray como eletrodo permeável.

Apresentam-se na **Figura 67** os gráficos referentes ao Plot A. Nota-se que na região relativa ao regime de baixa voltagem, o gráfico de $G/I \times G$ para 1,0 e 0,5 V_{GATE} desvia do comportamento linear.

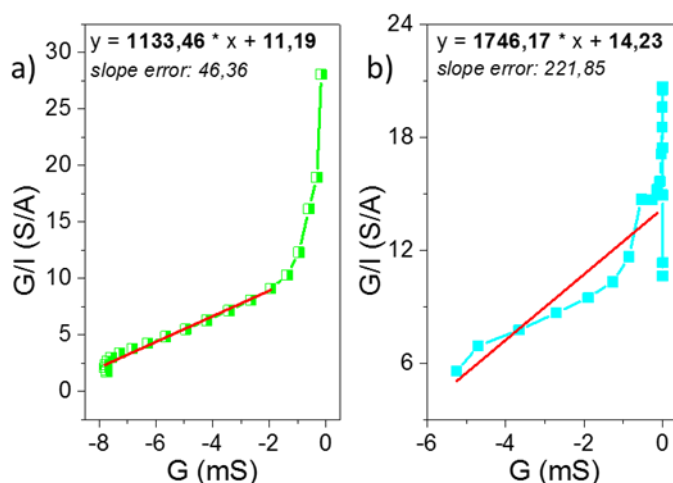


Figura 67 - Gráficos de $G/I \times G$ (Plot A) obtidos a partir dos dados de I-V da **Figura 54** para o SB-EG-VFET, com V_{GATE} igual a (a) 1,0 V e (b) 0,5 V. Tais gráficos são úteis para determinação de R_{serie} e n pelo método de Werner. As linhas vermelhas são referentes aos ajustes lineares, que resultam nas equações da reta apresentadas na parte superior de cada gráfico.

Os gráficos apresentados na **Figura 68** são referentes ao Plot C de Werner para 1,0 e 0,5 V_{GATE} . Conforme está explicado no item 2.2.3, este gráfico é similar ao obtido na primeira etapa do método de Cheung.

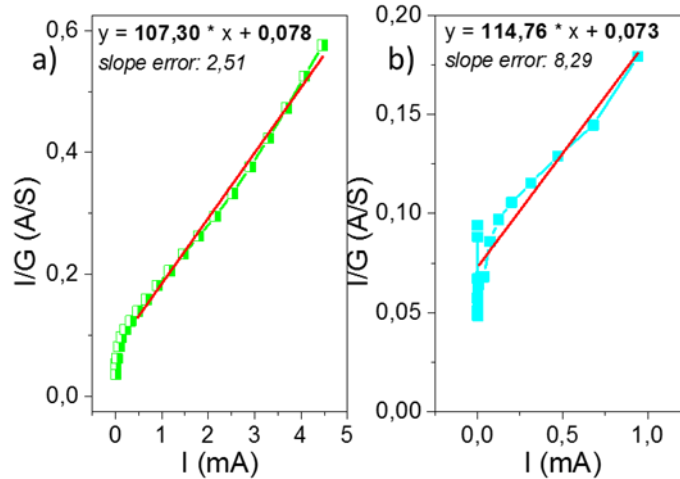


Figura 68 - Gráficos de $I/G \times I$ (Plot C) obtidos a partir dos dados de I-V da **Figura 54** para o para o SB-EG-VFET, com V_{GATE} igual a (a) 1,0 V e (b) 0,5 V. Tais gráficos são úteis para determinação de R_{serie} e n pelo método de Werner. As linhas vermelhas são referentes aos ajustes lineares, que resultam nas equações da reta apresentadas na parte superior de cada gráfico.

Para finalizar a análise dos dados de I-V referentes às curvas de saída com 0,5 e 1,0 V_{GATE} , aplicou-se a função $H(I)$ de Cheung definida na Equação 8 para calcular os valores de $\emptyset_b$. Para isso, os valores de n calculados a partir dos Plot A e C são aplicados em $H(I)$ de forma que além do cálculo de $\emptyset_b$, um segundo valor para R_{serie} é obtido. Os gráficos de $H(I) \times I$ são mostrados nas **Figura 69** e **Figura 70** referentes à 1,0 e 0,5 V_{GATE} ., respectivamente.

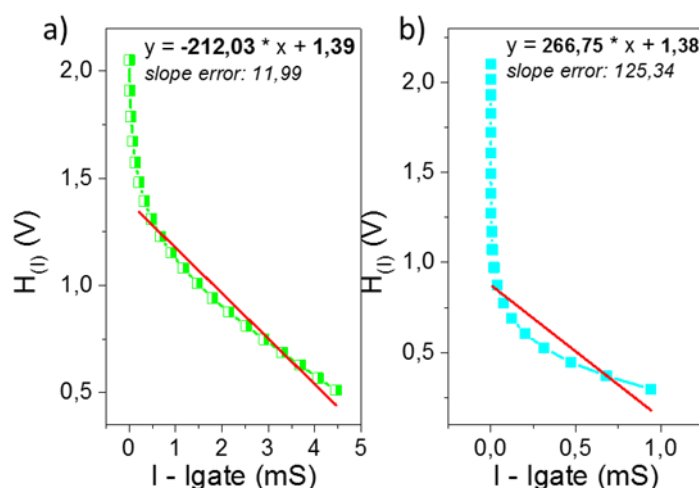


Figura 69 - Gráficos da função $H(I)$ de Cheung em função da corrente obtidos a partir dos valores de n calculados por meio do Plot A com V_{GATE} igual a (a) 1,0 V e (b) 0,5 V. Obtêm-se os valores de R_{serie} e $\emptyset_b$ por meio dos ajustes lineares (linhas vermelhas).

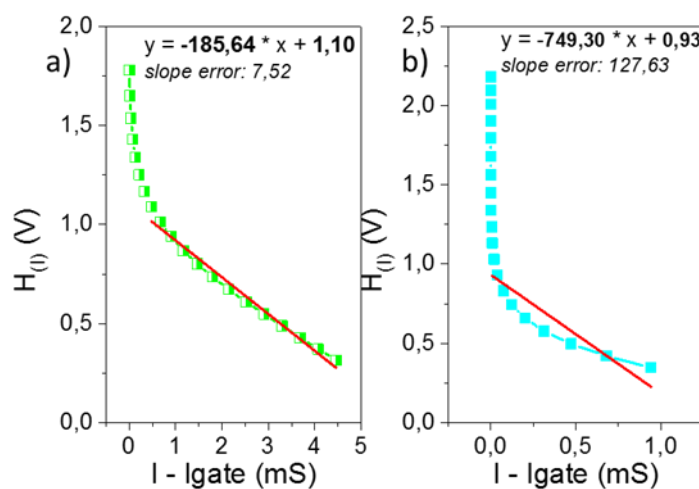


Figura 70 - Gráficos da função $H(I)$ de Cheung em função da corrente obtidos a partir dos valores de n calculados por meio do Plot C com V_{GATE} igual a (a) 1,0 V e (b) 0,5 V. Obtêm-se os valores de R_{serie} e $\emptyset_b$ por meio dos ajustes lineares (linhas vermelhas).

Apêndice II: Caracterizações adicionais de SB-EG-VFETs

II.1. SB-EG-VFETs com *gate* de ITO e grafite

Apresenta-se na **Figura 71** os gráficos de I_{DS} e I_{GATE} para o EG-SB-VFET utilizando ITO como eletrodo de *gate*. Observa-se um comportamento idêntico ao apresentado na **Figura 54** ao utilizar a mesma arquitetura, mas com eletrodo superior de Au atuando como *gate*.

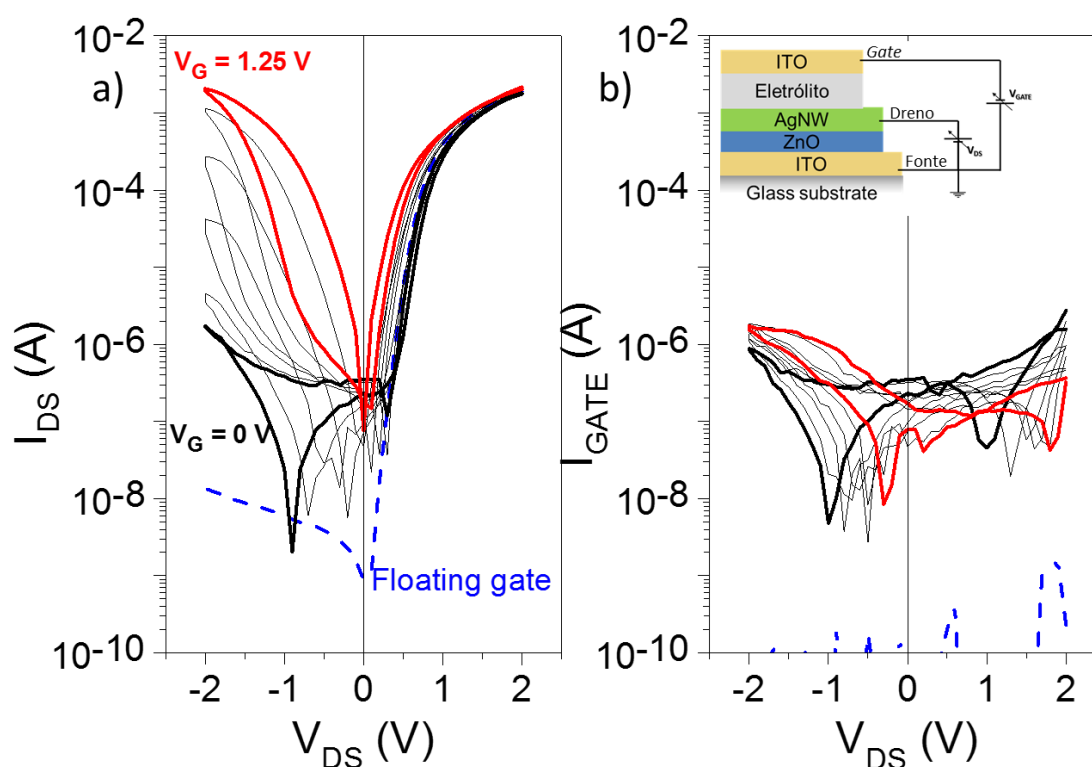


Figura 71 - (a) Curvas de saída referente ao transistor vertical com *gate* de ITO ilustrado no diagrama, com V_{GATE} variando entre 0 e 1,25 V. A linha pontilhada azul representa a curva de I-V medida no modo diodo utilizado como um valor de referência. (b) Corrente de fuga correspondente.

Apresenta-se na **Figura 72** as curvas de transferência referentes ao mesmo dispositivo, para diferentes valores de V_{DS} .

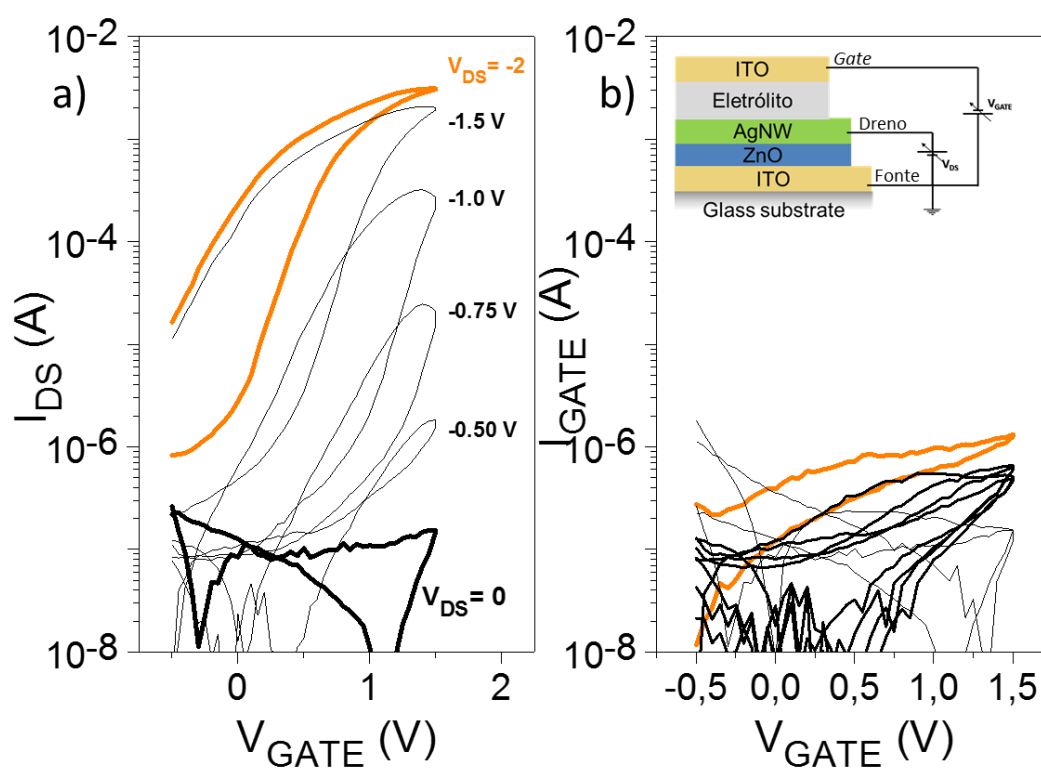


Figura 72 - (a) Curvas de transferência referente ao transistor vertical com *gate* de ITO ilustrado no diagrama, para diferentes valores de V_{DS} . (b) Corrente de fuga correspondente.

Apresenta-se na **Figura 73** as curvas de transferência medidas no mesmo transistor, submetidos à duas polarizações diferentes conforme ilustradas no *inset*. Para o comportamento apresentado na **Figura 73a**, o eletrodo de ITO da base foi aterrado enquanto que V_{DS} foi aplicada no eletrodo intermediário de AgNW. Nesta condição, I_{DS} atingirá o estado ligado para as polarizações $V_{DS} < 0$ e $V_{GATE} > 0$. Na **Figura 73b**, o AgNW foi aterrado enquanto V_{DS} foi aplicada na base de ITO, de forma que I_{DS} atingirá o estado ligado para as polarizações $V_{DS} > 0$ e $V_{GATE} > 0$. Tal comportamento é similar ao apresentado na **Figura 59**.

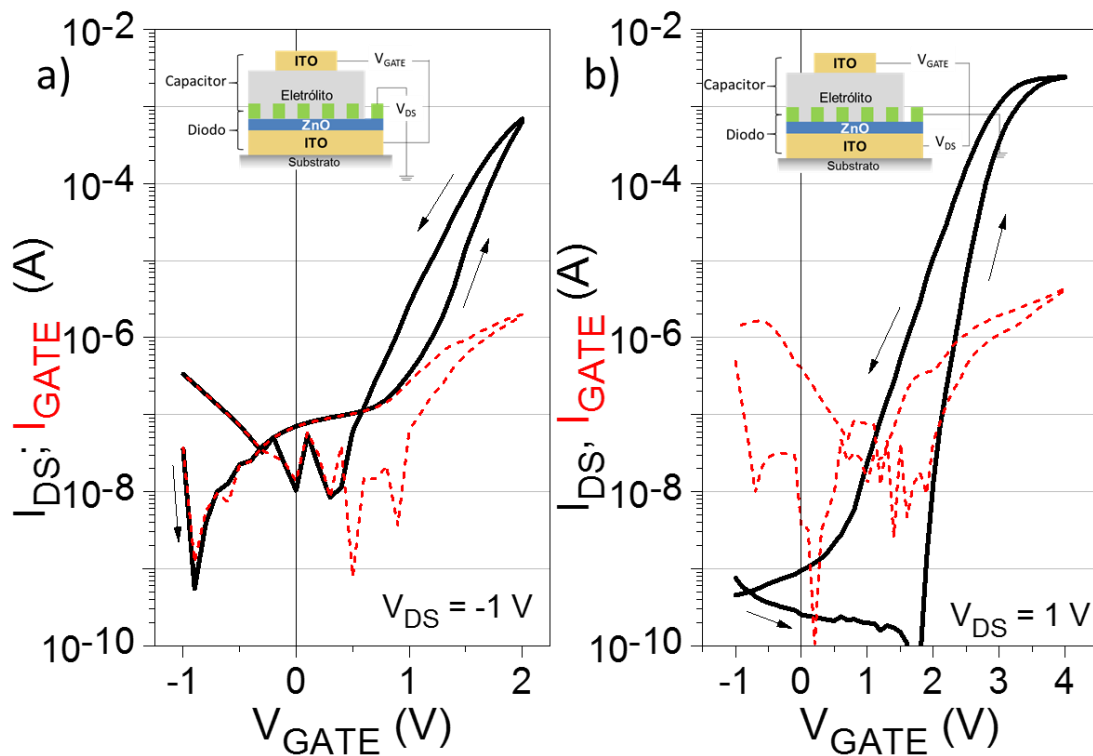


Figura 73 - Curvas de transferência para o mesmo transistor utilizando ITO como eletrodo de *gate* e com duas conexões diferentes, conforme ilustrado nos diagramas. (a) ITO da base aterrado e (b) com o eletrodo intermediário de AgNW aterrado.

De forma similar ao que já foi apresentado para Au (**Figura 59**) e ITO (**Figura 73**) como eletrodos de *gate*, apresenta-se na **Figura 74** as curvas de transferência medidas no mesmo transistor, submetidos à duas polarizações diferentes conforme ilustradas no *inset*. Para o comportamento apresentado na **Figura 74a**, o eletrodo de ITO da base foi aterrado enquanto

que V_{DS} foi aplicada no eletrodo intermediário de AgNW. Na **Figura 74b**, o AgNW foi aterrado enquanto V_{DS} foi aplicada na base de ITO.

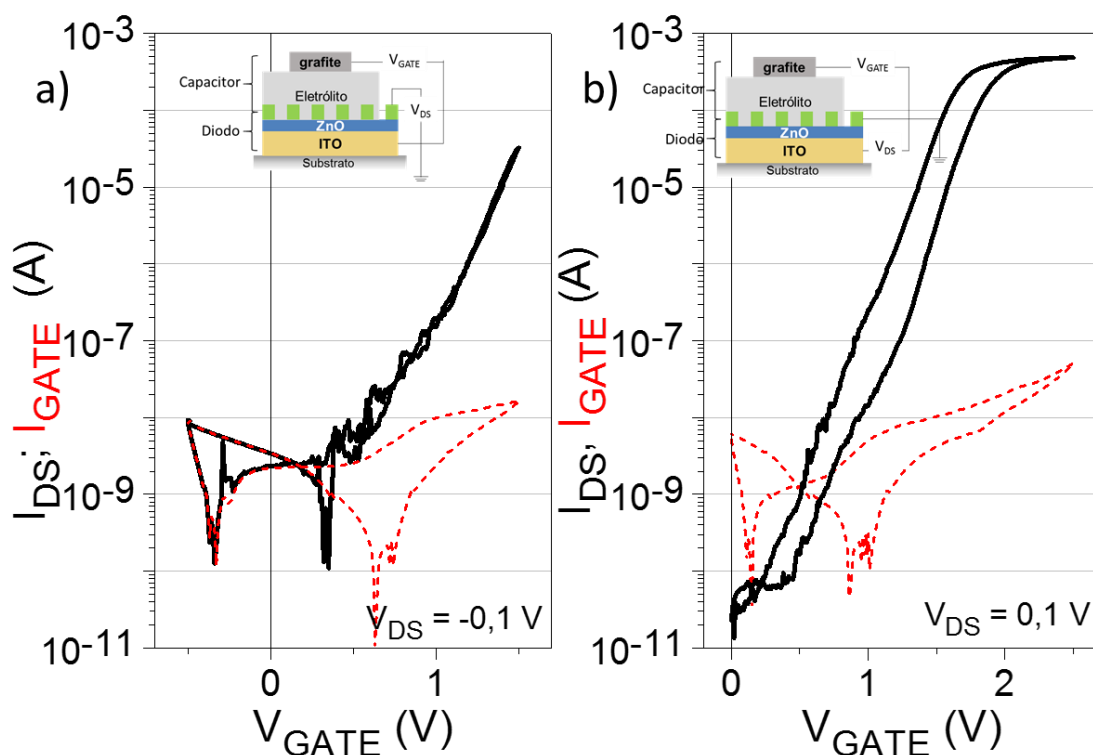


Figura 74 - Curvas de transferência para o mesmo transistor utilizando grafite como eletrodo de *gate* e com duas conexões diferentes, conforme ilustrado nos diagramas. (a) ITO da base aterrado e (b) com o eletrodo intermediário de AgNW aterrado.

II.2. Estabilidade do vertical

Para avaliar a suspeita de degradação do AgNW ao aplicar $V_{DS} > 0$ no EG-SB-VFET, realizou-se a caracterização exibida na **Figura 75**. O que foi proposto é uma medida de transferência inicial apresentada na **Figura 75a**, seguida da medida de quatro ciclos da curva de transferência para $V_{DS} = +1.0$ V apresentada na **Figura 75b**. Para $V_{DS} = +1.0$ V na arquitetura proposta, era esperado um valor alto de I_{DS} , com pouca variação ao longo dos ciclos de variação de V_{GATE} . Porém, observa-se na **Figura 75b** que o valor de I_{DS} diminui consideravelmente após os quatro ciclos da medida. Isso indica que $V_{DS} > 0$ é uma condição

que resulta na degradação do eletrodo de AgNW que está em contato com o eletrólito. Para complementar a avaliação da degradação do AgNW, repetiu-se a medida de transferência com $V_{DS} = -1$ V com os mesmos parâmetros da medida apresentada em **Figura 75a**. Como observado na **Figura 75c**, a corrente no canal realmente diminuiu para valores inferiores à corrente de fuga, indicando novamente a total degradação do eletrodo intermediário.

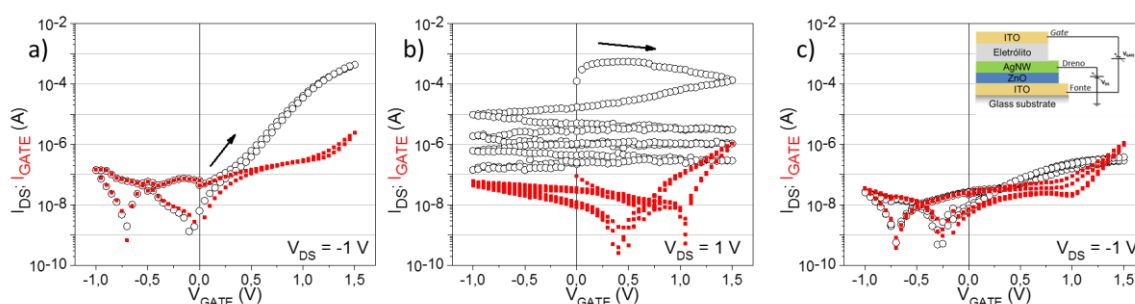


Figura 75 – Curvas de transferência para o dispositivo ilustrado no *inset*, com eletrodo de ITO da base aterrado e *gate* de Au. (a) Curva com $V_{DS} = -1$ V; (b) degradação de I_{DS} para $V_{DS} = 1$ V; e (c) curva para $V_{DS} = -1$ V após a degradação do dispositivo.

Apresenta-se na **Figura 76a** uma imagem dos AgNW depositados sobre o ZnO. Nesta imagem, é possível observar duas regiões distintas que foram separadas pela linha vermelha pontilhada. A diferença é que na região inferior, o eletrólito esteve em contato com o AgNW por alguns minutos. Ao retirar o eletrólito e obter essas imagens nas duas regiões, notou-se uma morfologia bastante diferente. Apresenta-se na **Figura 76b** uma imagem ampliada da região em que os AgNW estão normais, pois foi uma região onde não houve contato com o eletrólito. Na **Figura 76c**, a diferença de morfologia fica evidente. Tal evidência está de acordo com a suspeita, levantada durante a caracterização elétrica, de que os AgNW estão reagindo com o eletrólito. Estudos futuros devem ser realizados no sentido de inibir ou contornar tal degradação, a fim de aumentar a estabilidade do dispositivo proposto.

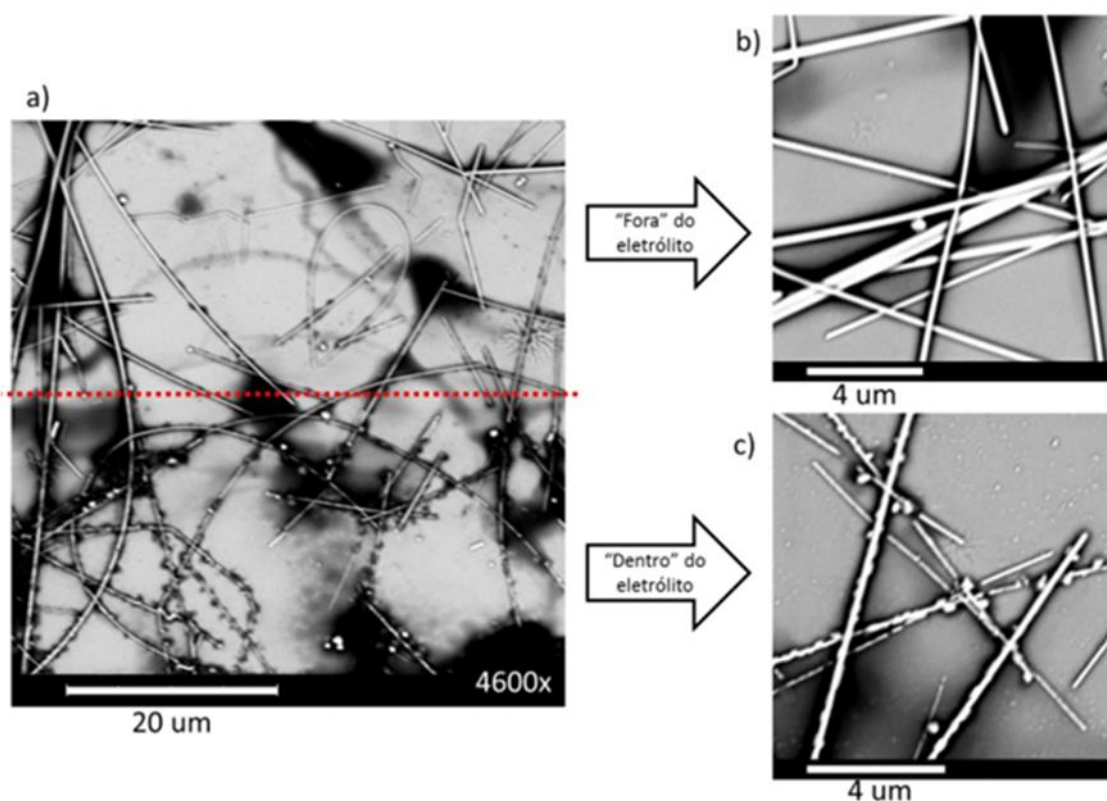


Figura 76 – Imagem de MEV dos AgNW depositados por spray. (a) Imagem da fronteira dentre duas regiões da amostra. (b) Imagem que destaca os AgNW não tiveram contato com o eletrólito. (c) Imagem que destaca os AgNW que tiveram contato direto com o eletrólito.

II.3. Estresse de voltagem e radiação UV

Apresenta-se na **Figura 77** as curvas de transferência para um mesmo EG-SB-VFET. As curvas da **Figura 77a** foram obtidas após submeter o transistor à polarização constante de $V_{\text{GATE}} = 1,5 \text{ V}$ e $V_{\text{DS}} = 0$, durante intervalos de tempo desde 1 até 30 minutos. Para as curvas da **Figura 77b**, observa-se o comportamento de I_{DS} ao incidir luz com comprimento de onda de 365 nm sobre o dispositivo. Essas duas medidas preliminares mostram que o estresse de tensão e a detecção de radiação UV são duas abordagens que podem ser exploradas no futuro, principalmente após o estudo cuidadoso da estabilidade do EG-SB-VFET.

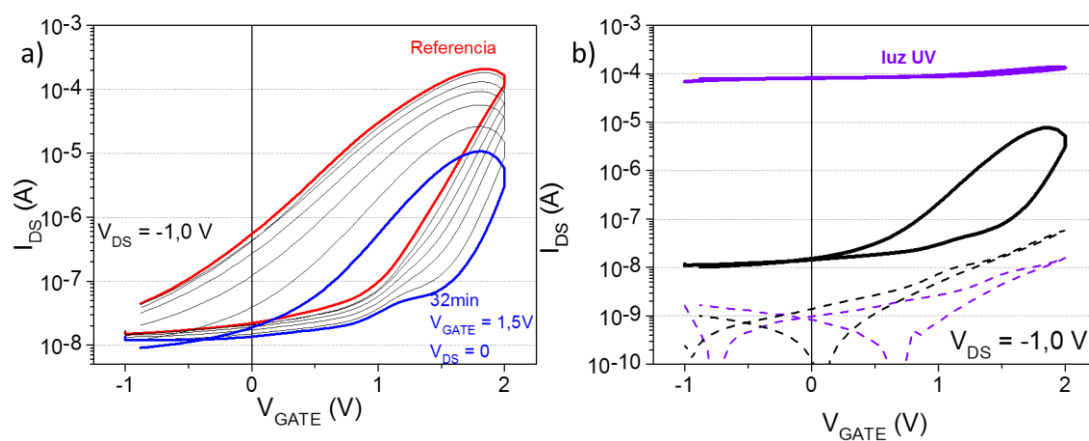


Figura 77 – Curvas de transferência para $V_{DS} = -1$ V. (a) Degradação de I_{DS} com sucessivo estresse de voltagem. (b) Comportamento de I_{DS} após incidência de radiação UV (365 nm).