

UNIVERSIDADE ESTADUAL PAULISTA “JÚLIO DE MESQUITA FILHO”
CÂMPUS EXPERIMENTAL DE SÃO JOÃO DA BOA VISTA
BACHARELADO EM ENGENHARIA ELETRÔNICA E DE
TELECOMUNICAÇÕES

THALES MOTA BRAGA

ANÁLISE DE TRANSISTORES FINFETS PARA APLICAÇÕES EM CIRCUITOS
DIGITAIS BÁSICOS

SÃO JOÃO DA BOA VISTA

2021

THALES MOTA BRAGA

ANÁLISE DE TRANSISTORES FINFETS PARA APLICAÇÕES EM
CIRCUITOS DIGITAIS BÁSICOS

Trabalho de Conclusão de Curso
apresentado à Universidade Estadual
Paulista “Júlio de Mesquita Filho” como
requisito para obtenção de título de
Bacharel em Engenharia Eletrônica e de
Telecomunicações.

Orientador: Profa. Dra. Paula Ghedini
Der Agopian

SÃO JOÃO DA BOA VISTA

2021

B813a Braga, Thales Mota
Análise de transistores FinFETs para aplicações em circuitos digitais básicos / Thales Mota Braga. -- São João da Boa Vista, 2021
58 p. : il., tabs.

Trabalho de conclusão de curso (Bacharelado - Engenharia de Telecomunicações) - Universidade Estadual Paulista (Unesp), Câmpus Experimental de São João da Boa Vista, São João da Boa Vista
Orientadora: Paula Ghedini Der Agopian

1. Semicondutores. 2. Nanoeletrônica. 3. Metal oxide semiconductors. 4. Eletrônica digital. 5. Circuitos impressos. I. Título.

Sistema de geração automática de fichas catalográficas da Unesp. Biblioteca do Câmpus Experimental de São João da Boa Vista. Dados fornecidos pelo autor(a).

Essa ficha não pode ser modificada.

UNIVERSIDADE ESTADUAL PAULISTA
“JÚLIO DE MESQUITA FILHO”
CÂMPUS EXPERIMENTAL DE SÃO JOÃO DA BOA VISTA
GRADUAÇÃO EM ENGENHARIA ELETRÔNICA E DE TELECOMUNICAÇÕES

TRABALHO DE CONCLUSÃO DE CURSO

**ANÁLISE DE TRANSISTORES FINFETS PARA APLICAÇÕES EM CIRCUITOS
DIGITAIS BÁSICOS**

Aluna: Thales Mota Braga

Orientadora: Prof^a. Dr^a. Paula Ghedini Der Agopian

Banca Examinadora:

1. Paula Ghedini Der Agopian (Orientadora)
2. André Alves Ferreira (Examinador)
3. Wilian Miranda dos Santos (Examinador)

A ata da defesa com as respectivas assinaturas dos membros encontra-se no prontuário do aluno (Expediente nº 006/2020)
--

São João da Boa Vista, 11 de março de 2021

RESUMO

Atualmente vivemos uma revolução tecnológica que requer circuitos integrados com altíssimo desempenho. Para melhorar cada vez mais este desempenho requerido a estratégia principal foi a redução do tamanho dos dispositivos para promover uma melhor integração dos dispositivos gerando circuitos mais complexos. A tecnologia MOSFET mostrou-se a mais promissora para este escalamento desde os anos 70 pois permite construir transistores de chaveamento rápido com baixa perda de potência e alta capacidade de escalonamento.

Com a miniaturização dos dispositivos e com a crescente necessidade de se obter dispositivos mais eficientes, as tecnologias de múltiplas portas conhecidas como FinFET (*Fin-Shaped Field Effect Transistor*) vem se destacando devido aos inúmeros benefícios relacionados ao menor consumo de energia, maiores velocidades de processamento e menores efeitos de canal curto em relação aos transistores MOS convencionais (conhecidos como Bulk).

Neste trabalho, foi estudada a aplicação dos transistores da tecnologia FinFET nos circuitos lógicos digitais, sendo as portas NOT, NAND e NOR através da análise dos principais parâmetros estáticos e dinâmicos. Este estudo baseou-se na comparação das portas lógicas implementadas tanto na tecnologia 3D (FinFET) quanto na bem conhecida tecnologia convencional (Bulk MOS), para efetivar uma comparação e demonstrar que os transistores FinFET, além de serem da ordem nanométrica, possuem melhor desempenho que os transistores MOS convencionais.

Palavras chaves: Tecnologia MOS, FinFET, Lógica digital

ABSTRACT

Currently, we are experiencing a technological revolution that requires integrated circuits with very high performance. To further improve this required performance, the main strategy was to reduce the size of the devices to promote a better integration of the devices generating more complex circuits. MOSFET technology has shown itself to be the most promising for this scaling since the 1970s as it allows the construction of fast switching transistors with low power loss and high scaling capacity.

With the miniaturization of devices and the growing need to obtain more efficient devices, the multi-port technologies known as FinFET (Fin-Shaped Field Effect Transistor) have stood out due to the numerous benefits related to lower power consumption, higher speeds of processing and lower short channel effects compared to conventional MOS transistors (known as Bulk).

In this work, the application of FinFET transistors in digital logic circuits was studied, with the NOT, NAND and NOR gates being analyzed through the main static and dynamic parameters. This study was based on the comparison of the logic gates implemented both in 3D technology (FinFET) and in the well-known conventional technology (Bulk MOS), to carry out a comparison and demonstrate that FinFET transistors, in addition to being of the nanometer order, have better performance than conventional MOS transistors.

Keywords: MOS technology, FinFET, Digital logic.

AGRADECIMENTOS

Dedico essa seção a todos os mestres que contribuíram com a minha formação acadêmica e profissional durante a minha vida. À Universidade Estadual Paulista – UNESP e todos os seus professores que sempre me proporcionaram um ensino de excelência. Em especial, à minha orientadora Paula Ghedini Der Agopian por inspirar e pela sua dedicação e paciência durante o projeto, seus conhecimentos fizeram completa diferença no trajeto de estudos e resultados deste trabalho. Por último, mas não menos importante, ao meu pai e à minha madrastra que sempre me incentivaram e me ajudaram a ter voracidade para a realização do trabalho.

LISTA DE FIGURAS

Figura 1 - Estrutura dos transistores MOSFETs na tecnologia planar Bulk. [2].....	15
Figura 2 - Estrutura do transistor FinFET. [4]	16
Figura 3 – Esquematização do inversor CMOS. [2]	19
Figura 4 - Representação da aleta, do óxido e da porta de um transistor FinFET. [5]	20
Figura 5 - Extração da tensão de limiar pelo método da segunda derivada.	22
Figura 6 - Inclinação de sublimiar representada. [3].....	23
Figura 7 - Extração da transcondutância.	24
Figura 8 - Curva de transferência estática com as regiões de operação de um inversor CMOS. [2]	26
Figura 9 - Curva de transferência dinâmica de um inversor CMOS. [2]	27
Figura 10 - Símbolos e comportamento operacional das portas lógicas. [7].....	28
Figura 11 - Esquematização elétrica das portas lógicas NAND e NOR. [8].....	29
Figura 12 – Circuito esquemático do chip CD4007.	30
Figura 13 - FinFET utilizado na pesquisa.	31
Figura 14 - Curva de transferência do transistor NMOS convencional (simulada e experimental).	33
Figura 15 - Curva de transferência simulada/experimental do transistor NFinFET L150W20. .	35
Figura 16 - Curva de transferência simulada/experimental do transistor NFinFET L150W40. 35	
Figura 17 - Curva de transferência simulada/experimental do transistor NFinFET L150W120. 36	
Figura 18 - Gráficos de barras para os parâmetros básicos dos transistores MOS para efeito de comparação entre os dispositivos canal N (barras vermelhas) e canal P (barras azuis) de diferentes tecnologias.	38
Figura 19 - Gráfico de barras para transcondutância normalizada, comparando o NMOS (barras vermelhas) e o PMOS (barras azuis) entre as tecnologias FinFET e Bulk.	38
Figura 20 - Curva de transferência com a curva de transcondutância do NFinFET L150W20. .	39
Figura 21 - Curva de transferência simulada/experimental do transistor PMOS Bulk.....	40
Figura 22 - Curva de transferência simulada/experimental do transistor PFinFET L150W20. ..	40
Figura 23 - Curva de transferência simulada/experimental do transistor PFinFET L150W40. ...	41
Figura 24 - Curva de transferência simulada/experimental do transistor PFinFET L150W120. 41	
Figura 25 - Inversor CMOS Bulk experimental e simulado utilizando o CI CD4007.	44
Figura 26 – Curva de transferência do inversor lógico e exemplo de extração de parâmetros na análise estática do inversor CMOS Bulk.....	45
Figura 27 - Análise dinâmica do inversor CMOS Bulk.	46
Figura 28 - Análise dinâmica do inversor CMOS construído com tecnologia Bulk BSIM3 V2. 47	
Figura 29 - Inversor CMOS utilizando o FinFET L150W20.	49
Figura 30 - Inversor CMOS utilizando o FinFET L150W40.	50
Figura 31 - Inversor CMOS utilizando o FinFET L150W120.	51
Figura 32 - Curvas da simulação de uma porta lógica NAND na tecnologia MOS planar.	53
Figura 33 - Extração dos tempos de subida, descida e de atraso da porta NAND com tecnologia planar MOS.	54
Figura 34 - Curva dinâmica da porta lógica NAND simulada na tecnologia Bulk BSIM3 V2. .	54
Figura 35 – Deslocamento na subida do nível lógico baixo para alto de uma NAND implementada na tecnologia FinFET L15020 e na L150W40	55
Figura 36 - Curvas da simulação de uma porta lógica NOR na tecnologia MOS planar.	56

Figura 37 - Extração do tempo de subida (time-rise) da porta lógica NOR na tecnologia planar.	
.....	56
Figura 38 - Extração do tempo de descida (time-fall) da porta lógica NOR na tecnologia planar.	
.....	57
Figura 39 - Simulação da porta NOR na tecnologia planar BSIM3 V2.	58
Figura 40 - Simulação da porta NOR utilizando a tecnologia FinFET L150W20.	60

LISTA DE TABELAS

Tabela 1 - Parâmetros extraídos dos transistores convencionais.....	34
Tabela 2 - Parâmetros extraídos dos transistores FinFETs medidos no IMEC.....	34
Tabela 3 - Inversores CMOS simulados e os valores dos parâmetros extraídos.....	48

LISTA DE SÍMBOLOS

W_{EF}	Largura efetiva do canal do FinFET (nm)
H_{FIN}	Altura da aleta do FinFET (nm)
W_{FIN}	Largura da aleta do FinFET (nm)
V_g	Tensão de porta (V)
V_{gs}	Tensão de porta para fonte (V)
V_t	Tensão de limiar (V)
V_{FB}	Tensão de faixa plana (V)
Φ_F	Potencial de fermi (V)
q	Carga do portador (C)
N_A	Concentração de dopantes aceitadores (cm ⁻³)
x_{dmax}	Distância máxima de depleção específica (m)
SS	Inclinação de sublimiar (mV/d)
I_D	Corrente de dreno (A)
I_{DS}	Corrente de dreno para fonte (A)
g_m	Transcondutância (S)
μ	Mobilidade de portadores (cm ² /VS)
C_{OX}	Capacitância no óxido (F)
L	Comprimento de canal (nm)
W	Largura de canal (nm)
t_{BOX}	Espessura do óxido enterrado (nm)
EOT	Espessura efetiva do óxido (nm)
V_{DS}	Tensão de dreno para fonte (V)
V_E	Tensão de entrada (V)
V_S	Tensão de saída (V)
V_{DD}	Tensão aplicada no dreno do transistor (V)
NOT	Porta lógica inversora
NAND	Porta lógica do tipo “E invertido”
NOR	Porta lógica do tipo “Ou invertido”

OR	Porta lógica do tipo “Ou”
AND	Porta lógica do tipo “E”
<i>Size</i>	Tamanho do dispositivo
$g_{mMÁX}$	Transcondutância máxima do dispositivo (S)
V_{INV}	Tensão de inversão lógica (V)
V_{tp}	Tensão de limiar do PMOS (V)
V_{tn}	Tensão de limiar do NMOS (V)
V_{in}	Tensão de entrada de um inversor (V)
V_{out}	Tensão de saída de um inversor (V)
β	Fator de ganho (F/V.S)
β_n	Fator de ganho do transistor NMOS (F/V.S)
β_p	Fator de ganho do transistor PMOS (F/V.S)
MRH	Margem de ruído em nível alto (V)
MRL	Margem de ruído em nível baixo (V)
t_D	Tempo de atraso (ns)
t_f	Tempo de descida (ns)
t_r	Tempo de subida (ns)
A_v	Ganho do inversor (V/V)
CL	Capacitância de carga (F)
Fin	Aleta do transistor FinFET

LISTA DE ABREVIATURAS

NMOS	Transistor MOSFET tipo canal N
PMOS	Transistor MOSFET tipo canal P
NFINFET	Transistor do tipo FinFET de canal N
PFINFET	Transistor do tipo FinFET de canal P
<i>Bulk</i>	Transistor MOSFET do tipo planar
SiO ₂	Dióxido de silício
MOSFET	Transistor de efeito de campo Metal-óxido-semicondutor
SOI	<i>Silicon On Insulator</i>
FinFET	Transistor de efeito de campo com Aleta
CMOS	<i>Complementary Metal-Oxide Semiconductor</i>
MOS	Metal-Oxide semiconductor

Sumário

1.	INTRODUÇÃO	15
1.2	Objetivos do Trabalho	17
1.3	Estrutura da monografia	17
2.	REVISÃO BIBLIOGRÁFICA.....	19
2.1	A Tecnologia <i>Bulk</i> CMOS	19
2.2	A Tecnologia FinFET.....	19
2.3	Os Parâmetros de dispositivos	21
2.3.1	Tensão de Limiar	21
2.3.2	Inclinação de Sublimiar	23
2.3.3	Transcondutância	24
2.3.4	Mobilidade de Portadores.....	25
2.4	O Inversor CMOS	25
2.4.1	Comportamento Estático	25
2.4.2	Comportamento Dinâmico.....	27
2.5	Portas Lógicas (NAND e NOR)	27
3.	MATERAIS E MÉTODOS	29
3.1	Características dos dispositivos.....	30
3.1.1	MOSFETs planares.....	30
3.1.2	FinFETs.....	31
3.2	Simulações.....	32
4.	RESULTADOS E DISCUSSÕES.....	32
4.1	Caracterização elétrica dos dispositivos	32
4.1.1	NMOS	33
4.1.2	PMOS	39
4.2	Inversores CMOS	42
4.2.1	Convencional	43
4.2.2	FinFETs.....	47
4.2.3	Inversor FinFET L150W20	48
4.2.4	Inversor FinFET L150W40	49
4.2.5	Inversor FinFET L150W120.....	50
4.3	Porta Lógica NAND	51
4.4	Porta Lógica NOR.....	55
5.	CONCLUSÃO	61
	REFERÊNCIAS.....	62

1. INTRODUÇÃO

A fim de melhorar cada vez mais o desempenho dos circuitos integrados utilizados na evolução tecnológica em que se vive atualmente, se faz obrigatório reduzir o tamanho dos dispositivos para promover uma melhor integração destes nos circuitos, e assim poder escalar mais dispositivos em um pequeno espaço. A observação feita por Gordon Moore prevê que a cada 18 meses a quantidade de transistores por área de circuito será dobrada [1].

A tecnologia MOSFET refere-se a transistores de efeito de campo com uma estrutura metal-óxido-semicondutor, onde o semicondutor é geralmente de silício. É importante ressaltar que os transistores MOS são definidos em transistores NMOS e PMOS, onde o primeiro é de canal N e o segundo de canal P, sendo que o tipo de dopagem define o tipo de transistor, como pode ser notado na Figura 1.

Os transistores MOSFETs ganharam grande notoriedade pois os mesmos possuem alta escalabilidade e, além disso, possui notável rapidez de chaveamento e um processo de fabricação mais simples, fazendo comparação com os transistores bipolar de junção. Além disso, os projetistas de circuitos integrados têm utilizado os transistores MOS de forma bem efetiva no projeto de circuitos digitais e analógicos, reduzindo o número de outros componentes no circuito (como os resistores), utilizando, quase que exclusivamente os MOSFETs. [2]

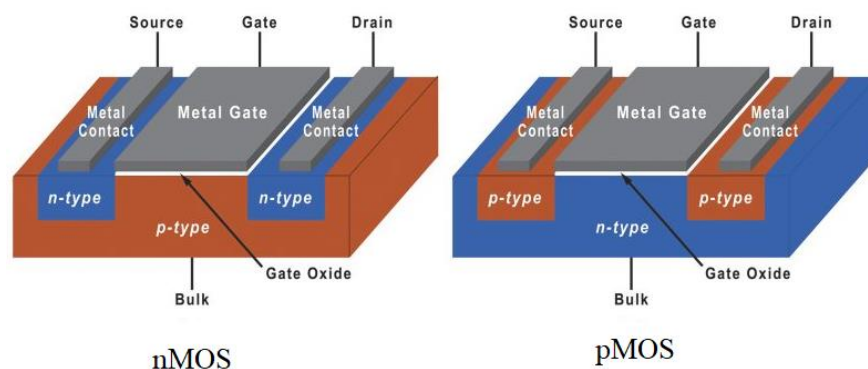


Figura 1 - Estrutura dos transistores MOSFETs na tecnologia planar Bulk. [2]

No cenário atual, as reduções extremas fazem com que o uso de transistores MOSFETs convencionais (dispositivos planares) seja limitado devido aos efeitos de canal curto. A primeira tecnologia que surgiu para solucionar tal problema foi a tecnologia SOI (*Silicon On Insulator*), essa tecnologia utiliza uma camada de silício sobre um isolante, sendo o SiO_2 o mais utilizado, mantendo a parte ativa do silício isolada do restante do substrato. [3] Entretanto, apesar da melhoria dos efeitos de canal curto com os transistores construídos sobre lâminas SOI, com a contínua evolução dos dispositivos, mesmo a tecnologia SOI, começa a apresentar problemas com o controle das cargas na região de canal para transistores com comprimento de canal abaixo de 32nm. Desta forma, novas alternativas foram buscadas e surgiram os transistores de múltiplas portas. [3]

Dentre esta nova categoria de transistores, um dos mais conhecidos é o FinFET ou Transistores 3D. Este tipo de transistor é fabricado em uma “aleta” de silício, como ilustrada na Figura 2, fazendo com que a porta esteja nas laterais e no topo do canal do dispositivo aumentando sua densidade de corrente e trazendo um maior controle da porta sobre as cargas do canal, assim reduzindo os problemas de canal curto. Além disso, estudos anteriores apresentam que os FinFETs possuem uma inclinação de sublimiar muito próxima do ideal, ou seja, resultando em um chaveamento mais rápido do dispositivo [3] [4].

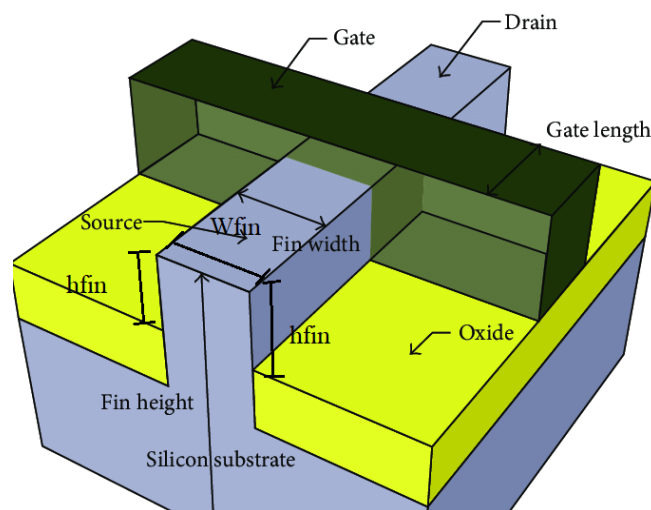


Figura 2 - Estrutura do transistor FinFET. [4]

Uma vez que este trabalho é focado em transistores FinFETs para as aplicações em circuitos digitais, é importante ressaltar que os dispositivos FinFETs são conhecidos por ter ótima escalabilidade para nós tecnológicos de 14nm ou inferiores [5]. Sendo assim, é possível dizer que por esses dispositivos serem bem reduzidos, podem ser integrados em CIs que contém milhões deles.

Para estudar a aplicabilidade dos FinFETs na lógica digital, foi utilizado o circuito mais básico da eletrônica digital, o inversor CMOS, que consiste na ligação de um transistor canal N com um transistor canal P, promovendo na saída dos drenos o nível lógico invertido em relação ao que foi inserido na entrada (portas dos transistores). Além do inversor, foi também implementada a lógica NAND e a lógica NOR, e assim como na porta NOT (ou inversora), é possível avaliar as condições de operação através da curva de transferência (estática) ou ainda através das curvas dinâmicas, como por exemplo as curvas dos sinais de entrada e saída em função do tempo.

1.2 Objetivos do Trabalho

O presente trabalho teve como foco principal o estudo de portas lógicas básicas, como NOT, NAND e NOR, quando projetadas com transistores FinFETs. Para podermos avaliar o desempenho destes transistores nos circuitos digitais e entender melhor o seu comportamento, inicialmente foram estudados os parâmetros básicos dos transistores FinFETs como a sua tensão de limiar, sua inclinação de sublimiar e sua transcondutância. Após esta etapa os circuitos foram implementados e suas características foram comparadas aos circuitos projetados com a tecnologia MOSFET convencional, assim verificando a possível melhor eficiência e desempenho dos transistores 3D na sua operação, seja no funcionamento como transistor ou no funcionamento aplicado às portas lógicas.

1.3 Estrutura da monografia

Esta monografia está organizada em cinco capítulos apresentados na seguinte sequência:

Capítulo 1: Na introdução é apresentada a contextualização da importância dos dispositivos MOS para a evolução da microeletrônica e nanotecnologia, assim como a necessidade da redução do tamanho dos transistores ocasionando o problema dos efeitos de canal curto que motivaram na concepção dos transistores de múltiplas portas e em especial o FinFET, que é objeto de estudo deste trabalho.

Capítulo 2: Ao longo da Revisão Bibliográfica apresenta-se o transistor FinFET e suas características básicas além de apresentar a forma de operação do inversor CMOS.

Capítulo 3: São citados todos os materiais e métodos utilizados neste trabalho.

Capítulo 4: É demonstrado todos os resultados obtidos na pesquisa e discutido os tais, olhando pros dispositivos NMOS e PMOS, planar e FinFET, além de estudar os inversores, as NANDs e as NORs, também pra ambas tecnologias.

Capítulo 5: Por fim, é imposta uma conclusão do trabalho em questão, apresentando todas as informações detalhadas do que foi adquirido do tal.

já ficam autoalinhados e possibilitam mais volume para fluir corrente entre dreno e fonte, quando comparados a um transistor planar com a mesma área. [3]

Como a porta envolve a aleta em três dimensões, um maior acoplamento eletrostático é obtido na região de canal e por consequência temos maior controle das cargas do canal, melhorando a performance do transistor e reduzindo os problemas de fuga de corrente causada pelos efeitos de canal curto. Este alto acoplamento entre as portas resulta também em uma inclinação de sublimiar muito próxima ao limite teórico (ideal) que é de 60mV/dec à temperatura ambiente. Isso também permite o uso de uma Tensão de limiar mais baixa e resulta em melhor desempenho e menor dissipação de energia no dispositivo. [4]

É importante ressaltar que o termo FinFET é usado de forma genérica, isto é, às vezes é usado para descrever arquiteturas de transistores Multigate (mais de uma porta pra controle) baseadas em “Fins”, independentemente do número de portas (pode ter 2, 3 ou 3+ portas). Para fins de curiosidade sobre a tecnologia estudada, a tecnologia FinFET leva tal nome pelo fato de que a estrutura FET usada parece um conjunto de nadadeiras (ou aletas) quando vista. Na verdade, o FinFET ganhou seu nome dos Profs. Chenming Hu, Tsu-Jae King-Liu e Jeffrey Bokor, da Universidade da Califórnia, Berkeley, foram os primeiros a usar o termo como resultado da forma da estrutura.

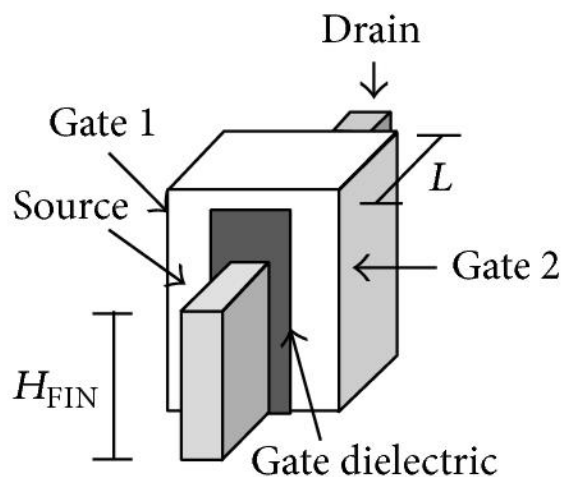


Figura 4 - Representação da aleta, do óxido e da porta de um transistor FinFET. [5]

Através da ilustração da Figura 4, é possível analisar mais abrangentemente como é a estrutura do FinFET. Utilizando a Figura 1 e a Figura 2 é necessário ver que existe uma diferença na forma que é vista a largura de canal do transistor. Isso se dá pelo fato de o canal estar em 3 dimensões, portanto a largura do mesmo é dada pela equação (1).

$$W_{EF} = 2H_{FIN} + W_{FIN} \quad (1)$$

onde H_{FIN} é a altura da aleta, W_{FIN} é a largura da aleta e W_{EF} é de fato a largura efetiva da aleta. Vale ressaltar, que para otimizar um transistor FinFET, pode-se buscar por um W_{FIN} bem fino, garantindo bom acoplamento de porta no transistor.

Das vantagens da utilização dos transistores FinFETs pode-se dizer que estes podem ser extremamente reduzidos, sendo possível ultrapassar a barreira dos 20nm, além dos fatores de potência, os transistores consomem menos energia que os transistores planares convencionais, foi notado melhoria de até 150%. [5] Ainda em termos das vantagens em utilização, esses transistores são mais rápidos que os convencionais (geralmente 30% mais rápido) e o mais importante, a corrente de fuga no canal é reduzida, geralmente, em 90%. [6]

2.3 Os Parâmetros de dispositivos

2.3.1 Tensão de Limiar

A tensão de limiar, de forma muito direta, é a tensão mínima que precisa ser aplicada na porta do transistor para que este permita a passagem de corrente entre os terminais de dreno e fonte. Em outras palavras, é a tensão a partir da qual todo incremento de tensão acima desta será utilizada para a formação da camada de inversão no transistor. Focando no transistor NMOS modo enriquecimento, pode-se descrever o funcionamento do transistor a partir da camada do canal logo abaixo do dielétrico de porta. Para uma tensão $V_g < V_{FB}$ (tensão de faixa plana), o canal do transistor se encontra em acumulação, ou seja, as cargas majoritárias estão sendo atraídas fortemente para a região. Já no caso de $V_{FB} < V_g < V_t$, o canal se encontra em modo depleção e até então, o transistor não se encontra em operação. Entretanto, a partir do momento em que $V_g > V_t$, é criada uma concentração de portadores minoritários na superfície do canal, permitindo a passagem de corrente entre fonte e dreno. [2]

A tensão de limiar nos dispositivos MOSFETs pode ser dada pela equação (2).

$$V_t = V_{FB} + 2 \cdot \Phi_F + \frac{q \cdot N_A \cdot x_{dmax}}{C_{ox}} \quad (2)$$

onde V_{FB} é a tensão de faixa plana, Φ_F é o potencial de Fermi, q é a carga do portador (elétron para o NMOSFET), N_A é a concentração de dopantes aceitadores (tipo P), x_{dmax} é a distância máxima que a depleção ocorre partindo da interface entre óxido de porta e canal, e C_{ox} é a capacitância do óxido de porta. [2]

O método de extração de V_t utilizado neste trabalho foi o método da segunda derivada [2], esse método consiste em aplicar uma derivada de segunda ordem na curva $I_{DS} \times V_g$, observando seu ponto de máximo. O valor de V_g correspondente a este valor de máximo é o valor da tensão de limiar do transistor. A Figura 5 mostra a segunda derivada de uma curva $I_{DS} \times V_g$, ilustrando esse método.

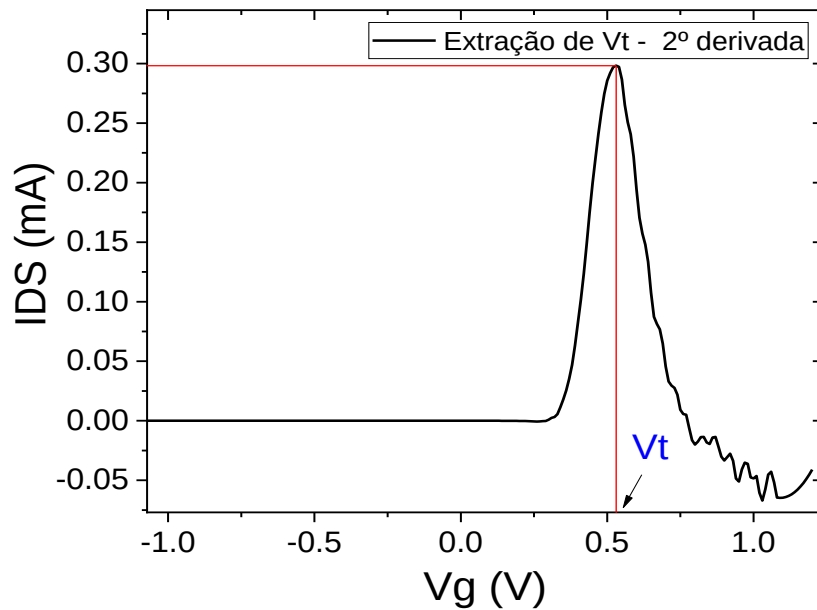


Figura 5 - Extração da tensão de limiar pelo método da segunda derivada.

2.3.2 Inclinação de Sublimiar

A inclinação de sublimiar (SS) é um parâmetro importante para medir a qualidade de um transistor, uma vez que este parâmetro nos mostra o quão rápido o dispositivo consegue chavear do seu modo desligado (*Off-State*) para o seu estado ligado (*On-State*).

A inclinação da região de sublimiar é dada pela variação da tensão de porta (V_g) necessária para causar a variação de uma década na corrente de dreno (I_D) com o dispositivo operando na região logo abaixo da tensão de limiar. [2]

A Figura 6 ilustra a inclinação de sublimiar em um gráfico de corrente de dreno pela tensão de porta de um transistor MOSFET genérico. É necessário ressaltar que pra extrair esse parâmetro nesse trabalho foi utilizado o método da extrapolação linear, da mesma forma do gráfico da Figura 6. [2]

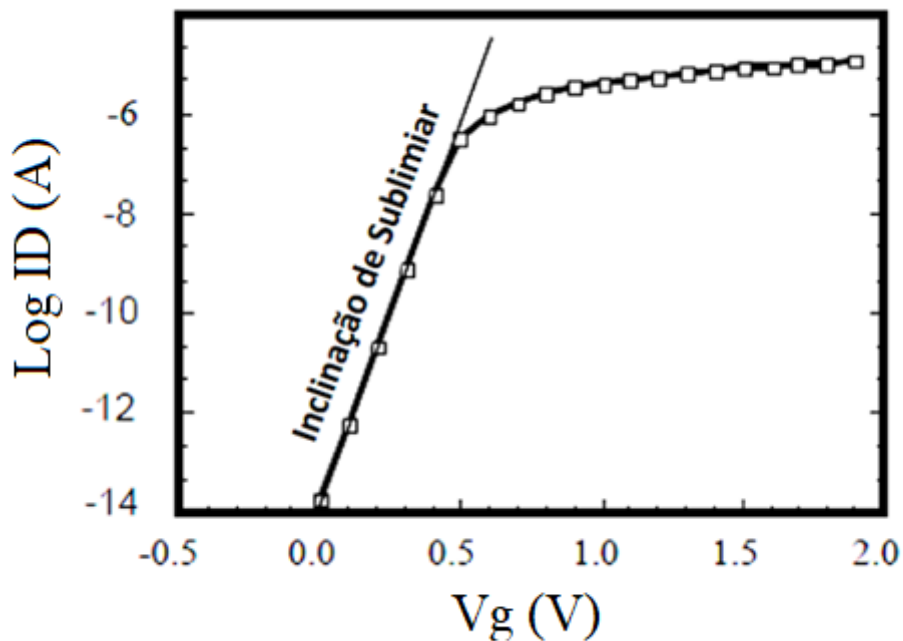


Figura 6 - Inclinação de sublimiar representada. [3]

2.3.3 Transcondutância

De modo generalizado, o parâmetro de transcondutância (g_m) é, assim como o parâmetro da inclinação de sublimiar, um parâmetro qualitativo, que mede o quanto a tensão aplicada a porta consegue controlar as cargas no canal, isto é, quanto a porta controla a corrente no dispositivo. [2]

Matematicamente, a transcondutância é dada pela derivada da corrente de dreno em função da tensão de porta [2], dada pela equação (3).

$$g_m = \frac{dIDS}{dV_{gs}} \quad (3)$$

A Figura 7 demonstra como foi feita a extração desse parâmetro neste trabalho. Para tal, bastou fazer a derivada de primeira ordem da corrente de dreno pela tensão de porta e obter o valor máximo da curva, que é também o valor máximo da transcondutância no transistor em questão.

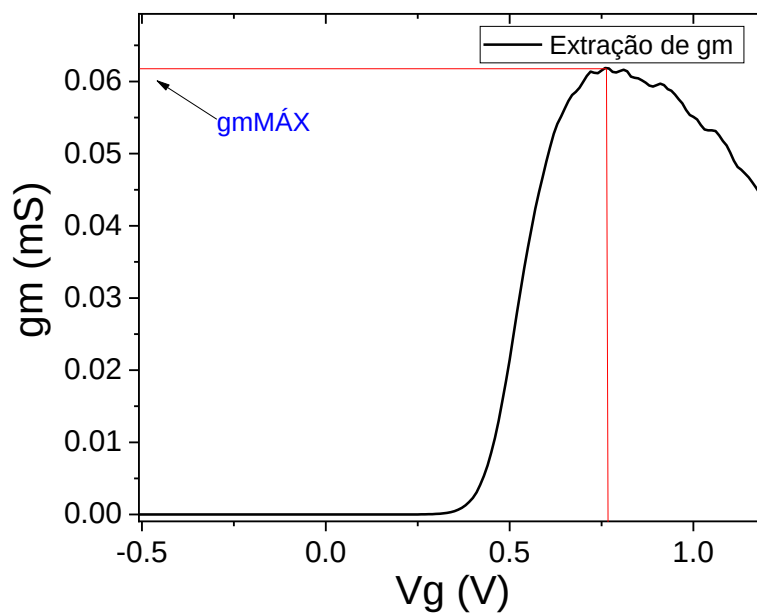


Figura 7 - Extração da transcondutância.

2.3.4 Mobilidade de Portadores

O parâmetro de Mobilidade de portadores mensura quão rápido os elétrons se movem no dispositivo. [2] Uma das formas de se obter a mobilidade dos portadores em um transistor MOS é através da transcondutância, uma vez que a mobilidade do portador é diretamente proporcional a g_m , a partir da transcondutância máxima obtida em triodo (baixo V_{DS}) podemos nos utilizar a equação (4) para calcular a mobilidade. [2]

$$\mu = \frac{L}{W \cdot C_{ox} \cdot V_{DS}} \cdot g_m \quad (4)$$

onde, μ é a mobilidade, L é o comprimento do canal, W é a largura deste, C_{ox} é a capacitância no óxido, V_{DS} é a tensão medida entre dreno e fonte e g_m é a transcondutância.

2.4 O Inversor CMOS

O inversor CMOS é o circuito digital mais básico, composto pela associação série do NMOS com PMOS, com os terminais de porta curto-circuitados. O transistor PMOS tem sua fonte ligada ao VDD e o transistor NMOS tem a fonte ligada ao terra, isto é, a queda de tensão entre a porta e a fonte do PMOS ($V_{gs} = V_E - V_{DD}$) mantém-se nula ou menor que zero, enquanto para o transistor NMOS (V_E) a queda de tensão será maior ou igual a zero. Outra informação importante de se mencionar é que o substrato do PMOS precisa ser conectado à alimentação VDD e o substrato do NMOS precisa ser conectado ao terra, para garantir a polarização reversa entre as regiões de fonte e dreno e o substrato, i.e., com o interesse de manter todas as junções PN reversamente polarizadas. [2]

2.4.1 Comportamento Estático

Através de [2], foi possível compreender o modo de operação do inversor CMOS, entendendo a curva de transferência estática do circuito inversor. Nesta curva, apresentada na figura 8, vemos que o inversor CMOS trabalha com 5 regiões de operação (A,B,C,D e E). Na região “A” a tensão na entrada V_E é inicialmente nula, a diferença de potencial entre a porta e a fonte do PMOS será - VDD e a do NMOS será nula, logo, o transistor PMOS conduz (operação em triodo) enquanto o NMOS está cortado, o

transistor PMOS conduz o nível lógico alto (V_{DD}) para a saída. Na região B, eleva-se a tensão de entrada para um valor maior que o V_t do NMOS, fazendo haver passagem de corrente através da estrutura, reduzindo o potencial de saída do inversor, portanto o NMOS fica em saturação e o PMOS permanece em triodo. Continuando a aumentar a tensão V_E , têm-se a região C, onde os dois transistores entram em região de saturação, passando a corrente pelo canal dos mesmos, nessa região há uma súbita diminuição da tensão de saída em função da tensão de entrada, denominando-se tensão de inversão lógica (V_{INV}). A região D refere-se ao momento em que a entrada é polarizada com uma tensão maior que V_{INV} , quando o NMOS para de conduzir em saturação e começa a conduzir em triodo, PMOS mantém-se em saturação. Por fim, na região E, elevando V_E para um valor na qual a tensão entre porta e fonte do PMOS seja inferior ao seu V_t , este passará à região de corte, enquanto o NMOS permanece em triodo. Nesse caso, tem-se o inverso da região A, o transistor NMOS conduz o potencial de terra para a saída V_S , caracterizando o funcionamento de inversor. [2]

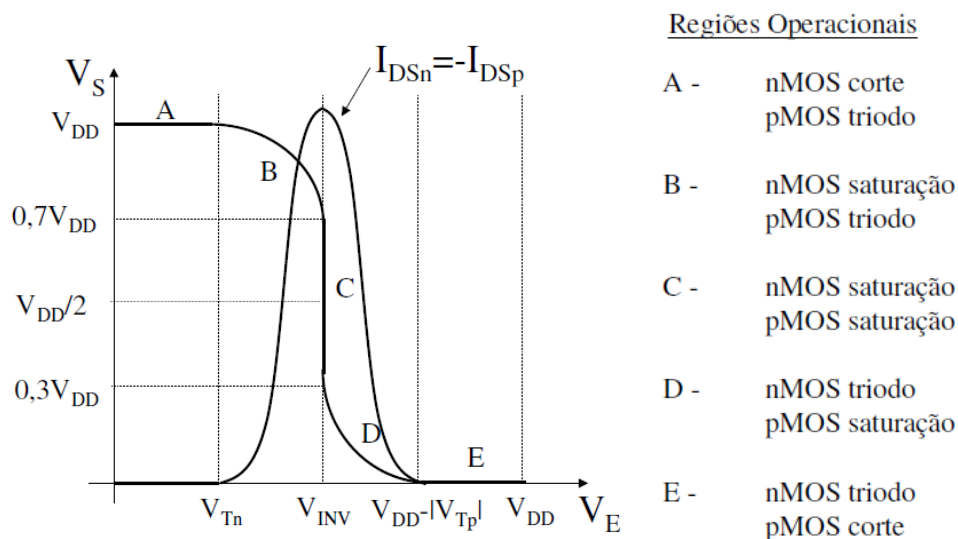


Figura 8 - Curva de transferência estática com as regiões de operação de um inversor CMOS. [2]

2.4.2 Comportamento Dinâmico

Outra forma de analisar o inversor CMOS é através da sua curva de transferência dinâmica, isto é, aplica-se um sinal quadrado na entrada do dispositivo e observa-se o sinal apresentado na saída. Como visto na Figura 9, há um atraso de propagação do sinal de saída em relação ao sinal de entrada, tal atraso pode ser mensurado através dos tempos de subida e descida. O tempo de descida (t_f) refere-se ao intervalo necessário para que o sinal de saída decresça de $0,9V_{DD}$ até $0,1V_{DD}$. De forma análoga, o tempo de subida (t_r) refere-se ao intervalo passado para que o sinal de saída se eleve de $0,1V_{DD}$ até $0,9V_{DD}$. O tempo de atraso é aproximado pela soma dos tempos de subida e descida dividido por quatro. [2]

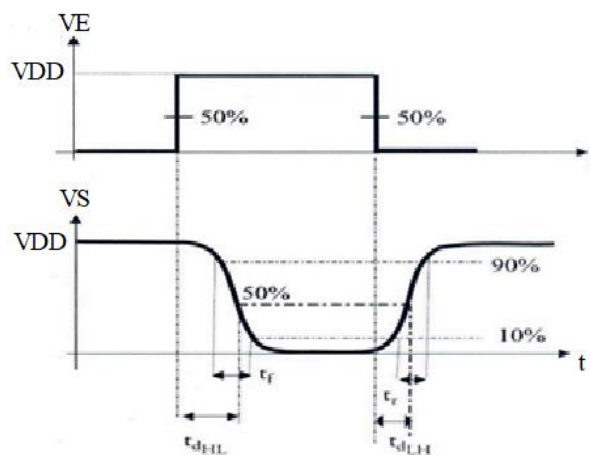


Figura 9 - Curva de transferência dinâmica de um inversor CMOS. [2]

2.5 Portas Lógicas (NAND e NOR)

Portas lógicas são circuitos eletrônicos que podem calcular funções utilizando de valores binários, e são a base de todo o *hardware* de um computador digital ou de um processador, em si. Baseando-se no fato de que pode utilizar de transistores MOSFETs para criar portas lógicas, como já foi citado, é possível desenvolver eletrônica digital através do princípio CMOS, que rege a utilização de transistores do tipo canal N e canal P para criar tais circuitos. Utilizando destas conexões pode-se então representar as três portas mais simples que são denominadas portas NOT (ou inversor), NAND e NOR, e posteriormente com a utilização da combinação de duas portas, pode-se então criar as portas AND (utilizando NAND e NOT) e OR (utilizando NOR e NOT), através de tal, é

possível obter os cinco principais elementos de construção do nível lógico digital ilustrados na Figura 10. [7]

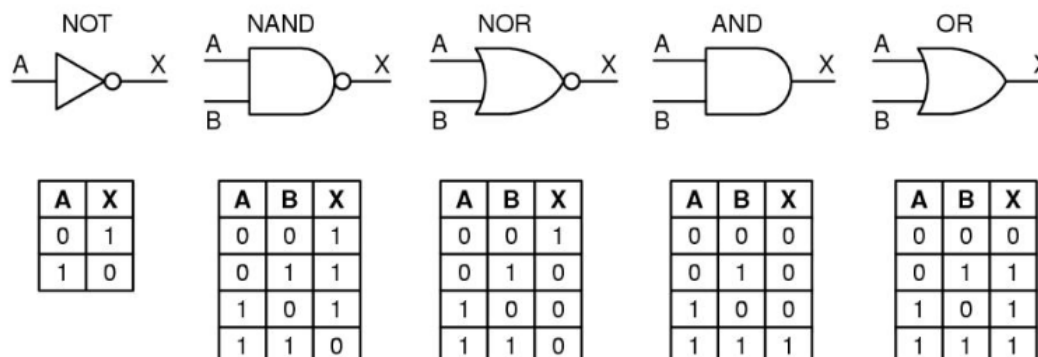


Figura 10 - Símbolos e comportamento operacional das portas lógicas. [7]

Olhando para os transistores MOSFETs, sabe-se que o transistor canal-N funciona como chave fechada pra um potencial positivo aplicado a sua porta, e caso esteja com tensão de porta nula ou abaixo da tensão de limiar (tensão bem baixa), o transistor vai operar como chave aberta, não deixando passar corrente. Portanto, através dessa lógica, o transistor canal N transmite bem o “0” (nível lógico baixo) e não transmite bem o “1” (nível lógico alto). No caso do PMOS é exatamente o inverso, portanto, quando têm-se potencial positivo aplicado à sua porta, este não conduz e opera como chave aberta, mas quando aplica-se uma tensão de porta baixa ou nula, o transistor vai conduzir, operando como chave fechada. Dessa forma, o transistor de canal P transmite bem o “1” mas não transmite bem o “0” [8]. Vale ressaltar, que para ambos transistores, para trabalhar na aplicação digital é utilizado o tipo enriquecimento. [8]

Através da lógica apresentada acima é desenvolvida a ideia e o esquema para as portas lógicas NOT, NAND e NOR. Na Figura 11 é ilustrada a ligação elétrica dos transistores para gerar as portas lógicas NAND e NOR. Além disso, pode-se ressaltar que para implementar as portas lógicas AND e OR é necessário, apenas, colocar uma porta inversora (NOT) na saída de uma NAND (para implementar a AND) ou de uma NOR (para implementar a OR).

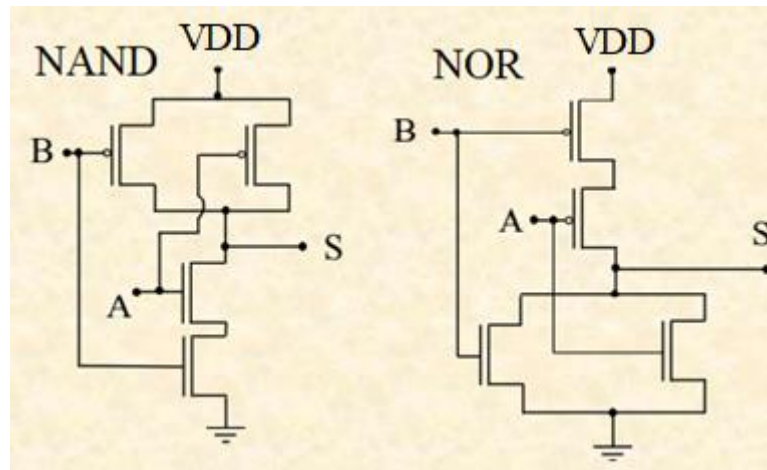


Figura 11 - Esquematização elétrica das portas lógicas NAND e NOR. [8]

3. MATERAIS E MÉTODOS

Considerando que este trabalho foi desenvolvido entre os anos de 2020 e 2021, durante a pandemia do Corona Vírus, foi necessário fazer seu desenvolvimento integralmente de forma remota, não tendo o aluno chance de realizar medidas experimentais dos dispositivos FinFETs estudados. Contudo, como o autor realizou um projeto de Iniciação Científica na área, neste período ele realizou algumas medidas experimentais dos dispositivos da tecnologia MOSFET convencional, utilizadas neste trabalho. As medidas dos transistores FinFETs foram realizadas pela orientadora deste trabalho de conclusão, no IMEC na Bélgica.

Abaixo encontra-se lista de materiais utilizados neste trabalho de conclusão de curso:

- Chip CD4007 (Bulk MOS)
- Chip IMEC de tecnologia FinFET
- Analisador de parâmetros B1500 da Keysight
- Osciloscópio Tektronix TBS1052B
- Gerador De Funções Arbitrárias 25MHz Tektronix
- Fonte de Alimentação MPC-3005
- Simulador de circuitos e dispositivos AIM-SPICE
- Simulador de circuitos e dispositivos HSPICE
- Software de representação gráfica Origin 9.0

3.1 Características dos dispositivos.

3.1.1 MOSFETs planares

Para análise dos dispositivos planares foi utilizado o chip CD4007 da empresa *Texas Instruments*, esse chip é bem comercial, sendo muito utilizado em bancadas de laboratório. O CD4007 é um circuito integrado que contempla 3 inversores, constituídos por 3 transistores NMOS e 3 transistores PMOS, sendo cada NMOS em série com cada PMOS. Esses transistores possuem um mesmo tamanho para comprimento de canal, sendo $L=10\mu\text{m}$, contudo os transistores NMOS possuem largura de canal $W=170\mu\text{m}$ e os PMOS possuem largura de $W=360\mu\text{m}$, tendo os dois tipos de transistores o mesmo C_{ox} .

A Figura 12 ilustra o circuito esquemático interno do chip CD4007, deixando indicado os inversores constituídos dos NMOS e PMOS em série. Para a medida desses dispositivos, foram utilizados o gerador de funções para entrada da porta, tanto do transistor como do inversor, a fonte DC para alimentar o dreno dos transistores e posteriormente a fonte do PMOS, para medir o inversor. O osciloscópio foi o responsável por demonstrar o resultado, que foi extraído e analisado no Origin 9.0.

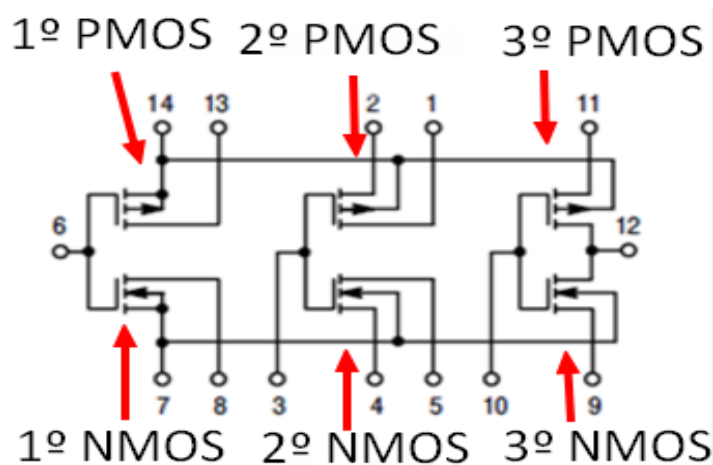


Figura 12 – Circuito esquemático do chip CD4007.

Outro ponto importante a se colocar é o range de tensão que foi utilizado para a caracterização de cada transistor, no caso dos transistores MOSFETs planares foi trabalhado com um range de 0V a 5V com passo de 10mV, tanto na porta do dispositivo

quando no dreno. Portanto nas curvas de transferência destes é possível ver que se forma um quadro dentro dos 5V.

3.1.2 FinFETs

Dos dispositivos FinFETs, esses como já mencionado, foram medidos na Bélgica no instituto IMEC pela orientadora deste trabalho. A caracterização foi realizada em cima de FinFETs de porta tripla, estes que são depositados em lâminas SOI (óxido enterrado) sendo t_{BOX} de 150nm e uma espessura efetiva do óxido (EOT) de 2nm. Esses dispositivos possuem altura da aleta H_{FIN} =65nm e largura de aleta que variou entre W_{FIN} =20nm, 40nm e 120nm. No caso do comprimento de canal, foi para os três, o mesmo comprimento L =150nm.

A Figura 13 ilustra o modelo de FinFET que foi utilizado nessa caracterização, especificando seus parâmetros de dimensão.

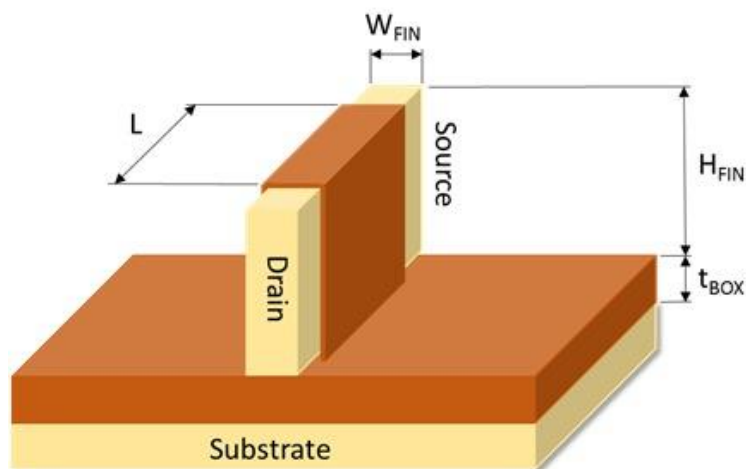


Figura 13 - FinFET utilizado na pesquisa.

No caso do range de tensão utilizado para caracterizar os transistores, foi operado com um range de -1,2V até 1,2V utilizando um passo de 10mV, nota-se que são tensões bem abaixo das tensões utilizadas nos transistores planares, mas isso se dá pelo fato de que os FinFETs operam com baixo consumo de energia e possui um V_t mais baixo, consequentemente.

3.2 Simulações

No âmbito das simulações, para simular os dispositivos foram utilizados os simuladores SPICE, esses que já são consagrados no ramo da eletrônica analógica e digital. Para simulação com transistores planares foi utilizado o AIM-SPICE, no qual foi trabalhado com dois modelos de transistores *Bulk*: O primeiro foi o Modelo Universal extrínseco de canal curto, esse transistor emula muito bem o transistor encontrado no chip CD4007, portanto esse modelo foi utilizado para trabalhar com as curvas de $ID \times V_g$ e para fazer a análise estática dos inversores com tecnologia *Bulk*, pois esses apresentaram as margens de ruído e ganho de inversor muito compatíveis com os inversores do chip estudado. Já para a análise dinâmica, tanto dos inversores quanto das portas lógicas NAND e NOR, foi utilizado o modelo BSIM3 Versão 2, esse transistor Bulk é de um nó tecnológico mais avançado que o citado anteriormente, conseguindo operar na faixa dos nanosegundos, sendo importante para teor de comparação com os dispositivos FinFETs.

No caso dos dispositivos FinFETs, como esses não são enquadrados no software AIM-SPICE, foi necessário trabalhar com o software HSPICE, esse que já enquadra diversos modelos de FinFET. No caso, foi trabalhado o modelo BSIM-CMG 106.1.0 que foi desenvolvido pela universidade de Berkeley. Neste modelo foi possível trabalhar com inúmeros parâmetros de simulação, portanto, foi possível chegar num resultado muito similar aos transistores reais medidos, tendo uma simulação bastante íntegra.

4. RESULTADOS E DISCUSSÕES

4.1 Caracterização elétrica dos dispositivos

Para estudar dispositivos eletrônicos, tais como os diodos, capacitores e transistores é necessário compreender e avaliar as curvas de transferências destes dispositivos. No caso, como se trata de transistores, foram analisadas as curva de transferência do MOSFET e do FinFET, ou seja, a curva da corrente de dreno pela tensão de porta ($ID_S \times V_g$) tanto para o transistor NMOS quanto para o transistor PMOS.

4.1.1 NMOS

Durante a iniciação científica intitulada de “Estudo, simulação e caracterização elétrica de portas lógicas operando em ambientes hostis” foi possível, como já mencionado, realizar medidas experimentais e simuladas no circuito integrado CD4007 (MOS convencional) da empresa *Texas Instruments*. Estas medidas viabilizaram a calibração do simulador e por consequência a comparação da performance das portas lógicas entre as tecnologias convencional e FinFET.

A Figura 14 ilustra a curva de transferência do transistor, na escala linear (eixo Y a esquerda) e logarítmica (eixo Y a direita) tanto para os transistores medidos quanto simulados. É importante observar que a simulação se ajusta muito bem com o experimento, mostrando que estamos simulando o comportamento real desta tecnologia.

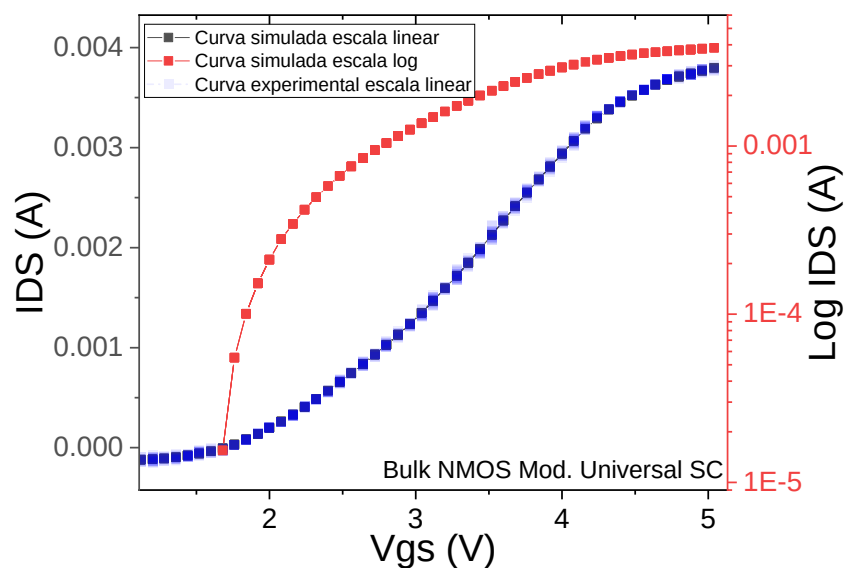


Figura 14 - Curva de transferência do transistor NMOS convencional (simulada e experimental).

Vale ressaltar que, para atingir valores e resultados próximos de um transistor convencional foi preciso operar com o Modelo Universal extrínseco de canal curto no simulador AIM-SPICE, sendo este um dispositivo planar. Além disso, através destes resultados, para efeito de compreensão e comparação, foram extraídos os parâmetros desses dispositivos, sendo representados na Tabela 1.

Tabela 1 - Parâmetros extraídos dos transistores convencionais.

NMOS				PMOS			
Vt (V)	SS (mV/d)	gm (mS)	μ (cm ² /V.S)	Vt (V)	SS (mV/d)	gm (mS)	μ (cm ² /V.S)
1,91	437,5	1,72	700	-1,65	1,165	1,168	300

Agora, para simular os transistores FinFETs foi utilizado o simulador HSPICE, pois este já suporta tal tecnologia quando utilizado, sendo o modelo BSIM-CMG 106.1.0. Vale ressaltar que, as medidas experimentais realizadas no IMEC na Bélgica foram feitas para uma cascata de diferentes WFIN, isto é, medidas para transistores com diferentes larguras, sendo WFIN=20nm, 40nm e 120nm, sendo avaliados apenas os transistores de comprimento de canal de 150nm, o que equivale dizer que a largura efetiva do transistor varia de 150nm, 170nm e 250nm, respectivamente.

Tabela 2 - Parâmetros extraídos dos transistores FinFETs medidos no IMEC.

NMOS (FinFET)					PMOS (FinFET)			
Size	Vt (V)	SS (mV/d)	gmMáx (μS)	μ (cm ² /V.S)	Vt (V)	SS (mV/d)	gmMáx (μS)	μ (cm ² /V.S)
L150W20	0,49	65,9	61,76	544,86	-0,44	64	43,42	382,96
L150W40	0,47	65,9	69	536,98	-0,41	63,13	48,85	380,16
L150W120	0,45	93,1	103,8	549,3	-0,63	98	44,20	233,9

Dessa forma, nas figuras 15, 16 e 17 são apresentados os resultados das simulações e das medidas experimentais das curvas de transferência para os transistores NMOS do tipo FinFET em escala linear e logarítmica, para as três diferentes larguras de canal. A Figura 13 ilustra a curva de transferência do FinFET L150W20, demonstrando também que a curva do resultado experimental é muito próxima do simulado, apenas para âmbito de prova de que isso foi garantido. A Figura 14 e a Figura 15 apresentam os resultados das curvas de transferência dos transistores NMOS de largura de aleta de 40nm e 120nm, extraídos do simulador.

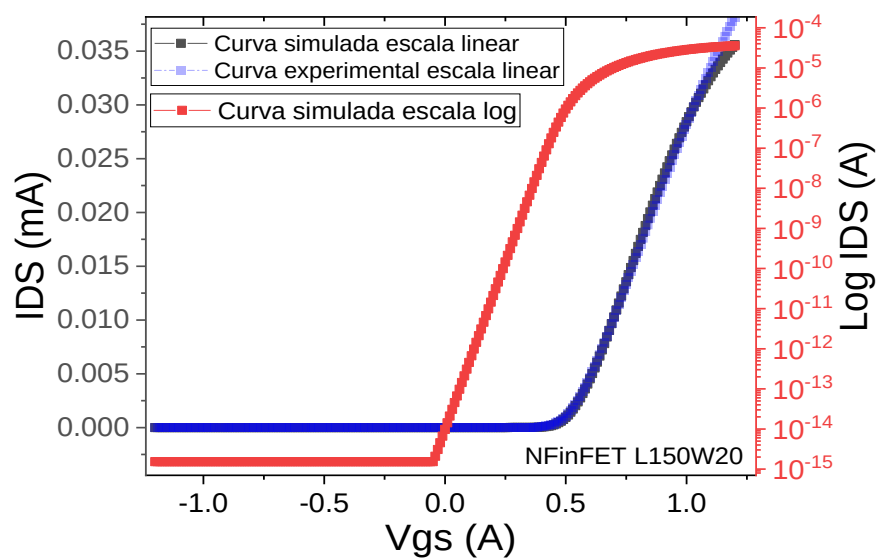


Figura 15 - Curva de transferência simulada/experimental do transistor NFinFET L150W20.

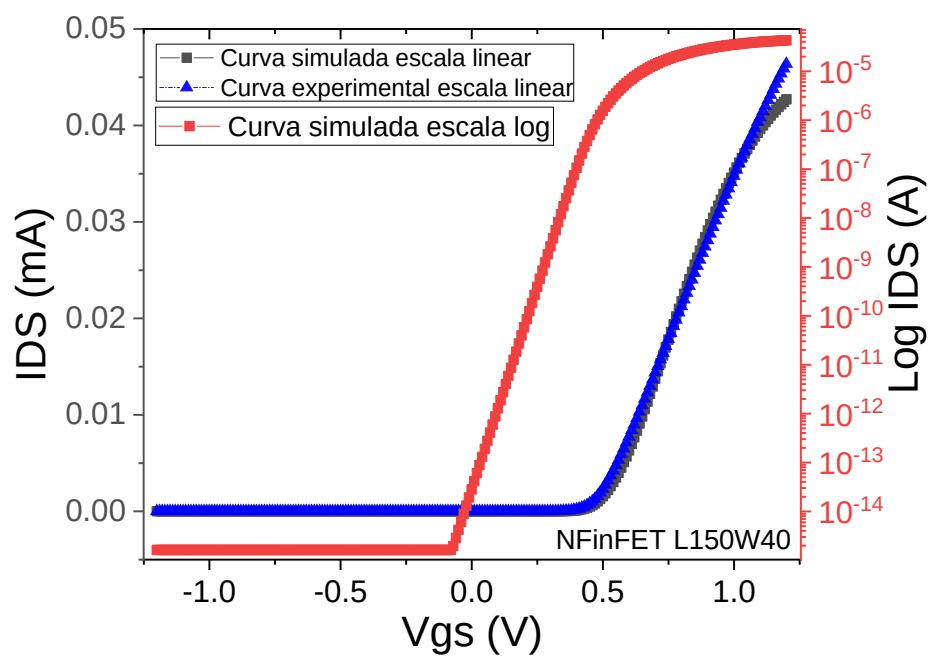


Figura 16 - Curva de transferência simulada/experimental do transistor NFinFET L150W40.

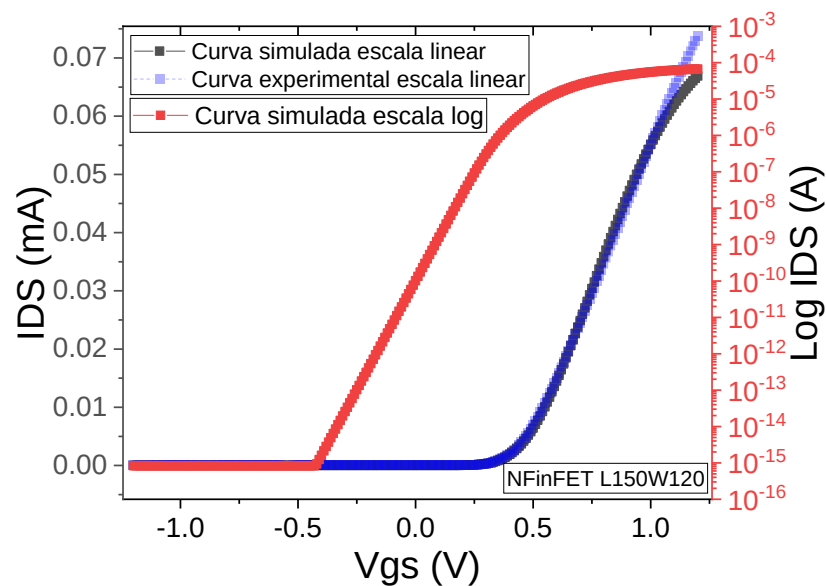


Figura 17 - Curva de transferência simulada/experimental do transistor NFinFET L150W120.

Através da Tabela 2 e das Figuras 15, 16 e 17 é possível perceber que os transistores FinFETs se comportaram de forma semelhante. Em termos da transcondutância, esta melhora com o aumento da largura do canal, devido a direta relação entre a transcondutância e a geometria do dispositivo ($g_m \propto W_{EF}/L$), assim quanto maior a largura do dispositivo, maior será sua transcondutância. Em termos da inclinação de sublimiar, os transistores de $W_{FIN}=20\text{nm}$ e $W_{FIN}=40\text{nm}$ apresentam resultados muito próximos (podendo considerar iguais diante da imprecisão da medida), sendo melhor que o apresentado pelo transistor de $W_{FIN}=120\text{nm}$ pois o acoplamento entre as portas dos transistores com menor largura de canal é melhor [3][4].

Sobretudo, em termos de comparação, o uso da tecnologia FinFET mostrou sua superioridade quando avaliados os resultados obtidos, pois comparando os valores da Tabela 1 e da Tabela 2 vê-se que os transistores FinFETs apresentam inclinação de sublimiar muito menor que os transistores convencionais, o que representa um chaveamento muito mais rápido, além de possuírem tensão de limiar quase 4 vezes menor que os transistores MOSFET, o que gera menor consumo de energia, i.e., os FinFETs possuem a capacidade de redução da tensão de alimentação e portanto redução da potência dissipada.

Considerando o valor da transcondutância, os FinFETs apresentam valores menores que os *Bulks* em 3 ordens de grandeza, mas isso se dá pelo tamanho do dispositivo, que também se dá 3 ordens de grandeza menor que os dispositivos convencionais, sendo da ordem nanométrica, enquanto os transistores do tipo Bulk estão na ordem micrométrica. Ainda assim, quando analisamos a transcondutância normalizada verificamos que a transcondutância dos transistores FinFETs são melhores que as dos transistores convencionais. Já no âmbito da mobilidade de portadores, foi possível notar que os transistores *Bulk* apresentaram resultados esperados ($700 \text{ cm}^2/\text{V.S}$ para NMOS e $300 \text{ cm}^2/\text{V.S}$ para PMOS) para essa tecnologia, segundo [2]. Contudo fazendo análise em cima das mobilidades para os transistores FinFETs notou-se que para os N-FinFETs foram extraídos valores de mobilidade efetiva próximos de $540 \text{ cm}^2/\text{V.S}$ (foi considerado o mesmo resultado para os três), onde era esperado que ao aumentar a largura de aleta seria obtido, também, maiores valores para a mobilidade, pois através de [2] sabe-se que os elétrons se movem com mais facilidade no topo da aleta, portanto, era esperado que o transistor de $W_{\text{FIN}}=120\text{nm}$ demonstrasse uma maior mobilidade em comparação com os transistores de largura de aleta de 20nm e 40nm. No entanto, isso não aconteceu, pois, a mobilidade foi estimada a partir da transcondutância máxima. Ao mesmo tempo que a largura do fin e a mobilidade efetiva para o W_{FIN} mais largo colaboram com o aumento de g_m máximo, a corrente de fuga degrada o este valor prejudicando a estimativa de μ_n usando esta metodologia. Todavia, ao analisar os P-FinFETs, notou-se que estes comportaram de forma esperada, em termos da mobilidade, isto é, com o aumentar da largura de aleta, notou-se uma brusca queda na mobilidade, pois as cargas majoritárias do PMOS (lacunas) se movem com maior facilidade nas laterais, assim, tanto aumentar o topo como o aumento da corrente de fuga degradam o valor de g_m máximo.

Para efeito de comparação e ênfase, foram gerados gráficos de barra para melhorar a percepção da comparação entre os transistores FinFETs e os transistores MOSFETs, ilustrados nas figuras 18 e 19.

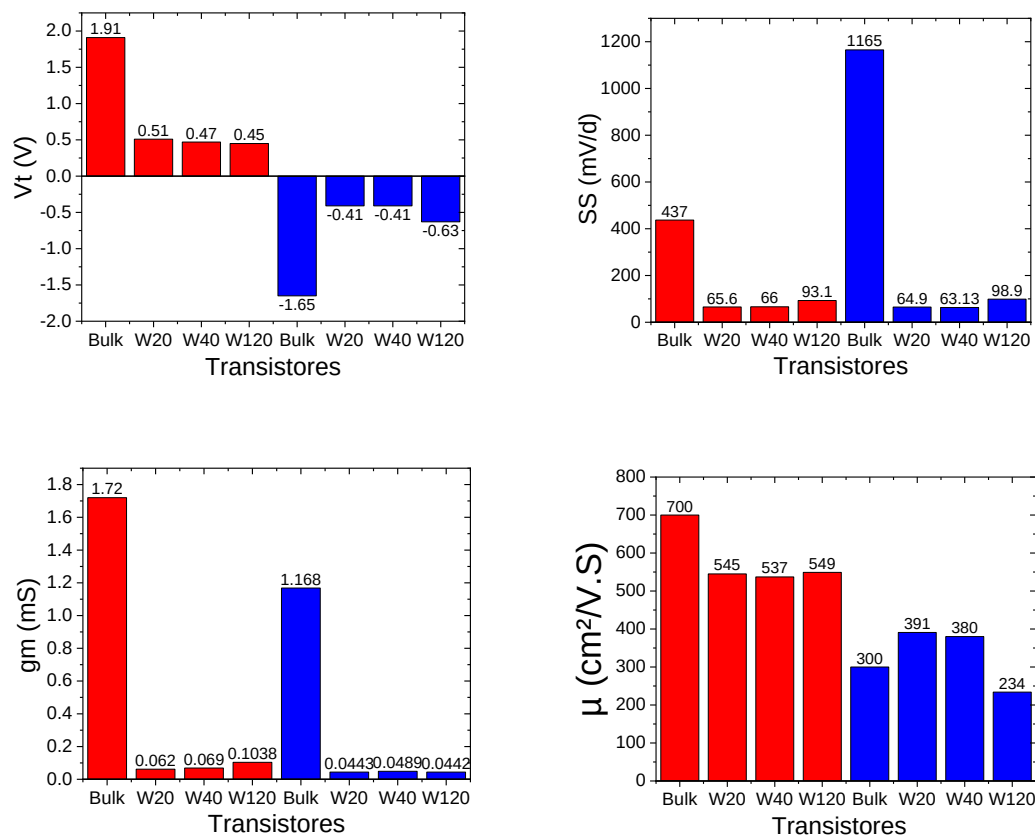


Figura 18 - Gráficos de barras para os parâmetros básicos dos transistores MOS para efeito de comparação entre os dispositivos canal N (barras vermelhas) e canal P (barras azuis) de diferentes tecnologias.

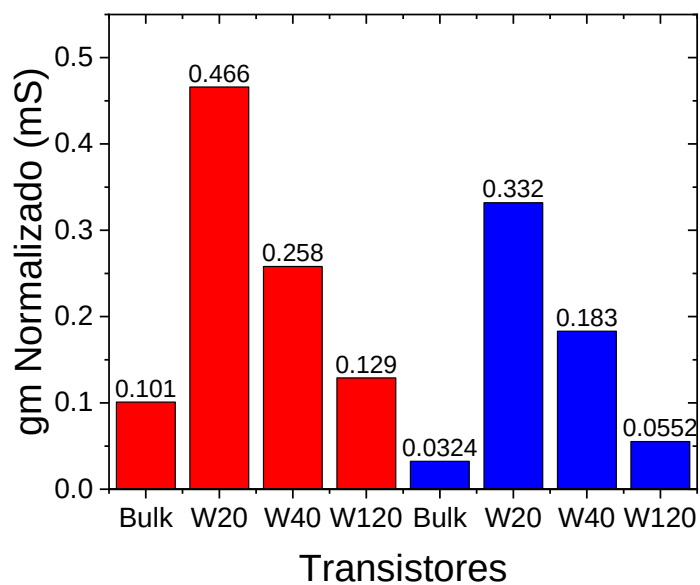


Figura 19 - Gráfico de barras para transcondutância normalizada, comparando o NMOS (barras vermelhas) e o PMOS (barras azuis) entre as tecnologias FinFET e Bulk.

E por fim, tem-se a curva de transferência do transistor de largura de 20nm plotada junto com a transcondutância para efeito de entendimento destes parâmetros, sendo ilustrado na Figura 20.

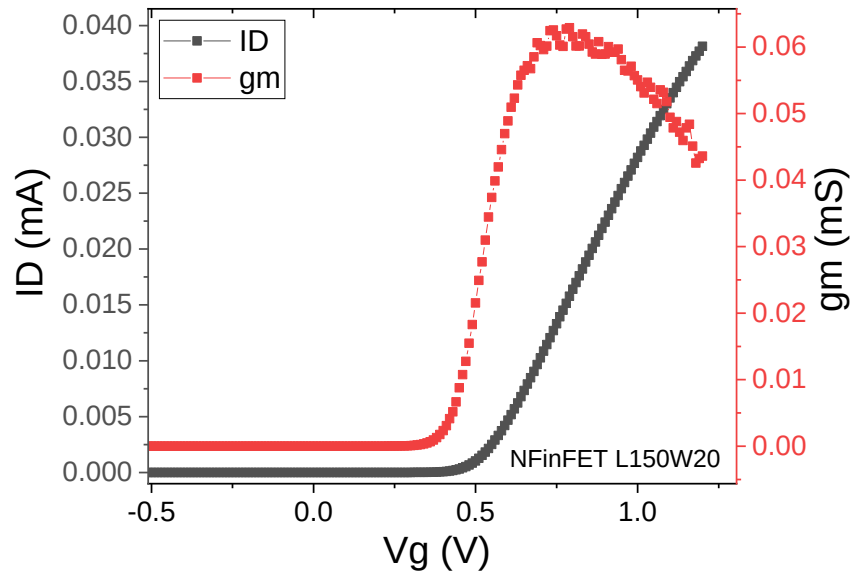


Figura 20 - Curva de transferência com a curva de transcondutância do NFinFET L150W20.

4.1.2 PMOS

Apesar de já terem sido apresentados resultados dos transistores de canal tipo P para comparação, nesta seção apresentamos as curvas simuladas e experimentais para avaliação da calibração do simulador antes de aplicar este tipo de transistor nas portas lógicas. Vale ressaltar que para o transistor de canal P foi realizado o mesmo procedimento realizado na seção 4.1.1, isto é, foi utilizado os resultados simulados da pesquisa de iniciação científica mencionada. Na Figura 21 tem-se a ilustração da curva de transferência do transistor PMOS *Bulk*, na escala linear e na escala logarítmica.

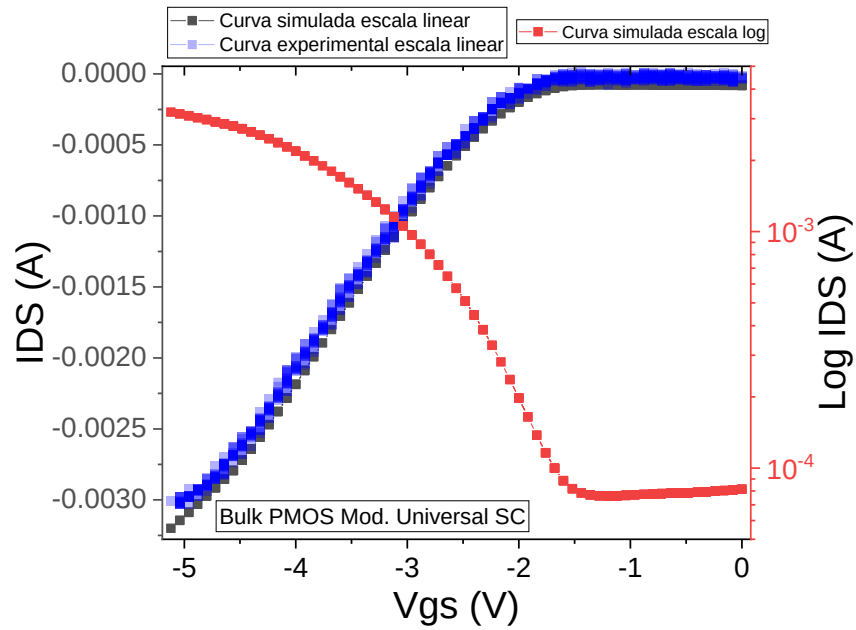


Figura 21 - Curva de transferência simulada/experimental do transistor PMOS *Bulk*.

Através das Figuras 22, 23 e 24 é possível notar-se o comportamento dos transistores FinFETs em termos das suas curvas de transferência, tanto no modelo linear quanto no modelo de escala logarítmica.

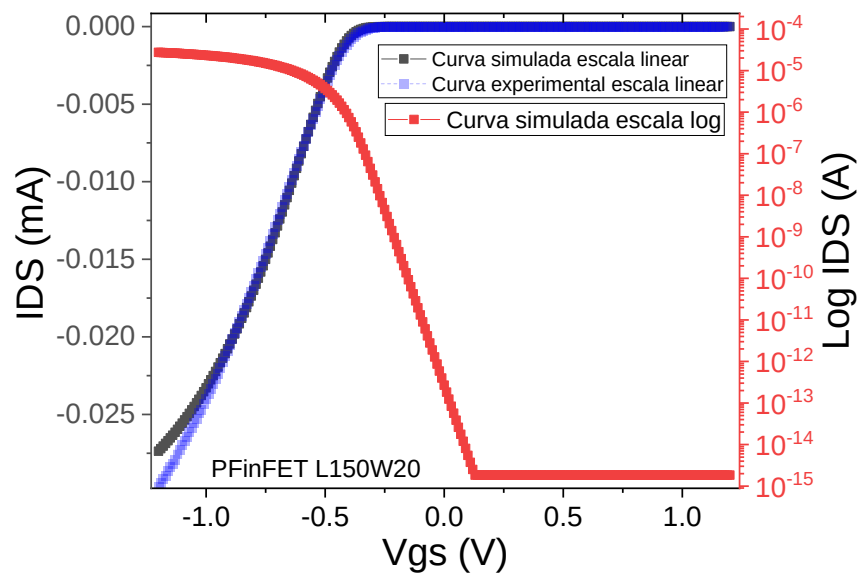


Figura 22 - Curva de transferência simulada/experimental do transistor PFinFET L150W20.

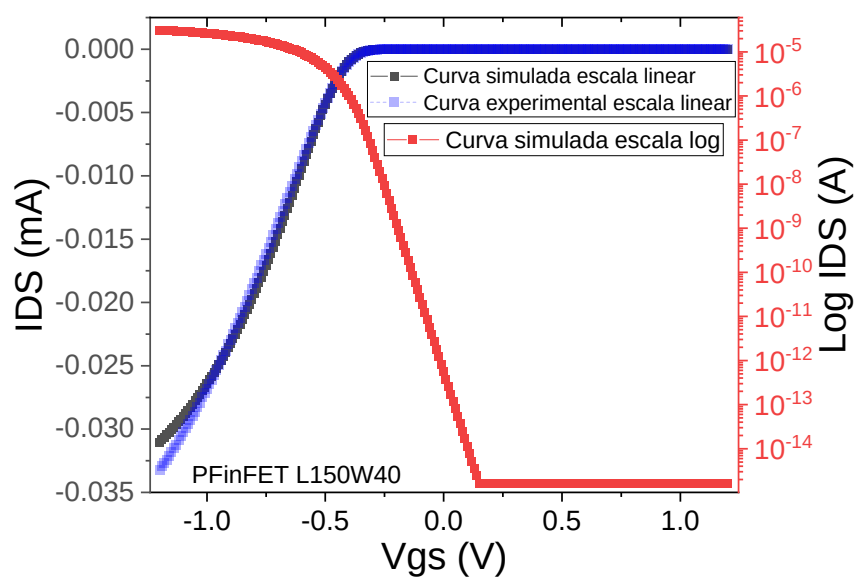


Figura 23 - Curva de transferência simulada/experimental do transistor PFinFET L150W40.

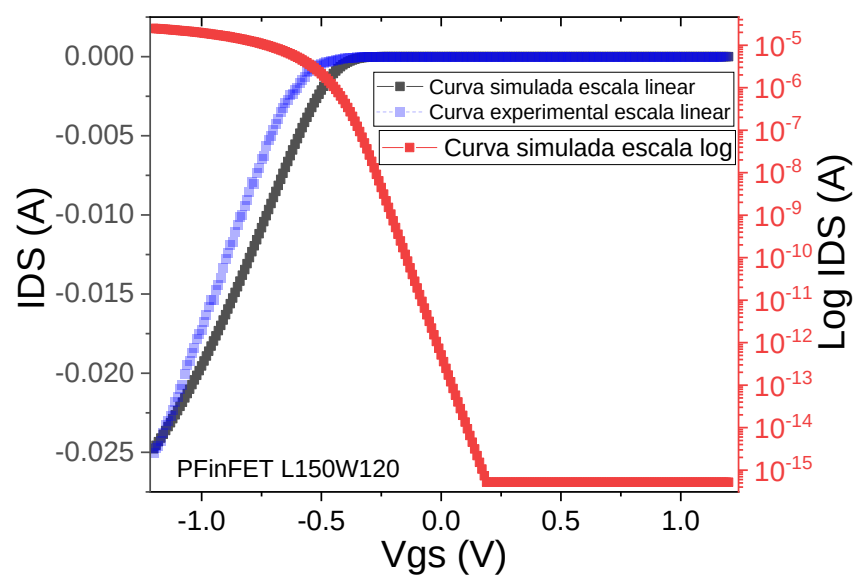


Figura 24 - Curva de transferência simulada/experimental do transistor PFinFET L150W120.

Os valores dos parâmetros elétricos extraídos já foram apresentados na Tabela 2 através da qual pode-se avaliar o comportamento destes dispositivos. Logo de início, nota-se que a tensão de limiar não variou entre os dispositivos de largura de canal de 20nm e 40nm, contudo o transistor de $W_{FIN}=120\text{nm}$ apresentou uma tensão de limiar

maior, em módulo. No caso da inclinação de sublimiar, mais uma vez o dispositivo de $W_{FIN} = 20\text{nm}$ e de $W_{FIN} = 40\text{nm}$ obtiveram resultados, praticamente, iguais e foram melhores que o do dispositivo de largura de canal de 120nm , devido ao melhor acoplamento eletrostático. Pode-se dizer que o FinFET de largura de canal de 20nm e de 40nm apresentam o mesmo desempenho, pois a variação dos parâmetros é muito pequena e está dentro da margem de precisão de simulação, sendo assim, impõe-se que ambos apresentam o mesmo resultado. No entanto, quando a transcondutância normalizada é avaliada (suprimindo-se a direta relação de $g_m \propto W_{EF}/L$) pode-se observar que com o aumento da largura do Fin, perdemos o excelente acoplamento apresentado pelos dispositivos estreitos e, portanto, perdemos o excelente controle da porta sobre as cargas no canal reduzindo o valor de g_m normalizado.

A comparação entre os transistores FinFETs e do tipo MOSFET convencional para canal-P mostrou a mesma tendência discutida na análise dos transistores de canal-N. Nota-se uma grande diferença da inclinação de sublimiar, sendo os FinFETs muito melhores nesse aspecto, além de menor tensão de limiar e melhor transcondutância normalizada, assim como na análise dos transistores de canal N. Novamente, é possível ressaltar a superioridade dos FinFETs em relação aos parâmetros avaliados.

4.2 Inversores CMOS

Para dar continuidade no processo, foi estudado o inversor CMOS, como já mencionado, é o circuito mais básico da eletrônica digital, por isso tem tamanha importância como parâmetro de estudo de desempenho para novas tecnologias que surgem no mercado.

Um fator muito importante que é utilizado para verificar o comportamento do inversor analisado é a Tensão de Inversão Lógica (V_{INV}), que é a tensão mínima para o inversor fazer seu papel de inverter a saída para nível lógico alto ou baixo [2]. Essa tensão é dada pela equação (5).

$$V_{INV} = \frac{V_{DD} + V_{tp} + V_{tn} \sqrt{\frac{\beta_n}{\beta_p}}}{1 + \sqrt{\frac{\beta_n}{\beta_p}}} \quad (5)$$

onde V_{DD} é a tensão que aplica na fonte do PMOS, V_{tp} é tensão de limiar do PMOS, V_{tn} é a tensão de limiar do NMOS, β_n e β_p são os fatores de ganho do NMOS e do PMOS, respectivamente. É interessante entender também que o fator de ganho é dado pela equação (6).

$$\beta = \mu \text{Cox} \frac{W}{L} \quad (6)$$

sendo Cox é a capacitância no óxido, μ é a mobilidade dos portadores, W e L são a largura e o comprimento do canal, respectivamente. [2]

Além disso, é utilizado também as análises de comportamento dinâmico e estático, mencionado nas seções 2.4.1 e 2.4.2, avaliando as margens de ruído, tempo de transição e ganho do inversor (análise estática), além de estudar e comparar os tempos de descida e subida, e o tempo de atraso do inversor (análise dinâmica).

4.2.1 Convencional

Para dar início aos resultados do tópico dos inversores, a Figura 25 ilustra os resultados obtidos na iniciação científica, onde tem-se a curva de transferência do inversor CMOS *Bulk* medido experimentalmente e feito através de simulação, sendo a tensão de entrada pela tensão de saída. Neste caso, foi utilizado 10V na entrada do circuito, portanto a saída do mesmo é 0V ou 10V.

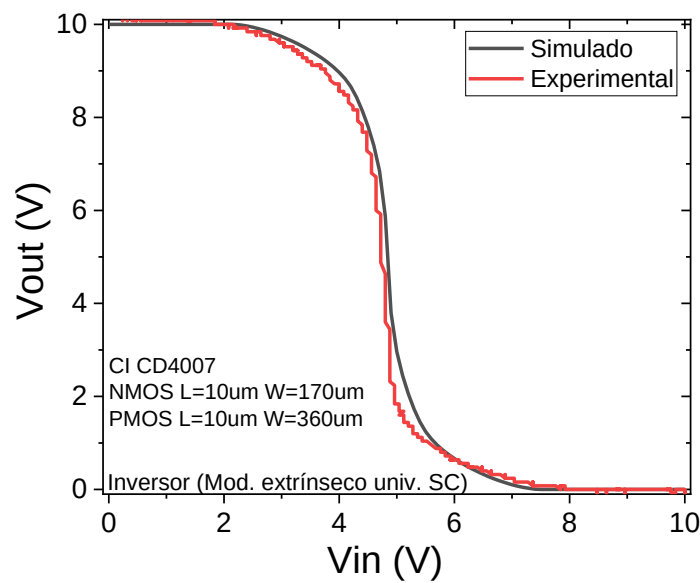


Figura 25 - Inversor CMOS Bulk experimental e simulado utilizando o CI CD4007.

Posteriormente foi realizado o plot do inversor CMOS *Bulk* utilizando apenas a simulação, extraindo os valores de MRH e MRL (Margens de ruído de nível alto e baixo, respectivamente) e do VINV (tensão de inversão lógica). Para extrair o MRH e o MRL basta traçar uma reta tangente ao início da transição de nível lógico da curva de transferência, encontrar o ponto de tangência da reta, através desse ponto no eixo das coordenadas é possível aferir as margens de ruído [2], como é demonstrada na Figura 26. Além disso, demonstra-se também como foi extraída a tensão de inversão lógica.

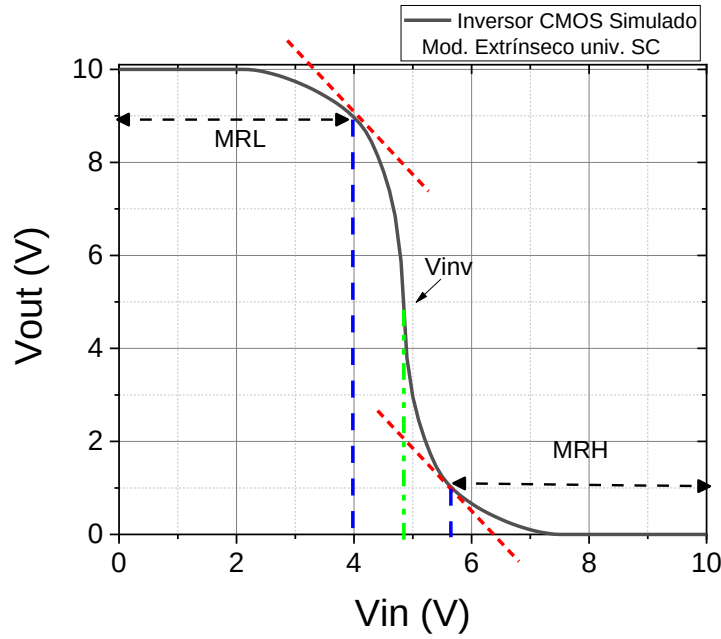


Figura 26 – Curva de transferência do inversor lógico e exemplo de extração de parâmetros na análise estática do inversor CMOS *Bulk*.

Por fim, foi realizada análise em cima da visão dinâmica do inversor CMOS, extraindo os tempos de descida e subida, assim como o tempo de atraso que este possui, sendo necessário impor que o tempo de atraso t_D é dado pela equação (7).

$$t_D \cong \frac{(t_r + t_f)}{4} \quad (7)$$

onde t_r e t_f são, respectivamente, o tempo de subida e o tempo de descida (*time rise* e *time fall*).

A Figura 27 ilustra a extração e a análise dinâmica do inversor CMOS *Bulk* simulado, do qual está sendo estudado. É importante inferir que, todo o resultado obtido em termos das análises estática e dinâmica será demonstrado em tabela, em comparação, nos próximos capítulos dedicado aos inversores CMOS implementados com tecnologia FinFET. Além disso, é de extrema importância levantar a questão de que os transistores MOSFETs convencionais utilizados na iniciação científica (tecnologia mais velha) não suportam operar com tempos tão baixos (ordem dos nano segundos), e os FinFETs são operados nessa faixa. Dessa forma, trabalhou-se primeiramente com o transistor Bulk na ordem de segundos, apenas para efeito de entendimento. Posteriormente, encontrou-se o

modelo de transistor *Bulk* BSIM3 V2, este que é um transistor planar convencional, mas de um nó tecnológico menor (mais novo) que os transistores encontrados no CI CD4007, sendo assim, esse tipo de transistor *Bulk* já consegue operar com tempo bem reduzido, sendo na ordem dos transistores FinFETs. Todavia, como pode ser visto na Figura 28, o inversor construído com o BSIM3 V2 apesar de operar na região dos nano segundos, entrega tempos de subida, descida e de atraso ruins em comparação com a tecnologia FinFET (como poderá ser visto na Tabela 3), além disso, pode-se obter da Figura 28 que o inversor demonstra uma considerável degradação nas passagens de troca de nível lógico, efeito que é causado pelo auto índice de capacitância nos transistores planares, e que quando forçados a operar com tempos reduzidos, esses demonstram esse tipo de efeito.

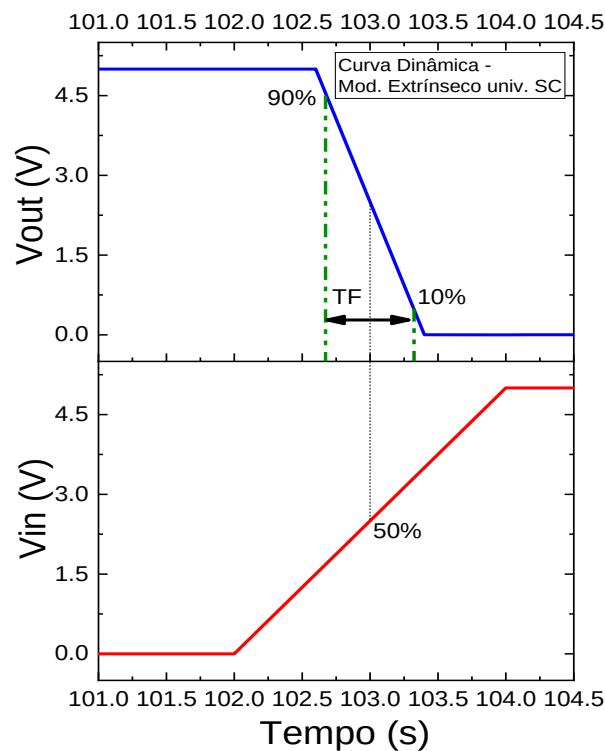


Figura 27 - Análise dinâmica do inversor CMOS *Bulk*.

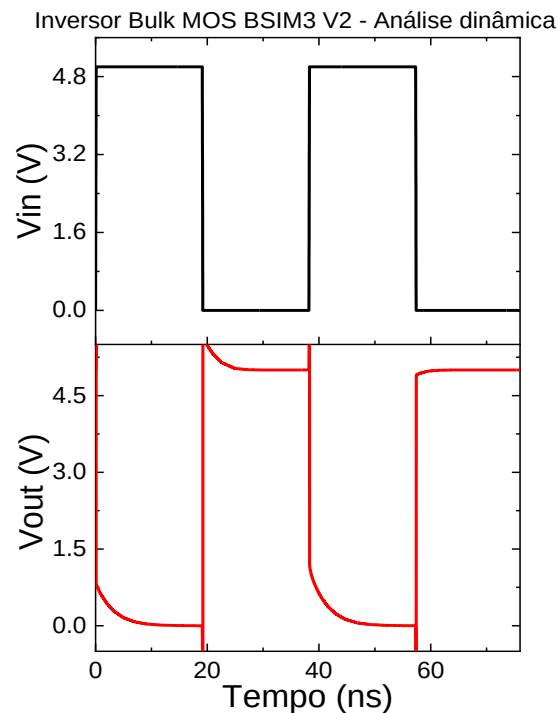


Figura 28 - Análise dinâmica do inversor CMOS construído com tecnologia *Bulk* BSIM3 V2.

4.2.2 FinFETs

Para estudar os inversores CMOS FinFETs foi necessário trabalhar apenas com medidas simuladas, por esse motivo foi importante calibrar o simulador anteriormente, com as curvas $ID \times V_G$ experimentais do NMOS e do PMOS, para poder, posteriormente, implementar o inversor no simulador de forma íntegra.

Os mesmos gráficos e a mesma forma de extração de parâmetros foram utilizados para avaliar a performance do FinFET. É importante ressaltar que a tensão de alimentação desta tecnologia é menor que a anterior conforme já comentado no capítulo de metodologia.

A Tabela 3 demonstra todos os parâmetros obtidos para os inversores, sendo da tecnologia *Bulk* e da Tecnologia FinFET. Vale ressaltar, que, na tecnologia *Bulk*, foi necessário implementar 3 tipos de simulação: A da primeira coluna da tabela é a simulação utilizando os dados da iniciação científica (AIM-SPICE), nesse caso não foi possível implementar valores de tempo na ordem de nanossegundos, pois o modelo utilizando (Modelo universal extrínseco de canal curto) não suporta valores muito baixos

como foi mencionado, portanto foi necessário, na análise dinâmica, operar com valores de tempo na faixa de segundos. Diante disso, foi realizada uma nova simulação, utilizando o modelo de transistor BSIM3 versão 2, esse é um transistor *Bulk* que opera com os valores de tempo na ordem de nanosegundos, pois este possui uma tecnologia (mesmo que planar) mais avançada do que o encontrado no chip CD4007, como já citado. Contudo, é importante impor que este entregue resultados irreais em termos da análise estática, entregando altos ganhos de tensão (não real para transistores tipo *Bulk*), dessa forma, foi importante manter a simulação anterior como protagonista em análise estática no âmbito dos transistores *Bulk*, neste trabalho.

É importante ressaltar, também, que a Tabela 3 já possui (para efeito de comparação) os valores extraídos dos parâmetros das portas lógicas NAND e NOR, sendo os tempos de subida e descida, assim como o tempo de atraso. As comparações dos valores apresentados na tabela 3 serão apresentadas conforme as análises de cada circuito forem apresentadas.

Tabela 3 - Inversores CMOS simulados e os valores dos parâmetros extraídos.

	Mod. Univ. SC 5V	BSIM3 V2	Mod. Univ. SC 10V	FinFET L150 W20	FinFET L150 W40	FinFET L150 W120
MRL	2.1V	-	4.67V	0.752V	0.732V	0.61V
MRH	2.531V	-	4.403V	0.632V	0.649V	0.763V
t	0.369s	-	0.927s	0.116s	0.119s	0.127s
Av	16.29V/V	-	12.5V/V	177V/V	145V/V	61V/V
V_{INV}	2.3V	-	5.15V	0.78V	0.77V	0.67V
t_f (NOT)	0.643s	80.7ns	-	18ps	18ps	42ps
t_r (NOT)	0.796s	52.31ns	-	34ps	34ps	37.7ps
t_D (NOT)	0.36s	33.25ns	-	13ps	13ps	19.9ps
t_f (NAND)	0.640s	6.85ns	-	-	150ps	203ps
t_r (NAND)	0.638s	2.52ns	-	-	308ps	383ps
t_D (NAND)	0.32s	2.342ns	-	-	0.20ns	0.28ns
t_f (NOR)	0.18s	5.65ns	-	-	106ps	180ps
t_r (NOR)	0.65s	20.8ns	-	-	210ps	291ps
t_D (NOR)	0.207s	6.61ns	-	-	79ps	117ps

4.2.3 Inversor FinFET L150W20

O primeiro inversor CMOS do tipo FinFET estudado foi o de largura de aleta de $W_{FIN}=20nm$, foi realizado o estudo da análise estática e, também, a análise dinâmica. Vale ressaltar que no caso dos inversores FinFETs, foi utilizado uma tensão de entrada de 1,5V,

isto é, a tensão de saída vai variar entre 1,5V e 0V, isso se deu pelo fator de que os dispositivos desta tecnologia operam com menor tensão, comparados com a tecnologia Bulk.

A Figura 29 ilustra a curva de transferência no modelo estático do inversor CMOS FinFET L150W20, através da curva é possível ver uma maior linearidade entre a troca dos estados lógicos, além disso é possível ver que as margens de ruído não são tão longas quanto é visto no inversor feito com a tecnologia planar. Através dos parâmetros detalhados na Tabela 3 pode-se inferir que, comparando com o inversor realizado com a tecnologia BSIM3 V2, o FinFET apresenta um ganho quase 15 vezes maior que o transistor convencional planar. Além disso, nota-se as tensões mais baixas utilizadas no FinFET, ressaltando o menor consumo de energia na tecnologia. Analisando a parte dinâmica, o FinFET apresenta tempos de subida, descida e de atraso na faixa de pico segundos, que se dá devido ao acoplamento do transistor FinFET ser bem melhor que os dos transistores planares convencionais [4][5], dessa forma o MOSFET convencional entrega na faixa dos nano segundos, sendo 3 ordens de grandeza mais lento.

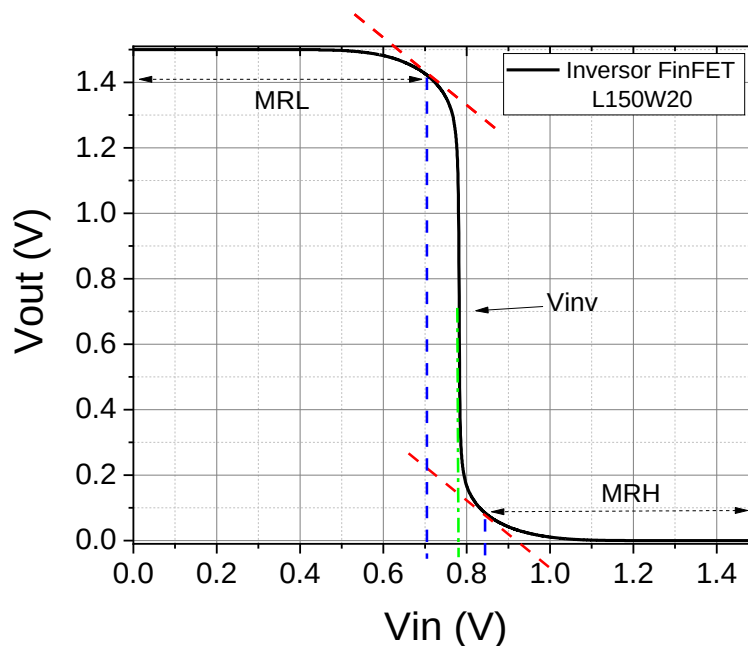


Figura 29 - Inversor CMOS utilizando o FinFET L150W20.

4.2.4 Inversor FinFET L150W40

De forma análoga, o inversor FinFET L150W40 apresenta resultados semelhantes ao caso do dispositivo com largura do Fin de 20nm. Entretanto, neste caso, nota-se que o

ganho do inversor é menor, comparando com o inversor feito com o FinFET L150W20, além disso a tensão de inversão lógica também mostrou ser, ligeiramente, menor no caso do FinFET de largura de aleta de 40nm, mas comparando com a tecnologia de 20nm pode-se impor que estes são de resultado iguais, pois não foi obtida precisão o bastante para impor que um apresenta melhor resultado que o outro, devido à baixa diferença nos resultados entre ambos. Todavia, em termos da análise dinâmica, nota-se que os tempos de subida, descida e de atraso do inversor feito com o dispositivo de 40nm foram menores, mostrando que pra alguns parâmetros o transistor FinFET L150W40 é melhor e pra outros o FinFET L150W20 é melhor, portanto, sabe-se que é efeito de imprecisão de simulação, dessa forma, apresentam o mesmo resultado prático.

A Figura 30 ilustra a curva de transferência estática do inversor CMOS com FinFET L150W40.

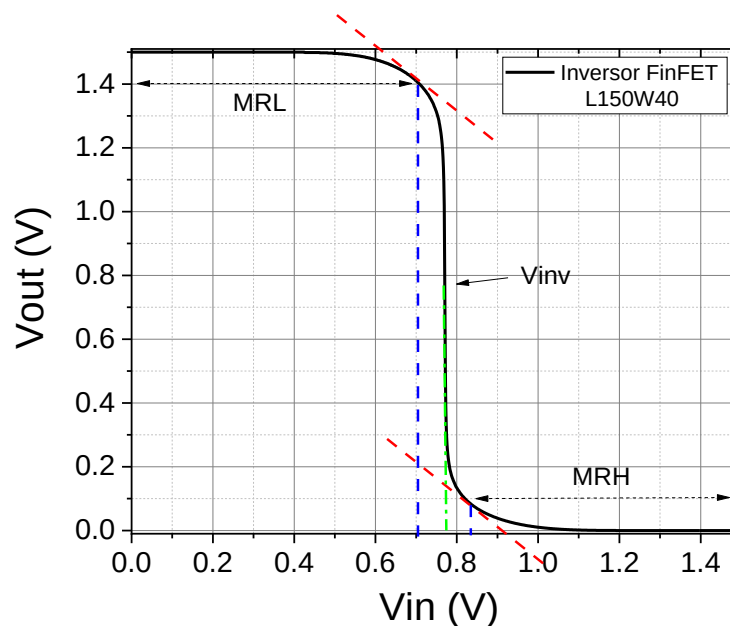


Figura 30 - Inversor CMOS utilizando o FinFET L150W40.

4.2.5 Inversor FinFET L150W120

No caso do inversor realizado com o dispositivo de maior largura da aleta, notou-se de antemão que o ganho deste inversor foi o pior entre os dispositivos desta tecnologia, mas ainda assim muito melhor que o ganho de inversor feito com MOSFETs convencionais.

No caso da análise dinâmica, o FinFET L150W120 surpreendeu, mostrando resultados piores que os outros casos dessa mesma tecnologia. Neste caso, os inversores CMOS com FinFET de largura de aleta de 40nm e de 20nm tiveram os melhores desempenhos em termos de velocidade de chaveamento sendo melhor que o dispositivo de 120nm. Em termos de ganho, os inversores com os FinFETs de 20nm e 40nm apresentam, também, melhor resultado do que o FinFET L150W120 devido ao acoplamento melhor de dispositivo.

Para efeito de comparação visual, a Figura 31 ilustra a curva de transferência estática do inversor CMOS com FinFET L150W120.

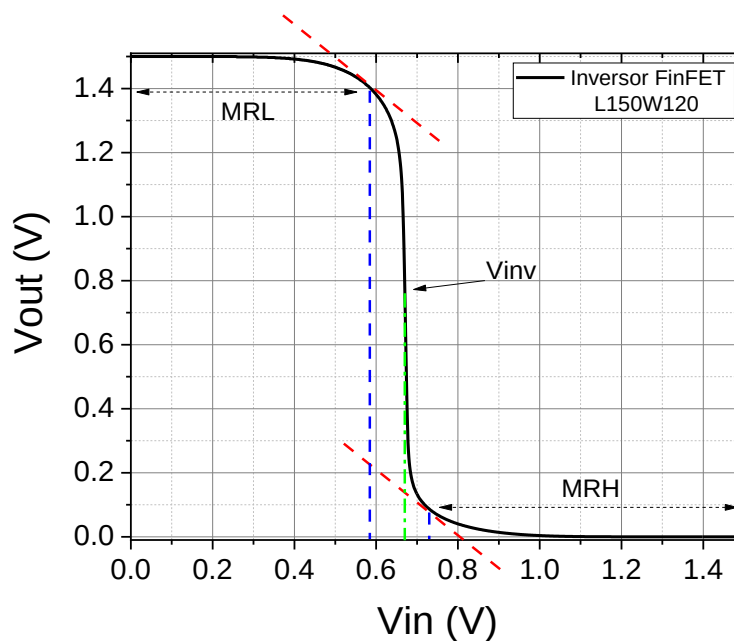


Figura 31 - Inversor CMOS utilizando o FinFET L150W120.

4.3 Porta Lógica NAND

Simulações SPICE também foram realizadas para analisar o comportamento dos circuitos NAND projetados com as duas tecnologias, *Bulk* MOS (Modelo extrínseco de canal curto e BSIM3 V2) e FinFET. As figuras 32 e 33 ilustram os resultados obtidos na simulação para a tecnologia MOSFET convencional utilizando o modelo extrínseco de canal curto.

A Figura 32 apresenta as curvas dinâmicas das entradas e da saída do circuito lógico NAND, através da curva pode-se verificar que a porta NAND se comporta adequadamente de acordo com a informação da Figura 10.

Para avaliar o desempenho da porta lógica é necessário analisar os tempos de transição do estado lógico na saída (tempo de subida e tempo de descida), assim como o tempo de atraso. Portanto, na Figura 33 é demonstrado como foi extraído esses tempos, levando em consideração que para aferir tais valores basta aplicar a mesma metodologia usada na análise dinâmica do inversor CMOS.

E por fim, para definitivamente poder comparar a velocidade de chaveamento dos transistores *Bulk* e FinFETs quando aplicados na porta lógica NAND, foi necessário, assim como para a porta inversora, simular a porta utilizando o modelo BSIM3 V2, que suporta a mesma faixa de tempo que foi operada na NAND de tecnologia FinFET. A Figura 34 ilustra o resultado dinâmico da porta lógica NAND construída com tecnologia planar BSIM3 V2, demonstrando degradação na curva nas trocas de nível lógico, que conforme mencionado anteriormente, se dá pelo fator de alta capacitância no dispositivo, que fica aparente nessa faixa de operação.

Sobretudo, analisando os tempos de subida, descida e de atraso de ambas as tecnologias em cima da porta lógica NAND é possível notar diferenças em termos de desempenho. Primeiramente, da Tabela 3, pode-se notar que os transistores FinFETs apresentaram tempos mais curtos que os transistores MOSFETs convencionais, contudo, a diferença nos tempos observada não foi tão grande quanto para os inversores CMOS, sendo observado que na análise das portas NAND os tempos dos FinFETs ficaram apenas uma ordem de grandeza abaixo dos transistores convencionais, pelo fato de que a associação de vários transistores causa um aumento na capacitância de carga C_L existentes nos dispositivos, esta que causa o aumento dos tempos de subida, descida e de atraso nos dispositivos aplicados na lógica digital. Os transistores FinFETs de largura de Fin de 20nm e 40nm foram, ligeiramente, melhores que o transistor de largura de 120nm. Novamente, pode-se atribuir este melhor desempenho ao acoplamento eletrostático apresentado pelos transistores FinFETs que permitem o melhor desempenho em velocidade de chaveamento. Para demonstrar que o desempenho das NANDs operadas com os transistores FinFETs de largura de 20nm e de 40nm são, praticamente, iguais a Figura 35 ilustra a subida do nível lógico baixo para alto desses transistores, onde é

possível notar um pequeno deslocamento entre as tecnologias, que se dá pela imprecisão de simulação, mas é necessário impor que os resultados são os mesmos.

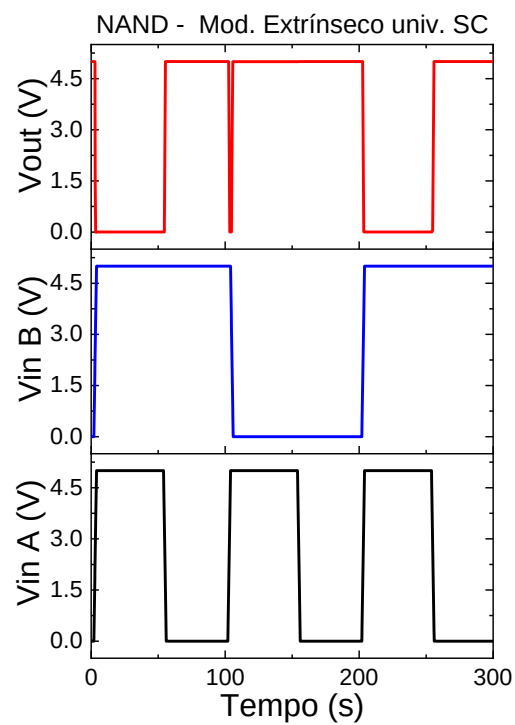


Figura 32 - Curvas da simulação de uma porta lógica NAND na tecnologia MOS planar.

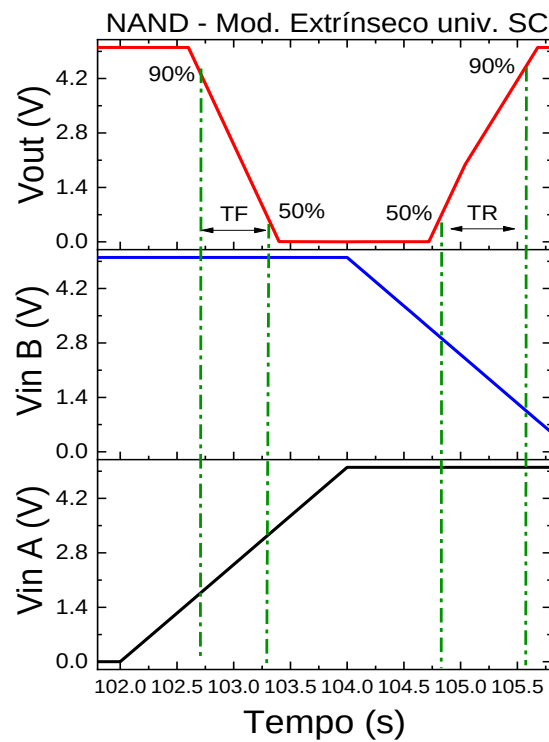


Figura 33 - Extração dos tempos de subida, descida e de atraso da porta NAND com tecnologia planar MOS.

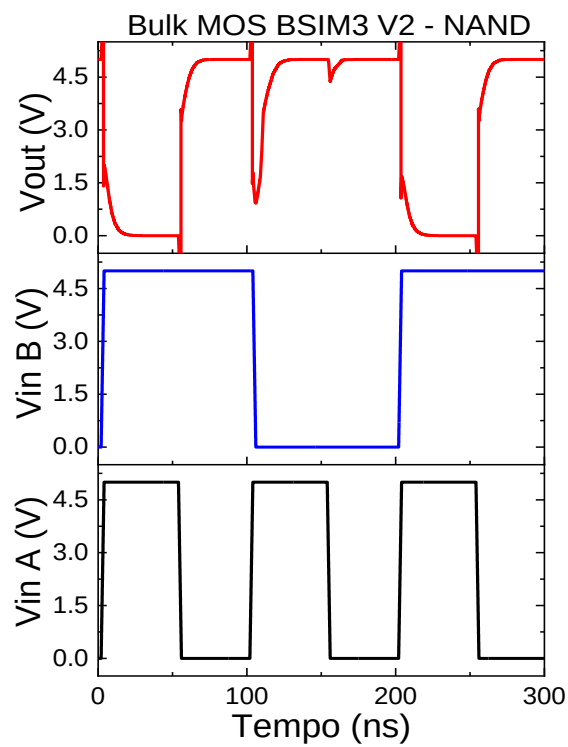


Figura 34 - Curva dinâmica da porta lógica NAND simulada na tecnologia *Bulk* BSIM3 V2.

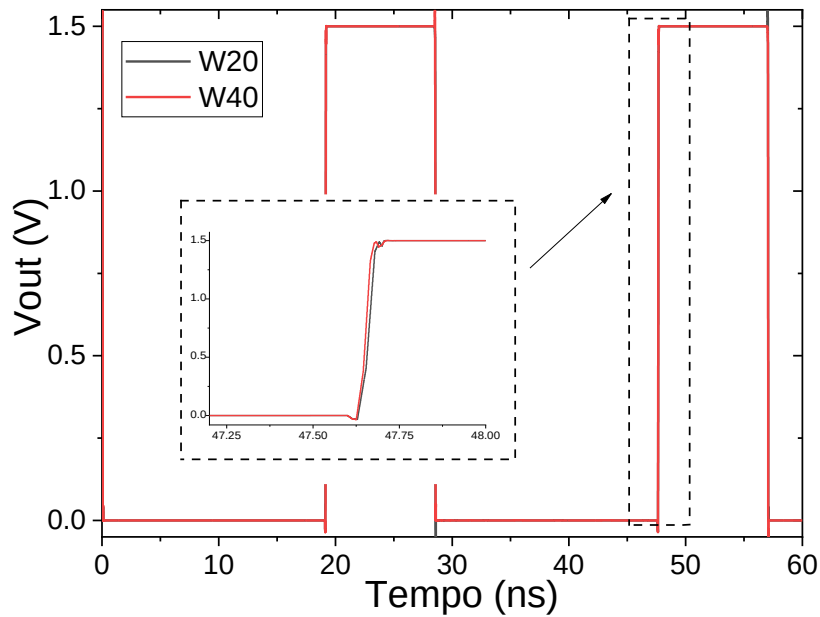


Figura 35 – Deslocamento na subida do nível lógico baixo para alto de uma NAND implementada na tecnologia FinFET L15020 e na L150W40

4.4 Porta Lógica NOR

Os mesmos procedimentos detalhados na seção 4.3 para as portas lógicas NAND foram realizadas neste item para a porta lógica NOR. Portanto, primeiramente foi simulada as portas lógicas NOR com ambos os modelos desenvolvidos para *Bulk* MOSFET, sendo o modelo universal extrínseco de canal curto, para âmbito de conhecimento e por fim, sendo a principal simulação na tecnologia Bulk, no modelo BSIM3 V2.

Primeiramente, a Figura 36 demonstra o resultado da simulação da porta NOR, utilizando o modelo universal extrínseco de canal curto. Nas Figuras 37 e 38 é ilustrado a extração dos tempos de subida e descida para a porta lógica NOR, sendo de forma análoga a porta lógica NAND.

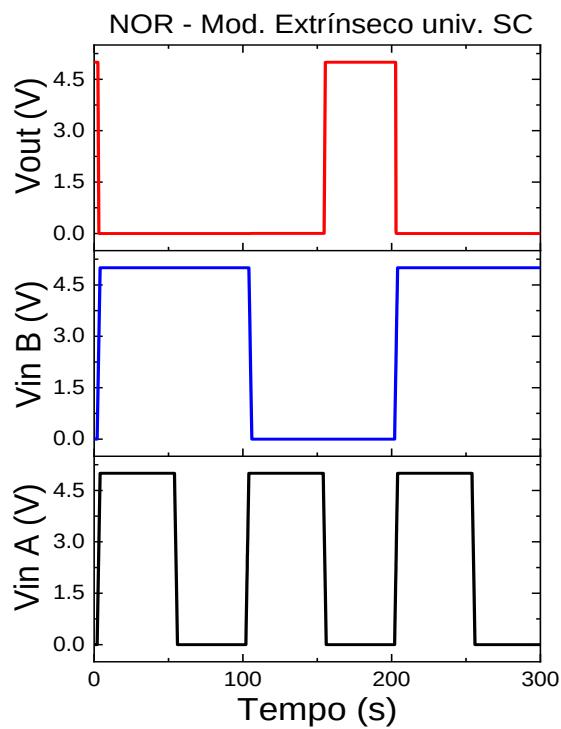


Figura 36 - Curvas da simulação de uma porta lógica NOR na tecnologia MOS planar.

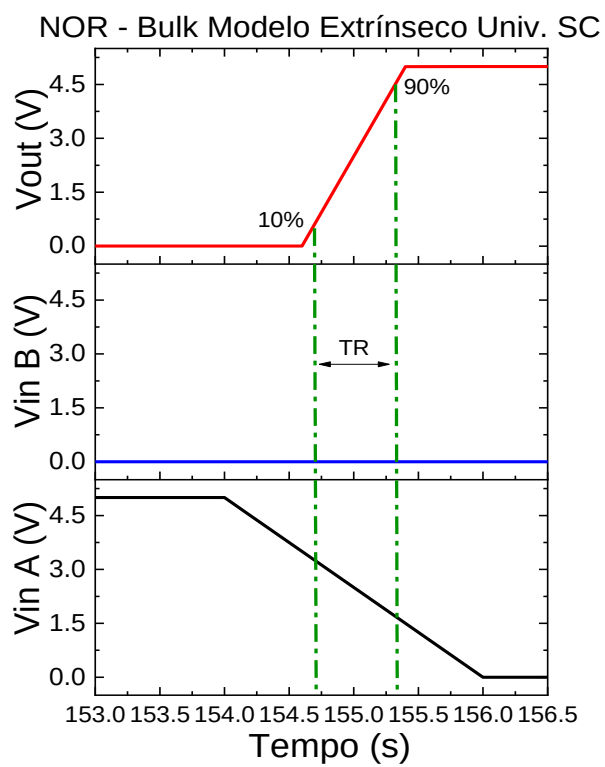


Figura 37 - Extração do tempo de subida (*time-rise*) da porta lógica NOR na tecnologia planar.

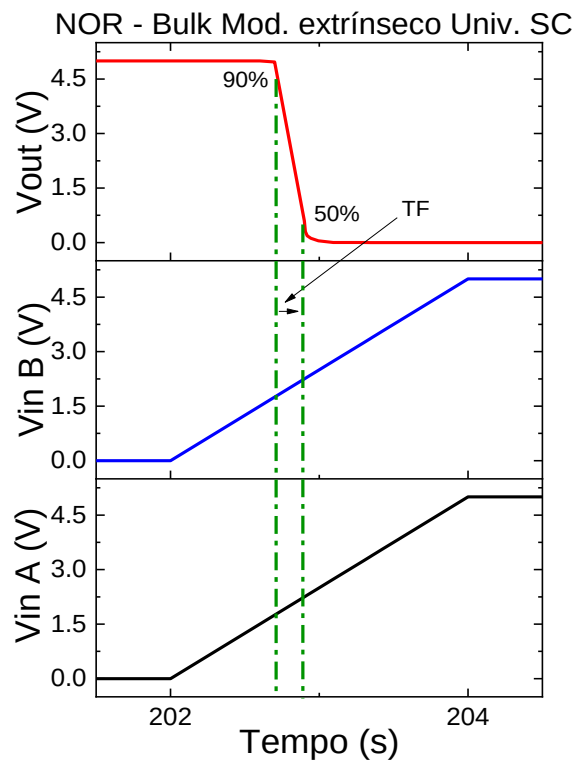


Figura 38 - Extração do tempo de descida (*time-fall*) da porta lógica NOR na tecnologia planar.

Portanto, para permitir a comparação real entre a tecnologia *Bulk* e a FinFET, foi necessário a simulação na tecnologia *Bulk* BSIM3 V2, a qual permite a operação com tempos da mesma ordem e escala que os transistores 3D. Dessa forma, pode-se aferir na Figura 39 o resultado da simulação da porta NOR no modelo BSIM3 V2. Nota-se da mesma forma que foi notado na porta lógica NAND, neste caso ainda mais evidente, uma grande degradação nas passagens de nível lógico, ficando as curvas muito deformadas e sem confiabilidade, o que insere que seria impossível implementar a porta lógica para esse range de tempo utilizando a tal tecnologia, problema que foi causado pela alta capacitância nesses dispositivos quando são operados na faixa de nano segundos.

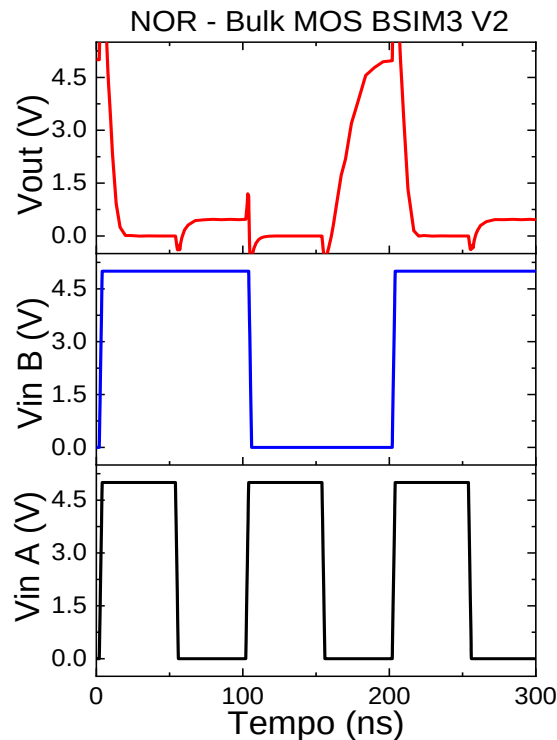


Figura 39 - Simulação da porta NOR na tecnologia planar BSIM3 V2.

Seguindo a mesma linha de desenvolvimento, foi simulado, então, a porta lógica NOR com os 3 FinFETs que vem sendo trabalhado. A Figura 40 ilustra o resultado simulado do FinFET L150W20, demonstrando uma curva com desempenho muito superior em comparação com a curva vista na Figura 39, para o mesmo intervalo de tempo, diante do bom acoplamento que os dispositivos FinFETs possuem. Vale ressaltar que todas as medidas em termos dos tempos extraídos estão descritas na Tabela 3. Para a porta lógica NOR, o FinFET de largura de Fin de 20nm e de 40nm demonstram, também, os melhores desempenhos, tendo os menores tempos de atraso. Vale lembrar que, assim como para o desenvolvimento da porta lógica NAND, a associação de vários transistores causou um aumento na capacitância de carga CL, gerando um ligeiro aumento nos tempos de chaveamento para a porta lógica NOT.

E por fim, é importante ressaltar o motivo pelo qual os tempos de descida apresentam melhores resultados (menores valores) do que os tempos de subida, para todas as portas lógicas. Isso se dá pelo fator do tempo de descida t_f depender do fator de ganho (β_n) do transistor NMOS e o tempo de subida t_r depender do fator de ganho do transistor PMOS (β_p), e devido à associação dos transistores no projeto da porta lógica os fatores

de ganho específicos tem valores diferentes (β_{ef}). Portanto, através das equações (8) e (9) é possível ver a influência do fator de ganho nos tempos de chaveamento.

$$t_f \cong \frac{4CL}{\beta_n VDD} \quad (8)$$

$$t_r \cong \frac{4CL}{\beta_p VDD} \quad (9)$$

onde CL é a capacitância de carga enxergada na saída das portas lógicas, β_n e β_p são os fatores de ganho, respectivamente, dos transistores NMOS e PMOS e VDD é a tensão aplicada ao dreno.

É importante ressaltar aqui que usualmente os projetistas de circuitos integrados procuram compensar a diferença das mobilidades entre os transistores canal p e n ajustando a relação W/L (usualmente aumentando W) para obter fatores de ganho dos transistores iguais ($\beta_n = \beta_p$), para satisfazer a condição da corrente que passa pelos transistores ser a mesma. Quando temos esta condição os tempos de subida e descida tendem a ser iguais resultando em um comportamento da porta lógica mais adequado. Entretanto, sabe-se que ao aumentar a largura da aleta do FinFET é perdido desempenho em termos da redução do acoplamento eletroestático, portanto a solução encontrada é implementar mais transistores operando em paralelo, o qual aumenta a largura total do transistor.

Neste trabalho não foi compensada a relação W/L com o intuito de verificarmos a influência dos diferentes β dos transistores no inversor CMOS.

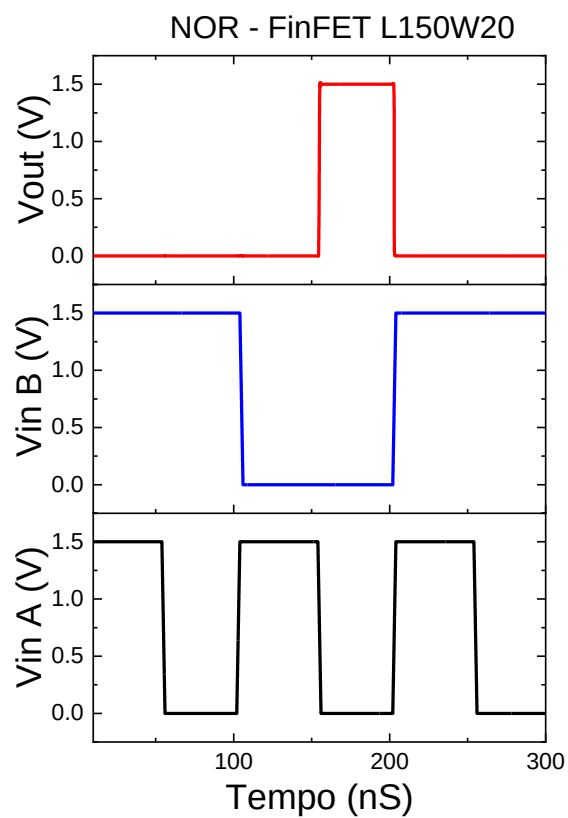


Figura 40 - Simulação da porta NOR utilizando a tecnologia FinFET L150W20.

5. CONCLUSÃO

Através dos estudos realizados neste trabalho e dos já obtidos durante a vivência em iniciação científica, foi possível avaliar o desempenho dos transistores e das portas lógicas básicas projetadas com diferentes tecnologias. Primeiramente, pode-se afirmar que ainda nos dias atuais é necessário continuar estudando e utilizando transistores MOSFETs convencionais, isto é, existem algumas área de aplicação onde este tipo de tecnologia ainda é viável, geralmente em circuitos mais robustos, onde é utilizada mais potência e não haja a necessidade de impor uma grande densidade de integração de transistores.

A partir do estudo realizado é possível dizer que os transistores FinFETs apresentam melhores desempenho que os transistores planares devido ao melhor acoplamento eletrostático que promove um maior controle da porta sobre as cargas no canal dos transistores. Foi constatado também que os FinFETs apresentam menor inclinação de sublimiar, o que garante baixa perda de potência no chaveamento e baixa corrente de fuga no estado desligado (reduzindo a potência estática). O alto acoplamento entre as portas também é responsável pela redução dos problemas resultantes dos efeitos de canal curto que são piores em dispositivos planares.

Em termos de aplicação na lógica digital, os FinFETs demonstraram que são os dispositivos mais adequados, devido aos menores tempos de transição e baixos tempos de resposta, o que justifica a aposta das empresas que fabricam chipsets no mercado mundial, como a Intel e a Nvidia. Além disso, uma vez que os transistores FinFETs tem dimensões de ordem nanométrica, podem ser inseridos facilmente na ordem de milhões numa lâmina de silício, podendo ser fabricado processadores extremamente poderosos para suprir a necessidade da atualidade.

Constatou-se também uma grande melhoria no desempenho das portas lógicas NOT, NAND e NOR implementadas com FinFETs, que expuseram melhores resultados em termos de tempo de subida, descida e de atraso, provando assim a efetividade no chaveamento e o quanto a tecnologia 3D é poderosa quando focamos em CIs que requerem alta densidade de integração e alta performance, como por exemplo a área de desenvolvimento de processadores.

REFERÊNCIAS

- [1] MEYER, M. O que é a Lei de Moore. Oficial da Net. São Paulo, 19 de julho de 2017. Disponível em: < <https://www.oficinadanet.com.br/ciencia/19681-o-que-e-a-lei-de-moore>>. Acesso em: 10 de fevereiro de 2021.
- [2] Martino, J. A. Pavanello, A. M. Verdonck, B. P.. “Caracterização Elétrica de Tecnologia e Dispositivos MOS”. Thomsom 2004.
- [3] BORDALLO, C. C. M. “ESTUDO DO EFEITO DA RADIAÇÃO DE PRÓTONS EM TRANSISTORES SOI MOSFETS DE MULTIPLAS PORTAS”. (Dissertação de Mestrado) – Centro Universitário da FEI. São Bernardo do Campo – SP, p99. 2014.
- [4] TAHRIN, A. B. A. “Design and Performance Analysis of 1-BitFinFET Full Adder Cells for Subthreshold Region at 16 nmProcess Technology”. Journal of Nanomaterials. 2015.
- [5] COLLINGE, J-P. “FinFETs and Other Multi-Gate Transistors”. Springer. 2017.
- [6] FinFET transistor technology is being used in many areas of IC technology where the 3D fins provide added density for same feature size. Electronic-notes. Disponível em: https://www.electronics-notes.com/articles/electronic_components/fet-field-effect-transistor/finfet-transistor-technology.php Acesso em: 05 de Janeiro de 2021.
- [7] BARANAUKAS, J. A. “Funções Lógicas e Portas Lógicas”. (Aula) – Departamento de Computação e Matemática – USP. Ribeirão Preto – SP. 2012
- [8] AGOPIAN, P. G. D. “Transistores MOS e portas lógicas básicas CMOS - Comportamento como chave. Circuitos lógicos CMOS complexos - Parte 1.” (Notas de aula – Disciplina de Introdução aos Circuitos Integrados) – UNESP. São João da Boa Vista – SP. 2020.