UNIVERSIDADE ESTADUAL PAULISTA
"JÚLIO DE MESQUITA FILHO"
FACULDADE DE ENGENHARIA
CAMPUS DE ILHA SOLTEIRA

CAMILO ALEXEY SUAREZ BUITRAGO

SISTEMA DE CARREGAMENTO RÁPIDO DE VEÍCULO ELÉTRICO PURO

Ilha Solteira

2017

CAMILO ALEXEY SUAREZ BUITRAGO

SISTEMA DE CARREGAMENTO RÁPIDO DE VEÍCULO ELÉTRICO PURO

Dissertação apresentada à Faculdade de Engenharia do Campus de Ilha Solteira - UNESP como parte dos requisitos para obtenção do título de Mestre em Engenharia Elétrica.
Área de conhecimento: Automação.

Prof. Dr. Carlos Alberto Canesin

Orientador

Prof. Dr. Guilherme de Azevedo e Melo

Co-Orientador

Ilha Solteira

2017

FICHA CATALOGRÁFICA
Desenvolvido pelo Serviço Técnico de Biblioteca e Documentação

Camilo Alexey Suarez
B932s Sistema de carregamento rápido para veículo elétrico puro / Camilo Alexey Suarez Buitrago
Buitrago. -- Ilha Solteira: [s.n.], 2017
146 f. : il.

Dissertação (mestrado) - Universidade Estadual Paulista. Faculdade de Engenharia . Área de conhecimento: Automação, 2017

Orientador: Carlos Alberto Canesin
Co-orientador: Guilherme de Azevedo e Melo
Inclui bibliografia

1. Carregador rápido para veículo elétrico. 2. Retificador híbrido SEPIC ZCS. 3. Conversor buck entrelaçado. 4. Carregamento de supercapacitores.

UNIVERSIDADE ESTADUAL PAULISTA

Câmpus de Ilha Solteira

CERTIFICADO DE APROVAÇÃO

TÍTULO DA DISSERTAÇÃO: Sistema de carregamento rápido de veículo elétrico puro

AUTOR: CAMILO ALEXEY SUAREZ BUITRAGO
ORIENTADOR: CARLOS ALBERTO CANESIN

Aprovado como parte das exigências para obtenção do Título de Mestre em ENGENHARIA ELÉTRICA, área: AUTOMAÇÃO pela Comissão Examinadora:

Prof. Dr. CARLOS ALBERTO CANESIN
Departamento de Engenharia Elétrica / Faculdade de Engenharia de Ilha Solteira

Prof. Dr. GUILHERME DE AZEVEDO E MELO
Departamento de Engenharia Elétrica / Faculdade de Engenharia de Ilha Solteira

Prof. Dr. MOACYR AURELIANO GOMES DE BRITO
Faculdade de Engenharias, Arquitetura e Urbanismo e Geografia / Universidade Federal de Mato Grosso do Sul

Ilha Solteira, 13 de março de 2017

AGRADECIMENTOS

Ao Professor Doutor Carlos Alberto Canesin pela confiança, a orientação, e contínuo apoio.

Ao Professor Doutor Guilherme de Azevedo e Melo pelo suporte teórico e técnico.

Aos meus pais pelo seu compromisso e abnegação.

Aos colegas do laboratório Luís, Luciano, Marcos e Marcus pela sua contínua colaboração.

Aos meus amigos Clissia, Prissilla e Julius, por terem me feito sentir em casa, ainda estando tão longe do meu país.

À Fabian, Jorge, Ronaldo e Edileusa pela companhia e sincera amizade.

À CAPES pelo apoio financeiro.

RESUMO

Uma das principais dificuldades para a adoção dos veículos elétricos (VE) é o tempo de abastecimento (carregamento elétrico), considerado elevado quando comparado com o tempo requerido para abastecer um veículo com motor a combustão interna. O carregamento do VE típico de passageiros é geralmente realizado na residência do proprietário, ligando o carregador interno do VE em uma tomada convencional monofásica. Este método de carregamento é conhecido como de Corrente Alternada (CA), requer, tipicamente pelo menos 7 horas para fornecer uma carga completa. Por outro lado, o método de carregamento por Corrente Continua (CC) oferece tempos de carregamento entre 10 e 80 minutos. Contudo, para obter este nível de desempenho, são empregados carregadores externos de alta potência ligados de forma direta ao banco de baterias do VE. Devido ao custo e aos requerimentos de alimentação, estes carregadores rápidos são usados principalmente em aplicações públicas e comerciais. As pesquisas pelas melhores topologias a serem empregadas nos carregadores rápidos ainda são, neste ano de 2017 objeto de estudos em escala mundial.

Neste contexto, este trabalho descreve a análise e implementação de um protótipo de carregador externo rápido para VE, o qual é composto por um retificador híbrido trifásico com correção ativa do fator de potência (Etapa CA-CC), seguido de um conversor tipo Buck entrelaçado (Etapa CC-CC). Na etapa CA-CC são impostas correntes de entrada senoidais, obtendo desta forma uma reduzida distorção harmônica total (DHT). Nesta etapa são empregados retificadores SEPIC comutados sob corrente nula (*Zero Current Switching, ZCS)* controlados por uma simples modulação por histerese, em paralelo com um retificador trifásico a diodos de seis pulsos. O estágio SEPIC processa apenas uma fração da potência total entregue pelo retificador híbrido, reduzindo deste modo os esforços de corrente dos semicondutores empregados, permitindo o uso desta topologia em elevados níveis de potência. Na etapa CC-CC o conversor Buck entrelaçado é controlado por modulação de largura de pulso (*Pulse-Width Modulation, PWM*), permitindo assim a implantação da técnica de carregamento por corrente constante e tensão constante (*Constant Current-Constant Voltage, CC-CV)*, comumente empregada em baterias de íons de lítio e supercapacitores (SC).

Como principal resultado foi obtido o carregamento de um banco de supercapacitores de 2,54 F, com corrente constante de 20 A, variando sua tensão de 180 V a 270 V com uma duração de 40 s, obtendo uma distorção harmônica total de 3,52% na corrente de entrada, ajustando-se ao padrão IEEE 2030.1.1-2015.

Palavras-chave: Carregador rápido para veículo elétrico. Retificador híbrido. SEPIC ZCS. Conversor Buck entrelaçado. Carregamento de supercapacitores. CFP.

ABSTRACT

One of the main barriers against electric vehicle (EV) adoption is related to the battery recharging time, which is relatively high when compared to the time required to fill up a gasoline/diesel internal combustion engine vehicle. EV charging generally is done at home, using the on-board EV charger tied to conventional single phase power inlet, this charging method is known as Alternating Current (AC) and takes at least 7 hours to provide a full charge. On the other hand, the Direct Current (DC) method offers charging times from 1.2 hours to 10 minutes. However, to reach this performance, high power off-board chargers also known as fast-chargers (FC), directly charge the EV battery bank. Due to its cost and power supply requirements FC are used only in public or commercial applications. The researches for the best FC topologies are an active area of studies over the world.

This work describes the analysis and implementation of an off-board electric vehicle (EV) Fast Charger prototype. It is composed by a three-phase hybrid rectifier with power factor correction (AC/DC stage), followed by an interleaved buck converter (DC/DC stage). At AC/DC stage, sinusoidal input phase currents are imposed, and consequently low Total Harmonic Distortion (THD) is obtained by the use of Zero Current Switching (ZCS) SEPIC rectifiers, applying a simple hysteresis control technique, in parallel with a conventional three-phase six pulses diode rectifier. The SEPIC converters manage only a fraction of the total power delivered by the hybrid rectifier, reducing the semiconductors current stresses, and allowing the use of this topology for high power levels. At DC/DC stage, the interleaved buck converter is controlled by Pulse Width Modulation (PWM), allowing Constant Current–Constant Voltage (CC-CV) charging technique, typically used for Lithium-ion (Li) batteries and Supercapacitors (SC).

As main result of this implementation was obtained a charging process using constant a constant current of 20A over a supercapacitor bank of 2,54 F, raising its voltage from 180V to 270V in less than 40s, having a input phase current THD of 3,52%, fulfilling the requirements of IEEE 2030.1.1-2015 standard.

Keywords: Fast three-phase EV charger. Hybrid rectifier. ZCS SEPIC rectifier. Interleaved buck converter. Supercapacitor charging. PFC.

LISTA DE FIGURAS

Figura 1- Técnica de carregamento CC-CV para baterias de lítio e SC 24
Figura 2- Níveis de carregamento para veículo elétricos 27
Figura 3- Sistema de troca de energia para VE.....29
Figura 4- Diagrama de blocos do carregador rápido proposto 31
Figura 5- Carregador rápido para VE proposto 32
Figura 6- Retificador Híbrido Trifásico. 34
Figura 7- Formas de onda da corrente de entrada na fase “a” do retificador híbrido. 36
Figura 8- Formas de onda da corrente de entrada do retificador híbrido, na fase “a”, imposta como senoidal, para K<2. 37
Figura 9- Formas de onda da corrente de entrada do retificador híbrido, na fase “a”, para K<2. 38
Figura 10- Variação das potências médias dos retificadores não controlado $P_{Retif-1}$ e controlado $P_{Retif-2}$, em função do parâmetro K. 41
Figura 11- Variação do Fator de Potência do retificador híbrido, em função do parâmetro "K". 43
Figura 12 - Variação da DHT em função do parâmetro K para correntes de entrada do retificador trifásico híbrido. 44
Figura 13- Retificador SEPIC ZCS 45
Figura 14 - Formas de onda da tensão e corrente de entrada do conversor SEPIC ZCS, para K < 2 45
Figura 15- Imposição da corrente de entrada $i_{in}(\omega t)$ mediante modulação por histerese.....48
Figura 16- Etapas de operação do conversor SEPIC. (a) primeira etapa, chave S_1 em condução. (b) segunda etapa: chave S_1 em bloqueio. 49
Figura 17- Comportamento da corrente de entrada $i_{Lin}(t)$ durante um período de comutação. 50
Figura 18- Comportamento da corrente $i_{Lm}(t)$ durante um período de comutação. ..51
Figura 19- Célula de ressonância do retificador SEPIC ZCS. 52
Figura 20- Principais formas de onda idealizadas do retificador SEPIC ZCS e etapas de funcionamento durante o decorrer de um período genérico de chaveamento. 53

Figura 21 - Circuito simplificado para análise do conversor SEPIC ZCS. 54
Figura 22- Conversor Buck entrelaçado 69
Figura 23- Conversor Buck entrelaçado de duas células. 70
Figura 24- Tensões e correntes no conversor Buck entrelaçado de duas células para D_c<0.5. 71
Figura 25- Conversor entrelaçado de n_c células. 74
Figura 26- Modelo do conversor Buck de duas células com carga capacitiva. 77
Figura 27- Correntes nos indutores do conversor Buck entrelaçado de duas células e D_c>0,5. 79
Figura 28- Primeira etapa de funcionamento do conversor Buck entrelaçado de duas células. 80
Figura 29- Segunda etapa de funcionamento do conversor Buck entrelaçado de duas células. 81
Figura 30- Terceira etapa de funcionamento do conversor Buck entrelaçado de duas células. 82
Figura 31- Quarta etapa de funcionamento conversor Buck entrelaçado de duas células. 83
Figura 32- Modelo simplificado do conversor Buck entrelaçado.....86
Figura 33- Modelo CC do conversor Buck pelo método da chave PWM. 87
Figura 34- Modelo CA do conversor Buck pelo método da chave PWM. 88
Figura 35- Modelo CA equivalente do conversor Buck pelo método da chave PWM. 88
Figura 36 - Relação da indutância com a razão cíclica, com ripple de corrente fixo.....90
Figura 37- Esquemático de controle de carregamento por corrente constante. 94
Figura 38- Diagrama de Bode da função de transferência Gid(s) do conversor Buck entrelaçado. 94
Figura 39- Diagrama de Bode da função de transferência G_{vd}(s) do conversor Buck entrelaçado. 95
Figura 40- Diagrama de bode do sistema controlado por corrente.....96
Figura 41- Diagrama de Bode do sistema controlado por tensão.....96
Figura 42- Diagrama de blocos da implementação do carregador rápido 98
Figura 43- Placa dSPACE DS1104 R&D.....100
Figura 44- Diagrama de blocos do processo de aquisição de sinais analógicos....101

Figura 45- Diagrama de blocos usado na geração do sinal de referência do retificador SEPIC. 102
Figura 46- Diagrama de blocos do controlador do conversor Buck. 104
Figura 47- Configuração dos parâmetros dos blocos PID 105
Figura 48- Diagrama de blocos do sistema de monitoramento e controle. 107
Figura 49- Circuito isolado para aquisição de sinais analógicos. 108
Figura 50- Circuito isolado para geração de sinais analógicos. 109
Figura 51- Circuito de isolação para sinais digitais: (a) entradas digitais (b) saídas digitais. 109
Figura 52- Placa de isolação. 110
Figura 53- Placa de potência do retificador não controlado. 111
Figura 54- Diagrama simplificado do retificador de seis pulsos. 112
Figura 55- Diagrama de blocos da placa de condicionamento de sinais do retificador Retif_1 113
Figura 56- Circuito de filtragem usado na aquisição da corrente I_{Rect_1} 114
Figura 57- Circuito de detecção de passagem por zero. 115
Figura 58- Placa de condicionamento do retificador não controlado 115
Figura 59- Circuito simplificado do retificador SEPIC ZCS. 116
Figura 60- Placa de potência do retificador SEPIC ZCS. 116
Figura 61- Diagrama de blocos da placa de condicionamento e controle do retificador SEPIC. 117
Figura 62- Comparador com histerese fixa. 118
Figura 63- Circuito de controle dos sinais de gate das chaves S_{1_a} e S_{2_a}. 119
Figura 64- Efeito da comutação suave no controle por histerese. 119
Figura 65- Placa de condicionamento e controle do retificador SEPIC ZCS. 120
Figura 66- Especificação dos componentes empregados no conversor Buck. 121
Figura 67- Placa do conversor Buck entrelaçado. 121
Figura 68- Diagrama de blocos da placa de condicionamento do conversor Buck. 122
Figura 69- Placa de condicionamento do conversor Buck. 123
Figura 70- Corrente no indutor de entrada $i_{Lin_a}(\omega t)$ do retificador SEPIC. 125
Figura 71- Efeito da indutância de entrada na imposição da corrente de referência. 126
Figura 72- Tensão (azul) e corrente de entrada (preto) do retificador SEPIC. 127
Figura 73- Espectro harmônico para a corrente de entrada $i_a(\omega t)$ 127

Figura 74- Tensão e corrente de saída do retificador SEPIC. 128
Figura 75- Tensão (azul) e corrente (preto) de saída no retificador não controlado (Retif_1).....129
Figura 76- Comutação suave: Tensão e corrente na chave S_{1_a}.....130
Figura 77- Tensão e corrente na chave principal do retificador SEPIC A durante um período de rede. 131
Figura 78- Comutação suave: tensão e corrente na chave auxiliar S_{2_a}. 132
Figura 79- Tensão e corrente na chave auxiliar S_{2_a} durante um período de rede. 132
Figura 80- Comutação suave: tensão no diodo D_1. 133
Figura 81- Comutação suave: Tensão no capacitor C_r. 133
Figura 82- Comutação suave: tensão no diodo D21. 134
Figura 83- Comutação suave: corrente (preto) e tensão (azul) no diodo de saída D22.....135
Figura 84- Oscilação do sinal de corrente i_{Lin_a} (ωt) durante o processo de chaveamento.....136
Figura 85- Sinal de saída do comparador analógico durante um período de comutação.....136
Figura 86- Múltiplas comutações da chave auxiliar num período de chaveamento 137
Figura 87- Processo de carga: tensão e corrente no banco de supercapacitores. 139
Figura 88- Tensão na chave S_{b1} (azul) e corrente de saída I_{L1} da célula 1 do conversor Buck.....140

LISTA DE TABELAS

Tabela 1- Níveis de carregamento de VE segundo a norma SAE J1772 26
Tabela 2- Especificações técnicas e comercias do sistema de troca de energia para VE. 30
Tabela 3- Dados de projeto do retificador não controlado. 63
Tabela 4- Esforços de tensão e corrente nos diodos da ponte retificadora trifásica. 63
Tabela 5- Cálculo do filtro de saída do retificador não controlado. 64
Tabela 6- Dados de projeto do retificador controlado. 64
Tabela 7- Cálculo dos elementos de acumulação do retificador controlado. 65
Tabela 8- Projeto do conversor SEPIC ZCS. 65
Tabela 9- Esforços máximos de corrente e tensão sobre os diodos da ponte retificadora de entrada do conversor SEPIC. 66
Tabela 10- Esforços máximos de corrente e tensão sobre o interruptor controlado S_1 66
Tabela 11- Esforços máximos de corrente e tensão no interruptor controlado S_2. ...67
Tabela 12- Esforços máximos de tensão e corrente no diodo do circuito ressonante D_1.....67
Tabela 13- Esforços máximos de corrente e tensão sobre os diodos de saída D_{21} e D_{22}. 67
Tabela 14- Dados de projeto conversor Buck entrelaçado. 90
Tabela 15- Esforços máximos de tensão e corrente no interruptor controlado S_{b1} do conversor Buck entrelaçado. 92
Tabela 16 - Esforços máximos de tensão e corrente no diodo Db1 do conversor Buck entrelaçado. 92
Tabela 17- Principais características da placa DS1104 99
Tabela 18- Sinais adquiridos e gerados mediante a placa DS1104 R&D. 106
Tabela 19- Distribuição de potência nos conversores do retificador híbrido para K=2. 124
Tabela 20- Condições de operação do retificador SEPIC na fase “a”.....125
Tabela 21- Condições de operação do conversor Buck 138

LISTA DE ABREBIATURAS E SIGLAS

“C”	Capacidade de corrente nominal de uma bateria
AI	*Analog Input*
AO	*Analog Output*
BMS	*Battery Management System*
CA	Corrente Alternada
CC	Corrente Contínua
CR	Carregador rápido
CV	*Constant Voltage*
DHT	Distorção Harmônica Total
DI	*Digital Input*
DO	*Digital Output*
IEEE	Instituto de Engenheiros Eletricistas e Eletrônicos
K	Constante de controle do retificador híbrido
LCO	*Lithium Cobalt Oxide*
LEP	Laboratório de Eletrônica de Potência
Retif_1	Retificador não controlado do retificador híbrido
Retif_2	Retificador controlado do retificador híbrido
SC	Supercapacitor
SEPIC	*Single Ended primary-inductot converter*
SOC	*State of charge*
VE	Veículo elétrico
ZCS	*Zero Current Switching*

LISTA DE SÍMBOLOS

$P_{carregador}$	Potência nominal do carregador rápido
n_c	Número de células do conversor Buck entrelaçado
$V_a(\omega t)$	Tensão de entrada na fase "a"
$V_b(\omega t)$	Tensão de entrada na fase "b"
$V_c(\omega t)$	Tensão de entrada na fase "c"
$i_a(\omega t)$	Corrente de entrada na fase "a"
$i_b(\omega t)$	Corrente de entrada na fase "b"
$i_c(\omega t)$	Corrente de entrada na fase "c"
$i_{a1}(\omega t)$	Corrente de entrada do retificador não controlado na fase "a"
$i_{b1}(\omega t)$	Corrente de entrada do retificador não controlado na fase "b"
$i_{c1}(\omega t)$	Corrente de entrada do retificador não controlado na fase "c"
$i_{a2}(\omega t)$	Corrente de entrada do retificador controlado na fase "a"
$i_{b2}(\omega t)$	Corrente de entrada do retificador controlado na fase "b"
$i_{c2}(\omega t)$	Corrente de entrada do retificador controlado na fase "c"
$i_{D2_a}(\omega t)$	Corrente de saída do conversor SEPIC A
$i_{D2_b}(\omega t)$	Corrente de saída do conversor SEPIC B
$i_{D2_c}(\omega t)$	Corrente de saída do conversor SEPIC C
$i_{Lin}(\omega t)$	Corrente no indutor de entrada do conversor SEPIC
$i_{Lm}(\omega t)$	Corrente no indutor de saída do conversor SEPIC
L_o	Indutor do filtro de saída do retificador não controlado
C_o	Capacitor do filtro de saída do retificador não controlado
C_e	Capacitor de acumulação do conversor SEPIC
C_r	Capacitor da célula de ressonância do conversor SEPIC
V_{ce}	Tensão no capacitor C_e
V_{retif}	Tensão de saída do retificador não controlado
I_{Retif_1}	Corrente de saída do retificador não controlado
I_o	Corrente de saída do retificador híbrido
V_o	Tensão de saída do retificador não controlado
I_{Retif_2}	Corrente de saída do retificador controlado
L_{in}	Indutor de entrada do conversor SEPIC
L_{r1}	Indutância da célula de ressonância do conversor SEPIC

L_{r2}	Indutância da célula de ressonância do conversor SEPIC em serie com a chave S_2
S_1	Chave controlada principal do conversor SEPIC
S_2	Chave controlada auxiliar do conversor SEPIC
D_1	Diodo da célula de ressonância do conversor SEPIC
D_2	Diodo de saída do conversor SEPIC
$\omega\Delta t$	Intervalo de tempo com corrente nula na entrada do retificador SEPIC
$S_{infal_Ref1_unit}(\omega t)$	Sinal de referência unitário para o controle por histerese do conversor SEPIC
P_{in_SEPIC}	Potência de entrada do conversor SEPIC
V_p	Tensão de pico no conversor SEPIC
I_p	Corrente de pico no conversor SEPIC
P_{Retif_1}	Potência do retificador não controlado
P_{Retif_2}	Potência do retificador controlado
V_{a_ef}	Tensão efetiva de entrada na fase "a"
P_{Total}	Potência total do retificador híbrido
P_{in}	Potência de entrada do retificador híbrido
S_{in}	Potência aparente de entrada do retificador híbrido
FP	Fator de potencia
I_{LinMd}	Corrente média de entrada do retificador SEPIC
I_{Lin_ef}	Corrente efetiva de entrada do retificador SEPIC
I_{LmMd}	Corrente média no indutor de saída do retificador controlado
I_{Lm_ef}	Corrente efetiva no indutor de saída do retificador controlado
I_{LVp}	Corrente de entrada de pico retificador controlado com tensão de entrada máxima do conversor SEPIC
I_p	Corrente de entrada pico no indutor de sadia do conversor SEPIC
P_{out_SEPIC}	Potência de saída do conversor SPEIC
T_i	Período do processo de ressonância do conversor SEPIC
V_{in}	Tensão de entrada do conversor SEPIC
V_o	Tensão de saída do retificador não controlado
t	Tempo
t_{on}	Tempo ativação da chave principal S_1 do conversor SEPIC

t_{off}	Tempo de bloqueio da chave principal S_1 do conversor SEPIC
ΔI_{Lin}	*Ripple* da corrente de entrada do conversor SEPIC
ΔI_{Lm}	R*ipple* da corrente no indutor de saída do conversor SEPIC
f_s	Frequência de comutação do retificador SEPIC
$i_{Lr1}(\omega T_i)$	Corrente no indutor da célula de ressonância L_{r1}
$i_{Lr2}(\omega T_i)$	Corrente no indutor da célula de ressonância L_{r2}
$V_{cr}(\omega T_i)$	Tensão no capacitor da célula de ressonância C_r
ω_1	Frequência de ressonância entre L_{r1} e C_r
ω_2	Frequência de ressonância entre L_{r2} e C_r
L_{eq}	Indutância equivalente entre L_{r1} e L_{r2}
ω_{eq}	Frequência de ressonância entre L_{r1}, L_{r2} e C_r
β	Beta
$\Delta t_n(\omega T_i)$	Enésimo intervalo de tempo do processo de comutação suave
$\alpha(\omega t)$	Alpha
$i_{Lr2_pico}(\omega T_i)$	Corrente de pico em L_{r2} durante um período de comutação suave
$i_{Lr1_min}(\omega T_i)$	Corrente mínima em L_{r1} durante um período de comutação suave
$i_{Lr2_min}(\omega T_i)$	Corrente mínima em L_{r1} durante um período de comutação suave
$V_{D1_pico}(\omega T_i)$	Tensão de pico em D_2 durante um período de comutação suave
$V_{cr_min}(\omega T_i)$	Tensão de pico em C_r durante um período de comutação suave
$v_{ce}(\omega T_i)$	Tensão no capacitor Ce durante um período de comutação suave
$A_1(\omega T_i)$	Componente da definição de $\Delta t_8(\omega Ti)$
$A_2(\omega T_i)$	Componente da definição de $\Delta t_8(\omega Ti)$
T_{Sepic}	Período de comutação do conversor SEPIC
$t_{desligS1,S2}$	Instante do início da etapa de bloqueio das chaves S_1 e S_2 após t_{on}
$t_{off}(\omega t)$	Duração do bloqueio das chaves S_1 e S_2 após t_{on}
t_{offmax}	Duração máxima do bloqueio das chaves S_1 e S_2 após t_{on}
α_{max}	Valor máximo da função alpha
η	Eficiência
V_{DPico}	Tensão de pico nos diodos da ponte retificadora trifásica
I_{dmd}	Corrente média pico nos diodos da ponte retificadora trifásica
I_{DPico}	Corrente de pico nos diodos da ponte retificadora trifásica
ΔI_{Lo}	*Ripple* da corrente de saída do retificador não controlado
ΔV_{Co}	*Ripple* da tensão de saída do retificador não controlado

$\Delta t_2'$	Parâmetro de cálculo do filtro de saída do retificador não controlado
t_1'	Parâmetro de cálculo do filtro de saída do retificador não controlado
f_{smax}	Frequência máxima de operação do conversor SEPIC
$V_{Dpico1\varphi}$	Tensão de pico nos diodos da ponte retificadora do retificador SEPIC
$I_{DMd1\varphi}$	Corrente de média nos diodos da ponte retificadora do retificador SEPIC
V_{s1Pico}	Tensão de pico na chave principal S_1 do conversor SEPIC
V_{s1Md}	Tensão média na chave principal S_1 do conversor SEPIC
I_{s1Pico}	Corrente de pico na chave principal S_1 do conversor SEPIC
$I_{Ds1Pico}$	Corrente de pico inversa na chave principal S_1 do conversor SEPIC
I_{s1ef}	Tensão efetiva na chave principal S_1 do conversor SEPIC
I_{s2Pico}	Corrente de pico na chave principal S_2 do conversor SEPIC
$I_{Ds2Pico}$	Corrente de pico inversa na chave principal S_2 do conversor SEPIC
V_{s2Pico}	Tensão de pico na chave principal S_2 do conversor SEPIC
V_{D1Pico}	Tensão de pico no diodo D_1
I_{D1Pico}	Corrente de pico no diodo D_1
V_{D2Pico}	Tensão de pico no diodo D_2
I_{D2Pico}	Corrente de pico no diodo D_2
D_c	Razão cíclica do conversor Buck entrelaçado
L_1	Indutor da célula 1 do conversor Buck entrelaçado
L_2	Indutor da célula 2 do conversor Buck entrelaçado
$i_{Sb1}(t)$	Corrente na chave controlada S_{b1} do conversor Buck
$i_{Sb2}(t)$	Corrente na chave controlada S_{b2} do conversor Buck
$V_{Sb1}(t)$	Tensão na chave controlada S_{b1} do conversor Buck
$V_{Sb2}(t)$	Tensão na chave controlada S_{b2} do conversor Buck
$V_{g_sb1}(t)$	Tensão de *gate* na chave controlada S_{b1} do conversor Buck
$V_{g_sb2}(t)$	Tensão de *gate* na chave controlada S_{b2} do conversor Buck
$i_{L1}(t)$	Corrente no indutor L_1
$i_{L2}(t)$	Corrente no indutor L_2
$i_{sc}(t)$	Corrente no banco de supercapacitores

$i_{Db1}(t)$	Corrente no diodo D_{b1} do conversor Buck
$i_{Db2}(t)$	Corrente no diodo D_{b2} do conversor Buck
$V_{Db1}(t)$	Tensão no diodo D_{b1} do conversor Buck
$V_{Db2}(t)$	Tensão no diodo D_{b2} do conversor Buck
V_{sc}	Tensão no banco de supercapacitores
C_{sc}	Capacitância do banco de supercapacitores
I_{L1P}	Corrente de pico no indutor L_1
I_{L2P}	Corrente de pico no indutor L_2
ΔI_{L1}	*Ripple* de corrente no indutor L_1
ΔI_{L2}	*Ripple* de corrente no indutor L_2
ΔI_{sc}	*Ripple* de corrente de carga no banco de supercapacitores
$\Delta I_2'$	*Ripple* de corrente no indutor L2 durante a primeira etapa de operação
R_L	Resistencia serie do indutor L
R_{dson}	Resistencia parasita de condução do transistor S
R_{sc}	Resistencia serie parasita do banco de supercapacitores
A	Matriz de estados do modelo do conversor Buck entrelaçado
B	Matriz de entrada do modelo do conversor Buck entrelaçado
C	Matriz de saída do modelo do conversor Buck entrelaçado
E	Matriz de transmissão direta da entrada para a saída do modelo do conversor Buck entrelaçado
X	Vetor de estado do modelo do conversor Buck entrelaçado
L_{eq}	Indutância equivalente entre L_1 e L_2
R_{dsoneq}	Resistencia parasita equivalente
$G_{id}(s)$	Função de transferência corrente de saída-razão cíclica do conversor Buck
$G_{vd}(s)$	Função de transferência tensão de saída-razão cíclica do conversor Buck
f_c	Frequência de comutação do conversor Buck
I_{Sb1Md}	Corrente média na chave S_{b1}
V_{Sb1_max}	Tensão máxima na chave S_{b1}
I_{Db1Md}	Corrente média na chave D_{b1}
V_{Db1P}	Tensão de pico na chave Db_1

$G_{vi}(s)$	Função de transferência tensão-corrente do conversor Buck
$H_1(s)$	Ganho do sensor de corrente 1 do conversor Buck entrelaçado
$H_2(s)$	Ganho do sensor de corrente 2 do conversor Buck entrelaçado
$H_3(s)$	Ganho do sensor de tensão do conversor Buck entrelaçado
$G_{mod}(s)$	Ganho do modulador PWM
I_{ref}	Corrente de referência para o controle da corrente de saída do conversor Buck
V_{ref}	Tensão de referência para o controle da tensão de saída do conversor Buck
$C_1(s)$	Controlador da malha de controle de corrente da célula 1 do conversor Buck
$C_2(s)$	Controlador da malha de controle de corrente da célula 2 do conversor Buck
$C_3(s)$	Controlador da malha de tensão de corrente da célula 2 do conversor Buck
$Z_{sc}(s)$	Impedância do banco de supercapacitores
U_{sc0}	Tensão inicial de carga do banco de supercapacitores
U_{sc_max}	Tensão máxima de carga do banco de supercapacitores

SUMÁRIO

1 INTRODUÇÃO 22
1.1 PROCESSO DE CARGA 24
1.2 CARREGADORES PARA VEÍCULOS ELÉTRICOS 25
1.2.1 Classificação 25
1.2.2 Características 27
1.2.3 Topologia 28
1.3 PROPOSTA DE CARREGADOR RÁPIDO 28
1.3.1 Requerimentos 28
1.3.2 Estratégia de carga 30
1.3.3 Topologia proposta 31
1.4 ESTRUTURA DO TRABALHO 32
2 **ESTAGIO CA-CC: RETIFICADOR TRIFÁSICO HÍBRIDO COM CORREÇÃO DO FATOR DE POTÊNCIA** 34
2.1 PRINCIPIO DE OPERAÇÃO 36
2.2 POTENCIA MÉDIA NOS RETIFICADORES CONTROLADOS E NÃO CONTROLADO, DHT E FATOR DE POTÊNCIA EM FUNCÃO DO PARÂMETRO K. 39
2.3 ANÁLISE DO FUNCIONAMENTO DO CONVERSOR CONTROLADO RETIF-2 44
2.3.1 Operação durante um período de rede 44
2.3.2 Operação durante o período de comutação 47
2.3.3 Operação da célula de comutação suave 52
2.4 CONSIDERAÇÕES NA IMPLEMENTAÇÃO DO CONVERSOR SEPIC ZCS NO RETIFICADOR TRIFÁSICO HÍBRIDO. 60
2.5 PROJETO DE RETIFICADOR TRIFÁSICO HÍBRIDO 62
2.6 CONCLUSÕES PARCIAIS 68
3 ESTAGIO CC-CC: CONVERSOR BUCK ENTRELAÇADO 69
3.1 ETAPAS DE OPERAÇÃO DO CONVERSOR BUCK ENTRELAÇADO DE DUAS CÉLULAS E ANÁLISE DO RIPPLE DA CORRENTE DE SAÍDA. 70
3.2 MODELAGEM DO CONVERSOR BUCK ENTRELAÇADO 74
3.3 MODELAGEM DO CONVERSOR ENTRELAÇADO DE DUAS CÉLULAS. 77
3.3.1 Modelo simplificado do conversor Buck entrelaçado 85

3.4 PROJETO DO CONVERSOR BUCK ENTRELAÇADO 89
3.4.1 Cálculo indutor 90
3.4.2 Esforços máximos de corrente e tensão nos semicondutores 91
3.4.3 Projeto dos controladores 92
3.5 CONCLUSÕES PARCIAIS 97
4 IMPLEMENTAÇÃO DO CARREGADOR RÁPIDO 98
4.1 SISTEMA DE CONTROLE E MONITORAMENTO 99
4.1.1 Aquisição e monitoramento 101
4.1.2 Geração dos sinais de referência 102
4.1.3 Controle do conversor Buck 103
4.2 PLACA DE ISOLAMENTO 108
4.3 RETIFICADOR HÍBRIDO 111
4.3.1 Placa de potência do retificador não controlado 111
4.3.2 Placa de condicionamento do retificador não controlado 112
4.3.3 Placa de potência do retificador SEPIC ZCS 116
4.3.4 Placa de condicionamento do retificador Sepic ZCS 117
4.4 CONVERSOR BUCK ENTRELAÇADO 120
4.4.1 Placa de potência do retificador Buck de duas células 120
4.4.2 Placa de condicionamento do conversor Buck 122
4.5 CONCLUSÕES PARCIAIS 123
5 RESULTADOS EXPERIMENTAIS DO CARREGADOR RÁPIDO 124
5.1 RETIFICADOR HÍBRIDO 124
5.1.1 Retificador SEPIC 125
5.1.2 Retificador não controlado 128
5.1.3 Comutação suave 129
5.1.4 Susceptibilidade ao ruído na modulação por histerese analógica 135
5.2 CONVERSOR BUCK 137
5.3 CONCLUSÕES PARCIAIS 140
CONCLUSÕES 141
TRABALHOS FUTUROS 143
REFERÊNCIAS 144

Capítulo I

1 INTRODUÇÃO

O primeiro veículo elétrico (VE) foi desenvolvido pouco depois da invenção das baterias de chumbo ácido recarregáveis e do motor elétrico no final do século XIX. No início do século XX a quantidade de VE era duas vezes maior que a quantidade de carros movidos a gasolina/diesel, porém, os veículos elétricos quase desapareceram em 1920 e foram substituídos pelos carros com motor de combustão interna, isto devido as limitações como elevado peso, reduzida capacidade, prolongado tempo de carregamento e baixa durabilidade das baterias da época (YOUNG; WANG, et al., 2012).

O futuro esgotamento das fontes de petróleo e a preocupação cada vez maior pelas consequências do aquecimento global, trazem de volta o interesse nos veículos elétricos. Em 2012 o setor de transporte foi responsável por 33,7% da geração total dos gases de efeito estufa (TIE; CHEE, 2013), fazendo notória a necessidade da adoção de fontes renováveis e limpas neste setor para a consecução de um futuro sustentável.

Além das considerações ambientais, os veículos elétricos reduzem os custos operativos de forma significativa quando comparados com os veículos com motor a combustão interna, segundo Tie et al. (2013) o custo por milha para um VE é de 2 centavos de dólar comparado contra os 12 centavos de um veículo movido a gasolina.

Embora existam notórias vantagens dos veículos elétricos, o alto custo e preocupações referentes ao desempenho, ciclo de vida e a segurança das baterias empregadas neste tipo de aplicação são elementos que tem dificultado sua adoção. Uma das principais barreiras na expansão dos VE é o tempo de carregamento, relativamente elevado quando comparado com o tempo requerido para abastecer um veículo com motor de combustão interna (CHANDRASEKARAN, 2014; SCHÜCKING; JOCHEM et al., 2017; HADDADIAN; KHODAYAR; SHAHIDEHPOUR, 2015). As limitações no carregamento dependem em grande medida da tecnologia da bateria empregada. Elevadas taxas de carregamento

(carga/descarga) podem danificar a estrutura química, especialmente nas baterias de íons de Lítio (LCO) usualmente empregadas nos VE (CHANDRASEKARAN, 2014). Isto faz com que os processos de carga sejam feitos com taxas inferiores a 1C ("C" representa a Capacidade de corrente nominal da bateria, em Amperes), tomando uma hora ou mais para completar esta tarefa.

As baterias automotivas convencionais não são projetadas para fornecer ou aceitar picos elevados de corrente, produto de processos como a rápida aceleração do veículo ou frenagem regenerativa. Em resposta, o uso de supercapacitores (SC) tem sido proposto, isto devido a sua capacidade de absorver e prover grandes quantidades de carga em tempos curtos, sem apresentar degradação (LU; ZHU et al., 2007). Porém, a principal desvantagem dos SC está relacionada com sua relativa baixa densidade de energia, restringindo seu uso como uma fonte de energia auxiliar nos VE. Levando em conta as vantagens dos SC é possível inseri-los como elemento de interface entre um carregador rápido (CR) e um banco de baterias de lítio convencional, especialmente em aplicações que apresentam tempos de carregamento limitados.

As propriedades dos SC podem ser exploradas de forma ótima no sistema de transporte público baseado em ônibus, deste modo, durante os processos de embarque e desembarque de passageiros, o banco de SC é carregado pelo CR através da injeção de uma corrente elevada (MAPELLI; TARSITANO, 2013). Assim, uma vez que o banco de SC esteja completamente carregado a energia coletada é transferida para o banco de baterias com uma taxa controlada determinada pelo sistema de gerenciamento de baterias (BMS) do ônibus, maximizando a transmissão de energia sem exceder os limites de carga do banco de baterias.

Neste trabalho é descrita a implementação de um protótipo de carregador rápido, projetado para alimentar o banco de SC de um ônibus, representado por um modelo de pequena escala desenvolvido por Ferreira (2014) no Laboratório de Eletrônica de Potência (LEP) da Universidade Estadual Paulista UNESP-FEIS.

A seguir estudam-se os conceitos básicos envolvidos no processo de carga de baterias e SC, assim como, as topologias, classificações e características dos carregadores rápidos para VE. No final deste capitulo é descrita de forma sucinta a

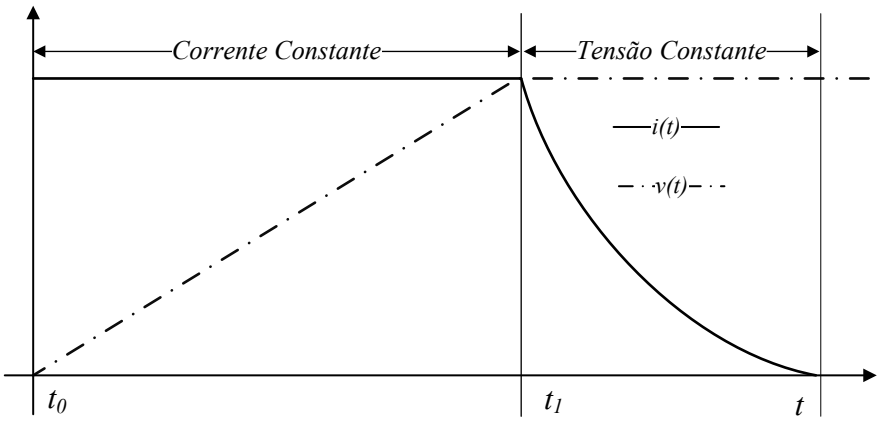
proposta de carregador rápido desenvolvida, seguida da apresentação da estrutura do trabalho.

1.1 PROCESSO DE CARGA

Segundo a norma IEEE 2030.1.1-2015 o processo de carga está definido como o “fornecimento de corrente elétrica contínua para a bateria desde uma fonte de potência externa, produzindo uma reação química nas sustâncias ativas e armazenando energia na bateria em forma de energia química” (IEEE 2030.1.1-2015, 2016, p. 2). Este conceito pode ser reformulado para o carregamento de SC de camada dupla (EDLC), salientado que o processo de armazenamento de energia é feito através da acumulação de carga, sem envolver reações químicas.

A técnica convencional empregada no carregamento de baterias automotivas de íons de Lítio e SC está composta por duas etapas, definidas como corrente constante (CC) e tensão constante (CV). Como ilustrado na Figura 1, a corrente de carga deve permanecer constante até atingir a tensão nominal do banco de baterias ou SC, momento a partir do qual a tensão deve permanecer constante até a extinção da corrente (YI-HWA; YI-FENG, 2010). Quanto maior for a corrente usada na primeira etapa, menor será o tempo de carregamento; porém, devem ser respeitados os limites especificados pelos fabricantes das baterias/SC.

Figura 1- Técnica de carregamento CC-CV para baterias de lítio e SC



Fonte: Próprio autor

De forma geral, o processo de carregamento precisa da conversão da tensão alternada (CA) da rede para uma tensão continua (CC) regulada e de magnitude de

acordo com os elementos de armazenamento de energia presentes no VE, empregando conversores de potência que permitam o controle adequado da corrente de saída.

1.2 CARREGADORES PARA VEÍCULOS ELÉTRICOS

1.2.1 Classificação

Dependendo da localização do equipamento de conversão de corrente CA para CC, os carregadores são classificados como do tipo embarcado (*on-board*) ou externos (*off-board*).

Os carregadores embarcados são projetados especificamente para o tipo e tamanho do banco de baterias definido pelo fabricante do VE, na sua alimentação só é requerida uma tomada com tensão CA, sua potência e consequentemente a corrente de carga está limitada por fatores como peso, espaço e custo, que afetam a performance e o preço do VE.

Por outro lado, os carregadores externos apresentam um número menor de restrições de peso e tamanho e possuem capacidade de operar com potências maiores, conseguindo tempos de carregamento menores quando comparados com os carregadores do tipo *on-board*. O método de carregamento nestes carregadores é conhecido como CC fornecendo corrente diretamente para o banco de baterias/SC, segundo a norma IEEE 2030.1.1-2015 (IEEE, 2016), este método facilita a transferência rápida de energia da rede para o VE, permitindo drenar correntes maiores que as obtidas pelo método CA característico dos carregadores embarcados.

Segundo a norma J1772 da Sociedade de Engenheiros automotivos (YONG *et al*, 2015), os níveis de carregamento nos VE são classificados em três níveis para cada método de carregamento CA ou CC, de acordo com a potência de saída e o tempo de carregamento, como apresentado na Tabela 1.

Tabela 1- Níveis de carregamento de VE segundo a norma SAE J1772

Nível de Carregamento	Tensão e Potência de Saída	Tempo de Carregamento	Tipo de carregador
CA nível 1	120 V, 1.4kW (12 A)120 V, 1.9 kW (16 A)	17h (SOC 20% a 100%)	Embarcado
CA nível 2	240 V, até 19.2 kW (80 A)	7h - 1.2 h (SOC 20% a 100%)	Embarcado
CC nível 1	200-450 Vcc, até 36 kW (80 A)	1.2 h (SOC 20% a 100%)	Externo
CC nível 2	200-450 Vcc até, 90 kW (200 A)	20 min (SOC 20% a 80%)	Externo
CC nível 3	200-600 Vcc até 240 kW (400 A)	< 10 min (SOC 0 a 80%)	Externo

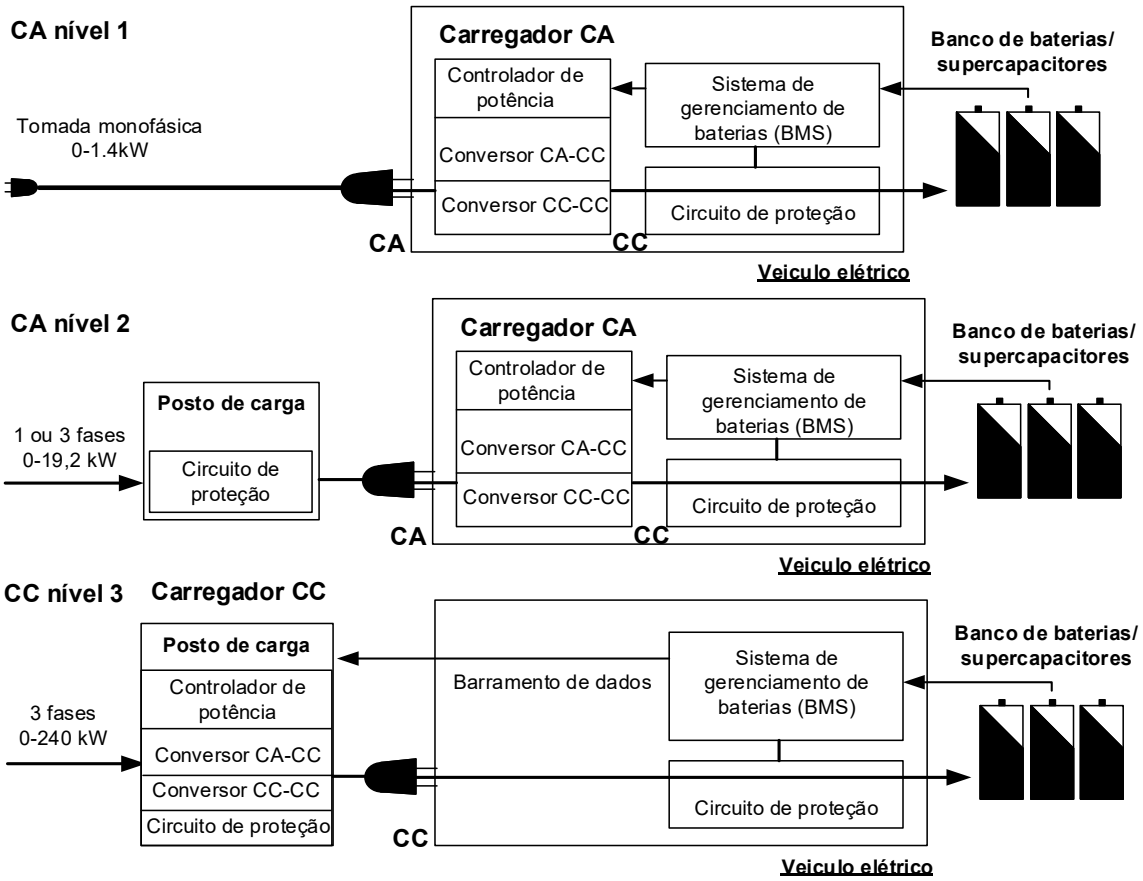
Fonte: Adaptado de Yong et al. (2015).

Na maioria dos casos, o carregamento do VE é feito em casa durante a noite, ligando o veículo em uma tomada convencional. Este tipo de carregamento considerado lento é classificado como CA nível 1. No carregamento CA nível 2, chamado de semirrápido, o VE é ligado numa tomada de 240 V, geralmente para os níveis 1 e 2 do tipo CA, só uma fase da rede é requerida.

Por sua vez, os carregadores pertencentes aos níveis 1, 2 e 3 do tipo CC precisam de um sistema trifásico para sua alimentação, fornecendo uma tensão CC na saída, destinada ao carregamento direto do banco de baterias/SC; por seu peso, tamanho e custo são destinados para aplicações de uso público ou comercial (YILMAZ; KREIN, 2013;DUSMEZ; COOK; KHALIGH, 2011). Estes equipamentos são considerados rápidos, obtendo períodos de recarga inferiores a uma hora, de forma específica o nível 3 foi projetado para equiparar o tempo de abastecimento do VE com o requerido por um veículo com motor de combustão interna, definindo uma potência de saída de até 240 kW e um tempo de carregamento inferior a 10 min.

Um breve resumo referente a topologia dos distintos níveis de carregamento e carregadores pode ser visto na Figura 2.

Figura 2- Níveis de carregamento para veículo elétricos



Fonte: Adaptado de Schwarzer et al. (2015).

1.2.2 Características

Além das especificações de potência e tempo de carregamento, existem outros requisitos a serem atendidos por parte de um carregador rápido, tais como:

- Impacto mínimo na rede, mantendo níveis reduzidos de DHT.
- Maximização da potência real disponível no ponto de alimentação, garantindo um fator de potência elevado.
- Níveis reduzidos de EMI
- Isolação galvânica com a rede.
- Regulação da tensão e corrente de saída.
- Alta eficiência.

Também considera-se importante que a topologia de carregador empregada seja econômica, robusta e de operação simples.

1.2.3 Topologia

Os carregadores externos para VE, de uma forma geral, constam de duas etapas, compostas por um conversor CA-CC seguido de um conversor CC-CC.

Na etapa CA-CC são usados retificadores com correção ativa ou passiva do fator de potência; geralmente opta-se pela variante ativa, responsável pela regulação da tensão CC, a correção do fator de potência, a eliminação dos componentes harmônicos da corrente de entrada e compensação da potência reativa.

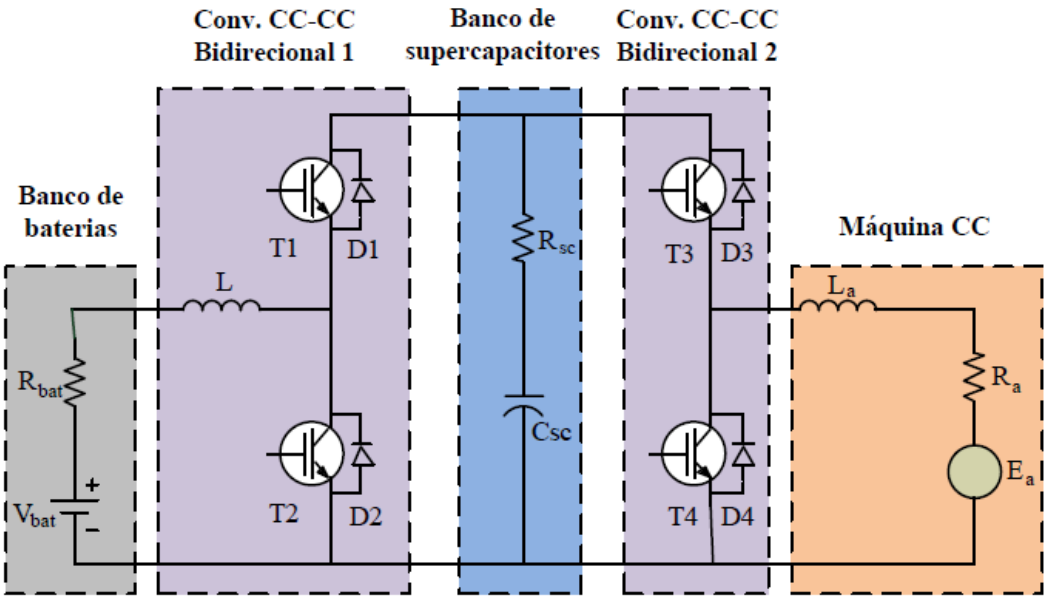
Na etapa CC-CC deve ser usado um conversor que garanta uma regulação adequada da tensão e corrente no banco de baterias/SC, levando em conta outras características como a necessidade ou não de isolação galvânica (DUSMEZ; COOK; KHALIGH, 2011).

1.3 PROPOSTA DE CARREGADOR RÁPIDO

1.3.1 Requerimentos

Como mencionado à priori, o protótipo de carregador desenvolvido neste trabalho tem por objetivo servir como estação de carregamento rápido para o sistema de troca de energia para VE, desenvolvido por Ferreira (2014). Este sistema conta com um banco de baterias de íons de lítio e um banco de supercapacitores como fontes de armazenamento de energia, descritos na Tabela 2, além de um conversor CC-CC encarregado de transferir energia entre os elementos de acumulação supracitados, destinados a alimentação de uma máquina CC, reaproveitando a energia proveniente do processo de frenagem regenerativa, vide Figura 3.

Figura 3- Sistema de troca de energia para VE



Fonte: Ferreira (2014).

O banco de capacitores foi dimensionado para armazenar uma energia de 14,31Wh, permitindo operar o motor CC em escala reduzida durante 70 s com potência nominal de 736W, enquanto o banco de baterias foi projetado para armazenar uma energia total de 1,56kWh, permitindo uma autonomia ao ônibus de 2,12 h.

Deste modo, visando obter o desempenho de um carregador CC de nível 3 é necessário que o sistema projetado consiga elevar o estado de carga das fontes de armazenamento de energia do modelo de 0 a 80% em 10 min. A partir deste requerimento foi definida a potência de saída do carregador rápido através da expressão (1.1).

$$P_{Carregador} = \frac{0{,}8.\,Energia\ total\ do\ sistema}{Tempo\ de\ carga} = \frac{0{,}8.1{,}56kWh}{\frac{1}{6}h} = 7.5kW \qquad (1.1)$$

Tabela 2- Especificações técnicas e comercias do sistema de troca de energia para VE.

	Banco de supercapacitores		**Banco de baterias de íon de lítio**	
	Capacitância [F]	**Faixa de tensão [V]**	**Capacidade [Ah]**	**Tensão de operação (média) [V]**
Especificações teóricas	2,54	180 - 270	16,48	90,6
Especificações comerciais	2,52	0 -368	15,6	100
Quantidade/descrição	23 módulos de 58F/16V conectados em série		27 conjuntos de 3 baterias em paralelo conectados em série	
Fabricante	MAXWEL		TRUE Power Technology	
Modelo	BMOD0058 E016 B02		TP18650	

Fonte: Ferreira (2014).

1.3.2 Estratégia de carga

Visando evitar a degradação das baterias de íon de Lítio e aproveitando as características dos supercapacitores, a carga é feita diretamente no banco de supercapacitores, fazendo uso da técnica de carregamento por corrente constante e tensão constante. Deste modo, o banco de supercapacitores será levado de uma tensão inicial de 180 V a 270 V, injetando uma corrente máxima de 27,8 A.

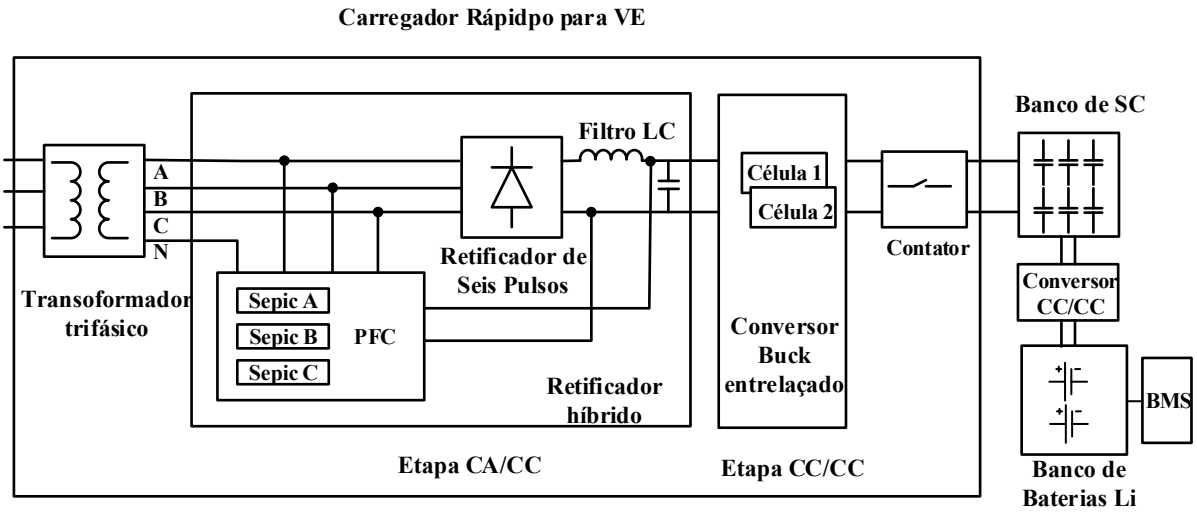
Levando em consideração que o armazenamento de energia dos supercapacitores é de 14,31Wh, correspondente a um por cento da capacidade total de armazenamento, o processo de carga será de apenas alguns segundos, no entanto permitirá avaliar o comportamento do carregador.

.

1.3.3 Topologia proposta

A topologia de carregador desenvolvida neste trabalho, apresentada na Figura 4, pode ser dívida em duas etapas, a primeira um conversor CA-CC composto por um retificador de seis pulsos a diodo e três retificadores SEPIC ZCS em paralelo, denominado retificador híbrido, e a segunda um conversor CC-CC do tipo Buck entrelaçado.

Figura 4- Diagrama de blocos do carregador rápido proposto



Fonte: Próprio autor

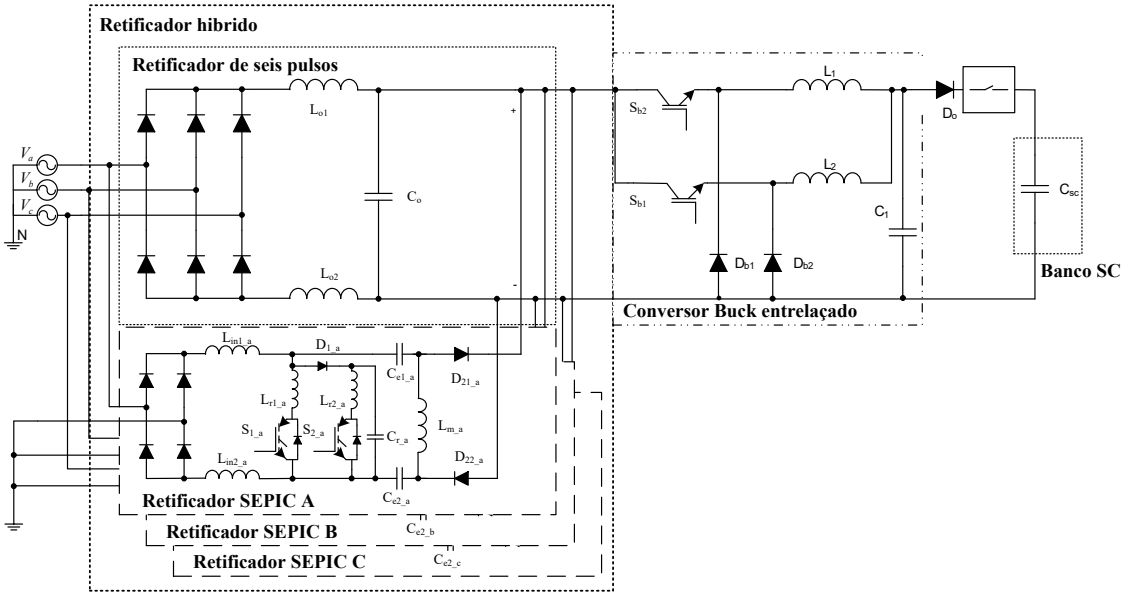
Os retificadores SEPIC impõem a corrente complementar das correntes drenadas pelo retificador a diodo, compondo correntes de entrada com formato senoidal em fase com as tensões de entrada, obtendo deste modo um fator de potência quase unitário e reduzida DHT. Este resultado é obtido processando pelos retificadores SEPIC apenas uma fração da potência total fornecida pelo retificador hibrido, reduzindo os esforços de corrente nos semicondutores, diminuindo o custo da estrutura (SOARES, 2008).

De outro lado, o retificador de seis pulsos fornece a tensão de alimentação para o conversor Buck entrelaçado, responsável pela regulação da tensão e pela corrente de carregamento. Nesta estrutura, a corrente é dividida entre as n_c células do conversor, dividindo os esforços de corrente entre os semicondutores e diminuindo o *ripple* da corrente de saída, duas das suas principais vantagens são sua escalabilidade e baixa complexidade no controle da corrente de saída.

Na entrada, o transformador trifásico permite a isolação galvânica da rede elétrica, comportando-se adicionalmente como um filtro, porém, processando desprezível quantidade de energia não ativa.

Na Figura 5 apresenta-se a estrutura detalhada do carregador rápido e a sua ligação com o banco de supercapacitores.

Figura 5- Carregador rápido para VE proposto



Fonte: Próprio autor.

1.4 ESTRUTURA DO TRABALHO

O capítulo II aborda o estudo do retificador híbrido, assim como das considerações requeridas para o emprego dos retificadores SEPIC ZCS nesta estrutura. São apresentados os resultados do projeto do retificador a partir das metodologias desenvolvidas por (SOARES, 2008; WAKABAYASHI, 2003).

O capitulo III é dedicado ao estudo do conversor Buck entrelaçado de n_c células, sendo apresentados dois métodos de modelagem para este conversor e projetados os controladores requeridos para a implementação do processo de carga por corrente constante e tensão constante do banco de supercapacitores.

O capitulo IV apresenta de forma detalhada o processo de implementação do carregador rápido, sendo descritos os circuitos empregados no controle dos

conversores de potência e apresentados os resultados finais do *hardware* construído.

O capítulo V contém os resultados e formas de onda principais derivados da operação do carregador rápido.

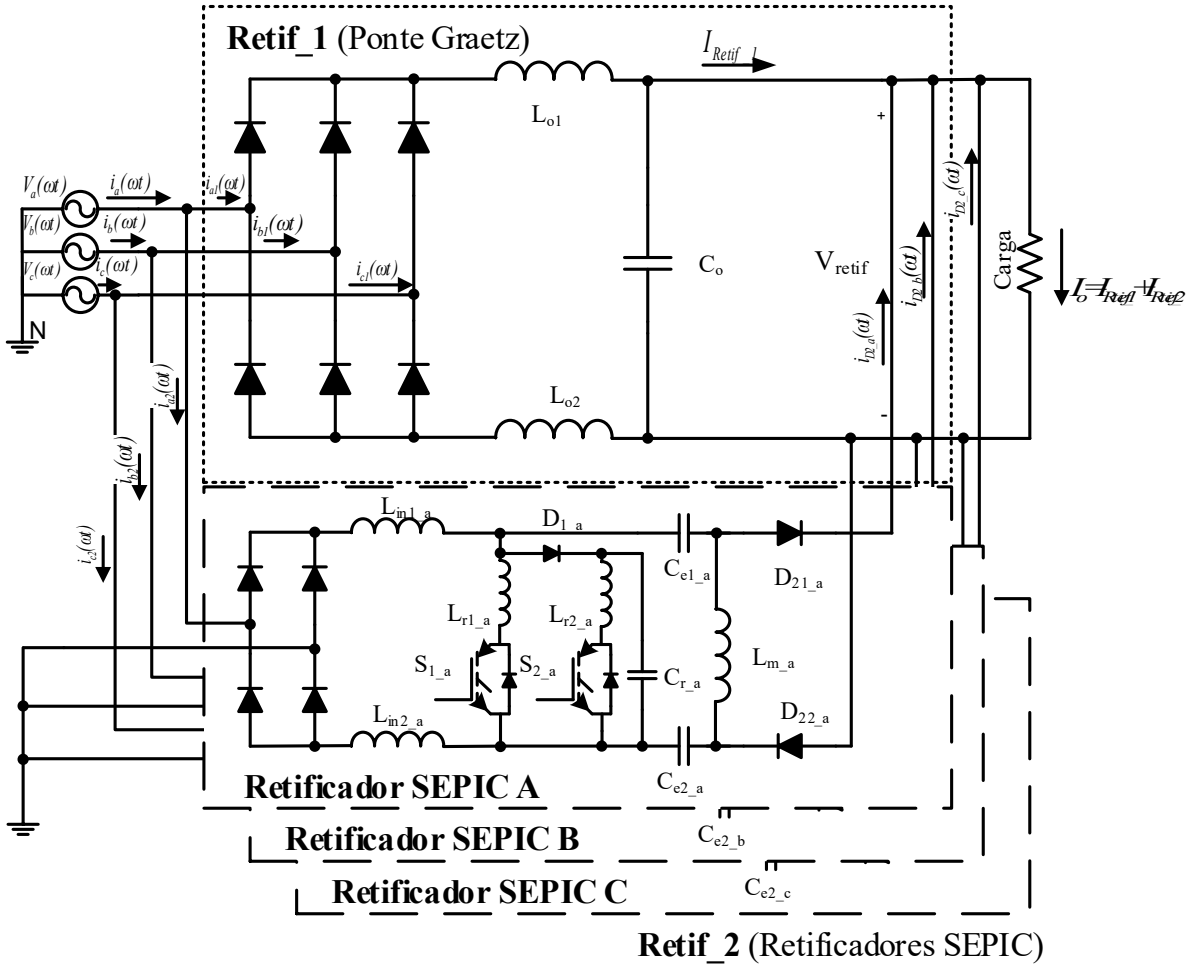
Finalmente, no capitulo VI são apresentadas as conclusões do trabalho e são feitas sugestões relacionadas à continuidade e melhoramento do trabalho desenvolvido.

Capítulo II

2 ESTAGIO CA-CC: RETIFICADOR TRIFÁSICO HÍBRIDO COM CORREÇÃO DO FATOR DE POTÊNCIA

Na implementação do estágio CA-CC do carregador rápido foi escolhida a estrutura mostrada na Figura 6, composto por um retificador híbrido trifásico com correção ativa do fator de potência. Este conversor está constituído por um retificador não controlado de seis pulsos com filtro indutivo na saída (Retif_1) e conexão paralela em cada fase de retificadores SEPIC (Retif_2). Esta estrutura foi descrita como parte da tese de doutorado de Soares (2008) baseado no trabalho de (FREITAS et al., 2004).

Figura 6- Retificador Híbrido Trifásico.



Fonte: Adaptado de Soares (2008).

Descrevendo de forma simplificada, os retificadores SEPIC possuem características de fontes de corrente possibilitando a imposição da forma de onda de corrente de entrada através de um sinal de referência. Assim, quando somadas as correntes drenadas pelos conversores SEPIC e as correntes drenadas pelo retificador não controlado, resulta em uma corrente senoidal, ou quase senoidal, em cada fase da rede, culminando em uma forma de onda com baixa distorção harmônica e em fase com a tensão de entrada.

A grande vantagem do retificador híbrido consiste na obtenção de níveis reduzidos de DHT, mediante o controle dos conversores SEPIC, combinado com a robustez e eficiência do retificador não controlado. Assim, a maior parte da potência entregue para a carga é conduzida pelo retificador não controlado operado em baixa frequência, enquanto o retificador controlado, opera em alta frequência e processa uma pequena parte da potência. Isto implica em custos reduzidos quando comparados com outras estruturas retificadoras, onde as chaves controladas do estágio CA-CC devem ser projetadas para processar a totalidade da potência do carregador (SOARES, 2008).

Visando diminuir os níveis de interferência eletromagnética do retificador hibrido, os retificadores SEPIC da estrutura original foram substituídos pela variante com comutação suave SEPIC ZCS desenvolvida por (WAKABAYASHI, 2003), permitindo desta aumentar a frequência de operação do circuito quando comparado com a estrutura original, melhorando a capacidade para impor correntes de entrada com derivadas elevadas.

2.1 PRINCIPIO DE OPERAÇÃO

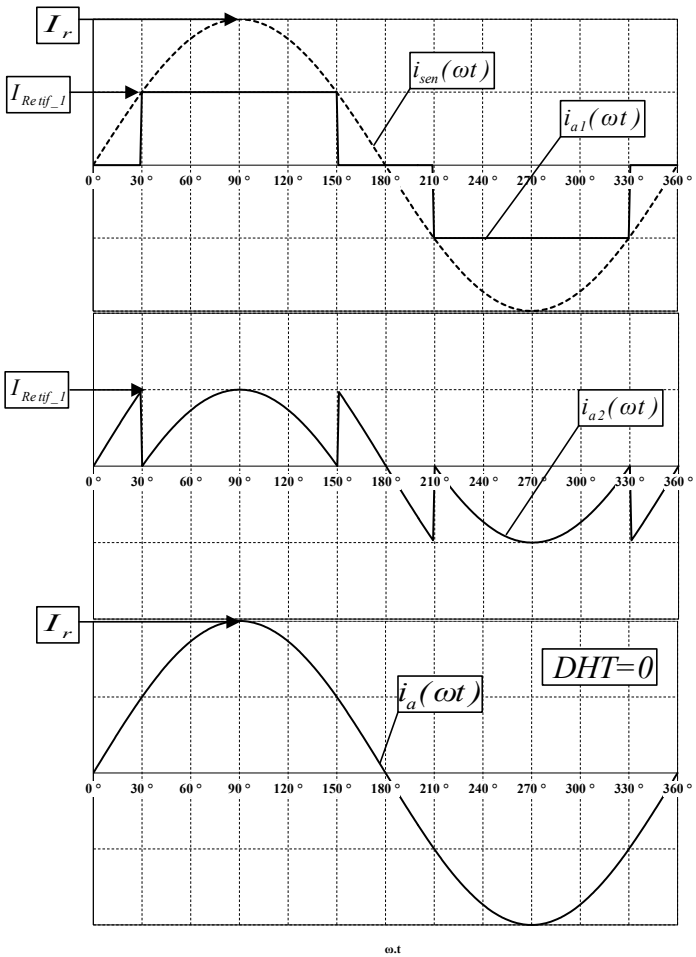
No intuito de compor uma corrente de entrada $i_a(\omega t)$ com DHT nula e fator de potência unitário, o formato da corrente de entrada do retificador SEPIC $i_{a2}(\omega t)$ deve ser tal que, quando somado com a corrente de entrada do conversor não controlado $i_{a1}(\omega t)$, seja uma forma de onda senoidal pura, como expressado matematicamente em (2.1) e ilustrado na Figura 7, onde I_{Retif_1} corresponde ao valor médio da corrente de saída do retificador não controlado.

$$i_{a2}(\omega t) = i_{sen}(\omega t) - i_{a1}(\omega t) \tag{2.1}$$

Sendo:

$$i_{sen}(\omega t) = I_r . sen(\omega t) \tag{2.2}$$

Figura 7- Formas de onda da corrente de entrada na fase “a” do retificador híbrido.



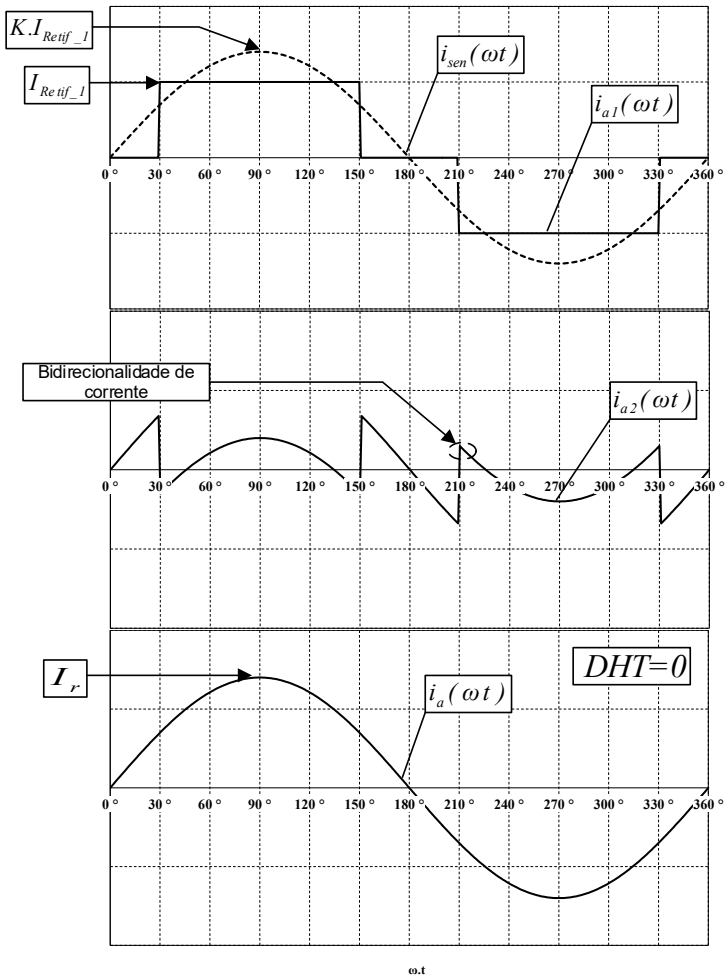
Fonte: adaptado de Soares (2008).

O formato da corrente $i_{a1}(\omega t)$ foi obtido assumindo valores de indutância L_{o1} e L_{o2} suficientemente elevados para considerar a corrente de saída do retificador não controlado (I_{Retif_1}) isenta de ondulação.

Considerando o parâmetro K definido na equação 2.3, apresentado por Soares (2008) como a relação entre as amplitudes das correntes $i_{sen}(\omega t)$ e $i_a(\omega t)$ é possível afirmar que valores de $K \geq 2$ garantem uma DHT nula em $i_a(\omega t)$. No entanto, para valores de $K < 2$, a corrente $i_{a2}(\omega t)$ deveria assumir valores negativos para manter a corrente de entrada $i_a(\omega t)$ com um formato puramente senoidal, como apresentado na Figura 8.

$$K = \frac{I_r}{I_{Retif_1}} \tag{2.3}$$

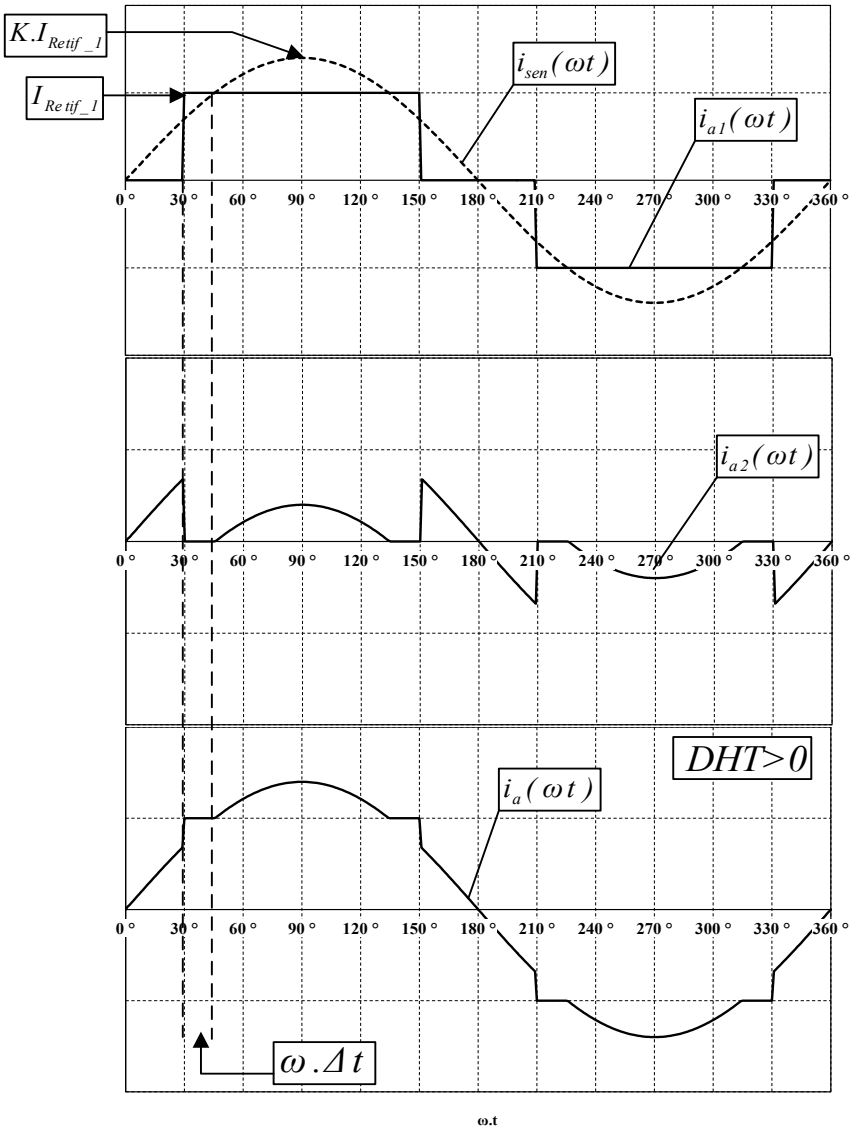
Figura 8- Formas de onda da corrente de entrada do retificador híbrido, na fase "a", imposta como senoidal, para K<2.



Fonte: adaptado de Soares (2008).

Levando em conta que a estrutura do retificador controlado não é bidirecional em corrente, a forma de onda esperada de $i_a(\omega t)$ para $K<2$ seria como ilustrada na Figura 9, com distorções durante o intervalo $\omega\Delta t$, tempo no qual se esperaria que a corrente fosse injetada de volta à rede, mas é bloqueada na ponte de diodos dos retificadores SEPIC.

Figura 9- Formas de onda da corrente de entrada do retificador híbrido, na fase “a”, para K<2.



Fonte: Adaptado de Soares (2008).

É possível observar que a corrente $i_{a2}(\omega t)$ resulta em uma menor área quando K é reduzido, o que implica em diminuição da corrente eficaz e consequentemente da potência processada pelo retificador controlado, melhorando desta forma o rendimento do retificador hibrido; porém apresentando um aumento na DHT de $i_a(\omega t)$.

2.2 POTENCIA MÉDIA NOS RETIFICADORES CONTROLADOS E NÃO CONTROLADO, DHT E FATOR DE POTÊNCIA EM FUNCÃO DO PARÂMETRO K.

Na análise desenvolvida a seguir não são consideradas as perdas nos retificadores, sendo o objetivo principal esclarecer o funcionamento do retificador híbrido a partir de um conjunto de equações básicas. Uma descrição aprofundada dos modelos matemáticos dos conversores é apresentada nos trabalhos de (SOARES, 2008; WAKABAYASHI, 2003).

Partindo de uma definição matemática da forma de onda da corrente $i_{a2}(\omega t)$ em função dos parâmetros K e I_{Retif_1}, é possível obter a relação de potência média entre os retificadores SEPIC e o retificador não controlado, assim como a determinação dos valores da distorção harmônica total (DHT) e do fator de potência (FP) das correntes de entrada do retificador híbrido.

Com base na análise feita na seção anterior e considerando a não bidirecionalidade em corrente do retificador SEPIC, é possível definir a corrente $i_{a2}(\omega t)$ como:

$$i_{a2}(\omega t) = K.I_{Retif_1}.S_{inal_Ref1_unit}(\omega t) \tag{2.4}$$

Onde:

$$S_{inal_Ref1_unit}(\omega t) = \begin{cases} \operatorname{sen}(\omega t) - \dfrac{1}{K} & se: \begin{cases} \dfrac{\pi}{6} + \omega\Delta t \leq \omega t \leq \dfrac{5.\pi}{6} - \omega\Delta t \\ \dfrac{7.\pi}{6} + \omega\Delta t \leq \omega t \leq \dfrac{11.\pi}{6} - \omega\Delta t \end{cases} \\ \operatorname{sen}(\omega t) & se: \begin{cases} 0 \leq \omega t \leq \dfrac{\pi}{6}, \dfrac{5.\pi}{6} \leq \omega t \leq \pi \\ \pi \leq \omega t \leq \dfrac{7.\pi}{6}, \dfrac{11.\pi}{6} \leq \omega t \leq 2.\pi \end{cases} \\ 0 & intervalo\ \omega\Delta t \end{cases} \tag{2.5}$$

$$\omega.\Delta t = \left\{ \operatorname{sen}^{-1}\left(\frac{1}{K}\right) - \frac{\pi}{6}, \qquad se: 1 \leq K \leq 2 \right\} \tag{2.6}$$

Assim, é possível obter o valor da potência ativa de entrada do retificador SEPIC através da expressão (2.7).

$$P_{in_SEPIC_a} = \frac{1}{\pi}.\left\{ 2.\int_0^{\frac{\pi}{6}} v_a(\omega t).K.I_{Retif_1}.\operatorname{sen}(\omega t)\, d\omega t + \int_{\frac{\pi}{6}+\omega\Delta t}^{\frac{5\pi}{6}-\omega\Delta t} v_a(\omega t).K.I_{Retif_1}.(\operatorname{sen}(\omega t) - \frac{1}{K}).d\omega t \right\} \tag{2.7}$$

Sendo:

$$v_a(\omega t) = V_p.\operatorname{sen}(\omega t) \tag{2.8}$$

$v_a(\omega t)$: Tensão de entrada fase “a”.

Resolvendo a integral da equação (2.7) obtém-se:

$$P_{in_SEPIC_a} = \frac{V_p.K.I_{Retif_1}}{\pi}.\left\{ \frac{2\pi}{3} - \frac{\sqrt{3}}{4} - \frac{1}{K}.\sqrt{\left(1 - \frac{1}{K^2}\right)} - \operatorname{sen}^{-1}\left(\frac{1}{K}\right) \right\} \tag{2.9}$$

Deste modo, considerando o retificador híbrido como um sistema trifásico balanceado, a potência de entrada do *Retif_2* pode ser definida como:

$$P_{Retif_2} = 3.P_{in_SEPIC_a} \tag{2.10}$$

No *Retif_1* sem perdas a potência ativa de entrada e saída são iguais e definidas a partir da corrente e tensão de saída como:

$$P_{Retif_1} = V_{retif}.I_{Retif_1} \tag{2.11}$$

Onde:

$$V_{retif} = \frac{3.\sqrt{3}.V_{a_ef}}{\pi} \tag{2.12}$$

V_{retif}: Tensão de saída do retificador híbrido

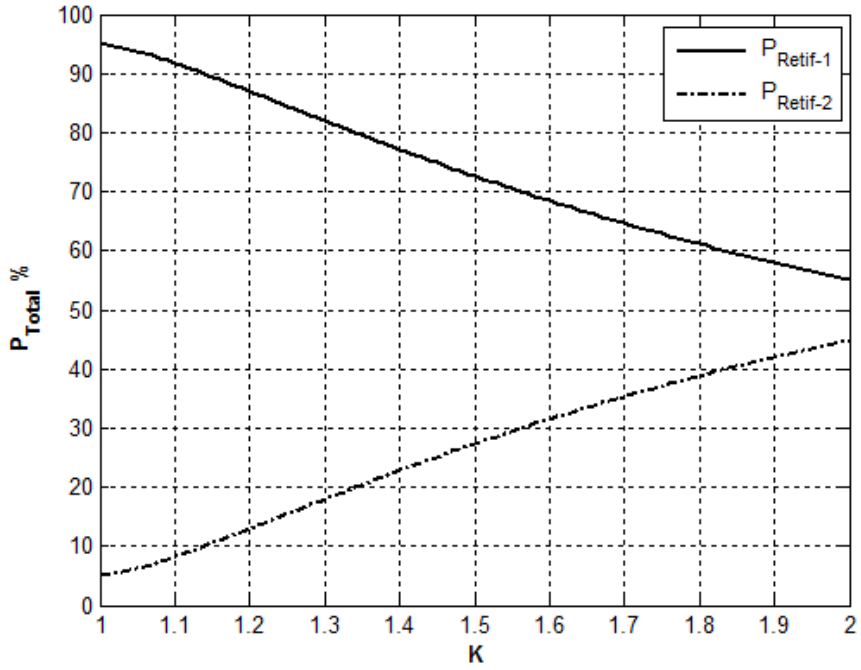
V_{a_ef}: Valor eficaz da tensão de entrada, fase “a”

É importante salientar que no retificador híbrido, a tensão de saída é imposta pelo retificador não controlado, determinando também a tensão de saída nos retificadores SEPIC.

Assim, definindo a potência do conversor híbrido na expressão (2.13) como a soma das potências, no retificador controlado e não controlado, obtém-se a relação das potencias médias dos retificadores e a potência total em função do parâmetro K, representada na Figura 10.

$$P_{Total} = P_{Retif_1} + P_{Retif_2} \tag{2.13}$$

Figura 10- Variação das potências médias dos retificadores não controlado $P_{Retif-1}$ e controlado $P_{Retif-2}$, em função do parâmetro K.



Fonte: Próprio autor

A descrição matemática de $i_{a2}(\omega t)$ em (2.4) permite definir a corrente de fase $i_a(\omega t)$ através de (2.14) e consequentemente a potência ativa de entrada do

retificador híbrido, assim como a potência aparente, fator de potência e DHT todos em função do parâmetro K.

$$i_a(\omega t) = i_{a1}(\omega t) + i_{a2}(\omega t) \tag{2.14}$$

Onde:

$$i_{a1}(\omega t) = \begin{cases} I_{Retif_1}, & \frac{\pi}{6} \leq \omega t \leq \frac{5.\pi}{6} \\ -I_{Retif_1}, & \frac{7.\pi}{6} \leq \omega t \leq \frac{11.\pi}{6} \\ 0, & 0 \leq \omega t < \frac{\pi}{6}, \frac{5.\pi}{6} < \omega t < \frac{7.\pi}{6}, \frac{11.\pi}{6} < \omega t \leq 2.\pi \end{cases} \tag{2.15}$$

A partir das equações (2.8) e (2.15) a, potência média de entrada correspondente à fase “a” é expressada como:

$$P_{in_a} = \frac{1}{\pi}.\left\{2.\int_0^{\frac{\pi}{6}} v_a(\omega t).K.I_{Retif_1}.\mathrm{sen}(\omega t)\, d\omega t + 2.\int_{\frac{\pi}{6}}^{\frac{\pi}{6}+\omega\Delta t} v_a(\omega t).I_{Retif_1} d\omega t + \int_{\frac{\pi}{6}+\omega\Delta t}^{\frac{5\pi}{6}-\omega\Delta t} v_a(\omega t).K.I_{Retif_1}.sen(\omega t) d\omega t\right\} \tag{2.16}$$

Obtendo:

$$P_{in_a} = \frac{\sqrt{2}.V_{a_ef}.K.I_{Retif_1}}{\pi}.\left(\frac{2\pi}{3} - \frac{\sqrt{3}}{4} - \frac{1}{K}.\sqrt{\left(1 - \frac{1}{K^2}\right)} - \mathrm{sen}^{-1}\left(\frac{1}{K}\right)\right) \tag{2.17}$$

A potência aparente, pode ser obtida resolvendo a equação (2.18).

$$S_{in_a} = V_{a_ef}.\left[\frac{1}{\pi}.\left(2.\int_0^{\frac{\pi}{6}} \left(K.I_{Retif_1}.\mathrm{sen}(\omega t)\right)^2 d\omega t + 2.\int_{\frac{\pi}{6}}^{\frac{\pi}{6}+\omega\Delta t} {I_{Retif_1}}^2 d\omega t + \int_{\frac{\pi}{6}+\omega\Delta t}^{\frac{5\pi}{6}-\omega\Delta t} \left(K.I_{Retif_1}.\mathrm{sen}(\omega t)\right)^2 d\omega t\right)\right]^{\frac{1}{2}} \tag{2.18}$$

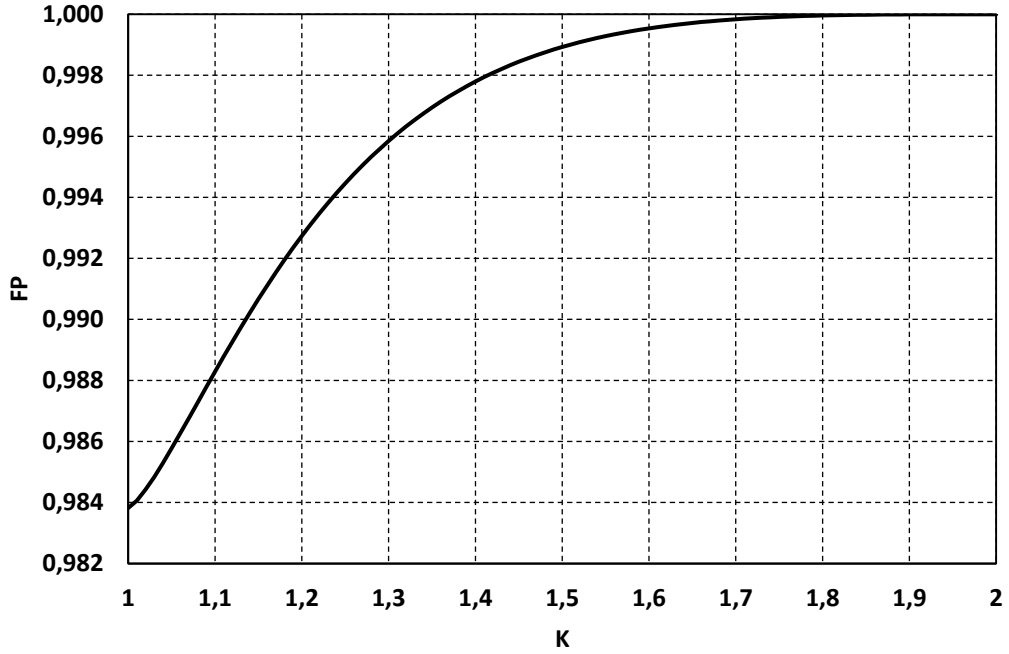
Resultando em:

$$S_{in_a} = \frac{V_{a_ef}.K.I_{Retif_1}}{\sqrt{\pi}}.\left(\frac{2\pi}{3} - \frac{\sqrt{3}}{4} + \frac{1}{K}.\sqrt{\left(1 - \frac{1}{K^2}\right)} + \left(\frac{2}{K^2} - 1\right).\text{sen}^{-1}\left(\frac{1}{K}\right) - \frac{\pi}{3.K^2}\right) \quad (2.19)$$

Dos resultados das equações (2.17) e (2.19) obtém-se o fator de potência para o sistema trifásico balanceado, definido em (2.20), e apresentado em função do parâmetro K na Figura 11.

$$FP = \frac{3.P_{in_a}}{3.S_{in_a}} \quad (2.20)$$

Figura 11- Variação do Fator de Potência do retificador híbrido, em função do parâmetro "K".

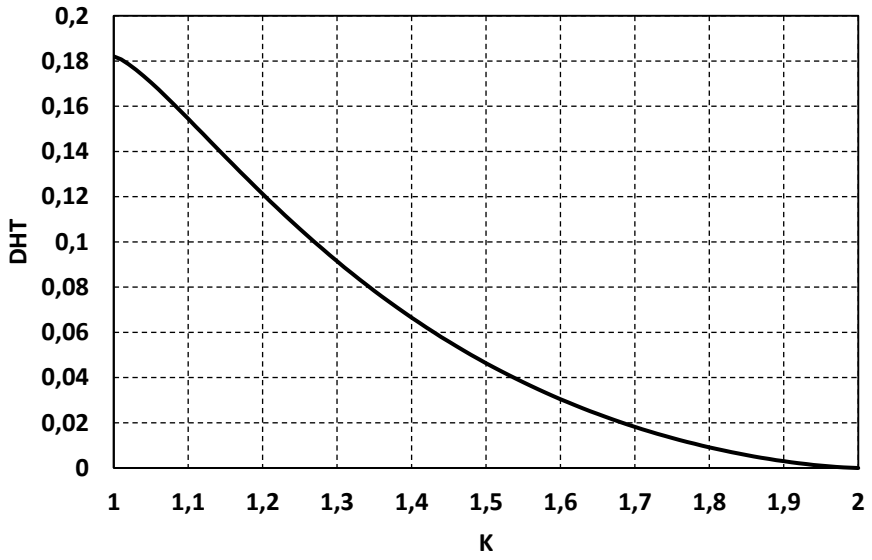


Fonte: Próprio autor

Assumindo que a componente fundamental da corrente de entrada $i_a(\omega t)$ está em fase com a tensão $v_a(\omega t)$, a distorção harmônica total pode ser relacionada com o fator de potência através da equação (2.21). A relação da DHT e o parâmetro K é como apresentada na Figura 12.

$$FP = \frac{1}{\sqrt{1 + DHT^2}} \quad (2.21)$$

Figura 12 - Variação da DHT em função do parâmetro K para correntes de entrada do retificador trifásico híbrido.



Fonte: Próprio autor

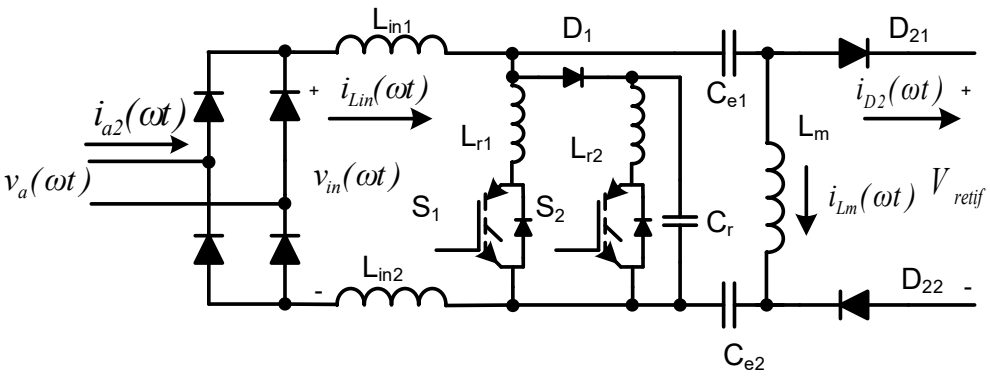
Como foi explicado de forma qualitativa anteriormente, e de forma quantitativa nesta secção, o parâmetro *K* é diretamente proporcional à potência processada pelos retificadores SEPIC e inversamente proporcional à DHT. Deste modo, para *K*=2 obtém-se uma DHT nula, porém implica que o retificador controlado seja responsável por 44,6% da potência entregue à carga.

2.3 ANÁLISE DA FUNCIONAMENTO DO CONVERSOR CONTROLADO RETIF-2

2.3.1 Operação durante um período de rede

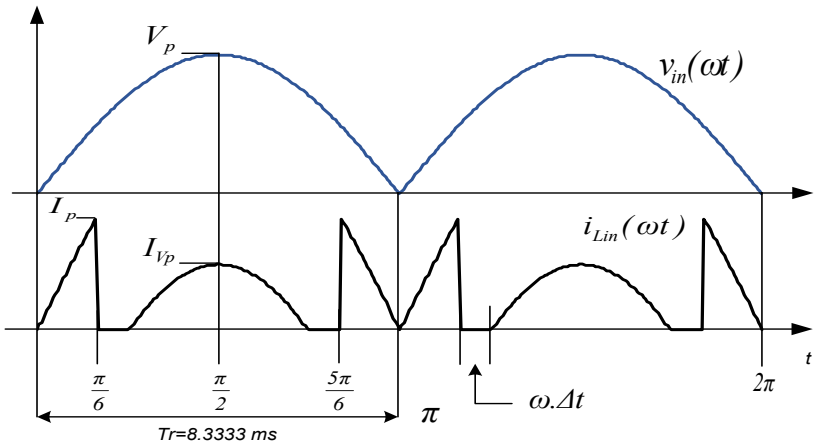
Durante um período de rede, o conversor SEPIC apresentado na Figura 13 possui as formas de onda de corrente $i_{Lin}(\omega t)$ e tensão de entrada $v_{in}(\omega t)$ mostradas na Figura 14, sendo seus valores de pico definidos pelas expressões (2.22), (2.23) e (2.24).

Figura 13- Retificador SEPIC ZCS



Fonte: Próprio autor

Figura 14 - Formas de onda da tensão e corrente de entrada do conversor SEPIC ZCS, para K < 2



Fonte: Adaptado de Soares (2008).

$$V_p = V_{ef}.\sqrt{2} \tag{2.22}$$

$$I_p = \frac{1}{2}.K.I_{Retif_1} \tag{2.23}$$

$$I_{Vp} = I_{Retif_1}.(K-1) \tag{2.24}$$

Onde:

V_p: Valor pico da tensão de entrada;

V_{ef}: Valor eficaz da tensão de entrada monofásica do retificador híbrido;

I_{vp}: Valor da corrente de entrada quando a tensão $v_{in}(\omega t)$ for máxima (V_p);

I_p: Valor de pico da corrente de entrada do conversor SEPIC;

Levando em conta que a corrente $i_{Lin}(\omega t)$ corresponde com a forma de onda retificada de $i_{a2}(\omega t)$, é possível obter os valores das correntes média e eficaz de entrada do retificador, como apresentado a seguir.

$$I_{LinMd} = \frac{K.I_{Retif_1}}{\pi}\left[\int_{0}^{\frac{\pi}{6}} \operatorname{sen}(\omega t)d\omega t + \int_{\frac{\pi}{6}+\omega\Delta t}^{\frac{5\pi}{6}-\omega\Delta t} \left(\operatorname{sen}(\omega t) - \frac{1}{K}\right) d\omega t + \int_{\frac{5\pi}{6}}^{\pi} \operatorname{sen}(\omega t)d\omega t\right] \tag{2.25}$$

$$I_{LinMd} = \frac{I_{Retif_1}}{\pi}.\left\{K.\left[2+\sqrt{3}.[\cos(\omega\Delta t)-1] - \operatorname{sen}(\omega\Delta t)\right] - 2.\left(\omega\Delta t - \frac{\pi}{3}\right)\right\} \tag{2.26}$$

$$I_{Lin_ef} = \left[\frac{1}{\pi}.\left(2.\int_{0}^{\frac{\pi}{6}}\left(K.I_{Retif_1}.\operatorname{sen}(\omega t)\right)^2 d\omega t + \int_{\frac{\pi}{6}+\omega\Delta t}^{\frac{5\pi}{6}-\omega\Delta t}\left(K.I_{Retif_1}.\left(\operatorname{sen}(\omega t) - \frac{1}{K}\right)\right)^2 d\omega t\right)\right]^{\frac{1}{2}} \tag{2.27}$$

$$I_{Lin_ef} = K.I_{Retif_1}\left[\frac{1}{\pi}.\left(\frac{2\pi}{3} - \frac{\sqrt{3}}{2} - \left(1+\frac{2}{K^2}\right).\operatorname{sen}^{-1}\left(\frac{1}{K}\right) - \frac{3}{K}.\sqrt{1-\left(\frac{1}{K}\right)^2}\right) + \frac{\pi}{K^2}\right]^{\frac{1}{2}} \tag{2.28}$$

Onde:

I_{LinMd}: Corrente média de entrada do conversor SEPIC;

I_{Lin_ef}: Valor eficaz da corrente de entrada monofásica do retificador SEPIC;

Por sua vez, a corrente $i_{Lm}(\omega t)$ apresenta o mesmo formato da corrente de entrada $i_{Lin}(\omega t)$, sendo proporcionais e permitindo estabelecer as seguintes relações:

$$\frac{I_{Lm_ef}}{I_{LmMd}} = \frac{I_{Lin_ef}}{I_{LinMd}} \tag{2.29}$$

$$\frac{I_{Lmp}}{I_{LmMd}} = \frac{I_p}{I_{LinMd}} \tag{2.30}$$

$$\frac{I_{LmVp}}{I_{LmMd}} = \frac{I_{Vp}}{I_{LinMd}} \tag{2.31}$$

Onde:

I_{LmMd}: Valor médio da corrente no indutor L_m;

I_{Lm_ef}: Valor eficaz da corrente no indutor L_m;

I_{LmVp}: Valor da corrente no indutor L_m quando a tensão $V_{in}(\omega t)$ for máxima;

I_{Lmp}: Valor de pico da corrente no indutor L_m;

Como estabelecido por Soares (2008) o valor da corrente no indutor L_m é equivalente ao valor médio da corrente de saída $i_{D2}(\omega t)$ como expressado em (2.32)

$$I_{LmMd} = I_{D2Md} \tag{2.32}$$

Sendo:

I_{D2Md}: Valor médio da corrente de saída do conversor SEPIC;

Deste modo é possível obter o valor de I_{LmMd} a partir da equivalência da potência de saída do conversor SEPIC sem perdas, determinado pela expressão (2.33), e da potência de entrada P_{in_SEPIC} definida em (2.17).

$$P_{o_SEPIC} = I_{D2Md}.V_{retif} \tag{2.33}$$

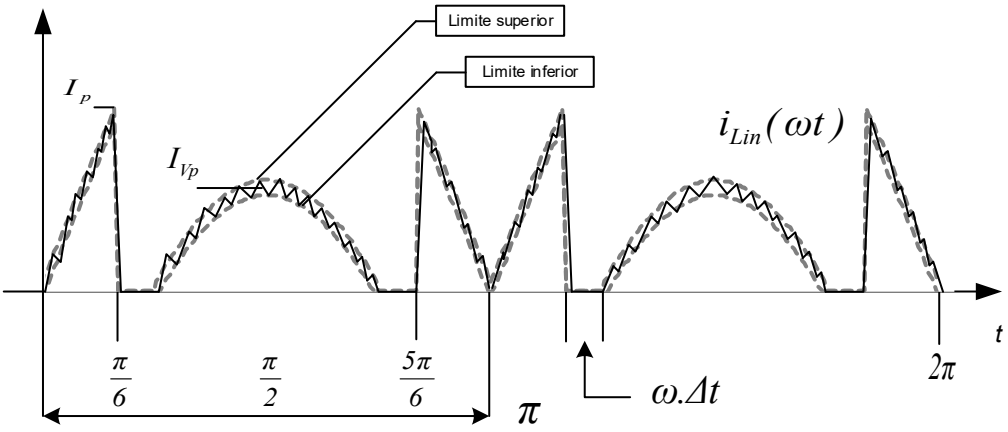
$$= \frac{V_p.K.I_{Retif_1}}{\pi}.\left\{\frac{2\pi}{3} - \frac{\sqrt{3}}{4} - \frac{1}{K}.\sqrt{\left(1 - \frac{1}{K^2}\right)} - \text{sen}^{-1}\left(\frac{1}{K}\right)\right\}$$

2.3.2 Operação durante o período de comutação

O comportamento do conversor SEPIC durante um período de comutação está determinado pela imposição da corrente de entrada $i_{Lin}(\omega.t)$ mediante a técnica de modulação por histerese, como ilustrado na Figura 15. Nesta técnica, o interruptor controlado é comandado para condução no momento em que a corrente controlada

atinge o limite inferior da banda de histerese, e levado ao estado de bloqueio quando o limite superior da mesma é alcançado.

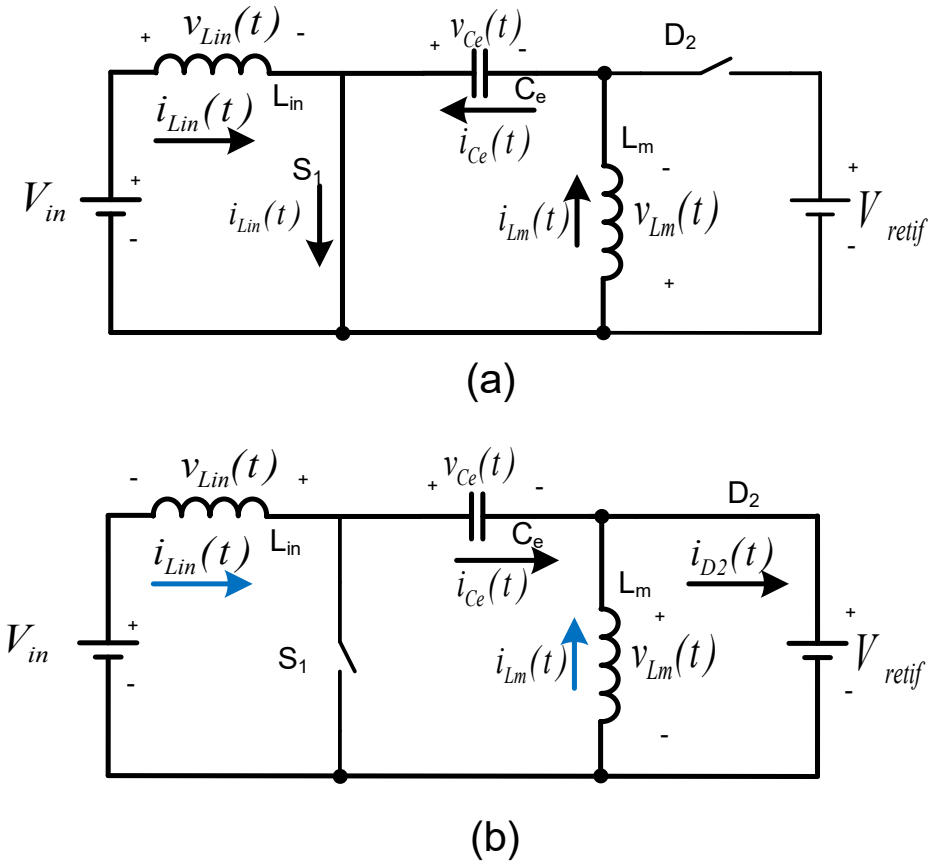
Figura 15- Imposição da corrente de entrada $i_{in}(\omega t)$ mediante modulação por histerese



Fonte: Adaptado de Soares (2008).

Assumindo que a frequência de chaveamento é muito maior que a frequência da rede, a tensão de entrada pode ser considerada constante durante um período de comutação. Levando isto em consideração, são analisados os comportamentos das correntes $i_{Lin}(t)$ e $i_{Lm}(t)$ de acordo com as duas etapas de operação do conversor SEPIC ilustradas na Figura 16, onde as indutâncias L_{in1} e L_{in2}, assim como as capacitâncias C_{e1} e C_{e2} foram substituídas pelas suas impedâncias série equivalentes. Além disso, visando manter a simplicidade da análise foram desconsiderados os efeitos causados pela operação da célula ressonante composta por L_{r1}, L_{r2}, C_r, D_1 e S_2, os quais serão abordados na seção subsequente.

Figura 16- Etapas de operação do conversor SEPIC. (a) primeira etapa, chave S_1 em condução. (b) segunda etapa: chave S_1 em bloqueio.



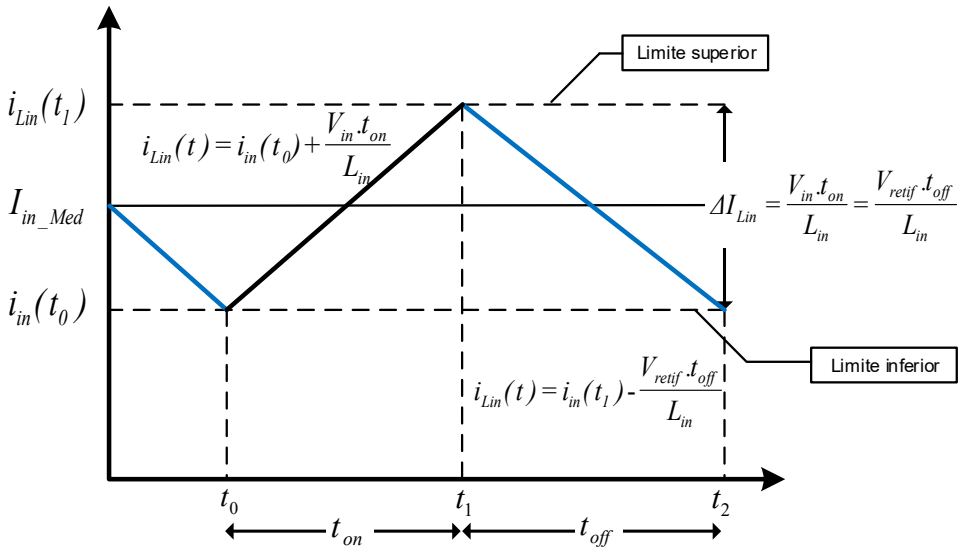
Fonte: Adaptado de Soares (2008).

Durante a primeira etapa em $t=t_0$, a chave S_1 é levada à condução, fazendo com que a corrente de entrada $i_{Lin}(t)$ aumente linearmente e de forma proporcional à tensão de entrada V_{in}, até atingir o limite superior da banda de histerese em $t=t_1$. Adicionalmente C_e, previamente carregado com a tensão V_{in}, transfere energia para o indutor L_m, fazendo com que sua corrente $I_{Lm}(t)$ cresça também de forma linear e proporcional a tensão de entrada.

Na segunda etapa a chave S_1 é bloqueada e a corrente $i_{Lin}(t)$ é conduzida à saída, transferido energia para o capacitor C_e e decrescendo de forma proporcional à tensão de saída V_{retif} até atingir o limite inferior de histerese em $t=t_2$, por sua vez a corrente do indutor L_m, também é enviada a carga através do diodo D_2 decrescendo também de forma proporcional a tensão de saída.

O comportamento das correntes $i_{Lin}(t)$ e $I_{Lm}(t)$ durante um período de comutação são ilustrados nas Figura 17 e 18 respetivamente.

Figura 17- Comportamento da corrente de entrada $i_{Lin}(t)$ durante um período de comutação.



Fonte: Próprio autor

O valor da corrente de entrada $iL_{in}(t)$ no intervalo t_{on} está definido pela equação (2.34):

$$i_{Lin}(t) = i_{Lin}(t_0) + \frac{V_{in}}{L_{in}}.t \tag{2.34}$$

Durante o intervalo t_{off} tem-se:

$$i_{Lin}(t) = i_{Lin}(t_1) - \frac{V_{retif}}{L_{in}}.t \tag{2.35}$$

Onde o *ripple* da corrente $iL_{in}(t)$ é definido pelas seguintes equações:

$$\Delta I_{Lin} = \frac{V_{in}}{L_{in}}.t_{on} \tag{2.36}$$

$$\Delta I_{Lin} = \frac{V_{retif}}{L_{in}}.t_{off} \tag{2.37}$$

Levando em conta que a técnica de modulação por histerese constante estabelece ΔI_{Lin} como constante, partindo das equações (2.36) e (2.37), infere-se

que o tempo t_{on} varia num período de rede de acordo com a tensão $v_{in}(\omega t)$, enquanto o tempo t_{off} permanece constante, resultando numa frequência de comutação f_s variável, descrita pele seguintes expressões:

$$f_s = \frac{1}{t_{on} + t_{off}} \tag{2.38}$$

$$f_s = \frac{1}{L_{in}.\Delta I_{in}\left(\frac{1}{V_{in}} + \frac{1}{V_{retif}}\right)} \tag{2.39}$$

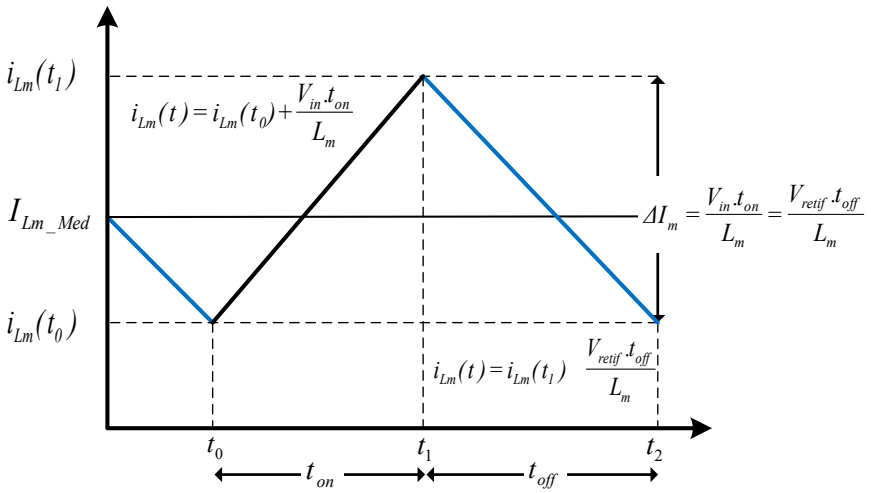
Deste modo, através da definição da frequência máxima de operação desejada, estabelece-se o valor mínimo do indutor de entrada L_{in} requerido, e o tempo t_{off} como segue.

$$L_{in} = \frac{1}{f_{s_max}.\Delta I_{Lin}\left(\frac{1}{V_p} + \frac{1}{V_{retif}}\right)} \tag{2.40}$$

$$t_{off} = \frac{\Delta I_{Lin}.L_{in}}{V_{retif}} \tag{2.41}$$

Considerando que as tensões nos indutores L_{in} e L_m são equivalentes, em regime permanente, obtém-se a relação entre os *ripple* de corrente através da equação (2.42).

Figura 18- Comportamento da corrente $i_{Lm}(t)$ durante um período de comutação.



Fonte: Próprio autor

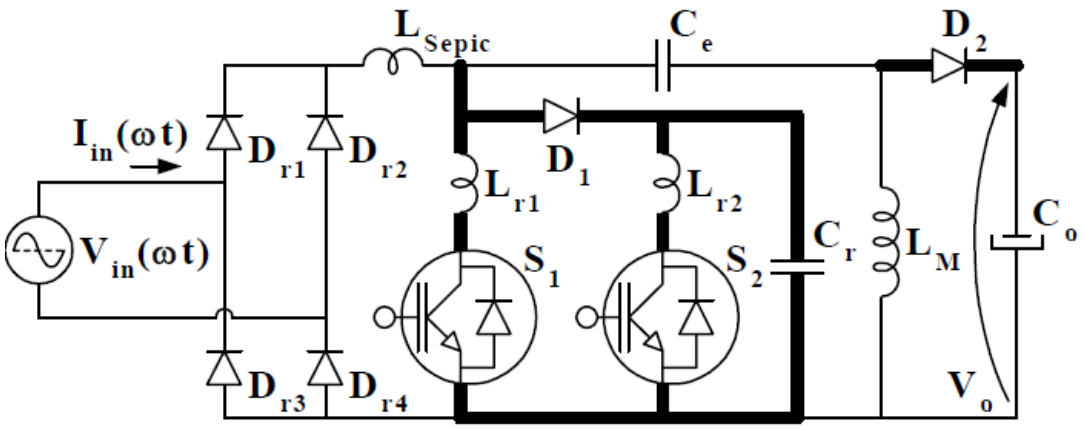
$$\frac{\Delta I_{Lm}}{\Delta I_{Lin}} = \frac{L_{in}}{L_m} \tag{2.42}$$

2.3.3 Operação da célula de comutação suave

Nas seções anteriores foi descrita a operação do retificador SEPIC ZCS durante um período de rede e em um período de comutação, omitindo o funcionamento da célula de ressonância, composta pelos elementos apresentados na Figura19, uma vez que a duração do processo de comutação suave toma apenas uma fração de um período de chaveamento e não geram mudanças significativas nas formas de onda das correntes de entrada $i_{Lin}(\omega t)$ e de saída $i_m(\omega t)$.

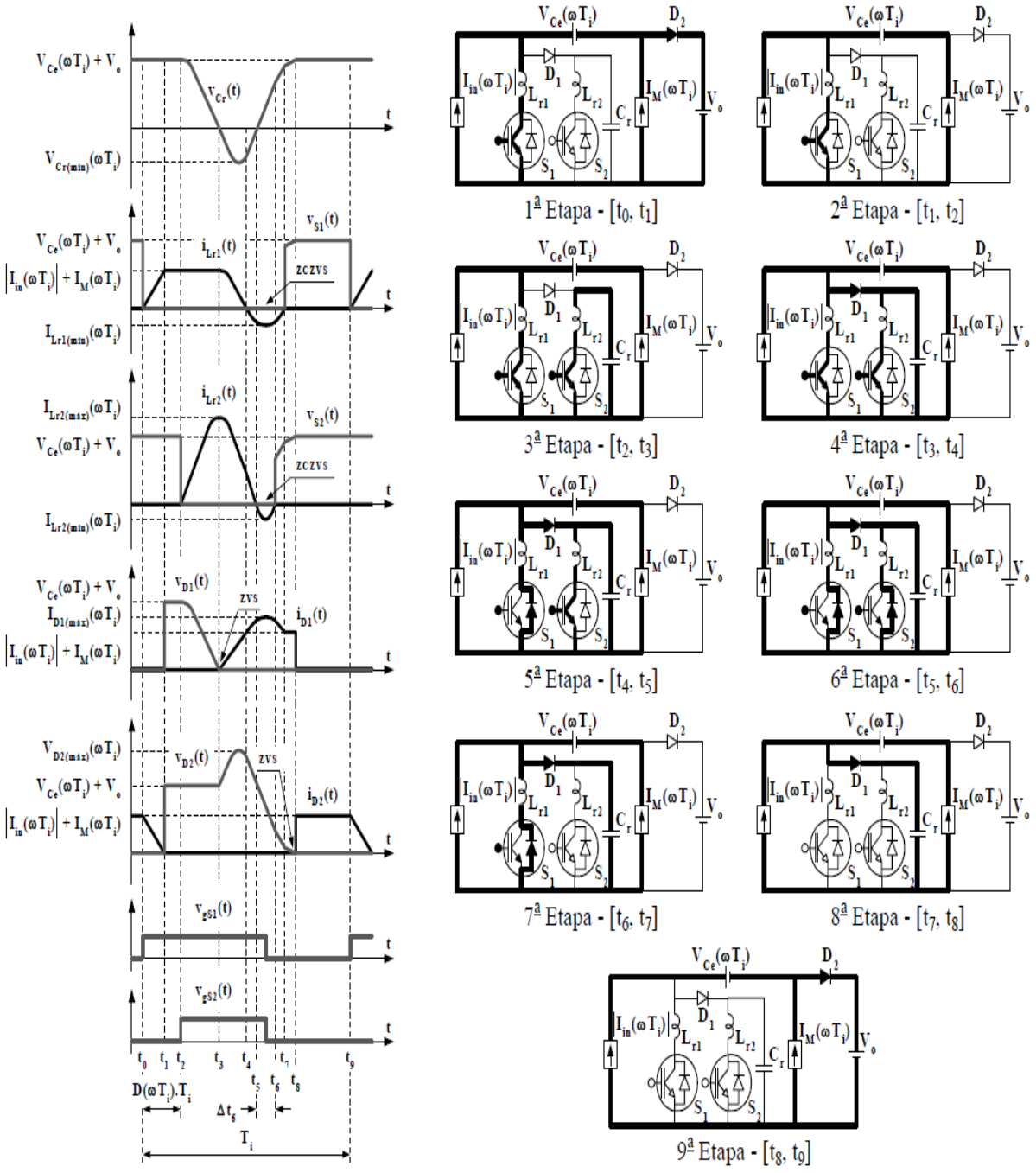
A seguir, descreve-se cada uma das etapas de funcionamento do conversor SEPIC ZCS desenvolvido como parte da tese de doutorado de Wakabayashi (2003), vide Figura 20. Especial atenção é dada aos tempos de duração de cada etapa, os quais são cuidadosamente considerados visando evitar alterações no funcionamento da modulação por histerese descrita anteriormente. Finalmente, são apresentadas as considerações requeridas na implementação do retificador SEPIC ZCS de acordo com o princípio de funcionamento do retificador híbrido.

Figura 19- Célula de ressonância do retificador SEPIC ZCS.



Fonte: Wakabayashi (2003).

Figura 20- Principais formas de onda idealizadas do retificador SEPIC ZCS e etapas de funcionamento durante o decorrer de um período genérico de chaveamento.



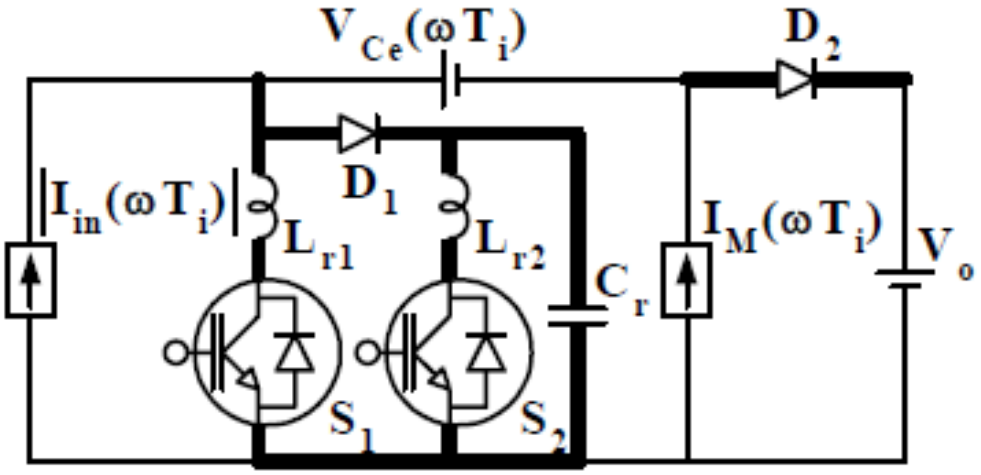
Fonte: Wakabayashi (2003).

Para a análise do conversor SEPIC assumem-se as seguintes condições:

- A associação da fonte de alimentação $V_{in}(\omega t)$ com a ponte de diodos e o indutor de entrada do conversor pode ser substituída por uma fonte de corrente de valor constante e igual a $I_{in}(\omega t)$.
- A indutância de acumulação L_M é admitida de valor elevado para que o elemento seja considerado como uma fonte de corrente $I_M(\omega t)$ com valor constante durante um período de chaveamento.
- A capacitância de acumulação C_e também é assumida elevada para ser considerada como uma fonte de tensão constante, num período de chaveamento genérico, com valor: $v_{Ce}(\omega T_i) = |v_{in}(\omega T_i)|$.

De acordo com as condições mencionadas, o circuito pode ser simplificado como mostrado na Figura 21.

Figura 21 - Circuito simplificado para análise do conversor SEPIC ZCS.



Fonte: Wakabayashi (2003).

Primeira etapa de funcionamento [t_0-t_1]

Condições iniciais:

$$\begin{cases} i_{Lr1}(\omega T_i, t_0) = 0 \\ i_{Lr2}(\omega T_i, t_0) = 0 \\ V_{Cr}(\omega T_i, t_0) = V_{ce}(\omega T_i) + V_o \end{cases} \tag{2.43}$$

Na primeira etapa, o interruptor S_1 é levado à condução em $t=t_0$ com corrente nula devido à presença de L_{r1} no caminho série, enquanto o diodo D_1 e o interruptor S_2 permanecem bloqueados. Em $t=t_1$ a totalidade da corrente que flui para a saída é desviada para o ramo L_{r1} e D_2 é bloqueado, dando início à segunda etapa.

A duração desta etapa é definida pela seguinte expressão:

$$\Delta t_1(\omega T_i) = \frac{1}{\omega_2}.\frac{\alpha(\omega T_i)}{\beta} \tag{2.44}$$

Sendo:

$$\alpha(\omega T_i) = \frac{|I_{in}(\omega T_i)| + I_M(\omega T_i)}{V_{Ce}(\omega T_i) + V_o}.\sqrt{\frac{L_{r2}}{C_r}} \tag{2.45}$$

$$\beta = \frac{L_{r2}}{L_{r1}} \tag{2.46}$$

$$\omega_2 = \frac{1}{\sqrt{L_{r2}.C_r}} \tag{2.47}$$

Segunda etapa de funcionamento [t_1,t_2]

Condições iniciais:

$$\begin{cases} i_{Lr1}(\omega T_i, t_1) = |I_{in}(\omega T_i)| + I_M(\omega T_i) \\ i_{Lr2}(\omega T_i, t_1) = 0 \\ V_{Cr}(\omega T_i, t_1) = V_{ce}(\omega T_i) + V_o \end{cases} \tag{2.48}$$

Durante esta etapa o interruptor S_1 é mantido em condução, enquanto as chaves restantes permanecem bloqueadas. A duração desta etapa é determinada pela técnica de modulação empregada, resultando em:

$$\Delta t_2(\omega T_i) = t_{on} \tag{2.49}$$

O final desta etapa ocorre quando o interruptor S_2 é levado à condução em $t=t_2$, considerada como do tipo ZCS, devido à ação do indutor L_{r2}.

Terceira etapa de funcionamento [t_2,t_3]

As Condições iniciais são iguais as da segunda etapa.

Nesta etapa é iniciada a ressonância entre o indutor L_{r2} e o capacitor C_r, fazendo com que a tensão e a corrente nestes elementos oscilem com uma frequência angular igual a ω_2. Quando a tensão no capacitor torna-se nula em $t=t_3$, o diodo D_1 é levado à condução de forma *ZVS*, dando início à quarta etapa de funcionamento.

No final desta etapa a corrente no indutor L_{r2} atinge seu valor de pico determinado pela seguinte equação:

$$i_{Lr2_pico}(\omega T_i) = (V_{Ce}(\omega T_i) + V_o).\sqrt{\frac{C_r}{L_{r2}}} \tag{2.50}$$

A duração da terceira etapa é definida por:

$$\Delta t_3(\omega T_i) = \frac{\pi}{2}.\frac{1}{\omega_2} \tag{2.51}$$

Quarta etapa de funcionamento [t_3,t_4]

Condições iniciais:

$$\begin{cases} i_{Lr1}(\omega T_i, t_3) = |I_{in}(\omega T_i)| + I_M(\omega T_i) \\ i_{Lr2}(\omega T_i, t_3) = \dfrac{|I_{in}(\omega T_i)| + I_M(\omega T_i)}{\alpha(\omega T_i)} \\ V_{Cr}(\omega T_i, t_3) = 0 \end{cases} \tag{2.52}$$

A entrada em condução do diodo D_1 faz com que o indutor L_{r1} troque energia com os outros elementos ressonantes a uma frequência angular definida pela equação (2.53):

$$\omega_{eq} = \frac{1}{\sqrt{L_{eq}.C_r}} \tag{2.53}$$

Sendo:

$$L_{eq} = \frac{L_{r1}.L_{r2}}{L_{r1} + L_{r2}} \tag{2.54}$$

A etapa acaba quando a corrente através de L_{r1} torna-se nula em $t=t_4$. A duração da etapa é dada por:

$$\Delta t_4(\omega T_i) = \frac{1}{\omega_{eq}} \arccos\left(1 - \frac{\alpha(\omega T_i).(1+\beta)}{\beta}\right) \tag{2.55}$$

No decorrer desta etapa a tensão inversa no diodo D_2 atinge seu valor de pico, enquanto a tensão sobre o capacitor C_e chega no seu valor mínimo, como descrito em (2.56) e (2.57) respectivamente.

$$V_{D2_pico}(\omega T_i) = (v_{Ce}(\omega T_i) + V_o).\left(1 + \frac{\sqrt{1+\beta}}{1+\beta}\right) \tag{2.56}$$

$$V_{cr_min}(\omega T_i) = \sqrt{\frac{C_r}{L_{r2}}}.(v_{Ce}(\omega T_i) + V_o) \tag{2.57}$$

Quinta etapa de funcionamento [t_4,t_5]

Condições iniciais:

$$\begin{cases} i_{Lr1}(\omega T_i, t_4) = 0 \\ i_{Lr2}(\omega T_i, t_4) = \dfrac{|I_{in}(\omega T_i)| + I_M(\omega T_i)}{\alpha(\omega T_i)}.\left(1 - \dfrac{\alpha(\omega T_i)}{\beta}\right) \\ V_{Cr}(\omega T_i, t_4) = \dfrac{(V_{ce}(\omega T_i) + V_o)}{\beta}.\sqrt{\alpha(\omega T_i).(2.\beta - \alpha(\omega T_i) - \alpha(\omega T_i).\beta)} \end{cases} \tag{2.58}$$

A inversão do fluxo da corrente no indutor L_{r1} em $t=t_4$, faz com que o diodo em antiparalelo do interruptor S_1 seja levado à condução, criando as condições para um bloqueio de forma ZCS/ZVS. A etapa acaba quando a corrente I_{Lr2} decresce até tornar-se nula em $t=t_5$.

$$\Delta t_5(\omega T_i) = t_5 - \Delta t_4(\omega T_i) \tag{2.59}$$

Sendo:

$$t_5 = \frac{1}{\omega_{eq}}.\arccos(-\beta) \tag{2.60}$$

Sexta etapa de funcionamento [t_5,t_6]

Condições iniciais:

$$\begin{cases} i_{Lr1}(\omega T_i, t_5) = \left(|I_{in}(\omega T_i)| + I_M(\omega T_i)\right).\left(1 - \dfrac{\beta}{\alpha(\omega T_i)}\right) \\ i_{Lr2}(\omega T_i, t_5) = 0 \\ V_{Cr}(\omega T_i, t_5) = -(V_{ce}(\omega T_i) + V_o).\sqrt{(1-\beta)} \end{cases} \tag{2.61}$$

No início desta etapa o sentido da corrente i_{Lr2} é invertido, levando o diodo em antiparalelo do interruptor S_2 à condução. Tem-se então que os dois interruptores S_1 e S_2 apresentam condições para serem bloqueados de forma ZCS/ZVS. Por simplicidade, os dois interruptores são desativados de forma simultânea durante o decorrer desta etapa.

Esta etapa acaba quando a corrente i_{Lr2} retorna a zero. A duração desta etapa está determinada por:

$$\Delta t_6(\omega T_i) = t_6 - t_5 \tag{2.62}$$

Sendo:

$$t_6 = \frac{1}{\omega_{eq}}.(2\pi - \arccos(-\beta)) \tag{2.63}$$

No decorrer desta etapa as correntes dos indutores ressonantes registram seus valores mínimos determinados por:

$$i_{Lr1_min}(\omega T_i) = -\sqrt{\frac{C_r}{L_{r2}}}.\frac{2\beta}{1+\beta}.(V_{Ce}(\omega T_i) + V_o) + |I_{in}(\omega T_i)| + I_M(\omega T_i) \tag{2.64}$$

$$i_{Lr2_\min}(\omega T_i) = -\sqrt{\frac{C_r}{L_{r2}}}.(V_{Ce}(\omega T_i) + V_o).\frac{1-\beta}{1+\beta} \tag{2.65}$$

Sétima etapa de funcionamento [t_6,t_7]

Condições iniciais:

$$\begin{cases} i_{Lr1}(\omega T_i, t_6) = \left(|I_{in}(\omega T_i)| + I_M(\omega T_i)\right).\left(1 - \dfrac{\beta}{\alpha(\omega T_i)}\right) \\ i_{Lr2}(\omega T_i, t_6) = 0 \\ V_{Cr}(\omega T_i, t_6) = (V_{ce}(\omega T_i) + V_o).\sqrt{(1-\beta)} \end{cases} \tag{2.66}$$

Durante esta etapa a ressonância ocorre entre o indutor L_{r1} e o capacitor C_r. Ao final desta etapa em $t=t_7$, a corrente no indutor torna-se nula, levando o diodo em antiparalelo de S_1 ao bloqueio e encerrando o ciclo de ressonância. O tempo de duração desta etapa pode ser determinado pela equação a seguir:

$$\Delta t_7(\omega T_i) = \frac{1}{\omega_1}.arcsen\left(\sqrt{\beta - \alpha^2(\omega T_i)} - \alpha(\omega T_i).\sqrt{\frac{(1-\beta)}{\beta}}\right) \tag{2.67}$$

Onde:

$$\omega_1 = \frac{1}{\sqrt{L_{r1}.C_r}} \tag{2.68}$$

Oitava etapa de* funcionamento *[t_7,t_8]

Condições iniciais:

$$\begin{cases} i_{Lr1}(\omega T_i, t_7) = 0 \\ i_{Lr2}(\omega T_i, t_7) = 0 \\ V_{Cr}(\omega T_i, t_7) = (V_{ce}(\omega T_i) + V_o).\left(A_1(\omega T_i) + A_2(\omega T_i)\right) \end{cases} \tag{2.69}$$

Sendo:

$$A_1(\omega T_i) = \sqrt{\beta}\left(\sqrt{\beta - \alpha^2(\omega T_i)} - \alpha(\omega T_i).\sqrt{\frac{(1-\beta)}{\beta}}\right) \tag{2.70}$$

$$A_2(\omega T_i) = \sqrt{(1-\beta)}\left(\sqrt{1 - \left(\sqrt{\beta - \alpha^2(\omega T_i)} - \alpha(\omega T_i).\sqrt{\frac{(1-\beta)}{\beta}}\right)^2}\right) \tag{2.71}$$

Com a extinção da corrente através de L_{r1}, o diodo D_1 assume completamente a corrente, carregando o capacitor C_r de forma linear. A etapa termina em $t=t_8$ quando a tensão sobre C_r atinge o valor $V_{ce}(\omega T_i) + V_o$, bloqueando o diodo D_1.

A duração da etapa é definida por:

$$\Delta t_8(\omega T_i) = \frac{1}{\alpha(\omega T_i).\,\omega_2}.\left[1 - \left(A_1(\omega T_i) + A_2(\omega T_i)\right)\right] \tag{2.72}$$

Nona etapa de funcionamento [t_8,t_9]

Condições iniciais:

$$\begin{cases} i_{Lr1}(\omega T_i, t_0) = 0 \\ i_{Lr2}(\omega T_i, t_0) = 0 \\ V_{Cr}(\omega T_i, t_0) = V_{ce}(\omega T_i) + V_o \end{cases} \tag{2.73}$$

Durante o decorrer desta etapa as grandezas $i_{Lr1}(\omega T_i)$, $i_{Lr2}(\omega T_i)$ e $v_{Cr}(\omega T)$ não sofrem alterações e a entrada em condução do diodo D_2 faz com que as correntes da fonte de alimentação e do indutor de acumulação fluam para saída do conversor. A etapa é encerrada no momento em que o interruptor S_1 é comandado para a condução. O tempo de duração desta etapa é:

$$\Delta t_9(\omega T_i) = T_{Sepic} - \sum_{n=1}^{8} \Delta t_n(\omega T_i) \tag{2.74}$$

Onde:

T_{Sepic}: duração total das nove etapas de funcionamento.

2.4 CONSIDERAÇÕES NA IMPLEMENTAÇÃO DO CONVERSOR SEPIC ZCS NO RETIFICADOR TRIFÁSICO HÍBRIDO.

De acordo com a análise feita na seção anterior, o processo de comutação suave no conversor SEPIC ZCS requer um tempo adicional de condução no interruptor controlado S_1, quando comparado com a sua operação convencional. Além disso, deve-se garantir um tempo de desligamento mínimo que permita a conclusão adequada do ciclo de ressonância. Estes tempos devem ser pequenos quando comparados com o tempo de condução médio definido pelo controle de histerese.

Assim, para a implementação do conversor SEPIC ZCS é necessário definir o tempo ($t_{desligS1,S2}$) após o intervalo t_{on} no qual os interruptores S_1 e S_2 devem ser desligados, e o tempo (t_{off}) após o intervalo t_{on} no qual nenhuma das chaves controladas podem ser levadas à condução, mesmo que o nível da corrente de entrada seja menor que o limite determinado pela banda inferior de histerese.

De acordo com as expressões (2.51) e (2.63) é possível concluir que o tempo requerido para desligar os interruptores S_1 e S_2 após o tempo t_{on} é independente das correntes e tensões no período da rede, e pode ser definido como:

$$t_{desligS1,S2} = \frac{\pi}{2}.\frac{1}{\omega_2} + \frac{\pi}{\omega_{eq}} \tag{2.75}$$

Mesmo depois de desligar os interruptores é necessário esperar a conclusão das etapas sétima e oitava. Assim, o tempo t_{off} é redefinido como:

$$t_{off}(\omega t) = t_{desligS1,S2} + \Delta t_7(\omega T) + \Delta t_8(\omega T) \tag{2.76}$$

O valor máximo de t_{off} é dado para $\alpha(\omega T_i)=0$, sendo seu valor determinado pela seguinte expressão:

$$t_{offmax} = t_{desligS1,S2} + \frac{1}{\omega_1}.arcsen\left(\sqrt{\beta}\right) \tag{2.77}$$

Além da determinação dos tempos supracitados é necessário que as seguintes restrições sejam respeitadas:

$$\alpha(\omega T) < \beta \tag{2.78}$$
$$\beta < 1$$

A primeira restrição garante que durante a ressonância entre L_{r1}, L_{r2} e C_r, a corrente no indutor L_{r1} irá inverter seu sentido de fluxo antes que ocorra o mesmo com a corrente no indutor L_{r2}.

A segunda restrição implica que o valor de L_{r2} deverá ser menor do que a indutância de L_{r1}, fazendo com que a ressonância entre L_{r2} e C_r acabe mais rapidamente do que a ressonância entre L_{r1} e C_r.

Considerando que o parâmetro $\alpha(\omega T_i)$ varia com as transições de corrente e tensão retificadas, uma vez garantido que o valor máximo de $\alpha(\omega T_i)$ seja menor que β, todos os valores de $\alpha(\omega T_i)$ cumprirão a restrição. A expressão (2.45) pode ser

reescrita como aparece na equação (2.79), ajustada à nomenclatura usada no retificador híbrido e incluída a relação entre as correntes médias dos indutores.

$$\alpha(\omega T_i) = \frac{|i_{Lin}(\omega T_i)|.\left(1 + \frac{I_{Mmed}}{I_{inmed}}\right)}{v_{in}(\omega T_i) + V_{retif}}.\sqrt{\frac{L_{r2}}{C_r}} \tag{2.79}$$

Tendo em conta que o valor máximo de $i_{Lin}(\omega t)$ apresenta-se em ωt=π/6, tem-se que o valor máximo de $\alpha(\omega T_i)$ pode ser escrito como:

$$\alpha_{max} = K.I_{Rect-1}.\text{sen}\frac{\pi}{6}.\frac{\left(1 + \frac{I_{Lmp}}{I_p}\right)}{\sqrt{2}.\text{V}_{ef}.\text{sen}\frac{\pi}{6} + V_o}.\sqrt{\frac{L_{r2}}{C_r}} \tag{2.80}$$

2.5 PROJETO DE RETIFICADOR TRIFÁSICO HÍBRIDO

A seguir desenvolve-se o projeto do retificador híbrido, de acordo com a metodologia proposta por Soares (2008), respeitando com as seguintes considerações:

- No cálculo dos esforços de corrente é admitida uma queda de 15% na tensão de entrada. Já no dimensionamento dos esforços de tensão considera-se um aumento de 15% na tensão de entrada.
- O retificador não controlado é dimensionado para processar a potência média total entregue à carga.
- O retificador SEPIC é dimensionado para operar na condição de esforço máximo com K=2.

Projeto Retificador não controlado (Retif-1)

Na tabela a seguir apresentam-se os dados de projeto do retificador não controlado, empregado para o carregador rápido como estágio CA/CC.

Tabela 3- Dados de projeto do retificador não controlado.

Parâmetro	**Valor**
Potência ativa (P) de carga	7500 W
Rendimento teórico estimado (η)	0,95
Tensão eficaz por fase (V_{ef}) de alimentação	127 V

Fonte: Próprio autor

Para os dados da Tabela 4, seguindo a metodologia proposta, são obtidos os esforços de corrente e tensão nos diodos da ponte retificadora.

Tabela 4- Esforços de tensão e corrente nos diodos da ponte retificadora trifásica.

Parâmetro	**Valor**
Tensão de pico	$V_{DPico} = \sqrt{6}.1{,}15.V_{ef}$
Corrente média	$I_{Dmd} = \frac{\pi}{9.\sqrt{6}}.\frac{P}{0{,}85.V_{ef}}$
Corrente de pico	$I_{DPico} = \frac{\pi^2}{9.\sqrt{6}}.\frac{P}{0{,}85.V_{ef}}$

Fonte: Próprio autor

Visando obter ondulações de corrente (ΔI_{Lo}) e tensão (ΔV_{Co}) na saída menores que 3,5% e 0,3%, respectivamente, calcula-se o filtro de saída como apresentado na Tabela 5, onde: t_2'=6,36 ms e Δt_1'=810 μs.

Tabela 5- Cálculo do filtro de saída do retificador não controlado.

Parâmetro	Valor
Indutor de saída (L_o)	$L_o = \frac{1800.V_{ef}^2}{2.\pi.w.\Delta I_{Lo}\%.P}\left\{\sqrt{3}.\cos(w.t_2') + \text{sen}(w.t_2') + \frac{w}{30.\pi}.(180.t_2' - 1)\right\}$
Capacitor de saída (C_o)	$C_o = \frac{\pi^2.\Delta I_{Lo}\%.P.\Delta t_1'}{27.\Delta V_{Co}\%.V_{ef}^2}$

Fonte: Próprio autor

Projeto Retificador controlado (Retif-2)

Na Tabela 6 encontram-se os dados de projeto para o retificador controlado. É necessário definir de forma prévia a frequência máxima de operação e os valores máximos de ondulação nos indutores e no capacitor de acumulação.

Tabela 6- Dados de projeto do retificador controlado.

Parâmetro	Valor
Tensão eficaz por fase (V_{ef}) de alimentação	127 V
Potência média (P) de carga	7500 W
Potência do retificador SEPIC (P_{SEPIC})	1122 W
Rendimento teórico estimado (η)	0,95
Frequência máxima de operação (f_{smax})	50 kHz
Máxima ondulação da corrente de entrada (ΔI_{Lin}%)	8%
Máxima ondulação da corrente no indutor de saída (ΔI_{Lm})	8%
Máxima ondulação da tensão sobre a capacitância de acumulação (ΔV_c%)	10%

Fonte: Próprio autor

De acordo com dados do projeto obtêm-se os valores dos elementos de acumulação, como apresentado a seguir.

Tabela 7- Cálculo dos elementos de acumulação do retificador controlado.

Parâmetro	**Valor**
Indutância de entrada	$L_{in} = \frac{1}{f_{smax}.\Delta I_{in}\%.I_p.\left(\frac{1}{V_p}+\frac{1}{V_{retif}}\right)}$
Indutância de saída	$L_m = L_{in}$
Capacitância de acumulação	$C_E = \frac{23{,}57}{\sqrt{2}}.\frac{t_{off}.P}{\Delta V_c\%.V_{ef}^2}$

Fonte: Próprio autor

Seguindo a metodologia proposta por Wakabayashi (2003), baseado na escolha inicial do capacitor C_r e na relação entre a frequência do retificador SEPIC e a frequência f_2, obtém-se os resultados da Tabela 8.

Tabela 8- Projeto do conversor SEPIC ZCS.

Parâmetro	**Valor**
Capacitância de ressonância (C_r)	$C_r = 33\ \text{nF}$
Frequência de ressonância entre L_{r2} e C_r (f_2)	$f_2 = \frac{1}{2\pi.\omega_2} = 438{,}6\ \text{kHz}$
Indutância de ressonância (L_{r2})	$L_{r2} = \frac{1}{(\omega_2)^2.C_r}$
Alpha max	$\alpha_{max} = K.I_{Rect-1}.\text{sen}\frac{\pi}{6}.\frac{\left(1+\frac{I_{Lmp}}{I_p}\right)}{\sqrt{2}.V_{ef}.\text{sen}\frac{\pi}{6}+V_o}.\sqrt{\frac{L_{r2}}{C_r}}$ =0,5142
βeta	$\beta = 0{,}667$

$$L_{r1} = \frac{L_{r2}}{\beta}$$

Indutância de ressonância (L_{r1})	

Fonte: Próprio autor

Nas Tabelas 9, 10, 11, 12 e 13 listam-se os esforços de corrente e tensão sobre os semicondutores presentes no retificador SEPIC ZCS.

Tabela 9- Esforços máximos de corrente e tensão sobre os diodos da ponte retificadora de entrada do conversor SEPIC.

Parâmetro	**Valor**
Tensão de pico	$V_{Dpico1ø} = \sqrt{2}.1{,}15.V_{ef} = 206{,}5\ \text{V}$
Corrente média	$I_{DMd1ø} = 0{,}0715.\dfrac{P}{\eta.0{,}85.V_{ef}^2}$
Corrente de pico	$I_{Dpico1ø} = \dfrac{10{,}54}{\sqrt{2}}.\dfrac{t_{on}.P}{\Delta I_{Lm}\%.V_{ef}^2}$

Fonte: Próprio autor

.

Tabela 10- Esforços máximos de corrente e tensão sobre o interruptor controlado S_1

Parâmetro	**Valor**
Tensão de pico	$V_{s1Pico} = \sqrt{2}.1{,}15.V_{ef}.\left(1 + \dfrac{\Delta V_c\%}{200} + \dfrac{3.\sqrt{3}}{\pi}\right)$
Corrente média	$I_{s1Md} = 0{,}9.\left(\dfrac{0{,}143}{\eta} + 0{,}064\right)\dfrac{P}{0{,}85.V_{ef}}$
Corrente de pico	$I_{s1Pico} = 0{,}2357.\dfrac{P}{\eta.0{,}85.V_{ef}}.\left(1 + \dfrac{\Delta I_{in}\%}{200} + 0{,}447.\eta.\left(1 + \dfrac{\Delta I_{Lm}\%}{200}\right)\right)$
Corrente de pico inversa	$I_{Ds1Pico} = \sqrt{\dfrac{c_r}{L_{r2}}}.\left(\dfrac{1{,}15.\sqrt{2}.V_{ef}.\left(1 + \dfrac{\Delta V_c\%}{200}\right)}{2} + V_{retif}\right).\left(\dfrac{2.\beta}{1+\beta}\right) = 28{,}1\ \text{A}$
Corrente eficaz	$I_{s1ef} = 0{,}144.(1 + 0{,}447.\eta).\dfrac{P}{\eta.0{,}85.V_{ef}}$

Fonte: Próprio autor

Tabela 11- Esforços máximos de corrente e tensão no interruptor controlado S_2.

Parâmetro	Valor
Corrente de pico	$I_{s2Pico} = \sqrt{\frac{C_r}{L_{r2}}}.\left(1{,}15.\sqrt{2}.V_{ef}.\left(1+\frac{\Delta V_c\%}{200}\right)+V_{retif}\right) = 47{,}1\ \mathrm{A}$
Corrente de pico inversa	$I_{Ds2Pico} = \sqrt{\frac{C_r}{L_{r2}}}.(V_{Ce}(\omega T_i)+V_o).\frac{1-\beta}{1+\beta} = -9{,}48\ \mathrm{A}$
Tensão de pico	$V_{s2Pico} = V_{s1Pico}$

Fonte: Próprio autor

Tabela 12- Esforços máximos de tensão e corrente no diodo do circuito ressonante D_1.

Parâmetro	Valor
Tensão de pico	$V_{D1Pico} = 1{,}15.\sqrt{2}.V_{ef}.\left(1+\frac{\Delta V_c\%}{200}+\frac{3.\sqrt{3}}{\pi}\right)$
Corrente de pico	$I_{D1Pico} = \sqrt{\frac{C_r}{L_{r2}}}.\left(1{,}15.\sqrt{2}.V_{ef}.\left(1+\frac{\Delta V_c\%}{200}\right)+V_o\right).\left(\frac{2.\beta}{1+\beta}\right)$

Fonte: Próprio autor

Tabela 13- Esforços máximos de corrente e tensão sobre os diodos de saída D_{21} e D_{22}.

Parâmetro	Valor
Tensão de pico	$V_{D2Pico}.\left(1+\frac{\sqrt{1+\beta}}{1+\beta}\right) = 998{,}3\ \mathrm{V}$
Corrente média	$I_{D2} = 0{,}777.\frac{\pi.\sqrt{2}}{54}.\frac{P}{0{,}85.V_{ef}}$

Corrente de pico	$I_{D2Pico} = I_{sPico}$

Fonte: Próprio autor

2.6 CONCLUSÕES PARCIAIS

Neste capitulo foram apresentadas as expressões no domínio do tempo para o cálculo das principais correntes, tensões, e potências do retificador híbrido, complementado os resultados no domínio da frequência apresentados por Soares (2008), permitindo corroborar de forma quantitativa a distribuição no processamento de potência por parte do retificador não controlado, e o conjunto de conversores SEPIC, destacando os esforços reduzidos em corrente sobre as chaves controladas, mantendo níveis reduzidos de DHT e uma tensão constante na saída.

Através da análise matemática determinou-se o comportamento do retificador híbrido durante um período de comutação, aplicando um controle por histerese na imposição da corrente de entrada, resultando nas expressões requeridas para determinar os valores dos indutores de entrada i_{Lin}, e de acumulação i_{Lm} para um *ripple* de corrente de entrada predefinido, assim como as variações de frequência de comutação da estrutura durante um período de rede. Conclui-se também que independentemente da técnica de controle empregada no controle de i_{Lin} a tensão de saída V_{retif} mantem-se constante devido a operação do retificador não controlado.

A partir do princípio de operação da célula de comutação suave apresentada por Wakabayashi (2003) foram determinadas as condições para seu emprego no retificador híbrido tendo em conta as restrições provenientes da técnica de modulação por histerese e a forma de onda imposta na corrente de entrada.

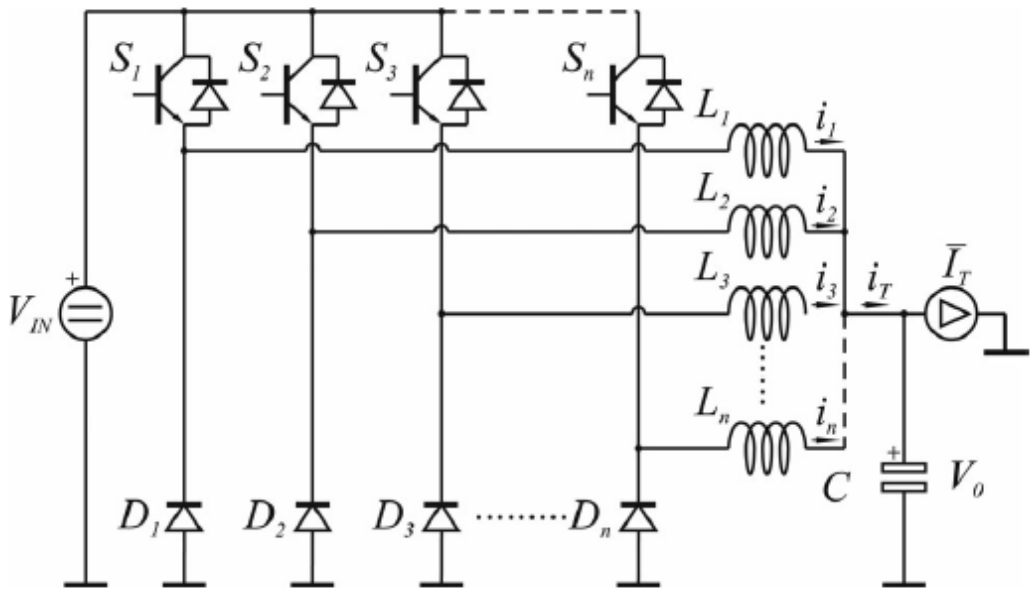
Capítulo III

3 ESTAGIO CC-CC: CONVERSOR BUCK ENTRELAÇADO

Na implementação do estágio CC/CC do carregador rápido foi escolhida a topologia do conversor *Buck* entrelaçado, o qual é empregado geralmente para fornecer correntes elevadas com *ripple* reduzidos. Nesta estrutura a corrente total é distribuída entre os n_c conversores, isto para reduzir os esforços nos semicondutores e de forma adicional o *ripple* de corrente na saída (RETEGUI; BENEDETTI et al., 2012) .

A topologia escolhida, mostrada na Figura 22. Esta estrutura consiste de n conversores *Buck* idênticos, com a entrada e a saída interligadas. A razão cíclica dos conversores adjacentes tem um deslocamento de fase de $\varphi = \frac{360°}{n}$, sendo *n* o número total de conversores entrelaçados.

Figura 22- Conversor Buck entrelaçado



Fonte: Benedetti et al. (2012).

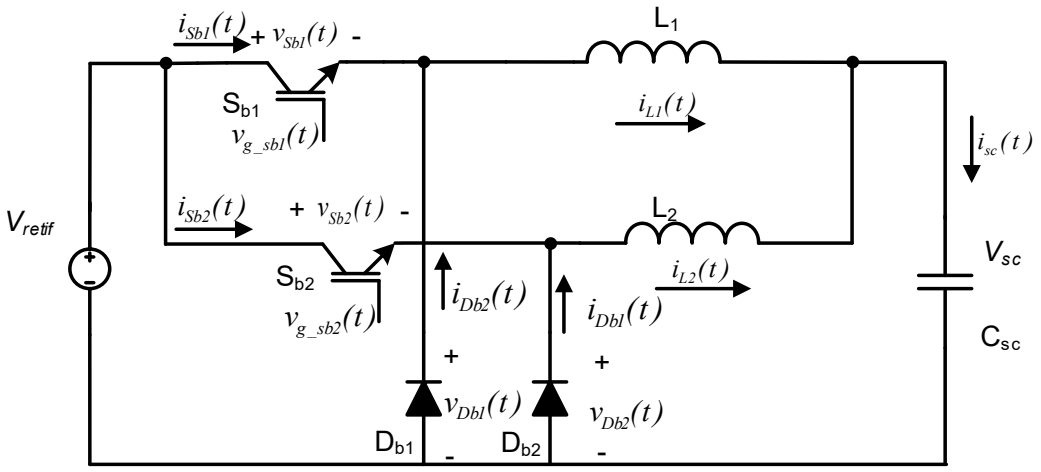
O conversor *Buck* apresenta características de fonte de corrente na saída, fazendo com que a corrente dependa unicamente do controle da corrente no indutor. Isto simplifica a imposição das correntes requeridas para o carregamento do banco de supercapacitores.

No decorrer deste capítulo é descrita a operação por etapas do conversor *Buck* entrelaçado, obtendo a expressão para a ondulação da corrente de saída. Igualmente, são apresentadas duas técnicas de modelagem empregadas para obter as respostas em frequência da corrente e da tensão em função da razão cíclica. Finalmente é desenvolvido o projeto de conversor atendendo os requerimentos de potência do carregador rápido, junto com os controladores requeridos para efetuar as etapas de carregamento do banco de supercapacitores.

3.1 ETAPAS DE OPERAÇÃO DO CONVERSOR BUCK ENTRELAÇADO DE DUAS CÉLULAS E ANÁLISE DO RIPPLE DA CORRENTE DE SAÍDA.

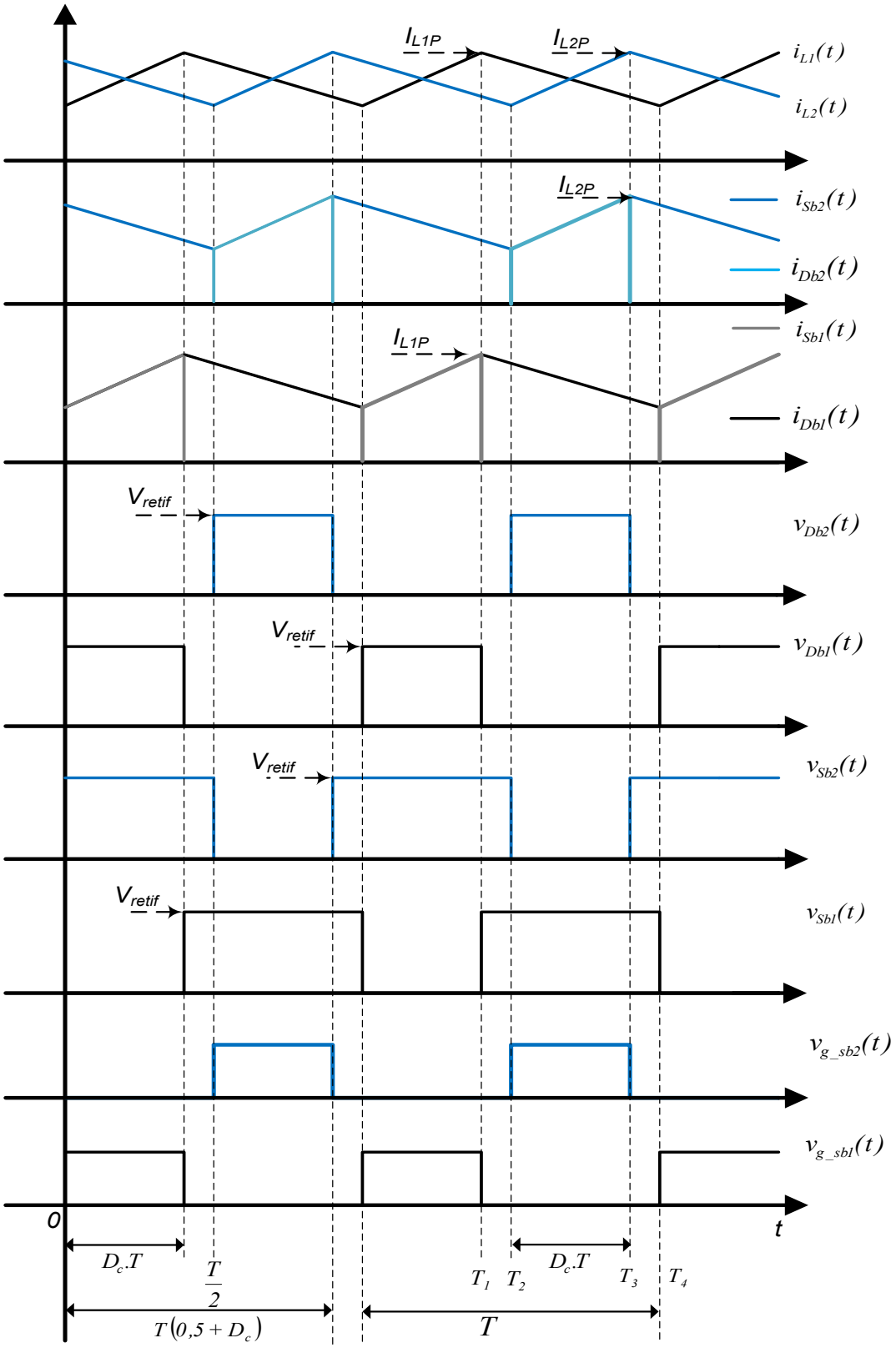
Nesta seção são analisadas as etapas de operação do conversor *Buck entrelaçado* de duas células apresentado na Figura 23, operando com uma razão cíclica $D_c<0,5$. Obtendo-se as formas de onda das tensões e correntes de acordo com o acionamento das chaves S_{b1} e S_{b2} como ilustrado na Figura 24.

Figura 23- Conversor Buck entrelaçado de duas células.



Fonte: Próprio autor

Figura 24- Tensões e correntes no conversor Buck entrelaçado de duas células para D_c<0.5.



Fonte: Próprio autor

Onde,

I_{L1}: corrente de saída da célula 1;
I_{L2}: corrente de saída da célula 2;
I_{Sb2}: corrente na chave controlada da célula 2;
I_{Db2}: corrente no diodo da célula 2;
I_{Sb1}: tensão na chave controlada da célula 1;
I_{Db1}: tensão no diodo da célula 1;
V_{Sb2}: tensão na chave controlada da célula 2;
V_{Db2}: tensão no diodo da célula 2;
V_{Sb1}: tensão na chave controlada da célula 1;
V_{Db1}: tensão no diodo da célula 1.

Primeira Etapa T1 (0, D_c)T

No decorrer desta etapa a chave S_{b1} é levada à condução, carregando o indutor L_1 através da diferença de tensão entre V_{retif} e V_{sc}, enquanto o diodo D_{b2} permite a descarga do indutor L_2. A chaves S_{b2} e D_{b1} permanecem bloqueadas suportando a tensão V_{retif}.

Segunda Etapa T2 (D_c, 0,5)T

Durante o segundo intervalo a chave S_{b1} é bloqueada e o diodo D_{b1} entra em condução, o que implica na descarga do indutor L_1. Por sua vez a chave S_{b2} continua bloqueada e o indutor L_2 alimenta a carga através de D_{b2}.

Terceira Etapa T3 (0.5, 0.5+ D_c)T

No instante $t=T/2$ a chave S_{b2} é levada à condução, carregando o indutor L_2, enquanto o diodo D_{b2} é bloqueado. Durante este período a chave S_{b1} encontra-se desligada e a corrente do indutor L_1 alimenta a carga através do diodo D_{b1}.

Quarta Etapa T4 (0,5+ D_c, 1)T

Na etapa final a chave S_{b2} é desligada e os indutores L_1 e L_2 transferem energia para a carga por meio dos diodos D_{b1} e D_{b2}.

A análise da variação da corrente de saída foi feita durante a primeira etapa onde os *ripples* das correntes nos indutores estão dados por:

$$\Delta I_{L1} = \frac{(V_{retif} - V_{sc}).D_c.T}{L_1} \tag{3.1}$$

$$\Delta I_{L2}' = \frac{V_{sc}.D_{c.}T}{L_2} \tag{3.2}$$

Sendo,

ΔI_{L1}: *Ripple* de corrente no indutor L_1.

$\Delta I_{L2}'$: *Ripple* de corrente no indutor L_2 durante a primeira etapa de operação.

Assumindo que $L_1 = L_2$, e o ganho estático do conversor Buck entrelaçado igual D_c, o *ripple* da corrente de saída I_{sc} é definido como:

$$|\Delta I_{sc}| = |\Delta I_1 + \Delta I_2'| = \frac{V_{sc}.|1 - 2D_c|.T}{L_1} \tag{3.3}$$

A expressão anterior pode ser reescrita como:

$$|\Delta I_{sc}| = |\Delta I_1 + \Delta I_2'| = \frac{V_{sc}|1 - D_c|.T}{L_1}.\frac{|1 - 2D_c|}{1 - D_c} \tag{3.4}$$

Realizando uma análise similar é possível obter a variação da corrente de saída para uma razão cíclica $D_c>0,5$, obtendo-se a seguinte expressão:

$$|\Delta I_{sc}| = |\Delta I_1 + \Delta I_2'| = \frac{V_{sc}(1 - D_c).T}{L_1}.\frac{|1 - 2D_c|}{D_c} \tag{3.5}$$

As equações (3.4) e (3.5) podem ser combinadas obtendo-se o *ripple* na corrente de saída para $0 \leq D_c \leq 1$, como definido em (3.6) (CHEN, 1999) .

$$\Delta I_{sc} = |\Delta I_1 + \Delta I_2'| = \frac{2.V_{sc}(1 - D_c).T}{L_1}.\frac{|1 - 2D_c|}{|1 - 2D_c| + 1} \tag{3.6}$$

De modo geral para um conversor Buck entrelaçado com n_c células com indutância L e tensão de saída V_{out}, o *ripple* da corrente de saída está determinado pela expressão (3.7) (CHEN, 1999).

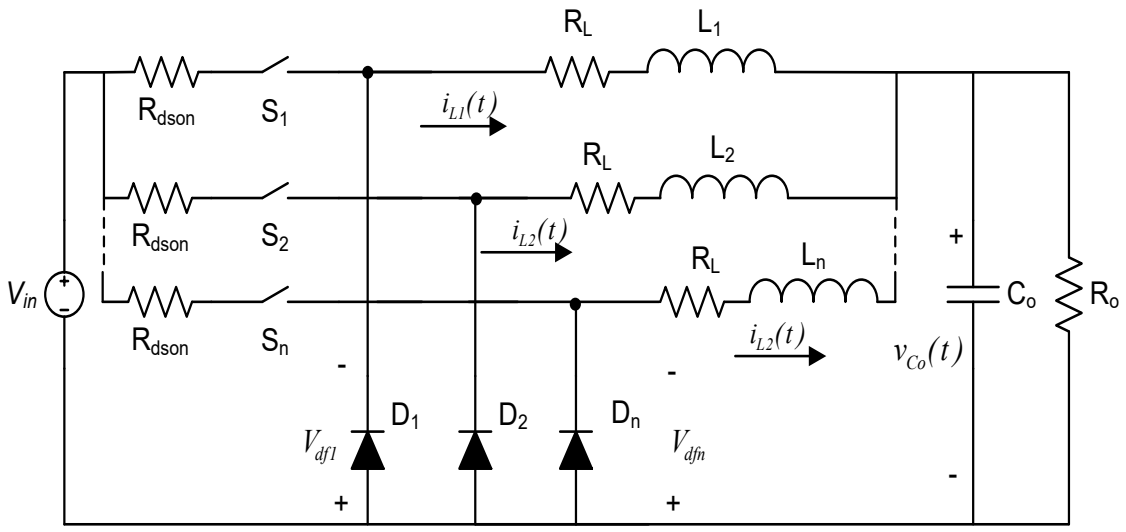
$$\Delta I_{out} = \frac{n_c.V_{out}}{L}.\frac{\prod_{i=1}^{n_c}\left|\frac{i}{n_c} - D_c\right|}{\prod_{i=1}^{n_c-1}\left(\left|\frac{i}{n_c} - D_c\right| + \frac{1}{n_c}\right)} \tag{3.7}$$

3.2 MODELAGEM DO CONVERSOR BUCK ENTRELAÇADO

Um dos métodos mais empregados na modelagem de fontes chaveadas é o método dos valores médios das variáveis de estado, desenvolvido por Middlebrook e Cuk (1976). Esta técnica permite obter um modelo de variáveis médias no espaço de estados, resultando em um modelo linear válido para pequenas perturbações, através da linearização em torno de um ponto de operação do conversor.

O desenvolvimento do modelo por variáveis de estado para um conversor Buck entrelaçado de n_c células, operando no modo de condução contínuo foi apresentado por Schittler *et al* (2011), admitindo-se a estrutura da Figura 25.

Figura 25- Conversor entrelaçado de n_c células.



Fonte: Próprio autor

De forma geral, considerando um sistema com dois estados e um sinal de entrada, a representação no espaço de estados é dada por:

$$\begin{bmatrix} \dot{x_1} \\ \dot{x_2} \end{bmatrix} = \boldsymbol{A} \begin{bmatrix} x_1 \\ x_2 \end{bmatrix} + \boldsymbol{B}.\boldsymbol{U} \tag{3.8}$$

$$y = \boldsymbol{C} \begin{bmatrix} x_1 \\ x_2 \end{bmatrix} + \boldsymbol{E}.\boldsymbol{U} \tag{3.9}$$

Sendo,

A – matriz de estados;

B – matriz de entrada;

C – matriz de saída;

E – matriz de transmissão direta de entrada para a saída.

Onde o vetor de equilíbrio **X** está dado pela seguinte expressão:

$$\boldsymbol{X} = -\boldsymbol{A}^{-1}.\boldsymbol{B}.\boldsymbol{U} \tag{3.10}$$

No conversor Buck entrelaçado, o vetor de estado está composto pelas correntes de cada um dos indutores e a tensão do capacitor de saída, resultando em:

$$\begin{bmatrix} \dot{x_1} \\ \dot{x_2} \\ \vdots \\ \dot{x_n} \\ \dot{x_4} \end{bmatrix} = \begin{bmatrix} i_{l1} \\ i_{l2} \\ \vdots \\ i_{ln} \\ v_c \end{bmatrix} \tag{3.11}$$

Enquanto o vetor de entrada ***U*** é composto pela tensão de entrada e a queda de tensão em cada um dos diodos, conforme a seguir:

$$\boldsymbol{U} = \begin{bmatrix} V_{in} \\ V_{df1} \\ V_{df2} \\ \vdots \\ V_{dfn} \end{bmatrix} \tag{3.12}$$

As matrizes dos valores médios ***A***, ***B*** e ***C*** estão dadas por:

$$\boldsymbol{A} = \sum_{n=1}^{n} D_n.\boldsymbol{A}_n \quad ; \quad \boldsymbol{B} = \sum_{n=1}^{n} D_n.\boldsymbol{B}_n \quad ; \quad \boldsymbol{C} = \sum_{n=1}^{n} D_n.\boldsymbol{C}_n \tag{3.13}$$

Sendo *n* o número de intervalos de tempo a serem analisados com duração D_n.T, onde:

$$n = 2.nc \tag{3.14}$$

$$\sum_{n=1}^{n} D_n = 1 \tag{3.15}$$

O modelo de pequenos sinais do conversor é obtido inserindo perturbações na tensão de entrada e na razão cíclica, com o conversor operando no ponto de equilíbrio **X**. Assim, as equações de estados do modelo incluindo as perturbações supracitadas estão dadas por:

$$\begin{bmatrix} \widehat{\dot{x_1}} \\ \widehat{\dot{x_2}} \end{bmatrix} = \boldsymbol{A_p} \begin{bmatrix} \widehat{x_1} \\ \widehat{x_2} \end{bmatrix} + \boldsymbol{B_p}. \begin{bmatrix} \hat{u} \\ \hat{d} \end{bmatrix} \tag{3.16}$$

$$y = \boldsymbol{C_p} \begin{bmatrix} \widehat{x_1} \\ \widehat{x_2} \end{bmatrix} + \boldsymbol{E_p}. \begin{bmatrix} \hat{u} \\ \hat{d} \end{bmatrix} \tag{3.17}$$

Onde:

$$\boldsymbol{A} = \boldsymbol{A_p} \tag{3.18}$$

$$\boldsymbol{B_p} = \left[\boldsymbol{B} \qquad \left(\sum_{n=1}^{n} (-1)^{n+1} . \boldsymbol{A_n}. \boldsymbol{X} + \sum_{n=1}^{n} (-1)^{n+1} . \boldsymbol{B_n}. \boldsymbol{U} \right) \right] \tag{3.19}$$

$$\boldsymbol{C} = \boldsymbol{C_p} \tag{3.20}$$

Desta forma, para o conversor de *n* células as matrizes que descrevem o sistema são:

$$\boldsymbol{A} = \begin{bmatrix} -\frac{(R_L + R_{dson}. D_C)}{L_1} & 0 & \dots & 0 & -\frac{1}{L_1} \\ 0 & -\frac{(R_L + R_{dson}. D_C)}{L_2} & 0 & 0 & -\frac{1}{L_2} \\ \vdots & 0 & \ddots & 0 & \vdots \\ 0 & 0 & 0 & -\frac{(R_L + R_{dson}. D_C)}{L_n} & -\frac{1}{L_n} \\ \frac{1}{C_o} & \cdots & \dots & \frac{1}{C_o} & -\frac{1}{R_o. C_o} \end{bmatrix} \tag{3.21}$$

$$\boldsymbol{B} = \begin{bmatrix} \frac{1}{L_1}. D_c & -\frac{1}{L_1}. (1 - D_c) & 0 & \dots & 0 \\ \frac{1}{L_2}. D_c & 0 & -\frac{1}{L_2}. (1 - D_c) & 0 & 0 \\ \vdots & 0 & 0 & \ddots & \vdots \\ \frac{1}{L_n}. D_c & 0 & 0 & \dots & -\frac{1}{L_n}. (1 - D_c) \\ 0 & \cdots & \dots & \dots & 0 \end{bmatrix} \tag{3.22}$$

$$\boldsymbol{A} = \boldsymbol{A_p} \quad ; \ \boldsymbol{B_p} = [\boldsymbol{B} \qquad (\boldsymbol{A_k}. \boldsymbol{X} + \boldsymbol{B_k}. \boldsymbol{U})] \quad ; \ \boldsymbol{C} = \boldsymbol{C_p} \tag{3.23}$$

Onde:

$$\boldsymbol{A_k} = \begin{bmatrix} -\frac{(R_{dson})}{L_1} & 0 & \dots & 0 & 0 \\ 0 & -\frac{(R_{dson})}{L_2} & 0 & 0 & 0 \\ \vdots & 0 & \ddots & 0 & \vdots \\ 0 & 0 & 0 & -\frac{(R_{dson})}{L_n} & 0 \\ 0 & \cdots & \dots & \dots & 0 \end{bmatrix} \tag{3.24}$$

$$\boldsymbol{B_k} = \begin{bmatrix} \frac{1}{L_1} & \frac{1}{L_1} & 0 & \dots & 0 \\ \frac{1}{L_1} & 0 & \frac{1}{L_2} & 0 & 0 \\ \vdots & 0 & 0 & \ddots & \vdots \\ \frac{1}{L_n} & 0 & 0 & \dots & \frac{1}{L_n} \\ 0 & \cdots & \dots & \dots & 0 \end{bmatrix} \tag{3.25}$$

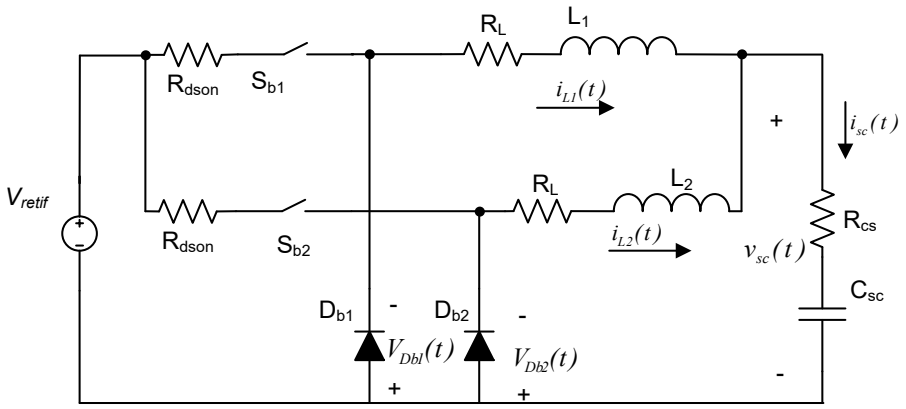
A obtenção das funções de transferência do sistema é dada pela expressão (3.26).

$$G(s) = \boldsymbol{C_p}\left(s\boldsymbol{I} - \boldsymbol{A_p}\right)^{-1}.\boldsymbol{B_p} \tag{3.26}$$

3.3 MODELAGEM DO CONVERSOR ENTRELAÇADO DE DUAS CÉLULAS.

No trabalho de Schittler et al. (2011), as etapas de funcionamento do conversor foram descritas para uma razão cíclica $D_c<0,5$, com o intuito de verificar a validade do modelo e apresentar de forma detalhada a obtenção das expressões apresentadas na seção anterior. A seguir, apresenta-se a modelação do conversor Buck entrelaçado de duas células, operando com uma razão cíclica $D_c>0,5$. Adicionalmente, a carga resistiva é retirada, sendo C_{sc} a única carga presente como mostrado na Figura 26, com o intuito de modelar o processo de carregamento do banco de supercapacitores.

Figura 26- Modelo do conversor Buck de duas células com carga capacitiva.



Fonte: Próprio autor

Assim, o conjunto de equações do sistema é da seguinte forma:

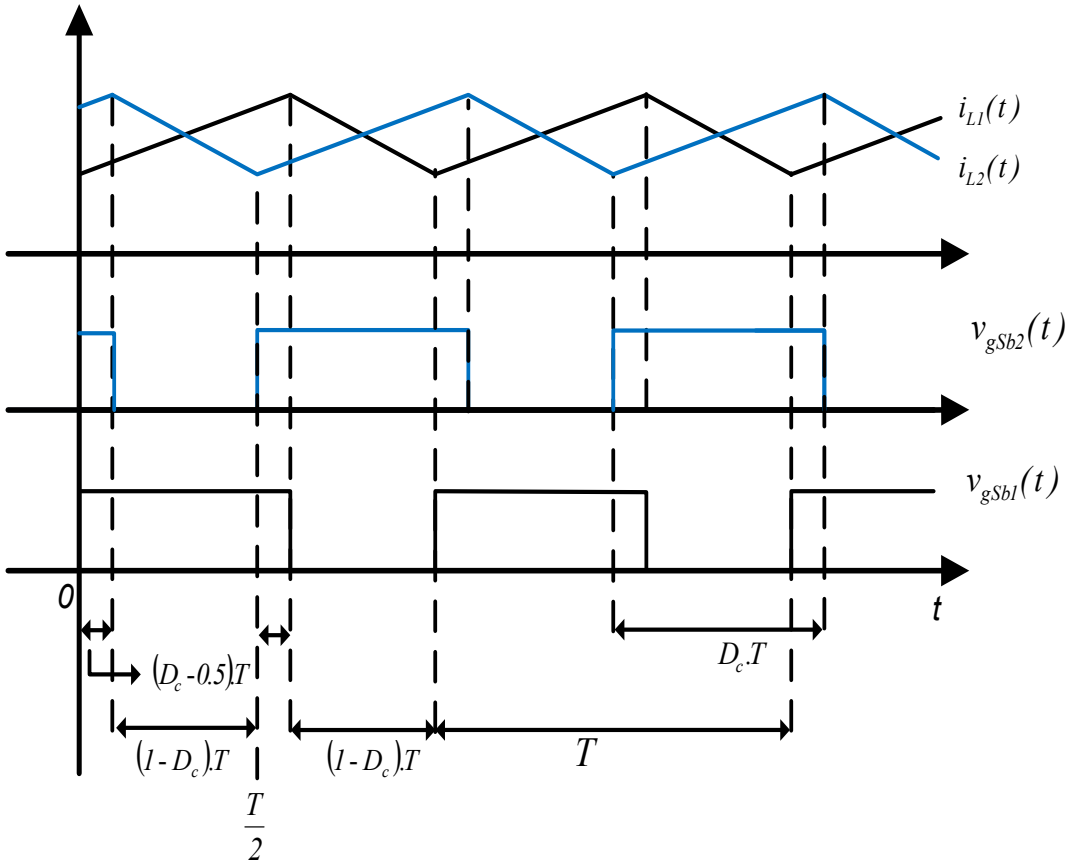
$$\frac{d}{dt}\begin{bmatrix} i_{L1}(t) \\ i_{L2}(t) \\ v_{sc}(t) \end{bmatrix} = \mathbf{A}\begin{bmatrix} i_{L1}(t) \\ i_{L2}(t) \\ v_{sc}(t) \end{bmatrix} + \mathbf{B}\begin{bmatrix} v_{retif}(t) \\ V_{Db1} \\ V_{Db2} \end{bmatrix} \tag{3.27}$$

A saída de interesse é a corrente no supercapacitor, então temos que:

$$i_{sc}(t) = \begin{bmatrix} 1 & 1 & 0 \end{bmatrix}\begin{bmatrix} i_{L1}(t) \\ i_{L2}(t) \\ v_{sc}(t) \end{bmatrix} \tag{3.28}$$

Na Figura 27, ilustram-se as formas de onda das correntes nos indutores em relação à ativação das chaves S_{b1} e S_{b2}. Como mencionado anteriormente, o número de etapas a serem analisadas corresponde ao dobro do número de células, as quais são descritas a seguir.

Figura 27- Correntes nos indutores do conversor Buck entrelaçado de duas células e D_c>0,5.



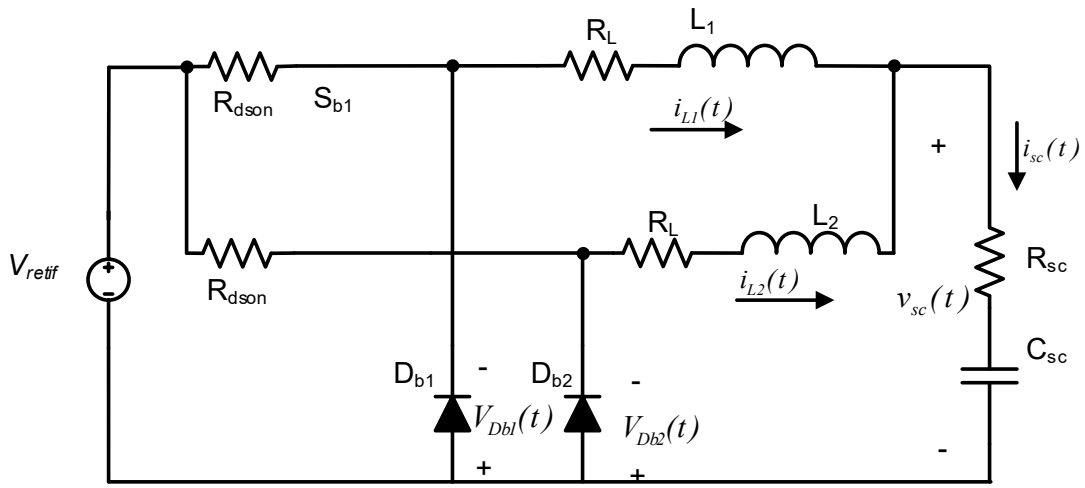
Fonte: Próprio autor

Primeira etapa de funcionamento (0 - D1)T

Durante esta etapa, conforme a Figura 28 as duas chaves, S_{b1} e S_{b2} estão ativas e os diodos D_1 e D_2 encontram-se bloqueados. A corrente no capacitor é a soma das correntes nos indutores, e a duração desta etapa é $(D_c - 0,5)T$, sendo D_c a razão cíclica do conversor.

$$i_{sc}(t) = [1 \quad 1 \quad 0]\begin{bmatrix} i_{L1}(t) \\ i_{L2}(t) \\ v_{sc}(t) \end{bmatrix} \tag{3.29}$$

Figura 28- Primeira etapa de funcionamento do conversor Buck entrelaçado de duas células.



Fonte: Próprio autor

As equações desta etapa e sua representação matricial são apresentadas como segue:

$$L_1 \frac{di_{L1}(t)}{dt} = v_{retif}(t) - i_{L1}(t).(R_{dson} + R_L) - R_{sc}.\left(i_{L1}(t) + i_{L2}(t)\right) - v_{sc}(t) \tag{3.30}$$

$$L_2 \frac{di_{L2}(t)}{dt} = v_{retif}(t) - i_{L2}(t).(R_{dson} + R_L) - R_{sc}.(i_{L1}(t) + i_{L2}(t)) - v_{sc}(t) \tag{3.31}$$

$$C_{sc} \frac{dv_{sc}(t)}{dt} = i_{L1}(t) + i_{L2}(t) \tag{3.32}$$

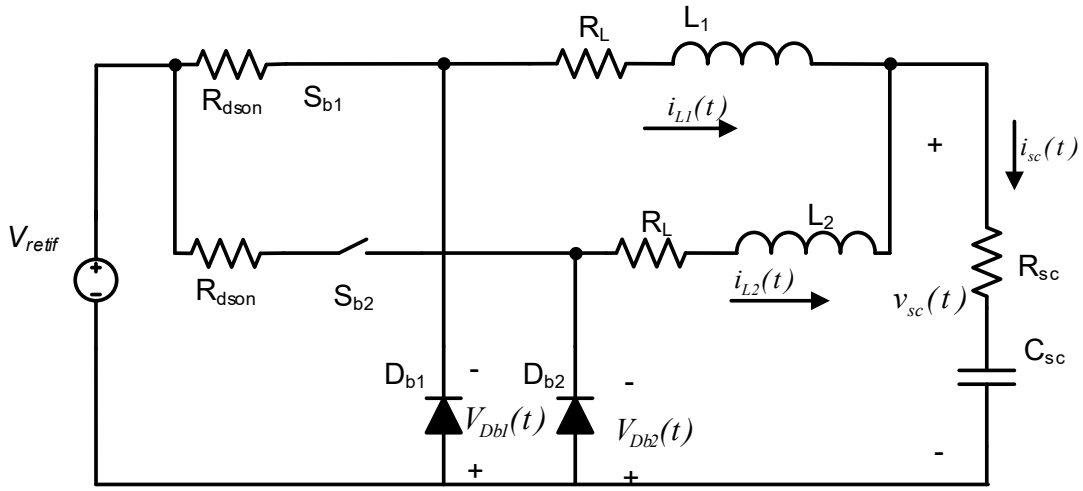
$$\boldsymbol{A_1} = \begin{bmatrix} -\frac{(R_L + R_{dson} + R_{sc})}{L_1} & -\frac{R_{sc}}{L_1} & -\frac{1}{L_1} \\ -\frac{R_{sc}}{L_2} & -\frac{(R_L + R_{dson} + R_{sc})}{L_2} & -\frac{1}{L_2} \\ \frac{1}{C_{sc}} & \frac{1}{C_{sc}} & 0 \end{bmatrix} \tag{3.33}$$

$$\boldsymbol{B_1} = \begin{bmatrix} \frac{1}{L_1} & 0 & 0 \\ \frac{1}{L_2} & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix} \tag{3.34}$$

Segunda etapa de funcionamento (D_1, 0,5)T

Durante o decorrer desta etapa a chave S_{b2} encontra-se bloqueada e o D_{b2} em condução, enquanto a chave S_{b1} e o diodo D_{b1} permanecem no estado da etapa anterior, vide Figura 29. A duração da etapa é de $(1-D_c)T$.

Figura 29- Segunda etapa de funcionamento do conversor Buck entrelaçado de duas células.



Fonte: Próprio autor

A seguir apresentam-se as equações da segunda etapa:

$$L_1 \frac{di_{L1}(t)}{dt} = v_{retif}(t) - i_{L1}(t).(R_{dson} + R_L) - R_{sc}.(i_{L1} + i_{L2}) - v_{sc}(t) \quad (3.35)$$

$$L_2 \frac{di_{L2}(t)}{dt} = -V_{Db2} - i_{L2}(t).(R_L) - R_{sc}.(i_{L1} + i_{L2}) - v_{co}(t) \quad (3.36)$$

$$C_{sc} \frac{dv_{sc}(t)}{dt} = i_{L1}(t) + i_{L2}(t) \quad (3.37)$$

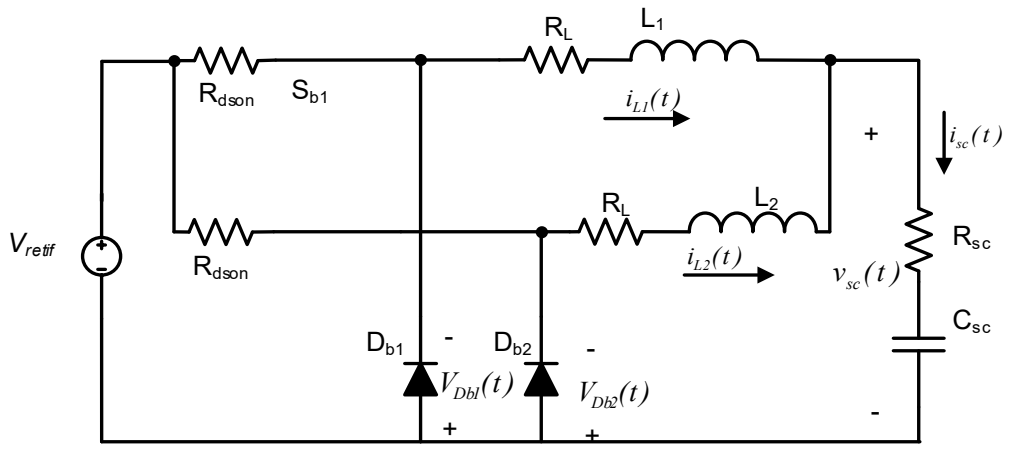
$$\boldsymbol{A_2} = \begin{bmatrix} -\frac{(R_L + R_{dson} + R_{sc})}{L_1} & -\frac{R_{sc}}{L_1} & -\frac{1}{L_1} \\ -\frac{R_{sc}}{L_2} & -\frac{(R_L + R_{sc})}{L_2} & -\frac{1}{L_2} \\ \frac{1}{C_{sc}} & \frac{1}{C_{sc}} & 0 \end{bmatrix} \tag{3.38}$$

$$\boldsymbol{B_2} = \begin{bmatrix} \frac{1}{L_1} & 0 & 0 \\ 0 & 0 & -\frac{1}{L_2} \\ 0 & 0 & 0 \end{bmatrix} \tag{3.39}$$

Terceira etapa de funcionamento (0,5, 0,5+D3)T

Esta etapa é equivalente à primeira em comportamento e duração, tendo o mesmo conjunto de equações, vide Figura 30.

Figura 30- Terceira etapa de funcionamento do conversor Buck entrelaçado de duas células.



Fonte: Próprio autor

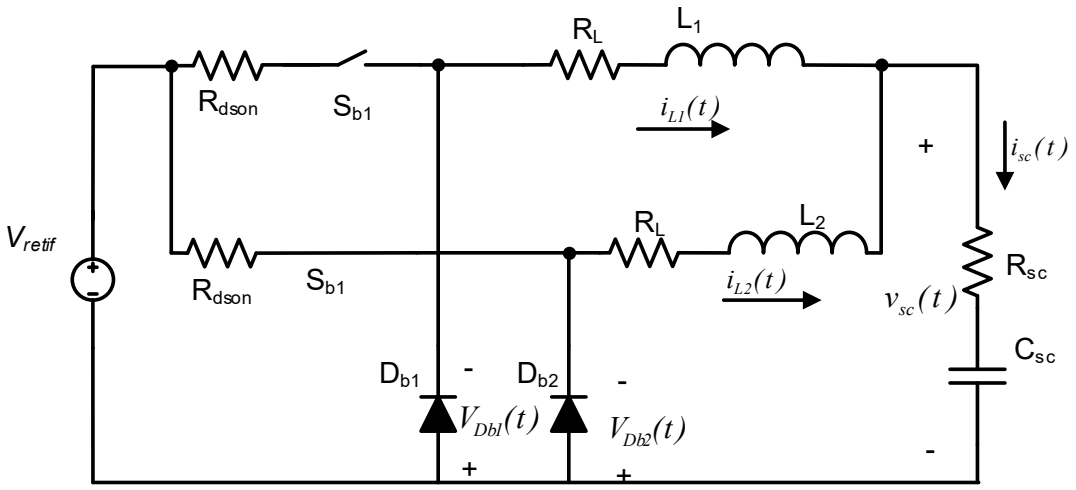
$$\boldsymbol{A_3} = \begin{bmatrix} -\frac{(R_L + R_{dson} + R_{sc})}{L_1} & -\frac{R_{sc}}{L_1} & -\frac{1}{L_1} \\ -\frac{R_{sc}}{L_2} & -\frac{(R_L + R_{dson} + R_{sc})}{L_2} & -\frac{1}{L_2} \\ \frac{1}{C_{sc}} & \frac{1}{C_{sc}} & 0 \end{bmatrix} \tag{3.40}$$

$$\boldsymbol{B_3} = \begin{bmatrix} \frac{1}{L_1} & 0 & 0 \\ \frac{1}{L_2} & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix} \tag{3.41}$$

Quarta etapa de funcionamento (D_c, D_4)T

No decorrer desta etapa, a chave S_1 é desligada fazendo com que o diodo D_1 entre em condução. A chave S_2 permanece ligada e o diodo D_2 bloqueado, sendo que a duração da etapa é $(1-D_c)T$, vide Figura 31.

Figura 31- Quarta etapa de funcionamento conversor Buck entrelaçado de duas células.



Fonte: Próprio autor

$$L_1 \frac{di_{L2}(t)}{dt} = -V_{Db1} - i_{L1}(t).(R_L) - R_{sc}.(i_{L1} + i_{L2}) - v_{sc}(t) \tag{3.42}$$

$$L_2 \frac{di_{L2}(t)}{dt} = v_{retif}(t) - i_{L2}(t).(R_{dson} + R_L) - R_{sc}.(i_{L1} + i_{L2}) - v_{sc}(t) \tag{3.43}$$

$$C_{sc} \frac{dv_{sc}(t)}{dt} = i_{L1}(t) + i_{L2}(t) \tag{3.44}$$

$$\boldsymbol{A_4} = \begin{bmatrix} -\frac{(R_L + R_{sc})}{L_1} & -\frac{R_{sc}}{L_1} & -\frac{1}{L_1} \\ -\frac{R_c}{L_2} & -\frac{(R_L + R_{dson} + R_{sc})}{L_2} & -\frac{1}{L_2} \\ \frac{1}{C_{sc}} & \frac{1}{C_{sc}} & 0 \end{bmatrix} \tag{3.45}$$

$$\boldsymbol{B_4} = \begin{bmatrix} 0 & -\frac{1}{L_1} & 0 \\ \frac{1}{L_2} & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix} \tag{3.46}$$

Uma vez analisadas e obtidas as equações de cada etapa, as matrizes médias são calculadas de acordo com as seguintes expressões:

$$\boldsymbol{A} = D_1.\boldsymbol{A_1} + D_2.\boldsymbol{A_2} + D_3.\boldsymbol{A_3} + D_4.\boldsymbol{A_4} \tag{3.47}$$

$$D_1 = D_c - \frac{1}{2};\ \ D_2 = 1 - D_c;\ \ D_3 = D_c - \frac{1}{2};\ \ D_4 = 1 - D_c \tag{3.48}$$

$$C_{sc}\frac{dv_{sc}(t)}{dt} = i_{L1}(t) + i_{L2}(t) \tag{3.49}$$

$$\boldsymbol{A} = \begin{bmatrix} -\frac{(R_L + R_{dson}.D_c + R_{sc})}{L_1} & -\frac{R_{sc}}{L_1} & -\frac{1}{L_1} \\ -\frac{R_{sc}}{L_2} & -\frac{(R_L + R_{dson}.D_c + R_{sc})}{L_2} & -\frac{1}{L_2} \\ \frac{1}{C_{sc}} & \frac{1}{C_{sc}} & 0 \end{bmatrix} \tag{3.50}$$

$$\boldsymbol{B} = D_1.\boldsymbol{B_1} + D_2.\boldsymbol{B_2} + D_3.\boldsymbol{B_3} + D_4.\boldsymbol{B_4} \tag{3.51}$$

$$\boldsymbol{B} = \begin{bmatrix} \frac{1}{L_1}.D_c & -\frac{1}{L_1}.(1 - D_c) & 0 \\ \frac{1}{L_2}.D_c & 0 & -\frac{1}{L_2}.(1 - D_c) \\ 0 & 0 & 0 \end{bmatrix} \tag{3.52}$$

Em condições de equilíbrio as variações nas correntes dos indutores e na tensão do capacitor são nulas, desta forma os valores de I_{L1}, I_{L2} e V_{sc} podem ser calculados a partir da seguinte expressão:

$$\begin{bmatrix} 0 \\ 0 \\ 0 \end{bmatrix} = \mathbf{A}\begin{bmatrix} I_{L1} \\ I_{L2} \\ V_{sc} \end{bmatrix} + \mathbf{B}\begin{bmatrix} V_{in} \\ V_{Db1} \\ V_{Db2} \end{bmatrix} \tag{3.53}$$

Assim, a tensão no capacitor em estado estacionário com correntes nulas nos indutores, é:

$$V_{sc} = D_c . V_{retif} \tag{3.54}$$

Durante o processo de carga do capacitor com corrente constante, os valores médios das correntes de I_{L1} e I_{L2} são iguais, e a tensão no capacitor é definida pela expressão:

$$V_{sc} = D_c . V_{retif} - (R_L + 2.R_{sc} + R_{dson}.D_c).I_{L1} - (1 - D_c).V_{Db} \tag{3.55}$$

Na definição do modelo de pequenos sinais, as matrizes $\boldsymbol{A_k}$ e $\boldsymbol{B_k}$ são obtidas como segue.

$$\boldsymbol{A_k} = \boldsymbol{A_1} - \boldsymbol{A_2} + \boldsymbol{A_3} - \boldsymbol{A_4} \tag{3.56}$$

$$\boldsymbol{A_k} = \begin{bmatrix} -\frac{(R_{dson})}{L_1} & 0 & 0 \\ 0 & -\frac{(R_{dson})}{L_2} & 0 \\ 0 & 0 & 0 \end{bmatrix} \tag{3.57}$$

$$\boldsymbol{B_k} = \boldsymbol{B_1} - \boldsymbol{B_2} + \boldsymbol{B_3} - \boldsymbol{B_4} \tag{3.58}$$

$$\boldsymbol{B_k} = \begin{bmatrix} \frac{1}{L_1} & \frac{1}{L_1} & 0 \\ \frac{1}{L_2} & 0 & \frac{1}{L_2} \\ 0 & 0 & 0 \end{bmatrix} \tag{3.59}$$

A representação final do modelo de pequenos sinais é dada por:

$$\frac{d}{dt}\begin{bmatrix} \hat{\imath}_{L1}(t) \\ \hat{\imath}_{L2}(t) \\ \hat{v}_{sc}(t) \end{bmatrix} = \mathbf{A}\begin{bmatrix} \hat{\imath}_{L1}(t) \\ \hat{\imath}_{L2}(t) \\ \hat{v}_{sc}(t) \end{bmatrix} + \mathbf{B}\begin{bmatrix} \hat{v}_{sc}(t) \\ 0 \\ 0 \end{bmatrix} + \left(\mathbf{A_k}\begin{bmatrix} I_{L1} \\ I_{L2} \\ V_{sc} \end{bmatrix} + \mathbf{B_k}\begin{bmatrix} V_{in} \\ V_{Db1} \\ V_{Db2} \end{bmatrix}\right)\hat{d}(t) \tag{3.60}$$

3.3.1 Modelo simplificado do conversor Buck entrelaçado

Existe uma importante vantagem na modelagem do conversor *Buck* entrelaçado, a qual determina que ele pode ser simplificado e analisado como um conversor *Buck* de uma célula (SCHITTLER; PAPPIS et al., 2011; WONG, 2001). Supondo que os indutores de todas as células são iguais, basta substituir a

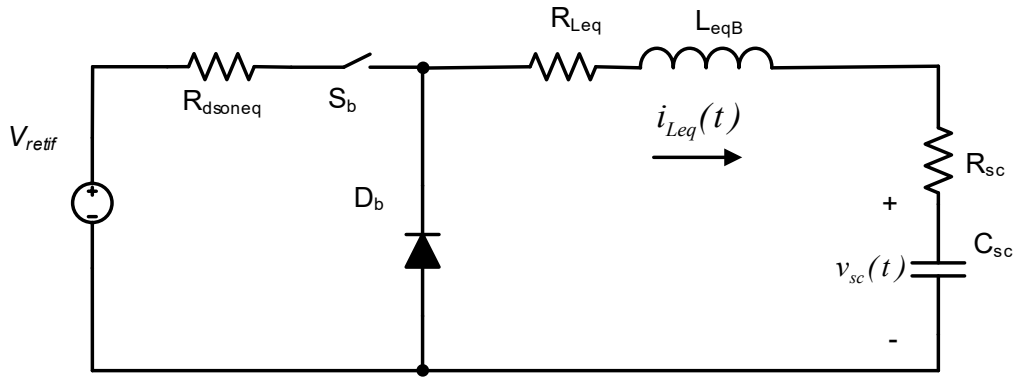
indutância do conversor abaixador pelo indutor equivalente L_{eqB} da expressão (3.61) como apresentado na Figura 32.

$$L_{eqB} = \frac{L_n}{n_c} \tag{3.61}$$

Sendo,

L_n: Indutância da enésima célula do conversor Buck entrelaçado.

Figura 32- Modelo simplificado do conversor Buck entrelaçado.



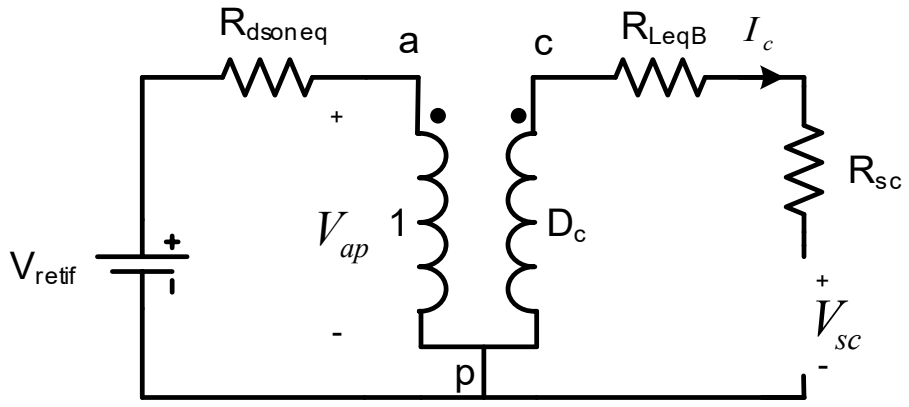
Fonte: Próprio autor

O valor do indutor equivalente é o resultado da associação em paralelo dos indutores de cada célula, e os valores das resistências parasitas podem ser achados de forma análoga.

Com este modelo equivalente é possível obter de forma simples as funções de transferência, fazendo uso do método da chave PWM, apresentado por (VORPÉRIAN, 1990).

O modelo de corrente contínua, correspondente ao estado de equilíbrio é obtido através da análise do circuito da Figura 33.

Figura 33- Modelo CC do conversor Buck pelo método da chave PWM.



Fonte: Próprio autor.

No método da chave PWM, as variações de corrente no indutor e de tensão no capacitor são consideradas nulas, implicando que o indutor seja considerado como um curto circuito e o capacitor como um circuito aberto. Porém, é importante conhecer a dependência da tensão no capacitor, relacionada à corrente de carga. Por este motivo a variável V_{sc} é incluída no equacionamento, obtendo-se os seguintes resultados:

$$I_c = I_{Leq} \tag{3.62}$$

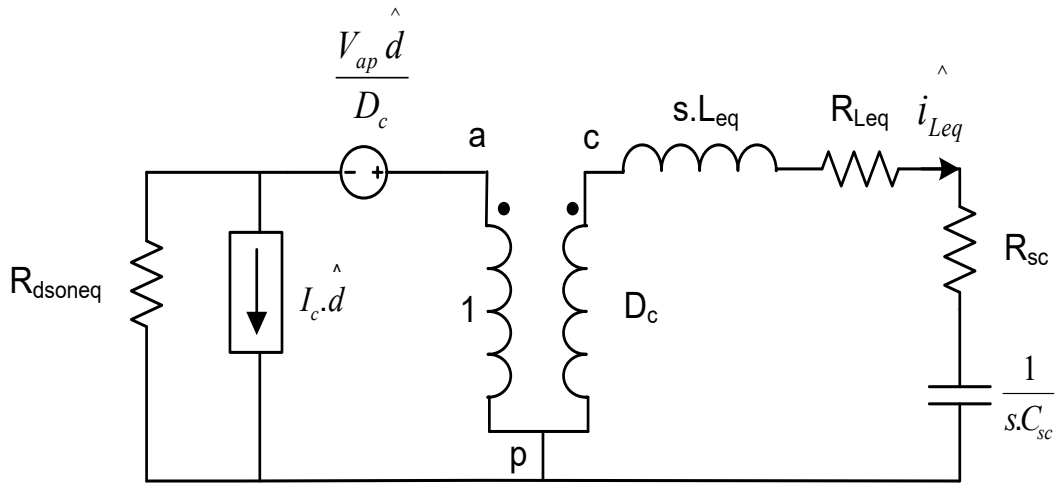
$$V_{ap} = V_{retif} - R_{dsoneq}.D_c.I_{Leq} \tag{3.63}$$

$$D_c.V_{ap} = I_{Leq}.\left(R_{Leq} + R_{sc}\right) + V_{sc} \tag{3.64}$$

$$V_{sc} = D_c.V_{retif} - I_{Leq}.\left(R_{Leq} + R_{sc} + {D_c}^2.R_{dsoneq}\right) \tag{3.65}$$

Por sua vez, o modelo de pequenos sinais permite a obtenção das funções de transferência do sistema mediante a resolução do circuito da Figura 34.

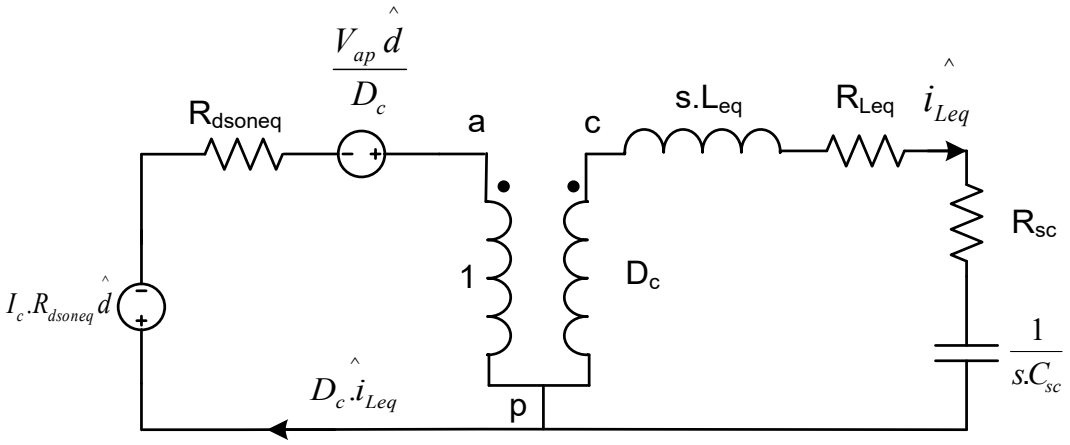
Figura 34- Modelo CA do conversor Buck pelo método da chave PWM.



Fonte: Próprio autor

Para simplificar o equacionamento, a fonte de corrente em paralelo com o resistor R_{sdoneq} é transformada numa fonte de tensão com o resistor em série, como mostrado na Figura 35.

Figura 35- Modelo CA equivalente do conversor Buck pelo método da chave PWM.



Fonte: Próprio autor

A equação que descreve o circuito é:

$$D_c\left[\hat{d}\left(\frac{V_{ap}}{D_c} - I_{Leq}.R_{sdoneq}\right) - D_c.R_{sdoneq}.\hat{\imath}_{Leq}\right] = \hat{\imath}_{Leq}\left(s.L_{eq} + \frac{1}{s.C_{sc}} + R_{Leq} + R_{sc}\right) \quad (3.66)$$

Assim é possível obter as funções de transferência da corrente de saída no capacitor em função da razão cíclica, como mostrado a seguir.

$$G_{id} = \frac{\hat{\imath}_{Leq}(s)}{\hat{d}(s)} = \frac{\left(V_{ap} - D_c.I_{Leq}.R_{dsoneq}\right)C_{sc}.s}{L_{eq}.C_{sc}.s^2 + C_{sc}.s.\left(R_L + R_{sc} + {D_c}^2.R_{sdoneq}\right) + 1} \tag{3.67}$$

Substituindo o valor de V_{ap} a equação fica:

$$G_{id}(s) = \frac{\hat{\imath}_{Leq}(s)}{\hat{d}(s)} = \frac{\left(V_{retif} - 2.D_c.I_{Leq}.R_{dsoneq}\right)C_{sc}.s}{L_{eq}.C_{sc}.s^2 + C_{sc}.s.\left(R_{Leq} + R_{sc} + {D_c}^2.R_{sdoneq}\right) + 1} \tag{3.68}$$

Do mesmo modo, a função de transferência da tensão de saída é definida pela equação (3.69):

$$G_{vd}(s) = \frac{\hat{v}_{sc}(s)}{\hat{d}(s)} = \frac{\left(V_{retif} - 2.D_c.I_{Leq}.R_{dsoneq}\right).(R_{sc}.C_{sc}.s + 1)}{L_{eq}.C_{sc}.s^2 + C_{sc}.s.\left(R_{Leq} + R_{sc} + {D_c}^2.R_{sdoneq}\right) + 1} \tag{3.69}$$

3.4 PROJETO DO CONVERSOR BUCK ENTRELAÇADO

O projeto do conversor *Buck* entrelaçado usado como estagio CC-CC do carregador rápido, está delimitado à escolha do número de células a serem empregadas, à frequência de operação e ao *ripple* da corrente de saída.

Este trabalho emprega um conversor Buck entrelaçado de duas células. Tendo em conta que o emprego de uma única chave controlada seria inviável devido, aos esforços em corrente resultantes. Por tanto, definida uma frequência de trabalho de 30 kHz, garantindo valores superiores à frequência audível, e respeitando a faixa média das frequências de operação dos transistores IGBT com corrente de coletor de até 50 A.

Na Tabela 14 encontram-se os dados de projeto, sendo a tensão de saída está definida para variar entre 180 – 270 V, conforme os níveis esperados no banco de supercapacitores. A ondulação de corrente na saída foi definida como no máximo 1,5 A.

Tabela 14- Dados de projeto conversor Buck entrelaçado.

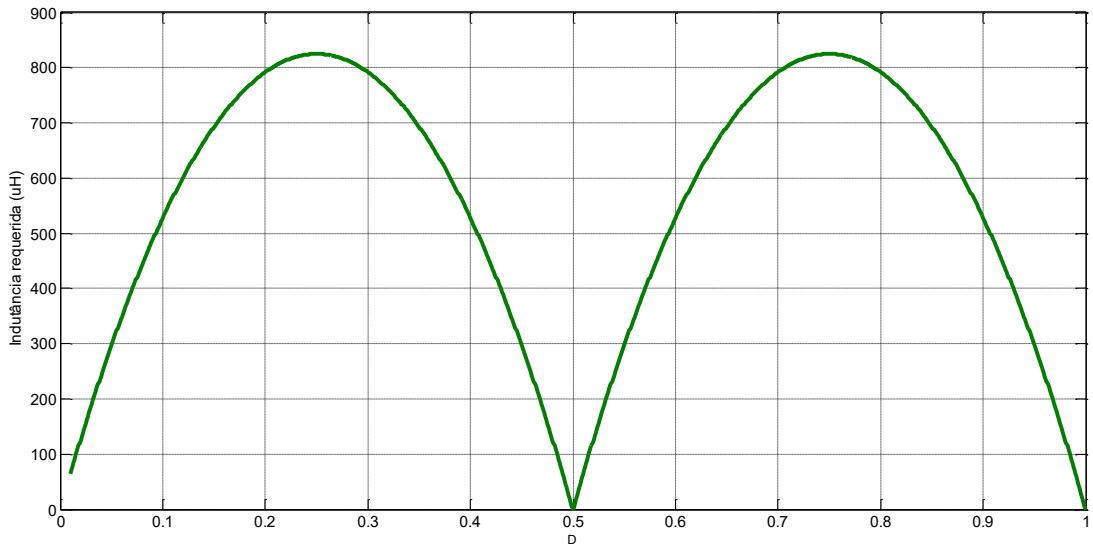
Parâmetro	**Valor**
Tensão de entrada (V_{retif})	297 V
Tensão de saída (V_{sc})	180 -270 V
Potência de saída pico (P)	7500 W
Ripple de corrente máximo (ΔI_{sc})	1,5 A
Frequência de chaveamento (f_c)	30 kHz
Número de células (n_c)	2

Fonte: Próprio autor

3.4.1 Cálculo indutor

Fazendo uso da expressão (3.6) é possível obter a relação entre a razão cíclica e o valor do indutor para um valor fixo na ondulação de corrente de saída como apresentado na Figura 36.

Figura 36 - Relação da indutância com a razão cíclica, com ripple de corrente fixo.



Fonte: Próprio autor

Assim, de acordo com a Figura 36, é possível concluir que o valor mínimo de indutância L_1 e L_2, para garantir o *ripple* especificado, é de 825 μH, e que as ondulações máximas de corrente ocorrerão para as razoes cíclicas de D_c=0,25 e D_c=0,75.

3.4.2 Esforços máximos de corrente e tensão nos semicondutores

Sabe-se que, no conversor *Buck*, os esforços máximos de tensão no diodo e no transistor correspondem à tensão de entrada, tendo em conta um aumento na tensão de entrada de até 15% do valor nominal, os elementos semicondutores devem suportar uma tensão de, no mínimo, 342 V.

Levando em consideração que os transistores IGBT e os diodos são sensíveis às correntes médias, estas correntes são definidas pelas expressões:

$$I_{Sb1Md} = \frac{1}{T}\int_{0}^{D_cT}\left(\frac{V_{retif} - V_{sc}}{L_1}.\frac{2.t - D_c.T}{2} + I_{L1Md}\right)dt = I_{L1Md}.D_c \tag{3.70}$$

$$I_{Db1\mathrm{Md}} = \frac{1}{T}\int_{D_cT}^{T}\left(I_{medL1} - \frac{V_{sc}}{L}(t-T) - \frac{\left(V_{retif} - V_b\right)}{2L_1}.D_cT\right)dt = I_{L1Md}(1 - D_c) \tag{3.71}$$

Onde:

I_{Sb1Md}: corrente média no transistor S_{b1};

I_{Db1Md}: corrente média no diodo D_{b1};

I_{L1Md}: corrente média no indutor L_1;

V_{sc}: Tensão no banco de supercapacitores;

T: Período de chaveamento;

D_c: razão cíclica.

É possível concluir que no processo de carregamento do banco de capacitores com corrente constante, que os esforços máximos nos transistores apresentam-se

na etapa final de carregamento, na qual a tensão do banco de supercapacitores é de 270 V e a corrente média no indutor I_{L1Md} é igual a 13,9 A, obtendo uma potência de pico de 7500 W. Nos diodos, o esforço máximo acontece na etapa inicial quando a tensão no banco de supercapacitores é de 180 V.

Nas Tabelas 15 e 16 encontram-se os esforços nos semicondutores, correspondentes à condição supracitada, considerando um fator de segurança de 1,15.

Tabela 15- Esforços máximos de tensão e corrente no interruptor controlado S_{b1} do conversor Buck entrelaçado.

Parâmetro	**Valor**
Corrente média máxima(I_{sb1Md_max})	14,6A
Tensão de pico(V_{sb1P})	342V

Fonte: Próprio autor

Tabela 16 - Esforços máximos de tensão e corrente no diodo Db1 do conversor Buck entrelaçado.

Parâmetro	**Valor**
Corrente média máxima (I_{Db1Md_max})	6,3 A
Tensão de pico (V_{Db1P})	342 V

Fonte: Próprio autor

3.4.3 Projeto dos controladores

A estratégia adotada para o carregamento do banco de supercapacitores está dividida em duas etapas, a primeira a carga com corrente constante e a segunda a carga com tensão constante. Desta forma, enquanto a tensão do banco de

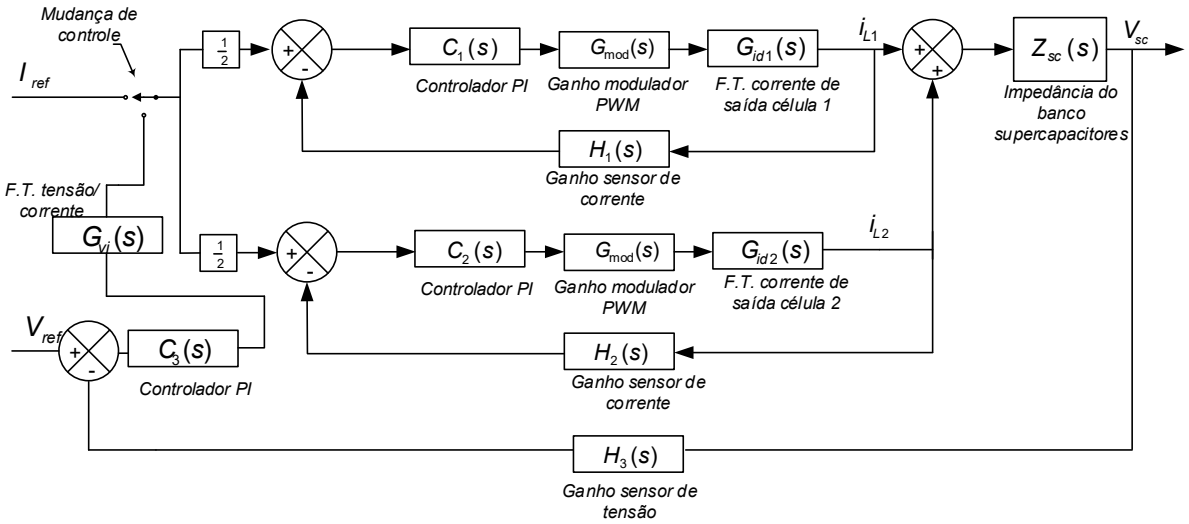
supercapacitores for inferior aos 270 V, este será carregado com uma corrente constante de 27,8 A, até atingir os 270 V, ativando-se o controle por tensão constante, finalizando o processo quando a corrente do banco de supercapacitores fique num valor próximo de zero.

Na Figura 37, descreve-se o diagrama de blocos do controle de carga do banco de supercapacitores. Visando evitar desbalanceamentos de carga nas fases do conversor entrelaçado, decidiu-se implementar uma malha de controle de corrente por cada célula, assim as funções de transferência $G_{id1}(s)$ e $G_{id2}(s)$, são obtidas a partir da equação (3.67) levando em conta a indutância de cada célula, adicionalmente, as correntes de referência são obtidas dividindo-se a corrente de referência de carga vezes dois. No controle de tensão emprega-se a função de transferência $G_{vi}(s)$ definida em (3.72), obtendo como resultado a referência para as malhas de controle por corrente.

$$G_{vi}(s) = \frac{G_{vd}(s)}{G_{id}(s)} \tag{3.72}$$

No diagrama de bloques da Figura 37, apresenta-se uma estrutura de controle clássica onde os blocos $H_1(s)$, $H_2(s)$ e $H_3(s)$ representam os ganhos dos sensores empregados e o bloco $G_{mod}(s)$ o ganho do modulador PWM, todos eles considerados como unitários, devido a implementação digital do controle, como explicado no capítulo V.

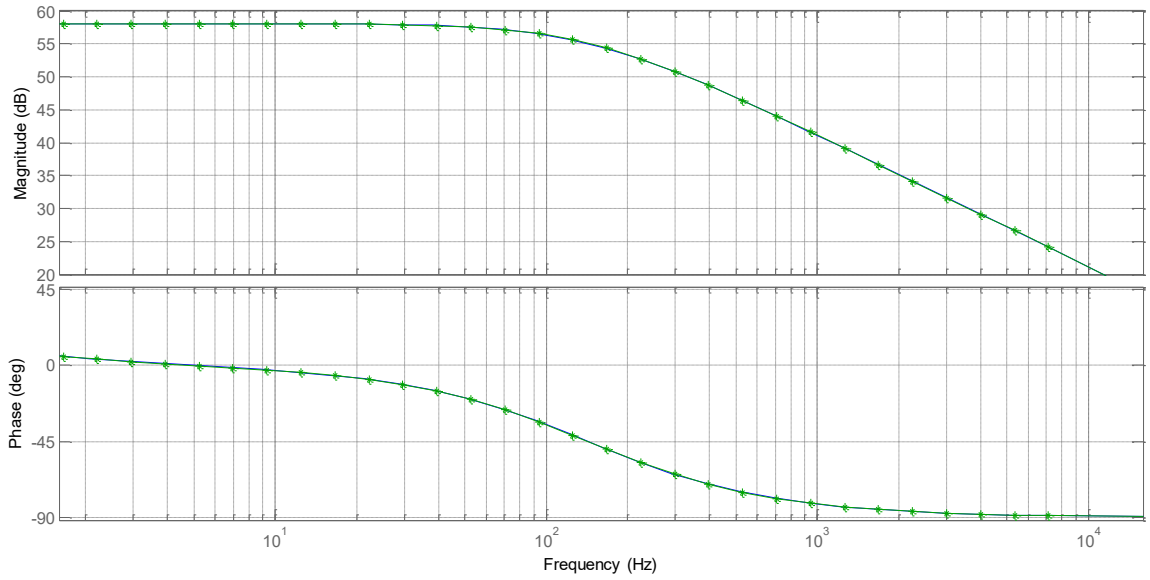
Figura 37- Esquemático de controle de carregamento por corrente constante.



Fonte: Próprio autor

A resposta em frequência da função de transferência G_{id} obtida pelo método da chave PWM é apresentada na Figura 38.

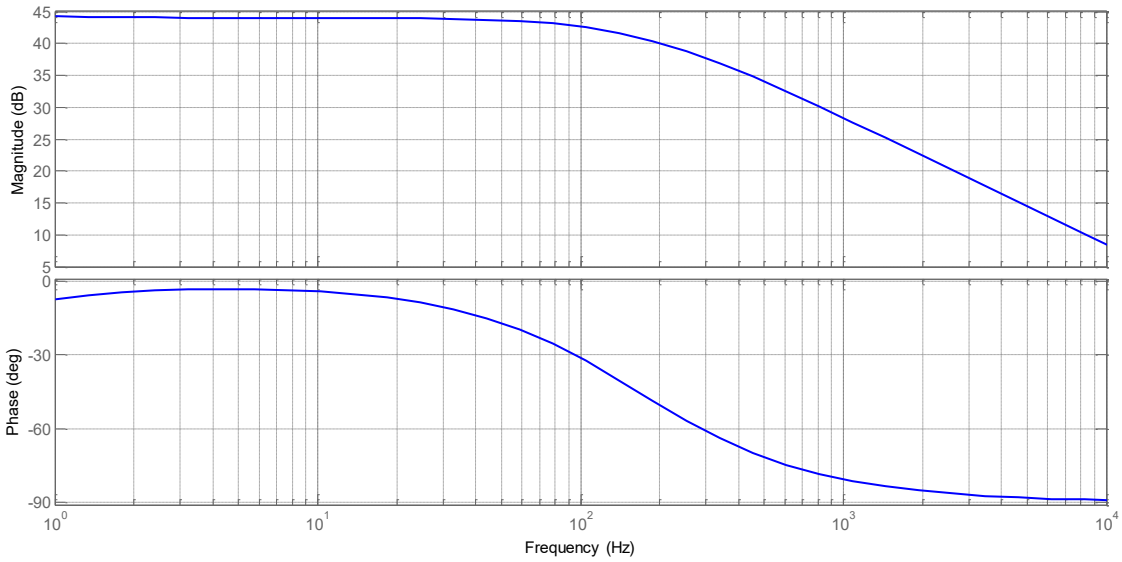
Figura 38- Diagrama de Bode da função de transferência Gid(s) do conversor Buck entrelaçado.



Fonte: Próprio autor

Já a resposta em frequência da tensão de saída no banco de supercapacitores é como apresentada na Figura 39.

Figura 39- Diagrama de Bode da função de transferência $G_{vd}(s)$ do conversor Buck entrelaçado.



Fonte: Próprio autor

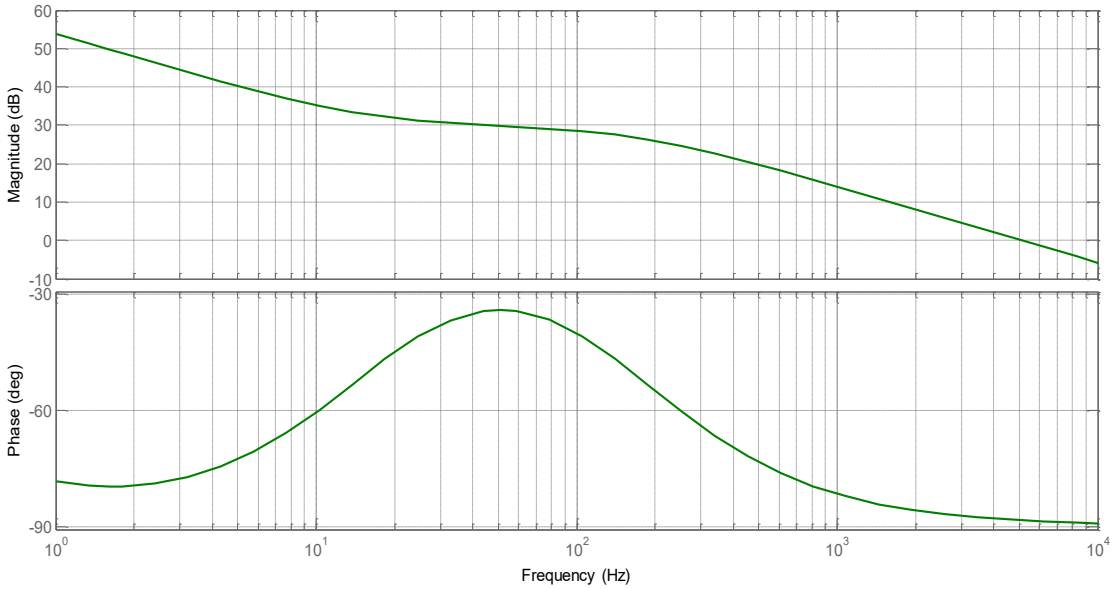
Os controladores projetados para o controle da corrente $C_1(s)$ e $C_2(s)$ e da tensão $C_3(s)$ são do tipo proporcional integral e definidos pelas expressões (3.73), (3.74) e (3.75), respectivamente, estabelecendo-se a frequência de corte em 5 kHz, conforme Figuras 40 e 41.

$$C_1(s) = \frac{4{,}37.(0{,}01.s + 1)}{s} \tag{3.73}$$

$$C_2(s) = \frac{4{,}37.(0{,}01.s + 1)}{s} \tag{3.74}$$

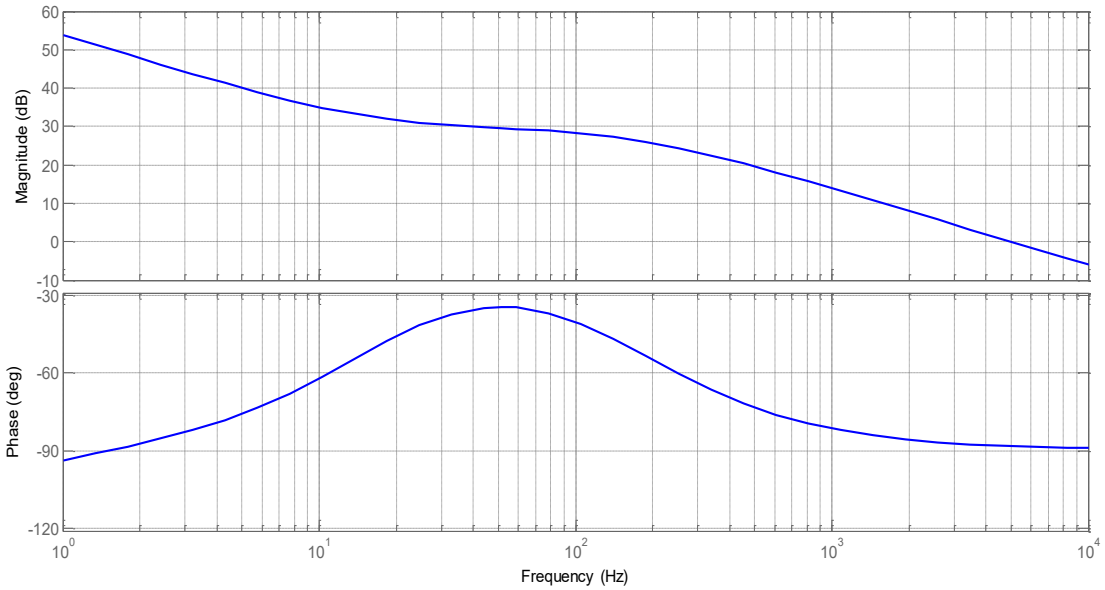
$$C_3(s) = \frac{18{,}96(0{,}01.s + 1)}{s} \tag{3.75}$$

Figura 40- Diagrama de bode do sistema controlado por corrente.



Fonte: Próprio autor

Figura 41- Diagrama de Bode do sistema controlado por tensão.



Fonte: Próprio autor

3.5 CONCLUSÕES PARCIAIS

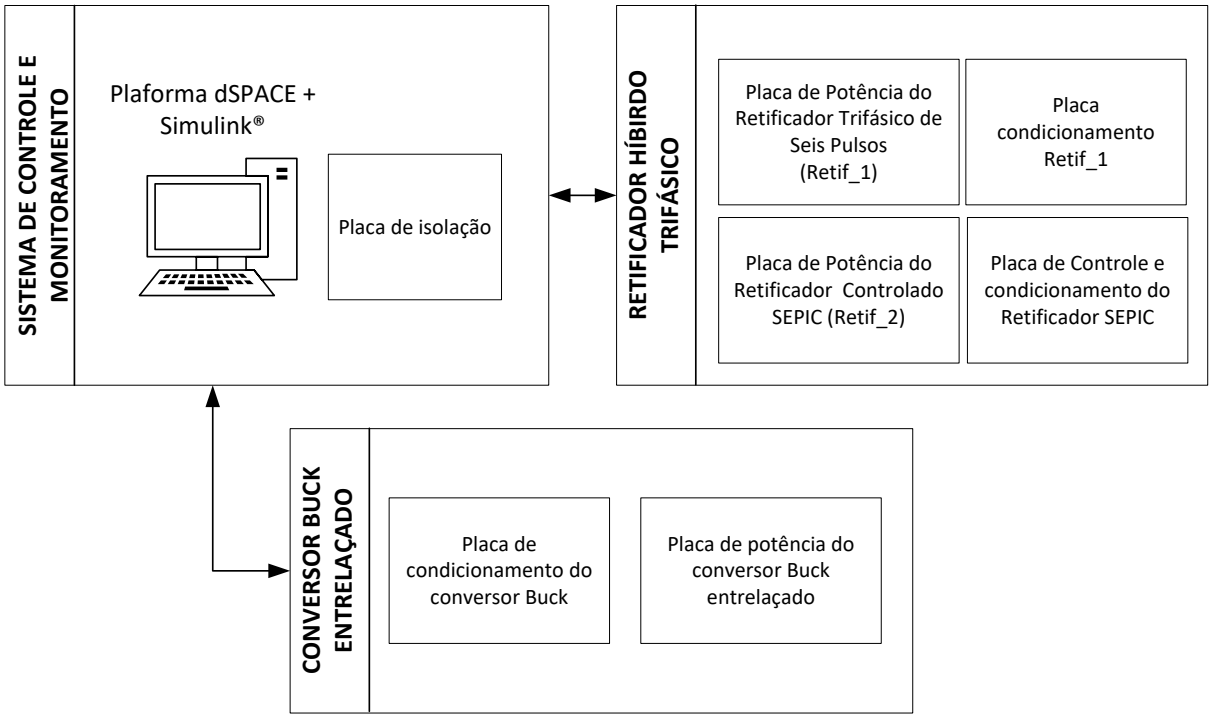
O conversor *Buck* entrelaçado é uma das alternativasque apresentam maior simplicidade na modelagem quanto no controle da etapa de conversão CC-CC do carregador rápido, requerendo de simples controles do tipo PI para o estabelecimento da corrente e tensão de saída. Embora teoricamente seja possível controlar a corrente de cada uma das células do conversor com a implementação de uma única malha, pequenas variações nos elementos parasitas de cada célula podem levar a desbalanceamentos de corrente, sendo requerido implementar malhas de controle individuais ou fazer uso de técnicas de controle mais sofisticadas.

Capítulo IV

4 IMPLEMENTAÇÃO DO CARREGADOR RÁPIDO

A implementação do protótipo de carregador foi desenvolvida em três grandes etapas. Inicialmente foi feita a definição e desenvolvido do sistema de controle e monitoramento, seguido pelo projeto do retificador híbrido e finalmente a construção do conversor Buck entrelaçado. Na sequência, são descritas as funcionalidades, características e especificações técnicas dos subsistemas que conformam cada uma das etapas supracitadas, de acordo ao diagrama de blocos da Figura 42.

Figura 42- Diagrama de blocos da implementação do carregador rápido



Fonte: próprio autor

4.1 SISTEMA DE CONTROLE E MONITORAMENTO

A operação do carregador rápido depende de um sistema central, encarregado de controlar o funcionamento dos conversores de potência empregados. Este processo é feito através da leitura e processamento dos principais valores de correntes e tensões, tanto no retificador híbrido, quanto no conversor Buck.

Na implementação desta tarefa foi usada a ferramenta de prototipagem dSPACE®, descrita de forma básica como uma placa de aquisição e processamento de dados, utilizada para o desenvolvimento de aplicações executadas em tempo real, e programada mediante o software Simulink®. Neste projeto foi usada a placa DS1104 R&D, descrita de forma sucinta na Tabela 17 e apresentada na Figura 43.

Tabela 17- Principais características da placa DS1104

Processador	**MPC8240, 64 bits, 250 MHz**
Memoria	32 MB SSDRAM, Flash 8 MB
Conversor A/D	4 canais 16 bits, 1 canal 12 bits, ± 10V
Conversor D/A	8 canais, 16 bits, ± 10V
Entradas e saídas digitais	20 canais configuráveis como entrada ou saída, níveis TTL

Fonte: Adaptado de dSPACE DS1104 controller Board (2017).

Figura 43- Placa dSPACE DS1104 R&D

Fonte: Manual do dSPACE DS1104 controller Board (2017).

As principais tarefas realizadas pelo sistema de controle são:

- **Aquisição e monitoramento**: são obtidos os valores das principais correntes e tensões do retificador híbrido e do conversor Buck requeridos no processo de controle do carregador rápido. Estas leituras são comparadas com limites predefinidos, permitindo a geração de alarmes e paradas de emergência diante de sobretensões ou sobrecorrentes.
- **Geração de sinais de referência:** são fornecidos os sinais de referência necessários no controle por histerese da corrente de entrada dos retificadores SEPIC.
- **Controle do conversor Buck:** são implementados os controladores PI e gerados os sinais PWM requeridos na imposição da corrente de saída do conversor Buck.

A seguir, são descritos os diagramas de blocos implementados no sistema dSPACE® e desenvolvidos no software Simulink®, de acordo com as funções sistema.

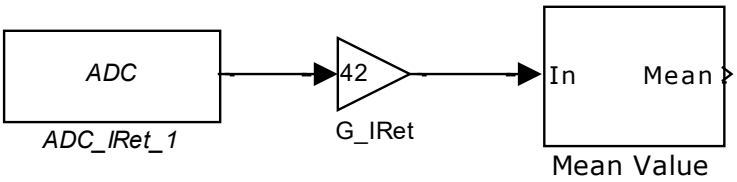
4.1.1 Aquisição e monitoramento

No controle do carregador rápido é preciso adquirir, no mínimo, os sinais de cruzamento por zero das tensões de entrada, a corrente de saída do retificador não controlado I_{Retif_1}, as correntes de saída das células do conversor Buck I_{L1} e I_{L2} e a tensão de saída V_{sc}. A placa *DS1104* permite a aquisição de sinais analógicos e digitais através do uso dos blocos *ADC* e MASTER BIT IN pertencentes à biblioteca *DS1104 Master PCC* da plataforma dSPACE®.

A saída do bloco *ADC* varia entre -1 e 1, de acordo com a tensão de entrada aplicada nos canais do conversor A/D da placa *DS1104*. De forma similar opera o bloco MASTER BIT IN, gerando na sua saída valores binários dependo da tensão aplicada nos canais de leitura digitais.

Na Figura 44 observa-se o diagrama de blocos usado na leitura da corrente de saída do retificador trifásico a diodos I_{Retif_1}, onde o sinal de saída do bloco *ADC_IRet_1* foi amplificado pelo bloco *G_IRet*, transformando o sinal de corrente representado em tensão, em seu valor real em ampères, sendo filtrado na sequência para a obtenção de seu valor médio.

Figura 44- Diagrama de blocos do processo de aquisição de sinais analógicos



Fonte: próprio autor

Seguindo a estrutura apresentada na figura anterior, foram obtidos os valores das correntes I_{L1}, I_{L2} e da tensão V_{sc}, permitindo monitorar seus valores e gerar alarmes ante sobre correntes ou sobre tensões no sistema.

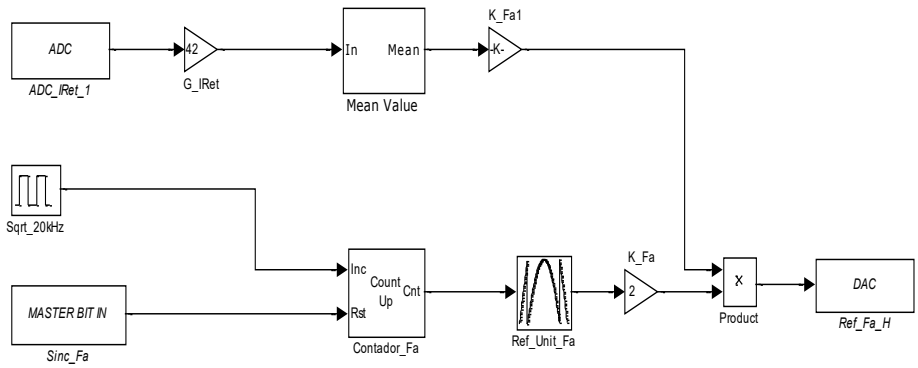
4.1.2 Geração dos sinais de referência

Como definido no capítulo II, no controle da corrente de entrada dos retificadores SEPIC, emprega-se a modulação por histerese. A implementação desta técnica, de forma digital, é computacionalmente exigente e supera a capacidade da plataforma dSPACE® usada. Por este motivo foi requerido um circuito de comparação externo, porém mantendo a geração do sinal de referência pelo sistema de controle.

O formato do sinal de referência foi definido matematicamente pela equação 2.4, sendo requerida para sua geração, a leitura da corrente de saída do retificador não controlado I_{Retif_1}, e do parâmetro de controle K, além da definição do sinal unitário $Sinal_{_Ref1_unit}$ da equação 2.5.

Na Figura 45 apresenta-se o programa de geração do sinal de referência do retificador SEPIC da fase "a". O sinal de corrente I_{Retif_1} é obtido usando o bloco *ADC_IRet_1*, ajustado e multiplicado pelo produto do sinal de referência $Sinal_{_Ref1_uni}$ armazenado no bloco *Ref_unit_Fa,* e o parâmetro K definido no bloco *K_Fa*. O resultado desta operação é transformado em um sinal de saída analógico usando o bloco *DAC Ref_Fa_H*.

Figura 45- Diagrama de blocos usado na geração do sinal de referência do retificador SEPIC.



Fonte: próprio autor.

O sinal de referência deve estar sincronizado com a tensão de entrada para obtenção de um elevado fator de potência. Deste modo, a saída do bloco *Ref_unit_Fa* é reiniciado diante da detecção da passagem por zero do sinal de tensão da fase “a”, representada pela mudança de nível do sinal digital *sinc_Fa.*

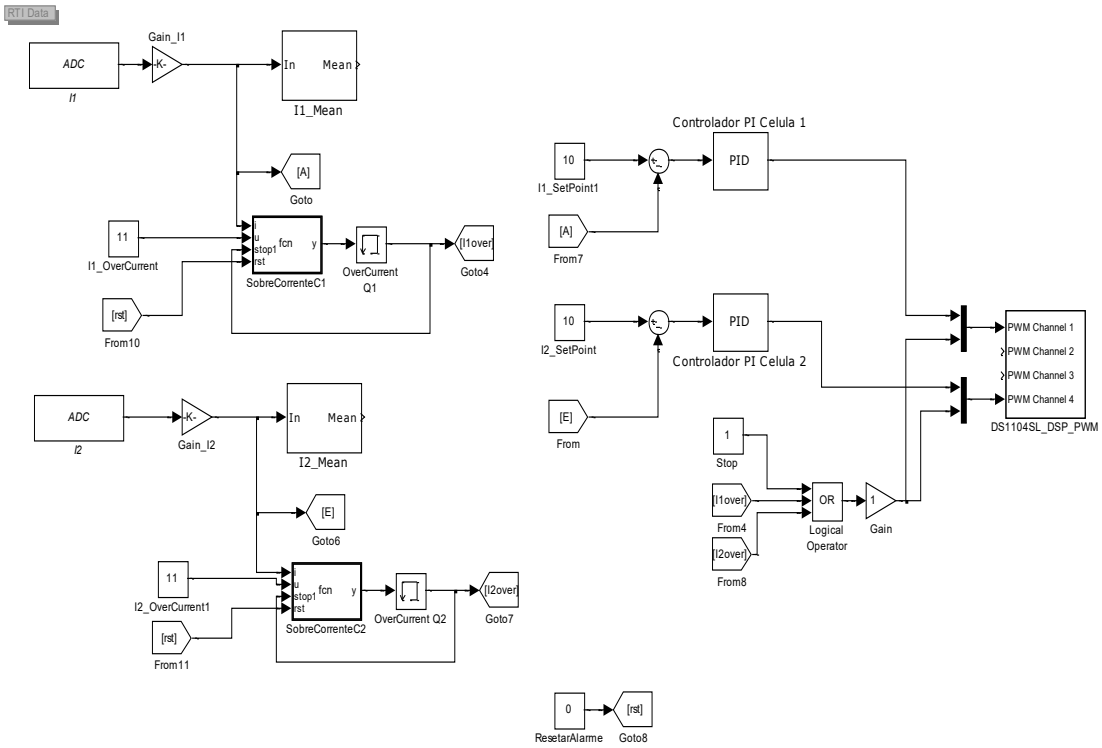
4.1.3 Controle do conversor Buck

O controle PWM do conversor Buck foi implementado diretamente na plataforma dSPACE®, deste modo, a partir das leituras das correntes de saída das células do conversor Buck, foram gerados os sinais de *gate* das chaves S_{b1} e S_{b2}.

Como apresentado na Figura 46, foram empregadas duas malhas de controle, uma por cada célula do conversor Buck entrelaçado. Os valores de corrente nos indutores das células foram adquiridos através dos blocos *ADC I1 e I2*, e comparados com os valores de *setpoint* estabelecidos nos blocos I1_setpoint e I2_setpoint, obtendo-se os sinais de erro correspondentes à entrada dos blocos *PID*, gerando duas saídas entre 0 e 1 correspondentes à razão cíclica dos canais de saída PWM 1 e 4 da placa *DS1104*.

Adicionalmente, os valores da corrente foram comparados com os blocos I1_OverCurrent e I2_OverCurrent para detectar surtos de corrente e deter a geração de pulsos de saída.

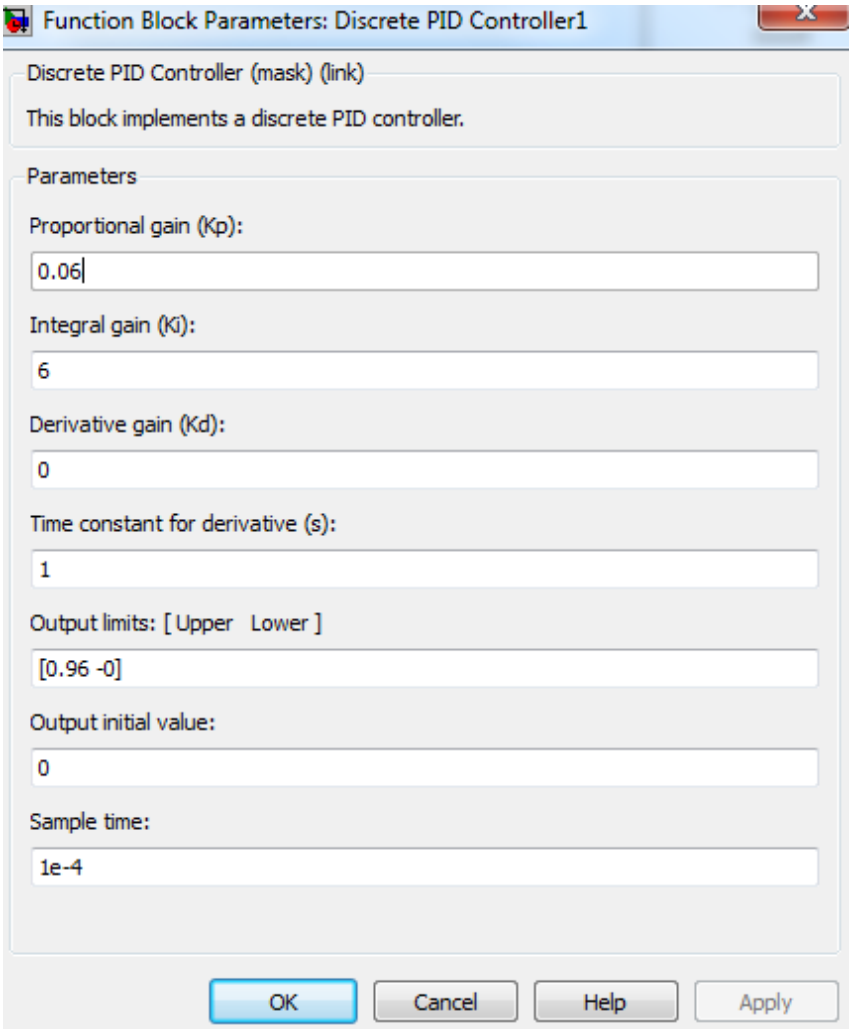
Figura 46- Diagrama de blocos do controlador do conversor Buck.



Fonte: próprio autor.

Os parâmetros de configuração dos blocos PID são apresentados na Figura 47, a definição dos limites de saída (*Output limits*) determinam os valores máximo é mínimo da razão cíclica dos conversores *Buck*, deste modo também controla-se a tensão máxima de saída, isto de acordo com a relação do ganho estático do conversor. Como mostrado no capítulo V, os resultados obtidos através deste método foram satisfatórios, fazendo dispensável a implementação da malha de controle por tensão.

Figura 47- Configuração dos parâmetros dos blocos PID



Na Tabela 18 são descritos os sinais adquiridos e gerados através da plataforma dSPACE, especificando o conversor de origem ou destino, o nome da variável associada no ambiente Simulink, o tipo e o canal físico usado na placa *DS1104*.

Tabela 18- Sinais adquiridos e gerados mediante a placa DS1104 R&D.

	Nome	***Descrição***	***Tipo***	***Sinal dSPACE DS1104***
Retificador híbrido trifásico	Sinc_Fa	Passagem por zero na fase A	DI	IO0
	Sinc_Fb	Passagem por zero na fase B	DI	IO2
	Sinc_Fc	Passagem por zero na fase C	DI	IO6
	IRet_1	Corrente de saída do retificador trifásico a diodo	AI	ADCH7
	Ref_Fa	Corrente de referência do retificador SEPIC na fase A	AO	DACH8
	Ref_Fb	Corrente de referência do retificador SEPIC na fase B	AO	DACH4
	Ref_Fc	Corrente de referência do retificador SEPIC na fase C	AO	DACH2
Buck entrelaçado	I1	Corrente de saída da célula 1	AI	ADCH7
	I2	Corrente de saída da célula 2	AI	ADCH5
	V_{out}	Tensão de saída do banco de supercapacitores	AI	ADCH3
	PMW1	Sinal de disparo da chave controlada da célula 1	DO (PWM)	ST2PWM
	PMW4	Sinal de disparo da chave controlada da célula 2	DO (PWM)	SPWM9

Fonte: próprio autor.

Sendo,

DI: Entrada digital;

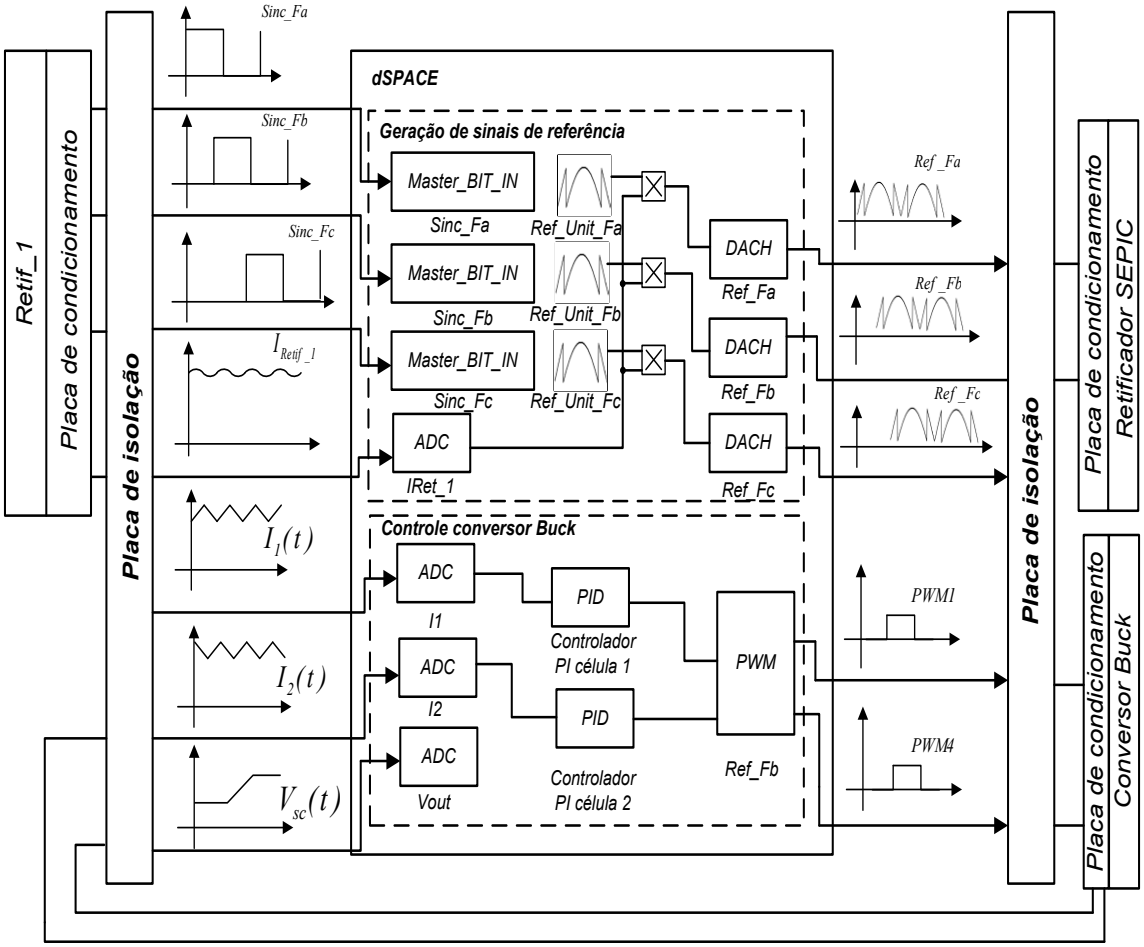
DO: Saída digital;

AI: Entrada analógica;

AO: Saída analógica.

Na Figura 48 são resumidas as relações entre os conversores de potência e os sinais adquiridos e gerados por parte do sistema de controle e monitoramento.

Figura 48- Diagrama de blocos do sistema de monitoramento e controle.



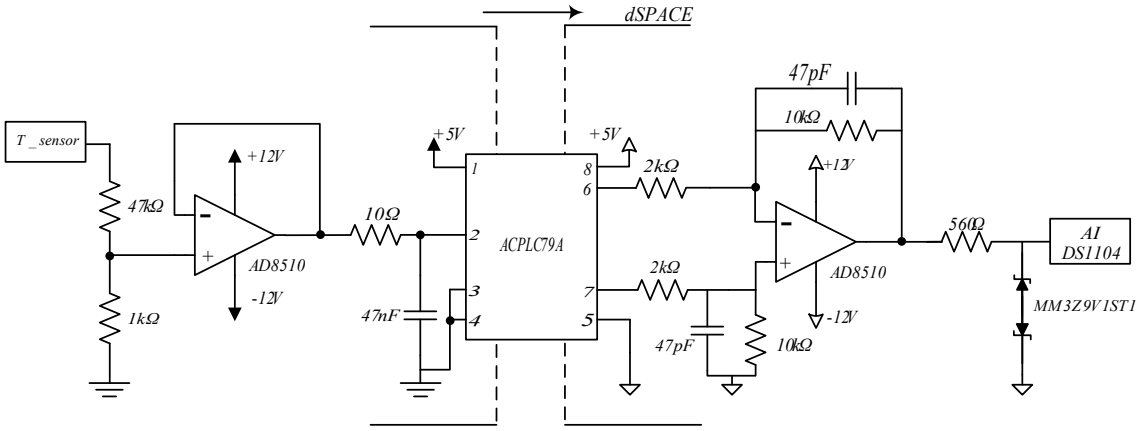
Fonte: próprio autor.

4.2 PLACA DE ISOLAMENTO

Com o objetivo de proteger o hardware da plataforma dSPACE®, foi projetada e construída uma placa destinada a isolar os sinais provenientes dos circuitos de potência. Esta placa está baseada na operação de dois circuitos, um empregado na isolação dos sinais analógicos e outro nos sinais digitais.

Na Figura 49 apresenta-se o circuito usado na aquisição de sinais analógicos de entrada, sendo o componente ACPL-79A seu principal elemento. Este circuito integrado é um amplificador de isolamento com ganho fixo igual a 8,2, tensão máxima de entrada ±300 mV, e saída em tensão diferencial. Na primeira etapa do circuito emprega-se um divisor resistivo e um seguidor de tensão, ajustando uma tensão de entrada máxima de 10 V em 200mV; na sequencia o sinal é processado pelo conversor analógico digital do ACPL-79A e acoplado mediante opto-isolador ao conversor digital analógico, obtendo-se na saída do circuito integrado um sinal diferencial amplificado 8,2 vezes, amplificado novamente pelo amplificador de diferença em 5 vezes. Na saída dois diodos zener são utilizados para limitar a tensão em ±9,2 V, de acordo com os limites do conversor A/D da plataforma dSPACE®. O ganho total do circuito foi de 0,854.

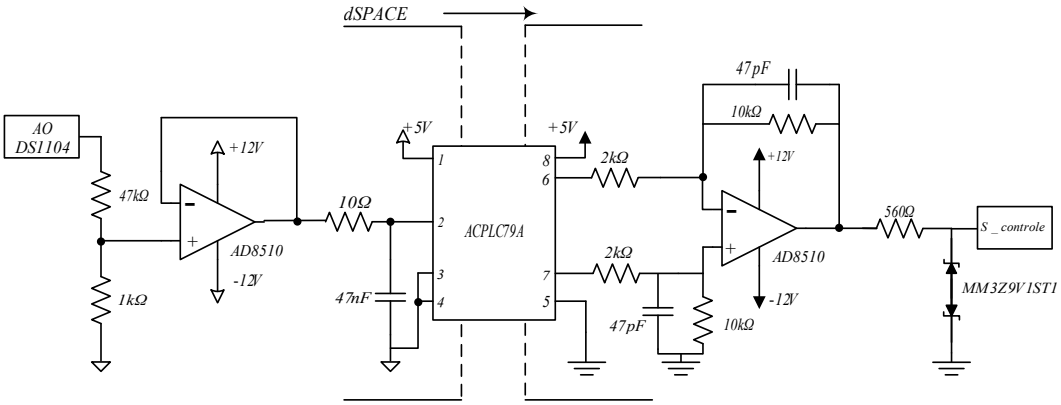
Figura 49- Circuito isolado para aquisição de sinais analógicos.



Fonte: Adaptado de Ferreira (2014).

Os sinais analógicos de saída provenientes do sistema dSPACE® foram isolados usando o circuito ilustrado na Figura 50, tendo um funcionamento análogo com o circuito explicado no parágrafo anterior.

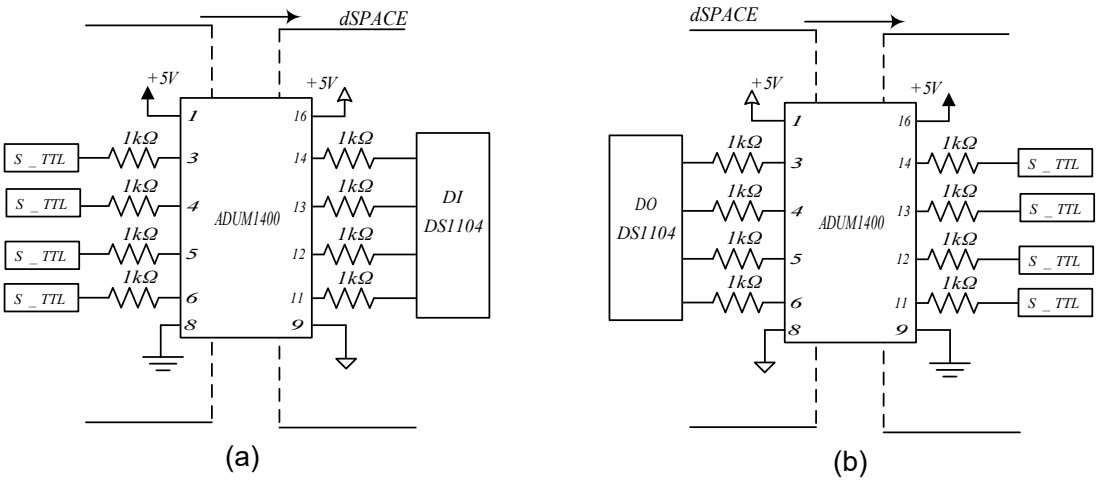
Figura 50- Circuito isolado para geração de sinais analógicos.



Fonte: Adaptado de Ferreira (2014).

Os circuitos de isolação utilizados nos sinais digitais são apresentados na Figura 51. O circuito integrado ADUM 1400 é um isolador digital de quatro canais acoplado via transformador, sua operação é bastante simples, sendo necessário ligar o sinal de entrada por meio de um resistor para limitar a corrente de entrada, obtendo na saída o sinal isolado com um atraso médio de 30 ns.

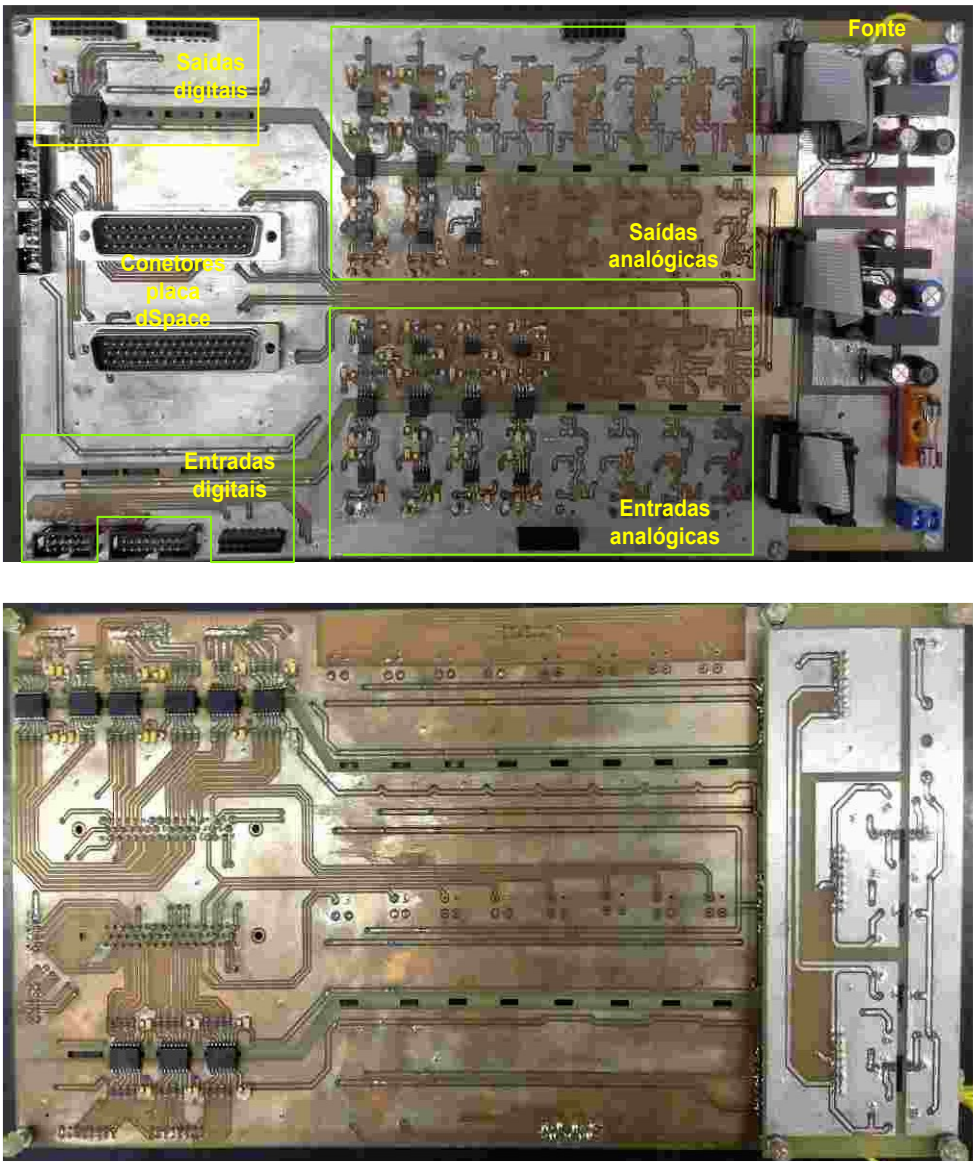
Figura 51- Circuito de isolação para sinais digitais: (a) entradas digitais (b) saídas digitais



Fonte: Adaptado de Ferreira (2014).

Ao todo, a placa de isolamento apresentada na Figura 52 disponibiliza 8 entradas analógicas, 8 saídas analógicas, 22 saídas digitais e 12 entradas digitais, permitindo o uso da maioria dos canais da placa DS1104 R&D e seu DSP escravo TMS320F240, permitindo seu uso em trabalhos futuros.

Figura 52- Placa de isolação.



Fonte: próprio autor.

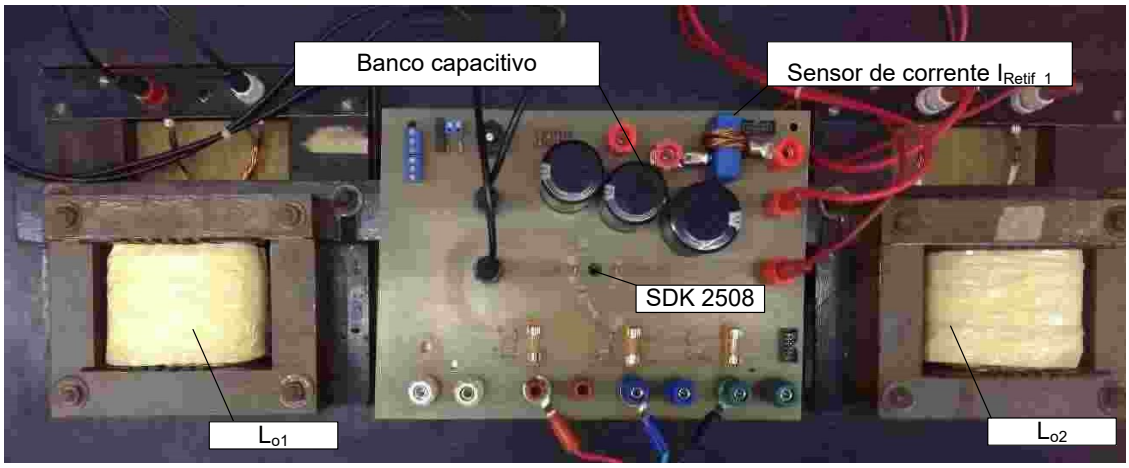
4.3 RETIFICADOR HÍBRIDO

A seguir são apresentados os protótipos desenvolvidos para o retificador de seis pulsos e para o retificador SEPIC ZCS, especificando os componentes empregados e funcionamento dos circuitos auxiliares.

4.3.1 Placa de potência do retificador não controlado

A Figura 53 mostra a implementação do retificador trifásico a diodo, composto pela ponte retificadora SDK 2508 e o filtro LC. Foi empregado o sensor de efeito Hall LA 55P na leitura da corrente de saída I_{Retif}..

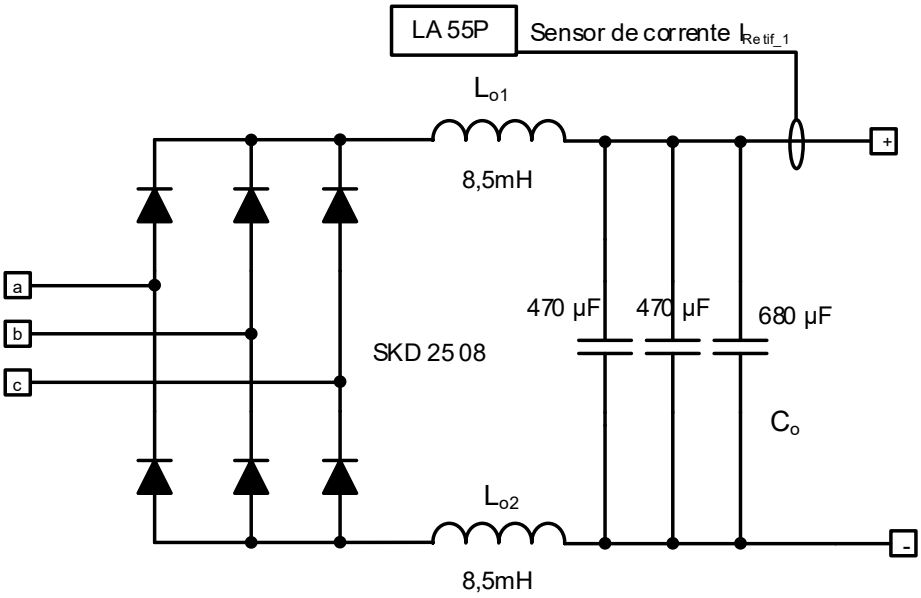
Figura 53- Placa de potência do retificador não controlado.



Fonte: próprio autor.

O circuito simplificado do retificador é apresentado na Figura 54 estabelecendo-se os valores dos componentes selecionados.

Figura 54- Diagrama simplificado do retificador de seis pulsos.

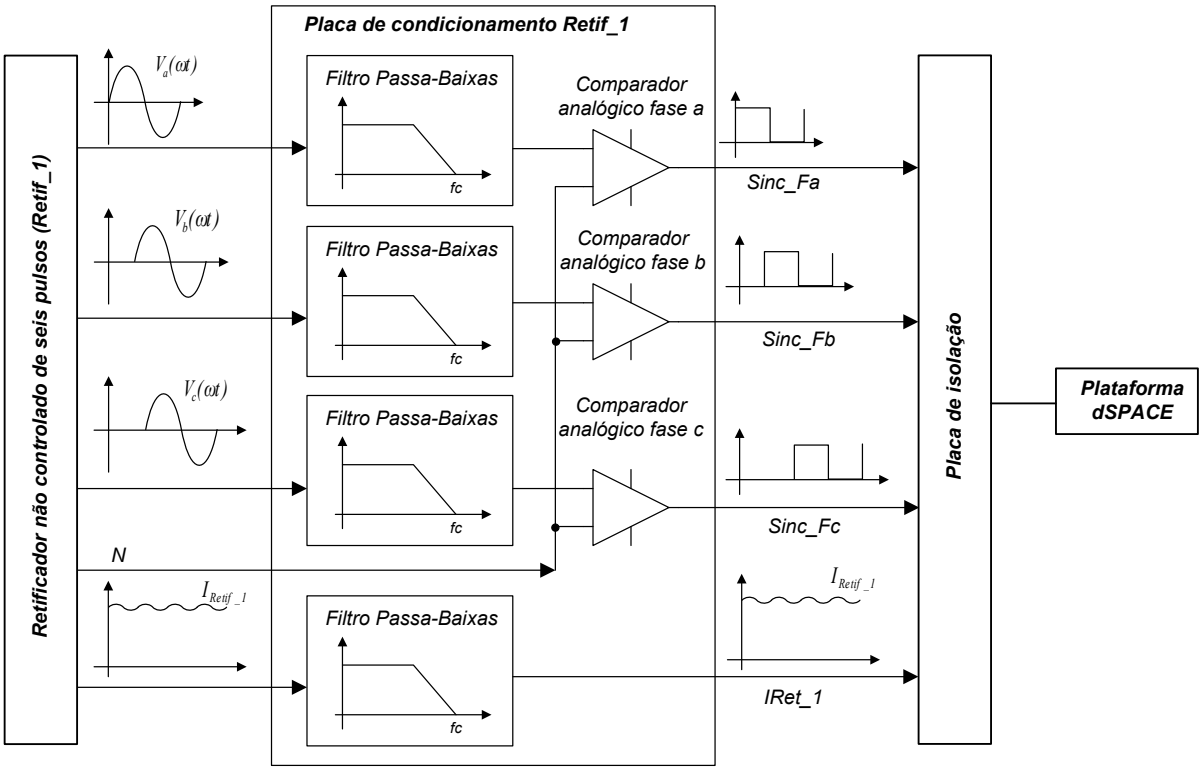


Fonte: próprio autor.

4.3.2 Placa de condicionamento do retificador não controlado

A placa de condicionamento do retificador trifásico foi projetada para filtrar o sinal do sensor da corrente de saída I_{Retif_1}, e fornecer os sinais de detecção de passagem por zero das tensões de fase, permitindo assim a geração do sinal de referência das correntes de entrada dos retificadores SEPIC por parte do sistema de monitoramento e controle. Na Figura 55 ilustra-se o diagrama de blocos da placa de condicionamento.

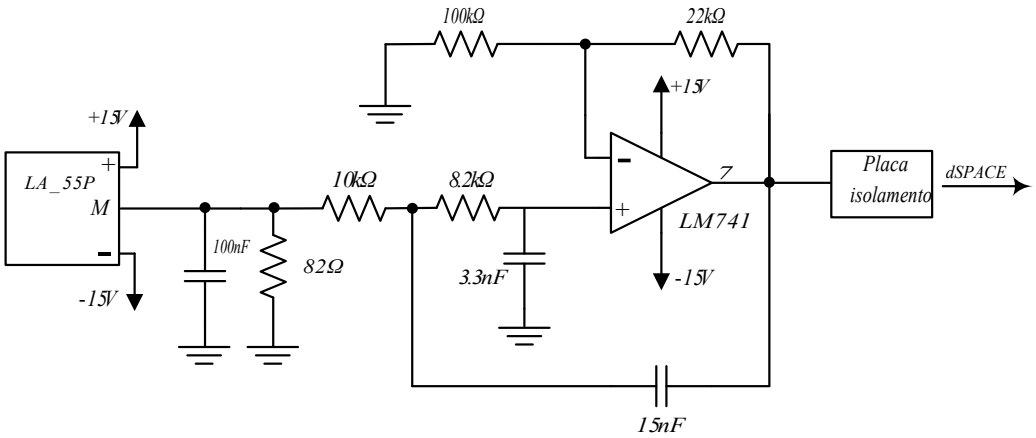
Figura 55 - Diagrama de blocos da placa de condicionamento de sinais do retificador Retif_1



Fonte: próprio autor.

Na Figura 56 apresenta-se o circuito empregado na filtragem do sinal de saída do sensor de corrente I_{Retif_1}. O sensor LA 55P configurado para o retificador trifásico fornece 3 mA por cada ampère na corrente de saída I_{Retif_1}. Este sinal é convertido em um sinal de tensão pelo resistor de 82Ω, e filtrado pelo filtro passa-baixas de segunda ordem, para finalmente ser ligado ao sistema de monitoramento.

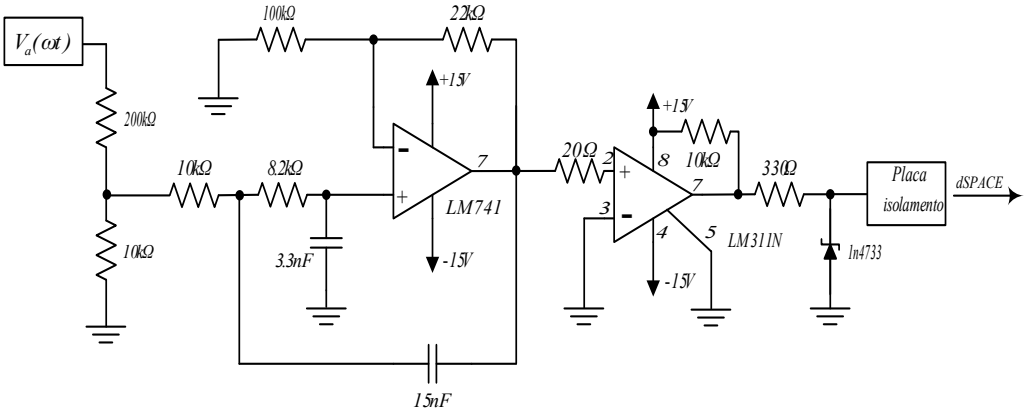
Figura 56- Circuito de filtragem usado na aquisição da corrente I_{Rect_1}



Fonte: Adaptado de Soares (2008).

A detecção de passagem por zero das tensões de fase é requerida para sincronizar o sinal de referência da corrente de entrada dos retificadores SEPIC com as correntes do retificador trifásico a diodos. Levando em consideração este requerimento, foi projetado o circuito da Figura 57. Assim, um sinal proporcional à tensão de entrada $V_a(\omega t)$ é obtido mediante o divisor resistivo, conformado pelos resistores de 200 kΩ e 10 kΩ, que passa pelo filtro passa-baixas para ser comparado com o ponto neutro, pelo comparador LM 311. Esse processo resulta em um sinal de onda quadrada de 60 Hz sincronizado com a tensão de entrada, tendo uma amplitude de 5V. Este sinal é transmitido para o sistema de monitoramento através da placa de isolamento.

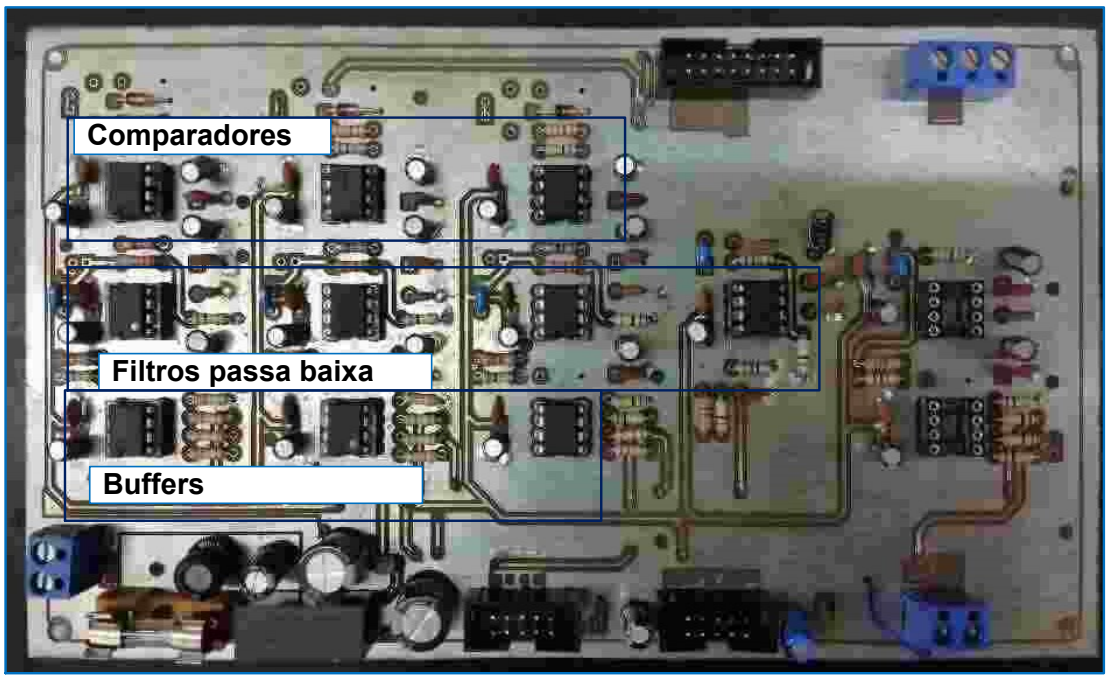
Figura 57- Circuito de detecção de passagem por zero.



Fonte: próprio autor.

Na Figura 58 apresenta-se a placa de condicionamento, identificando-se as principais estruturas.

Figura 58- Placa de condicionamento do retificador não controlado

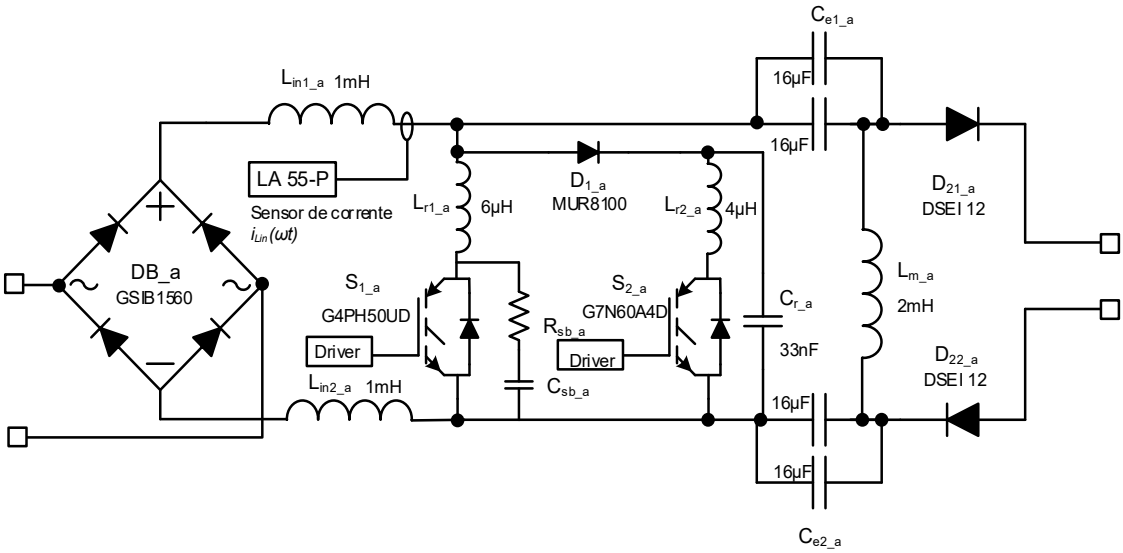


Fonte: próprio autor.

4.3.3 Placa de potência do retificador SEPIC ZCS

Na Figura 59 é apresentado o circuito simplificado com o conversor SEPIC ZCS, especificando-se os semicondutores empregados, assim como o ponto de medição da corrente de entrada $i_{Lin(\omega t)}$.

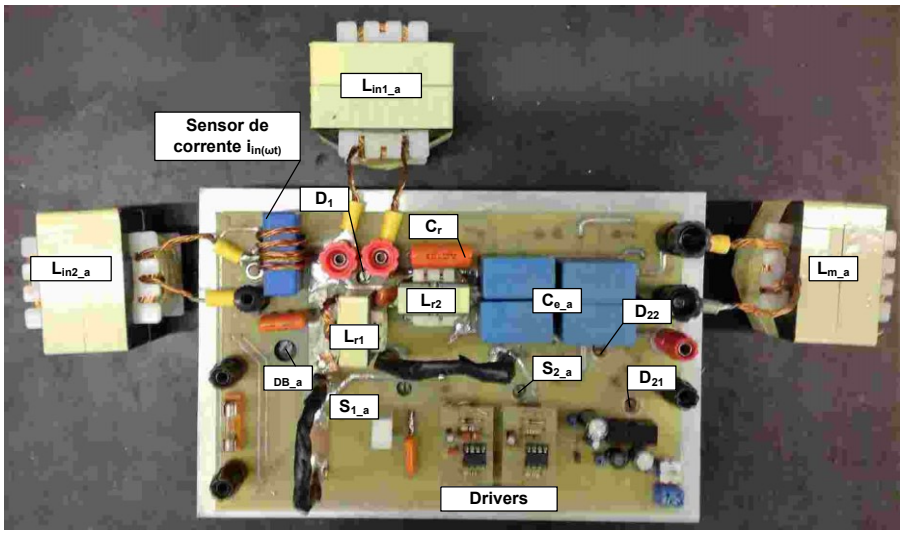
Figura 59- Circuito simplificado do retificador SEPIC ZCS.



Fonte: próprio autor.

A placa de potência do retificador SEPIC é mostrada na Figura 60.

Figura 60- Placa de potência do retificador SEPIC ZCS.



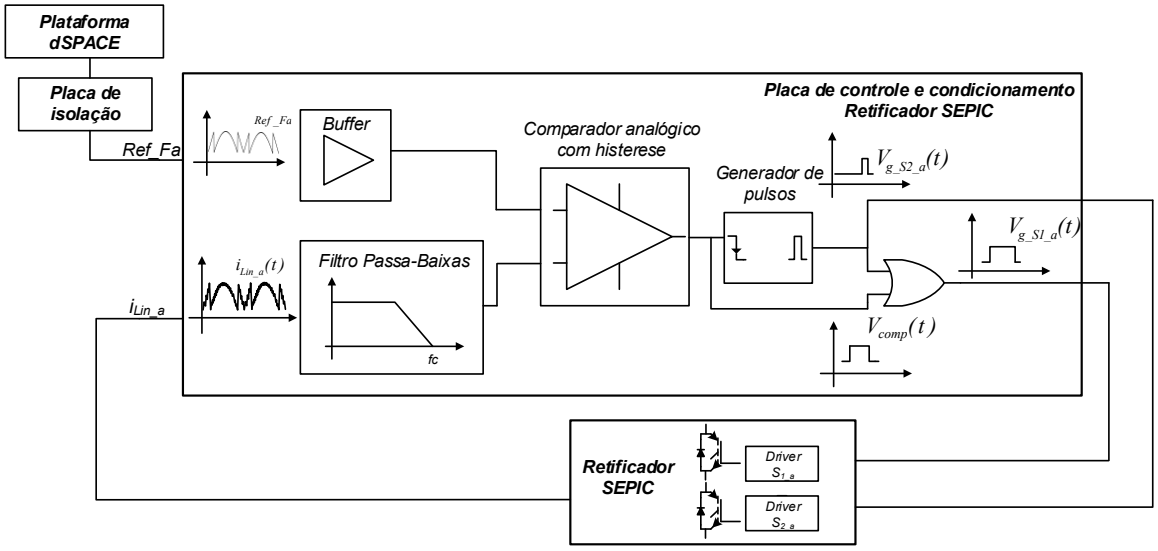
Fonte: próprio autor.

4.3.4 Placa de condicionamento do retificador Sepic ZCS

A implementação de um controle por histerese totalmente digital possui elevado custo computacional, principalmente no que se refere à frequência de trabalho e taxa de amostragem, superando a capacidade da plataforma dSPACE empregada, para o controle do projeto do retificador *Sepic ZCS*. Desta forma foi utilizado um circuito auxiliar de comparação, fazendo-se uso de um amplificador operacional de alta velocidade.

Como ilustrado na Figura 61, o sinal de referência gerado pelo sistema dSPACE é comparado ao sinal filtrado da corrente de entrada do retificador SEPIC I_{Lin_a} através de um comparador analógico com histerese fixa. Quando I_{Lin_a} atinge o valor inferior da banda de histerese a saída do comparador assume um valor lógico alto, levando a chave principal S_{1_a} à condução e consequentemente aumentando o valor da corrente de entrada. No caso oposto, quando a corrente I_{Lin_a} ultrapassa o valor superior da banda de histerese, a saída do comparador assume um valor lógico negativo, ativando a chave auxiliar S_{2_a} com um pulso de curta duração, e dando início ao processo de comutação suave.

Figura 61- Diagrama de blocos da placa de condicionamento e controle do retificador SEPIC.

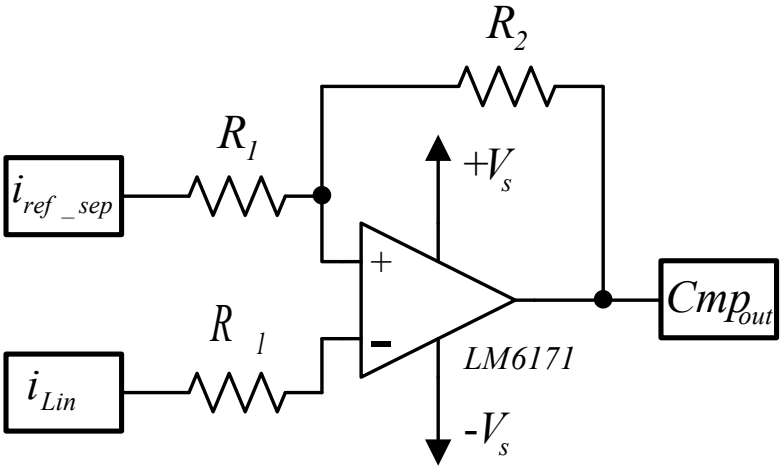


Fonte: próprio autor.

A banda de histerese ΔV_H do circuito comparador empregado ilustrado na Figura 62 é fixada através dos valores dos resistores R_1 e R_2, de acordo com a expressão 5.1. Assim, este valor foi ajustado em 360 mV para obtenção de um *ripple* de 1.1 A na corrente I_{Lin_a}. Valores elevados de ΔV_H melhoram a imunidade ao ruído do circuito comparador, porém, diminuem a faixa dos sinais que podem ser comparados.

$$\Delta V_H = \frac{(V_s - (-V_s).(R_1)}{(R_1 + R_2)} \qquad 5.1$$

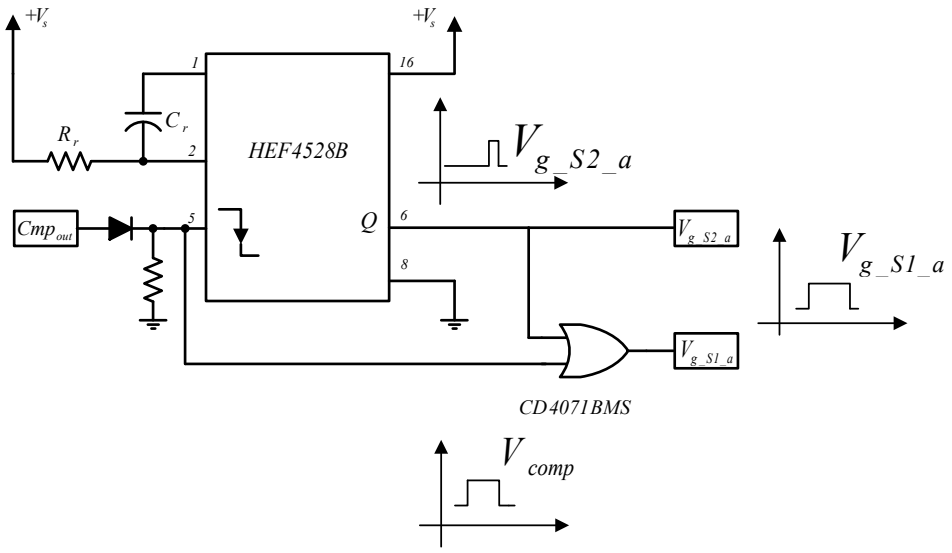
Figura 62- Comparador com histerese fixa.



Fonte: próprio autor.

No controle dos sinais de *gate* das chaves principal e auxiliar foi empregado o circuito ilustrado na Figura 63, composto pelo multivibrador monoestável HEF4528B e a porta logica (ou) CD4071BMS. O sinal de descida da saída do comparador ativa a geração do pulso $V_{g_S2_a}$, com duração determinada pela equação 2.80, permitindo ativar a chave auxiliar ao término da segunda etapa do processo de comutação suave e bloqueando a mesma na metade da sexta etapa. Este sinal é somado ao sinal de saída do comparador Cmp_{out}, gerando o pulso de controle da chave principal S*1_a*, e permitindo que as chaves sejam bloqueadas de forma simultânea, da forma ZVS/ZCS, durante a metade da sexta etapa do processo de comutação suave.

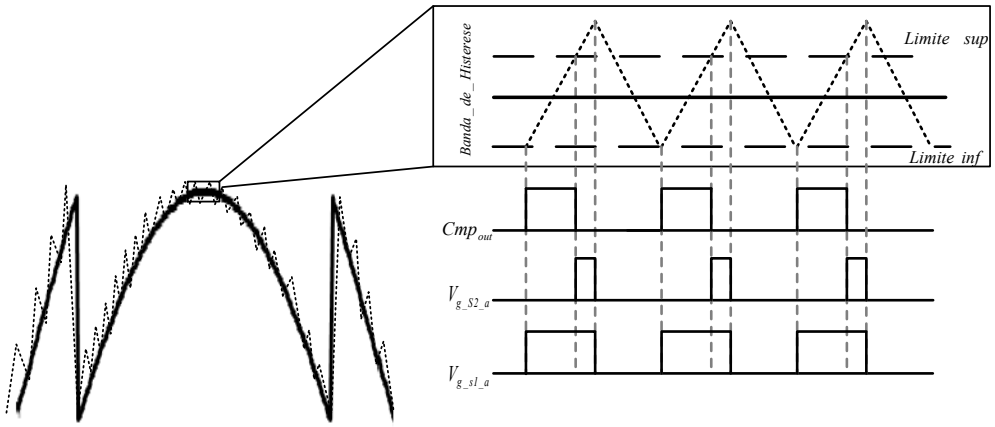
Figura 63- Circuito de controle dos sinais de gate das chaves S_{1_a} e S_{2_a}.



Fonte: próprio autor.

O processo de comutação suave faz com que os limites da banda de histerese sejam ultrapassados, como apresentado na Figura 64, sendo necessário ajustar os valores dos resistores do comparador para a obtenção o *ripple* desejado. Trata-se de um ajuste fino, levando em consideração que a frequência de ressonância é dez vezes maior que a máxima frequência de chaveamento.

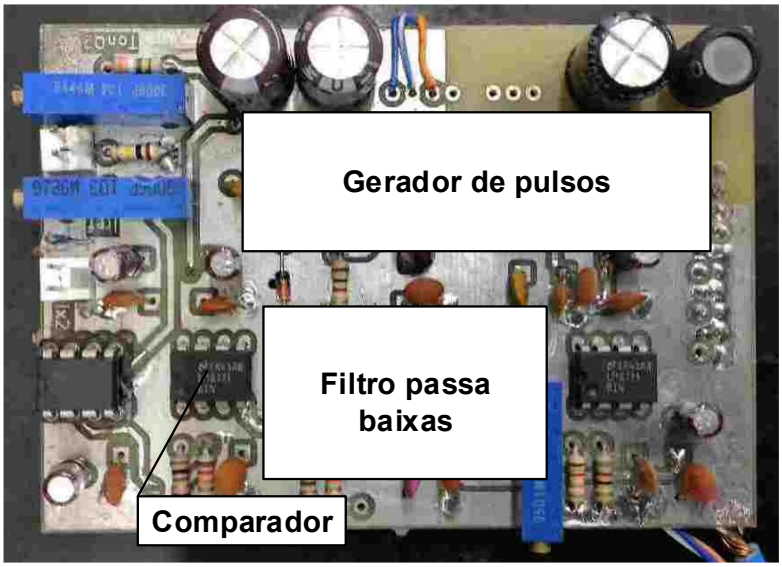
Figura 64- Efeito da comutação suave no controle por histerese.



Fonte: próprio autor.

Na Figura 65 apresenta-se a placa de controle e condicionamento desenvolvida.

Figura 65- Placa de condicionamento e controle do retificador SEPIC ZCS.



Fonte: próprio autor.

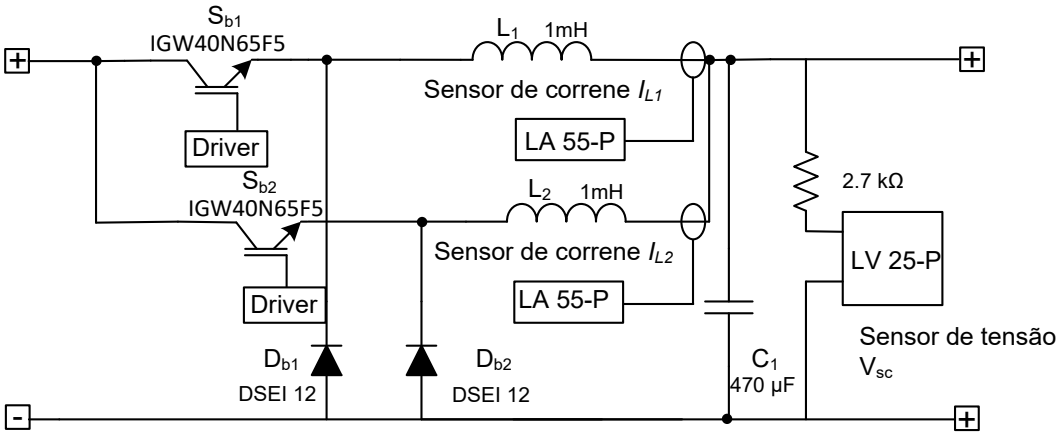
4.4 CONVERSOR BUCK ENTRELAÇADO

De forma similar aos conversores descritos anteriormente, o conversor Buck consta de uma placa de potência composta pelas duas células do conversor e uma placa para o condicionamento dos sinais adquiridos.

4.4.1 Placa de potência do retificador Buck de duas células

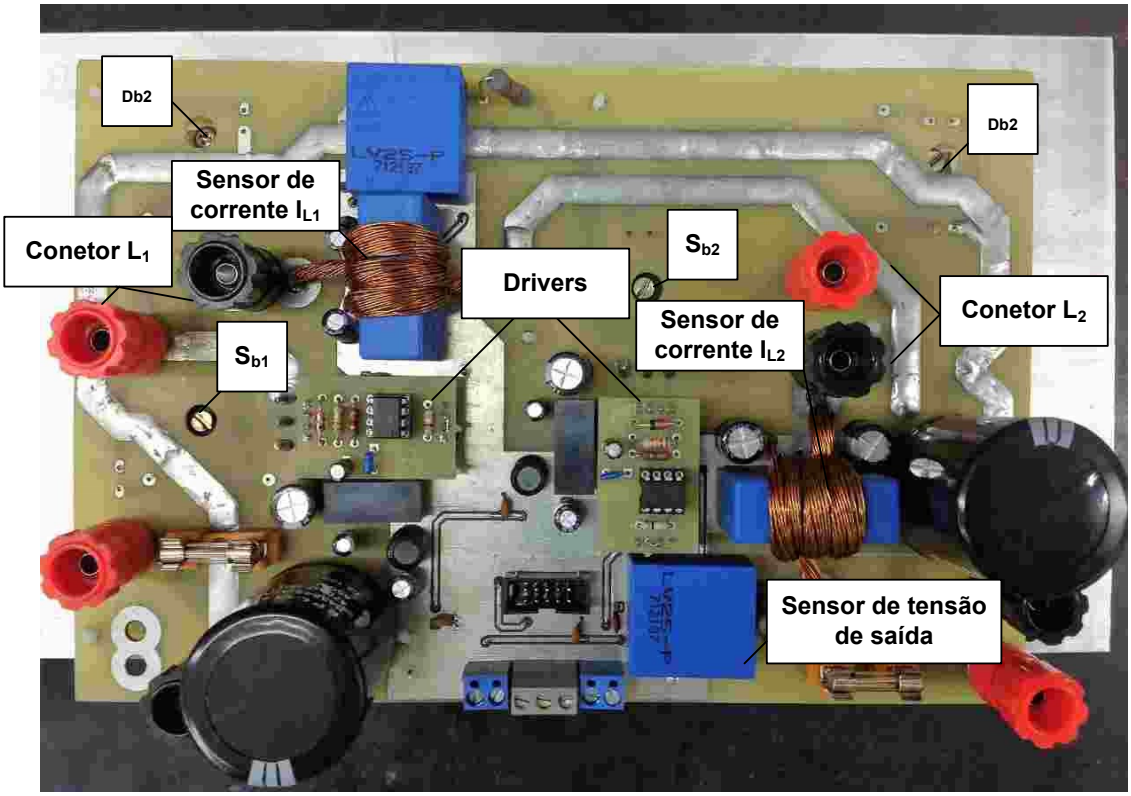
Na Figura 66 é apresentado o circuito simplificado do conversor Buck entrelaçado, especificando-se os semicondutores e sensores empregados, neste diagrama é incluso o capacitor *C1*, responsável por garantir o fluxo de corrente dos indutores ante um desligamento repentino do banco de supercapacitores. Na sequência a distribuição dos componentes e dos circuitos auxiliares é ilustrada na Figura 67.

Figura 66- Especificação dos componentes empregados no conversor Buck.



Fonte: próprio autor.

Figura 67- Placa do conversor Buck entrelaçado.

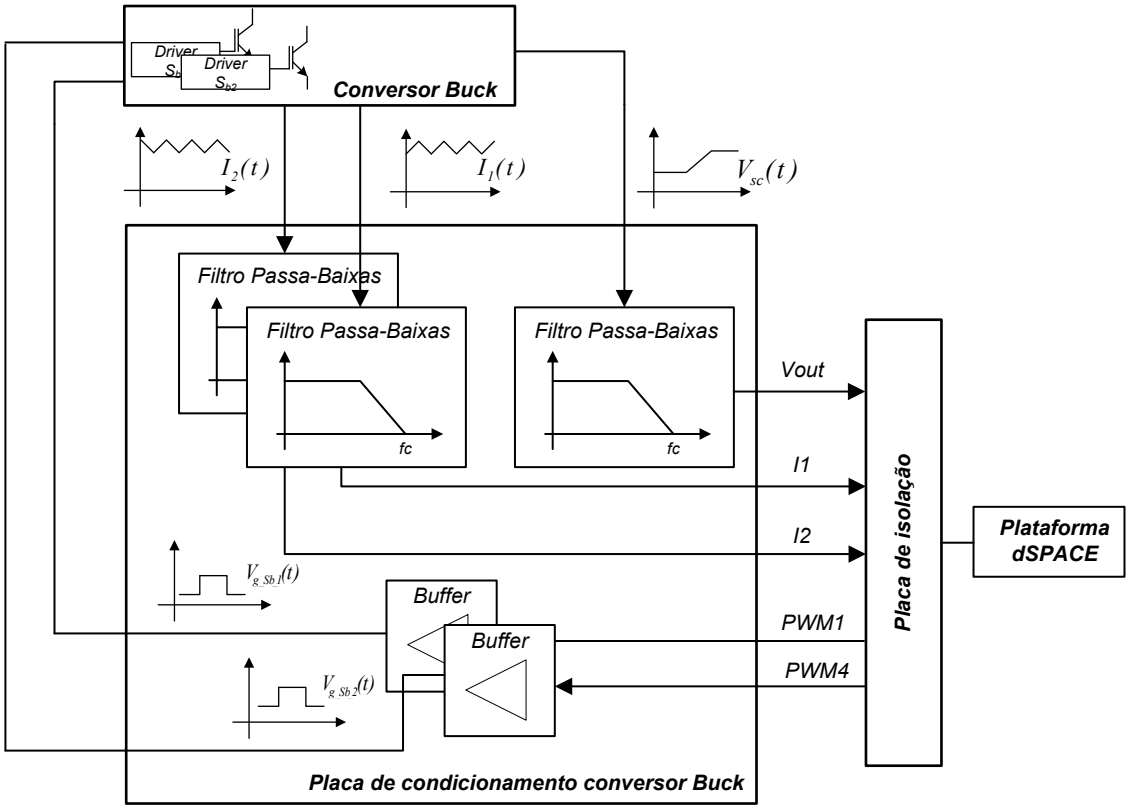


Fonte: próprio autor.

4.4.2 Placa de condicionamento do conversor Buck

A placa de condicionamento do conversor Buck tem a função de filtrar os sinais de corrente de saída I_1 e I_2 e de tensão V_{sc}, assim como fornecer a corrente necessária para a ativação dos drivers das chaves S_{b1} e S_{b2}, conforme Figura 68.

Figura 68- Diagrama de blocos da placa de condicionamento do conversor Buck.

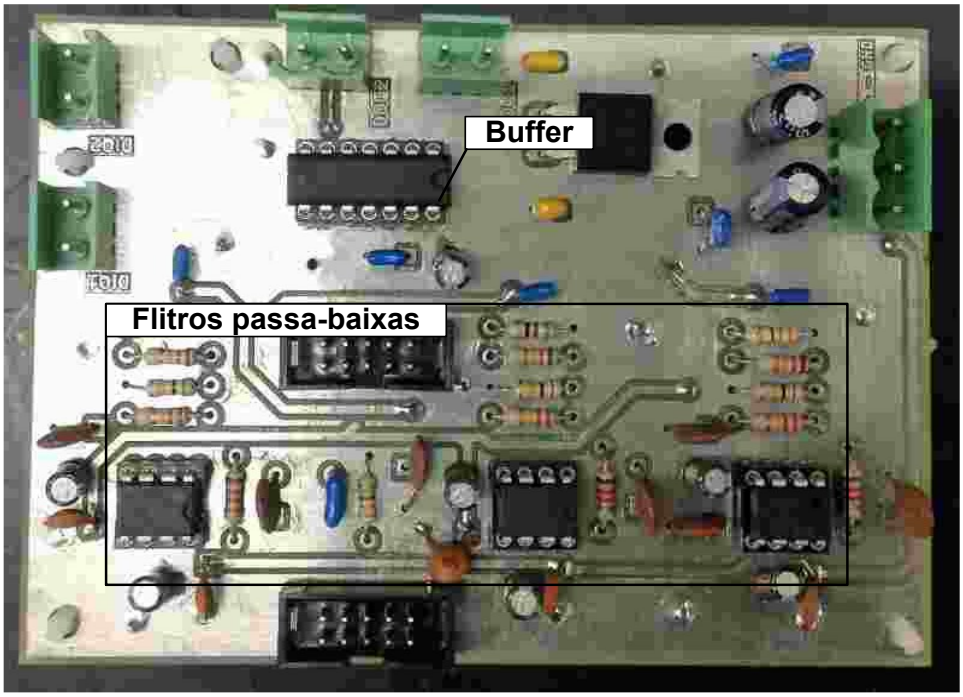


Fonte: próprio autor

Cabe salientar que nas medições de corrente e tensão dos sensores LA 55-P e LV 25-P, foram empregados filtros passa-baixas, também utilizados na leitura da corrente de saída do retificador não controlado e apresentado na Figura 55.

Na Figura 69 é mostrada a placa de condicionamento do conversor Buck.

Figura 69- Placa de condicionamento do conversor Buck.



Fonte: próprio autor.

4.5 CONCLUSÕES PARCIAIS

O emprego da plataforma dSPACE permite a implementação de processos de controle de forma rápida e simples permitindo usar blocos predefinidos no software Simulink®, porém a necessidade de isolar os canais da placa controladora através da construção de hardware resultou num desenvolvimento do projeto mais lento comparado com a implementação através do uso de micro controladores.

A construção modular do protótipo facilita a detecção de falhas e troca de componentes, porém a distribuição ampla das placas faz o sistema mais susceptível ao ruído. Próximas versões do hardware deverão resultar numa maior integração do hardware concentrando de forma efetiva numa área pequena todos os sinais de controle e aquisição de dados, e sua ligação com o sistema de controle e monitoramento, empregando preferivelmente um micro controlador.

Capítulo V

5 RESULTADOS EXPERIMENTAIS DO CARREGADOR RÁPIDO

Neste capitulo são apresentados os principais resultados experimentais da operação do carregador rápido, sendo classificados de acordo com os conversores de potência empregados.

5.1 RETIFICADOR HÍBRIDO

Os testes no retificador híbrido foram feitos para a condição de máximo esforço sobre os retificadores SEPIC, estabelecendo-se K=2. Neste cenário e como mostrado na Tabela 19, a potência processada pelo retificador não controlado (Retif_1) corresponde a 55,1 % da potência total, enquanto o retificador controlado (Retif_2) assume os 44,9% restantes, equivalente a 14,97% para cada retificador SEPIC.

Tabela 19- Distribuição de potência nos conversores do retificador híbrido para K=2.

Conversor	**Potência processada**	**Porcentagem**
Retificador de seis pulsos	**P_{Retif_1}=4133 W**	**55,1%**
Retificador controlado	**P_{Retif_2}=3367 W**	**44,9%**
Retificador SEPIC fase “a”	P_{SEPIC_a}=1122 W	14,97%
Retificador SEPIC fase “b”	P_{SEPIC_b}=1122 W	14,97%
Retificador SEPIC fase “c”	P_{SEPIC_c}=1122 W	14,97%
Total	**P_{Total}=7500W**	**100%**

Fonte: Próprio autor.

5.1.1 Retificador SEPIC

A seguir são apresentadas as formas de onda correspondentes à operação do retificador SEPIC ZCS na fase “a” de acordo com as condições da Tabela 20.

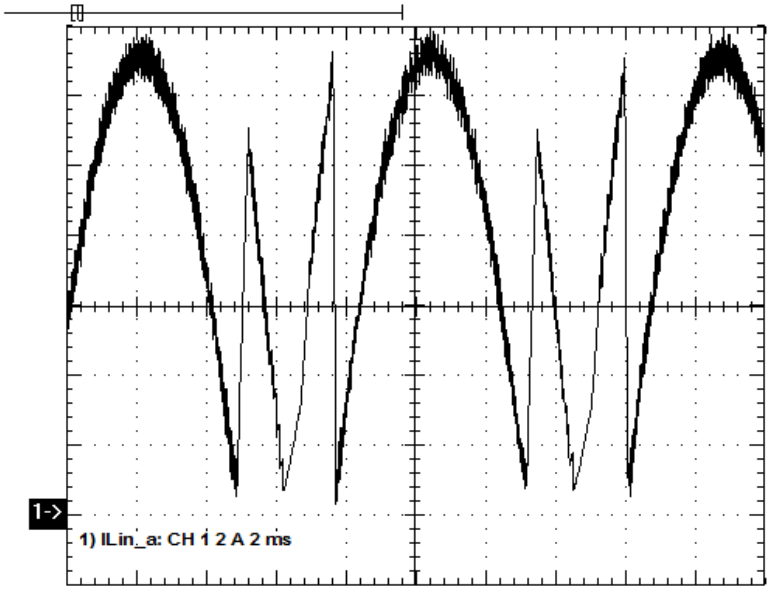
Tabela 20- Condições de operação do retificador SEPIC na fase “a”.

Parâmetro	Valor
Tensão efetiva de entrada (V_{ef})	127 V
Potência de saída do retificador não controlado (P_{Retif_1})	4010 W
Potência de saída do retificador controlado (P_{Retif_2})	1075 W
Corrente de saída no retificador não controlado (I_{Retif_1})	13,5 A
Parâmetro de controle K	2

Fonte: Próprio autor.

Na Figura 70 apresenta-se a corrente de entrada $i_{Lin}(\omega t)$, tendo o formato característico descrito no capítulo 2, mostrando desta forma a desempenho adequado da técnica de modulação empregada.

Figura 70- Corrente no indutor de entrada $i_{Lin_a}(\omega t)$ do retificador SEPIC.

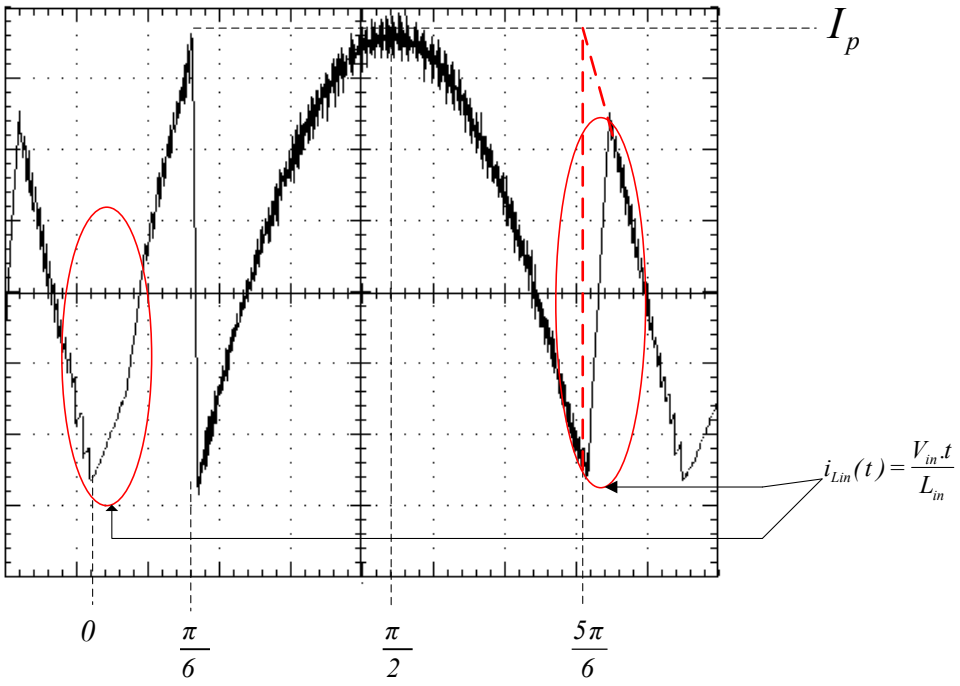


Fonte: Próprio autor.

Observa-se também que a corrente não consegue alcançar o valor de pico I_{vp} em ωt=5π/6, isto devido ao tempo de resposta próprio do indutor de entrada,

impossibilitando uma mudança instantânea de corrente, vide Figura 71. Este comportamento também pode ser apreciado no princípio do ciclo, onde a ação do indutor e a tensão reduzida de entrada, limita a derivada da corrente, impedindo atingir a banda superior de histerese com rapidez e mantendo deste modo a chave S_1 em condução. O efeito da indutância de entrada na imposição da corrente de referência impossibilita a obtenção pratica de uma DHT nulo para K=2. Porém, este comportamento não representa um aumento significativo da distorção harmônica total.

Figura 71- Efeito da indutância de entrada na imposição da corrente de referência.

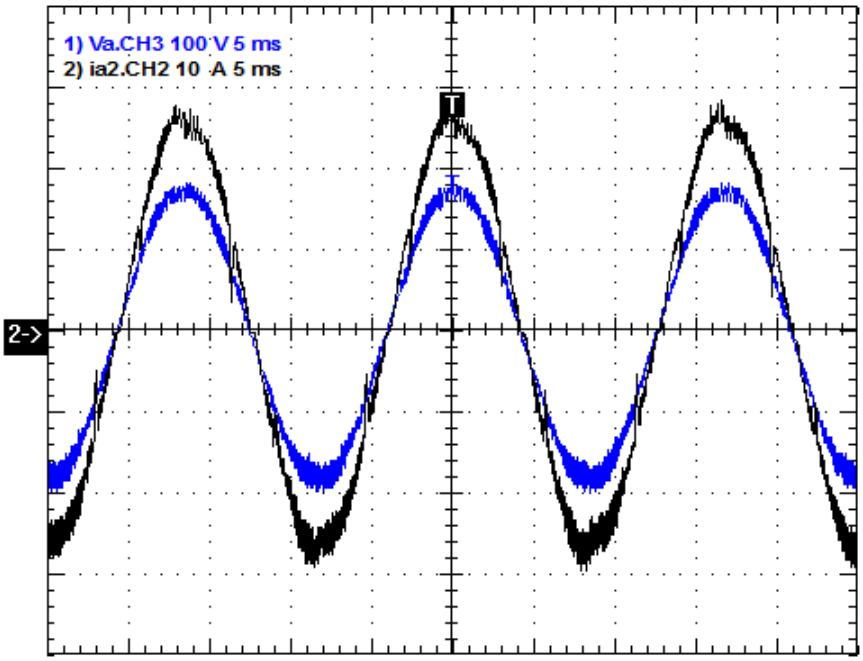


Fonte: Próprio autor.

Como apresentado na Figura 72, as componentes fundamentais da corrente $i_a(\omega t)$ e da tensão $v_a(\omega t)$ estão em fase, permitindo verificar uma correta sincronização entre o sinal de referência gerado pelo sistema de controle e a tensão de entrada. O conteúdo harmônico da corrente $i_a(\omega t)$, obtido através do software WaveStar (Tektronix), e seu resultado apresentado na Figura 73, é comparado com a norma IEC 61000-3-12, como determinado no padrão IEEE 2030.1.1-2015,

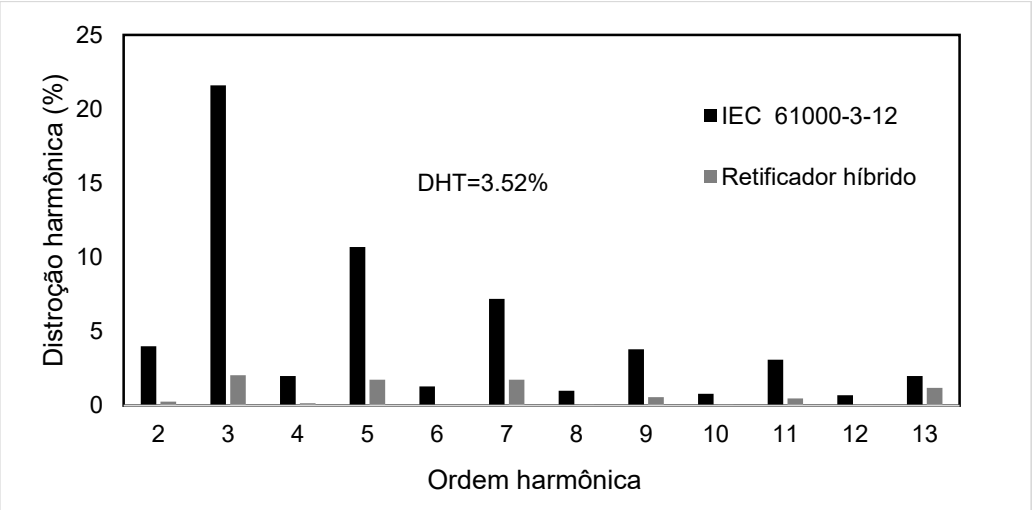
obtendo uma distorção harmônica total menor a 3,6 %, respeitando cada um dos limites estabelecidos para as componentes de corrente.

Figura 72- Tensão (azul) e corrente de entrada (preto) do retificador SEPIC.



Fonte: Próprio autor

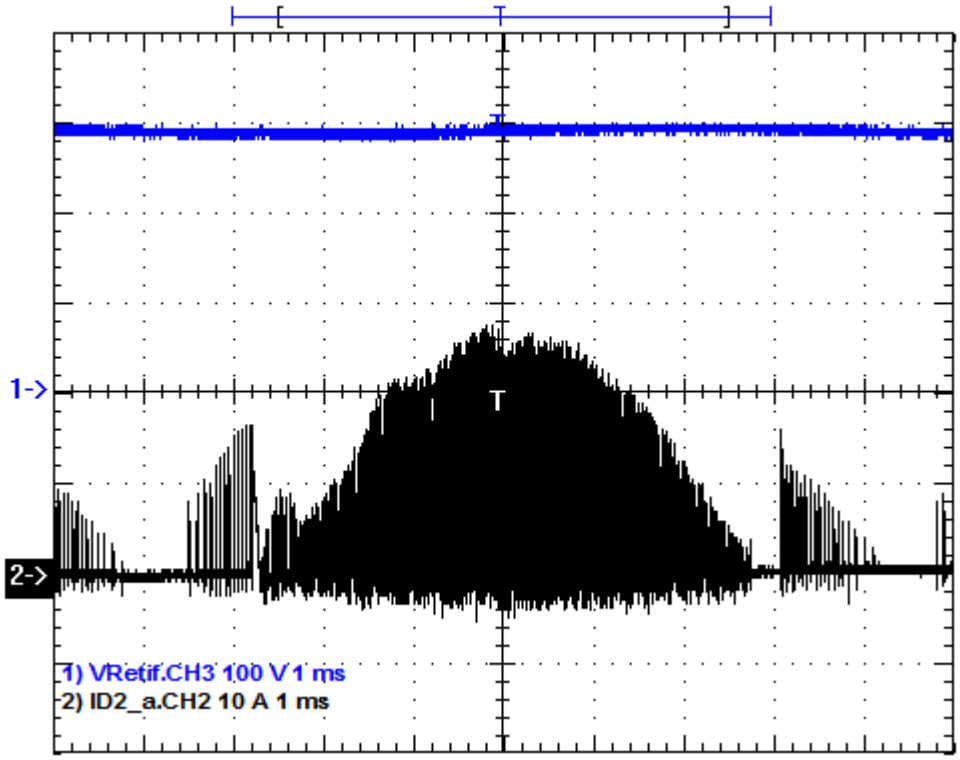
Figura 73- Espectro harmônico para a corrente de entrada $i_a(\omega t)$



Fonte: Próprio autor

Na Figura 74 são apresentadas as formas de onda de corrente e tensão de saída do retificador SEPIC. Como esperado, a tensão de saída é imposta pelo retificador não controlado independentemente do valor da corrente de saída $i_{D2}(\omega t)$.

Figura 74- Tensão e corrente de saída do retificador SEPIC.



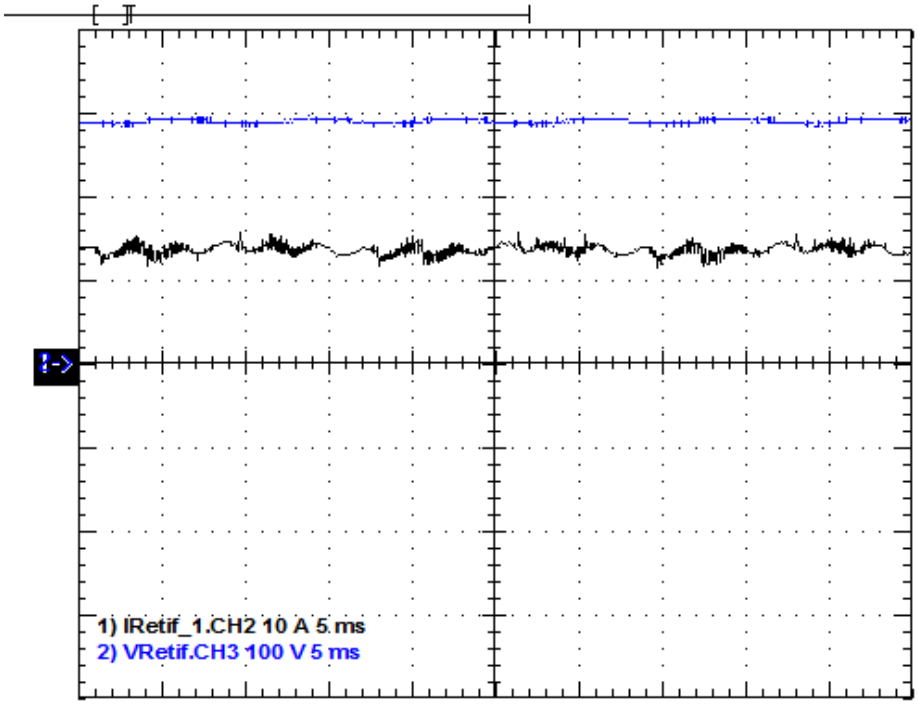
Fonte: Próprio autor

5.1.2 Retificador não controlado

A tensão e a corrente de saída do retificador não controlado (Retif_1) são apresentadas na Figura 75. A ação do filtro indutivo de saída permite obter uma corrente de saída com *ripple* reduzido, condição necessária para que a soma das correntes $i_{a1}(\omega t)$ e $i_{a2}(\omega t)$ resultem num formato senoidal com reduzida DHT. Por sua

vez, o filtro capacitivo impõe a tensão de saída independentemente da operação do retificador controlado.

Figura 75- Tensão (azul) e corrente (preto) de saída no retificador não controlado (Retif_1)



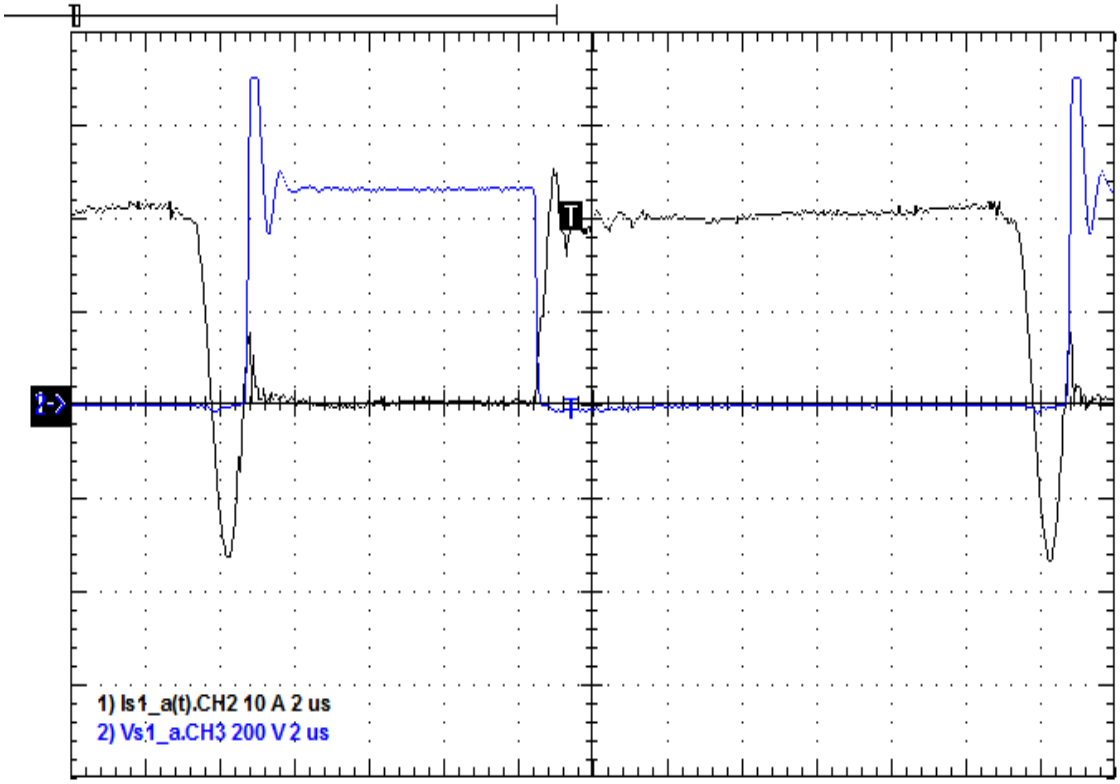
Fonte: Próprio autor

5.1.3 Comutação suave

Na Figura 76 apresentam-se as formas de onda de corrente e tensão da chave principal S_{1_a}, onde é possível observar a variação controlada da corrente, apresentando o formato ressonante no bloqueio da chave e uma derivada suave na entrada em condução, com cruzamentos mínimos entre tensão e corrente. De acordo com a formas de onda, conclui-se que a entrada em condução da chave pode ser considerada do tipo ZCS, enquanto seu bloqueio é do tipo ZCS/ZVS.

Os sobrepicos de tensão observados, resultam da condução reversa do diodo ultrarrápido em antiparalelo do transistor G4PH50UD. Devido à elevada frequência de ressonância empregada, seria conveniente optar, numa implementação futura, por um transistor IGBT sem diodo integrado, fazendo-se uso de um diodo hiper-rápido em antiparalelo, com reduzida energia de recuperação reversa.

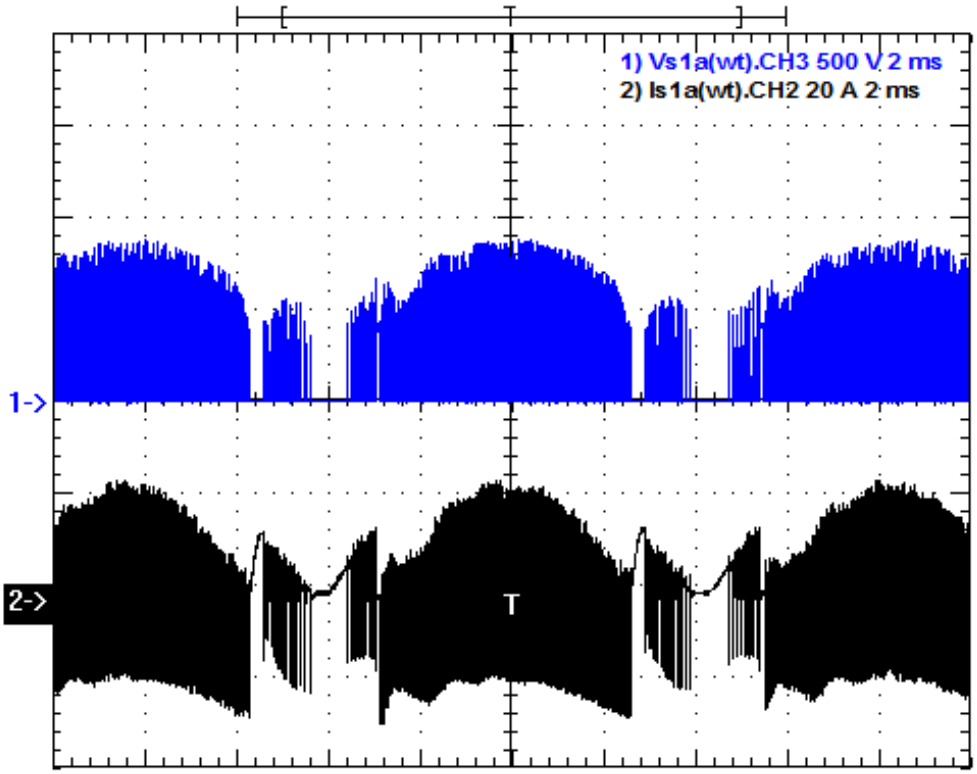
Figura 76- Comutação suave: Tensão e corrente na chave S_{1_a}.



Fonte: Próprio autor

Na Figura 77 é ilustrado o comportamento da corrente na chave principal durante um período de rede, onde é possível observar que a corrente máxima reversa acontece em ωt=π/6 e ωt=5π/6, quando a corrente de entrada i_{Lin_a} é nula.

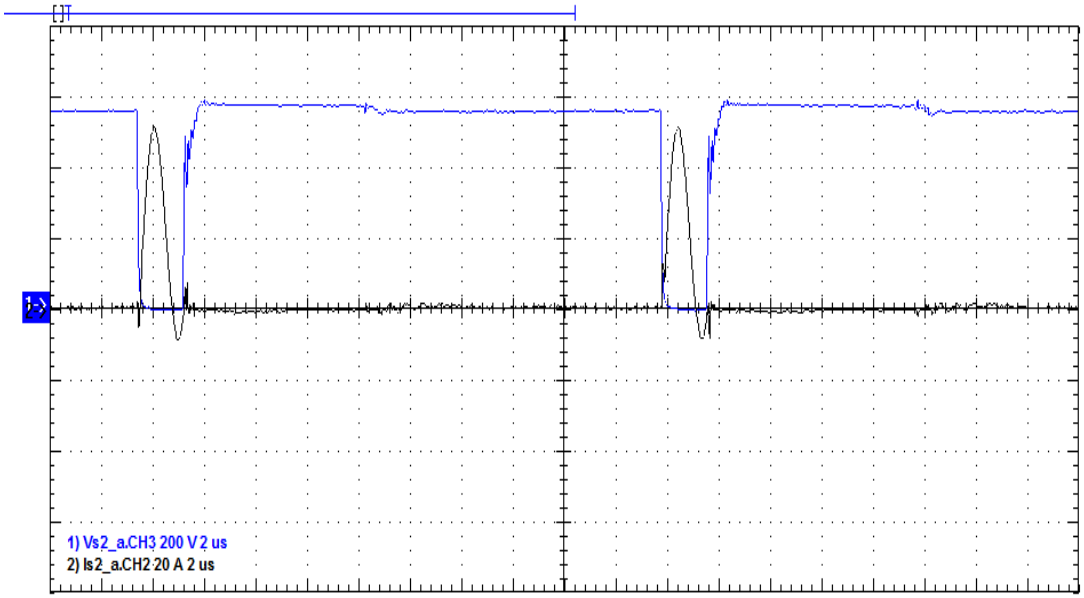
Figura 77- Tensão e corrente na chave principal do retificador SEPIC A durante um período de rede.



Fonte: Próprio autor

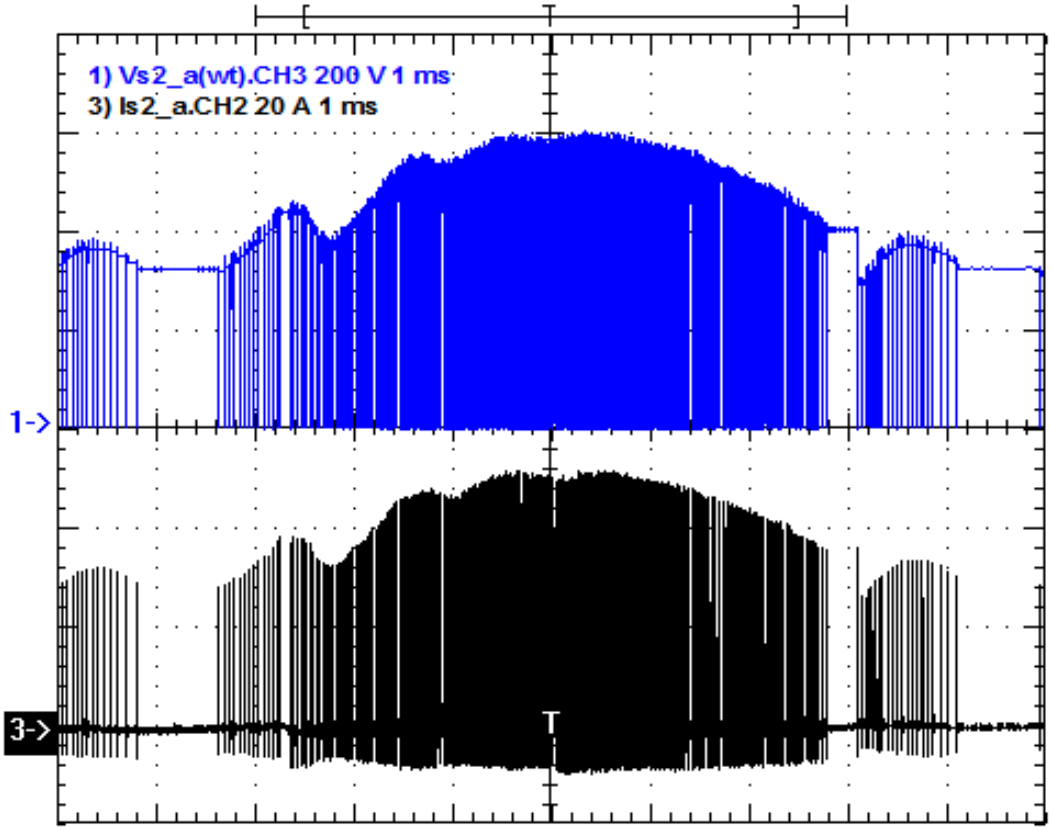
O processo de comutação suave na chave S_{2_a} é ilustrado na Figura 78, sendo do tipo ZCS na entrada em condução e ZCS/ZVS no bloqueio. Ao contrário do comportamento apresentado na chave principal, a chave auxiliar não exibe sobrepicos de tensão, nem correntes reversas consideráveis, isto devido à rápida resposta do diodo hiper-rápido integrado do transistor G7N60AD. O comportamento da tensão e corrente em um período de rede é mostrado na Figura 79.

Figura 78- Comutação suave: tensão e corrente na chave auxiliar S_{2_a}.



Fonte: Próprio autor

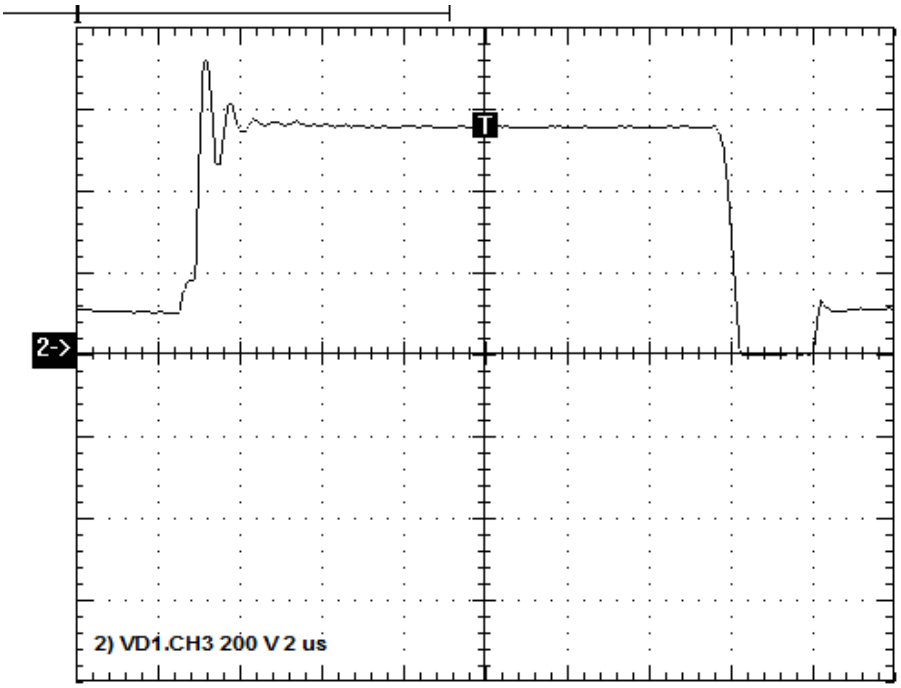
Figura 79- Tensão e corrente na chave auxiliar S_{2_a} durante um período de rede.



Fonte: Próprio autor

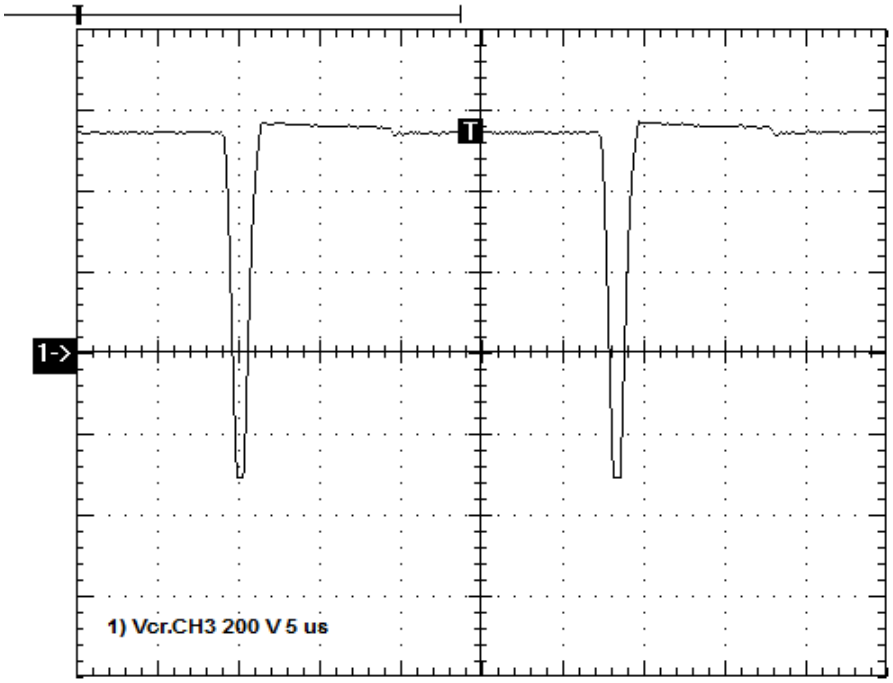
As tensões no diodo D1 e no capacitor Cr podem ser vistas nas Figuras 80 e 81, permitindo conferir que seus formatos de onda correspondem aos descritos no processo de comutação suave do capítulo II.

Figura 80- Comutação suave: tensão no diodo D_1.



Fonte: Próprio autor

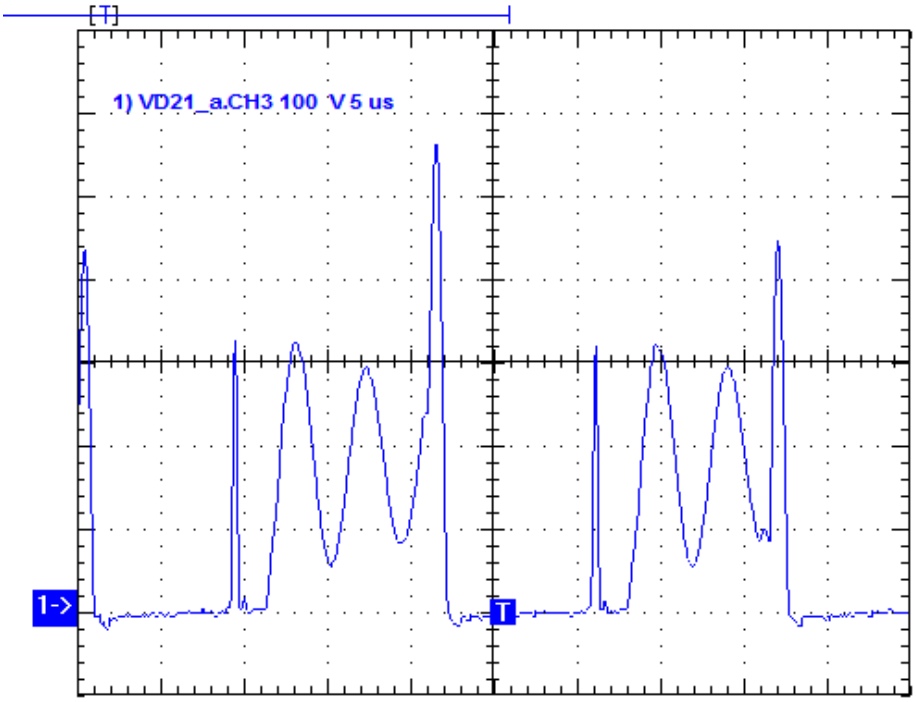
Figura 81- Comutação suave: Tensão no capacitor C_r.



Fonte: Próprio autor

Nas Figuras 82 e 83 são apresentadas as formas de onda de tensão nos diodos de saída D_{21} e D_{21}. Devido à ligação em série destes elementos, os esforços de tensão são divididos, deste modo, quando adicionadas as duas formas de onda, obtém-se o formato de tensão estudado no capítulo 2, caraterizado pelo pico de tensão durante a quarta etapa do processo de comutação suave.

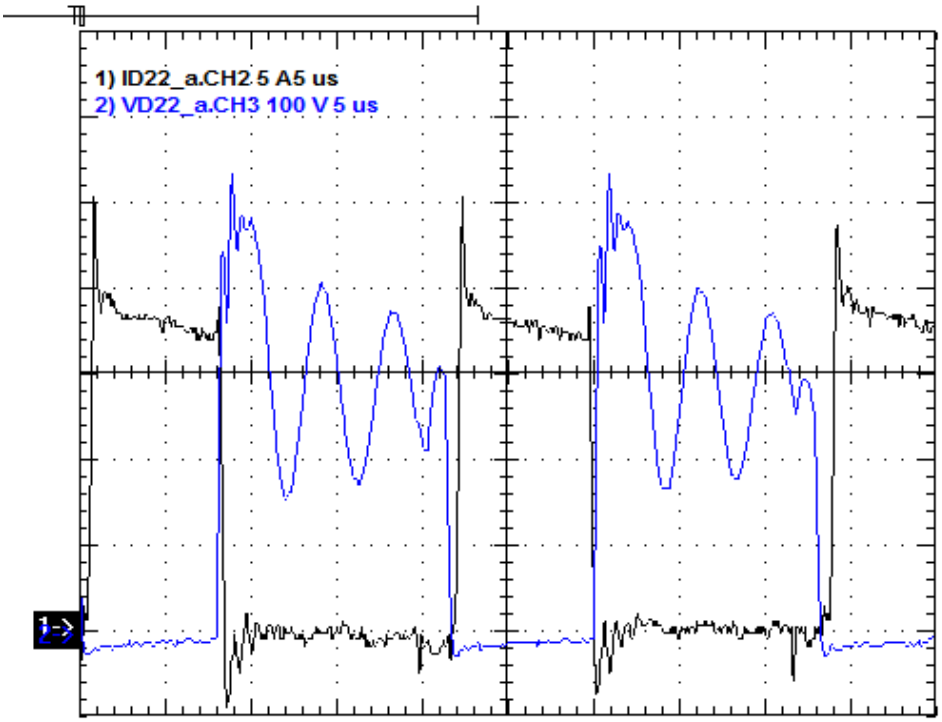
Figura 82- Comutação suave: tensão no diodo D21.



Fonte: Próprio autor

A entrada em condução dos diodos de saída D_{21} e D_{22} é do tipo ZVS, vide Figura 83.

Figura 83- Comutação suave: corrente (preto) e tensão (azul) no diodo de saída D22.



Fonte: Próprio autor

5.1.4 Susceptibilidade ao ruído na modulação por histerese analógica

Uma das principais dificuldades na implementação da comutação suave foi a alta susceptibilidade ao ruído do circuito de comparação analógico. Como ilustrado na Figura 84 e 85 o processo de comutação das chaves gerava oscilações no sinal de corrente que ultrapassavam os limites da banda de histerese, gerando disparos indevidos da chave auxiliar S_{2_a}.

Figura 84- Oscilação do sinal de corrente $i_{Lin_a}(\omega t)$ durante o processo de chaveamento.

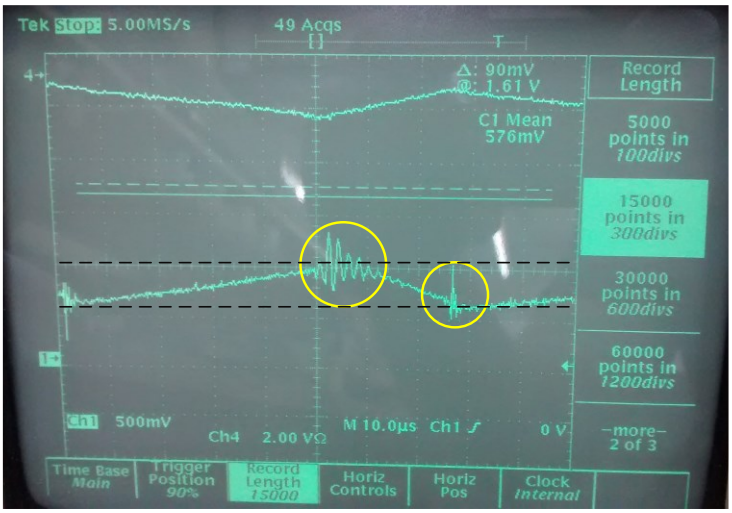
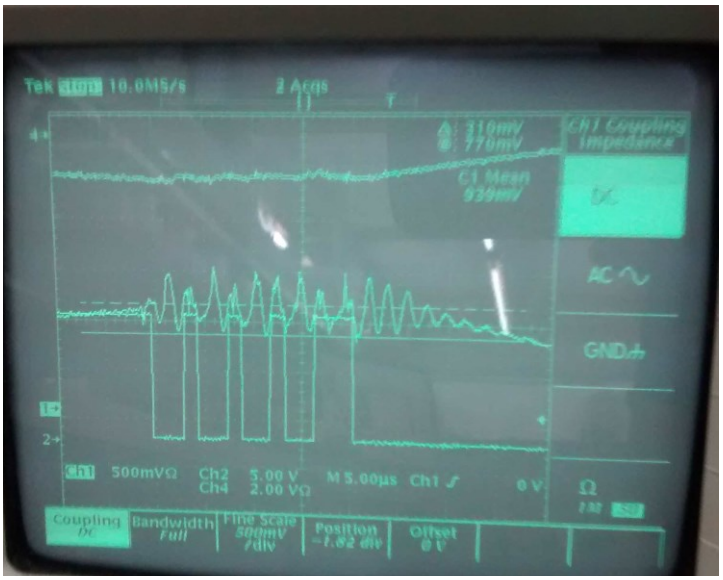
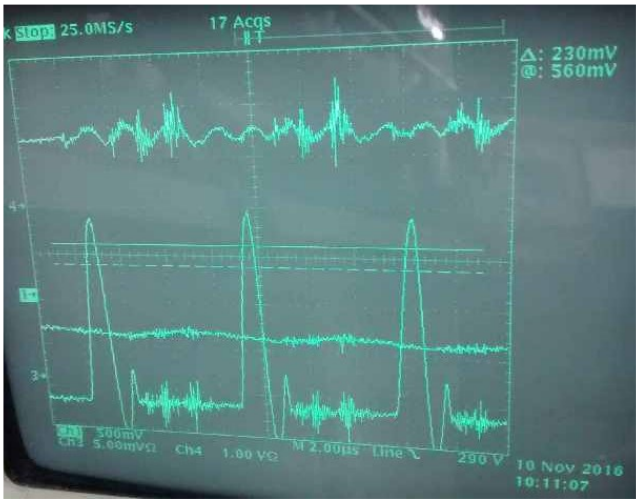


Figura 85- Sinal de saída do comparador analógico durante um período de comutação.



O efeito desta comutação em alta frequência não altera o formato de onda $i_{Lin}(\omega t)$, porém resulta num aumento substancial na corrente média da chave auxiliar, caracterizada por ter correntes de pico superiores aos 40 A, levando a sua destruição, vide Figura 86.

Figura 86- Múltiplas comutações da chave auxiliar num período de chaveamento



O efeito das oscilações foi atenuado através de quatro ações:

- Elevação da relação sinal-ruído, aumentando o número de espiras no sensor de corrente LA 55-P;
- Aumento da banda de histerese;
- Redução das capacitâncias parasitas entre as capsulas das chaves S_1_a, S_2_b e o dissipador mediante a inserção de uma lâmina de cobre isolada entre estes elementos;
- Ligação direta da referência da placa de controle e condicionamento ao ponto neutro, mudando a conexão em série das referências das placas por uma conexão em estrela.
- As mudanças descritas permitiram a operação do retificador SEPIC ZCS, porém evidenciou a necessidade de se ter um maior controle sobre o acionamento da chave secundária.

5.2 CONVERSOR BUCK

O processo de carga do banco de supercapacitores foi feito de acordo com as condições descritas na Tabela 21. A tensão inicial do banco de supercapacitores foi fixada em 180 V, considerando o processo de carga como finalizado quando a tensão atinge os 270 V, isto segundo as condições de operação do sistema de troca de energia descrito no capítulo I. A corrente de carga empregada foi de 20 A de

acordo com os limites estabelecidos pelo fabricante dos supercapacitores, resultando numa potência de pico de saída de 5400 W.

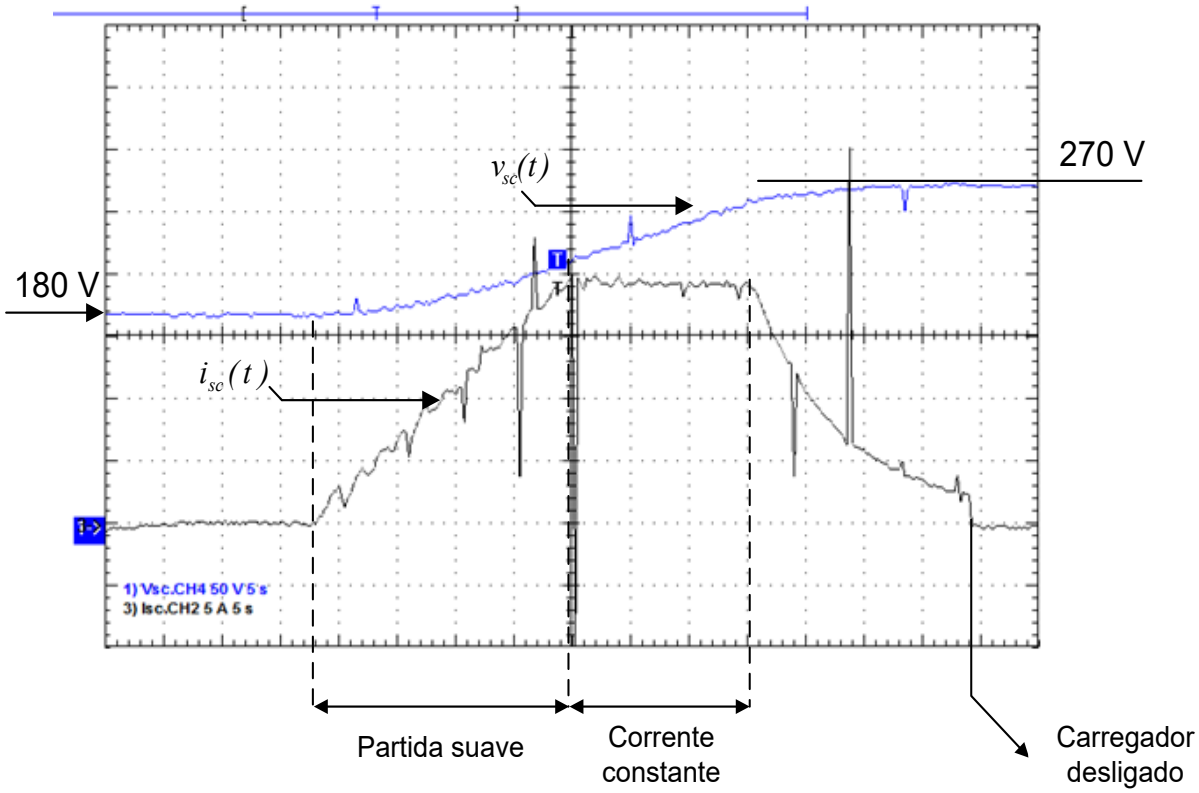
Tabela 21- Condições de operação do conversor Buck

Parâmetro	**Valor**
Tensão de entrada (V_{retif})	297 V
Tensão inicial do banco de SC (U_{sc0})	180 V
Tensão final de carga (U_{sc_max})	270 V
Corrente de carga (I_{sc})	20 A

Fonte: Próprio autor

Na Figura 87 apresenta-se a curva de carga do banco de supercapacitores, onde o processo de carga começa com uma partida suave da corrente de carregamento, isto com o objetivo de evitar oscilações na tensão de saída do retificador híbrido. Na seguinte etapa a corrente é mantida constante até o banco chegar ao limite superior de tensão 270 V, momento a partir do qual a razão cíclica é limitada e como consequência a corrente decresce até atingir 1 A, determinando o desligamento do carregador.

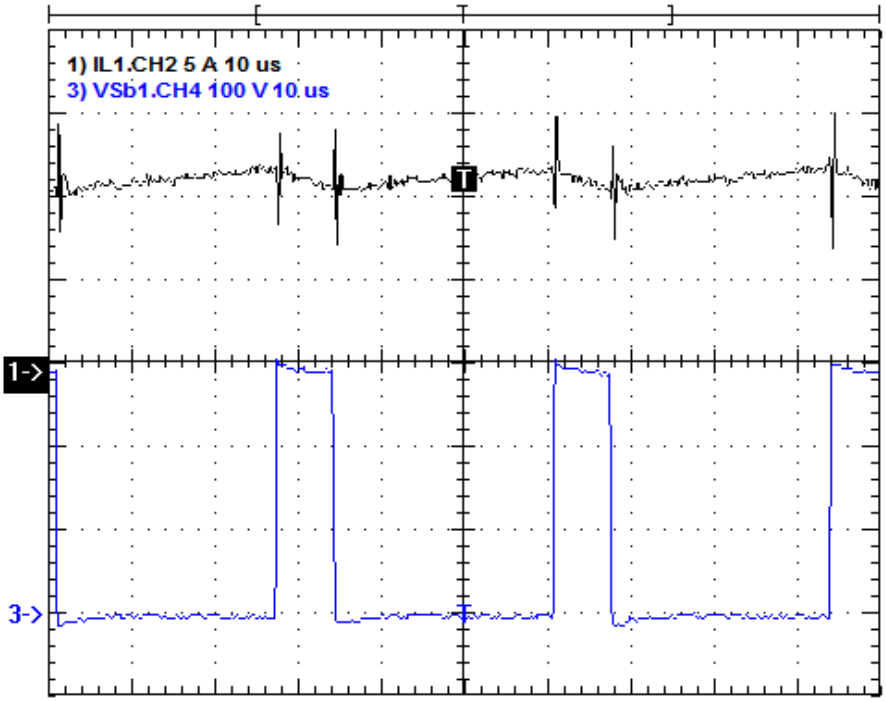
Figura 87- Processo de carga: tensão e corrente no banco de supercapacitores.



Fonte: Próprio autor

É importante salientar que os picos de corrente visualizados na corrente de carga correspondem a ruído no sinal adquirido, produzido pela comutação do conversor Buck e o acoplamento com o sensor de corrente TCP404XL, cujo fator de escala é de 1A / 1mV. Os formatos da corrente e tensão na chave controlada da célula 1, são como ilustrados na Figura 88.

Figura 88- Tensão na chave S_{b1} (azul) e corrente de saída I_{L1} da célula 1 do conversor Buck.



Fonte: Próprio autor

5.3 CONCLUSÕES PARCIAIS

De acordo com os resultados apresentados, conclui-se a operação adequada do carregador rápido, no intuito de aumentar a robustez do sistema a implementação de um controle digital por histerese é recomendado, garantindo desta forma uma comutação adequada da chave auxiliar S_{2_a}.Uma recomendação Adicional consiste no emprego de capacitores na saída dos conversores SEPIC para o acople com a saída do retificador não controlado.

Como apresentado nos resultados a malha de controle por tensão não foi empregada, obtendo resultados satisfatórios simplesmente limitando a razão cíclica do conversor Buck, isto se deve a baixa resistência série do banco de capacitores, motivo pelo qual a queda de tensão nesta impedância e muito baixa, dispensando a necessidade de ser compensada.

CONCLUSÕES

A recente publicação, em 2016, de padrões como o IEEE 2030.1.1 – 2015, permite definir, de forma mais precisa, as condições e modos de operação dos carregadores rápidos; porém, a determinação da melhor estrutura para este tipo de aplicação ainda é objeto de estudo. A topologia proposta neste trabalho se ajusta, de forma adequada aos principais requisitos dos carregadores rápidos para VE, possuindo elevado fator de potência na corrente de entrada, com reduzida distorção harmônica, atendendo à norma IEC 61000-3-12, mediante o uso do retificador híbrido, caracterizado ainda por sua elevada eficiência e reduzido custo em aplicações de elevada potência. Por sua vez, o conversor Buck entrelaçado que compõe o carregador, permite controlar a corrente de carregamento de forma simples, mantendo níveis reduzidos do *ripple* de corrente para uma faixa elevada de tensões. A estrutura ainda possibilita a multiplicação do número de células entrelaçadas, de forma simples e com baixo custo no controle das mesmas, para aplicações em maiores potências.

Além da redução das perdas por comutação e dos benefícios derivados da supressão dos níveis de EMI, o emprego da comutação suave nos retificadores SEPIC permite o incremento das frequências de chaveamento e consequentemente a redução da indutância de entrada $L_{in_1,2}$, melhorando a dinâmica das correntes de entrada e, portanto, a característica de seguidor diante de correntes de referência com altas derivadas, permitindo obter níveis reduzidos de DHT em potências elevadas como as requeridas nos carregadores rápido do nível III.

O emprego do conversor Buck entrelaçado, como etapa CC-CC nos carregadores rápidos, apresenta múltiplas vantagens, como a redução do *ripple* da corrente de saída e a divisão dos esforços de corrente entre o número de células empregadas, porém, sua principal desvantagem está na impossibilidade de elevar a tensão fornecida pela etapa CA-CC, neste caso especifico 297 V. Este problema pode ser solucionado na estrutura proposta elevando a tensão de alimentação do retificador híbrido mediante um transformador de entrada, obtendo-se na saída um nível médio de tensão que permita a operação do carregador rápido, dos 50 aos 500 V, como recomendado no padrão IEEE 2030.1.1-2015.

O emprego de supercapacitores como elementos de armazenamento de energia durante os processos de carga rápida é mais flexível do que o carregamento sobre as baterias de forma direta. Porém, é necessário que estes elementos representem uma porcentagem significativa da capacidade de armazenamento total do veículo para que a estratégia possa ser implementável.

TRABALHOS FUTUROS

A partir dos resultados obtidos, referentes à susceptibilidade ao ruído da técnica de modulação por histerese mediante comparador analógico, propõe-se a implementação digital do controle através do uso de FPGA, permitindo-se melhorias na imunidade ao ruído do sistema e controle corretivo para disparos indevidos da chave auxiliar do retificador *SEPIC*. Uma implementação deste tipo também permitiria explorar técnicas focadas na redução do número de malhas de controle empregadas na corrente de saída do conversor Buck entrelaçado, diminuindo desta forma os custos e a complexidade derivada do uso de um número elevado de células.

Visando a interoperabilidade do carregador rápido com outros VE propõe-se a implementação do protocolo de comunicação entre carregadores externos do nível 3 e VE como definido nos padrões SAE J2836/2 e SAE J2847/2.

REFERÊNCIAS

CHANDRASEKARAN, R. Quantification of bottlenecks to fast charging of lithium-ion-insertion cells for electric vehicles. **Journal of Power Sources**, Amsterdam, v. 271,n. 1, p. 622-632, December 2014.

CHEN, W. Linear Technology. **High efficiency, high density, polyphase converters for high current applications.** Milpitas: [s.n.], 1999. Disponivel em: <http://cds.linear.com/docs/en/application-note/an77f.pdf>. Acesso em: 19 fev. 2017.

DSPACE. **DS1104 R&D controller board.** Paderborn: [s.n.], 2017. Disponivel em: <https://www.dspace.com/en/pub/home/products/hw/singbord/ds1104.cfm>. Acesso em: 19 fev. 2017.

DUSMEZ, S.; COOK, A.; KHALIGH, A. Comprehensive analysis of high quality power converters for level 3 off-board chargers. In: VEHICLE POWER AND PROPULSION CONFERENCE- VPPC, 13., 2011, Chicago. **Annual…** Chicago: IEEE, 2011. p. 1-10.

FERREIRA, T. **Sistema de gerenciamento de energia para controle de carga/descarga entre baterias de lítio e ultracapacitores, envolvendo sistema de tração elétrica com frenagem regenerativa**. Ilha Solteira: UNESP, 2014.

FREITAS, L. C. et al. A novel programmable PFC based hybrid rectifier for ultra clean power application. In: POWER ELECTRONICS SPECIALISTS CONFERENCE- PESC, 35., 2004, Aangen. **Annual…** Aangen: IEEE, 2004. p. 2172 - 2177.

HADDADIAN, G.; KHODAYAR, M.; SHAHIDEHPOUR, M. Accelerating the global adoption of electric vehicles: barriers and drivers. **The Electricity Journal**, Amsterdam, v. 28, n. 10, p. 53-68, December 2015.

INSTITUTO DE ENGENHEIROS ELETRICISTAS E ELETRÔNICOS- IEEE. **IEEE Std 2030.1.1-2015:** IEEE standard technical specifications of a DC quick charger for use with electric vehicles. New York: [s.n.], February 2016. p. 1-97.

LU, R. et al. Super-capacitor stacks management system with dynamic equalization techniques. **IEEE Transactions on Magnetics**, New York, v. 43, n. 1, p. 254 - 258, jan. 2007. ISSN 0018-9464.

MAPELLI, F. L.; TARSITANO, D.; D., A. A study of urban electric bus with a fast charging energy storage system based on lithium battery and supercapacitors**.** In: ECOLOGICAL VEHICLES AND RENEWABLE ENERGIES- EVER, 8., 2013. **Proceedings…** Monte Carlo: IEEE, 2013. p. 1-9.

MIDDLEBROOK, R. D.; CUK, S. A general unified approach to modelling switching-converter power stages. In: POWER ELECTRONICS SPECIALISTS CONFERENCE, 7., 1976, Cleveland. **Annual…** Cleveland: IEEE, 1976. p. 18-34.

RETEGUI, R. G. et al. Current control for high-dynamic high-power multiphase buck converters. **IEEE Transactions on power Electronics**, New York, v. 27, n. 2, p. 614-618, February 2012.

SCHITTLER, A. C. et al. Generalized state-space model for the interleaved buck converter. In: BRAZILIAN POWER ELECTRONICS CONFERENCE- COBEP, 11., 2011, Praiamar. **Proceedings…** Praiamar: IEEE, 2011. p. 451-457.

SCHÜCKING, M. et al. Charging strategies for economic operations of electric vehicles in commercial applications. **Transportation Research Part D: Transport and Environment**, Amsterdam, v. 51, n. 1, p. 173–189, March 2017.

SCHWARZER, V; GHORBANI, R. Electric Vehicule Transportation Center.**Current state-of-art of EV chargers.** Honolulu: [s.n.], 2015. Disponivel em: < https://pdfs.semanticscholar.org/9ac2/f0eddd135b5dc01f234f0d41434207c189a1.pdf ?_ga=1.87093912.1679146654.1493425634>. Acesso em: 15 fev. 2017.

SOARES, J. **Controle digital através de dispositivo FPGA aplicado a um retificador trifásico híbrido com modulaçao por histerese variável**. Ilha Solteira: UNESP, 2008. p. 50-129.

TIE, S. F.; CHEE, W. T. A review of energy sources and energy management system in electric vehicles. **Renewable and Sustainable Energy Reviews**, Amsterdam, v. 20, n. 1, p. 82-102, 2013.

VORPÉRIAN, V. Simplified analysis of PWM converters using model of PWM switch part I: continuous conduction mode. **IEEE Transactions on Aerospace and Electronic Systems**, New York, v. 26, n. 3, p. 490-496, May 1990. ISSN 0018-9251/90/0500-049.

WAKABAYASHI, F. **Reatores eletrônicos par sistemasde Iluminação com múltiplas lâmpadas tubulares fluorescentes com controle de luminosidade, elevada eficiencia e elevado fator de potencia**. Ilha Solteira: UNESP, 2003. p. 67-85.

WONG, P. L. **Performance improvements of multi-channel interleaving voltage regulator modules with integrated coupling inductors**. Blacksburg: Virginia polytechnic Institute and State University, 2001. p. 23-74.

YI-HWA, L.; YI-FENG, L. Search for an optimal rapid-charging pattern for li-Ion batteries using the taguchi approach. **IEEE Transactions on Industrial Electronics**, New York, v. 57, n. 12, p. 3963 - 3971, December 2010. ISSN 10.1109/TIE.2009.2036020.

YILMAZ, M.; KREIN, P. T. Review of battery charger topologies, charging power levels, and infrastructure for plug-in electric and hybrid vehicles. **IEEE Transactions on Power Electronics**, New York, v. 28, n. 5, p. 2151-2169, maio 2013.

YONG, J. Y. et al. A review on thestate-of-the-art technologies of electric vehicle, its impacts and prospects. **Renewable and Sustainable Energy Reviews**, Amsterdam, v. 49, n. 1, p. 365–385, 2015.

YOUNG, K. et al. Electric vehicle battery technologies. In: GARCIA-VALLE, R.; LOPES, J. O. A. P. A.; VALLE, R. G. **Electric vehicule integration into modern power networks**. New York: Springer, 2012. p. 15-56.