

UNIVERSIDADE ESTADUAL PAULISTA “JÚLIO DE MESQUITA FILHO”
FACULDADE DE ENGENHARIA DE SÃO JOÃO DA BOA VISTA
BACHARELADO EM ENGENHARIA ELETRÔNICA E DE TELECOMUNICAÇÃO

RICARDO MICHELIN

**Estudo de Osciladores em Anel Utilizando Tecnologia CMOS de 1,2 μm e 130 nm a
Partir do Layout e Parâmetros Básicos**

SÃO JOÃO DA BOA VISTA

2022

Ricardo Michelin

**Estudo de Osciladores em Anel Utilizando Tecnologia CMOS de 1,2 μm e 130 nm a
Partir do Layout e Parâmetros Básicos**

Trabalho de Conclusão de Curso apresentado à
Universidade Estadual Paulista “Júlio de
Mesquita Filho” como requisito para obtenção
de título de Bacharel em Engenharia Eletrônica
e de Telecomunicações

Orientador: Prof. Dra. Paula Ghedini Der
Agopian

SÃO JOÃO DA BOA VISTA

2022

M623e Michelin, Ricardo

Estudo de Osciladores em Anel Utilizando Tecnologia CMOS de 1,2 μm e 130 nm a Partir do Layout e Parâmetros Básicos / Ricardo Michelin. -- São João da Boa Vista, 2022

48 f. : il., tabs.

Trabalho de conclusão de curso (Bacharelado - Engenharia de Telecomunicações) - Universidade Estadual Paulista (Unesp), Faculdade de Engenharia, São João da Boa Vista

Orientadora: Prof. Dra. Paula Ghedini Der Agopian

1. Inversores elétricos. 2. Semicondutores de óxido metálico. 3. Software gratuito. 4. Osciladores eletrônicos. I. Título.

Sistema de geração automática de fichas catalográficas da Unesp. Biblioteca da Faculdade de Engenharia, São João da Boa Vista. Dados fornecidos pelo autor(a).

Essa ficha não pode ser modificada.

**UNIVERSIDADE ESTADUAL PAULISTA “JÚLIO DE MESQUITA FILHO”
FACULDADE DE ENGENHARIA - CÂMPUS DE SÃO JOÃO DA BOA VISTA
GRADUAÇÃO EM ENGENHARIA ELETRÔNICA E DE
TELECOMUNICAÇÕES**

TRABALHO DE CONCLUSÃO DE CURSO

**Estudo de Osciladores em Anel Utilizando Tecnologia CMOS de 1,2 μm e 130 nm a
Partir do Layout e Parâmetros Básicos**

Aluno: Ricardo Michelin

Orientador: Prof.^a Dr.^a Paula Ghedini Der Agopian

Banca Examinadora:

- Paula Ghedini Der Agopian (Orientadora)
- Afonso José do Prado (Examinador)
- Hildo Guillard Junior (Examinador)

A ata da defesa com as respectivas assinaturas dos membros encontra-se no prontuário do aluno (Expediente nº 124/2021)

São João da Boa Vista, 26 de outubro de 2022

AGRADECIMENTOS

Uma fotografia consegue registrar na imagem, todos os detalhes de um determinado momento, um vídeo, os detalhes de um determinado período, mas são nas nossas memórias que ficam registradas os momentos marcantes que constroem a história de uma vida. Um dia abri os olhos e percebi que muitos anos haviam se passado, era impossível lembrar de todos os detalhes, mas lembro de passar muitas noites e finais de semana estudando até a madrugada, comendo pizza e tomando muito café com amigos, lembro que a maioria dos dias, eram estressantes, com provas, trabalhos e relatórios para entregar, mas hoje olho para trás e vejo uma fase da vida que me trouxe experiências únicas, foi uma fase em que tive a oportunidade de conhecer pessoas incríveis de diferentes personalidades que compartilharam comigo os mesmos momentos estressantes, cansativos e felizes.

Este trabalho marca o final de uma jornada que durou muitos anos, e que sozinho, seria difícil chegar até este ponto, por isso gostaria de agradecer aos meus colegas e amigos(as) que fizeram parte dessa jornada: André; Rômulo; José Carlos; Homero; João Pedro; Sílvio; Matheus Galli; Matheus Valério; Marcelo; João Paina; Juliana; Larissa; Luiz e aos professores Prof. Dr. Ivan Aritz Aldaya Garde; Prof. Dr. José Augusto de Oliveira e Prof. Dr. Marcelo Luiz Francisco Abbade, que de alguma forma, fizeram uma marca na minha vida, as vezes com um simples comentário de incentivo, que no momento parecia insignificante, mas que no fundo, era a força que precisava para não desistir.

Mas nesses últimos meses, foi a Profa. Dra. Paula Ghedini Der Agopian, que me acompanhou durante o processo de procura do estágio e trabalho de conclusão do curso, a procura de estágio foi um processo cansativo e muitas vezes desanimador, houve momentos em que pensei que não conseguiria encontrar um estágio, mas mesmo com todos os e-mails sem respostas das empresas, a Profa. Paula nunca parou de me incentivar a continuar enviando currículos, compartilhou experiências profissionais, dando dicas e mostrando diferentes caminhos que poderia seguir após a faculdade, teve paciência durante o desenvolvimento desse trabalho e marcou reuniões durante seus dias de folga por causa dos conflitos com meu horário de trabalho. Por isso, gostaria de agradecer em especial a professora Paula, obrigado por tudo! Os diferentes caminhos da vida nos levam para diferentes lugares, mas espero que um dia o nosso volte a se cruzar.

RESUMO

Osciladores em anel são dispositivos eletrônicos muito utilizados devido ao seu baixo custo de fabricação e tamanho reduzido, possuem aplicações como circuitos de recuperação de *clock* para comunicações de dados seriais, canais de leitura da unidade de disco, distribuição de *clock* no chip, e sintetizadores de frequência integrados. Além disso os osciladores em anel são muito utilizados para caracterizar a frequência máxima de operação e o tempo de propagação dos sinais em novos nós tecnológicos, nas duas últimas décadas o nó tecnológico evoluiu muito trazendo dispositivos cada vez menores e frequências de oscilações cada vez maiores, neste trabalho, foi estudado o funcionamento do oscilador em anel, o desenvolvimento do *layout* para tecnologias de 1,2 μm e nó tecnológico mais recente como o 130 nm, será mostrado ainda a influência do acréscimo de estágios no tempo de atraso e na frequência de oscilação.

Palavras-chave: Oscilador em anel, inversor cmos, mosfet, Microwind, aim-Spice, *layout* e números de estágios.

ABSTRACT / RESUMEN

Ring oscillators are widely used electronic devices due to their low manufacturing cost and small size, they have applications such as clock recovery circuits for serial data communications, clock distribution, and integrated frequencies. In addition, ring oscillators are also widely used to characterize the maximum operating frequency and the propagation time of signals in new technological nodes. In the last two decades, the technological node has evolved a lot, bringing smaller and smaller devices and larger and larger oscillation frequencies. In this work, it was studied the operation of the ring oscillator, the layout development for 1.2um technologies and more recent technological node such as 130nm, it will also shown the influence of the addition of stages in the delay time in the oscillation frequency.

Keywords: Ring oscillator, cmos, mosfet, Microwind, aim-Spice, layout and number of stages

LISTA DE ILUSTRAÇÕES

Figura 2.1	- Esquemático dos transistores nmos (esquerda) e pmos (direita) do nó tecnológico de 1,2 μm .	16
Figura 2.2	- Transistor no modo de corte.	17
Figura 2.3	- Transistor no modo triodo.	17
Figura 2.4	- Transistor no modo saturação.	18
Figura 2.5	- Fluxo de corrente do dreno i_d em relação a tensão v_{DS} .	18
Figura 2.6	- Curva característica i_d - v_{DS} do transistor nmos operando em saturação.	20
Figura 2.7	- Inversor com transistores pmos e nmos em série (a) design do microwind (b) figura simbólica do inversor (c) imagem 3D do mesmo inversor apresentado em 2.7 (a).	21
Figura 2.8	- Curva de transferência estática de um inversor cmos.	22
Figura 2.9	- Oscilador em anel de três estágios.	23
Figura 3.1	- Esquemático dos transistores nmos (A) e pmos (B) do nó tecnológico de 1,2 μm .	29
Figura 3.2	- Esquemático do inversor cmos de nó tecnológico de 1,2 μm .	29
Figura 4.1	- Sequência comentada das principais etapas da construção de um oscilador em anel de 3 estágios.	33
Figura 4.2	- Oscilador em anel de nó tecnológico de 1,2 μm de três estágios.	31
Figura 4.3	- Figura 4.3 –Oscilador em anel de nó tecnológico de 1,2 μm de cinco estágios.	32
Figura 4.4	- Oscilador em anel de nó tecnológico de 1,2 μm de sete estágios.	32
Figura 4.5	- Oscilador em anel de nó tecnológico de 130 nm e três estágios.	35
Figura 4.6	- Oscilador em anel de nó tecnológico de 130 nm e cinco estágios.	35
Figura 4.7	- Oscilador em anel de nó tecnológico de 130 nm de sete estágios.	35

Figura 4.8	- Oscilador em anel de nó tecnológico de 130 nm de onze estágios.	35
Figura 4.9	- Capacitância de saída do inversor logico de nó tecnológico de 1,2 μm .	36
Figura 4.10	- Processo de extração do t_r e t_f .	37
Figura 4.11	- Curva de transferência estática.	37
Figura 4.12	- Comparação dimensional entre os inversores lógicos de tecnologia 1,2 μm (A) e 130 nm (B).	38
Figura 4.13	- Gráfico de tensão (V) por tempo (ns) do oscilador de três estágios do nó tecnológico de 1,2 μm .	39
Figura 4.14	- Frequência de operação por números de estágios do nó tecnológico de 1,2 μm .	40
Figura 4.15	- Gráfico de tensão (V) por tempo (ns) do oscilador de três estágios do nó tecnológico de 130 nm.	41
Figura 4.16	- Frequência de oscilação por números de estágios do nó tecnológico de 130 nm.	42
Figura 4.17	- Comparação entre a capacitância de saída com a capacitância do estágio anterior, do oscilador de 3 estágios.	43
Figura 4.18	- Comparação entre a capacitância de saída com a capacitância do estágio anterior, do oscilador de 11 estágios.	44
Figura 4.19	- Tempo de subida $t_r=0,01$ ns e do tempo de descida $t_f=0,009$ ns.	45
Figura 4.20	- Comparação das frequências de oscilação do oscilador em anel de 3, 5, 7 e 11 estágios.	44
Figura 4.21	- Resultado das frequências dos cálculos teóricos e simulação.	46
Figura 4.22	- Frequência de oscilação por números de estágios do nó tecnológico de 130 nm.	48

LISTA DE TABELAS E GRÁFICOS

Tabela 3.1	- Definição dos números referentes a figura 3.1.	28
Tabela 3.2	- Descrição das marcações numéricas a figura 3.2.	30
Tabela 4.1	- Dados dos valores de tensão de saída em relação ao tempo.	46

LISTA DE ABREVIATURAS E SIGLAS

MOSFET	- <i>Metal oxide semiconductor field effect transistor</i>
VCO	- <i>Voltage controlled oscillator</i>
CMOS	- <i>Complementary mos technology</i>
nmos	- <i>n-channel metal oxide semiconductor</i>
pmos	- <i>p-channel metal oxide semiconductor</i>
FET	- <i>Field effect transistor</i>

LISTA DE SÍMBOLOS

n	- Número de estágios do oscilador em anel
t_d	- Tempo médio de propagação do sinal lógico (s)
f_0	- Frequência de oscilação (Hz)
v_{in}	- Tensão de entrada (V)
I_{DN}	- Corrente de descarga (A)
v_{out}	- Tensão de saída (V)
V_{dd}	- Tensão de alimentação (V)
τ_{dhl}	- Propagação de saída para o tempo de atraso do alto para baixo (s)
τ_{dlh}	- Propagação de saída para o tempo de atraso do baixo para o alto (s)
I_{DNS}	- Corrente de dreno em saturação do transistor nmos (A)
I_{DNL}	- Corrente de dreno em modo linear do transistor nmos (A)
I_{DPS}	- Corrente de dreno em saturação do transistor pmos (A)
I_{DPL}	- Corrente de dreno em modo linear do transistor pmos (A)
β_p	- Fator ganho pmos (A/V^2)
β_n	- Fator ganho nmos (A/V^2)
W_p	- Largura do canal p (m)
L_p	- Comprimento do canal (m) p
W_n	- Largura do canal n (m)
L_n	- Comprimento do canal n (m)
V_{tn}	- Indução do canal n (V)
V_{tp}	- Indução do canal p (V)
C_l	- Capacitância de saída (F)
X_{ox}	- Espessura do oxido de porta (m)
ε_{ox}	- Permissividade do oxido (F/m)
μ_p	- Mobilidade dos elétrons (m^2/s)
μ_n	- Mobilidade das lacunas (m^2/s)
t_f	- Tempo para o sinal de saída descer de 90% a 10% (s)
t_r	- Tempo para o sinal de saída subir de 10% a 90% (s)
MR_l	- Margens de ruído em nível baixo (V)
MR_h	- Margem de ruído em nível alto (V)
V_{inv}	-Tensão de inversão (V)

Sumário

1	INTRODUÇÃO	14
1.1.	Objetivo do trabalho.	15
1.2.	Organização do trabalho.	15
2	REVISÃO BIBLIOGRÁFICA	16
2.1.	Princípio de funcionamento de um mosfet.	16
2.2.	Princípio de funcionamento de um inversor cmos.	20
2.3.	Oscilador de anel e sua frequência de oscilação.	23
3	MATERIAIS E MÉTODOS	27
3.1.	Microwind.	28
4	RESULTADOS E DISCUSSÕES	31
4.1.	Projeto e <i>layout</i> do oscilador em anel de 1,2 μm	30
4.2.	Projeto e <i>layout</i> do oscilador em anel de 130 nm.	34
4.3.	Resultados elétricos do inversor e osciladores em anel projetados	35
4.4.	AIM-Spice	46
5	CONCLUSÃO	49
6	REFERÊNCIAS BIBLIOGRÁFICAS	50

1. INTRODUÇÃO

O transistor é o elemento mais básico no design de um circuito integrado de larga escala. Em 1947 os físicos americanos John Bardeen e Walter Brattain, trabalhando sobre a liderança de William Shockley da Bell Labs, construíram o primeiro transistor, garantindo ao trio o prêmio Nobel de física em 1956. Poucos anos depois, em 1959, Mohamed Atalla e Dawon Kahng também da Bell Labs, inventaram o transistor mosfet permitindo um avanço na eletrônica de potência. Nos anos seguintes, as novas gerações de mosfets permitiram que projetistas de energia alcançassem níveis de desempenho e densidade que não eram possíveis com os transistores bipolares (Lojek, 2007).

Hoje em dia, o mosfet são os mais utilizados pelas indústrias de tecnologia e, nos últimos anos essa tecnologia passou por uma evolução exponencial, permitindo que atingisse tamanhos nanométricos e abrindo portas para um incrível desenvolvimento em aplicações de dispositivos eletrônicos, o progresso no desenvolvimento dessa tecnologia permitiu a construção de circuitos digitais mais rápidos, precisos e com uma pequena área de implementação.

E a partir do mosfet foi possível a criação de estruturas eletrônicas como os osciladores, que estão entre as estruturas mais importantes e versáteis da eletrônica, de sintetizadores de áudio a amplificadores *lock-in*, eles desempenham um papel fundamental na geração de sinais, na síntese de formas de onda e nos temporizadores, nos sistemas digitais, os osciladores são responsáveis por produzir o *clock*, que é considerado o coração dos circuitos sequenciais, lhe dando a capacidade de definir com precisão a hora de eventos importantes, portanto, é impossível projetar circuitos de processamento digital sem osciladores (Miyazaki Takahito, 2004).

Existem muitos tipos de osciladores descritos na literatura como osciladores de ressonância e osciladores baseado em cristal (Hui Zhou, 2008), neste trabalho será estudado o oscilador em anel, que são dispositivos amplamente utilizados devido ao seu baixo custo de fabricação e tamanho reduzido, os osciladores em anel podem ser aplicados como osciladores controlados por voltagem (VCOs) em aplicações como circuitos de recuperação de *clock* para comunicações de dados seriais (Mohammad Hassan, 2010), canais de leitura da unidade de disco, distribuição de *clock* no *chip*, e sintetizadores de frequência integrados (John A. McNeill, 2009); (Monico Linares Aranda, 2013).

Para sua operação, o oscilador em anel requer apenas de energia, normalmente uma

tensão típica abaixo da tensão limite dos MOSFETs utilizados em sua construção, para aumentar a frequência de oscilação que começa espontaneamente com a tensão de alimentação, dois métodos podem ser utilizados, o primeiro, fazer o anel a partir de um número menor de inversores resultando em um menor tempo de atraso e consequentemente uma frequência de oscilação maior, com aproximadamente o mesmo consumo de energia, em segundo, a tensão de alimentação pode ser aumentada, em circuitos onde este método pode ser aplicado, reduz o atraso de propagação pela cadeia de estágios, aumentando tanto a frequência de oscilação quando a corrente consumida.

1.1. Objetivo do Trabalho.

O objetivo deste trabalho é estudar o oscilador em anel, entender a influência da adição de novos estágios em sua frequência de oscilação, tempo de atraso e ao mesmo tempo, aprender a realizar as construções de seus *layouts* com o *software* Microwind, utilizando o nó tecnológico de 1,2 μm e 130 nm, para a realização destes processos será necessário projetar osciladores em anel de 3, 5 e 7 estágios, realizar a extração de informações de suas simulações como os valores de tempo de subida t_r , tempo de descida t_f , estudar a influência do tempo de atraso total na frequência de oscilação, fazer a comparação das informações geradas pelas simulações com os valores teóricos, e observar a operação do Microwind com as tecnologias de 1,2 μm e 130 nm.

1.2. Organização do Trabalho.

Este trabalho é dividido em cinco capítulos:

Capítulo 1: Introdução do trabalho;

Capítulo 2: É tratado o princípio de funcionamento básico do oscilador em anel assim como seus componentes, como o mosfet e inversores cmos;

Capítulo 3: Este capítulo explica o processo de desenvolvimento do projeto, os softwares utilizados e as tecnologias estudadas;

Capítulo 4: Neste capítulo são analisados discutidos os dados coletados com os testes realizados durante o projeto;

Capítulo 5: Conclusões.

2. REVISÃO BIBLIOGRÁFICA

2.1. Princípio de funcionamento de um mosfet.

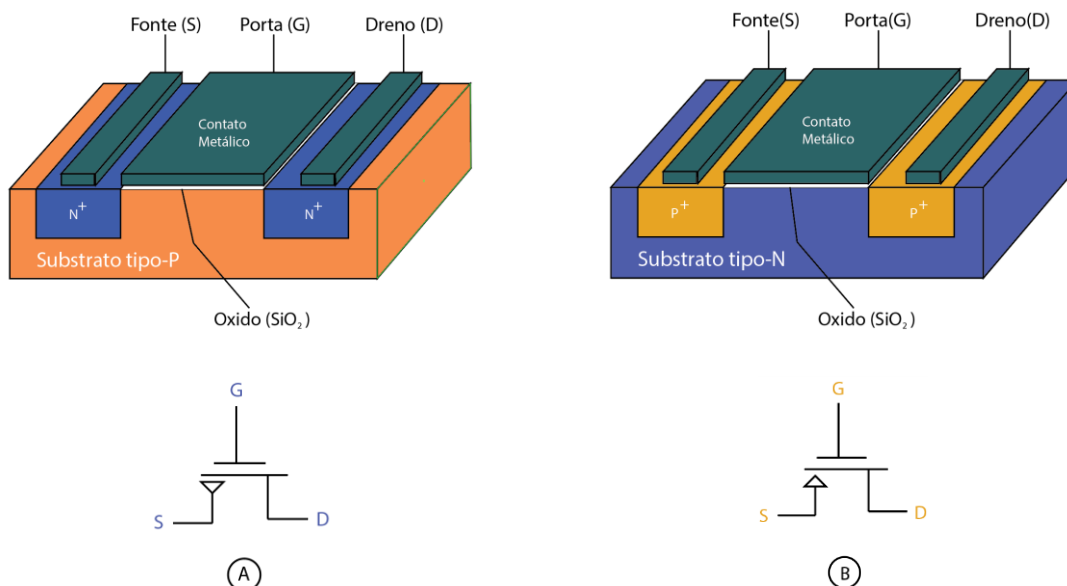


figura 2.1 –transistor nmos (A) e transistor pmos (B).

O mosfet é um dispositivo semicondutor baseado em silício, em sua forma básica, o silício é um semicondutor que possui baixa condutividade que pode ser aumentada com um processo controlado de dopagem de impurezas, isso acontece, porque o silício puro possui poucos portadores livres (concentração intrínseca) resultando em sua baixa condutividade, mas quando o material é dopado com impurezas pentavalentes, esta dopagem resulta em elétrons livres, aumentando a condutividade do semicondutor. O processo de dopagem também pode ser aplicado para impurezas trivalentes que resultam em aumento de lacunas livres e aumentam a condutividade do silício, esse processo é conhecido como dopagem do tipo P (Nathan Frazier, 2013).

Um transistor nmos de modo inversão, que pode ser observado na figura 2.1 (a), possui um substrato do tipo P, regiões de fonte e dreno que são fortemente dopadas do tipo N, aplicando-se uma tensão de porta suficientemente alta para inverter os portadores na interface óxido de silício/silício, é criado um canal de elétrons permitindo a passagem de corrente entre

fonte e dreno. O potencial aplicado à porta metálica do transistor é responsável pelo controle das cargas no canal, por isso a origem do nome do FET (*Field Effect Transistor*).

A forma de operação deste tipo de transistor pode ser dividida em 3 diferentes regiões, dependendo da tensão aplicada em seus terminais: A região de corte (figura 2.2), ocorre quando $v_{GS} < v_T$, onde v_{GS} representa a tensão entre a porta e a fonte e v_T a tensão de limiar, nessa região de operação, tensão aplicada à porta não é suficiente para inversão das cargas no canal e o transistor se encontra desligado, não havendo condução entre a fonte e o dreno.

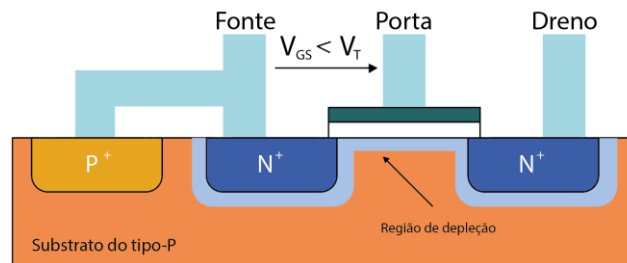


figura 2.2 – transistor no modo de corte.

A região de tríodo (figura 2.3), ocorre quando a tensão de porta é maior que a tensão de limiar $v_{GS} > v_T$ e $v_{DS} < v_{GS} - v_T$, ou seja, o transistor está operacional e há condução de corrente, porém a tensão de dreno é baixa.

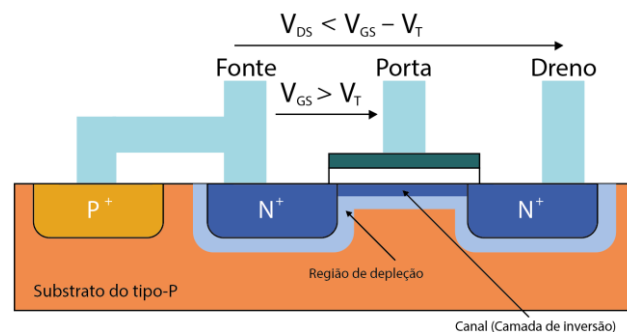


figura 2.3 – transistor no modo tríodo.

A região de saturação (figura 2.4) ocorre quando $v_{GS} > v_T$ e $v_{DS} \geq v_{GS} - v_T$, ou seja, a tensão de porta está acima da tensão de limiar e tensões de dreno, o transistor se encontra em modo operacional e um canal é criado permitindo o fluxo de corrente entre o dreno e a fonte.

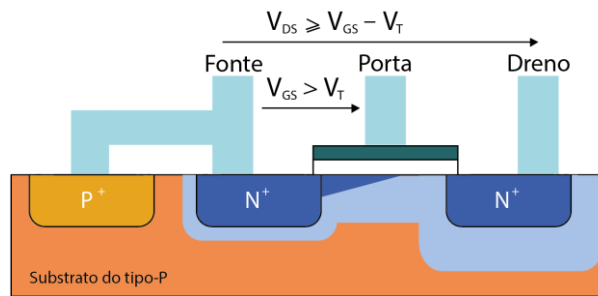


figura 2.4 – transistor no modo saturação.

O gráfico do fluxo de corrente do dreno i_d em relação a tensão v_{DS} pode ser observada na figura 2.5 (SEDRA & SMITH, 2004).

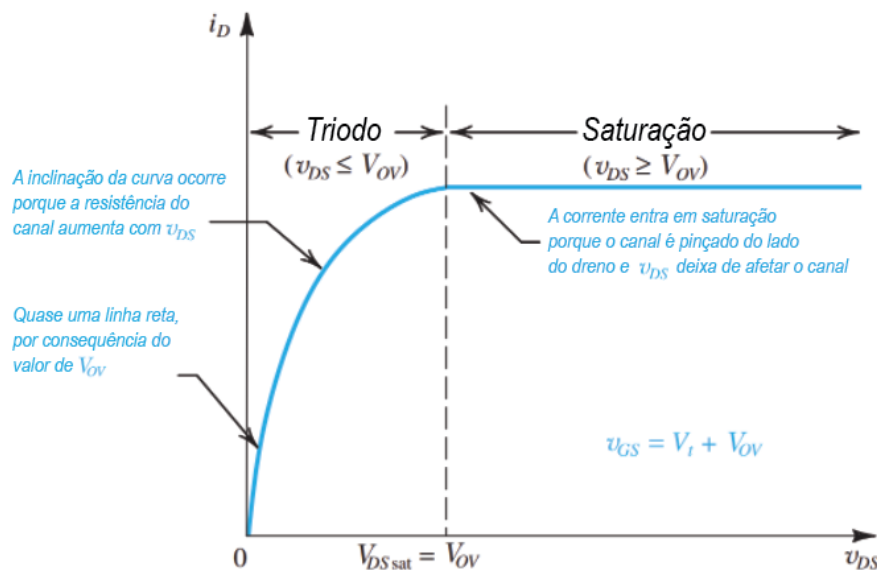


figura 2.5 – fluxo de corrente do dreno i_d em relação a tensão v_{DS} , adaptado de (SEDRA & SMITH, 2004).

Na região de tríodo, expressão característica i_d - v_{DS} podem ser descritas pela equação 2.1:

$$i_D = k'_n \left(\frac{W}{L} \right) \left[(v_{GS} - V_t) v_{DS} - \frac{1}{2} v_{DS}^2 \right] \quad (2.1)$$

Onde o parâmetro de transcondutância do processo é dado por $k'_p = \mu_p C_{ox}$, e se v_{DS} for suficientemente pequeno a fim de desprezá-lo em v_{DS}^2 podemos simplificar a equação 2.2 para:

$$i_D = k'_n \left(\frac{W}{L} \right) (v_{GS} - V_t) v_{DS} \quad (2.2)$$

Para o mosfet operando na região de saturação, podemos utilizar o valor da corrente de saturação i_D , representa pela equação 2.3:

$$i_D = \frac{1}{2} k'_n \left(\frac{W}{L} \right) (v_{GS} - V_t)^2 \quad (2.3)$$

Portanto, na saturação, o mosfet proporciona uma corrente de dreno cujo valor é independente da tensão de dreno v_{DS} e é determinada pela tensão v_{GS} de acordo com a relação quadrática da equação 2.3, cujo esboço é mostrado na figura 2.6.

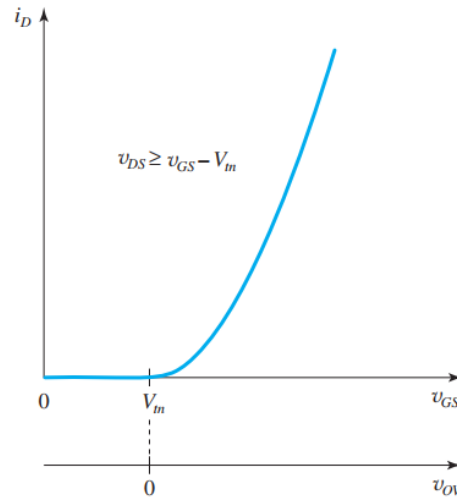


figura 2.6 – curva característica i_d - v_{DS} do transistor nmos operando em saturação, adaptado (SEDRA & SMITH, 2004).

2.2. Princípio de funcionamento de um Inversor cmos.

Quando transistores, nmos e pmos são fabricados no mesmo *chip* de silício, temos a tecnologia conhecida como cmos ou *Complementary MOS technology*. Dentre os circuitos cmos o inversor lógico é um circuito simples, mas de grande importância para a eletrônica. Sua estrutura é composta por um transistor pmos que é construído dentro de uma região de silício do tipo-N, que é conhecida como *N-well*. O substrato do tipo-P é mantido na tensão de terra com 0 volts, enquanto o *N-well* é mantido na tensão de entrada (neste exemplo 1 volt). Essa junção PN é um diodo de polarização reversa, ou seja, não temos fluxo de corrente da região N para a região P, apesar da diferença de potencial.

Para criar um inversor, primeiro conectamos os terminais na fonte de tensão e terra, depois conectamos as portas (*gate*) do pmos com a do nmos, e por último, conectamos os terminais de dreno (*drain*) do pmos com o nmos, o nó conectando as portas (*gate*) é a entrada enquanto o nó conectando os drenos é a saída, as imagens demonstrando este processo pode ser observado na figura 2.7.

O processo de funcionamento do inversor logico pode ser descrito em cinco regiões operacionais, na região operacional (A) da figura 2.8, o inversor se encontra em seu estado inicial e desligado, ou seja, quando o potencial de entrada é $V_E = 0$ V, a diferença de potencial entre a porta e a fonte do transistor pmos será de $-V_{DD}$ e do transistor nmos será zero, neste

estado, o transistor pmos estará conduzindo enquanto o nmos, na região de corte, portanto, a tensão que será transmitida na saída do inversor será a mesma do potencial da fonte pmos, ou seja $V_S = V_{DD}$, nessa situação, a corrente que passa pelos dois transistores será praticamente nula em regime permanente.

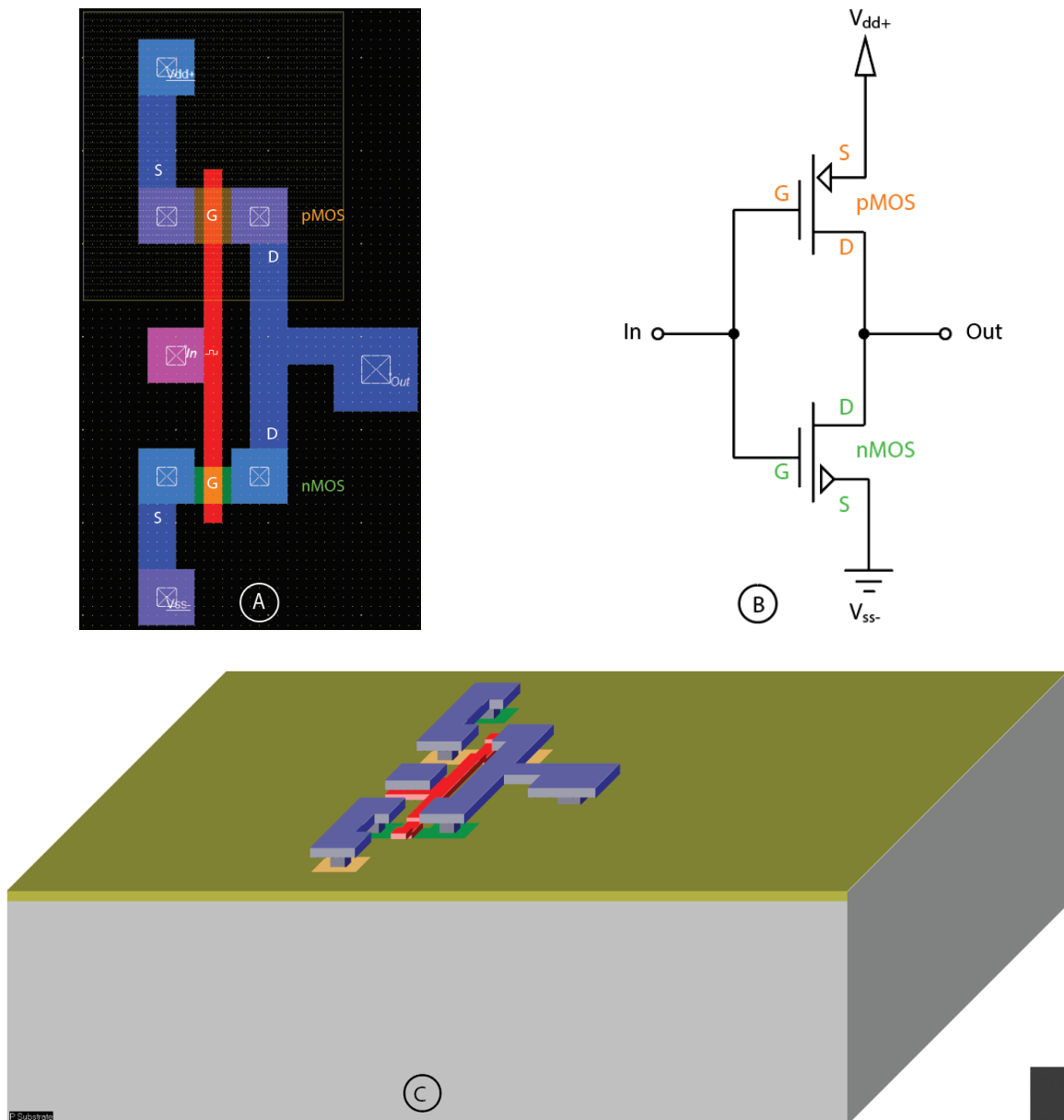


figura 2.7 – inversor com transistores pmos e nmos em série (A) design do Microwind (B) figura simbólica do inversor (C) imagem 3D do mesmo inversor apresentado em 2.7 (A).

O início da passagem de corrente através do dispositivo, se inicia na região de operação (B) da figura 2.8, quando o valor de V_E é aumentado além da tensão de limiar do transistor nmos

reduzindo o potencial de saída, neste estado, o potencial de saída estará próximo a V_{DD} , e o transistor nmos entrará em saturação enquanto o pmos, na região de triodo, o aumento da tensão V_E provoca uma maior corrente elétrica fluindo através do transistor nmos e, portanto, uma redução ainda maior na tensão de saída.

Continuando a aumentar V_E , o dispositivo entra na região de operação (C) da figura 2.8, onde os dois transistores passarão para a região de saturação, com a máxima corrente elétrica fluindo na estrutura, nesta região há uma súbita diminuição da tensão de saída para uma determinada tensão de entrada, denominada tensão de inversão lógica (V_{INV}).

Na região de operação (D) da figura 2.8, a entrada se encontra com a tensão polarizada maior que V_{INV} , nessa região, o transistor nmos deixara de operar em saturação e passara à região de triodo, o transistor pmos permanece em saturação.

Elevando a tensão de entrada para um valor no qual a diferença de potencial entre a porta e fonte do transistor pmos seja inferior à sua tensão de limiar, o dispositivo entra na região de operação (E) da figura 2.8. Nessa região, o transistor pmos estará na região de corte enquanto o nmos permanecerá em triodo. Neste caso, novamente nenhuma corrente elétrica flui na estrutura e o potencial da fonte do transistor nmos será levado a saída $V_S = 0$ (João Antonio Martino, 2003).

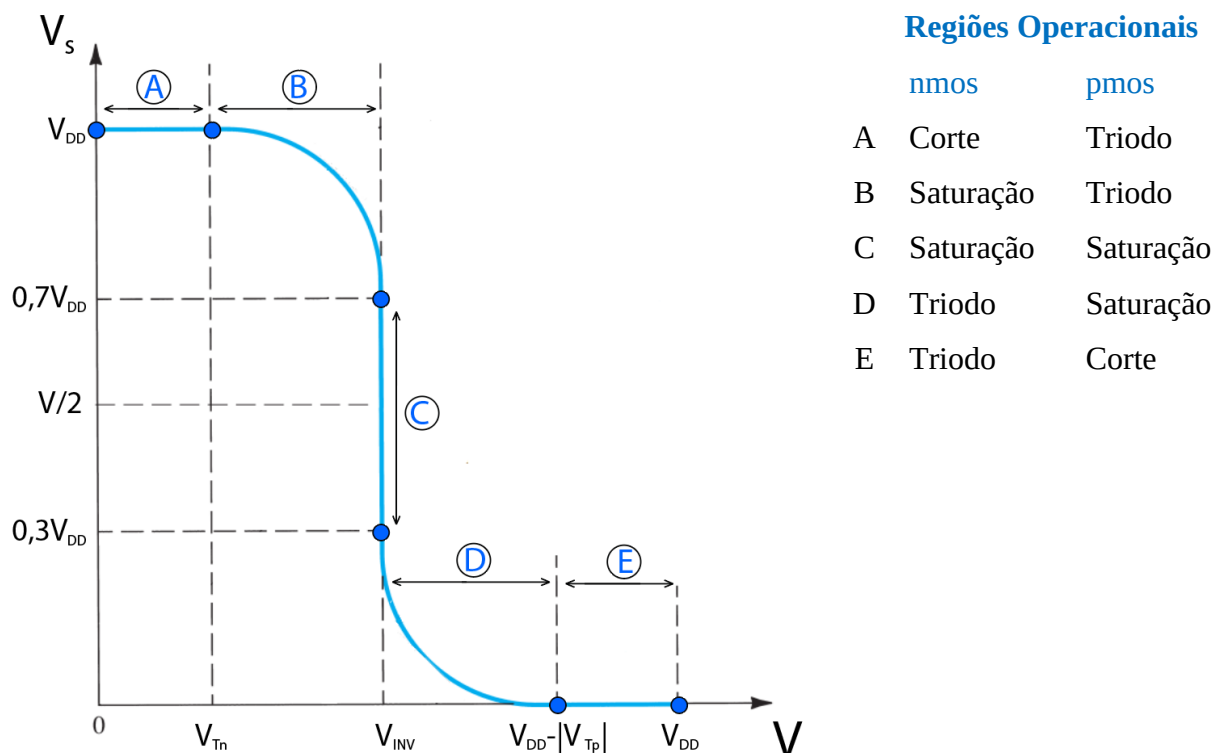


figura 2.8 – Curva de transferência estática de um inversor CMOS.

2.3. Oscilador de anel e sua frequência de oscilação.

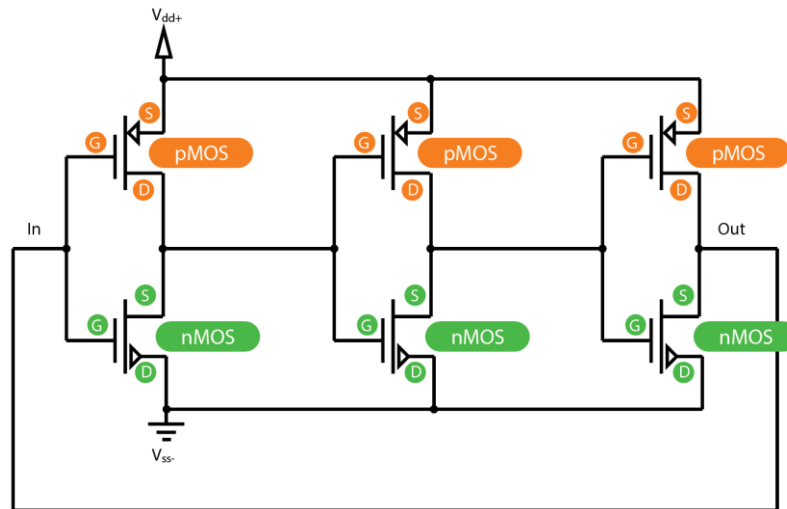


figura 2.9 – oscilador em anel de três estágios.

Um oscilador em anel que pode ser observado na figura 2.9, é um circuito composto por um número ímpar de inversores ou portas NOT, que são conectados em série com *feedback* positivo, sendo que sua saída oscila entre dois níveis de tensão 1 ou 0. Esses osciladores possuem um número ímpar 'n' de inversores, onde cada inversor recebe o nome de “estágio” que pode variar de acordo com a frequência que queremos gerar a partir deste oscilador (Arya Tah, 2013).

Os osciladores em anel projetados com uma cadeia de estágios de atraso criaram grande interesse por causa de seus inúmeros recursos úteis, eles podem ser facilmente projetados com a tecnologia de circuito integrado de última geração como cmos, podem atingir suas oscilações em baixa tensão, fornecer oscilações de alta frequência com dissipação de baixa potência, ser eletricamente sintonizado, fornecem ampla faixa de sintonia e podem fornecer saídas multifásicas devido à sua estrutura básica (M. K. Mandal, 2010).

Essas saídas podem ser combinadas logicamente para realizar sinais de clock multifásicos, que têm uso considerável em várias aplicações em sistemas de comunicação, a frequência de oscilação de um oscilador em anel depende do atraso de propagação τ_d por estágio e, do número de estágios usados na estrutura do anel, para alcançar a oscilação

autossustentada, o anel deve fornecer um deslocamento de fase de 2π e possuir um ganho de tensão unitário na frequência de oscilação.

Em um oscilador em anel de estágio n , cada estágio fornece uma mudança de fase de π/n e a inversão dc fornece a mudança de fase restante de π ., portanto, o sinal oscilante deve passar pelo menos uma vez por cada um dos estágios de atraso n para fornecer a primeira mudança de fase π em um tempo de $n\tau_d$ e deve passar por cada estágio uma segunda vez para obter a mudança de fase π restante em um período de $2n\tau_d$, assim, a frequência de oscilação é dada pela equação 2.4 (Stephen Docketing, 2004):

$$f_0 = 1/2n\tau_d \quad (2.4)$$

A frequência de oscilação de um oscilador em anel pode ser determinada a partir da expressão de τ_d que depende dos parâmetros do circuito, mas a principal dificuldade na obtenção da expressão de τ_d surge devido às não linearidades e parasitas do circuito, geralmente, os osciladores em anel de terminação única, consistem em uma célula de atraso CMOS composta por um pmos e um transistor nmos com elemento de atraso adicional em sua saída, ao alternar entre ligado e desligado, o transistor MOS executa as operações em saturação, linear e modo de corte, considerando que a entrada de um inversor muda de baixo ($v_{in} = 0$) para alto ($v_{in} = V_{DD}$), o pmos estará na região de corte, e o capacitor C descarregará através do transistor nmos, sendo que a corrente de descarga é dada pela equação 2.5 (M. K. Mandal, 2010):

$$I_{DN} = -C \, dv_{out}/dt \quad (2.5)$$

A propagação de saída para o tempo de atraso do alto para baixo (τ_{dhl}) é definida como o tempo de queda da tensão de saída de V_{DD} para $V_{DD} / 2$ e pode ser expressa como a equação 2.6:

$$\tau_{dhl} = \int_{V_{DD}}^{V_{DD}/2} dv_{out}/I_{DN} \quad (2.6)$$

Onde I_{DN} representa a corrente de dreno do transistor metal-óxido-semicondutor de canal n (nmos). O transistor nmos muda seu modo de operação da saturação para o linear durante a transição alta para baixa em $v_{out} = V_{DD} - v_{TN}$ enquanto $v_{in} = V_{DD}$ durante toda a transição, onde v_{TN} é a tensão de limiar do transistor nmos, o integral acima deve ser resolvido para cada região de operação separadamente e, assim, temos a equação 2.7 (M. K. Mandal, 2010):

$$\tau_{dhl} = -C \int_{V_{DD}}^{V_{DD}-v_{TN}} dv_{out}/I_{DN} - C \int_{V_{DD}-v_{TN}}^{V_{DD}/2} dv_{out}/I_{DNL} \quad (2.7)$$

A corrente de dreno em saturação e modo linear do transistor nmos pode ser expressa como $I_{DNS} = g_N(V_{DD} - v_{TN})^2/2$ e $I_{DNL} = g_N v_{out}[(V_{DD} - v_{TN}) - \frac{v_{out}}{2}]$, respectivamente. Aqui, g_N é o parâmetro de transcondutância do transistor NMOS, assim, avaliando a integração da equação 2.7, obtém-se a equação 2.8 (M. K. Mandal, 2010):

$$\tau_{dhl} = \frac{C}{g_n(V_{DD} - v_{TN})} \left\{ \frac{2v_{TN}}{(V_{DD} - v_{TN})} + \ln \left(\frac{3V_{DD} - 4v_{TN}}{V_{DD}} \right) \right\} \quad (2.8)$$

Agora, considerando o tempo de atrasado da propagação de saída de baixo para o alto (τ_{ahl}), que é definido como o intervalo de tempo para atingir a tensão de saída a 50% do seu valor máximo V_{DD} . Quando a entrada de um inversor muda de alto para baixo, o transistor nmos vai para a região de corte, neste momento, o transistor pmos carrega o capacitor C e, a corrente de carga é dada pela equação 2.9:

$$I_{DP} = C \, dv_{out}/dt \quad (2.9)$$

O transistor pmos muda o modo de operação durante a saída de transição baixa para alta, e muda de saturação para modo linear quando V_{out} atinge $-v_{TP}$ enquanto $v_m = 0$ durante toda a transição. Assim, o tempo de atraso de propagação pode ser expresso como (M. K. Mandal, 2010):

$$\tau_{dlh} = C \int_0^{-v_{TP}} dv_{out}/I_{DPS} + C \int_{-v_{TP}}^{V_{DD}/2} dv_{out}/I_{DPL} \quad (2.10)$$

A corrente de drenagem do transistor pmos em saturação e modo linear pode ser expressa como: $I_{DPS} = g_p(V_{DD} - v_{TP})^2/2$ e $I_{DPL} = g_p(v_{DD} - v_{out})[(v_{DD} + v_{TP}) - (v_{DD} - v_{out})/2]$ Assim, avaliando a integração na equação 2.10 obtém-se a equação 2.11:

$$\tau_{dlh} = \frac{C}{g_p(V_{DD} - v_{TP})} \left\{ \frac{2v_{TP}}{(V_{DD} - v_{TP})} + \ln \left(\frac{3V_{DD} - 4v_{TP}}{V_{DD}} \right) \right\} \quad (2.11)$$

Portanto, o tempo de atraso total no decaimento e aumento para o oscilador em anel do estágio n é $n(\tau_{ahl} + \tau_{dlh})$ e a frequência de oscilação é dada pela equação 2.12 (M. K. Mandal, 2010):

$$f_0 = 1/n(\tau_{ahl} + \tau_{dlh}) \quad (2.12)$$

Assim, podemos concluir que o número de estágios do inversor usados na estrutura do anel e o atraso de propagação dos estágios de atraso limitam a frequência de oscilação do oscilador em anel (M. K. Mandal, 2010).

3. MATERIAIS E MÉTODOS

Os nós tecnológicos do oscilador em anel, passou por muitas mudanças nas últimas duas décadas, por isso, para estudar e entender o seu funcionamento foi necessário utilizar a tecnologia de 1,2 μm e uma mais recente, de 130 nm. A tecnologia de 1,2 μm , apesar de ser mais antiga é mais bem descrita pelos modelos que são implementados na versão acadêmica do software Microwind. O projeto inicial do oscilador em anel foi baseado nos designs encontrados na literatura (João Antonio Martino, 2003), após o desenvolvimento do layout final do oscilador em anel, foi utilizado uma ferramenta oferecida pelo Microwind para a extração do código AIM-Spice contendo todas as informações técnicas do projeto, incluindo suas dimensões e capacitâncias internas, com as informações obtidas com os dois softwares, foi possível avaliar os parâmetros de resposta em frequência, assim como a frequência de oscilação de todos os layouts dos osciladores em anel projetados para o trabalho.

Cada nó tecnológico utilizado durante o projeto, requer um espaçamento mínimo entre os materiais, por isso o design dos layouts dos inversores de cada estágio do oscilador em anel, levou em consideração este espaçamento afim de otimizar a área total utilizada, as dimensões do nmos (W_n e L_n) e pmos (W_p e L_p) que compõe o inversor de cada um dos estágios do oscilador em anel, também levou em consideração os valores mínimos suportados pelo Microwind, sendo que cada tecnologia possui dimensões diferentes que afetam diretamente o fator ganho dados pelas equações 3.01 e 3.02:

$$\beta_p = \frac{\mu_p \epsilon_{ox}}{X_{ox}} \left(\frac{W_p}{L_p} \right) \quad (3.01)$$

$$\beta_n = \frac{\mu_n \epsilon_{ox}}{X_{ox}} \left(\frac{W_n}{L_n} \right) \quad (3.02)$$

Essas mesmas medidas mínimas foram utilizadas para realizar os cálculos teóricos e, seus resultados, para realizar uma comparação com os gerados a partir da simulação do Microwind e AIM-Spice. Por um lado, a comparação mostrou resultados próximos para o nó tecnológico de 1,2 μm , mas para outro, mostrou resultados distintos para a tecnologia de 130 nm, a seguir, será mostrado mais detalhadamente o processo utilizado para a construção dos layouts dos osciladores em anel, assim como a extração de dados das simulações e o motivo pela diferença entre os valores das simulações com os valores teóricos da tecnologia de 130 nm.

3.1. Microwind.

O software Microwind parametriza todas as dimensões do projeto em unidades de λ . Cada duas unidades de λ correspondem ao valor da dimensão mínima da tecnologia. Assim, quando se inicia um projeto, é necessário escolher uma *foundry* que contenha a biblioteca da tecnologia desejada, e para a tecnologia de $1,2\ \mu\text{m}$, foi utilizado a *foundry* cmos12.rul.

Antes de fazer o *design* dos inversores, é necessário projetar os transistores que serão utilizados pela tecnologia desejada, no caso, a de $1,2\ \mu\text{m}$, na figura 3.1, é possível observar os transistores nmos (A) a esquerda e pmos (B) a direita, as cores e números na figura 3.1 representam diferentes materiais que serão definidos a seguir, na tabela 3.1:

tabela 3.1 – definição dos números referentes a figura 3.1.

Número	Cor	Material
1	Azul	Metal
2	Verde	Difusão N+
3	Laranja	Polissilício
4	Marrom	Difusão P+
5	Pontilhado	N Well
6	----	Contatos

Para circuitos digitais, usualmente utiliza-se a menor dimensão possível da tecnologia que não apresente degradação em performance devido aos efeitos de canal curto, assim neste projeto foram utilizadas as dimensões para o nmos de $W_n = 2,4\ \mu\text{m}$ e $L_n = 1,2\ \mu\text{m}$, e para o pmos, $W_p = 3,6\ \mu\text{m}$ e $L_p = 1,2\ \mu\text{m}$, a partir da figura 3.1, onde λ é igual a $0,600\ \mu\text{m}$ (tecnologia de $1,2\ \mu\text{m}$), é possível observar as medidas do comprimento e largura do canal de ambos os transistores (figuras 3.1 A e B).

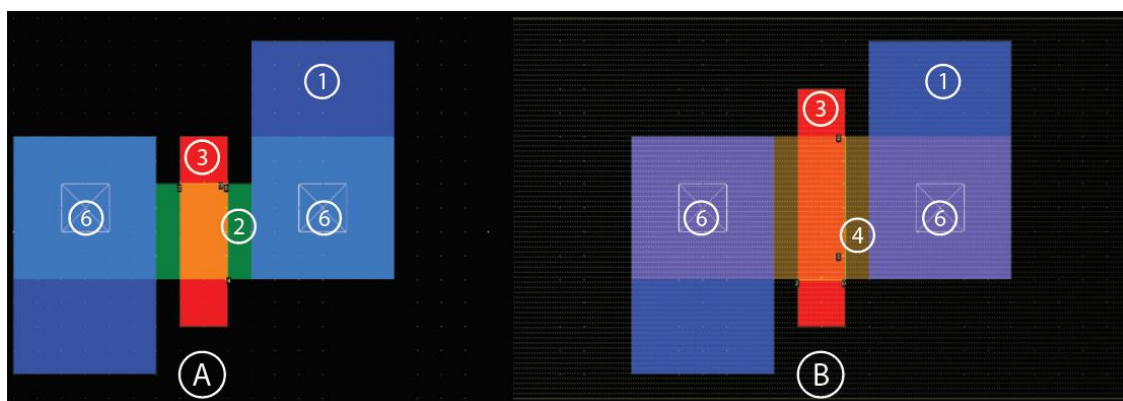


figura 3.1 – esquemático dos transistores nmos (A) e pmos (B) do nó tecnológico de 1,2 μm .

O oscilador em anel é formado por um conjunto ímpar e primo de inversores conectados entre si, com uma realimentação positiva, o inversor utilizado no oscilador em anel de tecnologia de 1,2 μm , utilizou medidas dos transistores anteriores, e seu design final pode ser observado na figura 3.2, sendo que a tabela 3.2 descreve o significado das marcações numéricas.

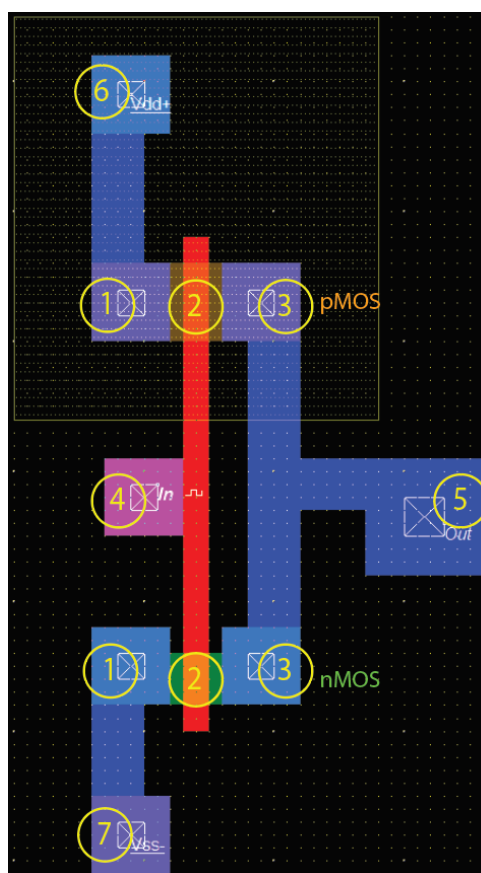


figura 3.2 – esquemático do inversor CMOS de nó tecnológico de 1,2 μm .

tabela 3.2 – descrição das marcações numéricas a figura 3.2.

Número	Descrição
1	Fonte
2	Gate
3	Dreno
4	Entrada
5	Saída
6	Alimentação V_{dd} + (fonte)
7	Alimentação V_{ss} – (terra)

4. RESULTADOS E DISCUSSÕES

4.1. Projeto e *layout* do oscilador em anel de 1,2 μm .

O processo de construção do oscilador em anel de 3 estágio, foi utilizado tanto para o nó tecnológico de 1,2 μm quanto para o 130 nm, para cada um dos nós tecnológicos, foi mantida as relações de λ , porém, cada tecnologia possui diferentes regras de *layout* (principalmente quanto aos espaçamentos mínimos) que precisam ser seguidos para evitar qualquer curto ou aberto indesejável, a seguir, na figura 4.1 é possível observar o processo de construção do oscilador em anel de 3 estágios do nó tecnológico de 1,2 μm .

Para o desenvolvimento do oscilador em anel, foram utilizadas as mesmas dimensões do inversor da figura 3.2. A versão final do oscilador também pode ser observada na figura 4.2 onde temos os três inversores (três estágios) destacados em branco com os números 1, 2 e 3.

No *layout* apresentado na figura 4.2, podemos observar que a fonte dos três transistores pmos estão conectados no $V_{dd} +$ de 5 V, e as fontes dos transistores nmos, conectados no terra V_{ss} , temos também, a saída dos inversores conectados na porta do próximo inversor, na saída do inversor 3, temos a realimentação positiva representado pelo metal azul escuro (diferente nível de altura em relação ao azul claro) onde o número 4, marca a saída do inversor 3 e o número 5, a entrada do inversor 1.

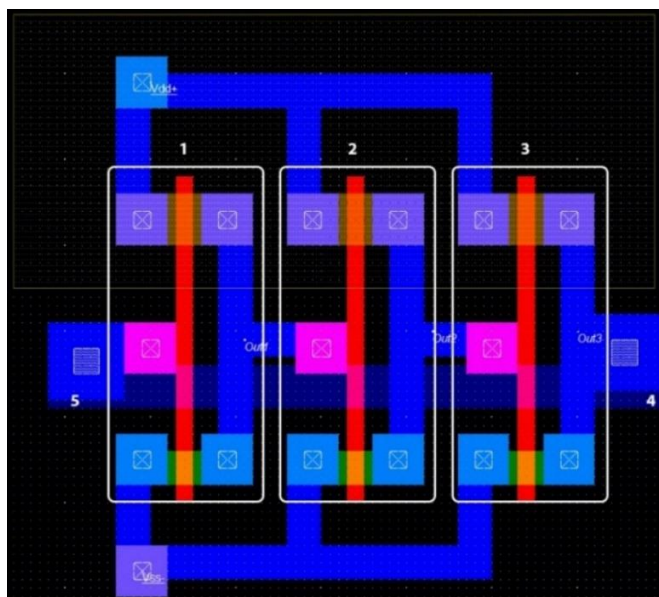


figura 4.2 – oscilador em Anel de nó tecnológico de 1,2 μm de três estágios.

A seguir, pode ser observado o design final do oscilador de 5 estágios (figura 4.3), e depois, abaixo das etapas de construção do oscilador em anel, na figura 4.4, o oscilador em anel de 7 estágios.

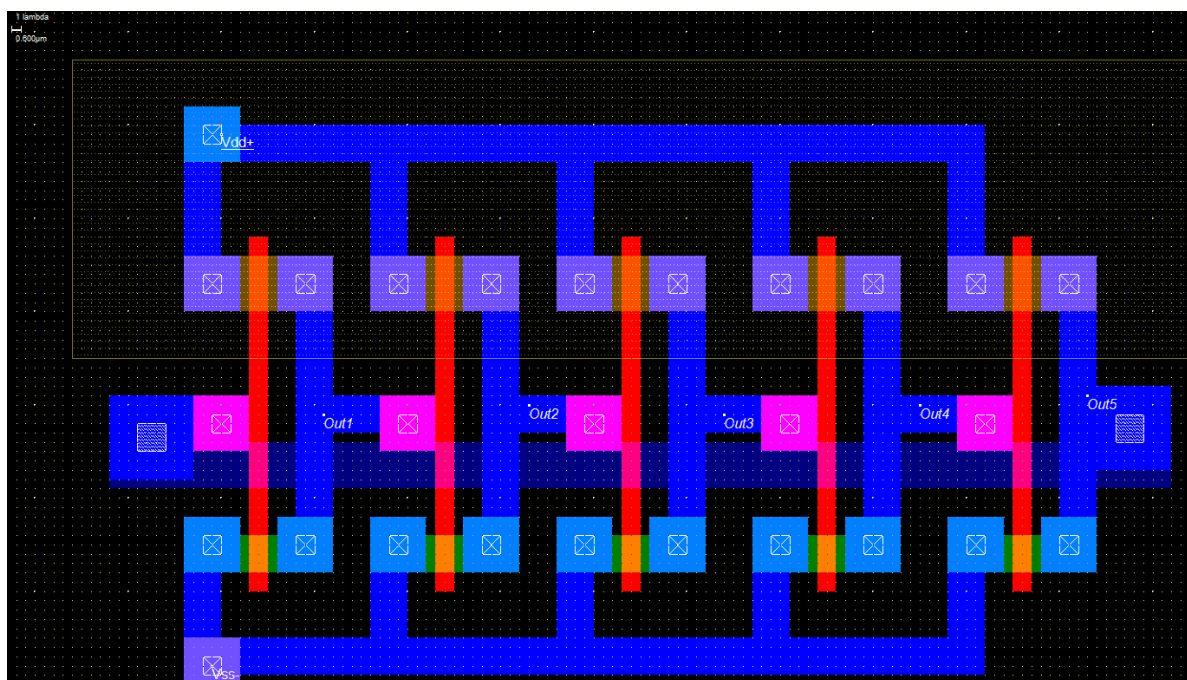


figura 4.3 – oscilador em Anel de nó tecnológico de 1,2 μm de cinco estágios.

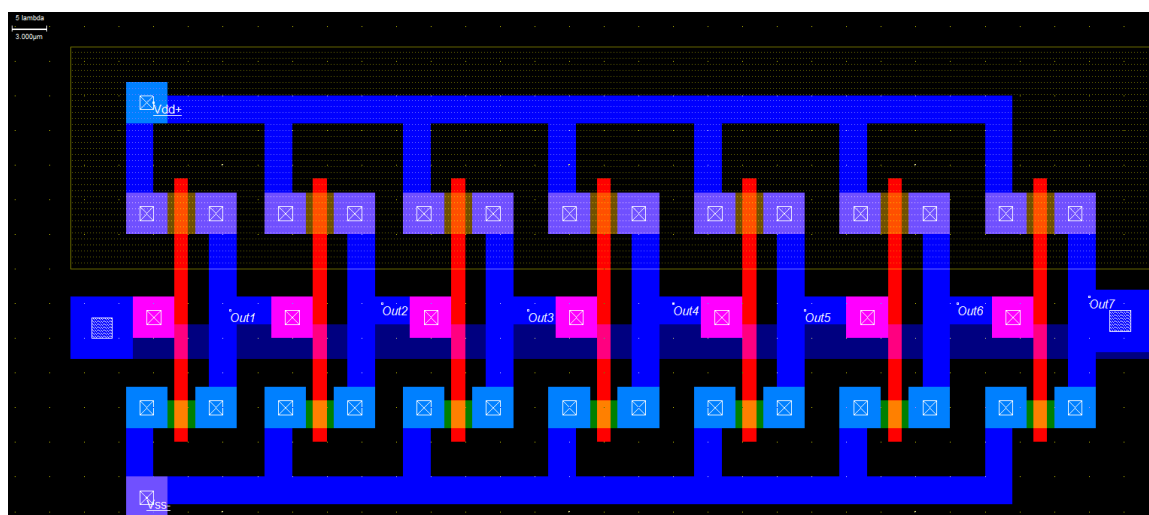


figura 4.4 – oscilador em Anel de nó tecnológico de 1,2 μm de sete estágios.

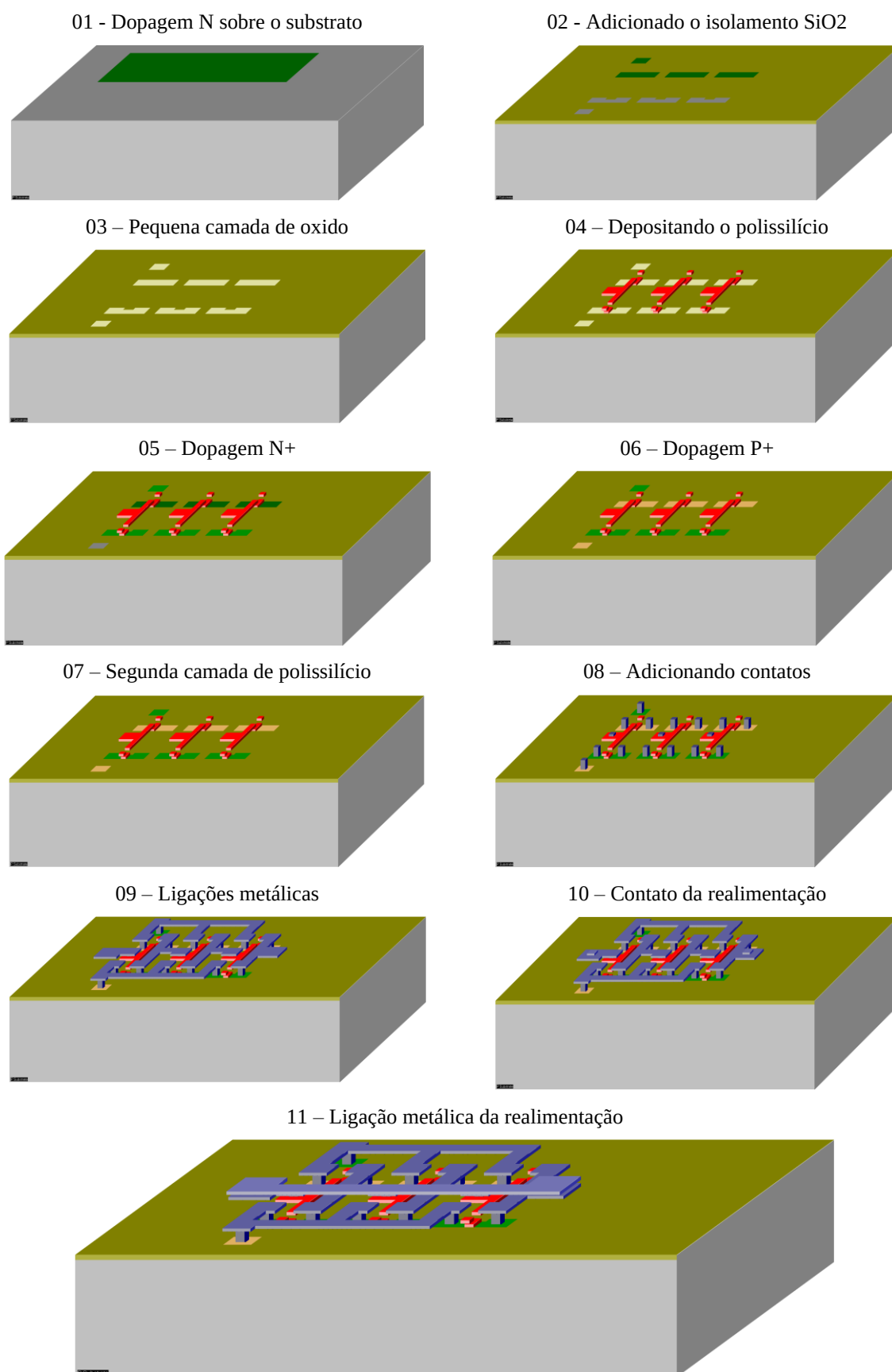


figura 4.1 – sequência das principais etapas de projeto de um oscilador em anel de 3 estágios.

4.2. Projeto e layout do oscilador em anel de 130 nm.

O software Microwind armazena os parâmetros do processo em arquivos do tipo ‘.RUL’ que contém todas as regras de *layout* que precisam ser obedecidas para cada tecnologia. Todas as dimensões dos dispositivos são parametrizadas por λ , onde λ equivale à metade da dimensão mínima da tecnologia, assim, o mesmo *layout* pode ser simulado em qualquer tecnologia CMOS considerando as mesmas condições de projeto. No caso da tecnologia de 130 nm, é utilizado a *foundry* cmos012.rul, dessa maneira é possível escalonar as medidas da tecnologia de 1,2 μm para 130 nm utilizando o valor de λ que é reajustado com a *foundry* cmos012.rul.

Assim, o design dos osciladores em anel de 3, 5, 7 e 11 estágios do nó tecnológico de 130 nm, seguiu o mesmo padrão de construção do 1,2 μm , com a diferença nas dimensões mínimas do nmos e pmos que passaram a ser de $W_n = 0,24 \mu\text{m}$, $L_n = 0,12 \mu\text{m}$, $W_p = 0,36 \mu\text{m}$ e $L_p = 0,12 \mu\text{m}$. Nas Figura 4.5, 4.6, 4.7 e 4.8 a seguir, temos o design final dos osciladores em anel de 3, 5, 7 e 11 estágios respectivamente, com o nó tecnológico de 130 nm e espaçamentos mínimos entre os materiais.

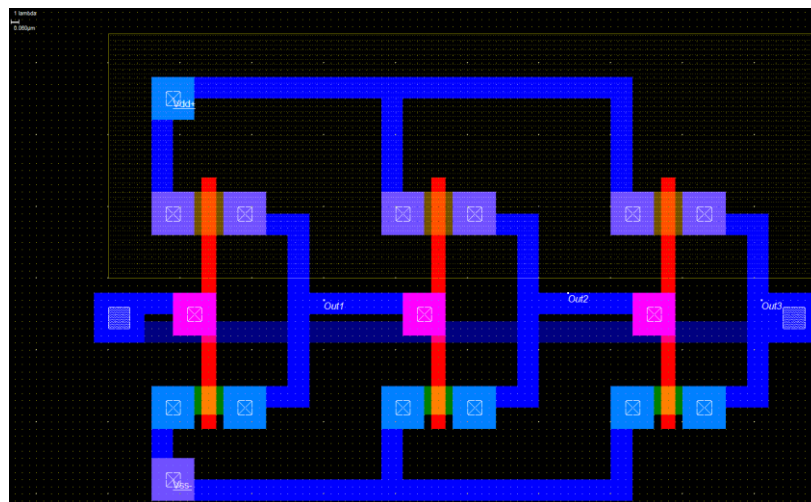


figura 4.5 - oscilador em anel de nó tecnológico de 130 nm e três estágios.

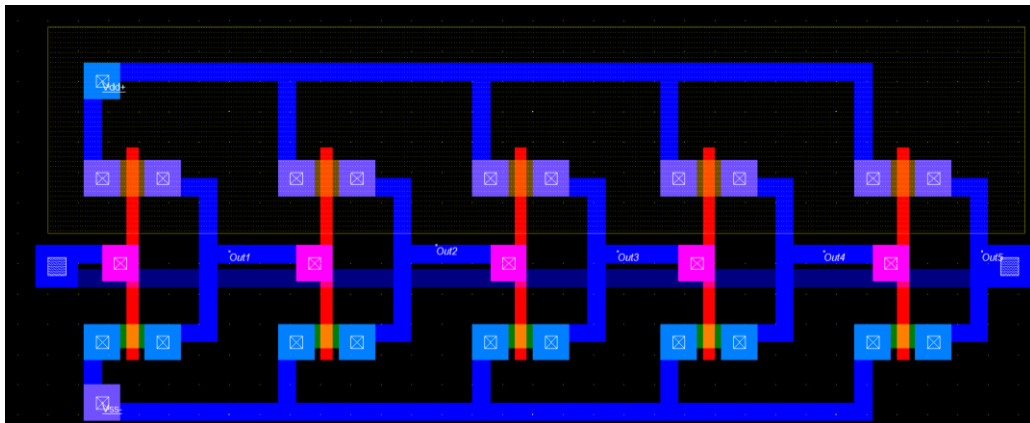


figura 4.6 - oscilador em anel de nó tecnológico de 130 nm e cinco estágios.

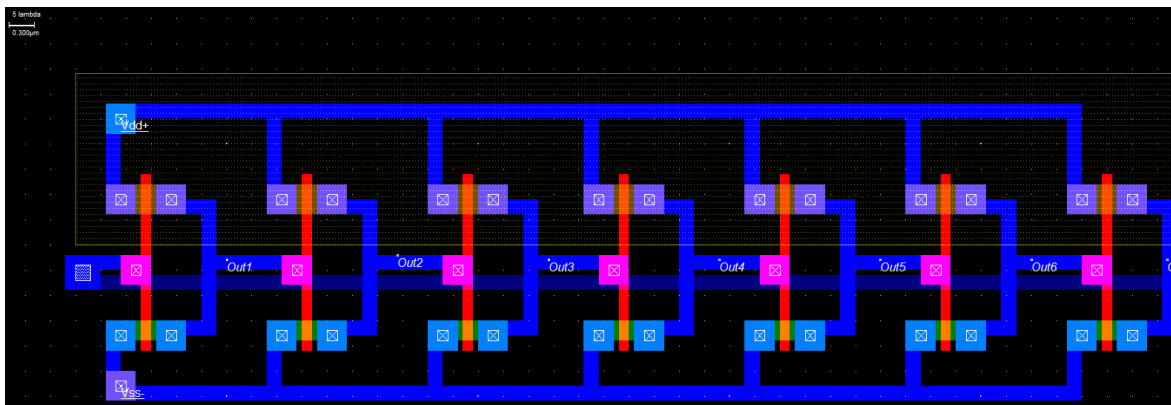


figura 4.7 - oscilador em anel de nó tecnológico de 130 nm de sete estágios.

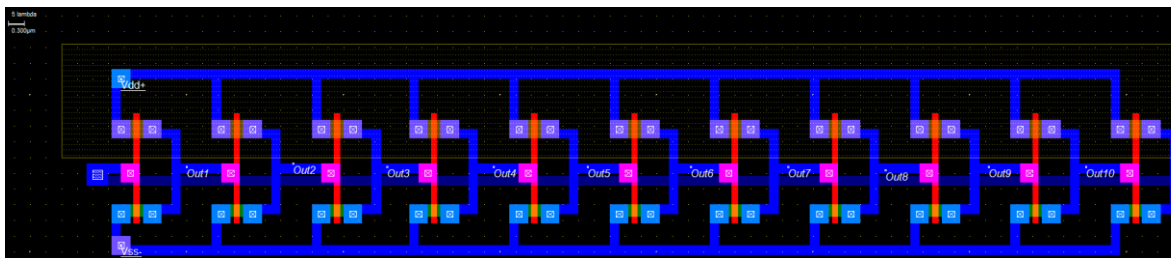


figura 4.8 - oscilador em anel de nó tecnológico de 130 nm de onze estágios.

4.3. Resultados elétricos obtidos do inversor e osciladores em anel projetados.

Assim como o mencionado no capítulo 2, a partir da simulação do inversor lógico é possível extrair informações como tempo de subida t_r e de descida t_f , margens de ruído em nível baixo MR_l e alto, MR_h , tensão de inversão V_{inv} e capacitância de saída C_l que será utilizado nos cálculos teóricos do oscilador em anel, o próximo passo após o *design* do *layout*

do inversor lógico, é inserir o valor de tensão de alimentação, que no caso do nó tecnológico de $1,2\ \mu\text{m}$ é de $V_{dd}=5\ \text{V}$ e um sinal de *clock* na entrada, o primeiro valor que pode ser extraído após a finalização do *layout* do inversor, é a capacitância de saída de $C_l = 12.5\ \text{fF}$ que pode ser observado na figura 4.9.

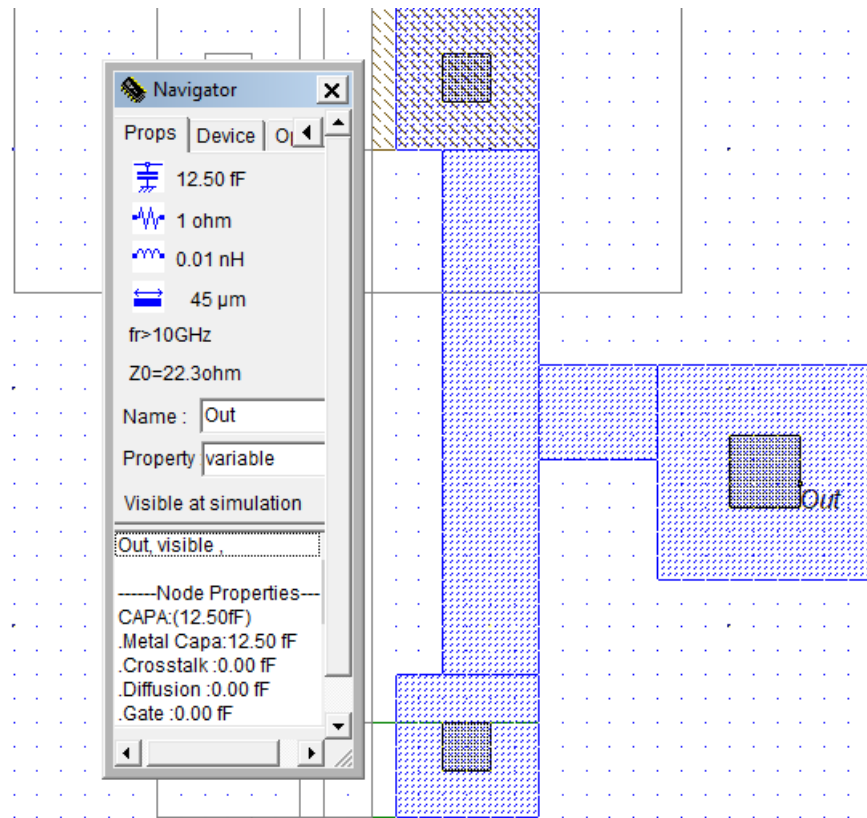


figura 4.9- capacitância de saída do inversor logico de nó tecnológico de $1,2\ \mu\text{m}$.

A partir do gráfico de tensão por tempo que pode ser observado na figura 4.10, foi possível extrair o tempo de atraso de propagação do sinal de entrada em relação a saída, o tempo de descida, é por definição, o intervalo de tempo necessário para que o sinal de saída diminua de $0,9V_{dd}$ até $0,1V_{dd}$ neste caso, foi adicionado os pontos diretamente no gráfico nas tensões de $4,5\ \text{V}$ e $0,5\ \text{V}$, a diferença no tempo entre estes dois pontos representa o tempo de descida $t_f=0,126\ \text{ns}$, similarmente, o tempo de subida é o intervalo de tempo transcorrido para o sinal de saída elevar-se de $0,1V_{dd}$ até $0,9V_{dd}$, utilizando o mesmo processo que o tempo de descida, foi encontrado o tempo de subida $t_r=0,120\ \text{ns}$. As marcações e o processo descrito anteriormente podem ser observados na figura 4.10.

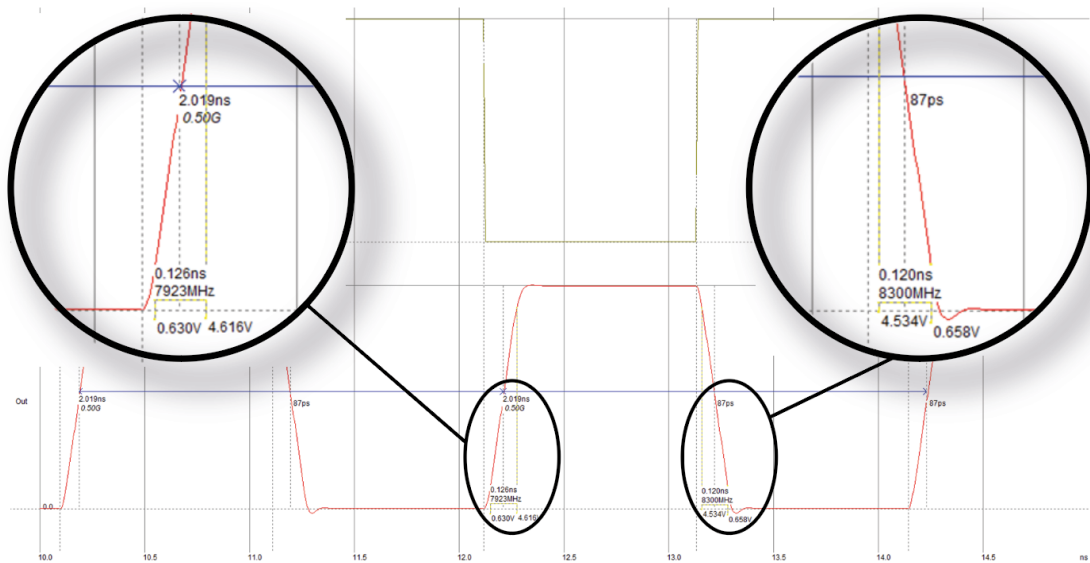


figura 4.10- processo de extração do t_r e t_f .

Para verificar a imunidade ao ruído na tensão de entrada, é necessário diferenciar a tensão de saída em relação a de entrada, e para isso, foi utilizado o gráfico da curva de transferência estática gerada pelo Microwind que pode ser observado na figura 4.11. Adicionando as duas retas tangentes a curva de transferência é possível definir as margens de ruído em nível baixo $MR_l = (1,72 - 0) = 1,72 V$ e margem de ruído em nível alto $MR_h = (5 - 2,68) = 2,32 V$, e no mesmo gráfico, também é possível extrair a tensão de inversão $V_{inv} = 2,19 V$.

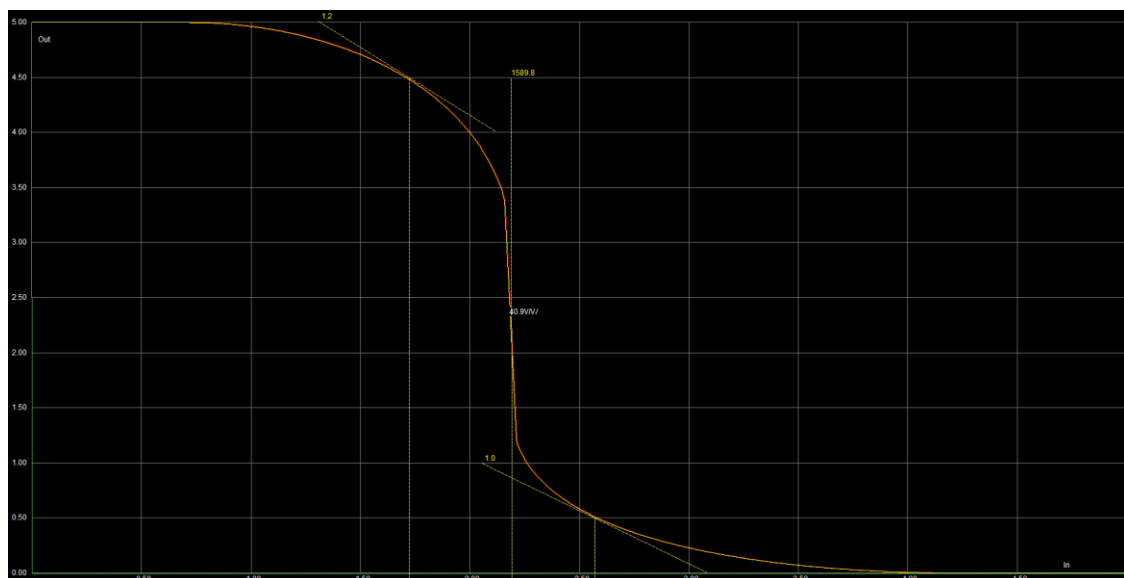


Figura 4.11- Curva de transferência estática.

A partir do projeto final dos inversores lógicos de tecnologia 1,2 μm (figura 4.12 - A) e 130 nm (figura 4.12 - B), é possível notar a diferença da área física ocupada por cada um deles, e ao mesmo tempo observar a evolução da tecnologia de 1,2 μm desenvolvida entre 1981 e 1984, com a tecnologia de 130 nm desenvolvida em 2001. A área ocupada pelo inversor de tecnologia 1,2 μm é de 66 lambdas x 36 lambdas = 0,855 nm^2 , e a área ocupada pelo inversor de tecnologia 130 nm é igual a 65 lambdas x 47 lambdas = 0,897 pm^2 , essas medidas podem ser observadas na figura 4.12.

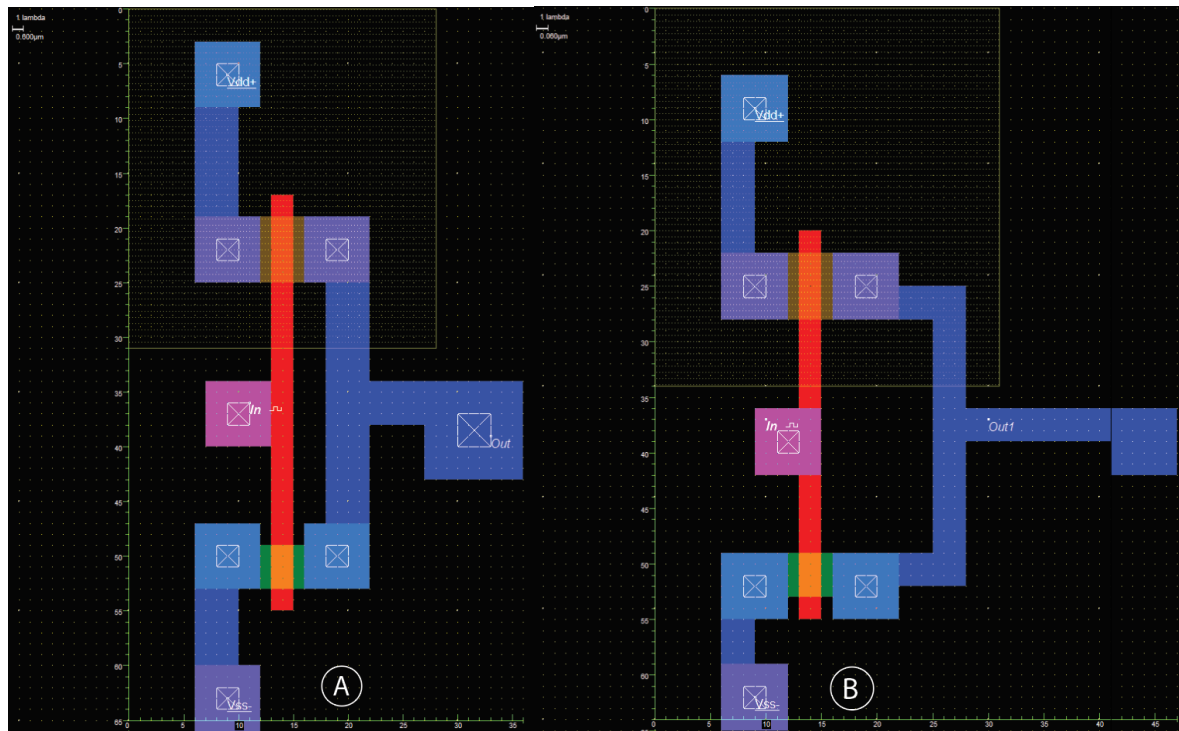


figura 4.12- comparação dimensional entre os inversores lógicos de tecnologia 1,2 μm (A) e 130 nm (B).

Conhecidos os valores do primeiro inversor, se deu início a análise do oscilador em anel de três estágio (figura 4.2). A seguir, na figura 4.13, é possível observar o gráfico de tensão (V) por tempo (ns) das saídas Out1 do primeiro inversor, Out2 do segundo inversor e Out3 do terceiro inversor, as oscilações das ondas demonstram o funcionamento do design do projeto, e permite a extração da frequência de operação de $f_0=840$ MHz, que foi extraída da saída Out3.

Também foram calculados os principais parâmetros de mérito do oscilador em anel (tempo de atraso e frequência máxima de operação) após a simulação da oscilação do sinal de saída do oscilador em anel de três estágios, alguns dos valores utilizados nos cálculos teóricos foram extraídos da própria simulação, como o $V_{tn} = V_{tp} = 0,7$ V e capacitância de saída de $C_l = 4,6$ fF.

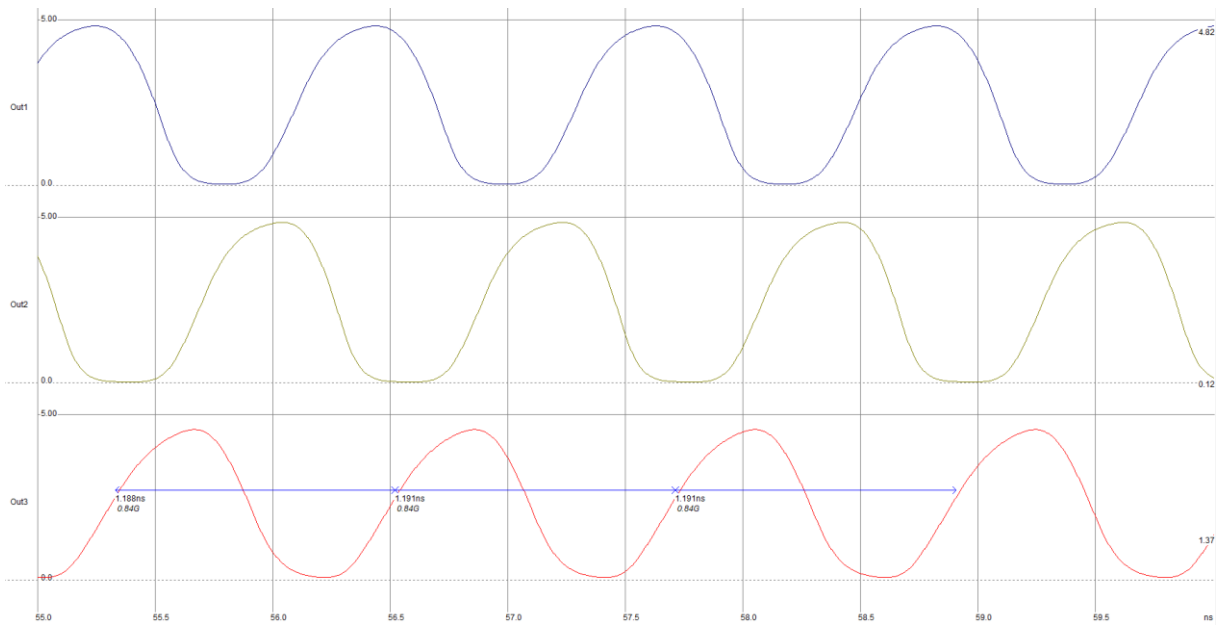


figura 4.13 – gráfico de tensão (V) por tempo (ns) do oscilador de três estágios do nó tecnológico de $1,2 \mu\text{m}$.

Os valores da tensão de alimentação de $V_{dd}=5$ V, espessura do oxido de porta $X_{ox}=70$ nm, permissividade do oxido $\epsilon_{ox} = 34,51$ pF/m, mobilidade dos elétrons $\mu_p = 0,04$ m²/s, mobilidade das lacunas $\mu_n = 0,06$ m²/s foi retirado da literatura, e a partir dos valores citados, foi calculado o fator ganho, resultado em $\beta_p=59,16$ $\mu\text{[A/V}^2]$ e $\beta_n=59,16$ $\mu\text{[A/V}^2]$, os valores do fator ganho, foram utilizados para o cálculo do tempo de o sinal de saída descer de 90% a 10% (t_f) e subir de 10% a 90% (t_r) do total (equação 4.01), resultando em um valor de $t_f=0,3919$ ns e $t_r=0,3919$ ns.

$$t_{f,r} = \frac{2C_L}{\beta_{N,P}(V_{DD} - V_{TN})} \left[\frac{(V_{TN} - 0,1V_{DD})}{V_{DD} - V_{TN}} + \frac{1}{2} \ln \left(\frac{19V_{DD} - 20V_{TN}}{V_{DD}} \right) \right] \quad (4.01)$$

Com os valores de t_f e t_r foi calculado o tempo médio de propagação do sinal lógico,

resultando em $t_d = 0.1959$ ns (equação 4.02), e por fim, foi calculado a frequência de operação do oscilador (equação 4.03), o processo de simulação e cálculo, foi replicado para os osciladores de 5, e 7 estágios, os resultados podem ser observados na figura 4.14.

$$t_d = \frac{t_f + t_r}{4} \quad (4.02)$$

$$f_0 = 1/n2t_d \quad (4.03)$$

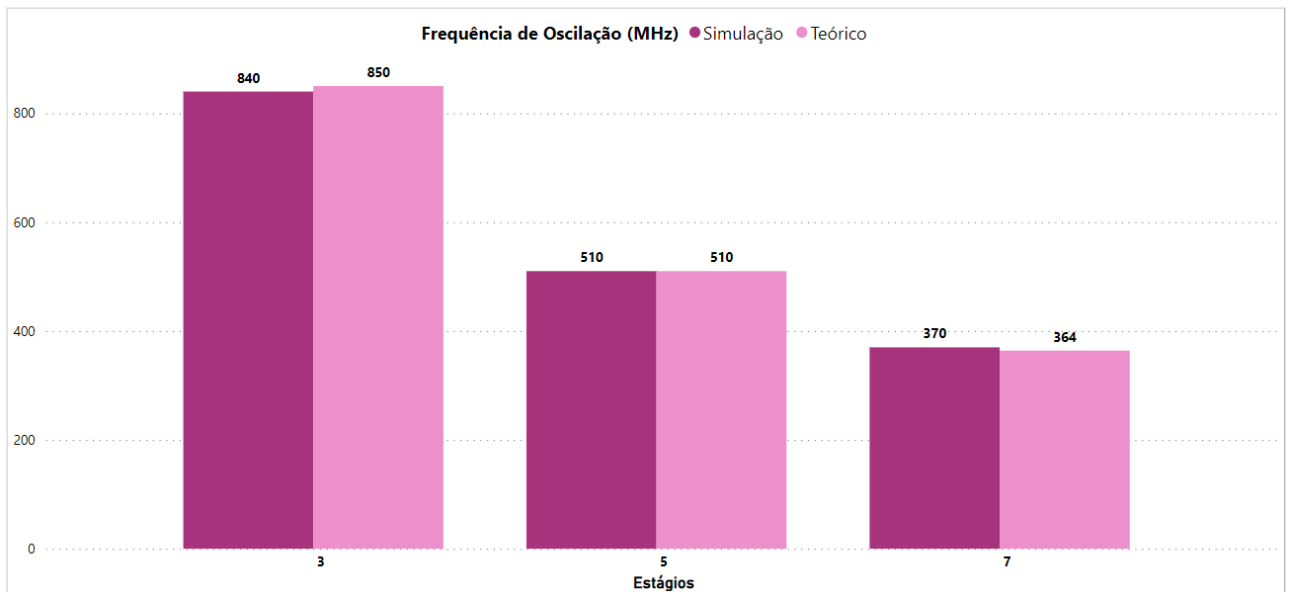


figura 4.14 – frequência de operação por números de estágios do nó tecnológico de 1,2 μm .

Uma vez que a tecnologia de 1,2 μm é bastante consolidada e os modelos que descrevem seu comportamento são bastante precisos, a similaridade entre as frequências de oscilação teórica e simulada para os osciladores em anel de 3, 5 e 7 estágios, mostram que os projetos dos osciladores simulados descrevem bem o comportamento dos circuitos trabalhando com as dimensões mínimas permitidas para esta tecnologia.

O oscilador em anel de três estágios do nó tecnológico de 130 nm utilizado nas simulações, é o mesmo mencionado no capítulo 4.2 e seu *layout* pode ser observado na figura 4.5, o dispositivo foi alimentado com uma tensão de $V_{dd}=1,2$ V e seu gráfico de oscilação pode ser observado na figura 4.15, e assim como a tecnologia de 1,2 μm , alguns dos valores utilizados no nó tecnológico de 130 nm, também foram extraídos da simulação, como o $V_{tn} = V_{tp} = 0,4$ V e a capacitância de saída $C_l = 2,38$ fF, os restantes das informações

Como é possível observar na figura 4.16, a similaridade dos resultados da frequência de oscilação obtidas com a tecnologia de 1,2 μm não se repete quando avaliamos a tecnologia de 130 nm. Um dos problemas encontrados no desenvolvimento do trabalho foi que a licença educacional oferece ótimos resultados para estudo das tecnologias mais antigas, mas não considera particularidades de tecnologias mais recentes, como é o caso da tecnologia de 130 nm.

Além disso, é também observado uma redução nesta diferença quando se aumenta o número de estágios do oscilador. Para explicar esta diferença, é necessário ter em mente que a frequência de oscilação diminui com o acréscimo de estágios, como descrito pela equação 4.03, e que usualmente é utilizado o valor do tempo de atraso do inversor para calcular a frequência de oscilação do oscilador em anel de múltiplos estágios.

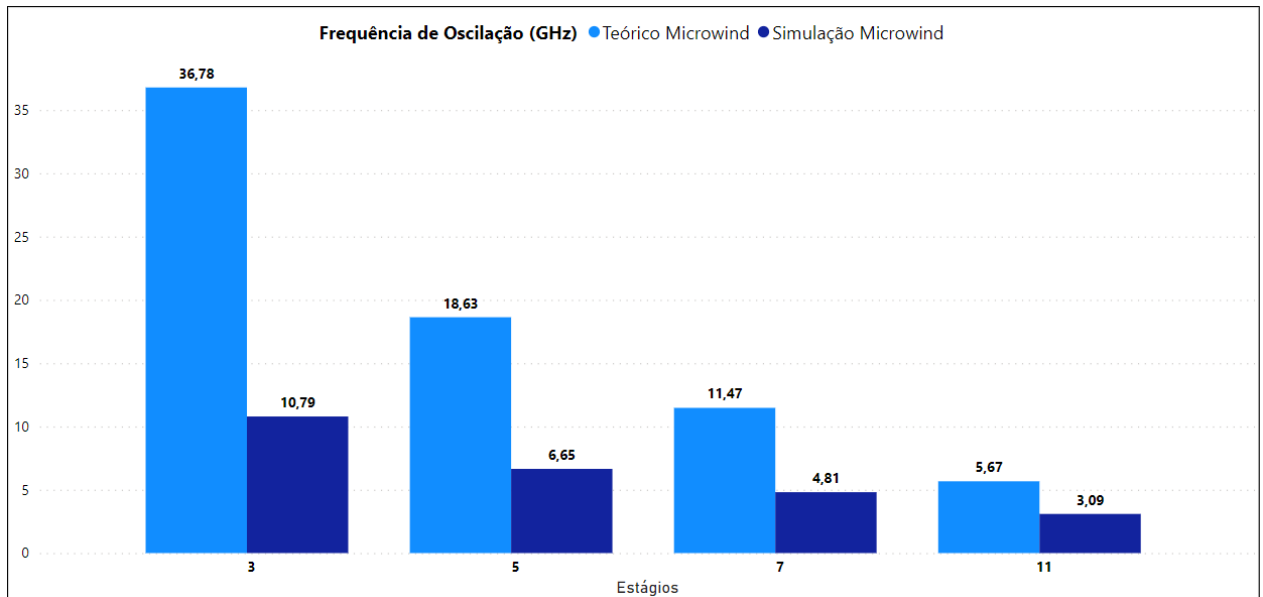


figura 4.16 - frequência de oscilação por números de estágios do nó tecnológico de 130 nm.

No entanto, é necessário levar em consideração que apesar de a capacitância vista pelo nó de saída do inversor ser a mesma que a capacitância vista pela saída de cada estágio intermediário, a capacitância de saída do último estágio (estágio de realimentação do último estágio para o primeiro), é muito diferente. Por este motivo aumentando o número de estágios o erro ao calcular o tempo de atraso médio é menor, resultando na redução da diferença entre a frequência de oscilação da simulação em relação ao teórico conforme acréscimo de estágios, a comparação entre a capacitância de saída com a capacitância do estágio anterior, pode ser observada no projeto do oscilador em anel de 3 estágios (figura 4.17) e 11 estágios (figura 4.18).

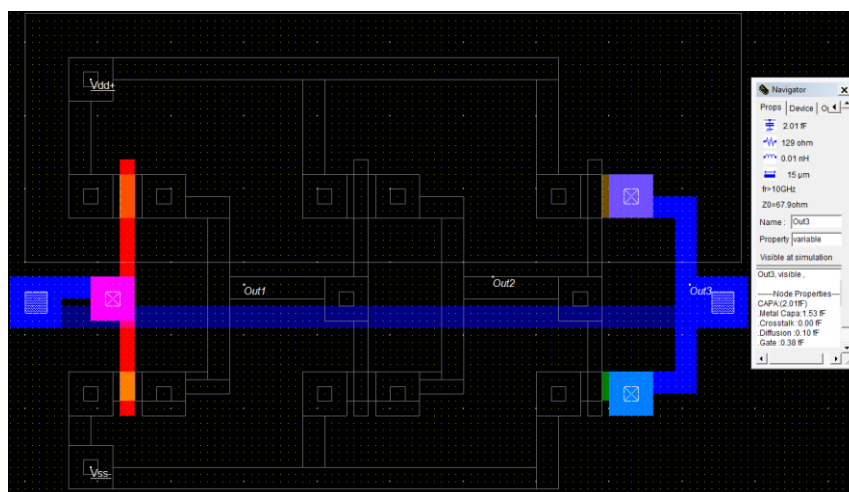
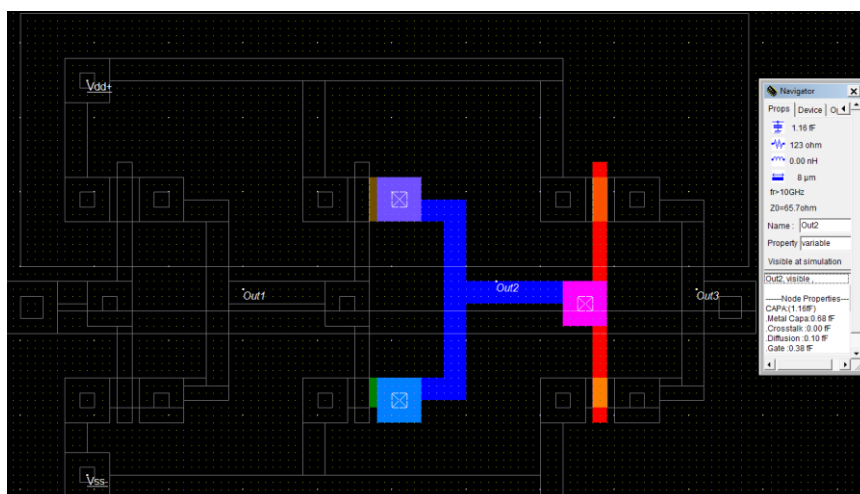
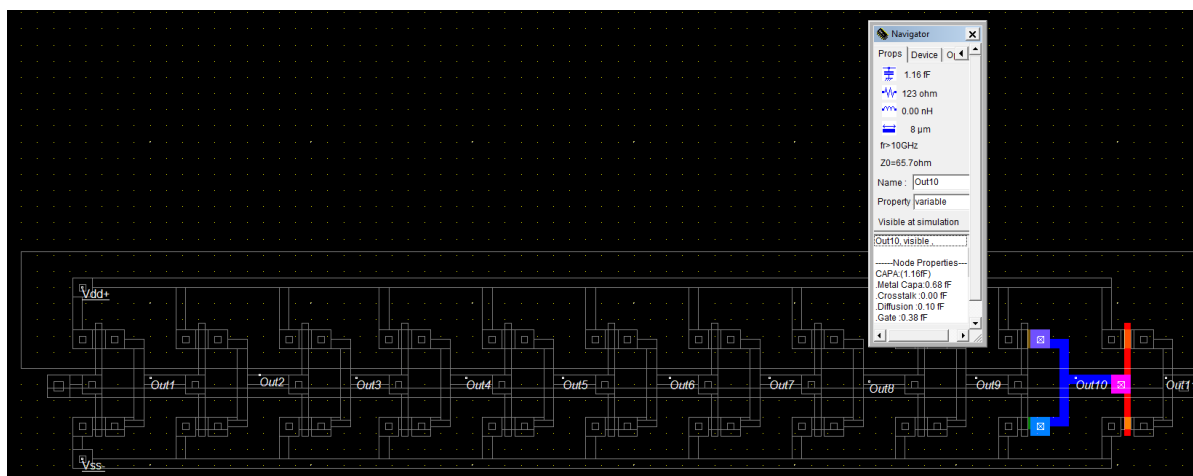


figura 4.17 - comparação entre a capacitância de saída com a capacitância do estágio anterior, do oscilador de 3 estágios.



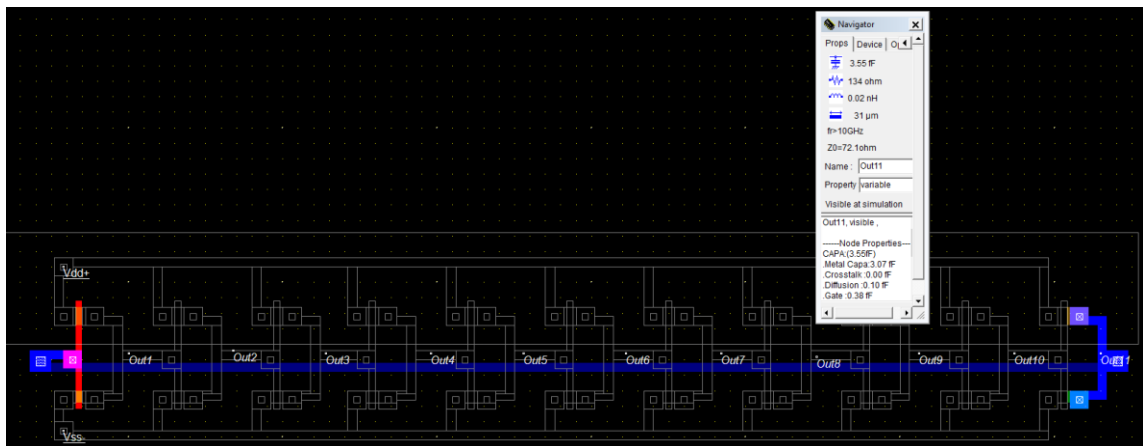


figura 4.18 - comparação entre a capacitância de saída com a capacitância do estágio anterior, do oscilador de 11 estágios.

Na tentativa de entender melhor a diferença dos cálculos entre a frequência de oscilação simulada e teórica, foi utilizado um segundo método, a partir do gráfico de tensão por tempo do inversor logico da tecnologia de 130 nm, foi extraído diretamente as informações do tempo de subida $t_r = 0,01$ ns e do tempo de descida $t_f = 0,009$ ns (figura 4.19).

Com os valores do tempo de subida e descida, foi calculado o tempo de atraso total $t_d = 4,75$ ps, e a partir do t_d , foi calculado a frequência de oscilação f_0 para o oscilador em anel de 3, 5, 7 e 11 estágios, os resultados da frequência de oscilação podem ser observados na figura 4.20.

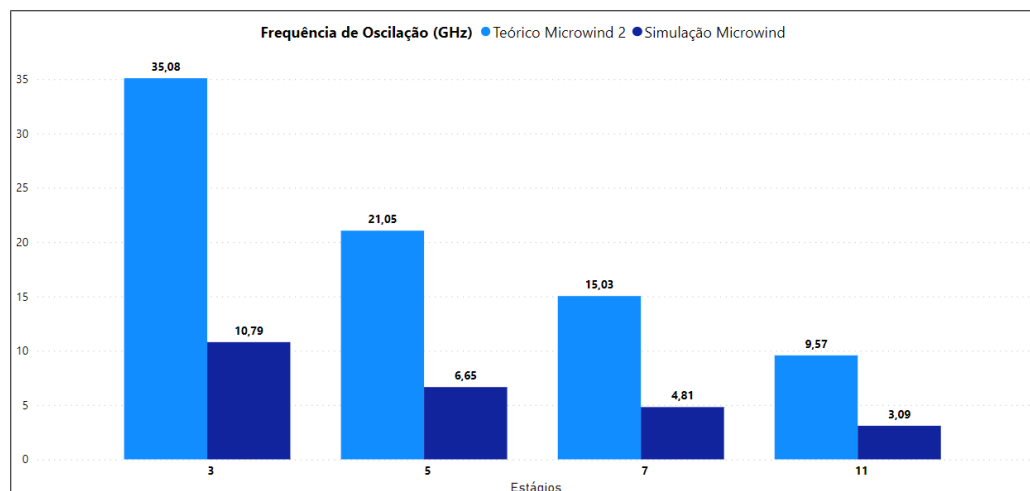


figura 4.20 – comparação das frequências de oscilação do oscilador em anel de 3, 5, 7 e 11 estágios.

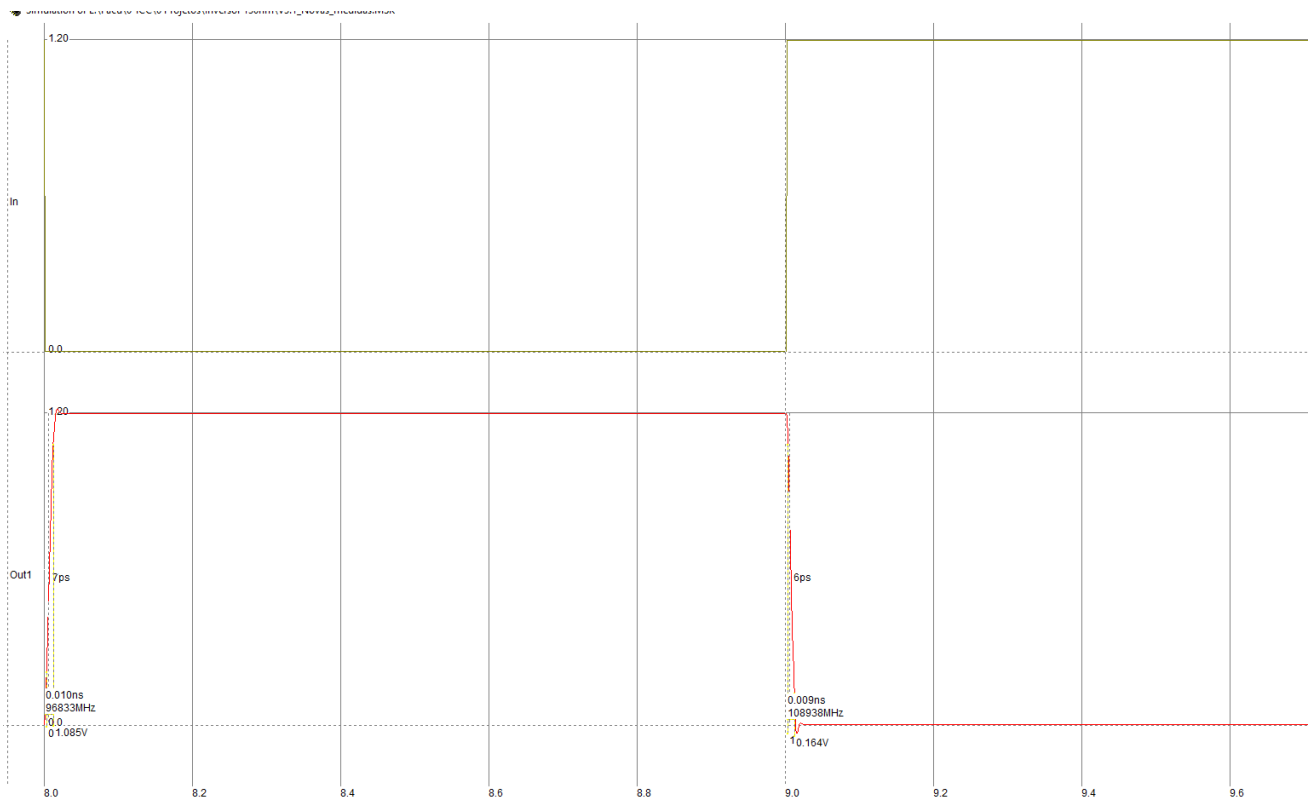


figura 4.19 - tempo de subida $t_r = 0,01$ ns e do tempo de descida $t_f = 0,009$ ns.

Mesmo utilizando diferentes métodos para o cálculo da frequência de oscilação, as discrepâncias entre os valores persistiram (figura 4.21) o que resultou na necessidade de uma análise mais detalhada. Concluiu-se que uma vez que os modelos utilizados para simulação dos parâmetros elétricos são apropriados para tecnologias de até $0,5 \mu\text{m}$, mas não era adequado para tecnologias com canais mais curtos. Assim, foi projetado o oscilador em anel do nó tecnológico de 130 nm no software Microwind, foi extraído o código SPICE completo do projeto, incluindo as capacitâncias internas inerentes ao processo e as características elétricas do mesmo foi simulado utilizando-se o software AIM-SPICE considerando o modelo que considera efeitos de canal curto. Com este processo foi possível refazer as simulações e cálculos, estes processos serão descritos no capítulo 4.4.

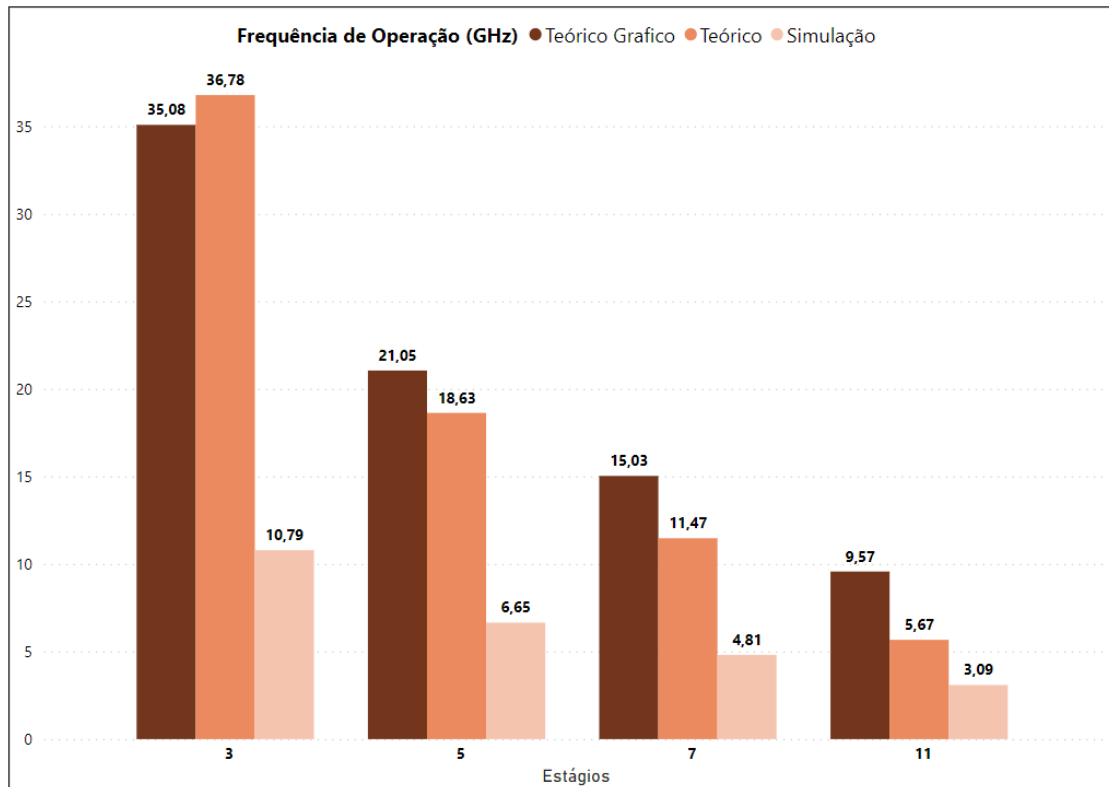


figura 4.21 – resultado das frequências dos cálculos teóricos e simulação.

4.4. AIM-SPICE.

O AIM-SPICE é uma ferramenta que permite fazer uma análise mais profunda nos parâmetros utilizados pelos modelos na simulação e alterar parâmetros baseados no que se conhece da tecnologia já consolidada. Alguns parâmetros foram alterados com base no pdk da IBM de 130 nm, como por exemplo a espessura do óxido de porta (T_{ox}) que foi alterado para 3 nm, o Microwind funciona com um T_{ox} padrão de aproximadamente 100 nm, por isso foi adicionado a nova medida de $T_{ox} = 3$ nm para todos os projetos do nó tecnológico de 130 nm. Sendo assim, o projeto do oscilador em anel utilizado no AIM-Spice continha exatamente as mesmas medidas projetadas no Microwind, porém agora considerando também parâmetros de processo mais reais.

Como mencionado anteriormente, o projeto de 130 nm utilizou uma alimentação de 1,2 V. Utilizando os dados gerados pelo AIM-Spice (tabela 4.1), foi calculado os valores de $t_f=0,03$ ns e $t_r=0,04$ ns, e em seguida o tempo médio de propagação do sinal lógico $t_d= 0,0175$ ns.

tabela 4.1 – dados dos valores de tensão de saída em relação ao tempo.

Tempo (ns)	Tensão (V)	Saída 1	Saída 2	Saída 3
3,14E-09	1,2	1,03031	0,891781	-0,0022979
3,15E-09	1,2	1,18389	0,584469	0,0146746
3,16E-09	1,2	1,2039	0,235906	0,111849
3,17E-09	1,2	1,19939	0,0270523	0,318988
3,18E-09	1,2	1,17811	-0,00372661	0,570168
3,19E-09	1,2	1,01048	0,000530657	0,826411
3,20E-09	1,2	0,589643	0,00795176	1,07245
3,21E-09	1,2	0,105157	0,0730201	1,19584
3,22E-09	1,2	-0,0284746	0,19875	1,20117
3,23E-09	1,2	0,0127565	0,333443	1,20031
3,24E-09	1,2	-0,00569991	0,466118	1,1969
3,25E-09	1,2	0,00268916	0,599658	1,1631
3,26E-09	1,2	-0,00152747	0,732821	1,03575
3,27E-09	1,2	0,000635438	0,866556	0,772125
3,28E-09	1,2	0,0597772	0,994346	0,371247
3,29E-09	1,2	0,240054	1,09446	0,0439211
3,30E-09	1,2	0,49029	1,14335	-0,0138934

Com os novos valores do tempo médio de propagação do sinal lógico t_d , foi gerado um novo gráfico de frequências de oscilação, que pode ser observado na figura 4.20.

A frequência de operação obtida a partir dos novos valores de t_r e t_f , apresentam uma a proximidade maior com os valores gerados pela simulação SPICE. Como demonstrado até este ponto, a diferença anterior acontece porque a licença acadêmica do Microwind trabalha com o modelo Berkeley 3 que possui um valor padrão de T_{ox} de aproximadamente $T_{ox} = 100$ nm, que pode ser utilizado com tecnologias antigas, mas se torna impreciso com o uso de tecnologias menores, como no caso o nó tecnológico de 130 nm. O AIM-Spice, por outro lado, permite adicionar o valor apropriado da tecnologia, com a adição do valor do $T_{ox}=3$ nm, foi possível aproximar os valores da frequência de oscilação.

Por fim, ao se comparar os projetos realizados com os 2 diferentes nós tecnológicos observou-se grande aumento na frequência de oscilação para nós tecnológicos menores devido ao melhor acoplamento eletrostático que aumenta a capacidade de chaveamento dos transistores.

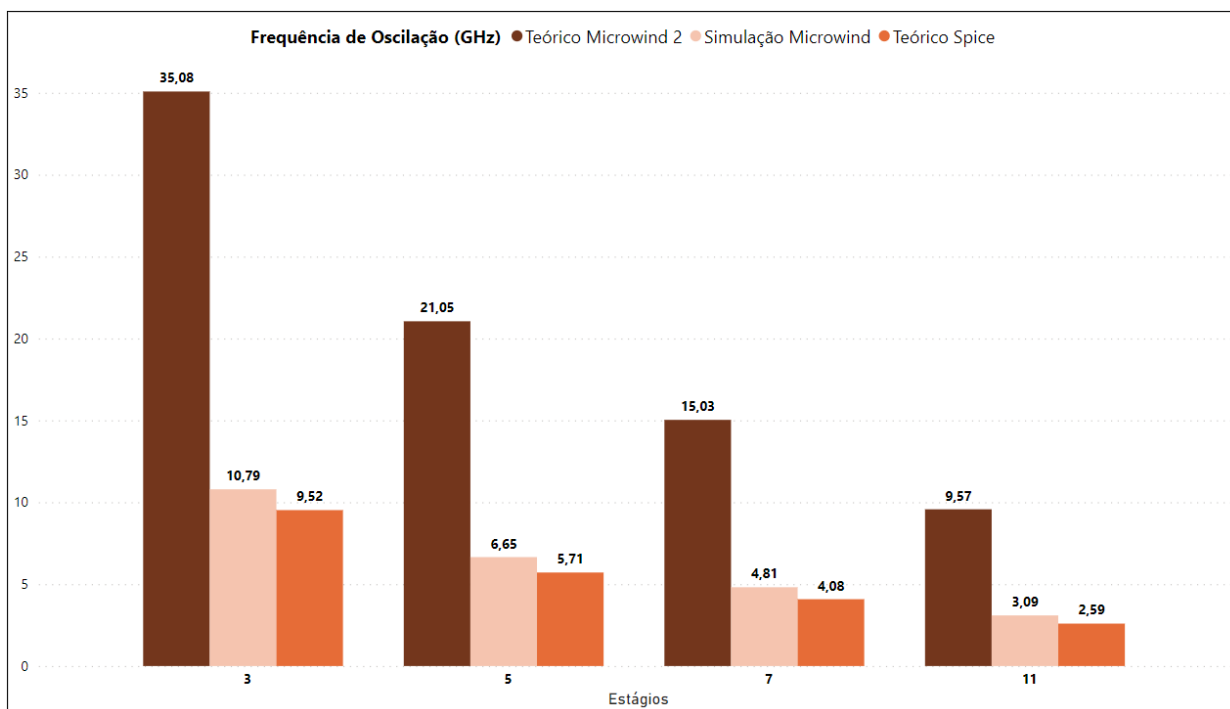


figura 4.22 - frequência de oscilação por números de estágios do nó tecnológico de 130 nm.

5. CONCLUSÃO

O Microwind é um software de projeto eficiente, porém sua licença acadêmica possui uma limitação na simulação de parâmetros elétricos com relação ao modelo spice utilizado para isso. Este problema foi contornado projetando-se o bloco de circuito integrado no Microwind e transpondo o código SPICE para uma plataforma SPICE que permite a modificação de parâmetros de processo assim como permite escolher o modelo elétrico que melhor descreve o nó tecnológico em questão. O desenvolvimento desse trabalho possibilitou o estudo de um dispositivo eletrônico com nós tecnológicos avançados quando comparados com os trabalhados na graduação. Além do projeto de um bloco de circuito integrado (*layout* do bloco) utilizado para caracterizar a frequência máxima de operação, a extração das principais figuras de mérito foi realizada. A validação do equacionamento dos tempos de subida, descida, atraso e frequência de oscilação também foi realizada para nós tecnológicos nanométricos. Com a comparação dos resultados obtidos com as simulações, foi possível mostrar a redução das áreas ocupadas pelo menor nó tecnológico, a evolução da frequência de operação dos circuitos e um tempo de atraso bastante menor (melhor) obtidos para a tecnologia de 130 nm.

Além do projeto em si, este trabalho de conclusão de curso propõe uma alternativa de metodologia de simulação dos projetos de circuitos integrados: utilizar o software Microwind para projetar nós tecnológicos pequenos suportados pela licença acadêmica, extrair o código SPICE considerando todas as capacitâncias inerentes do processo e simular eletricamente utilizando o AIM-SPICE (software gratuito).

A discrepância dos resultados da frequência de oscilação da tecnologia de 130 nm, também permitiu a observação da redução entre a diferença dos resultados da frequência de oscilação teórico com a da simulação, resultante do aumento da capacitância de saída do oscilador em anel simulado.

6. REFERÊNCIAS BIBLIOGRÁFICAS

ADEL S. SEDRA; KENNETH C. SMITH. Microeletronic Circuits. **The Oxford Series in Electrical and Computer Engineering**, 5 Ed. 2004.

MANDAL, M. K.; SARKAR, B. C. Ring oscillators: Characteristics and applications. **Indian Journal of Pure & Applied Physics**, v. 48, p. 136-145, 2010.

LOJEK, Bo. **History of semiconductor engineering**. Berlin: Springer, 2007.

MCNEILL, John A.; RICKETTS, David. **The designer's guide to jitter in ring oscillators**. Springer Science & Business Media, 2009.

DOCKING, Stephen; SACHDEV, Manoj. An analytical equation for the oscillation frequency of high frequency ring oscillators. **IEEE Journal of Solid-State Circuits**, v. 39, no. 3, p. 533-537, 2004.

MARTINO, J. A.; PAVANELLO, M. A.; VERDONCK, P. B. **Caracterização elétrica de tecnologia e dispositivos MOS**. Cengage Learning Editores, 2004.

TAH, Arya; RAKSHIT, Debasish Kumar. Study of the frequency characteristics of a ring oscillator. **International Journal of Computing and Network Technology**, v. 1, n. 03, 2013.

FRAZIER, Nathan. **Modeling frequency variations in ring oscillators with respect to process parameter variations**. 2002. Tese de Doutorado. Texas Tech University.

ARANDA, Mónico Linares; DÍAZ, Oscar González; ÁLVAREZ, Carlos Ramón Báez. A performance comparison of CMOS voltage-controlled ring oscillators for its application to generation and distribution clock networks. **Sci J Circuits Syst Sig Process**, v. 2, n. 2, p. 56-66, 2013.

MIYAZAKI, Takahito; HASHIMOTO, Masanori; ONODERA, Hidetoshi. A performance comparison of PLLs for clock generation using ring oscillator VCO and LC oscillator in a digital CMOS process. In: **ASP-DAC 2004: Asia and South Pacific Design Automation Conference 2004 (IEEE Cat. No. 04EX753)**. IEEE, 2004. p. 545-546.

MONTASERI, Mohammad Hassan; NAIMI, Hossein Miar. Novel power supply independent ring oscillator. In: **Proceedings of the 9th WSEAS international conference on Electronics, hardware, wireless and optical communications**. 2010. p. 80-87.