

Departamento de Engenharia Elétrica - DEE
Curso de Graduação em Engenharia Elétrica

Trabalho de Graduação

**Comunicação serial entre um computador e um dispositivo eletrônico
inteligente comercial, como o SEL 451A**

Discente: Ronaldo Romano Junior

Orientador: Prof. Dr. Jonatas Boas Leite.

Ilha Solteira – SP

2024

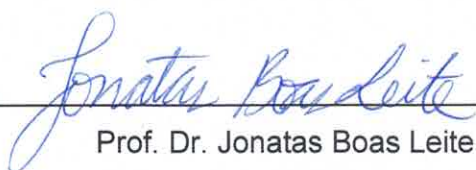
FICHA CATALOGRÁFICA

Desenvolvido pelo Serviço Técnico de Biblioteca e Documentação

- R759c Romano Junior, Ronaldo.
Comunicação serial entre um computador e um dispositivo eletrônico inteligente comercial, como o SEL 451A / Ronaldo Romano Júnior. -- Ilha Solteira: [s.n.], 2024
46 f. : il.
- Trabalho de conclusão de curso (Graduação em Engenharia Elétrica) - Universidade Estadual Paulista (UNESP), Faculdade de Engenharia, Ilha Solteira, 2024
- Orientador: Jonatas Boas Leite.
- Inclui bibliografia
1. Sincrofasores. 2. Circuitos conversores. 3. Comunicação serial.

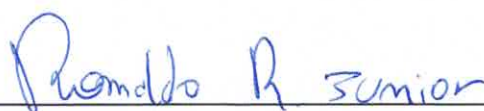
ATA DE DEFESA DE TRABALHO DE GRADUAÇÃO

Aos treze dias do mês de junho do ano de dois mil e vinte e quatro, o discente **Ronaldo Romano Junior**, matriculado sob o nº 182054489, tendo como banca examinadora o seu orientador, o Prof. Dr. Jonatas Boas Leite, o Prof. Dr. Alexandre César Rodrigues da Silva e o Prof. Dr. André do Amaral Penteado Biscaro, apresentou o Trabalho de Graduação intitulado "**Comunicação serial entre um computador e um dispositivo eletrônico inteligente comercial, como o SEL 451A**", obtendo a nota 9,0 (NOVE) e conceito APROVADO.



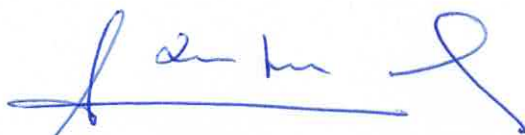
Prof. Dr. Jonatas Boas Leite

- Orientador -



Ronaldo Romano Junior

- Discente -



Prof. Dr. Alexandre César Rodrigues da Silva

- Membro da Banca -



Prof. Dr. André do Amaral Penteado Biscaro

- Membro da Banca -

AGRADECIMENTOS

Caro Jonatas Boas Leite, gostaria de expressar minha profunda gratidão por sua orientação excepcional ao longo deste processo de elaboração do meu TCC. Sua dedicação, expertise e apoio foram fundamentais para o sucesso deste trabalho.

Durante toda a jornada, suas orientações sábias e insights valiosos guiaram meu caminho, ajudando-me a enfrentar desafios, superar obstáculos e alcançar um novo nível de compreensão e excelência acadêmica. Sua paciência, disponibilidade e comprometimento em me ajudar a alcançar meus objetivos acadêmicos não passaram despercebidos e são imensamente apreciados.

À minha família Isabel e Isabela, expresso minha profunda gratidão pelo amor incondicional, apoio inabalável e compreensão durante os momentos de dedicação intensa a este projeto. Seu encorajamento foi minha força motriz em cada passo desta jornada

Com os mais sinceros agradecimentos,

Ronaldo Romano Junior.

Resumo

Considerando a relevância econômica do sistema de energia elétrica, especialmente das subestações onde ocorre a elevação ou redução da tensão, bem como a distribuição de energia para o consumo, observa-se um crescente interesse em dispositivos eletrônicos inteligentes, como o modelo comercial SEL 451A®, responsável pelo controle e proteção de equipamentos de alto custo em subestações. Diante dessa necessidade, torna-se de vital importância o desenvolvimento de um software capaz de realizar a simulação de sincrofasores, a fim de validar as funções de proteção dos relés. Para que tal simulação seja viabilizada, é imprescindível a utilização de um circuito conversor que permita que ambos os dispositivos recebam as mensagens corretamente. Neste trabalho de graduação, foram implementados dois circuitos conversores: um utilizando amplificadores operacionais e outro composto apenas por transistores. O objetivo principal desta pesquisa foi analisar e determinar qual dos circuitos conversores é mais adequado em termos técnicos e financeiros para viabilizar a comunicação serial entre o dispositivo SEL 451A® e uma unidade computacional.

Palavras-chave: Sincrofasores, Circuitos Conversores, Comunicação Serial.

Abstract

Considering the economic relevance of the electrical power system, especially substations where voltage increases or decreases occur, as well as energy distribution for consumption, there is a growing interest in intelligent electronic devices, such as the commercial model SEL 451A®, responsible for controlling and protecting high-cost equipment in substations. In view of this need, it is vital to develop software capable of simulating synchrophasors in order to validate the protection functions of relays. For such simulation to be feasible, it is essential to use a converter circuit that allows both devices to receive messages correctly. In this undergraduate work, two converter circuits were implemented: one using operational amplifiers and the other composed only of transistors. The main objective of this research was to analyze and determine which of the converter circuits is most suitable in technical and financial terms to enable serial communication between the SEL 451A® device and a computer unit.

Keywords: Monitoring, Synchrophasors, Converter Circuit, Serial communication.

Sumário

1. Introdução.....	6
1.1 Objetivos.....	7
1.2. Descrições de cada capítulo	7
2.0 Estudo do estado da arte.....	7
3.0 Metologia utilizada.....	8
3.1 Sincrofasores.....	9
3.2. Rede de sincrofasores.....	10
3.3. Unidade de medição do sincrofasor	11
3.4. Mensagem Geral.....	11
3.5. Frames comuns	12
3.6. Tempo e qualidade de tempo das mensagens.....	14
3.7. Tempo de registro.....	15
3.8 Transmissão de sincrofasores.....	16
3.9 Ordem da transmissão	16
3.9.1 Frame de Configuração	16
3.9.2 Dados nas mensagens	18
3.9.2.1 Configuração da mensagem de ordem específica	20
3.9.2.2 Mensagem de comando	21
3.9.3. Sincronizações de horário da rede PMU e PDC	22
3.10. Protocolo de comunicação serial EIA RS-232.....	22
3.10.1 Comunicação serial	23
3.10.2 Transferência de Dados	23
3.11 Circuitos de conversão	25
3.11.1 Circuito com amplificador operacional.....	25
3.11.1.1 Princípio de operação do circuito com AmpOp.....	26
3.11.2 TTL (Lógica Transistor-Transistor)	27
3.11.2.1 Principio de operação do circuito TTL	28
3.12 SEL 451A e Acselelator quickset.....	28
4. Resultado e discussão	36
5. Conclusão	45
6. Referências bibliográficas.....	46

1. Introdução

Tendo em vista que o setor elétrico é um dos pilares para o desenvolvimento de um país, é primordial que a rede elétrica tenha um número mínimo de falhas e, quando houver estes defeitos, é de vital importância ter estratégias que minimizem o número de consumidores que podem ter o fornecimento de energia cessado.

Para se aplicar o método *self-healing* tem-se a necessidade de possuir dispositivos eletrônicos inteligentes (IED) que realizam funções de controle, proteção, automação e monitoramento de parâmetros como tensão e corrente da rede elétrica. Adicionalmente, os IEDs têm a capacidade de se comunicar em tempo real, possibilitando um sistema de troca de informações para cada ramo da rede elétrica. Assim, esses dispositivos têm a capacidade de tomarem decisões com a finalidade de manter um bom fornecimento de energia.

A partir das funcionalidades desses equipamentos e a estrutura da rede de comunicação pode haver um monitoramento maior com dados trocados entre os IEDs. Dessa forma, há possibilidade de desenvolvimento de uma interface de comunicação (solução de software) com capacidade de monitoramento e/ou geração sintética de valores para parâmetros elétricos usados no IED. No contexto dos sincrofasores, a comunicação através da interface de comunicação pode ser realizada pelo protocolo de comunicação padronizado. O IEEE C37.118 estabelece todas as regras para a comunicação de sincrofasores entre dispositivos inteligentes e a interface homem-máquina, por exemplo.

Por fim, para a comunicação ocorrer de maneira instantânea e tendo conhecimento que os dados da rede estão todos no formato de fasores, ou seja, módulo e ângulo de fase, a solução de software desenvolvido deve realizar a leitura e o envio de dados de maneira síncrono com pouco, ou quase sem *delay*. O IED e a interface de comunicação devem estar com a mesma referência de tempo, que é coordenação universal de tempo (UTC) obtida pelo sistema de posicionamento global (GPS). Alternativamente, há a possibilidade de uso da comunicação via cabo serial.

1.1. Objetivos

Este trabalho de graduação teve como objetivo principal implementar um circuito conversor que permitisse a transferência de sincrofasores entre uma unidade computacional e um IED comercial, especificamente o SEL 451A®. Para isso, estudou-se o protocolo de comunicação IEEE C37.118, que define os significados de cada bit na troca de mensagens. Além disso, estudou-se o protocolo de comunicação serial EIA RS-232, que possibilitou a transferência dos *frames* padronizados de sincrofasores através da conexão física entre os *hardwares*, exigindo a montagem do cabo e eventuais circuitos conversores. O IED foi parametrizado utilizando o software SEL Acselelator QuickSet® com as configurações necessárias para estabelecer o canal de comunicação.

1.2. Descrições de cada capítulo

Este trabalho de graduação inicia-se com a descrição física e matemática do conceito de sincrofasor e da definição de uma rede de sincrofasores. Em seguida, aborda-se a configuração das mensagens oriundas do recebimento de sincrofasores, de acordo com o protocolo IEEE C37.118, incluindo os *frames* comuns, que não necessitam de configuração, e os *frames* de ordem específica, que incorporam dados de medições. Posteriormente, é apresentado o padrão de comunicação utilizando o cabo serial RS-232 e o estudo dos dois circuitos conversores aplicados à comunicação entre o IED e a unidade computacional.

Em resumo, o trabalho enfatiza a implementação e análise da comunicação entre o dispositivo SEL 451A® e uma unidade computacional, destacando a transferência de sincrofasores e o cumprimento das normas de comunicação estabelecidas.

2.0 Estudo do estado da arte

O estudo da comunicação serial utilizando o padrão **EIA RS-232** é amplamente documentado na literatura técnica devido à sua simplicidade e eficiência em transmissões ponto a ponto. O protocolo **RS-232**, criado pela *Electronic Industries Association (EIA)*, especifica os níveis de tensão, a estrutura dos *frames* de dados e a configuração da comunicação assíncrona, sendo amplamente utilizado em aplicações industriais e em sistemas de automação que envolvem a comunicação entre dispositivos eletrônicos inteligentes (IEDs) e computadores

(TANENBAUM, 2011). Além disso, suas especificações detalhadas são essenciais para garantir a compatibilidade e confiabilidade na transmissão de dados entre dispositivos eletrônicos (BATES, 2000).

No campo dos **circuitos conversores**, estudos demonstram duas abordagens principais: circuitos baseados em **amplificadores operacionais** e aqueles que utilizam **apenas transistores**. Os circuitos com amplificadores operacionais são reconhecidos por sua alta precisão, estabilidade e capacidade de amplificação, sendo indicados para aplicações que exigem maior qualidade e controle do sinal (FRANCO, 2002)

Por outro lado, os **circuitos conversores compostos por transistores** oferecem uma solução mais simples e econômica. Embora apresentem limitações quanto à precisão e suscetibilidade a ruídos, eles são viáveis em aplicações que não demandam alta estabilidade ou em contextos onde o custo é um fator determinante (MALVINO; BATES, 2007). Dessa forma, a escolha entre os dois tipos de circuitos depende dos requisitos específicos da aplicação, tais como taxa de transmissão, integridade do sinal e custo-benefício (BOYLESTAD; NASHELSKY, 2012).

Portanto, o estado da arte evidencia que tanto o protocolo **RS-232** quanto os circuitos conversores baseados em amplificadores operacionais ou transistores são amplamente estudados e aplicados.

3.0 metodologia utilizada

Este trabalho de graduação foi desenvolvido seguindo as etapas descritas a seguir. Primeiramente, foi realizada a configuração do relé SEL 451 A, figura 11 e 12, por meio do software SEL Acselelator QuickSet®, no qual o protocolo de comunicação C37.118 foi habilitado. A unidade de medição selecionada foi a PMU (*Phasor Measurement Unit*), configurando o relé como cliente, ou seja, apenas para recepção de sincrofasores como representados nas imagens 13,19 e 21

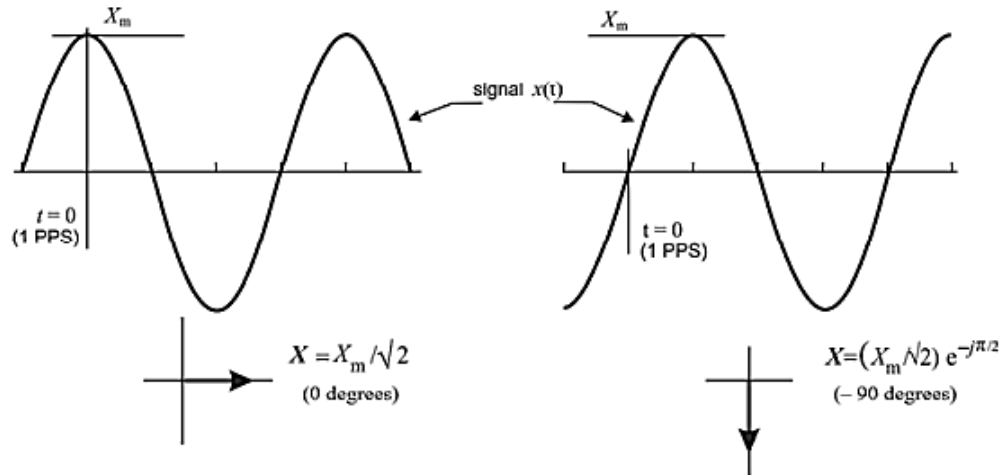
Para estabelecer a comunicação entre o IED e o computador, foram montados fisicamente dois circuitos conversores: o primeiro utilizando um amplificador operacional em conjunto com um transistor, e o segundo composto apenas por transistores como está nas figuras 8 e 10 respectivamente. Ambos os circuitos conversores foram implementados utilizando os materiais descritos na lista apresentada a seguir.

- Um amplificador operacional UA741
- Um cabo DB9 conversor RS 232
- Uma fonte contendo três tensões -10,10 e 5 volts
- Três transistores NPN 548
- um transistor PNP BC557
- Sete resistores de 10k Ω
- Quatro resistores de 4.7k Ω
- Um resistor de 470 Ω
- Dois diodo 1N4007
- Um diodo zener 1N4733 5.1 volts
- Um capacitor 470mF

3.1 Sincrofasores

Sincrofasor é uma representação matemática da forma de onda da rede em fasores que é constituída por magnitude e pela fase. A segunda representação trata-se de uma referência de tempo extremamente precisa como a UTC. Assim, unidos esses dois métodos de representação matemática tem-se o sincrofasor que está representado na Figura 1.

Figura 1: Representação matemática de um sincrofasor.



Fonte: (IEEE, 2011)

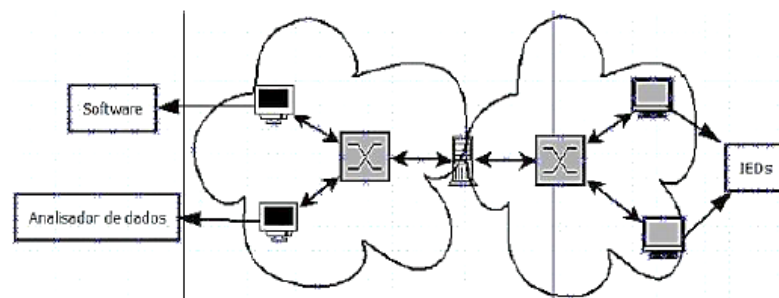
Matematicamente as formas de ondas do sincrofasores podem ser expressadas como mostrado em (1)

$$X(t) = \frac{X_m}{\sqrt{2}} \times e^{(2\pi f t + \varphi)} \quad (1)$$

em que o primeiro termo é a amplitude da onda senoidal e o segundo termo que é o fator exponencial do número de Euler. No fator exponencial, f é um parâmetro que tem como objetivo representar a frequência atual, muito próxima da frequência nominal, que no caso é a frequência do sistema elétrico, no Brasil é 60Hz. Por último, φ é o ângulo de fase, ou seja, o atraso em graus do sincrofasor com o sistema de referência UTC. Assim, tem-se que o sincrofasor é uma função do tempo $X(t)$ (K. Martin, “Synchrophasor standards development – IEEE C37.118 & IEC61850”, 2011).

3.2. Rede de sincrofasores

Para o sistema de medição ser síncrono, ou seja, a leitura dos parâmetros elétricos e o envio desses ocorrer no mesmo instante, os sincrofasores são constituídos por uma rede formada por PMUs. Nesta rede, relés comerciais, como o IED SEL 451 A, podem estar presentes pois possuem a função de PMU. Os servidores locais para onde são enviados os dados de medição, como de tensão e corrente, são denominados como PDC, conforme a representação na Figura 2.

Figura 2: rede de sincrofasores

Fonte: elaborado pelo autor

A partir deste arranjo, com as PMUs e o PDC estejam trocando informações via cabo serial como DB9 não há necessidade de possuir uma referência de tempo (IEEE Standards Association, IEEE Power & Energy Society, "*IEEE Standard for Synchrophasor Data Transfer for Power Systems*", 2011).

3.3. Unidade de medição do sincrofasor

O dispositivo comercial SEL 451A é dispositivo funcional e lógico que fornece a função de sincrofasores e estimativas elétricas da rede de distribuição. Essas estimativas podem ser obtidas de uma ou mais formas de ondas, tanto de tensão como de correntes. Somado a isso, o dispositivo pode operar de maneira individual, ou como fazendo parte de uma rede de dispositivos multifuncionais que atuam como relé de proteção. Por fim, pode haver o envio de centenas de dados da PMU para o PDC e, ainda, cada uma dessas centenas de informações pode ser para destinos diferentes. Assim, cada fluxo de dados deve ser individualmente controlado e cada mensagem deve ter sua identificação e informações sobre configurações de controle (SEL, "*SEL 451-5 Relay Protection, Automation, and Control System*", **Instruction Manual**:2011).

3.4. Mensagem Geral

A transferência de informação entre as PMUs e os PDCs é constituída por quatro mensagens. A primeira é a de dados, que contém as medições de tensão e corrente. A segunda é de configuração, que é a linguagem de máquina usada para descrever os dados de medições. A terceira representa a informação legível a um

humano, que é enviada por usuário a uma PMU. A última é a mensagem de comando, que são códigos de máquinas para descrever funções de comando e de controle determinada pelo usuário (Phadke, A., “*Synchronized Phasor Measurements and Their Applications*.” Springer International PU, 2017).

3.5. Frames comuns

O mecanismo de transmissão do sincrofator é possível devido ao protocolo de comunicação, IEEE C37.118, no qual é definido que cada mensagem deve ser constituída por 6 *frames*. Os três primeiros devem ter 2 bytes. O primeiro deles é o **SYNC** que tem a função de sincronização e identificação da mensagem. O segundo é o **framesize** que indica o número total de bytes na mensagem. O terceiro *frame* é o **IDCODE** que tem o papel de identificar a origem do dado, não pode ser de comando, configuração ou mensagem. Além desses três frames, há outros 3 restantes que são constituídos por 4 bytes. O quarto *frame* é o **SOC** que é um contador de segundo, tendo como origem da contagem o ano de 1970 até os dias atuais. O quinto é o *frame* **FRACSEC** que contém a fração de segundos. O último *frame* é **CHK** que tem como funcionalidade verificar se os dados recebidos não foram corrompidos.

Na Tabela 1, tem-se uma descrição completa sobre os significados dos principais bits dos *frames*.

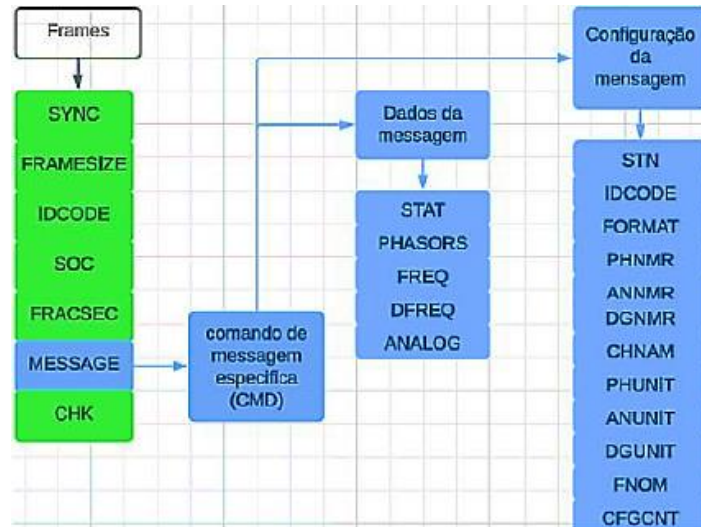
Tabela 1: Bits e suas funcionalidades.

<i>Frame</i>	Funcionalidade dos bits
SYNC	Palavra de sincronização do frame. Byte inicial: AA hexadecimal Segundo byte: Tipo e versão do quadro, dividido da seguinte forma: Bit 7: Reservado para definição futura, deve ser 0 para esta versão padrão. Bits 6–4: 000: Quadro de Dados 001: Quadro de cabeçalho 010: Quadro de Configuração 1 011: Quadro de Configuração 2 101: Quadro de Configuração 3 100: Quadro de Comando (mensagem recebida)

	Bits 3–0: Número da versão, em binário (1–15) Versão 1 (0001) para mensagens definidas na IEEE Std C37.118-2005 [B6]. Versão 2 (0010) para mensagens adicionadas nesta revisão, Padrão IEEE C37.118.2-2011.
FRAMESIZE	Número total de bytes no quadro, incluindo CHK. Número não assinado de 16 bits. Faixa = máximo 65535
IDCODE	Número de ID do fluxo de dados, inteiro de 16 bits, atribuído pelo usuário, 1–65534 (0 e 65535 são reservados). Identifica o fluxo de dados de destino para comandos e fluxo de dados de origem para outras mensagens. Um <i>stream</i> é hospedado por um dispositivo que pode ser físico ou virtual. Se um dispositivo hospedar apenas um fluxo de dados, o IDCODE identifica o dispositivo como bem como o fluxo. Se o dispositivo hospedar mais de um fluxo de dados, deverá haver um IDCODE diferente para cada fluxo.
SOC	SOC começando à meia-noite de 01 de janeiro de 1970 O intervalo é de 136 anos, passando por 2.106 DC. Os segundos bissextos não são incluídos na contagem, portanto cada ano tem o mesmo número de segundos, exceto anos bissextos, que têm um dia extra (86.400 s).
FRACSEC	Fração de segundo e qualidade de tempo, tempo de medição para quadros de dados ou tempo de transmissão de quadros para quadros que não sejam de dados. Bits 31–24: Qualidade do tempo da mensagem conforme definido em 6.2.2. Bits 23–00: FRACSEC, número inteiro de 24 bits. Quando dividido por TIME_BASE produz o segundo fracionário real. FRACSEC usado em todas as mensagens de e para um determinada PMU deve usar o mesmo TIME_BASE fornecido na configuração mensagem dessa PMU.
CHK	2 bytes inteiro

Fonte: Adaptado de IEEE, 2011

Os seis *frames* descritos na Tabela 1 são de configurações, ou seja, representam *frames* com instruções bem definidas pela norma IEEE, não necessitando de alterações para sua implementação. Esses *frames* são representados por caixas realçadas em verde, conforme ilustrado na Figura 3. O penúltimo *frame* é o de informações sobre medições e comandos, no qual é necessário implementar um comando específico, o qual está realçado em azul na mesma Figura 3 (SEL, “*SEL 451-5 Relay Protection, Automation, and Control System*”, **Instruction Manual**:2011).

Figura 3: Formato geral de mensagem

Fonte: elaborado pelo autor

3.6. Tempo e qualidade de tempo das mensagens

Como o escopo global do trabalho representa um simulador de sincrofases que deve enviar e receber dados do IED. Para isso ocorrer é de extrema importância que ambos estejam sincronizados temporalmente. Com isso, um dos métodos para avaliar se o IED e a central de computacional apresentam o mesmo horário de relógio é através do *frame* **FRASEC** que é dividido em dois. A primeira parte representa a contagem real de segundos. A segunda parte é um byte destinado para registrar o tempo que a mensagem levou para ser transmitida. Por fim, o registro de tempo é obtido a partir do *frame* **SOC** que armazena a data e hora em conjunto com o *frame* **FRASEC**. Isso é representado matematicamente por (2).

$$Tempo = \frac{FRASEC + SOC}{TEMPO\ BASE} \quad (2)$$

sendo *TEMPO BASE* o horário do sistema de referência em que a PMU, ou PDC está sincronizado que pode ser GPS, ou o próprio horário do sistema operacional, no caso de uma comunicação serial.

O código indicador de qualidade de tempo de mensagem, contido nos 4 bits menos significativos, indica o erro máximo de tempo, conforme determinado pela função de relógio PMU/PDC. Os bits 0–3 devem ser redefinidos para 0 quando a função de tempo estiver bloqueada para uma fonte rastreável UTC, como GPS. Os bits 0–3 devem ser configurados

como 1 quando houver uma falha de relógio. Os códigos para este indicador estão detalhados na Tabela 2. Observe que uma indicação adicional de qualidade de tempo foi adicionada à palavra **STATUS**. Essa qualidade de tempo indica o erro máximo de tempo em todos os momentos e usa um conjunto diferente de valores de código (SEL, “*SEL 451-5 Relay Protection, Automation, and Control System*”, **Instruction Manual**:2011).

Tabela 2: Indicação de qualidade de tempo para uma mensagem de 4 bits

Binário	Hexadecimal	Valor da precisão(s)
1111	F	Perda de sincronia
1010	A	Dentro dos 10 segundos
1001	9	Tempo entre 10-1 da UTC
1000	8	Tempo entre 10-2 da UTC
0111	7	Tempo entre 10-3 da UTC
0110	6	Tempo entre 10-4 da UTC
0101	5	Tempo entre 10-5 da UTC
0100	4	Tempo entre 10- 6 da UTC
0011	3	Tempo entre 10-7 da UTC
0010	2	Tempo entre 10-8 da UTC
0001	1	Tempo entre 10-9 da UTC
0000	0	Operação normal

Fonte: Adaptado de IEEE, 2011

3.7. Tempo de registro

Com base na Tabela 3, tem-se uma escolha de parametrização de quantos *frames* de dados por segundos podem ser transmitidos. Dessa forma, existem um número limite de *frames*, N . Assim, o primeiro a ser transmitido é denominado 0 e o *frame* de fração de segundo, **FRASEC**, indica 0, também. O próximo *frame* de dados é denominado 1 e o *frame* **FRASEC** armazena um tempo de $1/N$. Desta maneira, generalizando o formato geral de transmissão dos *frames* em conjunto com o tempo associado a eles, tem-se que o último *frame* de dado está com uma expressão no **FRASEC** no seguinte formato $(N - 1)/N$. Assim que são determinados valores instantâneos dos sincrofases (SEL, “*SEL 451-5 Relay Protection, Automation, and Control System*”, **Instruction Manual**:2011).

3.8 Transmissão de sincrofasores

Como os dados das redes são amostrados, logo existe uma taxa de inclusão destes dados nos *frames*, ou seja, quantos vezes por segundos as medições de tensão ou correntes devem ser inseridos no *frame*. Assim, há um *frame* denominada **DATA_RATE** que tem a função portar o valor de quantas vezes por segundo um dado é incluído no *frame*. Isso é denominado taxa de registro que varia conforme a frequência de operação da rede. Desta maneira, apresenta-se na tabela 3 a especificação do valor numérico da taxa de registro. Estes valores são de escolha do usuário (Seyed Reza Firouzi, Luigi Vanfretti, Albert Ruiz-Alvarez, Hossein Hooshyar, Farhan Mahmood, “*Interpreting and implementing IEC 61850-90-5 Routed-Sampled Value and Routed-GOOSE protocols for IEEE C37.118.2 compliant wide-area synchrophasor data transfer*” 2017).

Tabela 3: Taxa de registro

Frequência do sistema	50 Hz			60Hz					
Frames/segundos	0	5	0	0	2	5	0	0	0

Fonte: Adaptado de IEEE, 2011

3.9 Ordem da transmissão

A partir das informações anteriores, é possível formatar as mensagens. A comunicação é dividida em duas partes com o envio dos *frames* de configuração e, após estabelecer o sincronismo, são enviados os *frames* de dados específicos(SEL, “*SEL 451-5 Relay Protection, Automation, and Control System*”, **Instruction Manual**:2011).

3.9.1 Frame de Configuração

Com os *frames* são formadas as mensagens de configuração, que são os primeiros bytes que são transmitidos para estabelecer a comunicação e, subsequentemente, a troca de informações. Para isso, os *frames* apresentados na tabela 4, são transmitidos na primeira etapa

da comunicação(SEL, “*SEL 451-5 Relay Protection, Automation, and Control System*”, **Instruction Manual:2011**).

Tabela 4: *Frames* na primeira transmissão.

Frames	Bytes	Descrição
SYNC	2	Primeiro byte: AA hex Segundo byte: 21 hex para configuração 1 e 31 hex para configuração 2. Ambos os quadros são versão 1 (IEEE Std C37.118-2005 [B6])
TIME BASE	4	Resolução do carimbo de tempo de segundo fracionário (FRACSEC) em todos os quadros. Bits 31–24: Reservados para sinalizadores (8 bits altos). Bits 23–0: inteiro sem sinal de 24 bits, que é a subdivisão do segundo que o FRACSEC é baseado em. A “fração de segundo real do quadro de dados” = FRACSEC / TIME_BASE.
NUM_PMU	2	O número de PMUs incluídas no quadro de dados. Nenhum limite especificado. O limite real será determinado pelo limite de 65.535 bytes em um quadro (campo “FRAMESIZE”)
STN	16	Nome da estação - 16 bytes no formato ASCII
IDCODE	2	Número de identificação do fluxo de dados, inteiro de 16 bits.
FORMAT	2	Formato de dados em quadros de dados, sinalizador de 16 bits. Bits 15–4: não utilizados Bit 3: 0 = FREQ/DFREQ inteiro de 16 bits, 1 = ponto flutuante Bit 2: 0 = inteiro analógico de 16 bits, 1 = ponto flutuante Bit 1: 0 = fasores inteiros de 16 bits, 1 = ponto flutuante Bit 0: 0 = fasor real e imaginário (retangular), 1 = magnitude e ângulo (polar)
PHNMR	2	Número de fasores
DGNMR	2	Número de palavras de status digitais
CHNAM	16	Nomes de fasores e canais
PHUNIT	4	Fator de conversão para canais fasoriais
ANUNIT	4	Fator de conversão para canais analógicos
DIGUNIT	4	Mask words for digital status words
FNOM	4	Código de frequência de linha nominal (número inteiro sem sinal de 16 bits) Bits 15–1: Reservados Bit 0: 1 —Frequência fundamental = 50 Hz; 0—Frequência fundamental = 60 Hz

DATA_RATE	2	Taxa de transmissões de dados fasoriais
CFGCNT	2	Contador de alteração de configuração

Fonte: Adaptado de IEEE, 2011

3.9.2 Dados nas mensagens

As mensagens específicas, como está representada em azul na Figura 3, transmitem informações de uma PMU/PDC e essas são formadas a partir dos seguintes frames: Primeiro, **STAT** fornece informações dos dados contidos nos blocos, como os fasores que mantém a informação do fasorial, representando a tensão e corrente. Possui um tamanho de 2 bytes ou 4 bytes em formato de ponto flutuante, os números complexos podem ser representados na forma polar ou retangular. O segundo é o **PHASOR** onde fica armazenada o valor real e imaginária do fasor da forma de onda, podendo ser obtido de um sinal monofásico ou trifásico em sequência positiva, negativa ou zero. O terceiro é o **FREQ** que fornece o valor da frequência nominal do sistema. O quarto é o *frame DFREQ* responsável por armazenar informações sobre o limite de variação na frequência lida. Por último, o **ANALOG** tem como função armazenar valores analógico de tensão e corrente da rede. Abaixo a tabela 5 descreve cada bytes dos frames supracitado(SEL, “SEL 451-5 Relay Protection, Automation, and Control System”, **Instruction Manual**:2011).

Tabela 5: Especificações dos frames de ordem específicas

Frame	Bytes	Função
SYNC	2	Primeiro byte: AA Hex Segundo Byte: 01 (Frame versão 1 , IEEE Std C37.118-2005 [B6])
STAT	2	Sinalizadores mapeados em bits. Bit 15–14: Erro de dados: 00 = dados de medição bons, sem erros; 01 = Erro PMU. Nenhuma informação sobre dados; 10 = PMU em modo teste (não utilizar valores) ou tags de dados ausentes foram inseridas (não use valores); 11 = Erro PMU (não usar valores) Bit 13: sincronização PMU, 0 quando sincronizado com uma fonte de tempo rastreável UTC

		Bit 12: Classificação de dados, 0 por carimbo de data/hora, 1 por chegada Bit 11: Disparo PMU detectado, 0 quando não há disparo Bit 10: Alteração de configuração, definido como 1 por 1 min para avisar que a configuração será alterada e limpe para 0 quando a alteração for efetuada. Bit 09: Dados modificados, 1 se dados modificados por pós-processamento, 0 caso contrário Bits 08–06: Qualidade de tempo da PMU. Consulte os códigos na Tabela 7. Bits 05–04: Tempo de desbloqueio: 00 = sincronização bloqueada ou desbloqueada <10 s (melhor qualidade) 01 = 10 s ≤ tempo desbloqueado < 100 s 10 = 100 s < tempo de desbloqueio ≤ 1000 s 11 = tempo desbloqueado > 1000 s Bits 03–00: Motivo do gatilho: 1111–1000: Disponível para definição do usuário 0111: Digital 0110: Reservado 0101: df/dt Alto 0100: Frequência alta ou baixa 0011: Diferença de ângulo de fase 0010: Magnitude alta 0001: Magnitude baixa 0000: Manual
PHASORS	4/8	Valores inteiros de 16 bits: Formato retangular:—real e imaginário, valor real primeiro —Inteiros assinados de 16 bits, intervalo –32 767 a +32 767 Formato polar: —magnitude e ângulo, magnitude primeiro —magnitude, intervalo inteiro sem sinal de 16 bits, de 0 a 65535 —ângulo inteiro com sinal de 16 bits, em radianos × 104 faixa –31 416 a +31 416 Valores de 32 bits no formato de ponto flutuante IEEE: Formato retangular: —real e imaginário, em unidades de engenharia, valor real primeiro Formato polar: magnitude e ângulo, magnitude primeiro e em unidades de engenharia —ângulo em radianos, intervalo $-\pi$ a $+\pi$
FREQ	2/4	Desvio de frequência nominal, em mHz

		Faixa – nominal (50 Hz ou 60 Hz) –32,767 a +32,767 Hz Inteiro de 16 bits ou ponto flutuante de 32 bits Inteiro de 16 bits: inteiros com sinal de 16 bits, intervalo –32 767 a +32 767 Ponto flutuante de 32 bits: valor de frequência real no formato de ponto flutuante IEEE. Tipo de dados indicado pelo campo FORMAT nas configurações 1, 2 e 3 frames
DFREQ	2/4	Faixa –327,67 a +327,67 Hz por segundo Pode ser um número inteiro de 16 bits ou ponto flutuante IEEE, igual a FREQ acima. Tipo de dados indicado pelo campo FORMAT nas configurações 1, 2 e 3 quadros
ANALOG	2/4	Valores e intervalos definidos pelo usuário. Pode ser um número inteiro de 16 bits ou ponto flutuante IEEE. Tipo de dados indicado pelo campo FORMAT na configuração 1, 2 e 3 frames

Fonte: Adaptado de IEEE, 2011

3.9.2.1 Configuração da mensagem de ordem específica

O último setor para que haja necessidade de programar um significado para cada *frame* é a configuração da mensagem de ordem específica. Assim, os significados de cada *frame* de mensagem específica são, respectivamente, **STN** é destinado a guardar o nome da estação no formato de caractere, tem um total de 2 bytes. **IDCODE** tem o número de identificação do fluxo de dados, inteiro de 16 bits. Identifica a fonte original dos dados e, geralmente, está associada a um determinado horário. Os IDCODEs em um fluxo de dados recebido diretamente de uma PMU, geralmente, são iguais com um tamanho de 2 bytes. **FORMAT** é o que define o padrão da mensagem, ou seja, se o fasor é representado na forma fasorial, ou retangular. Apresenta um tamanho de 2 bytes. **PHNMR** armazena o total de fasores. **ANNMR** armazena o total de valores analógicos e apresenta um tamanho de 2 bytes. **DGNMR** armazena mensagens de *status* digital e tem uma quantidade total de 2 bytes, **CHNAM** é do tipo *char* e apresenta o nome para cada canal do tipo fasor, analógico e digital. Apresenta um total de 16 bytes. **PHUNIT** é o fator de conversão para canais fasoriais. **ANUNIT** é o fator de conversão para canais analógicos. **DIGUNIT** indica o estado normal das entradas digitais, retornando um 0 com a palavra de *status*. O segundo indica as entradas válidas atuais para a PMU, tendo um bit definido na posição binária correspondente à

entrada digital e os demais bits nulos. **FNOM** trata-se de um código da frequência nominal com tamanho total de 4 bytes. Por último, o frame **CFGCNT** é um contador para registrar cada vez em que uma configuração na PMU é alterada. Apresenta tamanho total de 2 bytes (SEL, “*SEL 451-5 Relay Protection, Automation, and Control System*”, **Instruction Manual:2011**).

3.9.2.2 Mensagem de comando

Por fim, quando os *frames* de dados são enviados, a PMU/PDC envia um pacote de comando informando que os dados estão sendo recebido. Essa mensagem apresenta os seguintes *frames* estruturados na Tabela 6 (SEL, “*SEL 451-5 Relay Protection, Automation, and Control System*”, **Instruction Manual:2011**).

Tabela 6: Mensagem de comando

Frame	Bytes	Descrição
SYNC	2	Primeiro byte: AA Hex Segundo Byte: 41 (Frame versão 1 , IEEE Std C37.118-2005 [B6])
FRAMESIZE	2	Número de bytes em um frame
IDCODE	2	Número de identificação ID do dispositivo que está enviando os pacotes de dados
SOC	4	Tempo do século
FRACSES	4	Fração de segundo com tempo de qualidade
CMD	2	Os comandos enviados, como dados On, dados OFF, comando de configuração
CHK	2	CRC-CCITT

Fonte: Adaptado de IEEE, 2011

3.9.3. Sincronizações de horário da rede PMU e PDC

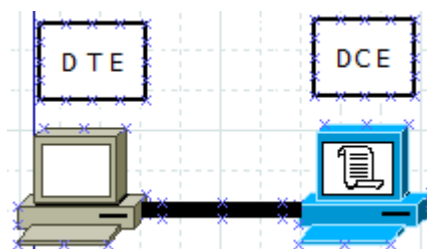
Para o sistema ser síncrono, deve haver uma exatidão, ou seja, o horário incluído na mensagem formada pela PMU deve ser o mesmo marcado no servidor PDC. Desta maneira, o protocolo C37.118 determina que é permitido um erro de sincronização na fase em torno de 0,01 radiano, pois este erro causa um atraso global na medição e recebimento da informação próximo de 1% e, como no Brasil a operação da rede está em 60 Hz, um erro de 0,01 radiano implica em um erro em escala de tempo próximo de 26 μ s.

Desta forma, para manter o sistema PMU e PDC sempre sincronizado, ambos devem estar com a mesma referência de tempo, com o GPS, ao ponto de sempre manterem o erro próximo ao permitido no atraso global. Se houver perda de sincronização, o bit 13 do *frame STAT*, referenciado na Tabela 5, indica uma perda de sincronização temporal. Este bit deve assumir o valor de 1 quando o tempo de sincronização no escopo global exceder 1 minuto. Assim, o bit 13 deve permanecer em 1 até que a sincronização seja estabelecida novamente (K. Martin, “*Synchrophasor standards development – IEEE C37.118 & IEC61850*”, in: **2011 44th Hawaii International Conference on System Sciences (HICSS)**, 2011).

3.10. Protocolo de comunicação serial EIA RS-232

Na estrutura global do padrão de comunicação serial, RS-232, tratam-se de dois agentes. Um computador, que é responsável pela transmissão dos dados, e um receptor para onde são enviados esses dados. Esses agentes são denominados, respectivamente, como equipamento terminal de dados (DTE) e equipamento de terminação de circuito de dados (DCE), Por se tratar de uma comunicação com cabo, é uma transmissão de dados para curtas distâncias, em torno de 15 metros, como está representado na Figura 4 (J Duncan Glover; Overbye, T. J.; Sarma, M. S. “*Power system analysis & design*”. Boston, Ma: Cengage Learning, 2017.).

Figura 4: escopo global da comunicação serial



Fonte: elaborada pelo autor

3.10.1 Comunicação serial

A comunicação serial, no padrão RS-232, é realizada bit a bit. Neste padrão, tipicamente, 8 bits formam uma mensagem mais um bit de paridade. No padrão RS-232, define-se um conector com 9 pinos em que cada pino tem uma única função na transferência de informação, como mostrado na Tabela 7.

Tabela 7: Pinagem do RS-232.

Número	Nome do pino	Função do DTE	Nome	Função do DCE
1	CD	Entrada de sinal	CD	Saída de sinal
2	RX	Entrada de dados	TX	Saída de dados
3	TX	Saída de dados	RX	Entrada de dados
4	DTR	Saída de sinal	DTR	Entrada de sinal
5	GND	Referência neutra	GND	Referência neutra
6	DSR	Entrada de sinal	DSR	Saída de sinal
7	RTS	Saída de sinal	RTS	Entrada de sinal
8	CTS	Entrada de sinal	CTS	Saída de sinal
9	RI	Entrada de sinal	RI	Saída de sinal

Fonte: elaborado pelo autor

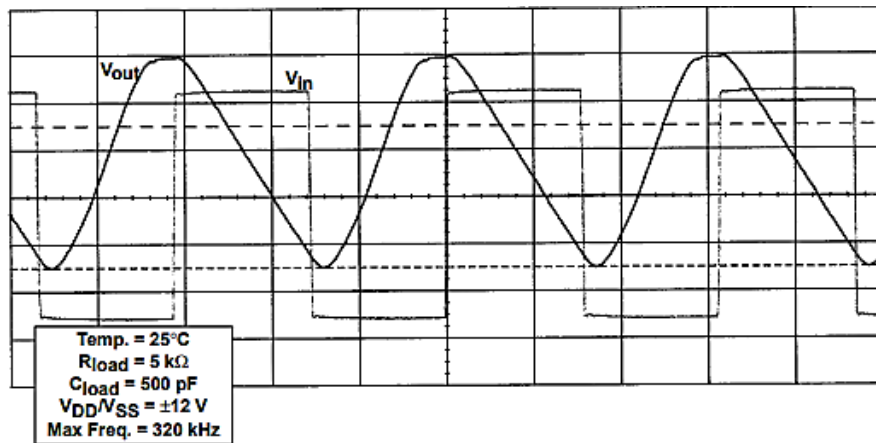
Em conjunto a isso, definindo as funções dos sinais da Tabela 7, que são, respectivamente, as seguintes. **CD** é um sinalizador de uma boa comunicação, ou seja, o DCE envia para DTE que os dados estão sendo recebido. **RX** recebe os dados. **TX** transmitir os dados. **DTR** o DTE informa ao DCE que está pronto para recebimento do conjunto de dados. **GND** é o terra. **DSR** DCE informa ao DTE que o canal de comunicação está disponível para transferência de dados. **RTS** tem como função envia um sinal para DCE quando o DTE está pronto para transmitir os dados. **CTS** o DTE recebe um sinal do DCE que os dados podem começar a ser transmitidos. Por último, tem-se **RI** que trata de uma chamada para verificar se o canal de comunicação está ativo (Texas Instruments, “*Interface Circuits for TIA/EIA-232-F*”, 2002, p. 22).

3.10.2 Transferência de Dados

Os sinais nos pinos TX e RX para o padrão EIA RS-232 não são sinais digitais do tipo TTL de 0 a 5V, mas sim sinais que variam de 3 a 15V positivos, ou negativos e as tensões entre -3 a +3V são regiões onde os sinais não são validos. Somado a isso, o nível lógico alto (bit 1) é definido com tensão negativa, ou seja, convencionalmente conhecido como desligado OFF, e o

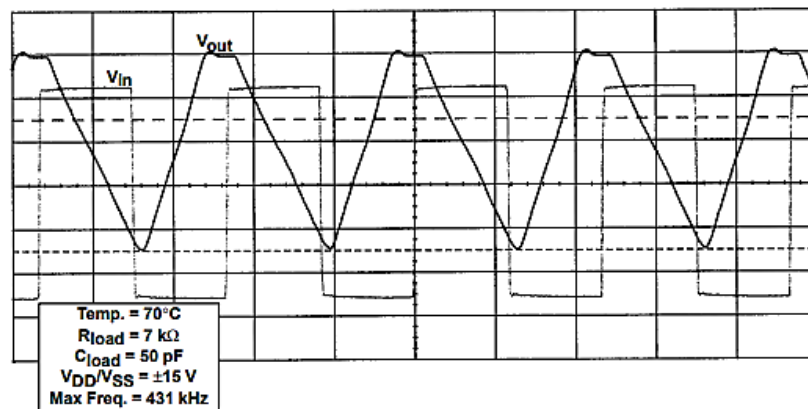
nível lógico baixo (bit 0) é definido com tensão positiva, denominado como ligado ON. Níveis de sinal +/-5, +/-10, +/- 12 e +/-15 são vistos comumente, dependendo da fonte elétrica disponível. Assim, nas Figuras 5 e 6 são apresentados exemplos das formas de ondas que representam os bits que constituem as informações.

Figura 5: Tensão 12 pico a pico.



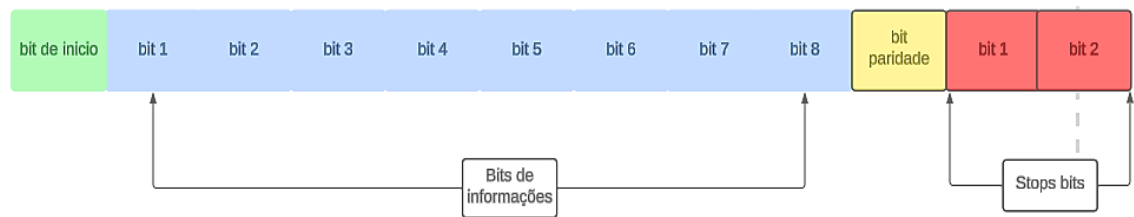
Fonte: (Texas Instruments, 2002)

Figura 6: Tensão 15 pico a pico



Fonte: (Texas Instruments, 2002)

Com relação a função de cada bit na transmissão da informação, tem-se a seguinte definição: O primeiro bit é do início da transmissão. Em seguida, vem os 8 bits que constituem a informação e o bit de paridade, que tem a função de verificar se a mensagem enviada contém erros. Logo após, são os dois bits de parada, que sinalizam o fim da transmissão dos pacotes de dados. Esta definição está exemplificada na Figura 7.

Figura 7: ordem dos bits no pacote de dados

Fonte: elaborada pelo autor

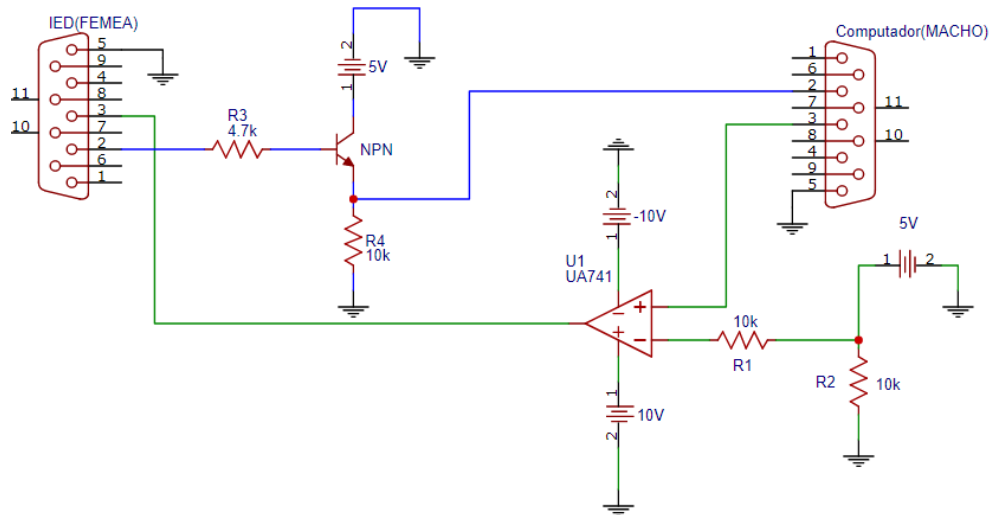
Com as informações supracitadas, pode-se definir o processo de *Handshaking* que, basicamente, é o processo para garantir a troca, bem sucedida, de informações entre transmissor e receptor. Para isso ocorrer, pode-se utilizar as funções das portas COM1 e COM4 do relé e do computador respectivamente, ou pode ser *Handshaking* de software. Quando o transmissor de dados estiver enviando dados, ele fica em um nível lógico ligado e, quando não estiver enviando, fica com nível lógico desligado. Assim, essa lógica garante que o receptor vai receber os pacotes de dados do transmissor (Texas Instruments, “*Interface Circuits for TIA/EIA-232-F*”, 2002, p. 22).

3.11 Circuitos de conversão

Devido aos diferentes níveis de tensão nas portas seriais dos dispositivos DTE/DCE, é necessário utilizar um circuito conversor. Neste trabalho, são analisados dois circuitos (BATES, M. *Introdução à comunicação serial*. São Paulo: Pearson Education, 2000).

3.11.1 Circuito com amplificador operacional

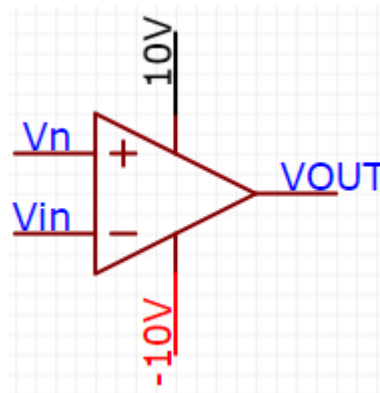
Uma alternativa de circuito para realizar a comunicação entre as interfaces seriais do computador com o IED, é utilizando um amplificador operacional (AmpOp), conforme o esquema eletrônico do circuito apresentado na Figura 8 (FRANCO, S. *Amplificadores operacionais e circuitos integrados*. 3. ed. São Paulo: LTC, 2002).

Figura 8: Esquema eletrônico do circuito com AmpOp

Fonte: Elaborado pelo autor

3.11.1.1 Princípio de operação do circuito com AmpOp

Considerando a transmissão do computador para o IED, os bits seriais são transmitidos através do pino 3, que está conectado na porta não inversora do AmpOp. Na porta inversora existe uma tensão constante de 2.5 volts, pois o AmpOp vai amplificar para níveis de tensões de saturação, se existir uma tensão para comparação com sinal a ser amplificado, como está representado na Figura 9.

Figura 9: Princípio de funcionamento do AmpOp

Fonte: Elaborado pelo autor

Desta forma, a partir da imagem anterior, pode-se explicar o funcionamento do AmpOp para uma tensão constante na entrada V_{in} como em (2).

$$V_n > V_{in} \rightarrow V_{out} = +V \quad (3)$$

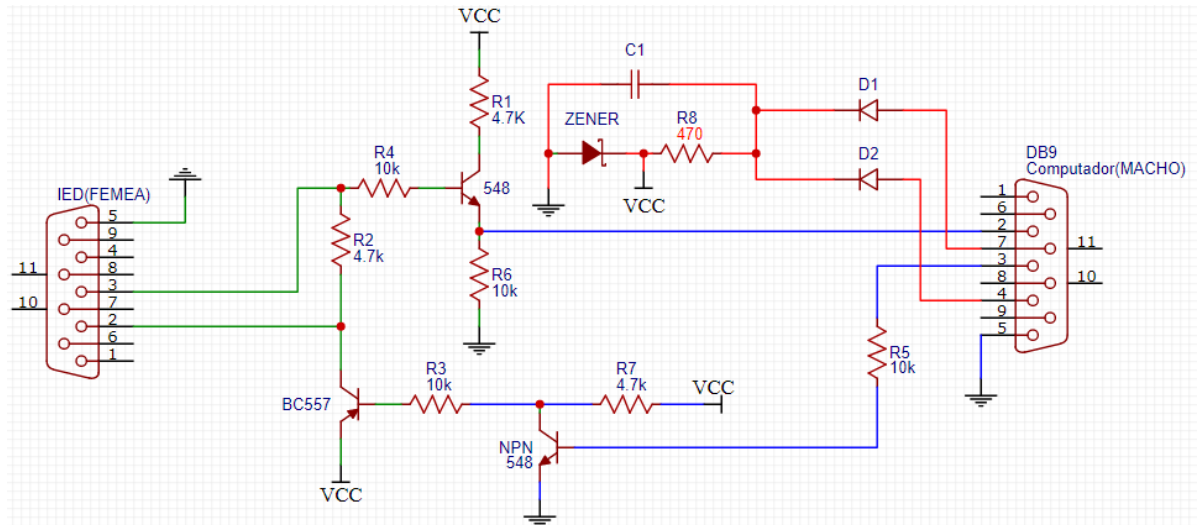
Se (2), não é satisfeita, então (3) pode ser satisfeita.

$$V_n < V_{in} \rightarrow V_{out} = -V \quad (4)$$

Com bases em (2) e (3), e sabendo que os níveis de tensão que são transmitidos para a porta não inversora são 0 e 5 volts, necessita-se de uma tensão que está entre os níveis de tensão citado acima. Desta forma, utilizando uma fonte de tensão de 5 volts e criando um divisor de tensão para obter-se 2,5 volts e, assim, aplica-lo na porta inversora do AmpOp. Somado a isso, o nível de tensão do sinal serial é amplificado para 20 volts pico-a-pico. Para isso, utiliza-se uma fonte simétrica de ± 10 volts. Desta forma, como os bits devem chegar invertido na interface de comunicação do IED, ao ser amplificado de 5 e 0 volts para 10 e -10 volts, respectivamente, já ocorre a conversão dos bits na própria amplificação, pois o nível logico 1 vai para 10 volts, que no protocolo RS-232 é o nível logico baixo 0, e o mesmo ocorre com o sinal de 0 volts. Por último, na comunicação do IED para o computador a conversão dos bits e a atenuação para 0 e 5 volts ocorre a partir do transistor NPN 548, que conecta o TX do IED com o RX do computador (FRANCO, S. *Amplificadores operacionais e circuitos integrados*. 3. ed. São Paulo: LTC, 2002)

3.11.2 TTL (Lógica Transistor-Transistor)

Esse circuito tem como função converter as tensões de nível logico para níveis de tensões seriais. Os níveis lógicos para o padrão TTL são dados pela logica alta (1), que é representada pelo V_{cc} que pode ser, +5 volts ou +3,3 volts, e a lógica baixa (0), que é representada por 0 volts. Assim, o circuito TTL tem a função de interligar duas interfaces que operam em diferentes níveis de tensão e lógicas. A RS-232, como explicada anteriormente, e a porta DB9 do computador, têm a lógica convencional nível alto (1) e nível baixo (0) e os níveis de tensões são de 0 volts a 5 volts. Desta forma, o circuito conversor TTL está representado na Figura 8, interligando as interfaces seriais do computador com o IED (Texas Instruments, “*Interface Circuits for TIA/EIA-232-F*”, 2002, p. 22).

Figura 10: Esquema eletrônico do circuito TTL/RS232

Fonte: elaborado pelo autor

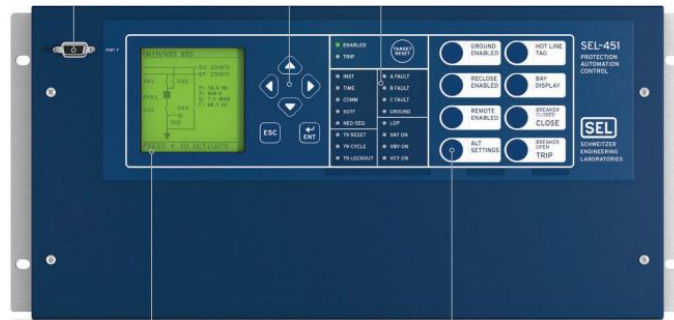
3.11.2.1 Princípio de operação do circuito TTL

Considerando a transmissão de dados do computador para o IED, assim o pino 3 do cabo D9 está conectado na base do transistor NPN 548, que tem a função de inversão dos bits seriais. Esse sinal invertido chega na base do transistor PNP 557, que tem o coletor conectado, através do resistor de 4k7, a uma tensão negativa de -10 volts da interface do IED e o emissor conectado a uma tensão positiva de +5 volts. Desta forma, o sinal invertido é amplificado para o nível de tensão e lógica que o SEL 451 reconhece, como explicado no item 2.10.2. Assim, o sinal com os bits seriais é direcionado para o pino 2 do IED. No processador reverso, mensagens transferidas do IED para o computador, o sinal com os bits seriais é transmitido pelo pino 3 do IED. Esse sinal é invertido e atenuado no transistor NPN 548 e, então, transmitido para o pino 2 do cabo D9 do computador. Por fim, todo o circuito é alimentado a partir de sinais de tensões positivas, em torno de 5 volts, que existem nos pinos 4 e 7 do DB9. Com isso, cria-se um circuito para manter a tensão constantes em +5 volts para garantir o funcionamento do circuito TTL (Texas Instruments, “*Interface Circuits for TIA/EIA-232-F*”, 2002, p. 22).

3.12 SEL 451A e Acselelator QuickSet

Neste trabalho, utiliza-se um dispositivo eletrônico inteligente comercial, ou seja, o SEL 451A, como está representado na Figura 11.

Figura 11: SEL 451A frontal



Fonte: (SEL, 2013)

Figura 12: SEL 451A verso



Fonte: (SEL, 2013)

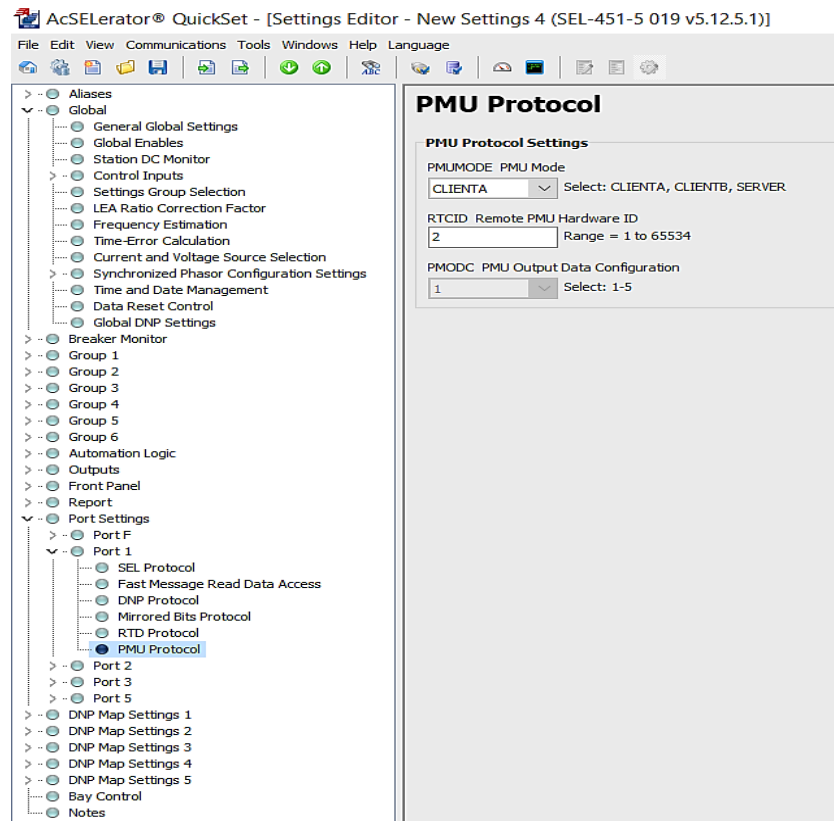
De forma geral, este dispositivo é aplicado na rede de distribuição de energia elétrica com a finalidade de proteção de alimentadores, ou seja, o IED atua para proteger principalmente transformadores de correntes atuando de forma instantânea, ou temporizada contra uma corrente acima da padronizada. Somado a isso, realiza o controle dos disjuntores para ligar ou religar uma linha e, também, detecta falha nesses equipamentos de maneira rápida. Por fim, realiza automação a partir da inclusão das variáveis para personalizar o controle.

Para realizar todas as comunicações citadas nos itens anteriores, ou inserir padronizações de proteção, controle e automação, é necessário utilizar o *software* oferecido pelo SEL, denominado de Acselelator QuickSet. Desta forma, esse *software* é utilizado para parametrizar a comunicação de sincrofasores com cabo serial entre IED e o computador (SEL, “SEL 451-5 Relay Protection, Automation, and Control System”, **Instruction Manual: 20130416**, 2013, p. 1198).

- **Primeiro passo para configuração do SEL 451A**

Selecionar uma das portas serial 1,2,3 como está mostrado na Figura 13. Neste trabalho, é escolhida a porta 1, por exemplo. Assim, ir até a opção *port setting* e em seguida ir até a outra opção *PMU protocol* e configurar, como está representado na Figura 13.

Figura 13: Primeira configuração da porta



Fonte: elaborado pelo autor

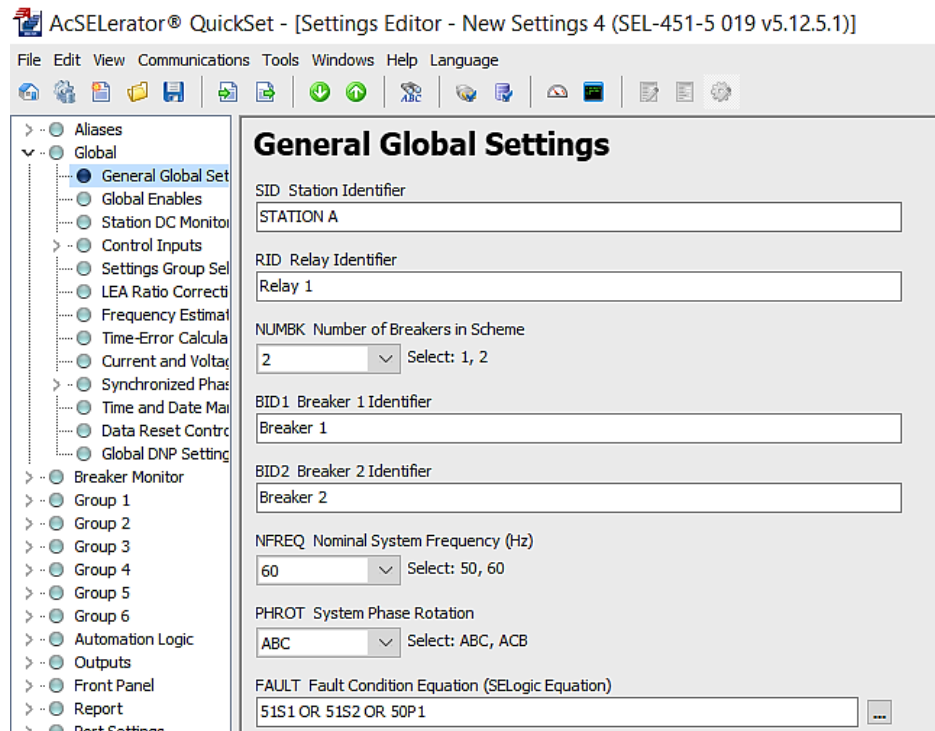
Logo após isso, as demais opções da *Port 1* ficam desabilitada, como mostram a Figura de 14 a 18.

Desta forma, conclui-se as configurações da porta 1 e, assim, segue-se para as configurações gerais do SEL 451A.

- **Segundo passo: para configuração do SEL 451A**

Esta segunda etapa trata das configurações gerais do IED, como nomea -lô no campo (Station Identifier) neste projeto foi nomeado como STATION A e frequência de operação no campo NFREQ como está apresentado na figura 19.

Figura 19: *General Global settings*

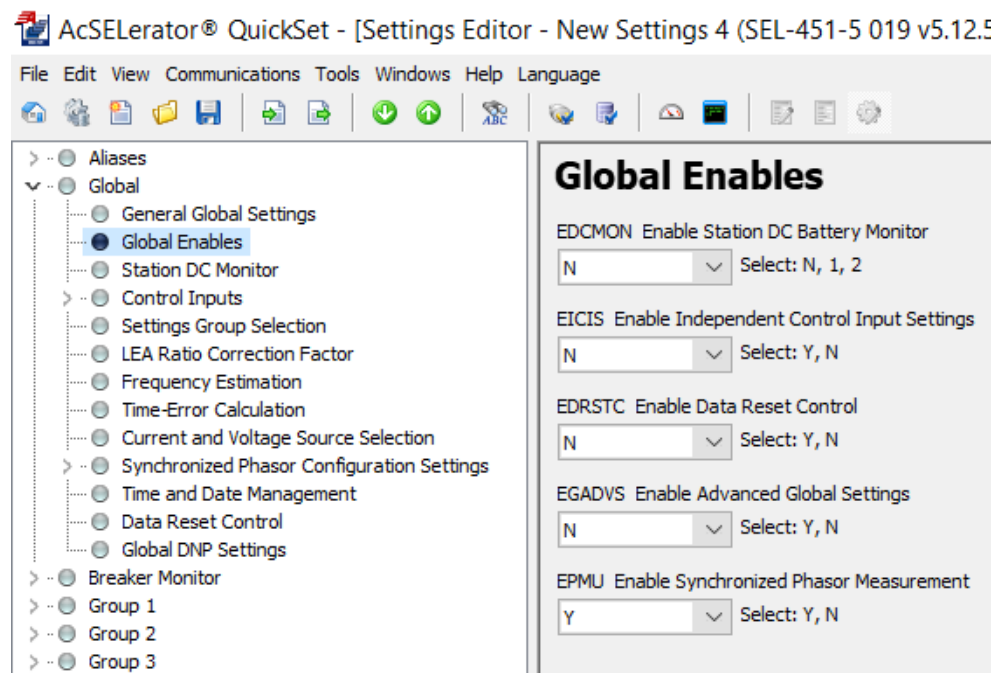


Fonte: elaborado pelo autor

Nesta parte da configuração, apenas é alterado o valor da caixa NFREQ para 60Hz os demais foi mantido como o manual instrui. Após isso, segue-se para a configuração do *global enable*.

Nesta etapa da configuração geral, apenas é habilitada para sim (Y) a opção EPMU, as demais devem ficar selecionado para não (N) como esta representado na figura 20.

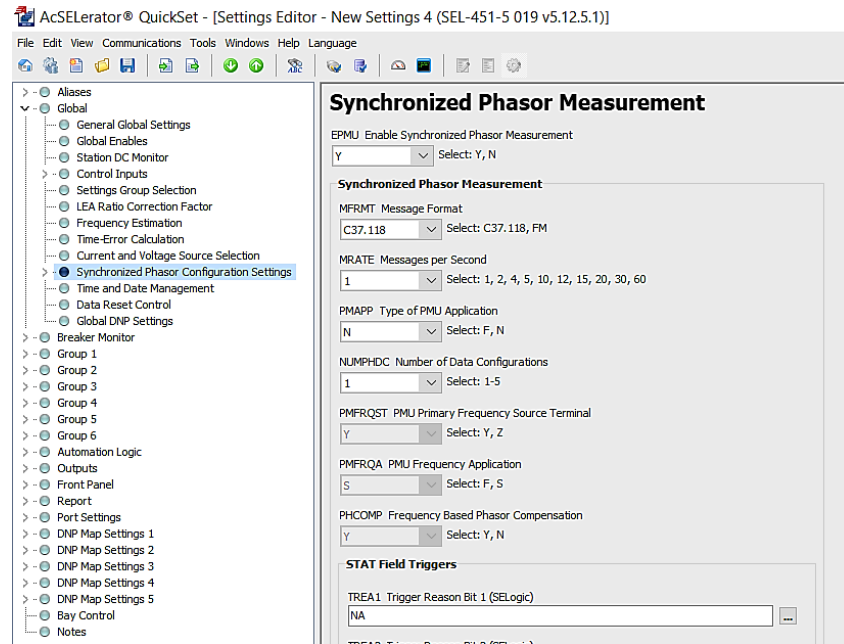
Figura 20: Configuração *global enable*



Fonte: elaborado pelo autor

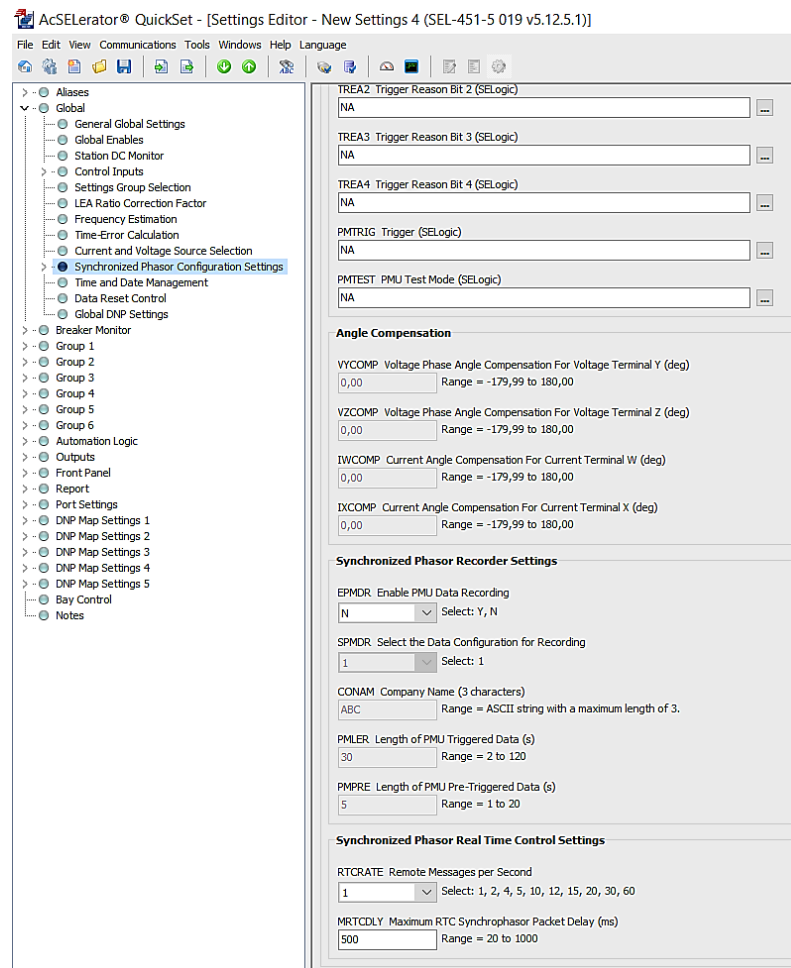
Posteriormente, deve-se habilitar a opção **Synchronized Phasor Measurement** com o protocolo C37.118 Neste trabalho de graduação, o número de mensagens por segundo lido pelo relé é de 1 mensagem/segundo, conforme demonstrado na imagem 21. Além disso, é necessário especificar o *delay* permitido entre cada medição dos sincrofasores no campo MRTCDLY, conforme indicado na Figura 22.

Figura 21: Configuração *Synchronized Phasor Measurement*



Fonte: elaborado pelo autor

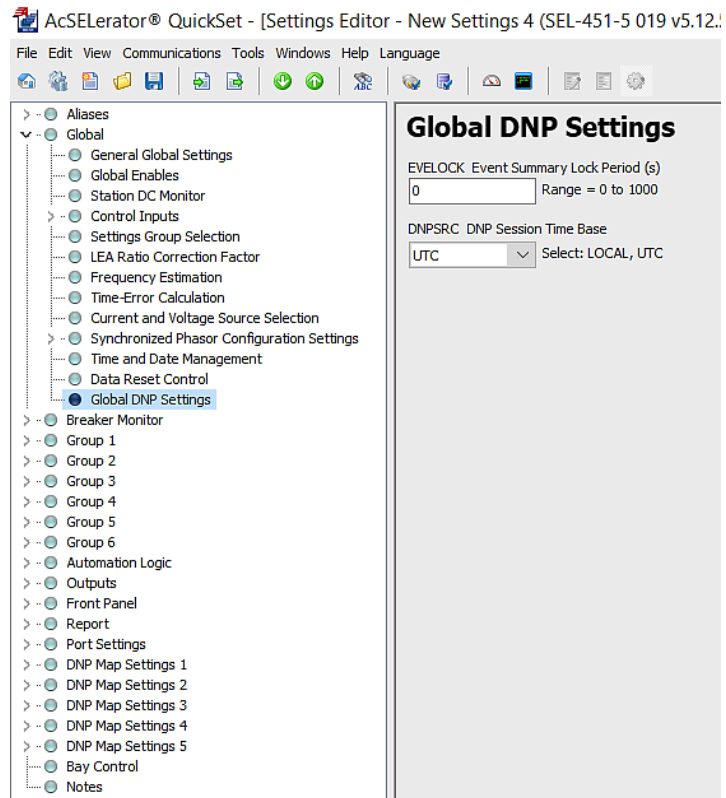
Figura 22: Configuração *Synchronized Phasor Measurement*



Fonte: elaborado pelo autor

Por fim selecionar qual referência de tempo do IED que é a coordenada universal de tempo UTC, como mostra a figura 23.

Figura 23: Configuração *GLOBAL DNP SETTINGS*



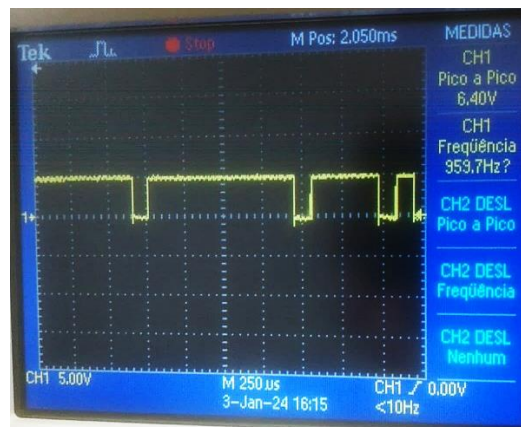
Fonte: elaborado pelo autor

4. RESULTADO E DISCUSSÃO

Com base em toda teoria sobre sincrofasores e a técnicas utilizada para a comunicação entre as interfaces, pode-se obter os resultados de comunicação serial utilizando o circuito com o amplificador operacional. Assim, tem-se as formas de ondas na transmissão dos pacotes de dados.

A transmissão dos sincrofasores foi iniciada utilizando o circuito com amplificador operacional, conforme representado na Figura 8. Durante o envio dos pacotes da unidade computacional para o IED, o sinal foi capturado no pino TX do computador, conforme ilustrado na Figura 24.

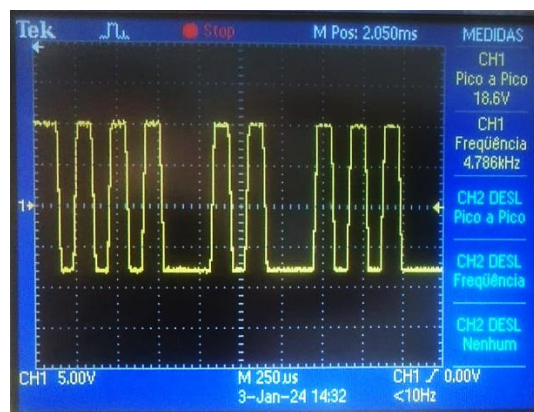
Figura 24: Sinal na entrada não inversora do AmpOp



Fonte: elaborado pelo autor

Para validar se o sinal estava sendo enviado da saída do amplificador operacional para o RX do IED, o sinal foi capturado a fim de verificar se os níveis de tensão estavam adequados para a comunicação. Os resultados confirmaram a adequação, conforme apresentado na Figura 25.

Figura 25: Sinal de saída do AmpOp



Fonte: elaborado pelo autor

Assim utilizando, o software Acselelator QuickSet, foi possível mostrar que os sincrofasores gerado no software (simulador de PMU) no computador está sendo recebido e reconhecido pelo SEL 451A, como está representado nas Figura 26 e 27.

Figura 26: Confirmação de recebimento

```
=>COM RTC

Relay 1                                     Date: 01/04/2024 Time: 16:31:45.823
STATION A                                 Serial Number: 1133310214

FID=SEL-451-5-R314-V0-Z019012-D20130618

Summary for RTC channel A
Port: 1
ID: 2
Present Status: Receiving
Max Packet Delay: 202 msec
Message Rate: 1 msgs/sec
```

Fonte: elaborado pelo autor

Assim, a partir da confirmação de que os sincrofasores estavam sendo recebidos, usando comando **COM RTC**, foi executado o comando **MET RTC** para mostrar os valores recebidos nas mensagens de dados, que estão destacado em verde na Figura 27.

Figura 27: Sincrofasores salvos no SEL 451A

```
=>MET RTC

Relay 1                                     Date: 01/04/2024 Time: 16:33:09.000
STATION A                                 Serial Number: 1133310214

TSOK: 1 RTCROKA: 1 RTCROKB: 0 RTCROK: 1

Delayed Local Synchrophasors

VY Phase Voltages
MAG (kV)    VA    VB    VC    VY Pos. Sequence Voltage
ANG (DEG)   -27.255  61.749  28.515  V1
              0.000  0.000  0.000  0.000
              -114.129

VZ Phase Voltages
MAG (kV)    VA    VB    VC    VZ Pos. Sequence Voltage
ANG (DEG)   48.380  -24.202  154.563  V1
              0.000  0.000  0.000  0.000
              55.917

IW Phase Currents
MAG (A)     IA    IB    IC    IW Pos. Sequence Current
ANG (DEG)   147.149  135.460  101.602  IW
              0.125  0.092  0.079  0.023
              -138.588

IX Phase Currents
MAG (A)     IA    IB    IC    IX Pos. Sequence Current
ANG (DEG)   43.286  58.597  -169.354  IX
              0.009  0.038  0.079  0.027
              93.712

IS Phase Currents
MAG (A)     IA    IB    IC    IS Pos. Sequence Current
ANG (DEG)   143.006  115.244  146.006  IS
              0.123  0.107  0.113  0.023
              148.791

FREQUENCY (Hz) (Local) : 60.000
FREQUENCY (Hz) (remote A) : 60.000
Rate-of-change of FREQ (Hz/s) (Local) : 0.00
Rate-of-change of FREQ (Hz/s) (remote A) : 0.00

Remote Synchrophasors
Channel A 1-8
MAG    ANG
32.773  99.829
32.773  99.829
32.773  99.829

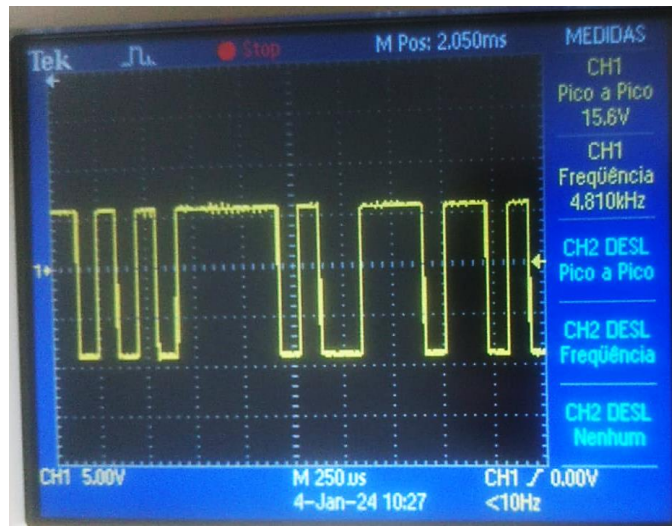
Remote Analogs
RTCAA01  333.000 RTCAA02  666.000 RTCAA03  100.000

Remote Digitals
```

Fonte: elaborado pelo autor

Para validar a comunicação do IED com a unidade computacional, foi analisado o envio dos *frames* de comando pelo relé para o computador, a fim de sinalizar que a comunicação foi estabelecida. Esses dados foi capturado no pino TX do IED está representado na Figura 28.

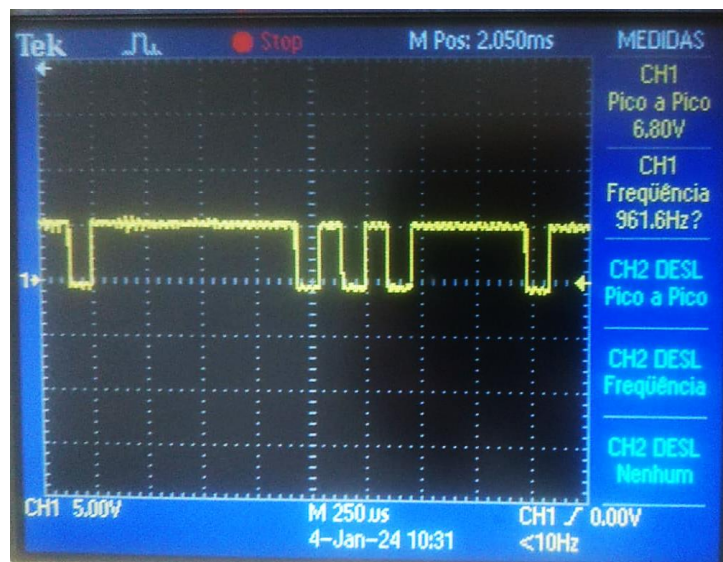
Figura 28: Sinal transmitido pelo SEL 451A



Fonte: elaborado pelo autor

Apos passar pelo processo de atenuação e inversão do sinal no transistor NPN do circuito da figura 8, o sinal que está presente no RX do computador está representado na figura 29.

Figura 29: Sinal recebido pelo computador



Fonte: elaborado pelo autor

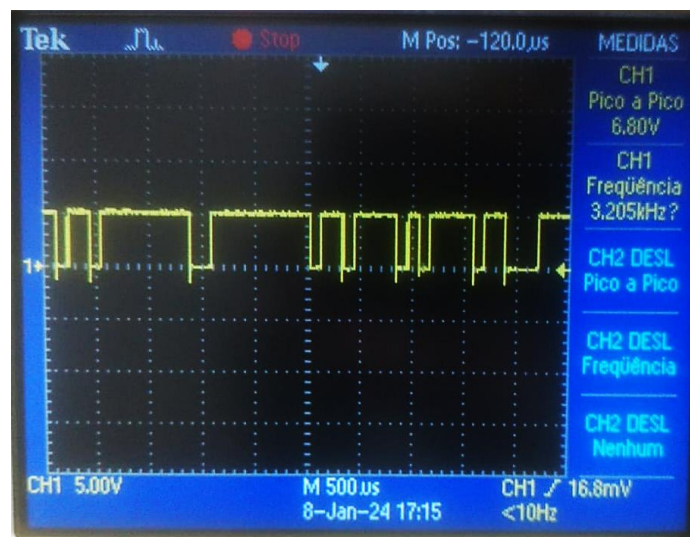
Assim, o sinal da sequência serial de bits, representado pela forma de onda da Figura 28, está sendo transmitido diretamente para a base de um transistor NPN-548, como está no

esquema eletrônico da Figura 8. Devido aos níveis de tensão negativo e positivo, o transistor bloqueia para zero volts ou polariza para 5 volts, respectivamente. Assim, o sinal foi invertido e atenuado como mostrado na Figura 29.

Após a obtenção desses resultados notou-se que o circuito com AmpOp é financeiramente caro. Para seu funcionamento necessita-se de uma fonte que tenha três tensões de -10, +10 e 5 volts. Utilizando a técnica do conversor TTL como está representado na Figura 10, pode-se alcançar todas as conformidades necessárias para a comunicação.

Utilizando o circuito conversor TTL, representado na Figura 10, foi capturado o sinal de dados transmitido do computador para o IED, conforme demonstrado na Figura 30.

Figura 30: Sinal transmitido pelo RX do computador

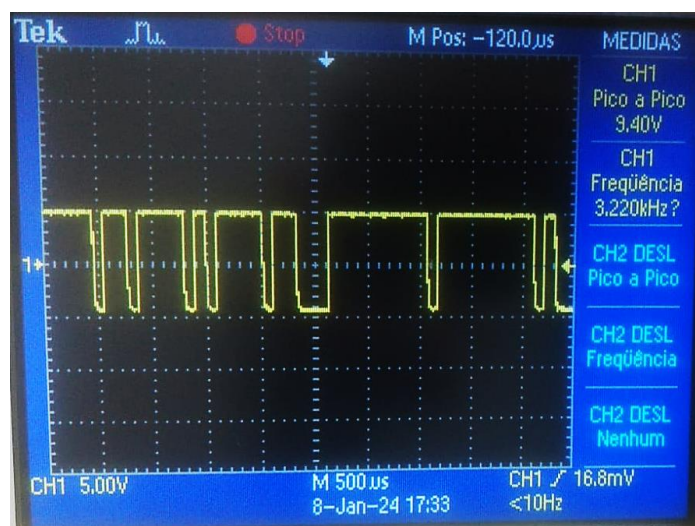


Fonte: elaborado pelo autor

Nota-se que os sincrofasores transmitido do computador para o SEL 451A é um sinal digital convencional de 0 a 5 volts, como mostrado na Figura 30. Esse sinal é transmitido para a base de um transistor NPN 548 com o objetivo de apenas ser invertido, assim, quando o computador transmitir nível lógico alto, esse transistor polariza, porém como o coletor está entre duas resistências, R3 e R7, e existe uma tensão constante de 5 volts entre o coletor e R7, essa tensão constante anula o nível de logico alto do TX do computador. Então, é transmitido o nível logico baixo para a base do transistor PNP 557. Após a isso, ao ser transmitido o sinal de nível baixo do computador, o transistor NPN 548 bloqueia e, então, devido a tensão constante de 5 volts presente na base do PNP 557, o sinal torna-se de nível alto. Tem-se a inversão do sinal, como está representado na Figura 31.

Figura 31: Sinal invertido**Fonte:** elaborado pelo autor

Quando o IED está recebendo dados, no pino 2 não há nenhum nível de tensão e no pino 3 uma tensão de -10 volts e essa tensão é dívida entre as resistências R2 e R4, Figura 8. Assim, quando um sinal de 5 volts esta base do PNP, esse está no modo bloqueado, com isso a tensão negativa do pino 3 é dívida entre as resistências citadas, consequentemente, o sinal transmitido para o RX do IED é de -4.4 volts. Quando há uma tensão de zero volts na base no PNP, esse está polarizado e, devido a tensão constante no emissor o RX do IED, recebe 5 volts. Desta forma, verifica-se que o sinal foi amplificado para níveis de tensões adequados para a comunicação, como mostrado na Figura 32.

Figura 32: Sinal amplificado

Fonte: elaborado pelo autor

Quando o IED está enviando mensagens de configuração para o computador, como o TX do IED, pino 3, está conectado na base no transistor NPN 548, e o nível lógico alto é transmitido, uma tensão negativa é aplicada na base do transistor que fica no modo bloqueado e é enviado nível lógico baixo para o RX, pino 2, do computador. No momento que é enviado nível lógico baixo, uma tensão positiva é aplicada na base do NPN 548. Esse fica no estado polarizado e a tensão constante de 5 volts presente no coletor é transmitida para o RX do computador. O sinal como um todo é atenuado e invertido, como mostrado na Figura 33.

Figura 33: Sinal recebido pelo computador



Fonte: elaborado pelo autor

Por fim, para confirmação que os sincrofasores estão sendo reconhecidos e lido pelo SEL 451A, utilizou-se o comando **COM RTC** e **MET RTC**, respectivamente, pelo software Acselelator QuickSet, como está representado nas Figuras 34 e 35.

Figura 34: Sincrofasores reconhecidos pelo SEL 451A

```
=>>COM RTC
Relay 1
STATION A
FID=SEL-451-5-R314-V0-Z019012-D20130618
Summary for RTC channel A
Port: 1
ID: 2
Present Status: Receiving
Max Packet Delay: 119 msec
Message Rate: 1 msgs/sec
Date: 01/08/2024 Time: 17:30:31.552
Serial Number: 1133310214
```

Fonte: elaborado pelo autor

Figura 35: Sincrofasores salvos no SEL 451A

```
=>>MET RTC
Relay 1
STATION A
TSOK: 1 RTCROKA: 1 RTCROKB 0 RTCROK 1
Date: 01/08/2024 Time: 17:31:02.000
Serial Number: 1133310214

Delayed Local Synchrophasors

VY Phase Voltages
MAG (kV) VA VB VC VY Pos. Sequence Voltage
ANG (DEG) -50.789 159.073 -26.495 V1
0.000 0.000 0.000 0.000
-100.978

VZ Phase Voltages
MAG (kV) VA VB VC VZ Pos. Sequence Voltage
ANG (DEG) 83.251 -50.356 -106.693 V1
0.000 0.000 0.000 0.000
88.654

IV Phase Currents
MAG (A) IA IB IC IV Pos. Sequence Current
ANG (DEG) -135.015 -4.382 64.366 I1V
0.072 0.067 0.058 0.020
-141.479

IX Phase Currents
MAG (A) IA IB IC IX Pos. Sequence Current
ANG (DEG) 56.002 -85.344 1.241 I1Y
0.036 0.031 0.013 0.018
42.613

IS Phase Currents
MAG (A) IA IB IC IS Pos. Sequence Current
ANG (DEG) -145.634 -27.281 54.189 I1S
0.037 0.078 0.064 0.003
-168.587

FREQUENCY (Hz) (Local) : 60.000
FREQUENCY (Hz) (remote A) : 60.000
Rate-of-change of FREQ (Hz/s) (Local) : 0.00
Rate-of-change of FREQ (Hz/s) (remote A) : 0.00

Remote Synchrophasors
Channel A 1-8
MAG ANG
33.928 141.412
33.928 141.412
33.928 141.412

Remote Analogs
RTCAA01 333.000 RTCAA02 666.000 RTCAA03 100.000

Remote Digitals
```

Fonte: elaborado pelo autor

Por fim, tem-se a análise de transmissão dos *frames* pelos circuitos conversores com o AmpOp e pelo circuito TTL, como estão representados nas Figuras 36 e 37, respectivamente. Essas figuras correspondem ao envio dos sincrofasores do computador para o IED.

Figura 36: Frames transmitidos pelo circuito com AmpOp

```
Writes
000426: 2024-01-04 16:30:28,1866380 +1,0249048

AA 31 00 AE 00 02 65 97 07 40 00 00 68 37 00 0F *1.0.e-@.h7...
42 40 00 01 53 54 41 54 49 4F 4E 20 41 20 20 20 B@..STATION A
20 20 20 20 00 02 00 0E 00 03 00 03 00 00 56 41 .....VA
59 50 4D 52 44 20 20 20 20 20 20 20 20 20 20 20 20 YPMRD VB
59 50 4D 52 44 20 20 20 20 20 20 20 20 20 20 20 20 YPMRD VC
59 50 4D 52 44 20 20 20 20 20 20 20 20 20 20 20 20 YPMRD RT
43 41 41 30 31 20 20 20 20 20 20 20 20 20 20 20 20 CAA01 RT
43 41 41 30 32 20 20 20 20 20 20 20 20 20 20 20 20 CAA02 RT
43 41 41 30 33 20 20 20 20 20 20 20 20 20 20 20 20 CAA03 ..
00 01 00 00 00 01 00 00 00 01 00 00 00 01 00 00 .....u^
00 01 00 00 00 01 00 00 00 00 00 01 00 FC AA 01 .....
00 3E 00 02 65 97 07 41 00 00 A3 54 00 00 C6 F8 .>..e-.A..fT...Es
B9 81 46 4A EA 66 C6 F8 B9 81 46 4A EA 66 C6 F8 ^ FJéfEs^ FJéfEs
B9 81 46 4A EA 66 42 70 00 00 00 00 00 00 43 A6 ^ FJéfBp.....C!
80 00 44 26 80 00 42 C8 00 00 C1 BD AA 01 00 3E €.D&€.B&...Á?^...>
00 02 65 97 07 42 00 00 C0 A8 00 00 C6 02 3D 07 ..e-.B..Á"...E.=.
C6 C8 A3 78 C6 02 3D 07 C6 C8 A3 78 C6 02 3D 07 E&fxE.=.E&fxE.=.
C6 C8 A3 78 42 70 00 00 00 00 00 00 43 A6 80 00 E&fxBp.....C!C!
44 26 80 00 42 C8 00 00 4E 09 AA 01 00 3E 00 02 D&€.B&...N.^...>..
65 97 07 43 00 00 F0 A9 00 00 46 AC 41 96 46 AD e-.C...@...F-A-F-
0C E1 46 AC 41 96 46 AD 0C E1 46 AC 41 96 46 AD .áf-A-F-.áf-A-F-
0C E1 42 70 00 00 00 00 00 00 43 A6 80 00 44 26 .áfBp.....C!€.D&
```

Fonte: elaborado pelo autor

Figura 37: *Frames* transmitidos pelo circuito TTL

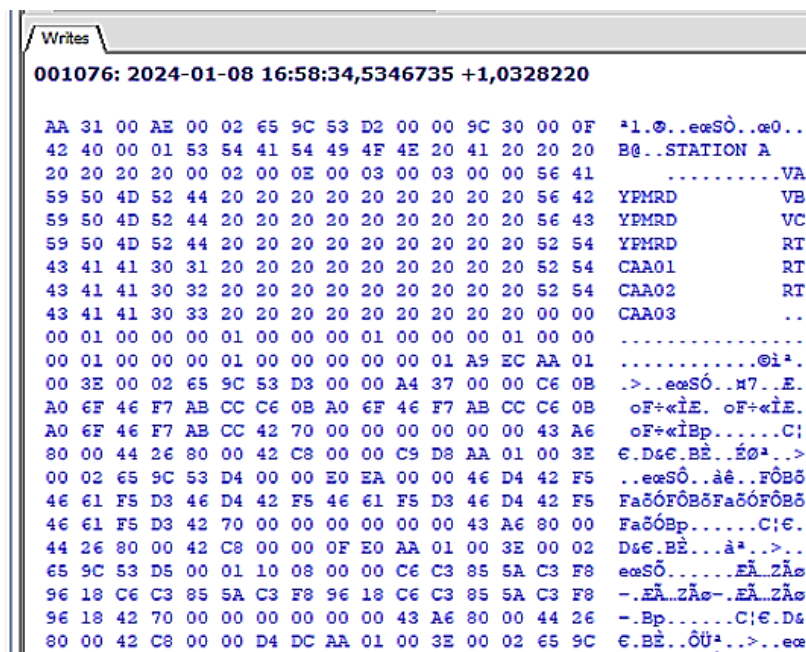
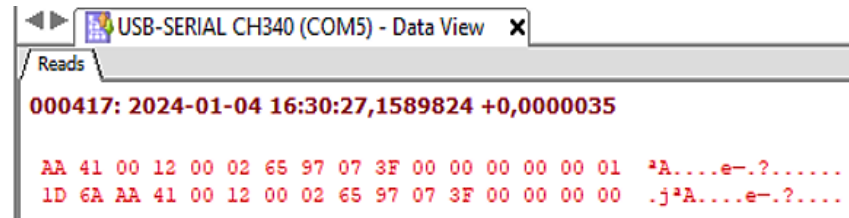
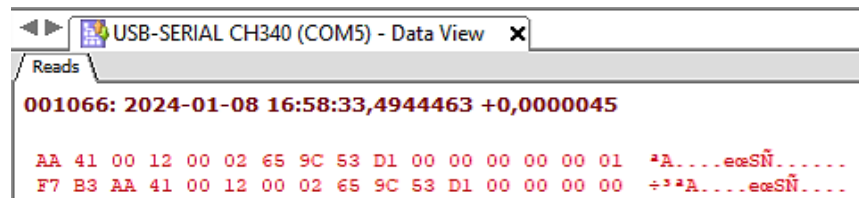


Figura 38: Confirmação da mensagem de configuração

Fonte: elaborado pelo autor

Figura 39: Confirmação da mensagem de configuração

Fonte: elaborado pelo autor

5. CONCLUSÃO

Este trabalho de graduação teve a finalidade de a partir da comunicação serial entre um computador e um SEL 451A trocar dados como sincrofasores.

Para isso ocorrer a norma da IEEE C37.118 foi utilizada amplamente como base para entender como o IED compreende uma mensagem, que é elaborado no padrão de sincrofasor. Somado a isso, outra compreensão transcrita é como uma mensagem pode ser de dados, configuração e comando. Esses tipos de mensagens são constituídos de 7 *frames* comuns. Em conjunto a isso, para a ocorrer a troca desses sincrofasores, foi implementado um circuito conversar para o protocolo serial RS-232, devido aos diferentes níveis de tensão e lógicas que ambos os dispositivos funcionam. Para que o IED entender como as trocas de mensagem são realizadas, foi implementado o ajuste dos parâmetros de configurações a partir do software Quick Asclerator.

Por fim, sabendo que o sistema elétrico de energia é uns dos pilares de qualquer economia, o IED é uma ferramenta vital em qualquer sistema. Este projeto de graduação oferece uma alternativa de comunicação e com isso uma ferramenta de monitoramento a mais dos dados do sistema elétrico.

6. REFERÊNCIAS BIBLIOGRÁFICAS

IEEE Standards Association, IEEE Power & Energy Society, "*IEEE Standard for Synchrophasor Data Transfer for Power Systems*", **IEEE Std C37.118.2 -2011**, December 2011, pp. 1-26

J Duncan Glover; Overbye, T. J.; Sarma, M. S. "*Power system analysis & design*". Boston, Ma: Cengage Learning, 2017.

K. Martin, "*Synchrophasor standards development – IEEE C37.118 & IEC61850*", in: **2011 44th Hawaii International Conference on System Sciences (HICSS)**, 2011, pp. 1–8, <http://dx.doi.org/10.1109/HICSS.2011.393>.

Phadke, A., "*Synchronized Phasor Measurements and Their Applications*." Springer International PU, 2017.

SEL, "*SEL 451-5 Relay Protection, Automation, and Control System*", **Instruction Manual: 20130416**, 2013, p. 1198.

Seyed Reza Firouzi, Luigi Vanfretti, Albert Ruiz-Alvarez, Hossein Hooshyar, Farhan Mahmood, "*Interpreting and implementing IEC 61850-90-5 Routed-Sampled Value and Routed-GOOSE protocols for IEEE C37.118.2 compliant wide-area synchrophasor data transfer*", **Electric Power Systems Research**, Volume 144, 2017, Pages 255-267, <https://doi.org/10.1016/j.epsr.2016.12.006>.

Texas Instruments, "*Interface Circuits for TIA/EIA-232-F*", 2002, p. 22

BATES, M. *Introdução à comunicação serial*. São Paulo: Pearson Education, 2000.

BOYLESTAD, R. L.; NASHELSKY, L. *Dispositivos eletrônicos e teoria de circuitos*. 10. ed. São Paulo: Pearson Prentice Hall, 2012.

FRANCO, S. *Amplificadores operacionais e circuitos integrados*. 3. ed. São Paulo: LTC, 2002.

MALVINO, A. P.; BATES, D. J. *Eletrônica: volume 1*. 7. ed. São Paulo: McGraw-Hill, 2007.

SEDRA, A. S.; SMITH, K. C. *Microeletrônica*. 5. ed. São Paulo: Pearson, 2010.

TANENBAUM, A. S. *Redes de computadores*. 5. ed. São Paulo: Pearson Prentice Hall, 2011.