

2018

UNIVERSIDADE ESTADUAL PAULISTA “JÚLIO DE MESQUITA FILHO”
CÂMPUS EXPERIMENTAL DE SÃO JOÃO DA BOA VISTA
BACHARELADO EM ENGENHARIA DE TELECOMUNICAÇÕES

WELDER FERNANDES PERINA

ESTUDO TEÓRICO E EXPERIMENTAL DE TRANSISTORES DE MÚLTIPLAS
PORTAS FABRICADOS EM ESTRUTURAS DE NANOFIOS

SÃO JOÃO DA BOA VISTA

2018

WELDER FERNANDES PERINA

ESTUDO TEÓRICO E EXPERIMENTAL DE TRANSISTORES DE MÚLTIPLAS
PORTAS FABRICADOS EM ESTRUTURAS DE NANOFIOS

Trabalho de Conclusão de Curso apresentado à
Universidade Estadual Paulista “Júlio de
Mesquita Filho” como requisito para obtenção
de título de Bacharel em Engenharia de
Telecomunicações.

Orientadora: Profa. Dra. Paula Ghedini Der
Agopian

SÃO JOÃO DA BOA VISTA

2018

Autorizo a reprodução e divulgação total ou parcial deste trabalho, por qualquer meio convencional ou eletrônico, para fins de estudo e pesquisa, desde que citada a fonte.

Perina, Welder Fernandes

Estudo teórico e experimental de transistores de múltiplas portas fabricados em estruturas de nanofios / Welder Fernandes Perina. -- São João da Boa Vista, 2018.

55 p. : il. color.

Trabalho de Conclusão de Curso – Câmpus Experimental de São João da Boa Vista – Universidade Estadual Paulista “Júlio de Mesquita Filho”.

Orientadora: Profa. Dra. Paula Ghedini Der Agopian

Bibliografia

1. Nanofios 2. Semicondutores de óxido metálico 3. Tecnologia de silício sobre isolante 4. Telecomunicações 5. Transistores

CDD 23. ed. – 621.382

Ficha catalográfica elaborada pela [Biblioteca-BJB](#)

Bibliotecário responsável: João Pedro Alves Cardoso – CRB-8/9717

UNIVERSIDADE ESTADUAL PAULISTA
“JÚLIO DE MESQUITA FILHO”
CÂMPUS EXPERIMENTAL DE SÃO JOÃO DA BOA VISTA
GRADUAÇÃO EM ENGENHARIA DE TELECOMUNICAÇÕES

TRABALHO DE CONCLUSÃO DE CURSO

**ESTUDO TEÓRICO E EXPERIMENTAL DE TRANSISTORES DE MÚLTIPLAS
PORTAS FABRICADOS EM ESTRUTURAS DE NANOFIOS**

Aluno: Welder Fernandes Perina

Orientador: Prof.^a Dr.^a Paula Ghedini Der Agopian

Banca Examinadora:

- Paula Ghedini Der Agopian (Orientador)
- Edgar Eduardo Benitez Olivo (Examinador)
- Afonso José do Prado (Examinador)

A ata da defesa com as respectivas assinaturas dos membros encontra-se no prontuário do aluno (Expediente nº 30/2018)

São João da Boa Vista, 18 de dezembro de 2018

Agradecimentos

Primeiramente gostaria de agradecer aos meus pais pela paciência, apoio moral e financeiro e a toda minha família pelo apoio e momentos felizes que tivemos juntos.

À minha orientadora, Professora Doutora Paula Ghedini Der Agopian, por ter me proporcionado a oportunidade de explorar um pouco da sua área de pesquisa à qual me afeiçoei muito, pela paciência, conversas e conselhos.

Ao Professor Doutor João Antonio Martino e ao pessoal do LSI – USP, por permitirem a realização das etapas necessárias para a elaboração deste trabalho.

Aos membros do grupo SOI, principalmente à Vanessa Silva e à Katia Moji, pelos conselhos e ensinamentos necessários para a realização deste trabalho.

Aos Professores Doutores Afonso José do Prado e Edgar Eduardo Benitez Olivo, por terem aceito fazer parte da minha banca avaliadora.

À minha namorada Letícia Dal’Cól, pela parceria, apoio, compreensão e sugestões que contribuíram na elaboração deste trabalho.

A todos os funcionários e docentes da UNESP pela oportunidade proporcionada.

Resumo

O avanço tecnológico de dispositivos semicondutores baseia-se no aumento da sua escalabilidade com o passar dos anos, garantindo maior desempenho dos circuitos eletrônicos e melhor aproveitamento da área ocupada pelos circuitos integrados. Contudo, com a contínua redução dos dispositivos, surgiram efeitos como perda do controle da porta sobre as cargas no canal e influência da polarização do dreno na tensão de limiar, conhecidos como efeitos de canal curto (SCE). Por sua vez, a tecnologia SOI (Silício-Sobre-Isolante) permitiu uma maior redução das dimensões dos transistores devido à sua maior imunidade aos efeitos de canal curto. Dando continuidade à evolução tecnológica, surgiram os transistores 3D, melhorando ainda mais o desempenho dos circuitos integrados (comercialmente, os transistores mais modernos) e possibilitando a fabricação de dispositivos ainda menores. Porém, é necessário estudar novas tecnologias para a continuidade do progresso tecnológico e, neste cenário, surgem os nanofios de silício como uma das alternativas a esta evolução.

Neste trabalho, são analisados os parâmetros digitais e analógicos de nanofios de porta Ω . Os parâmetros digitais analisados foram: inclinação de sublimiar, tensão de limiar, transcondutância máxima e redução da barreira induzida pelo dreno (DIBL). Ao avaliar sua eficiência de chaveamento, representada pela inclinação de sublimiar, notou-se que os nanofios de porta Ω atingem valores próximos ao limite teórico (60 mV/dec), em temperatura ambiente, na tecnologia MOSFET. Pela transcondutância máxima, tensão de limiar e DIBL, foi possível analisar indicações de que os dispositivos mais curtos estavam perdendo o controle eletrostático por causa dos efeitos de canal curto (SCE). Os dispositivos mais largos e mais curtos apresentaram o pior desempenho, em se tratando de aplicações digitais, mas os dispositivos mais estreitos, devido ao alto acoplamento eletrostático, apresentaram bons resultados como elevada transcondutância máxima, baixa variação da tensão de limiar com relação ao comprimento de porta, e baixos valores de DIBL, indicando que o dispositivo apresenta boa imunidade aos efeitos de canal curto.

Para avaliar a aplicabilidade dos nanofios de porta Ω em circuitos analógicos, foram analisados: eficiência do transistor, transcondutância em saturação, condutância de saída, tensão Early e ganho intrínseco de tensão. Ao se analisar as curvas de eficiência dos transistores estudados, notou-se que os dispositivos mais estreitos apresentaram melhor comportamento na região de inversão fraca, devido à influência da inclinação de sublimiar que é melhor nesta região. A transcondutância em saturação apresentou bons resultados para os canais mais longos, indicando perda do controle da tensão de porta sobre as cargas dos canais mais curtos. Foi

possível observar no estudo o efeito da modulação do comprimento de canal. Isso ocorre devido ao pinçamento do canal (transistor está operando em saturação), quando analisadas a condutância de saída e a tensão Early. Por fim, o nanofio de porta Ω apresentou um ganho intrínseco de tensão de mais de 80 dB, para o dispositivo mais estreito e mais longo, sendo o mesmo uma boa escolha para aplicações que requerem elevado ganho de tensão. Por sua vez, os nanofios se mostraram uma boa opção para aplicações que necessitem de alta performance em circuitos digitais e analógicos.

Palavras-chave: Nanofio. MOSFET. SOI. Parâmetros elétricos básicos.

Abstract

The technological advancement of semiconductor devices is based on increasing their scalability over the years, ensuring greater performance of electronic circuits and better utilization of the occupied area by integrated circuits. However, with the continuous reduction of the devices, effects such as loss of gate control over the charges in the channel and the influence of drain bias on the threshold voltage, known as short channel effects (SCE), started appearing. The SOI (Silicon-Over-Insulator) technology allowed for a greater reduction of the dimensions of the transistors due to their greater immunity to the SCE. Continuing the technological evolution, 3D transistors have emerged, further enhancing the performance of integrated circuits (the most modern commercially) and enabling the fabrication of even smaller devices. However, it is necessary to study new technologies for the continuation of technological progress, and in this scenario, silicon nanowires appear as one of the alternatives to this evolution.

In this work, it was analyzed the digital and analog parameters of Ω -gate nanowires and evaluated digital parameters such as subthreshold slope, threshold voltage, maximum transconductance and Drain-Induced Barrier Lowering (DIBL). When evaluating its switching efficiency, represented by subthreshold slope, it was noted that the Ω gate nanowire reaches SS values close to the theoretical limit (60 mV/dec), at room temperature, of the MOSFET technology. By observing the maximum transconductance values, threshold voltage and DIBL, it was possible to analyze indications that the shortest devices were losing the electrostatic control, possibly because of the SCE. The largest and shortest devices presented the worst performance in the case of digital applications, but the narrowest devices showed good results such as high maximum transconductance, low threshold voltage variation with respect to the door length, and low DIBL values, because of their greater electrostatic coupling, indicating that the device exhibits good immunity to SCEs.

To evaluate the applicability of Ω -gate nanowires in analog circuits, transistor efficiency, saturation transconductance, output conductance, Early voltage and intrinsic voltage gain were analyzed. In analyzing the efficiency curves of the studied transistors, it was noticed that the narrowest devices showed better behavior in the region of weak inversion, due to the influence of the subthreshold slope which is better in this region. The transconductance presented good results for the longest transistors, indicating loss of the gate voltage control over the channel charges in the shortest one. It was possible to observe the effect of channel length modulation, which occurs due to the channel pinch off (transistor is operating in saturation),

when the output conductance and the Early voltage were analyzed. Finally, the Ω gate nanowire presented an intrinsic voltage gain of more than 80 dB, for the narrowest and longest device, which shows itself as a good candidate for applications that require high voltage gain. The nanowires presented are a good option for applications that require high performance, both for digital and analog circuits.

Keywords: Nanowire. MOSFET. SOI. Basic parameters.

Lista de ilustrações

Figura 1 — Transistor de canal vertical (3D) de porta tripla (A) e porta dupla (B).....	14
Figura 2 — Evolução tecnológico dos dispositivos em função do tempo.....	15
Figura 3 — Inversor CMOS convencional (A) e SOI (B).....	16
Figura 4 — Estrutura esquemática de um FinFET de porta tripla.....	17
Figura 5 — Classificação de várias geometrias de transistores com respeito ao número de portas.	18
Figura 6 — Estrutura de um nanofio de porta Ω	19
Figura 7 — Exemplo de extração da tensão Early (V_{EA}) em uma curva $I_{DS} \times V_{DS}$ com 3 valores de V_{GT} ($V_{GS} - V_{TH}$).	22
Figura 8 — Amplificador Operacional de Transcondutância.	23
Figura 9 — Imagem obtida por microscopia eletrônica de varredura (MEV) (esquerda) e microscopia eletrônica de transmissão em sessão transversal (direita) dos dispositivos nanofios estudados.	24
Figura 10 — Conjunto de pontas de prova, <i>chuck</i> (placa circular) e microscópio.....	25
Figura 11 — Representação esquemática do corte transversal de um nanofio.	26
Figura 12 — Curva de transferência de corrente de nanofios nMOS em escala logarítmica (esquerda) e linear (direita), para dispositivos de vários comprimentos de canal e largura W_{NW} de (A) 10 nm, (B) 40 nm e (C) 220 nm.	28
Figura 13 — Corrente de dreno normalizada por W_{eff}/L em função da tensão de porta para nanofios nMOS de vários comprimentos de canal e largura W_{NW} de (A) 10 nm, (B) 40 nm e (C) 220 nm.	29
Figura 14 — Inclinação de sublimiar em função do comprimento de canal para W_{NW} de 10 nm, 40 nm e 220 nm, de nanofios nMOS.....	30
Figura 15 — Tensão de limiar (V_{TH}) em função do comprimento de canal para W_{NW} de 10 nm, 40 nm e 220 nm, de nanofios NMOS.....	30
Figura 16 — Transcondutância normalizada por W_{eff}/L em função do comprimento de canal, para W_{NW} de 10 nm, 40 nm e 220 nm, de nanofios nMOS.....	31
Figura 17 — DIBL em função do comprimento de canal para os dispositivos nanofios NMOS de W_{NW} de 10 nm, 40 nm e 220 nm.	32

Figura 18 — Curva de transferência de corrente de nanofios pMOS em escala logarítmica (esquerda) e linear (direita), para dispositivos de vários comprimentos de canal e largura W_{NW} de (A) 10 nm, (B) 40 nm e (C) 220 nm.	33
Figura 19 — Corrente de dreno normalizada por W_{eff}/L em função da tensão de porta para nanofios de canal P de vários comprimentos de canal e largura W_{NW} de (A) 10 nm, (B) 40 nm e (C) 220 nm.	34
Figura 20 — Inclinação de sublimiar em função do comprimento de canal, para nanofios pMOS de W_{NW} de 10 nm, 40 nm e 220 nm.	35
Figura 21 — Tensão de limiar (V_{TH}) em função do comprimento de canal para nanofios pMOS de W_{NW} de 10 nm, 40 nm e 220 nm.	36
Figura 22 — Transcondutância normalizada por W_{eff}/L em função do comprimento de canal, para nanofios pMOS de W_{NW} de 10 nm, 40 nm e 220 nm.	37
Figura 23 — DIBL em função do comprimento de canal para nanofios pMOS de W_{NW} de 10 nm, 40 nm e 220 nm.	37
Figura 24 — Eficiência do transistor em função da corrente de dreno normalizada, para dispositivos nanofio nMOS de largura W_{NW} de 10 nm e 220 nm e comprimento de canal de 200 nm, 1000 nm e 10000 nm.	39
Figura 25 — Tensão Early de nanofios nMOS de largura W_{NW} de 10 nm, 40 nm e 220 nm, em função do comprimento de canal.	40
Figura 26 — Visão longitudinal de um nanofio de canal N, operando em saturação.	40
Figura 27 — Transcondutância em saturação e condutância de saída, normalizados por W_{eff}/L , em função do comprimento de canal, para nanofios nMOS de largura de 10 nm, 40 nm e 220 nm.	41
Figura 28 — Ganho intrínseco de nanofios de canal N e largura de 10 nm, 40 nm e 220 nm, em função do comprimento de canal.	41
Figura 29 — Eficiência do transistor em função da corrente de dreno normalizada, para dispositivos nanowire de largura W_{NW} de 220 nm e comprimento de canal de 200 nm, 1000 nm e 10000 nm.	42
Figura 30 — Eficiência do transistor em função da corrente de dreno normalizada, para dispositivos nanofios pMOS de largura W_{NW} de 10 nm e comprimento de canal de 200 nm, 1000 nm e 10000 nm.	42
Figura 31 — Tensão Early de nanofios pMOS de largura W_{NW} de 10 nm, 40 nm e 220 nm, em função do comprimento de canal.	43

Figura 32 — Transcondutância em saturação e condutância de saída, normalizados por W_{eff}/L , em função do comprimento de canal, para nanofios pMOS de W_{NW} de 10 nm, 40 nm e 220 nm.	44
Figura 33 — Ganho intrínseco de nanofios pMOS de largura de 10 nm, 40 nm e 10000 nm, em função do comprimento de canal.	44

Lista de siglas e abreviações

CEA	Comissão de Energia Atômica e Energias Alternativas (<i>Commissariat à l'énergie atomique et aux énergies alternatives</i>)
CMOS	Metal-Óxido-Semicondutor Complementar (<i>Complementary Metal-Oxide-Semiconductor</i>)
DIBL	Redução da Barreira Induzida pelo Dreno (<i>Drain-Induced Barrier Lowering</i>)
DRAM	Memória de Acesso Aleatório Dinâmico (<i>Dynamic Random Access Memory</i>)
HfSiON	Silicato de háfnio
FinFET	Transistor de Efeito de Campo <i>Fin</i> (<i>Fin Field Effect Transistor</i>)
IBM	Empresa Máquinas de Negócios (<i>International Business Machines Internacionais</i>)
IoT	Internet das coisas (Internet of Things)
LETI	Laboratório de Eletrônica da Tecnologia da Informação (<i>Laboratoire d'électronique et de technologie de l'information</i>)
MEV	Microscopia Eletrônica de Varredura
MOS	Metal-Óxido-Semicondutor (<i>Metal-Oxide-Semiconductor</i>)
MuGFET	Transistor de Efeito de Campo de Múltiplas Portas (<i>Multiple Gate Field Effect Transistor</i>)
nMOS	Metal-Óxido-Semicondutor tipoN (<i>N-type Metal-Oxide-Semiconductor</i>)
OTA	Amplificador Operacional de Transcondutância de transistor único (<i>Single-transistor Operational Transconductance Amplifier</i>)
pMOS	Metal-Óxido-Semicondutor tipo P (<i>P-type Metal-Oxide-Semiconductor</i>)
SCE	Efeito de Canal Curto (<i>Short Channel Effect</i>)

SOI	Silício-Sobre-Isolante (<i>Silicon-On-Insulator</i>)
SRAM	Memória de Acesso Aleatório Estático (<i>Static Random Access Memory</i>)
TiN	Nitreto de titânio
ULSI	Altíssima Escala de Integração (<i>Ultra Large Scale Integration</i>)

Lista de símbolos

A_v	Ganho intrínseco [dB]
C_L	Capacitância de carga [F]
C_{ox}	Capacitância de óxido de porta [F]
g_d	Condutância de saída [S]
g_m	Transcondutância [S]
$g_{m_{max}}$	Transcondutância máxima [S]
$g_{m_{sat}}$	Transcondutância em saturação [S]
H_{FIN}	Altura da aleta do FinFET de porta tripla [nm]
H_{NW}	Altura da aleta do nanofio de porta Ω [nm]
k	Constante de Boltzmann [$m^2 \text{ kg s}^{-2} \text{ K}^{-1}$]
I_{DS}	Corrente da fonte para o dreno [A]
I_{ON}	Corrente de estado ligado [A]
I_{OFF}	Corrente de estado desligado [A]
L	Comprimento de canal [nm]
L_{eff}	Comprimento de canal efetivo resultante da modulação de comprimento de canal [nm]
m^*	Massa de confinamento de portador na direção transversal
n	Fator de corpo
N_A	Concentração de partículas aceitadoras de elétrons
n_i	Concentração intrínseca de portadores
q	Carga do portador [C]
SS	Inverso da inclinação de sublimiar [mV/dec]
T	Temperatura [K]
t_{BOX}	Espessura do óxido enterrado [nm]
t_{Si}	Espessura do filme (aleta) de silício [nm]
V_D	Tensão de dreno [V]
V_{DS}	Tensão entre dreno e fonte [V]
V_{ds}	Tensão alternada entre dreno e fonte [V]
V_{EA}	Tensão Early [V]
V_{FB}	Tensão de faixa plana [V]

V_{GS}	Tensão entre fonte e porta [V]
V_{gs}	Tensão alternada entre fonte e porta [V]
V_{GT}	Diferença entre tensão de porta e tensão de limiar [V]
V_{TH}	Tensão de limiar [V]
W	Largura de dispositivo planar [nm]
W_{eff}	Largura efetiva do nanofio de porta Ω [nm]
W_{FIN}	Largura da aleta do FinFET de porta tripla [nm]
W_{NW}	Largura da aleta do nanofio de porta Ω [nm]
x_{dmax}	Distância máxima de depleção [nm]
ΔL	Modulação do comprimento de canal [nm]
μ	Mobilidade dos portadores [cm^2/Vs]
μ_{eff}	Mobilidade efetiva dos portadores [cm^2/Vs]
Φ_F	Potencial de Fermi do semiconductor [V]
Φ_{MS}	Diferença da função trabalho entre metal de porta e camada de silício [V]

Sumário

1.	Introdução	13
2.	Revisão Bibliográfica	16
2.1.	Evolução dos transistores	16
2.2.	Parâmetros Digitais	19
2.2.1.	Inverso da inclinação de sublimiar (SS)	19
2.2.2.	Tensão de limiar (V_{TH})	20
2.2.3.	Transcondutância (g_m)	21
2.3.	Parâmetros Analógicos	21
2.3.1.	Eficiência do transistor (g_m/I_{DS})	21
2.3.2.	Tensão Early (V_{EA})	22
2.3.3.	Condutância de saída (g_d)	23
2.3.4.	Ganho intrínseco de tensão (A_v)	23
3.	Materiais e Métodos	24
3.1.	Características do dispositivo	24
3.2.	Procedimento experimental	24
3.3.	Determinação da Largura Efetiva do Canal	25
4.	Resultados e discussões	27
4.1.	Parâmetros Digitais	27
4.1.1.	Nanofio nMOSFET	27
4.1.2.	Nanofio pMOSFET	32
4.2.	Parâmetros Analógicos	38
4.2.1.	Nanofio nMOSFET	38
4.2.2.	Nanofio pMOSFET	42
5.	Conclusão	46
	Referências Bibliográficas	48

1. Introdução

A indústria de semicondutores tem como objetivo a redução das dimensões dos dispositivos com o fim de obter melhor desempenho em altíssima escala de integração (ULSI). A tecnologia MOS de fabricação de circuitos integrados tem se tornado cada vez mais complexa, mas a contínua redução dos dispositivos resultou em diversos efeitos de canal curto (SCE), que ocorrem em dispositivos convencionais implementados em lâminas de silício.

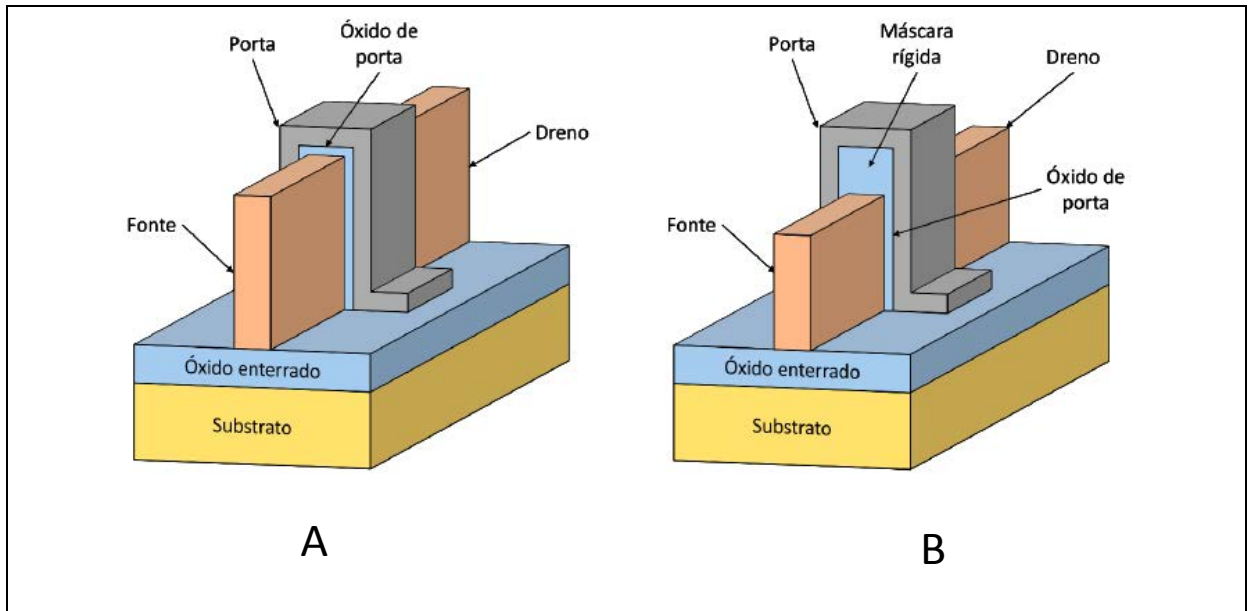
Uma solução encontrada para esse problema foi a utilização de lâminas SOI (Silício-Sobre-Isolante), que separa a região ativa do restante do substrato e, conseqüentemente, causa a redução das capacitâncias parasitas e a eliminação do efeito tiristor parasitário, presente no processo CMOS utilizado na fabricação de circuitos integrados [1, 2].

A tecnologia SOI consiste em utilizar lâminas que possuem um óxido enterrado entre o canal e o substrato do transistor, isolando-os eletricamente. Essa tecnologia serviu principalmente em aplicações bem específicas, tais como aviões e satélites, devido à sua alta resistência à radiação [3, 4] e menor sensibilidade à variação de temperatura [5, 6].

Logo que surgiu a tecnologia SOI, as principais indústrias de microeletrônica começaram a fabricar circuitos comerciais construídos em tecnologia SOI, tais como divisores de frequência na faixa de 1 a 2,5 GHz [7], circuitos *Prescaler* de 2 GHz [8], memórias SRAM de 512 kB [9], memórias DRAM de 1 GB [10], entre outros. Essa tecnologia tornou-se a sucessora do MOS convencional (“*bulk MOS*”), principalmente em aplicações de baixo consumo de potência e baixa tensão de alimentação (“*low-power low-voltage technologies*”) [11]. Assim, empresas como IBM e STMicroelectronics começaram a fabricar seus processadores utilizando a tecnologia SOI.

Porém, mesmo essa tecnologia sendo bem promissora, a contínua redução das dimensões dos transistores fez com que esses dispositivos sofressem de SCEs em dimensões submicrométricas. Ou seja, há perda do controle da porta sobre as cargas no canal do dispositivo. Uma solução encontrada para esse problema foi a utilização de transistores de múltiplas portas (MuGFET) ou FinFETs, nome dado por conta da estrutura do dispositivo que lembra uma nadadeira (*fin*) [12]. Inicialmente, foram propostos transistores de porta dupla e em sequência de porta tripla, apresentados na Figura 1. O FinFET de porta dupla se diferencia do dispositivo de porta tripla somente pela presença de um óxido espesso no topo do dispositivo que impede a inversão de canal nas bordas do dispositivo.

Figura 1 — Transistor de canal vertical (3D) de porta tripla (A) e porta dupla (B).



(Adaptada, Caparroz, 2017)

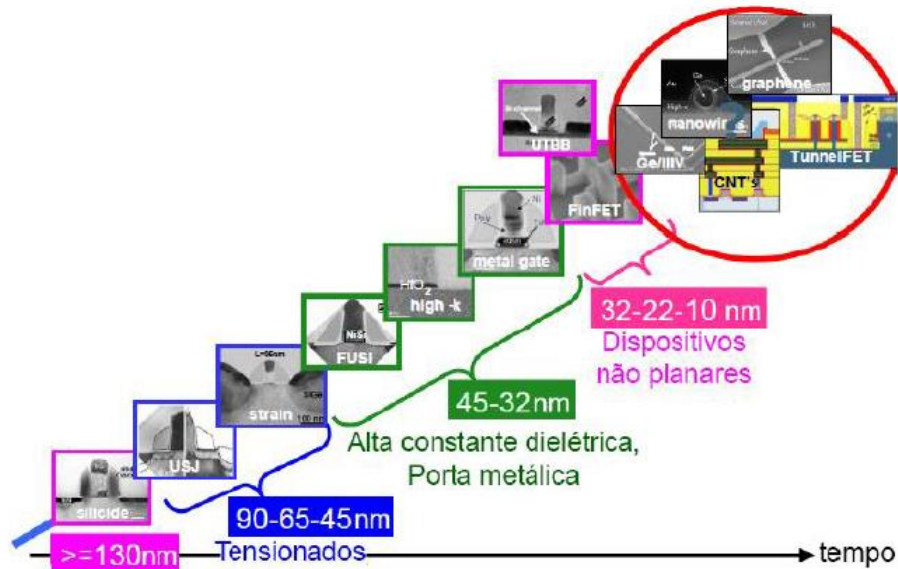
Atualmente, os FinFETs de porta tripla já são aplicados comercialmente em processadores da Intel e da IBM, sendo os mais avançados em tecnologia de circuitos integrados. Pensando na evolução, é necessário estudar novas tecnologias para suprir a alta demanda de aplicações.

A Figura 2 apresenta a evolução das tecnologias e se inicia na tecnologia SOI de 130 nm, passando pela mais atual (FinFETs), e indo até as emergentes que podem ser introduzidas no mercado de forma a atender as demandas da sociedade. Dentre essas tecnologias emergentes, está o nanofio de silício. De forma a aumentar o acoplamento eletrostático presente nestes dispositivos reduziu-se a altura da aleta, o que pode vir a causar problemas como a inversão de cargas, primeiro nas bordas e depois no canal. Assim, foi desenvolvido o nanofio com o canal de porta Ω . Esse dispositivo possui maior controle da porta sobre as cargas no canal devido à suas dimensões reduzidas e a porta ao redor do canal, envolvendo-o quase que totalmente.

Como objeto de estudo, o nanofio apresenta ser promissor em muitas aplicações como, elemento ativo de uma rede neural que modela uma pele com sensibilidade tátil robótica [13], comunicação sem fio (Wi-Fi, 3G, 4G, 5G e além) [14]. Há estudos em que o dispositivo estudado obteve uma razão I_{ON}/I_{OFF} de mais de 10^8 para uma corrente I_{ON} de $42 \mu A/\mu m$

(normalizada pela circunferência do nanofio), parâmetros digitais relevantes para aplicações de baixo consumo de potência voltadas para sensoriamento e Internet das coisas (IoT) [15].

Figura 2 — Evolução tecnológica dos dispositivos em função do tempo



(Adaptada, Claeys, C. et al ,2009)

O nanofio se mostrou também um bom candidato como moduladores ultra rápidos, utilizados em tecnologias de comunicação em terahertz [16].

Assim, neste trabalho, estudou-se esta nova tecnologia, considerando seus principais parâmetros de mérito para aplicações digitais ou analógicas.

2. Revisão Bibliográfica

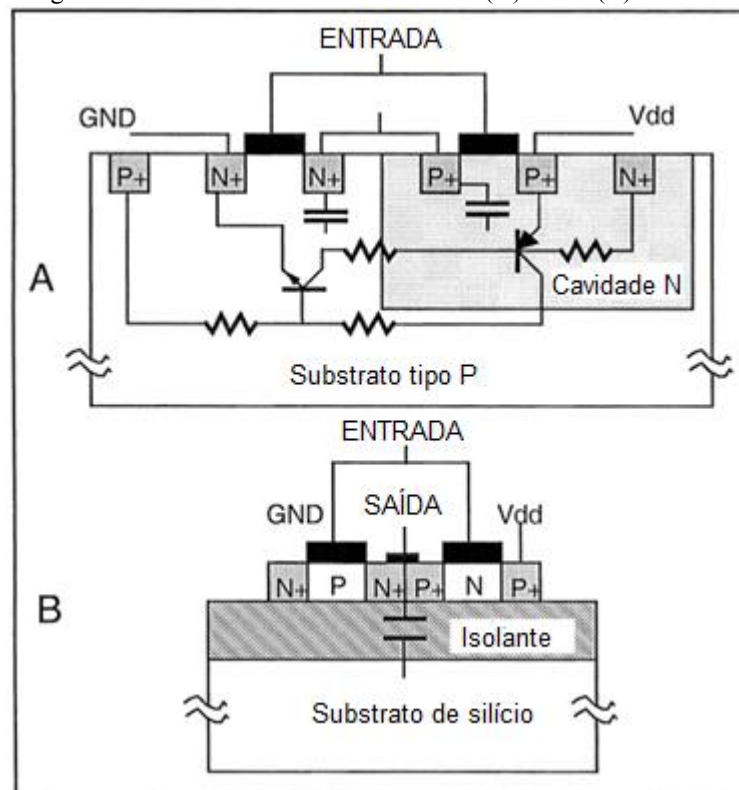
2.1. Evolução dos transistores

A indústria de semicondutores sempre teve o objetivo de reduzir as dimensões dos dispositivos com o fim de obter melhor desempenho em altíssima escala de integração (ULSI). A tecnologia MOS de fabricação de circuitos integrados tem se tornado cada vez mais complexa, mas a contínua redução dos dispositivos resultou em diversos efeitos de canal curto que ocorrem em dispositivos convencionais implementados em lâminas de silício.

Para reduzir os efeitos de canal curto decorrentes do escalamento das dimensões, foi proposta como alternativa para a tecnologia MOS convencional na fabricação de circuitos integrados com alta densidade de integração, a tecnologia SOI (Silício-Sobre-Isolante) [1, 2].

Essa tecnologia consiste na introdução de um óxido enterrado que separa o substrato da região ativa dos dispositivos e com isso diminui as capacitâncias parasitárias, e efeito tiristor presente na tecnologia CMOS convencional além de prover maior resistência a efeitos da radiação, e baixa sensibilidade à variação de temperatura, apresentado na Figura 3.

Figura 3 — Inversor CMOS convencional (A) e SOI (B).



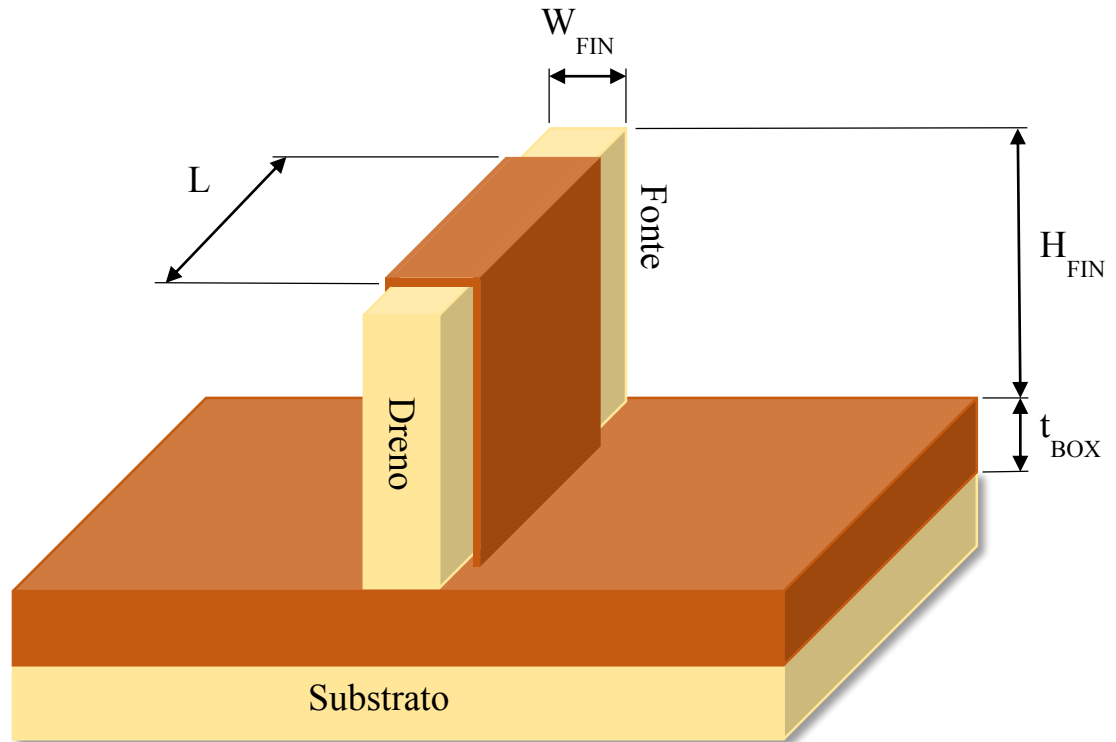
(Adaptada, J. P. Colinge, 2004)

Mesmo a tecnologia SOI oferecendo maior imunidade aos efeitos de canal curto, por causa da contínua redução das dimensões do dispositivo, essa tecnologia começou a apresentar problemas com o controle das cargas na região de canal para transistores com comprimento de

canal abaixo de 22 nm. Uma das soluções encontradas para melhorar o controle dessas cargas na região de canal é o uso dos transistores SOI de múltiplas portas de canal vertical, também conhecido como transistor 3D ou FinFET [12].

A Figura 4 apresenta um transistor FinFET de porta tripla, onde a porta recobre 3 lados do canal de silício.

Figura 4 — Estrutura esquemática de um FinFET de porta tripla.



(Autor)

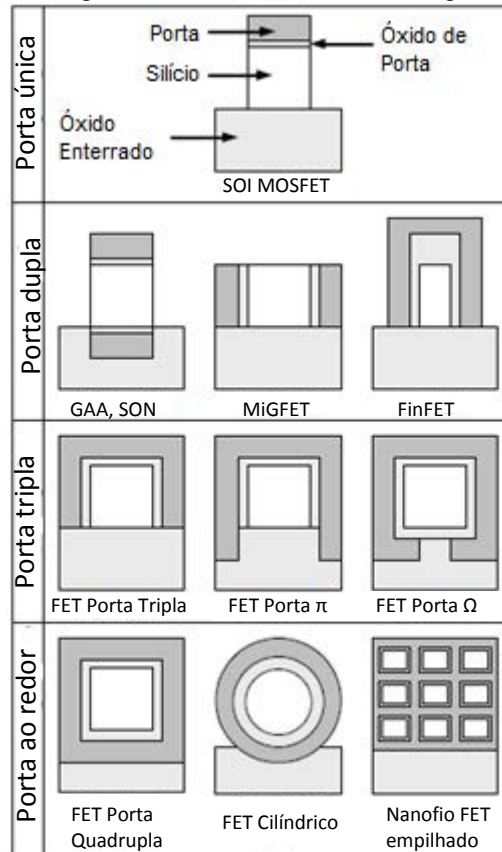
O número de portas aumenta a intensidade do campo elétrico gerado no canal, fazendo com que o contato de porta exerça um forte controle sobre as cargas no mesmo. Inicialmente foi proposto o transistor de porta dupla e posteriormente o de porta tripla, mas com o tempo foram surgindo várias topologias de transistores com variados números de porta, como se pode observar na Com a redução da espessura do óxido de porta, o arredondamento dos cantos e a redução da dopagem do canal possibilitaram um acoplamento eletrostático ainda maior, dando origem ao transistor de porta tripla.

Figura 5, onde é apresentada uma classificação dos transistores quanto ao número de portas.

Os transistores de porta única, também conhecidos como planares, foram os primeiros desenvolvidos principalmente em tecnologia MOS convencional e SOI. Para melhor controle eletrostático, o dispositivo tomou uma geometria tridimensional com duas portas que podem

ser independentes, mas geralmente são conectadas. Isso aumentou o campo elétrico que provém da tensão de porta, protegendo o canal da influência do campo elétrico gerado pela tensão de dreno. Com a redução da espessura do óxido de porta, o arredondamento dos cantos e a redução da dopagem do canal possibilitaram um acoplamento eletrostático ainda maior, dando origem ao transistor de porta tripla.

Figura 5 — Classificação de várias geometrias de transistores com respeito ao número de portas.



(Adaptada, J. P. Colinge, 2008)

Com o aumento do número de portas, aumenta-se o controle da porta sobre as cargas do canal [17] e, desse modo, os dispositivos com porta ao redor de todo o canal, possuem o maior controle eletrostático, porém há grandes dificuldades em se fabricar tal dispositivo. E ainda focando o acoplamento eletrostático, os dispositivos possuem dimensões reduzidas, que podem afetar o nível de corrente do dispositivo. Por esse motivo, foram desenvolvidos os dispositivos empilhados, compostos por canais de nanofios conectados em paralelo, gerando um maior nível de corrente.

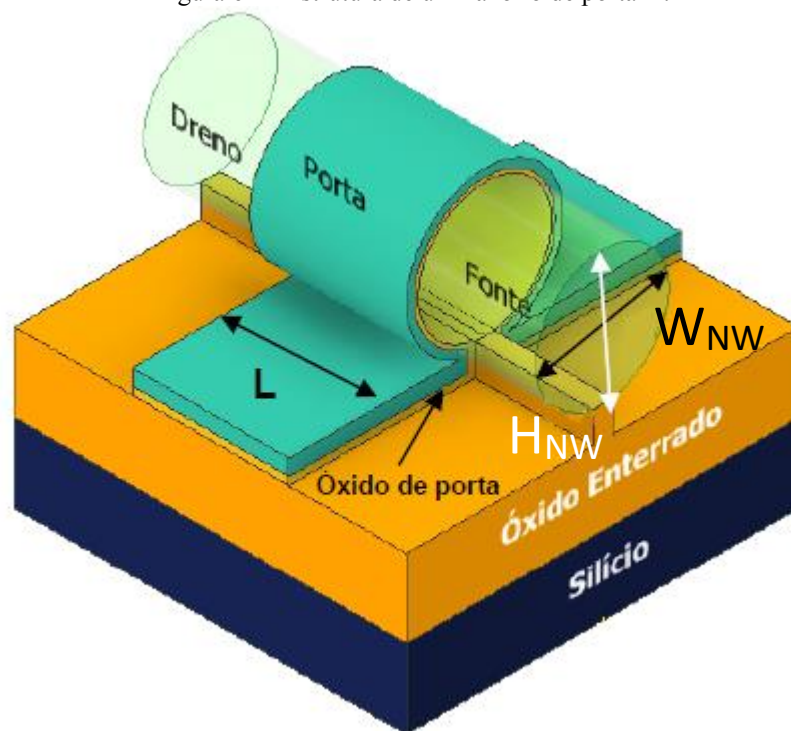
Focando nos transistores de porta tripla, sabe-se que para um ótimo funcionamento sem efeitos indesejados (SCEs, inversão de borda, efeitos quânticos, etc.) a altura da aleta (H_{FIN}) deve manter certa proporcionalidade com o canal. Porém por conta da evolução tecnológica, diminui-se esta altura e utilizando uma estrutura similar ao FET cilíndrico da Com a redução da espessura do óxido de porta, o arredondamento dos cantos e a redução da dopagem

do canal possibilitaram um acoplamento eletrostático ainda maior, dando origem ao transistor de porta tripla.

Figura 5, criou-se o nanofio.

Com essa aleta cilíndrica, o controle eletrostático da porta sobre canal aumentou, o que proporcionou a melhoria das características do dispositivo. Em contrapartida, fabricar uma porta que cubra todo o canal é muito complexo, portanto foram desenvolvidas portas Π e Ω , que mesmo não envolvendo completamente o canal, como é apresentado na Figura 6, ainda assim possui um grande acoplamento eletrostático.

Figura 6 — Estrutura de um nanofio de porta Ω .



(Adaptada, Silva. V. C. P., 2018)

2.2. Parâmetros Digitais

Os principais parâmetros que usualmente são estudados para a aplicação de novas tecnologias na área digital são: inverso da inclinação de sublimiar, tensão de limiar, transcondutância e DIBL (Redução da Barreira Induzido pelo Dreno).

2.2.1. Inverso da inclinação de sublimiar (SS)

O inverso da inclinação de sublimiar é a razão entre a variação da tensão de porta (V_{GS}) e a variação de uma década de corrente de dreno (I_{DS}) na região de sublimiar ($V_{GS} < V_{TH}$). Este

parâmetro mede a eficiência de chaveamento do transistor (ligado para desligado, e vice-versa) e pode ser expresso pela equação (1) [18]:

$$SS = \frac{dV_{GS}}{d\log(I_{DS})} \quad (1)$$

2.2.2. Tensão de limiar (V_{TH})

A tensão de limiar de dispositivos MOS é a tensão de porta (V_{GS}) necessária para gerar campo elétrico na superfície da interface entre o óxido de porta e o silício, suficientemente forte para inverter as cargas do canal e possibilitar a condução entre dreno e fonte.

Para transistores nMOSFETS convencionais (lâmina de silício), a tensão de limiar (V_{TH}) pode ser calculada pela equação (2) [19]:

$$V_{TH} = V_{FB} + 2 \cdot \Phi_F + \frac{q \cdot N_A \cdot x_{dmax}}{C_{ox}} \quad (2)$$

em que V_{FB} é a tensão de faixa plana, Φ_F é o potencial de Fermi, q é a carga do portador (elétron para o nMOSFET), N_A é a concentração de dopantes aceitadores (tipo P), x_{dmax} é a distância máxima que a depleção ocorre partindo da interface entre óxido de porta e canal, e C_{ox} é a capacitância do óxido de porta.

No entanto com a redução extrema das dimensões, o uso de transistores com a dopagem do canal próximo à intrínseca, e o advento dos transistores de múltiplas portas, outros métodos e equações para definir a tensão de limiar foram desenvolvidos, como a equação (3) proposta por [20]:

$$V_{TH} = \Phi_{ms} + \frac{k \cdot T}{q} \ln \left(\frac{2 \cdot C_{ox} \cdot k \cdot T}{q^2 \cdot n_i \cdot t_{Si}} \right) + \frac{\hbar^2 \cdot \pi^2}{2 \cdot q \cdot m^* \cdot t_{Si}^2} \quad (3)$$

onde Φ_{ms} é função trabalho do metal em relação em respeito ao silício intrínseco, k é a constante de Boltzmann, T representa a temperatura em Kelvin, n_i é concentração intrínseca de portadores, t_{Si} é a espessura do filme de silício (ou largura de aleta para FinFETs), e m^* é a massa de confinamento de portador na direção transversal.

2.2.3. Transcondutância (gm)

A transcondutância é o parâmetro que mede a eficácia do controle da corrente dreno pela tensão aplicada à porta é definida pela equação (4), e é muito afetada pelo alto acoplamento eletrostático.

$$gm = \frac{dI_{DS}}{dV_{GS}} \quad (4)$$

Quando há a ocorrência de SCEs, geralmente esse parâmetro possui seu valor reduzido, significando que a porta do dispositivo está perdendo o controle sobre as cargas no canal. Para aplicações digitais, a transcondutância em triodo é um dos parâmetros mais relevantes e é dado pela equação (5):

$$gm_{\text{triode}} = \frac{\mu_{\text{eff}} \cdot C_{\text{ox}} \cdot W}{L} (V_{DS}) \quad (5)$$

onde μ_{eff} é a mobilidade efetiva do portador, V_{DS} é tensão aplicada ao dreno, W é a largura do dispositivo (planar), e L é o comprimento do canal do dispositivo.

A transcondutância é um parâmetro importante também para aplicações analógicas, mas nesse caso o dispositivo opera em saturação, sendo seu comportamento regido por:

$$gm_{\text{saturação}} = \frac{\mu_{\text{eff}} \cdot C_{\text{ox}} \cdot W}{n \cdot L} (V_{GS} - V_{TH}) \quad (6)$$

em que n é o fator de corpo, que representa a dependência entre a tensão de limiar e a polarização de substrato.

2.3. Parâmetros Analógicos

A capacidade de aplicação em circuitos analógicos, dos transistores fabricados em tecnologia de nanofios, foi medida à partir dos seguintes parâmetros de mérito: eficiência do transistor, tensão Early, condutância de saída e ganho intrínseco de tensão.

2.3.1. Eficiência do transistor (gm/I_{DS})

A eficiência do transistor representa a capacidade do dispositivo de transformar corrente elétrica em transcondutância, relacionando sua amplificação (gm) com sua dissipação de

potência (I_{DS}) [21]. Em transistores MOS, a máxima eficiência ocorre em inversão fraca e é dada por:

$$\frac{g_m}{I_{DS}} = \frac{q}{n.k.T} \quad (7)$$

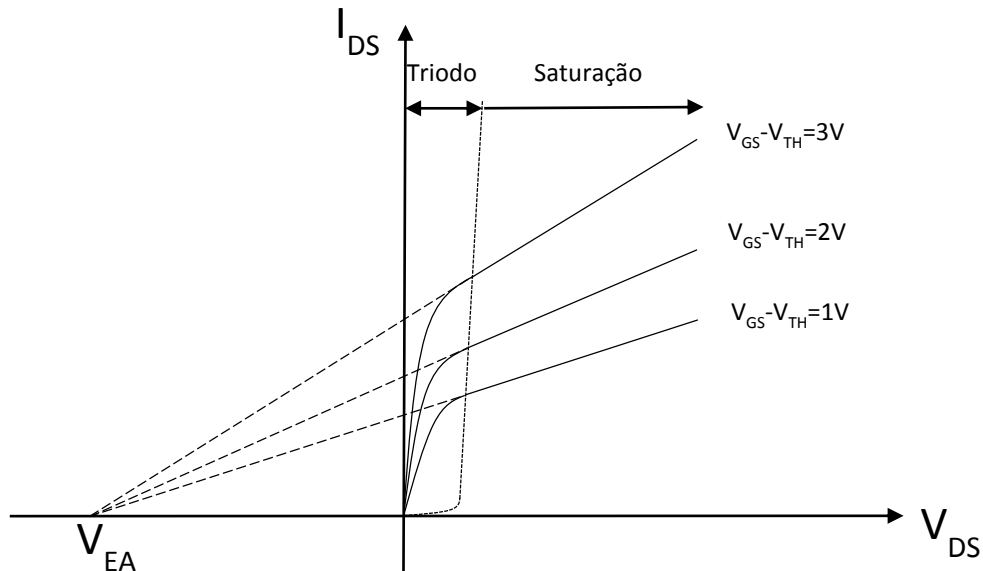
E em inversão forte, a eficiência decai com o aumento de I_{DS} , como pode ser observado pela equação (8) [11]:

$$\frac{g_m}{I_{DS}} = \frac{\sqrt{2 \cdot \mu \cdot C_{ox} \cdot W/L}}{n \cdot I_{DS}} \quad (8)$$

2.3.2. Tensão Early (V_{EA})

A tensão Early, para transistores MOS, é uma medida indireta da modulação do comprimento de canal. Idealmente, na região de saturação, espera-se uma corrente constante na curva $I_{DS} \times V_{DS}$, mas a alta tensão de dreno gera um campo elétrico que resulta na diminuição do comprimento efetivo do dispositivo, gerado pelo pinçamento do canal (pinch-off), e portanto aumentando a corrente em função da tensão de dreno [22]. A tensão Early pode ser extraída extrapolando linearmente a região de saturação, como pode ser visto na Figura 7.

Figura 7 — Exemplo de extração da tensão Early (V_{EA}) em uma curva $I_{DS} \times V_{DS}$ com 3 valores de V_{GT} ($V_{GS} - V_{TH}$).



(Autor)

Quanto maior V_{EA} , menor o efeito da modulação do canal e, portanto, melhor a característica de saída do dispositivo.

2.3.3. Condutância de saída (gd)

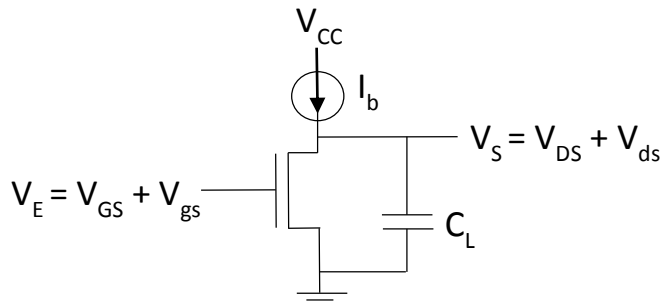
A condutância de saída é outro método para avaliar a presença do efeito da modulação do comprimento de canal, portanto está, de certa forma, relacionada à tensão Early. Assim como a transcondutância, a condutância depende diretamente da razão W/L , sendo comum normalizá-la pelas dimensões dos dispositivos. A condutância de saída é extraída pela derivada da corrente de dreno pela tensão de dreno, dada pela equação (9):

$$g_d = \frac{dI_{DS}}{dV_{DS}} \quad (9)$$

2.3.4. Ganho intrínseco de tensão (A_V)

A Figura 8 apresenta um circuito Amplificador Operacional de transcondutância utilizando um único transistor (OTA), onde I_b é uma fonte de corrente constante, V_E é a tensão de entrada composta por V_{GS} (parte contínua) e V_{gs} (parte alternada da tensão aplicada à porta), e V_S é a tensão de saída, composta por V_{DS} (parte contínua) e por V_{ds} (parte alternada). A fonte de corrente define o ponto de operação do transistor, possibilitando a amplificação da tensão aplicada à porta, gerando a tensão de saída (22). O máximo de ganho de tensão de malha aberta em baixa frequência é dado pelo ganho intrínseco de tensão.

Figura 8 — Amplificador Operacional de Transcondutância.



(Adaptada, Agopian P. G. D., 2003)

Uma das características mais importantes de um transistor, para aplicações analógicas, é a sua capacidade de amplificação. O ganho intrínseco de tensão é a figura de mérito que avalia esta característica e pode ser descrito pela equação (10):

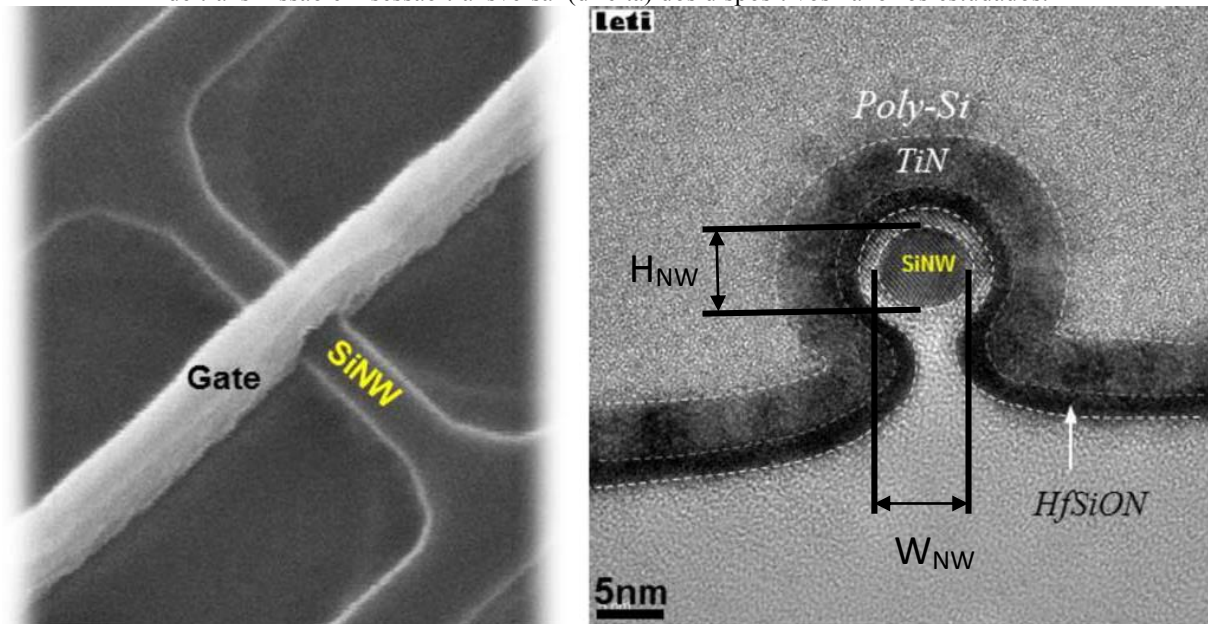
$$A_V = \frac{g_{m_{sat}}}{g_d} \cong \frac{g_{m_{sat}}}{I_{DS}} |V_{EA}| \quad (10)$$

3. Materiais e Métodos

3.1. Características do dispositivo

Os transistores estudados denominados nanofios são fabricados utilizando a tecnologia SOI FinFET de porta Ω . Esses transistores foram fabricados no CEA-LETI em Grenoble, França, utilizando lâminas SOI com espessura de óxido enterrado de 145 nm. Os dispositivos são nanofios horizontais que possuem a altura da sua região ativa (H_{NW}) de 11 nm, com largura de aleta de silício (W_{NW}) de 10 nm, 40 nm e 220 nm. Os comprimentos de canal estudados variaram desde 10 μm até 50 nm para os dispositivos mais estreitos (W_{NW} de 10 nm), e até 100 nm para os dispositivos de largura de 40 nm e 220 nm. A espessura efetiva do óxido de porta é de 1,3 nm. A estrutura de porta é composta por uma camada interfacial de SiO_2 coberta por HfSiON/TiN . A Figura 9 apresenta imagens de microscopia eletrônica de varredura (MEV) (esquerda) e microscopia de transmissão em sessão transversal (direita) dos dispositivos estudados.

Figura 9 — Imagem obtida por microscopia eletrônica de varredura (MEV) (esquerda) e microscopia eletrônica de transmissão em sessão transversal (direita) dos dispositivos nanofios estudados.



(S. Barraud, R.Coquand, M.Casse, M.Koyama, J.M. Hartmann, V. Maffini-Alvaro, C. Comboroure, C. Vizios, F. Aussenac, O. Faynot, T. Poiroux, 2012)

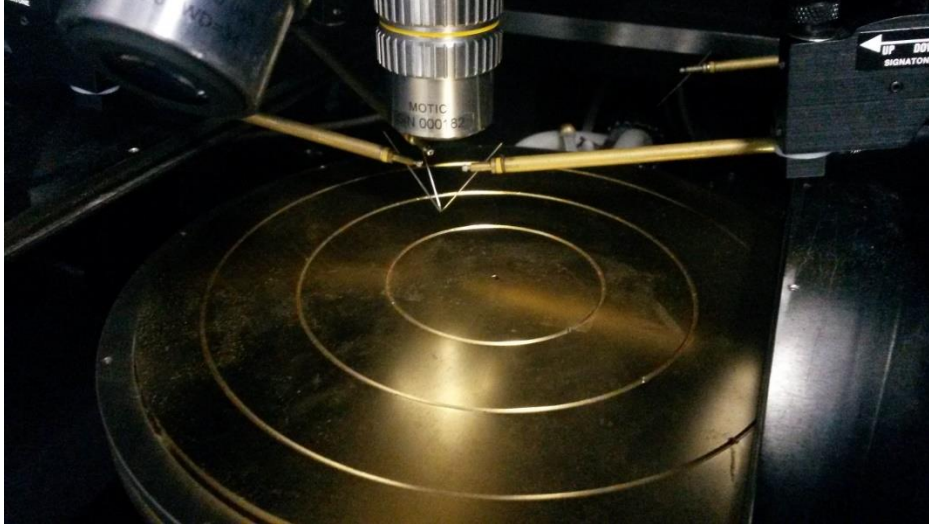
3.2. Procedimento experimental

As medidas foram realizadas por meio do extrator de parâmetros B1500, da Agilent®. A lâmina contendo os dispositivos foi posicionada em cima do micro manipulador 1160 da Signatone, em que é fixada por meio de um sistema de vácuo.

Com o auxílio de pontas de prova, responsáveis por fazer os contatos no dispositivo a ser medido, foram aplicadas as tensões e ao mesmo tempo, medidas as correntes que passam pelo transistor. As pontas foram fixadas nos pads com auxílio de um microscópio.

Todo este aparato encontra-se dentro de uma gaiola de Faraday, escura, popularmente conhecida como caixa preta. A Figura 10 apresenta o arranjo experimental utilizado.

Figura 10 — Conjunto de pontas de prova, chuck (placa circular) e microscópio.



(Autor)

Através do software EasyExpert é possível determinar quais tensões são aplicadas e quais correntes são medidas em cada uma das 4 pontas de prova.

3.3. Determinação da Largura Efetiva do Canal

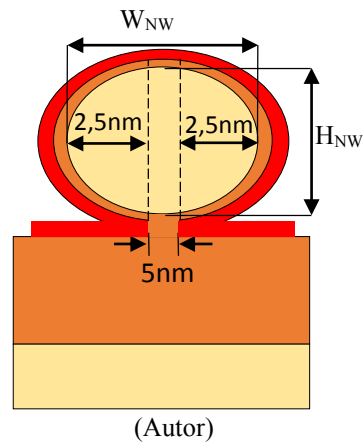
Para que os transistores 3D possam ser comparados à tecnologia planar é necessário se definir uma largura de canal efetiva (W_{eff}), em que no caso do nanofio corresponde a todo o comprimento em que o metal de porta circunda o canal, como pode ser observado na Figura 11, onde é apresentado o dispositivo com largura de aleta (W_{NW}) de 10 nm. Considerando o dispositivo com geometria circular ($H_{NW} = W_{NW}$), o comprimento de porta que circunda o canal é dado por $2 \cdot \pi \cdot 5\text{nm}$ subtraído da parte inferior em que não há a presença do metal de porta, que mede 5nm, e desconsiderando 5nm da parte superior é definido o comprimento das duas curvaturas laterais (21,4159 nm).

Então para calcular a largura de canal efetiva soma-se o valor das curvaturas com a parte superior que foi desconsiderada anteriormente, como segue:

$$W_{eff} = 21,4159 + (W_{NW} - 5) \quad (11)$$

Onde os valores são dados em nanômetros.

Figura 11 — Representação esquemática do corte transversal de um nanofio.



4. Resultados e discussões

Neste capítulo serão apresentados as análises do comportamento dos transistores à partir dos resultados obtidos nas medidas e extração de parâmetros dos mesmos. Esta seção foi dividida entre parâmetros digitais e analógicos, que estão subdivididos em subseções, nanofios nMOS e pMOS, respectivamente.

4.1. Parâmetros Digitais

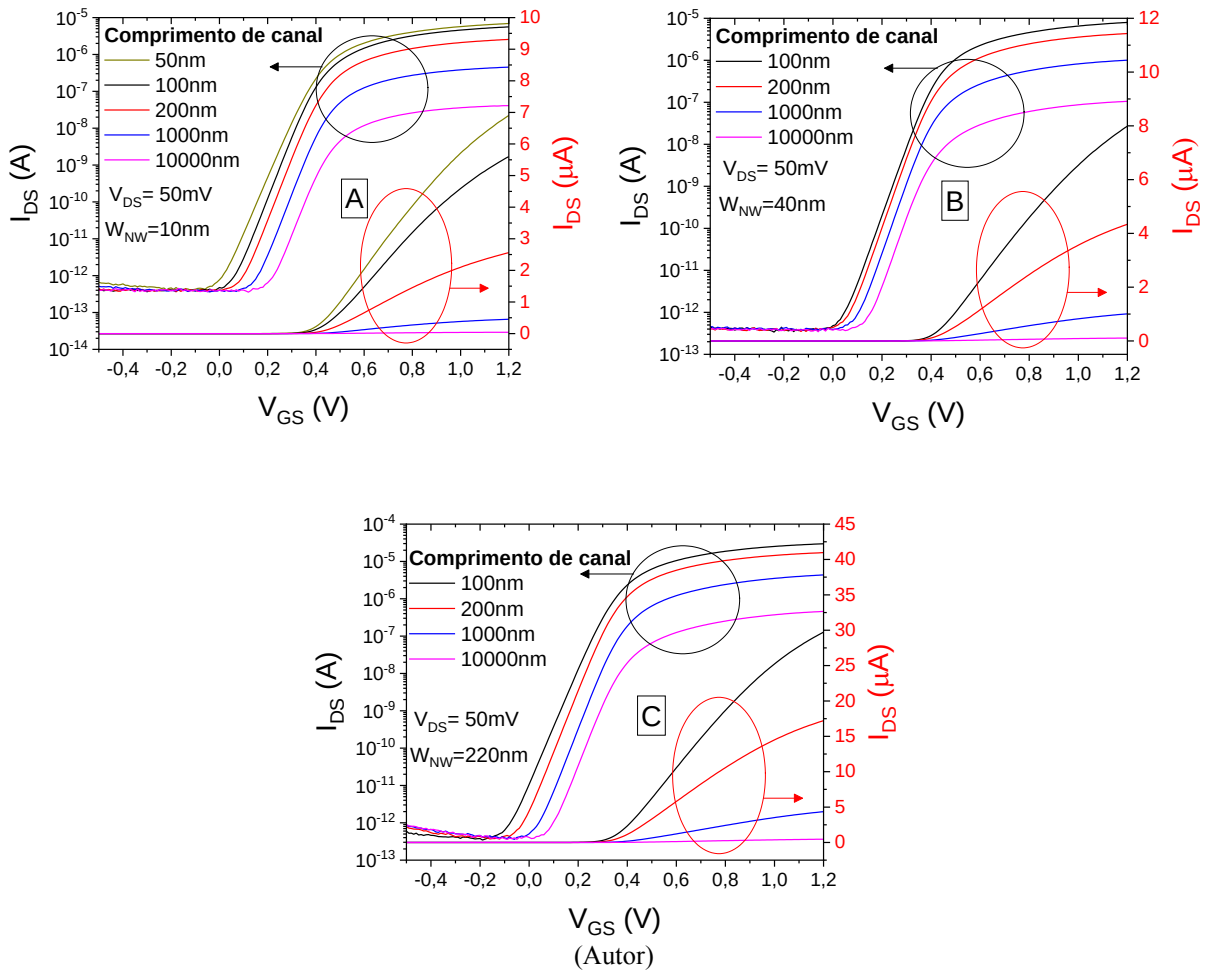
Nesta seção serão analisados parâmetros importantes para aplicações digitais, bem como o comportamento da corrente de dreno em função da tensão de porta de cada dispositivo. Em alguns casos foram feitas normalizações pela razão W_{eff}/L para cada dispositivo, tomando como base a equação (11) para realizar a extração dos parâmetros digitais básicos. Foram utilizadas somente as curvas $I_{DS} \times V_{GS}$, com V_{DS} de 50 mV (triódo). Apenas para a extração de DIBL, utilizou-se também V_{DS} de 800 mV (saturação). O primeiro parâmetro a ser analisado, SS , foi extraído à partir da região linear de $I_{DS} \times V_{GS}$ plotada em escala logarítmica, observado na Figura 12, após encontrar a inclinação da reta para uma variação de corrente de 1 década. A tensão de limiar (V_{TH}) foi extraída utilizando-se o método da segunda derivada (22). Também foi extraída a transcondutância máxima, utilizando o pico da primeira derivada da curva de transferência, e posteriormente estes valores foram normalizados pelas dimensões do dispositivo (W_{eff}/L) para eliminar a relação direta de g_m com as dimensões. Por fim, para evidenciar alguns efeitos de canal curto, foi extraído o DIBL, que representa a redução da barreira de potencial por indução do campo elétrico induzido pelo dreno.

4.1.1. Nanofio nMOSFET

A Figura 12 apresenta as curvas de corrente de dreno em função da tensão de porta de nanofios com comprimentos de canal (L) de 50 nm, 100 nm, 200 nm, 1000 nm e 10000 nm e largura de aleta (W_{NW}) de 10 nm (A), 40 nm (B) e 220 nm (C). É possível observar que conforme o comprimento de canal é reduzido, há um aumento da corrente no dispositivo, devido à direta dependência entre W/L e I_{DS} . Na Figura 12A, o dispositivo com o comprimento de canal de 50 nm aparentemente apresenta efeito de canal curto (SCE) observado pela degradação da inclinação de sublimiar. Sabendo que os dispositivos com menor largura de aleta apresentam melhor acoplamento eletrostático e, portanto, são mais imunes aos efeitos de canal curto, uma vez que os transistores com $L \leq 50$ nm já sofrem de SCE para W_{NW} de 10 nm, os mesmos não serão avaliados para W_{NW} mais largos. Na Figura 12B, o dispositivo com 100 nm de comprimento ainda não apresenta nenhum efeito de canal curto, porém, na Figura 12C, que

apresenta a curva característica dos dispositivos mais largos, é possível notar a degradação de SS e o deslocamento de V_{TH} no dispositivo de 100 nm de comprimento. É importante ressaltar que para transistores 3D, os efeitos de canal curto são muito dependentes da relação W_{eff}/L e não apenas do comprimento do canal para determinada tecnologia, como acontecia nos transistores planares.

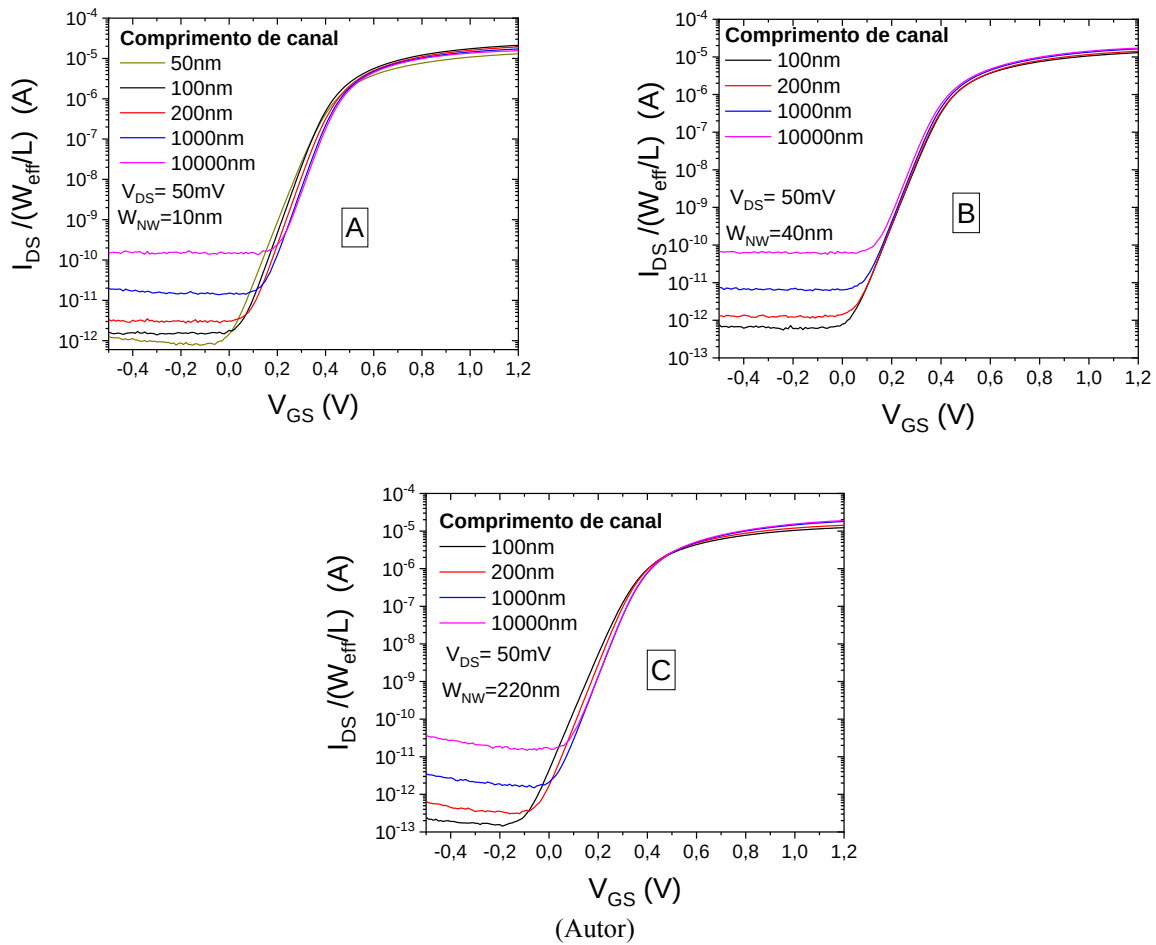
Figura 12 — Curva de transferência de corrente de nanofios nMOS em escala logarítmica (esquerda) e linear (direita), para dispositivos de vários comprimentos de canal e largura W_{NW} de (A) 10 nm, (B) 40 nm e (C) 220 nm.



Uma vez que a corrente de dreno está diretamente relacionada com W_{eff}/L , logo, para uma melhor análise das curvas de corrente, são também apresentadas as curvas de corrente de dreno normalizadas pela razão de suas dimensões (W_{eff}/L) em função da tensão aplicada à porta na Figura 13. O dispositivo mais estreito (W_{NW} de 10 nm) e mais curto ($L=50$ nm), na Figura 13A, apresenta uma variação no comportamento da corrente em comparação com os outros dispositivos, indicando que, além de estar ocorrendo o SCE, também ocorre uma degradação no nível de corrente que pode ser explicado pelo alto impacto da resistência série presente nestes dispositivos. Como mencionado anteriormente os dispositivos de W_{NW} de 40 nm, Figura 13B,

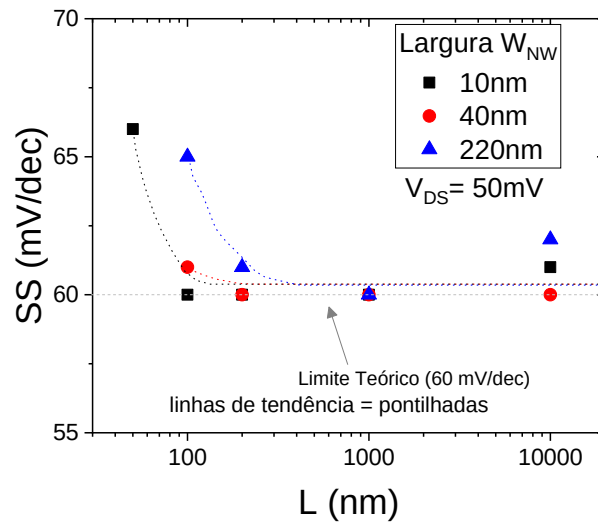
apresentam praticamente o mesmo comportamento à partir da região de sublimiar, evidenciando que nestes dispositivos não ocorrem SCEs. E por fim, os dispositivos de W_{NW} de 220 nm (Figura 13C), apresentam efeitos de canal curto para os comprimentos de canal de 100 nm e 200 nm. Isto ocorre pois como o dispositivo é muito largo, o controle eletrostático das portas laterais é muito fraco, fazendo com que o dispositivo apresente SCE para estes comprimentos de canal, confirmando que nos transistores 3D os comprimentos de canal para os quais ocorrem efeitos de canal curto mudam conforme variamos o W_{NW} .

Figura 13 — Corrente de dreno normalizada por W_{eff}/L em função da tensão de porta para nanofios nMOS de vários comprimentos de canal e largura W_{NW} de (A) 10 nm, (B) 40 nm e (C) 220 nm.



A Figura 14 apresenta o inverso da inclinação de sublimiar (SS) em função do comprimento de canal (L) para W_{NW} de 10 nm, 40 nm e 220 nm. Os dispositivos mais longos (com $L > 200$ nm) apresentam valores de SS próximos ao limite teórico (60 mV/dec), mas é possível observar que com a redução das dimensões, os valores de SS são degradados (aumentam), indicando a perda de controle eletrostático das cargas no canal, i.e., SCE. Quanto mais largo o dispositivo, antes esse efeito ocorre, tendo sido observado o SCE para o dispositivo mais largo para $L=100$ nm enquanto que para o mais estreito, ocorre apenas para $L=50$ nm.

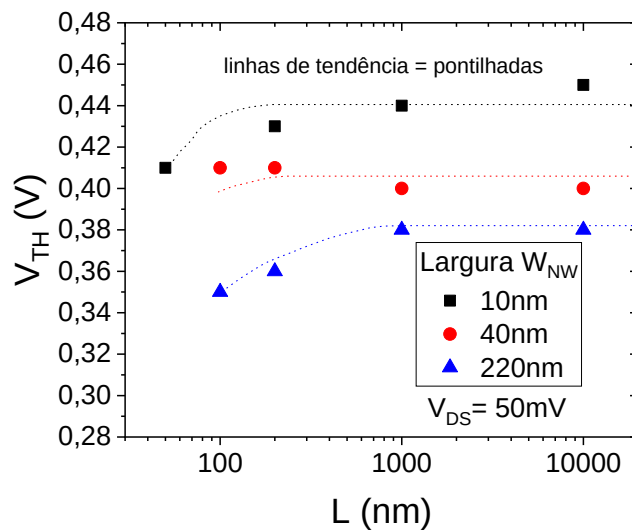
Figura 14 — Inclinação de sublimiar em função do comprimento de canal para W_{NW} de 10 nm, 40 nm e 220 nm, de nanofios nMOS.



(Autor)

Sabendo-se que a redução da tensão de limiar é um dos indicativos da presença do efeito de canal curto [22] e observando os valores de tensão de limiar em função do comprimento de canal apresentados na Figura 15, é possível afirmar que os efeitos de canal curto no dispositivo mais largo já ocorre para comprimento de canal 200 nm, enquanto que para o dispositivo mais estreito, ocorre apenas para o comprimento de canal de 50 nm, assim como observado na análise de SS.

Figura 15 — Tensão de limiar (V_{TH}) em função do comprimento de canal para W_{NW} de 10 nm, 40 nm e 220 nm, de nanofios NMOS.

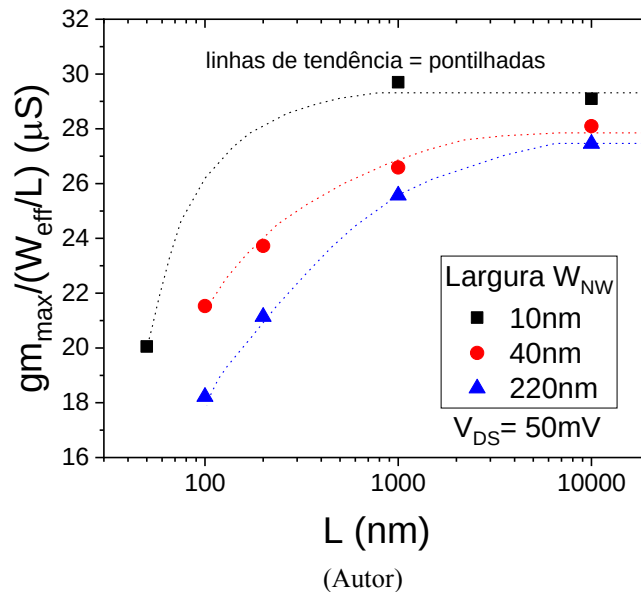


(Autor)

. Além disso, a redução dos valores da tensão de limiar observada para o dispositivo mais largo também pode ser explicada por uma pequena condução parasitária pela segunda interface devido ao fraco acoplamento entre as portas laterais, o que faz com que o dispositivo comporte-se como um planar.

Como a transcondutância (g_m) está diretamente relacionada com as dimensões do dispositivo, a Figura 16 apresenta a transcondutância normalizada por W_{eff}/L em função do comprimento de canal, para W_{NW} de 10 nm, 40 nm e 220 nm. Os dispositivos mais estreitos ($W_{\text{NW}}=10$ nm) apresentam os maiores valores devido ao forte acoplamento eletrostático gerado pelas portas. Entretanto é possível observar que os dispositivos mais largos ($W_{\text{NW}}=220$ nm) e mais compridos ($L=1000$ nm e 10000 nm) possuem valores muito próximos aos do dispositivo de W_{NW} de 40nm. Isso ocorre pois como a orientação cristalina do silício próxima às portas laterais é diferente em relação ao topo, isto faz com que a mobilidade para o elétron no topo seja maior, e como a condução do dispositivo mais largo é prioritariamente pelo topo, devido à alta mobilidade, sua transcondutância é maior, apesar do fraco acoplamento eletrostático. Isto já não é válido para canais menores ou iguais a 200 nm, onde o acoplamento eletrostático do dispositivo de W_{NW} de 40 nm mantém o controle das cargas nos canais de comprimento de 100 nm e 200 nm enquanto os dispositivos mais largos perdem o controle das mesmas. Assim podemos afirmar que na análise de transistores nanofios de porta Ω , existe uma competição de efeitos entre a mobilidade efetiva de portadores e o acoplamento eletrostático entre as portas.

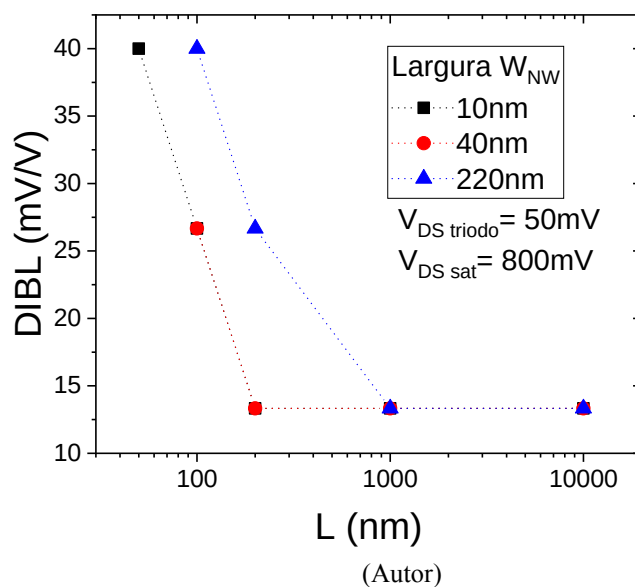
Figura 16 — Transcondutância normalizada por W_{eff}/L em função do comprimento de canal, para W_{NW} de 10 nm, 40 nm e 220 nm, de nanofios nMOS.



Mais uma vez é evidente que o comportamento dos nanofios não dependem somente do comprimento de canal, mas também da largura do canal.

A Figura 17 apresenta a curva DIBL em função do comprimento de canal para dispositivos com W_{NW} variando de 10 nm até 220 nm. É possível notar que para dispositivos longos ($L=1000$ nm e $L=10000$ nm), a tensão de limiar não é afetada pelo alto campo elétrico do dreno. Para os dispositivos estreitos ($W_{NW}=10$ nm e $W_{NW}=40$ nm) este comportamento é mantido para comprimento de canal de até 200 nm, enquanto para os dispositivos mais largos, a falta de acoplamento eletrostático resulta em uma maior influência de V_{DS} em V_{TH} , ou seja, o DIBL piora (aumenta) para transistores menores que 1 μm .

Figura 17 — DIBL em função do comprimento de canal para os dispositivos nanofios NMOS de W_{NW} de 10 nm, 40 nm e 220 nm.



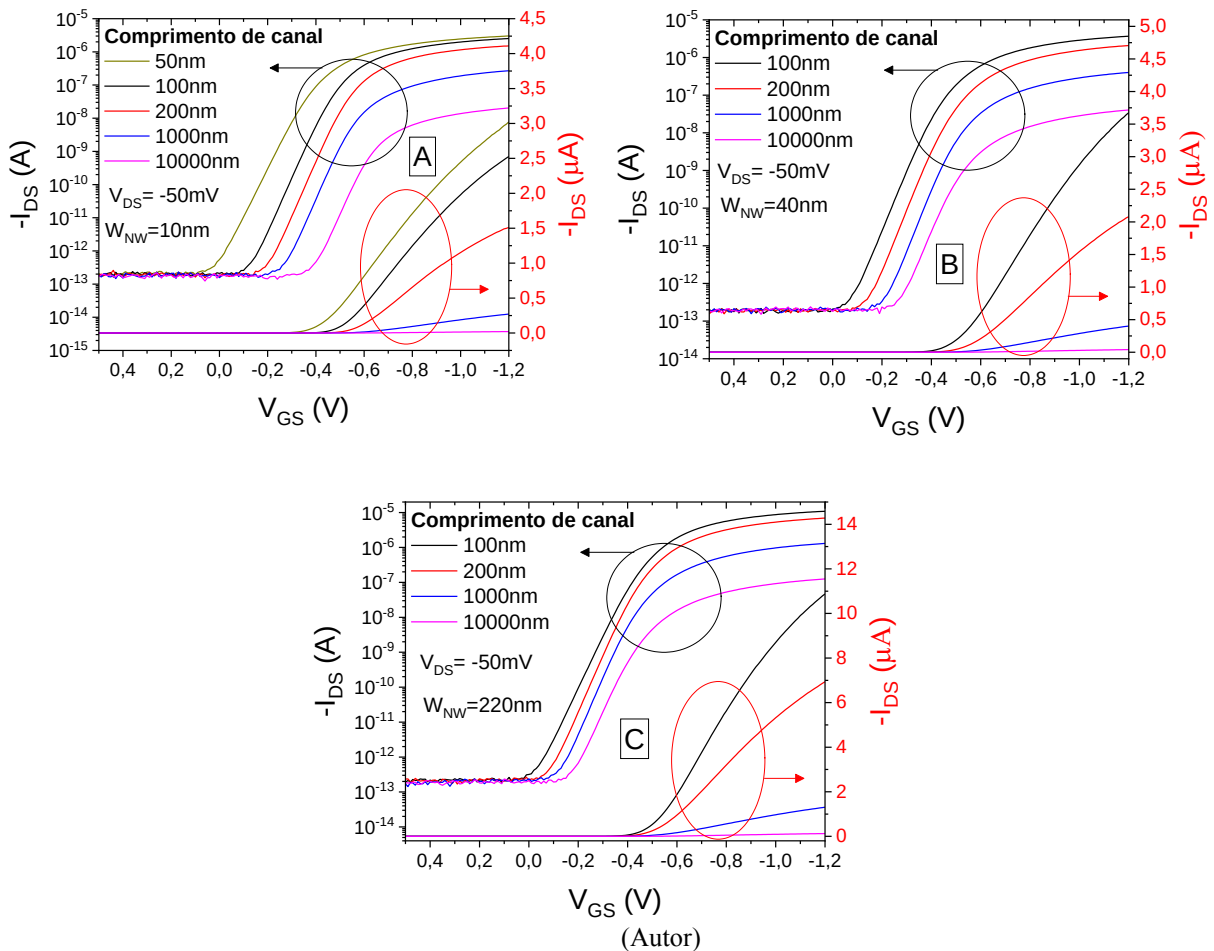
Sabendo que o DIBL é um parâmetro bastante sensível aos efeitos de canal curto, pode-se afirmar, após a análise do comportamento dos parâmetros básicos dos nanofios de silício, que os dispositivos com $L=100$ nm não sofrem de SCE para dispositivos estreitos, no entanto, para transistores com $W_{NW}=220$ nm mesmo o transistor de $L=200$ nm já tem seu comportamento degradado.

4.1.2. Nanofio pMOSFET

A Figura 18 apresenta curvas de transferência para nanofios pMOS com W_{NW} de 10 nm (A), 40 nm (B) e 220 nm (C), para diferentes comprimentos de canal. A partir da Figura 18 é possível notar que com a redução do comprimento de canal há um aumento de corrente

inversamente proporcional a L , conforme esperado. No entanto, na Figura 18A é possível observar que o transistor de $L=50$ nm apresenta um comportamento ligeiramente diferente dos demais. Observa-se uma degradação na região de sublimiar (menor velocidade de chaveamento) e sua corrente não aumenta proporcionalmente (no estado ligado). Esse comportamento está em concordância com o obtido para os transistores nMOS e representa o SCE no transistor com menor comprimento de canal (50nm) e a maior influência de resistência série. Aparentemente não se observa nenhum comportamento que justifique o SCE para transistores $L \geq 100$ nm na Figura 18B, enquanto na Figura 18C a inclinação de sublimiar do dispositivo de $L=100$ nm já começa a se degradar. Para realizar uma melhor análise das correntes apresentadas na Figura 18, foi realizada a normalização da corrente pelas dimensões dos dispositivos plotadas na Figura 19, onde são apresentados os dispositivos de W_{NW} de (A) 10 nm, (B) 40 nm, (C) 220 nm, para diferentes comprimentos de canal.

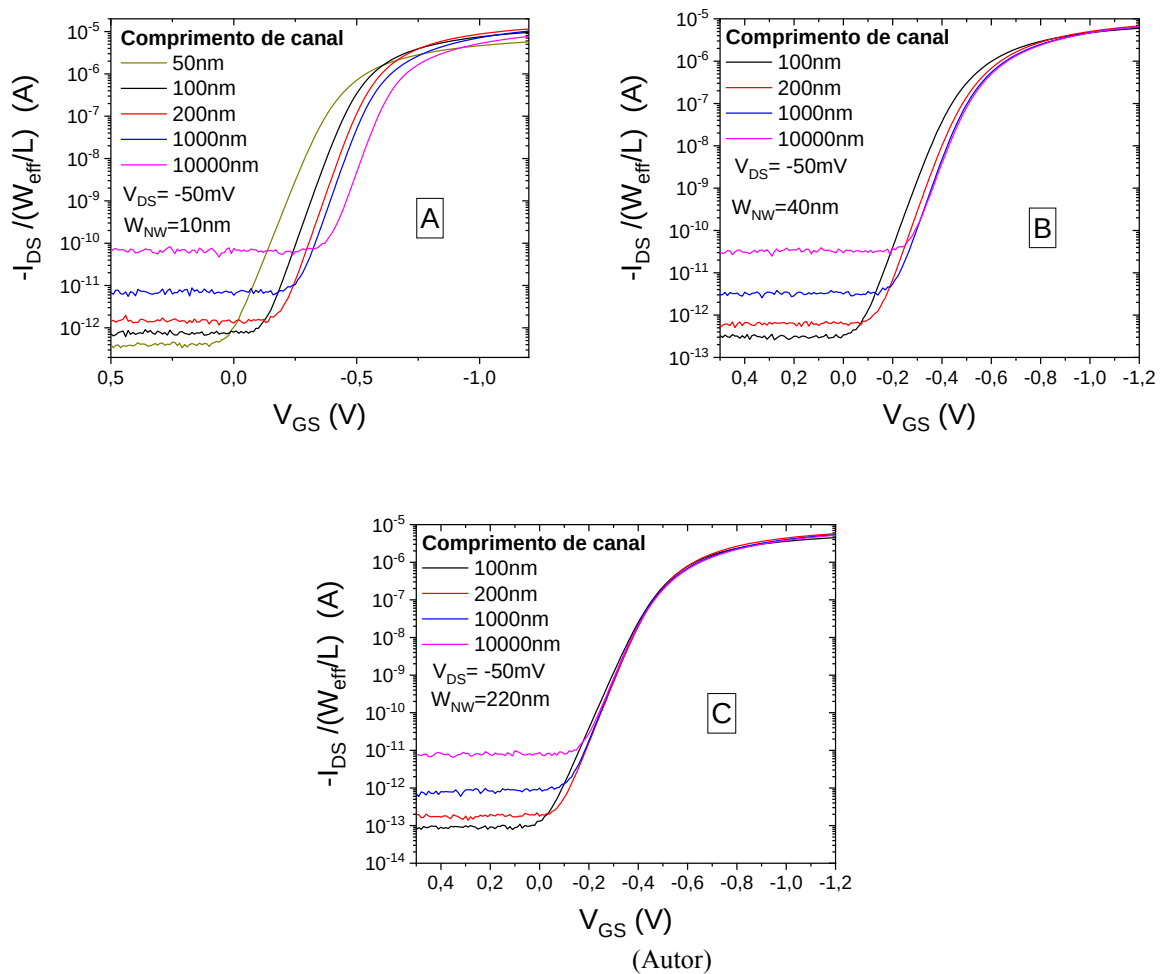
Figura 18 — Curva de transferência de corrente de nanofios pMOS em escala logarítmica (esquerda) e linear (direita), para dispositivos de vários comprimentos de canal e largura W_{NW} de (A) 10 nm, (B) 40 nm e (C) 220 nm.



Observando a Figura 19A, nota-se que o inverso da inclinação de sublimiar (SS) do dispositivo de comprimento de canal de 50 nm sofreu uma degradação (aumento), indicando que este dispositivo está sofrendo de SCE, confirmando a hipótese levantada na Figura 18A. Analisando a corrente de estado ligado do dispositivo, é observado um nível de corrente menor em comparação aos dispositivos mais compridos, isto se deve à alta resistência série presente neste dispositivo por conta de suas dimensões.

Assim como para as análises dos dispositivos de canal N (nanofio nMOSFET), era de se esperar que para o pMOS, conforme o dispositivo fica mais largo, menor é o acoplamento eletrostático, e assim os SCEs ocorreriam mais cedo. A primeira impressão que a Figura 19B nos passa é de que seu acoplamento eletrostático não diminui com o aumento da largura do canal, mas ao fazer uma análise mais cuidadosa principalmente na curva de corrente do dispositivo de 100 nm de comprimento, é possível verificar um nível de corrente significativamente maior na região de sublimiar.

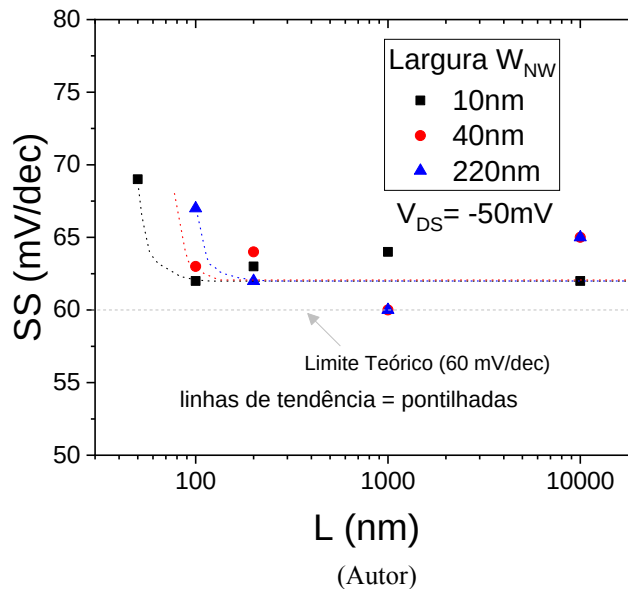
Figura 19 — Corrente de dreno normalizada por W_{eff}/L em função da tensão de porta para nanofios de canal P de vários comprimentos de canal e largura W_{NW} de (A) 10 nm, (B) 40 nm e (C) 220 nm.



Esse comportamento sugere de que há uma corrente parasitária conduzindo pela segunda interface (na parte inferior do canal), e esta condução está afetando a corrente principal do dispositivo. Se para largura de 40nm já acontece esta condução parasitária, então na Figura 19C é provável que todos os dispositivos estejam sofrendo do mesmo efeito.

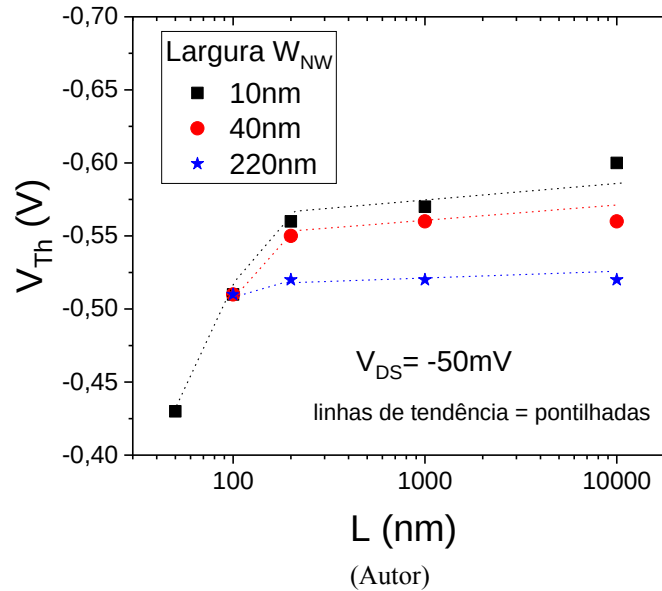
A Figura 20 apresenta o inverso da inclinação de sublimiar (SS) em função do comprimento de canal para dispositivos de nanofio de canal P e largura de 10 nm, 40 nm e 220 nm. Os valores para os dispositivos mais compridos ($L > 200$ nm) apresentam uma variação menor que 2,5 mV/dec, porém a linha de tendência indica que o comportamento está dentro do esperado, sendo que o dispositivo mais largo sofre de SCE já para L de 200 nm, como comentado anteriormente. O dispositivo mais estreito ($W_{NW}=10$ nm) sofre de efeito de canal curto somente para o comprimento de canal de 50 nm, já o dispositivo de largura de 40 nm, não aparenta sofrer de SCE para $L \geq 100$ nm.

Figura 20 — Inclinação de sublimiar em função do comprimento de canal, para nanofios pMOS de W_{NW} de 10 nm, 40 nm e 220 nm.



Na Figura 21 é apresentada a tensão de limiar em função do comprimento de canal para os dispositivos pMOS de 10 nm, 40 nm e 220 nm de W_{NW} . Na Figura 21, da mesma forma que a Figura 20 em que não se podia concluir SCE para o dispositivo de largura 40 nm e comprimento 100 nm, é possível verificar que apesar de V_{TH} começar a variar, a queda desta tensão de limiar ainda é menor que 10 %, assim podemos apenas dizer que este dispositivo está no limiar de sofrer de SCE. E como já foi comentado, o dispositivo de largura de 10 nm sofre de SCE para o comprimento de canal de 50 nm.

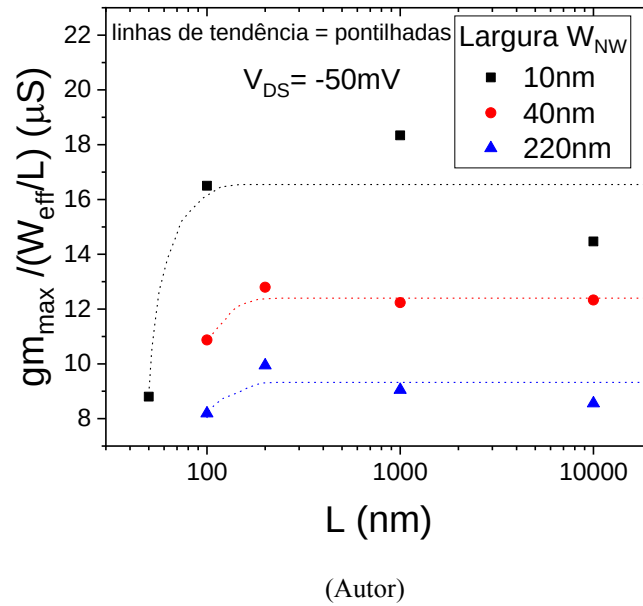
Figura 21 — Tensão de limiar (V_{TH}) em função do comprimento de canal para nanofios pMOS de W_{NW} de 10 nm, 40 nm e 220 nm.



Na Figura 22, é apresentado a transcondutância normalizada pela razão das dimensões do dispositivo (W_{eff}/L) em função do comprimento de canal, para nanofios pMOS de largura 10 nm, 40 nm e 220 nm. Lembrando que a transcondutância representa a variação da corrente no canal em função da variação de tensão de porta, conforme o dispositivo diminui em largura, maior são os valores de transcondutância, pois maior será o controle da porta sobre as cargas do canal. E quando analisamos o comportamento das curvas quando o comprimento de canal diminui, observa-se uma diminuição dos valores de transcondutância, implicando que há efeito de canal curto para L de 50 nm no dispositivo mais estreito, e no transistores de comprimento de 100 nm, para largura de 40 nm e 220 nm.

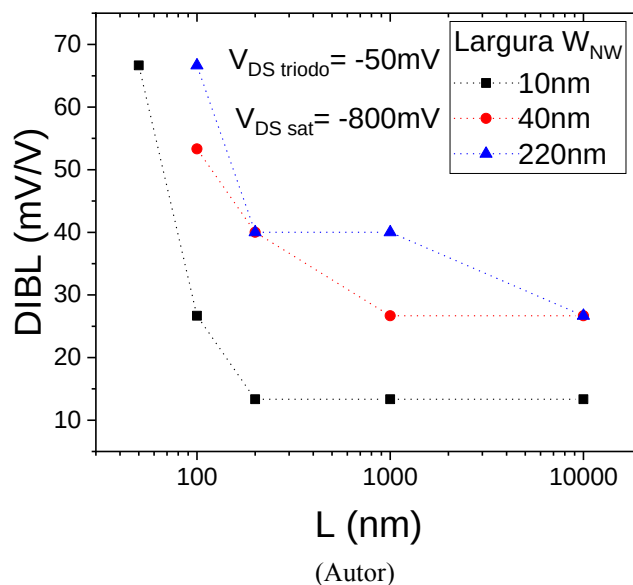
Ao analisar a transcondutância do nanofio pMOS, foi constatado que há uma competição entre mobilidade e controle eletrostático. No caso destes dispositivos de canal P, o controle eletrostático é muito maior que a mobilidade efetiva no canal, pois, naturalmente a mobilidade de lacunas é menor que a do elétron, e a orientação cristalina do dispositivo é desfavorável para lacunas no topo, e favorável nas laterais, mas como o controle eletrostático dos dispositivos mais estreitos é significativamente alto, o controle da porta sobre as cargas do canal prevalece.

Figura 22 — Transcondutância normalizada por W_{eff}/L em função do comprimento de canal, para nanofios pMOS de W_{NW} de 10 nm, 40 nm e 220 nm.



A Figura 23 apresenta DIBL em função do comprimento do canal para diferentes W_{NW} de 10 nm, 40 nm e 220 nm, de dispositivos nanofios pMOS. Como DIBL é um parâmetro sensível aos SCEs, como mencionado anteriormente, é possível observar um aumento no valor de DIBL para os dispositivos de largura de aleta de 40 nm e 220 nm para todos os comprimentos de canal, ficando ainda mais pronunciado para $L < 200$ nm. Apenas os transistores mais estreitos apresentam boa imunidade ao DIBL.

Figura 23 — DIBL em função do comprimento de canal para nanofios pMOS de W_{NW} de 10 nm, 40 nm e 220 nm.



Logo, é possível concluir que para os nanofios de canal P, a influência de W_{NW} é ainda mais importante uma vez que, para transistores muito largos há, além da maior sensibilidade aos efeitos de canal curto, há a condução parasita que pode fazer com que o dispositivo não opere de forma adequada.

4.2. Parâmetros Analógicos

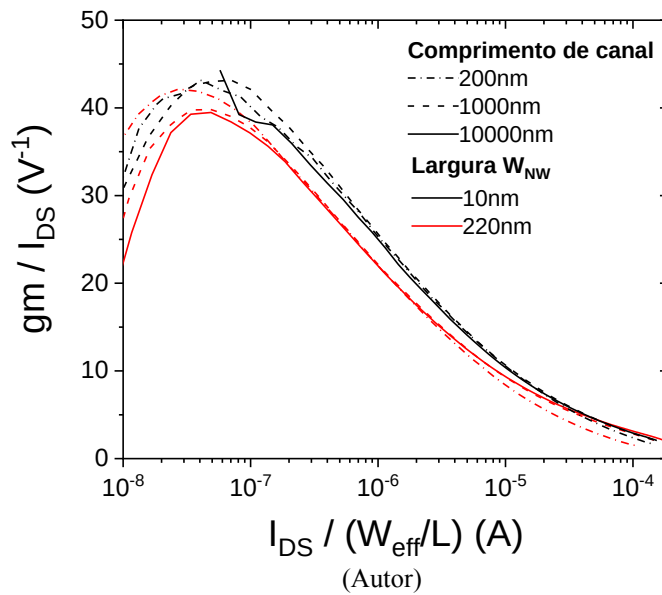
Nesta seção são apresentados os parâmetros importantes para avaliar a aplicabilidade dos transistores estudados em circuitos analógicos. As curvas utilizadas para a extração destes parâmetros foram somente $I_{DS} \times V_{GS}$, com V_{DS} de 800 mV (saturação), e $I_{DS} \times V_{DS}$ com V_{GT} de 200 mV, e também foi necessário realizar normalizações pelas dimensões dos dispositivos (W_{eff}/L), tendo como base a equação (11). O primeiro parâmetro analisado foi a eficiência do transistor que avalia a capacidade do transistor transformar corrente elétrica em transcondutância, e sua extração foi simplesmente a divisão entre transcondutância pela corrente dreno (gm/I_{DS}) ambas em saturação, em função da corrente normalizada por W_{eff}/L . A tensão Early é a tensão em que a extrapolação linear da curva $I_{DS} \times V_{DS}$ próximo à região de polarização ($V_{DS} = 800$ mV) cruza o eixo y em zero, sendo este um conceito associado à modulação do comprimento de canal. Dois parâmetros muito importantes que podem indicar efeito de canal curto e modulação do comprimento de canal, respectivamente, são a transcondutância em saturação, extraído pela primeira derivada de $I_{DS} \times V_{GS}$ no ponto $V_{GT} = 200$ mV (V_{GS} varia para cada dispositivo pois depende da tensão de limitar), e a condutância de saída, cuja extração é feita tomando o ponto em que $V_{DS} = 800$ mV na curva da primeira derivada de $I_{DS} \times V_{DS}$. E por último utilizando a razão gm_{sat}/gd é possível de se obter o ganho intrínseco de tensão do dispositivo.

4.2.1. Nanofio nMOSFET

A razão gm/I_{DS} ou eficiência do transistor é um parâmetro que mede a eficiência do controle que a porta do dispositivo possui sobre as cargas do canal. A Figura 24 apresenta a eficiência dos nanofios nMOS de largura de 10 nm e 220 nm, com comprimento de canal de 200 nm, 1000 nm e 10000 nm. Todos os dispositivos apresentam o seu ponto ótimo de eficiência em uma região próximo a 50 nA de corrente de dreno normalizada, porém, para os dispositivos mais largos ($W_{NW} = 220$ nm), apresentam menor razão gm/I_{DS} na região de inversão fraca devido ao fraco acoplamento entre a porta e o canal. Nesta região a razão gm/I_{DS} é proporcional ao inverso de SS.

Mesmo que os dispositivos mais largos possuam um nível maior de corrente devido às suas dimensões, os dispositivos de $W_{NW} = 10$ nm possuem um controle eletrostático muito superior, fazendo com que tenham valores maiores que os transistores mais largos. Já os dispositivos mais curtos apresentam menores valores de gm/I_{DS} na região de inversão forte devido à alta resistência série associada ao transistor.

Figura 24 — Eficiência do transistor em função da corrente de dreno normalizada, para dispositivos nanofio nMOS de largura W_{NW} de 10 nm e 220 nm e comprimento de canal de 200 nm, 1000 nm e 10000 nm.



A Figura 25 apresenta a tensão Early de nanofios nMOS de largura W_{NW} de 10 nm, 40 nm e 220 nm, em função do comprimento de canal. É possível observar que conforme o comprimento de canal aumenta, a tensão Early também aumenta. Isto ocorre devido à modulação do comprimento de canal, que é exemplificada na Figura 26. Na operação em saturação do transistor, o canal é “pinçado” devido à influência do alto campo elétrico gerado pelo contato de dreno, logo o canal efetivo (L_{eff}) é menor do que o que foi projetado. Para dispositivos longos o ΔL é pouco significativo, porém, para canais mais curtos esta variação é significativa, aumentando a corrente I_{DS} para os dispositivos mais curtos. Analisando os dispositivos de comprimento de canal de 10 μm , nota-se que o dispositivo de W_{NW} de 40 nm possui um V_{EA} menor que o transistor mais largo. Isto ocorre pois dispositivos estreitos, o acoplamento das portas impede a penetração das linhas de campo proveniente do dreno e, portanto, uma maior tensão Early é obtida.

Figura 25 — Tensão Early de nanofios nMOS de largura W_{NW} de 10 nm, 40 nm e 220 nm, em função do comprimento de canal.

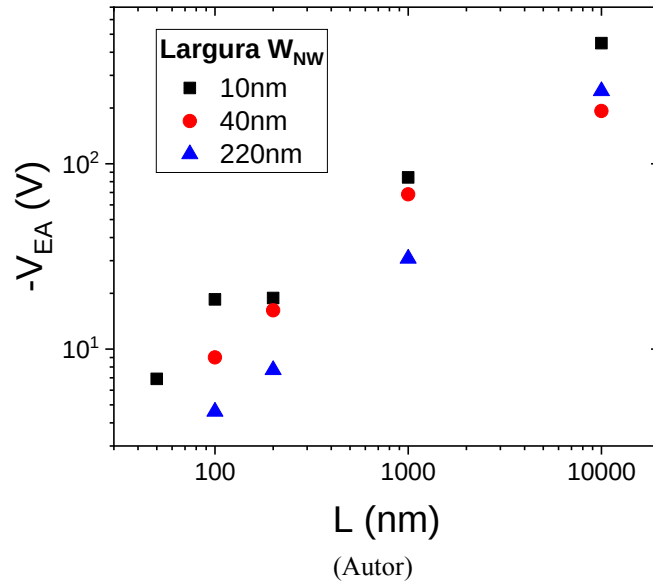
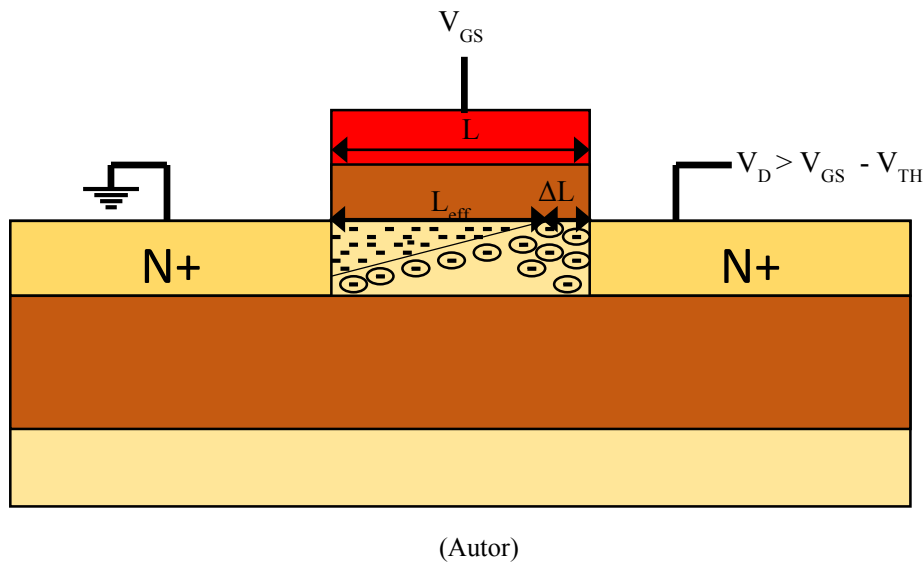


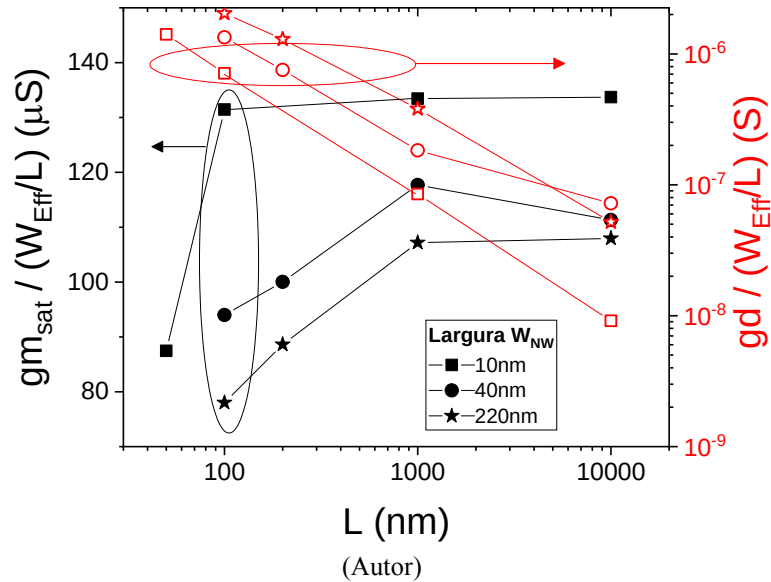
Figura 26 — Visão longitudinal de um nanofio de canal N, operando em saturação.



As curvas de transcondutância em saturação e condutância de saída, normalizadas por W_{eff}/L , em função do comprimento de canal são apresentadas na Figura 27. Com o aumento do comprimento de canal, há uma melhoria da condutância de saída dos dispositivos devido à pequena influência de ΔL . Além disso, a redução de W_{NW} promove maior acoplamento eletrostático devido ao forte acoplamento entre as portas, o que também melhora g_d .

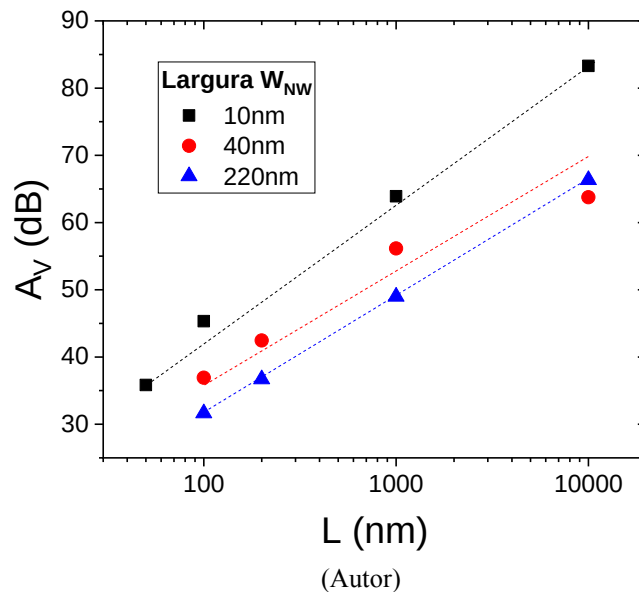
Já a transcondutância sofre influência da mobilidade que aumenta com o aumento de W_{NW} e do controle eletrostático, que aumenta com a redução de W_{NW} . Assim, é possível observar que o dispositivo mais estreito e mais longo possui alta transcondutância e baixa condutância de saída.

Figura 27 — Transcondutância em saturação e condutância de saída, normalizados por W_{eff}/L , em função do comprimento de canal, para nanofios nMOS de largura de 10 nm, 40 nm e 220 nm.



Por último, é apresentado a curva do ganho intrínseco de tensão em função do comprimento de canal na Figura 28. Como A_V é a razão entre g_m e g_d , e levando em conta o que ocorre na Figura 27, é esperado que o dispositivo mais estreito e mais longo obtivesse o maior ganho intrínseco, por conta do alto acoplamento eletrostático e pouca influência da modulação do comprimento de canal.

Figura 28 — Ganho intrínseco de nanofios de canal N e largura de 10 nm, 40 nm e 220 nm, em função do comprimento de canal.



Portanto, pode-se concluir que para aplicações analógicas o dispositivo mais estreito e mais longo mostrou ser a melhor opção dentre os transistores estudados.

4.2.2. Nanofio pMOSFET

A Figura 29 apresenta a eficiência de nanofios pMOS de largura 10 nm e comprimento de canal de 200 nm, 1000 nm e 10000 nm. A curva da eficiência dos transistores de canal P de largura de aleta de 220 nm e comprimento de canal de 200 nm, 1000 nm, 10000 nm, são apresentados na Figura 30.

Figura 29 — Eficiência do transistor em função da corrente de dreno normalizada, para dispositivos nanofios de largura W_{NW} de 220 nm e comprimento de canal de 200 nm, 1000 nm e 10000 nm.

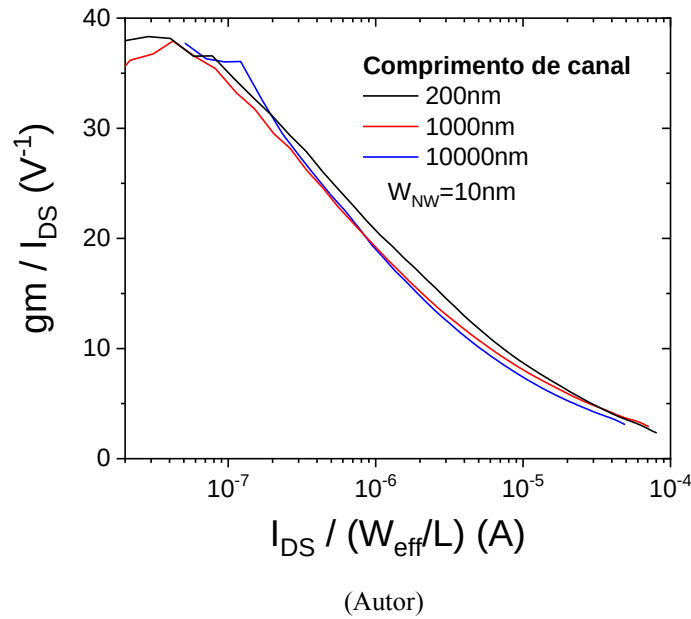
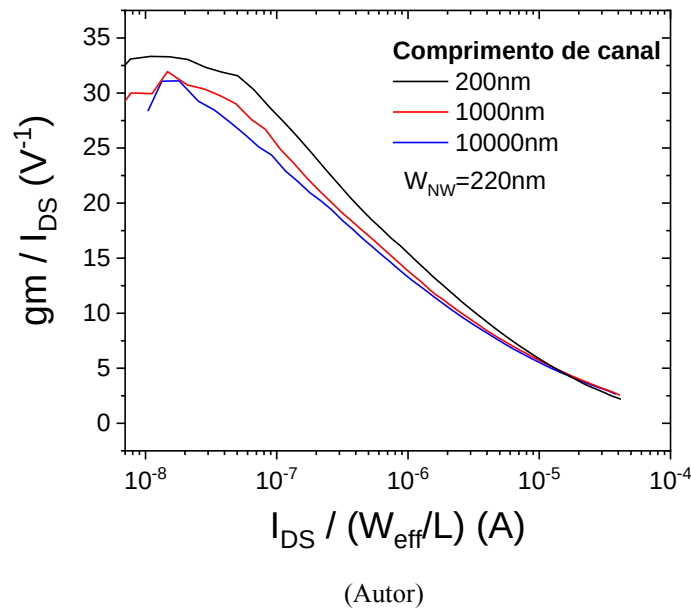


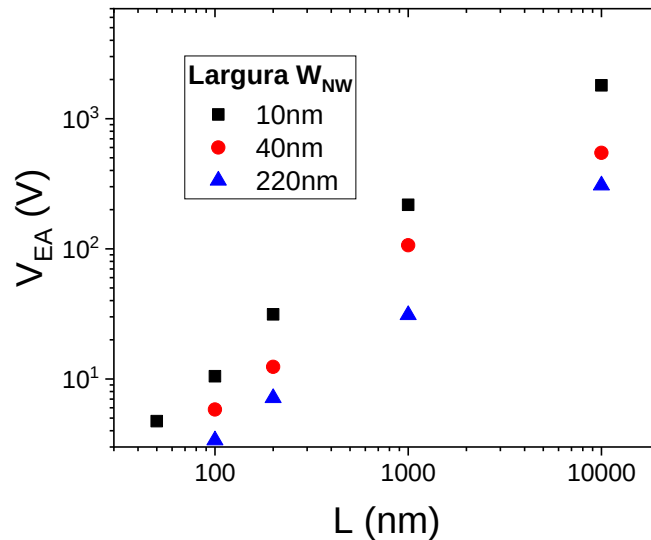
Figura 30 — Eficiência do transistor em função da corrente de dreno normalizada, para dispositivos nanofios pMOS de largura W_{NW} de 10 nm e comprimento de canal de 200 nm, 1000 nm e 10000 nm.



De forma similar aos dispositivos nMOS, os transistores com W_{NW} de 10 nm apresentaram maior eficiência na região de inversão fraca que os de W_{NW} de 220 nm devido ao melhor SS, e g_m/I_{DS} decai na região de inversão forte.

A Figura 31 apresenta a tensão Early em função do comprimento de canal para nanofios de canal P com largura de 10 nm, 40 nm e 220 nm. Ao compararmos os valores obtidos na Figura 31 com os da Figura 25 (nMOS), é possível observar que os dispositivos pMOS obtiveram melhores valores de V_{EA} e apresentam o mesmo comportamento com relação aos comprimentos e larguras do canal. É possível observar também a degradação que o efeito da modulação do comprimento de canal causa, conforme o comprimento de canal é reduzido.

Figura 31 — Tensão Early de nanofios pMOS de largura W_{NW} de 10 nm, 40 nm e 220 nm, em função do comprimento de canal.

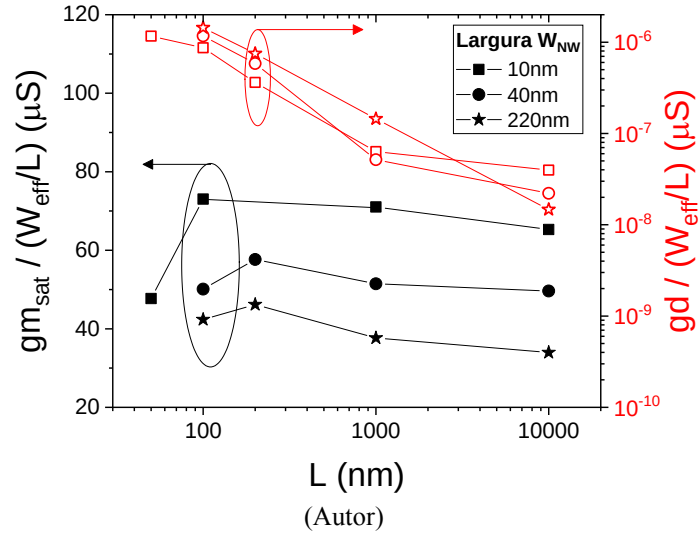


(Autor)

Na Figura 32 são apresentadas as curvas de transcondutância e condutância de saída normalizadas, em função do comprimento de canal para nanofios pMOS de W_{NW} de 10 nm, 40 nm e 220 nm. As tendências obtidas são muito semelhantes ao que foi previamente explicado para os transistores de canal N. Analisando os valores de condutância de saída, é possível observar que conforme o comprimento de canal se torna mais os valores de g_d obtidos reduzem (melhoram). No entanto, a dependência de g_d com a largura de aleta segue o caminho oposto.

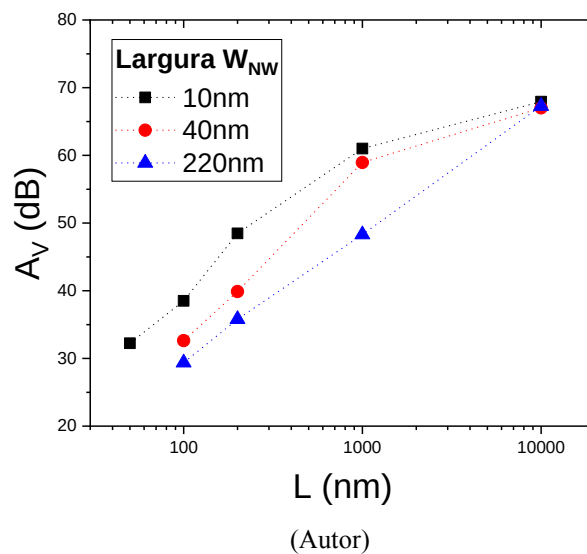
A transcondutância decresce com a diminuição do comprimento de canal, pois o dispositivo começa a perder o controle eletrostático das portas por causa dos efeitos de canal curto, o que é evidente no dispositivo de $W_{NW} = 10$ nm e $L = 50$ nm.

Figura 32 — Transcondutância em saturação e condutância de saída, normalizados por W_{eff}/L , em função do comprimento de canal, para nanfios pMOS de W_{NW} de 10 nm, 40 nm e 220 nm.



Mesmo que o dispositivo mais largo ($W_{\text{NW}} = 220$ nm) e mais longo ($L = 10000$ nm) tenha o menor valor de g_d , a perda do controle da porta sobre as cargas do canal é tão grande que a transcondutância é mais degradada (diminui) do que g_d é melhorado (diminui), e isto é evidente ao analisar a curva de ganho intrínseco em função do comprimento de canal, apresentado na Figura 33.

Figura 33 — Ganho intrínseco de nanofios pMOS de largura de 10 nm, 40 nm e 10000 nm, em função do comprimento de canal.



É possível observar que os valores de ganho intrínseco para os dispositivos de comprimento de canal de 10000 nm, estão muito próximos, ou seja há uma competição entre a

movilidade dos transistores mais largos e o alto acoplamento eletrostático dos dispositivos mais estreitos. Portanto, da mesma maneira como foi concluído para os transistores nMOS, os dispositivos pMOS mais estreitos e mais largos possuem maior aplicabilidade analógica.

5. Conclusão

Neste trabalho foram estudados os nanofios de porta Ω , nMOS e pMOS, com largura de aleta de 10 nm, 40 nm e 220 nm, variando o comprimento de canal de 10 μm até 50 nm, e como para o dispositivo mais estreito o canal de 50 nm já apresentava SCE, portanto, para os dispositivos de larguras de aleta de 40 nm e 220 nm, foram analisados os transistores com comprimentos de canal de 10 μm , 1 μm , 200 nm e 100 nm.

Inicialmente caracterizou-se eletricamente os dispositivos, focando nos parâmetros digitais que mostraram que os dispositivos mais estreitos (W_{NW} de 10 nm), com exceção do dispositivo de canal de 50 nm, mostraram inclinação de sublimiar próxima de 60 mV/dec, altos valores de transcondutância máxima, apresentaram boa imunidade aos efeitos de canal curto, pois houve pouca variação da tensão de limiar em função do comprimento de canal, e foram obtidos baixos valores de DIBL, aproximadamente 12 mV/V para pMOS e 27 mV/V para nMOS. O dispositivo pMOS apresentou o menor valor de DIBL possivelmente por conta da baixa mobilidade da lacuna.

Analisando dispositivos com diferentes larguras de aletas, quanto maior W_{NW} , menor seu acoplamento eletrostático, degradando o desempenho dos dispositivos. Os transistores pMOS de largura de aleta 220 nm apresentaram indicações de ocorrência de condução parasita pela segunda interface (região inferior do canal, próximo à região onde não há a presença do metal de porta)

Quando foi realizado a análise dos parâmetros analógicos, notou-se que os transistores mais estreitos ($W_{\text{NW}} = 10$ nm) e com comprimento de canal mais curto obteve melhor comportamento na eficiência do transistor na região de inversão fraca, porém, devido à alta resistência série, na região de inversão forte, os dispositivos mais longos obtiverem melhores resultados. Os transistores mais longos obtiveram também, os melhores valores de transcondutância em saturação, possivelmente por terem maior imunidade aos efeitos de canal curto, graças ao alto acoplamento eletrostático gerado pela tensão aplicada à porta Ω . A tensão Early mostrou aumentar com o aumento do comprimento de canal enquanto que a condutância de saída diminui, pois, estes parâmetros são muito sensíveis à diminuição do comprimento de canal devido à modulação do comprimento de canal, mais significativa para canais mais curtos. Ainda se tratando da tensão Early, foi observado uma competição de efeitos entre o nível de corrente e a inclinação (gd) da região linear da curva $I_{\text{DS}} \times V_{\text{DS}}$, onde o dispositivo de W_{NW} de 220 nm obteve o maior nível de corrente, porém, devido ao fraco acoplamento eletrostático, obteve a pior inclinação, diminuindo a sua tensão Early. Ou seja, quanto maior o comprimento de canal, menor é sua condutância de saída e maior sua transcondutância, comportamento esse

que faz com que o ganho intrínseco de tensão aumente por depender da divisão destes parâmetros ($g_{m_{sat}}/g_d$).

Portanto o nanofio de porta Ω , de largura de aleta de 10nm e comprimento de canal de 100 nm, apresentou SS próximo de 60 mV/dec, ou seja, uma alta eficiência de chaveamento, alto valor de transcondutância máxima, e pouca influência dos efeitos de canal, se mostrando uma boa escolha para circuitos digitais. Mas em se tratando de aplicações analógicas, o dispositivo nMOS mais estreito (W_{NW} de 10 nm) e com comprimento de canal mais longo (10 μ m), mostrou um ganho de mais de 80 dB, implicando que o nanofio pode ser uma excelente escolha em circuito analógicos.

Referências Bibliográficas

1. Katsutoshi Izumi, Proceedings of the Fourth International Symposium on Silicon-On-Insulator Technology and Advices, Vol. 90-6, p.3, 1990.
2. J. P. Colinge, IEDM, p. 817, 1989.
3. G. E. Davis et al, IEEE Trans. on Nuclear Science, Vol. 32, p. 4432, 1985.
4. J. L. Leray et al, IEEE Trans. on Nuclear Science, Vol. 35. p. 1355, 1988.
5. W. A. Krull and J. C. Lee, Proceedings of SOS/SOI Technology Workshop, p. 69, 1989.
6. W. P. Maszara, Proceedings of the Fourth International Symposium on Silicon-On-Insulator Technology and Devices, Vol. 90-6, p. 199, 1990.
7. M. Fujishima, K. Assada, Y. Omura and K. Izumi, IEEE Journal of Solid-State Circuits, vol. 28, n. 4, p. 510, 1993.
8. Y. Kado, T. Ohno, M. Harada, K. Deguchi, T. Tsuchiya, IEDM, p. 243, 1993.
9. G. G. Shahidi, T. H. Ning, T. I. Chappell, J. H. Comfort, B. A. Chappell, R. Franch, C. J. Anderson, P. W. Cook, S. E. Schuster, M. G. Rosenfield, M. R. Polcari, R. H. Dennard, and B. Davari, IEDM, p. 813, 1993.
10. C. S. Kim (Semiconductors Asia/Pacific), Dataquest-Korea, Maio, 1997.
11. J. P. Colinge, "Silicon-On-Insulator Technology: Materials to VLSI", 3rd Edition, Kluwer Academic Publishers, 2004.
12. J. P. Colinge, "From single to multi-gate", in FinFET and Other Multi-Gate Transistors, cap.1 p.257-291, Springer US, 2008
13. Taube Navaraj W, García Núñez C, Shakthivel D, Vinciguerra V, Labeau F, Gregory DH and Dahiya R (2017) Nanowire FET Based Neural Element for Robotic Tactile Sensing Skin. Front. Neurosci. 11:501. doi: 10.3389/fnins.2017.00501
14. Annalisa Cappellani, Peter G. Tolchinsky, Kelin J. Kuhn, Glenn A. Glass, Van H. Lee. Common-substrate semiconductor devices having nanowires or semiconductor bodies with differing material orientation or composition. Depositante: Intel Corp. US9559160B2. Depósito: 31 jan. 2017
15. W. Li, M. D. Brubaker, B. T. Spann, K. A. Bertness, P. Fay, "GaN Nanowire MOSFET With Near-Ideal Subthreshold Slope", IEEE Electron Device Lett., vol. 39, no. 2, pp. 184-187, Feb. 2018.
16. C. J. Docherty, S. D. Stranks, S. N. Habisreutinger, H. J. Joyce, L. M. Herz, R. J. Nicholas, and M. B. Johnston, "An ultrafast carbon nanotube terahertz polarisation modulator," J. Appl. Phys. 115(20), 203108 (2014).

17. Silva. V. C. P., Estudo da região de sublimar de transistores avançados. 2018. Dissertação (Mestrado em Ciências) – Escola Politécnica, Universidade de São Paulo, São Paulo, 2018.
18. Caparroz L. F. V., Efeito da radiação em transistores 3D em baixas temperaturas. 2017. Dissertação (Mestrado em Ciências) – Escola Politécnica, Universidade de São Paulo, São Paulo, 2017.
19. Martino J.A., Pavanello M.A.; B., Verdonck P., Caracterização Elétrica de Tecnologia e Dispositivos MOS. Pioneira Thomson Learning, São Paulo, 2003.
20. T. Poiroux, M. Vinet, O. Faynot, J. Widiez, J. Lolivier, T. Ernst, B. Previtali, S. Deleonibus: Multiple gate devices: advantages and challenges. *Microelectronic Engineering* 80, 378 (2005)
21. Paz, B. C., Modelagem de nanofios transistores MOS sem junção de porta dupla e tripla. 2015. Dissertação (Mestrado em Engenharia Elétrica) – Centro Universitário da FEI, São Bernardo do Campo, 2015
22. Agopian, P. G. D., Análise do funcionamento dos dispositivos GC SOI MOSFETS em baixas temperaturas. 2003. Dissertação (Mestrado em Engenharia Elétrica) – Escola Politécnica, Universidade de São Paulo, São Paulo, 2003.
23. Claeys, C., Leonelli, D., Rooyackers, R., Vandooren, A., Verhulst, A., Heyns, M., De Gent, S. (2009). Fabrication and characterization of Si and hetero-junction tunnel field effect transistors. Tóquio
24. J. P. Colinge e C. A. Colinge, *Physics of Semiconductor Devices*, Kluwer Academic Publishers, 2002
25. S. Barraud, R.Coquand, M.Casse, M.Koyama, J.M. Hartmann, V. Maffini-Alvaro, C. Comboroure, C. Vizioz, F. Aussenac, O. Faynot, T. Poiroux, *IEEE Electron Device Lett.*, 33, p.1526 (2012).