

**WEIBER AURÉLIO XAVIER DE SOUZA**

**Implementação de um modulador PWM para inversor multinível ponte H em cascata  
de 7 níveis em FPGA**

Guaratinguetá - SP

2022

**Weiber Aurélio Xavier de Souza**

**Implementação de um modulador PWM para inversor multinível ponte H em cascata  
de 7 níveis em FPGA**

Trabalho de Graduação apresentado ao Conselho de Curso de Graduação em Engenharia Elétrica da Faculdade de Engenharia do Campus de Guaratinguetá, Universidade Estadual Paulista, como parte dos requisitos para obtenção do diploma de Graduação em Engenharia Elétrica.

Orientador: Prof. Dr. Leonardo Mesquita

Guaratinguetá  
2022

S729i	<p data-bbox="365 1243 759 1274">Souza, Weiber Aurelio Xavier de</p> <p data-bbox="365 1279 1326 1384">Implementação de um modulador PWM para inversor multinível ponte H em cascata de 7 níveis em FPGA / Weiber Aurelio Xavier de Souza – Guaratinguetá, 2022.</p> <p data-bbox="411 1388 512 1420">63 f. : il.</p> <p data-bbox="411 1424 624 1456">Bibliografia: f. 60</p> <p data-bbox="365 1496 1337 1565">Trabalho de Graduação em Engenharia Elétrica – Universidade Estadual Paulista, Faculdade de Engenharia de Guaratinguetá, 2022.</p> <p data-bbox="411 1570 895 1601">Orientador: Prof. Dr. Leonardo Mesquita</p> <p data-bbox="411 1677 1326 1744">1. Inversores elétricos. 2. Eletrônica de potência. 3. Modulação (Eletrônica). I. Título.</p> <p data-bbox="1185 1785 1337 1814">CDU 621.38</p>
-------	------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

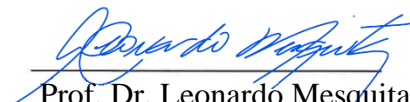
**Weiber Aurélio Xavier de Souza**

ESTE TRABALHO DE GRADUAÇÃO FOI JULGADO ADEQUADO COMO PARTE  
DO REQUISITO PARA OBTENÇÃO DO DIPLOMA DE  
“GRADUADO EM ENGENHARIA ELÉTRICA”


APROVADO EM SUA FORMA FINAL PELO CONSELHO DE CURSO DE  
GRADUAÇÃO EM NOME DO CURSO

Prof. Dr. Daniel Julien Barros da Silva Sampaio  
Coordenador(a)

**BANCA EXAMINADORA:**

  
Prof. Dr. Leonardo Mesquita  
Orientador/UNESP-FEG

  
Prof. Dr. Luiz Octávio Mattos dos Reis  
UNESP-FEG

  
Prof. Dr. Daniel Julien Barros da Silva Sampaio  
UNESP-FEG

Março de 2022

## **DADOS CURRICULARES**

**Weiber Aurélio Xavier de Souza**

<b>NASCIMENTO</b>	24.07.1997 – GUARATINGUETÁ / SP
<b>FILIAÇÃO</b>	Marcos Aurélio Campos de Souza Alda Lúcia Passos Xavier de Souza
<b>2017/2021</b>	Curso de Graduação em Engenharia Elétrica – Universidade Estadual Paulista – UNESP – campus Guaratinguetá

## **AGRADECIMENTOS**

Primeiramente, agradeço a Deus por me conceder a vida, e por me dar saúde, sabedoria e inspiração para realizar todos os objetivos durante todos os meus anos de estudo.

Ao meu pai, mãe e irmão, por sempre acreditarem em meu potencial pessoal e profissional, por se dedicarem tanto a mim, estando sempre me apoiando e dando todo o suporte necessário durante essa longa caminhada.

Por fim, agradeço ao meu orientador, Prof. Dr. Leonardo Mesquita pelo conhecimento compartilhado, pelas oportunidades e ensinamentos. Pela ajuda e apoio na concepção e desenvolvimento deste projeto.

## RESUMO

Este trabalho apresenta a implementação em FPGA de um modulador PWM utilizando-se diferentes técnicas de modulação PWM para um inversor multinível em cascata ponte H. Para isso, é explicado o princípio de funcionamento deste inversor e da modulação PWM por múltiplas portadoras. O modulador foi escrito utilizando a linguagem de descrição de hardware VHDL e estruturado em blocos. Além disso, utiliza-se o software Matlab/Simulink para realizar a simulação dos sinais de controle, do inversor multinível e do filtro LC. Ainda, utiliza-se os softwares *Modelsim* para a simulação dos sinais de controle do FPGA. O modulador é implementado em um kit de desenvolvimento Altera De2-115. Por fim, para a validação do sistema desenvolveu-se um inversor multinível de 7 níveis, o qual é aplicado os sinais de controle e analisa-se os resultados obtidos, comparando-se aos resultados das simulações.

**PALAVRAS-CHAVE:** Inversor multinível. Modulação PWM. FPGA. Inversor Ponte H. Eletrônica de Potência.

## ABSTRACT

This paper presents the implementation in a FPGA of a PWM modulation using different PWM modulation techniques for single-phase seven level cascaded H-bridge inverter. For this, the working principle of this inverter and the PWM modulation by multiple carriers is explained. The modulator was written using the VHDL hardware description language and structured in blocks. In addition, *Matlab/Simulink* software is used to simulate the control signals, the multilevel inverter and the LC filter. Also, *Modelsim* software is used to simulate the FPGA control signals. The modulator is implemented in an Altera De2-115 development kit. Finally, for the validation of the system, a seven-level multilevel inverter was developed, to which the control signals are applied and the results obtained are analyzed, comparing them to the simulation results.

**KEYWORDS:** Multilevel inverter. PWM Modulation. FPGA. Cascaded H-Bridge. Power Electronics.



## LISTA DE FIGURAS

Figura 1.1 – Principais funções dos conversores estáticos.....	11
Figura 1.2 – Inversor monofásico: (a) Esquemático; (b) Forma de onda de tensão.....	12
Figura 2.1 – Inversor monofásico meia-ponte: (a) circuito esquemático; (b) estado de operação 1; (c) estado de operação 2; (d): forma de onda.....	16
Figura 2.2 – Inversor monofásico ponte H.....	17
Figura 2.3 – Inversor monofásico ponte H: (a) estado de operação 1; (b) estado de operação 2; (c) estado de operação 3; (d): estado de operação 4.....	18
Figura 2.4 – Forma de onda da tensão de saída do inversor monofásico ponte H .....	18
Figura 2.5 – inversor NPC monofásico .....	20
Figura 2.6 – Inversor ponto neutro grampeado de 5 níveis.....	21
Figura 2.7 – Inversor monofásico FC de 3 níveis.....	21
Figura 2.8 – Inversor monofásico FC de n níveis.....	23
Figura 2.9 – Inversor multinível em cascata de sete níveis.....	24
Figura 2.16 – Topologia filtro LC passa baixa.....	30
Figura 3.1 – inversor monofásico de 3 níveis modelado no Simulink.....	32
Figura 3.2 – Sistema de comando PWM.....	33
Figura 3.3 – Módulo inversor ponte H e Filtro LC Passa Baixa.....	33
Figura 3.4 – Simulação dos sinais das portadoras e modulante.....	34
Figura 3.5 – Simulação dos sinais das portadoras e modulante com zoom.....	34
Figura 3.6 – Sinais de comando gerado pelo PWM.....	34
Figura 3.7 – Tensão na saída do inversor em aberto.....	35
Figura 3.8 – Tensão e corrente sobre uma carga puramente resistiva.....	35
Figura 3.9 – Análise FFT da tensão sobre a carga.....	36
Figura 3.10 – Inversor monofásico multinível de 7 níveis modelado no Simulink.....	36
Figura 3.11 – Sistema de controle modulação LS-PWM.....	37
Figura 3.12 – Simulação dos sinais das portadoras e modulante.....	37
Figura 3.13 – Simulação dos sinais das portadoras e modulante com zoom.....	38
Figura 3.14 – Tensão na saída de cada módulo do inversor multinível de 7 níveis.....	38
Figura 3.15 – Tensão na saída do inversor multinível de 7 níveis em aberto.....	38
Figura 3.16 – Taxa de distorção harmônica.....	39
Figura 4.1 – Placa de desenvolvimento FPGA Altera Terasic DE2-115.....	40
Figura 4.2 – FPGA DE2-115: Diagrama de blocos.....	41

Figura 4.3 – Diagrama em blocos dos módulos para geração da modulação PWM.....	41
Figura 4.4 – Módulo Prescaler.....	42
Figura 4.5 – Fluxograma do módulo Prescaler.....	43
Figura 4.6 – Simulação do bloco Prescaler: (a) Reset ativo alto; (b) Frequência da modulante; (c) Frequência da portadora.....	43
Figura 4.7 – Módulo Portadora Triangular.....	44
Figura 4.8 – Fluxograma do módulo portadora triangular.....	46
Figura 4.9 – Simulação do módulo portadora triangular.....	46
Figura 4.10 – Módulo Modulante Senoidal.....	47
Figura 4.11 – Código desenvolvido para implementação do Módulo Modulante Senoidal...	47
Figura 4.12 – Simulação do módulo modulante senoidal.....	48
Figura 4.13 – Código desenvolvido para implementação do Módulo comparador.....	48
Figura 4.14 – Simulação do módulo comparador.....	49
Figura 4.15 – Módulo Dead Time: (a) Bloco esquemático; (b) Diagrama de tempo.....	49
Figura 4.16 – Simulação do Módulo Dead Time.....	49
Figura 4.17 – Simulação dos sinais de comando do inversor monofásico de 7 níveis.....	50
Figura 4.18 – Simulação das entradas digitais reset e start.....	50
Figura 5.1 – Foto do protótipo desenvolvido para realização de testes.....	52
Figura 5.2 – Circuito Esquemático do Driver para o acionamento do MOSFET.....	52
Figura 5.3 – Teste do circuito de driver utilizando resistor de 10 k $\Omega$ .....	53
Figura 5.4 – Teste do circuito de driver utilizando um resistor de 1 k $\Omega$ .....	53
Figura 5.5 – Teste do circuito de driver utilizando os sinais de controle.....	54
Figura 5.6 – Circuito esquemático do módulo inversor.....	54
Figura 5.7 – Tensão em cada braço do inversor monofásico de 3 níveis: (a) escala de tempo igual a 1 ms; (b) escala de tempo igual a 500 $\mu$ s.....	55
Figura 5.8 – Tensão na saída do inversor.....	55
Figura 5.9 – Tensão na saída do inversor com zoom.....	56
Figura 5.10 – Tensão na saída do inversor de 7 níveis (fp = 2,5 kHz) .....	56
Figura 5.11 – Tensão na saída do inversor de 7 níveis (fp = 5,0 kHz) .....	57
Figura 5.12 – Tensão na saída do inversor de 7 níveis com filtro LC.....	57
Figura 5.13 – Tensão na saída do inversor de 7 níveis: (a) Antes do filtro LC; (b) Depois do filtro.....	58

## LISTA DE TABELAS

Tabela 2.1 – Tensões de saída do inversor monofásico meia-ponte.....	17
Tabela 2.2 – Tensões de saída do inversor monofásico ponte H.....	19
Tabela 2.3 – Tensões de saída do inversor monofásico NPC.....	20
Tabela 2.4 – Tensões de saída do inversor monofásico FC.....	22
Tabela 2.5 – Tensões de saída do inversor monofásico CHB de 7 níveis.....	24
Tabela 4.1 – Tabela verdade para seleção das técnicas de modulação.....	42
Tabela 4.2 – Defasamento angular modulação PS-PWM.....	45
Tabela 4.3 – Intervalo portadoras triangulares.....	45
Tabela 5.1 – Lista de materiais utilizados na montagem do inversor.....	51
Tabela 5.2 – Lista de equipamentos utilizados nos testes.....	51

## SUMÁRIO

<b>1</b>	<b>INTRODUÇÃO .....</b>	<b>11</b>
1.1	OBJETIVOS.....	13
1.1.1	Objetivo geral.....	13
1.1.2	Objetivos específicos.....	13
1.2	MOTIVAÇÃO.....	14
1.3	ESTRUTURA DO TRABALHO.....	15
<b>2</b>	<b>REFERENCIAL TEÓRICO.....</b>	<b>16</b>
2.1	INVERSOR MONOFÁSICO.....	16
2.2	INVERSOR MONOFÁSICO MULTINÍVEL.....	19
2.2.1	Inversor de ponto neutro grampeado (NPC).....	19
2.2.2	Inversor com capacitor grampeado (FC).....	21
2.2.3	Inversor ponte H em cascata (CHB).....	23
2.3	TÉCNICAS DE MODULAÇÃO.....	25
2.3.1	Modulação Vetorial.....	26
2.3.2	Eliminação Seletiva de Harmônicas.....	26
2.3.3	Modulação por largura de pulso.....	27
2.3.3.1	Modulação PWM por defasamento.....	29
2.3.3.2	Modulação PWM por desnivelamento.....	29
2.4	FILTRO PASSA BAIXA.....	30
<b>3</b>	<b>SIMULAÇÃO DO INVERSOR MULTINÍVEL.....</b>	<b>32</b>
3.1	INVERSOR CHB MONOFÁSICO COM 3 NÍVEIS.....	32
3.2	INVERSOR CHB MONOFÁSICO COM 7 NÍVEIS.....	36
<b>4</b>	<b>IMPLEMENTAÇÃO DO MODULADOR EM FPGA.....</b>	<b>40</b>
4.1	DISPOSITIVO DE LÓGICA PROGRAMÁVEL FPGA.....	40
4.2	ALGORITMO DO MODULADOR PWM.....	41
4.2.1	Módulo Prescaler.....	42
4.2.2	Módulo Portadora Triangular.....	44
4.2.3	Módulo Modulante Senoidal.....	46
4.2.4	Módulo Comparador.....	48
4.2.5	Módulo Dead Time.....	49
4.2.6	Sinais de controle do inversor.....	50
<b>5</b>	<b>RESULTADOS EXPERIMENTAIS.....</b>	<b>51</b>

5.1	INVERSOR MONOFÁSICO DE 3 NÍVEIS.....	52
5.2	INVERSOR MONOFÁSICO DE 7 NÍVEIS.....	56
6	<b>CONCLUSÃO.....</b>	56
	<b>REFERÊNCIA.....</b>	60
	<b>APÊNDICE A.....</b>	61

## 1 INTRODUÇÃO

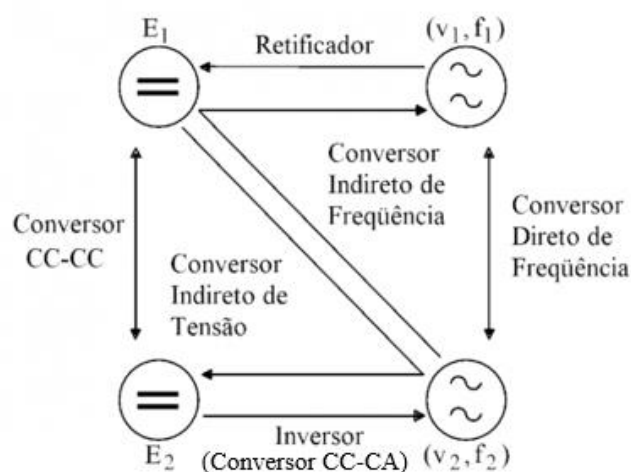
Segundo Rashid (Muhammad H. Rashid, 1999), a eletrônica de potência trata das aplicações da eletrônica de estado sólido para o controle e conversão da energia elétrica. As técnicas de conversão requerem a condução e o bloqueio dos dispositivos semicondutores de potência. Circuitos eletrônicos simples que normalmente consistem de circuitos integrados e componentes discretos, geram os sinais de comando necessários ao comando dos dispositivos de potência.

Além disso, a eletrônica de potência constitui um dos três pilares da engenharia elétrica, em conjunto com a eletrônica e controle. De acordo com Ahmed, a eletrônica de potência é considerada uma área da engenharia definida como uma ciência de aplicação dedicada ao estudo dos conversores estáticos de energia elétrica.

Um conversor estático pode ser definido como um sistema, constituído por elementos passivos, tais como: resistores, capacitores e indutores e elementos ativos, podendo citar: diodos, tiristores, transistores, *Insulated gate bipolar transistor* (IGBT's), *gate turn-off thyristor* (GTO's), tríodo de corrente alternada (Triacs) e *metal oxide semiconductor* (MOSFET's), associados de acordo com uma lei pré-estabelecida. Segundo Ivo Barbi, os conversores estáticos são utilizados para o controle do fluxo de energia elétrica entre dois ou mais sistemas elétricos.

A figura 1.1 apresenta as principais funções realizadas pelos conversores estáticos e relaciona o fluxo de conversão de energia elétrica entre níveis de tensão contínua e diferentes frequência de corrente alternada.

Figura 1.1 – Principais funções dos conversores estáticos

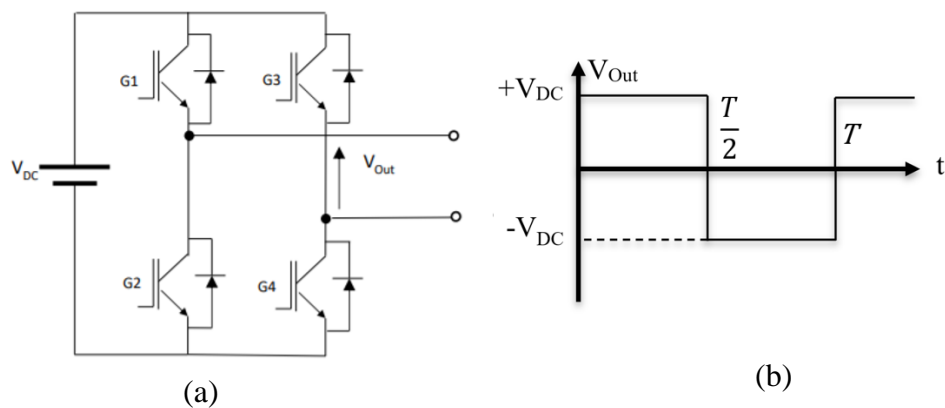


Fonte: Barbi (2006)

Uma das grandes áreas de pesquisa em Eletrônica de Potência consiste no estudo e desenvolvimento de dispositivos semicondutores de potência que sejam capazes de suportar elevados níveis de tensão quando estão em bloqueio e conduzir correntes elevadas quando acionados.

Um conversor CC-CA é também conhecido como um inversor. Segundo Ivo (Ivo Barbi, 2006), o objetivo de um inversor é transformar uma fonte de alimentação contínua em uma fonte alternada, de modo que seu valor médio seja nulo e a frequência constante, além disso, os níveis de corrente e tensão da saída podem ser fixos ou variáveis. Um inversor monofásico com transistor é apresentado na Figura 1.2. Se os transistores G1 e G4 conduzirem por meio período e G2 e G3 conduzirem na outra metade, a tensão de saída terá a forma alternada. A tensão de saída pode ser controlada pela variação do tempo de condução dos transistores.

Figura 1.2 – Inversor monofásico: (a) Esquemático; (b) Forma de onda de tensão;



Fonte: Elaborado pelo autor

Para inversores tradicionais a forma de onda na saída é geralmente retangular e possui um alto conteúdo harmônico. Estes dispositivos são aplicados em diversas áreas de atuação, pode-se citar algumas das mais importantes: controle de velocidade em motores síncronos e de indução, fontes de alimentação para aeronaves, fontes de funcionamento contínuo e transmissões de corrente contínua em alta tensão, filtros ativos, estabilizadores de tensão, aquecimento por indução, entre outras aplicações.

Existem diversos tipos de inversores, podendo ser classificados de acordo com seu número de fases: monofásico, trifásico ou n-fásicos, pelo seu fluxo de potência: unidirecional ou bidirecional. Também, é comum distinguir um inversor com relação à característica da onda de saída, podendo ser um inversor de tensão ou inversor de corrente. Este dispositivo é

capaz de operar em baixa e alta frequência de comutação, com controle em malha fechada ou malha aberta e podem ser isolados ou não isolados. Outra importante característica de um inversor é com relação aos seus níveis de tensão, podendo-se classificar em inversores tradicionais, de dois à três níveis, e inversores multiníveis, sendo que estes, embora sejam mais complexos, apresentam uma série de vantagens em relação aos inversores tradicionais, conforme será abordado no capítulo dois deste trabalho.

Além disso, existem diversos tipos de técnicas de modulação utilizadas para realizar o controle de chaveamento do inversor. De uma forma simples pode-se classificá-las como: modulação complexa, simples ou sem modulação, as mais utilizadas são modulação vetorial, histerese e por largura de pulso (em inglês *Pulse Width Modulation* - PWM), a qual será explicada no capítulo 2 deste trabalho.

## 1.1 OBJETIVOS

### 1.1.1 Objetivo geral

O presente trabalho tem como objetivo desenvolver um modulador PWM utilizando-se linguagem de descrição de hardware (VHDL) e sintetizado em um dispositivo *Field Programmable Gate Array* (FPGA) para ser utilizado como um dos blocos construtivos de um inversor de tensão multinível Ponte H em cascata de até 7 níveis de tensão.

### 1.1.2 Objetivos específicos

A seguir é apresentado os objetivos específicos deste trabalho:

- Estudar as topologias de conversores CC-CA;
- Estudar técnicas de modulação utilizadas para realizar o controle de chaveamento do inversor;
- Simular a operação de inversores de 3, 5 e 7 níveis por meio do Software MatLab;
- Desenvolver um algoritmo para o modulador PWM utilizando linguagem de descrição de hardware VHDL;
- Desenvolver um circuito para isolamento elétrica dos sinais de comando;
- Simular e desenvolver um filtro LC para ser utilizado em conjunto com o inversor;
- Realização de testes do inversor para operação em aberto e com carga resistiva;



## 1.2 MOTIVAÇÃO

Cada vez mais necessita-se de sistemas eletrônicos de alta potência para aplicações industriais, sendo necessário a utilização de inversores, destinados a controlar o fluxo de energia elétrica entre uma fonte de tensão contínua e uma carga em corrente alternada. Assim, a eletrônica de potência tem progredido bastante buscando novas tecnologias capazes de tornar mais eficiente a conversão da energia elétrica.

Com o desenvolvimento da tecnologia dos semicondutores de potência, as capacidades nominais e a velocidade de chaveamento dos dispositivos de potência melhoraram enormemente. Uma das dificuldades encontradas nessa área é devido ao aumento de potência demandada, de modo que os dispositivos semicondutores que compõem o conversor CC-CA ficam expostos há níveis de tensão e corrente superiores à sua capacidade, para superar esse problema podem ser utilizados inversores multiníveis. A ideia principal por trás desta técnica consiste em repartir a tensão ou corrente total de um conversor entre um número determinado de conversores menores. Em determinados casos é possível, ainda, obter níveis intermediários de tensão ou corrente que viabilizam a síntese de uma forma de onda alternada em degraus.

Além disso, os inversores multiníveis apresentam diversas vantagens em relação aos conversores tradicionais de 2 ou 3 níveis, pois, à medida que o número de níveis aumenta a forma de onda de saída fica mais semelhante de uma onda senoidal, desse modo, há uma menor distorção harmônica total (THD), resultando em uma redução dos componentes de filtragem e melhor estabilidade para o acionamento de motores elétricos de corrente alternada.

Ainda, devido a distribuição de corrente e tensão entre os semicondutores a energia dissipada durante o processo de chaveamento é menor, desse modo, pode-se obter uma melhor eficiência para o conversor CC-CA.

Geralmente, a modulação (PWM) é implementado de forma digital por meio de microcontroladores e processadores digitais de sinais (DSPs) em inversores tradicionais. Entretanto, inversores multiníveis necessitam de um número elevado de sinais de comando para controlar os vários dispositivos semicondutores que compõem o inversor. Além disso, para realizar técnicas de modulações complexas com uma elevada frequência de chaveamento necessita-se de um poder de processamento para executar os algoritmos. Desse modo, a utilização de microcontroladores e DSPs se mostram limitados, conforme observado por Muhammad Imran Ahmad.

Portanto, neste trabalho será apresentado como solução para este problema a utilização de um dispositivo de lógica configurável (FPGA) para implementação dos sinais digitais de comando. Esta técnica utiliza dispositivos semicondutores constituídos de um grande arranjo de células lógicas ou blocos lógicos configuráveis contidos em um único circuito integrado, com a vantagem de cada célula conter capacidade computacional para implementar funções lógicas e realizar roteamento para comunicação entre elas, incluindo as vantagens elevada velocidade, redução no tempo de propagação dos sinais, além de agregar características de volatilidade e capacidade de reprogramação e processamento paralelo. Estas vantagens permitirão maior facilidade no processamento do controle de chaveamento do inversor multinível.

### 1.3 ESTRUTURA DO TRABALHO

Este trabalho está organizado em 5 capítulos, o primeiro é responsável por introduzir o tema e contextualiza-lo, além disso, é listado os objetivos, geral e específico, e a motivação para realização do tema proposto. Por fim, é apresentada a divisão estrutural do trabalho, em conjunto com uma explicação sucinta de cada capítulo.

No capítulo 2 é apresentado um referencial teórico acerca do funcionamento de inversores tradicionais, multiníveis e topologias utilizadas. Também são apresentadas as diferentes técnicas de modulação utilizadas para controlar o chaveamento dos dispositivos semicondutores.

Em relação ao capítulo 3, expõem-se as etapas de desenvolvimento do trabalho, que envolvem a elaboração do circuito esquemático, simulação das técnicas de modulação e do circuito inversor no software MatLab/Simulink.

O capítulo 4, apresenta a programação do modulador PWM em VHDL, utilizando o software Quartus (versão Prime 17.1), juntamente com uma explicação detalhada de cada componente desenvolvimento, parâmetros de configuração e simulações realizadas no software *Modelsim*.

Por fim, no capítulo 5 pode-se observar os resultados experimentais obtidos para validação do modulador, os problemas enfrentados durante o desenvolvimento do inversor e sugestões para trabalhos futuros.

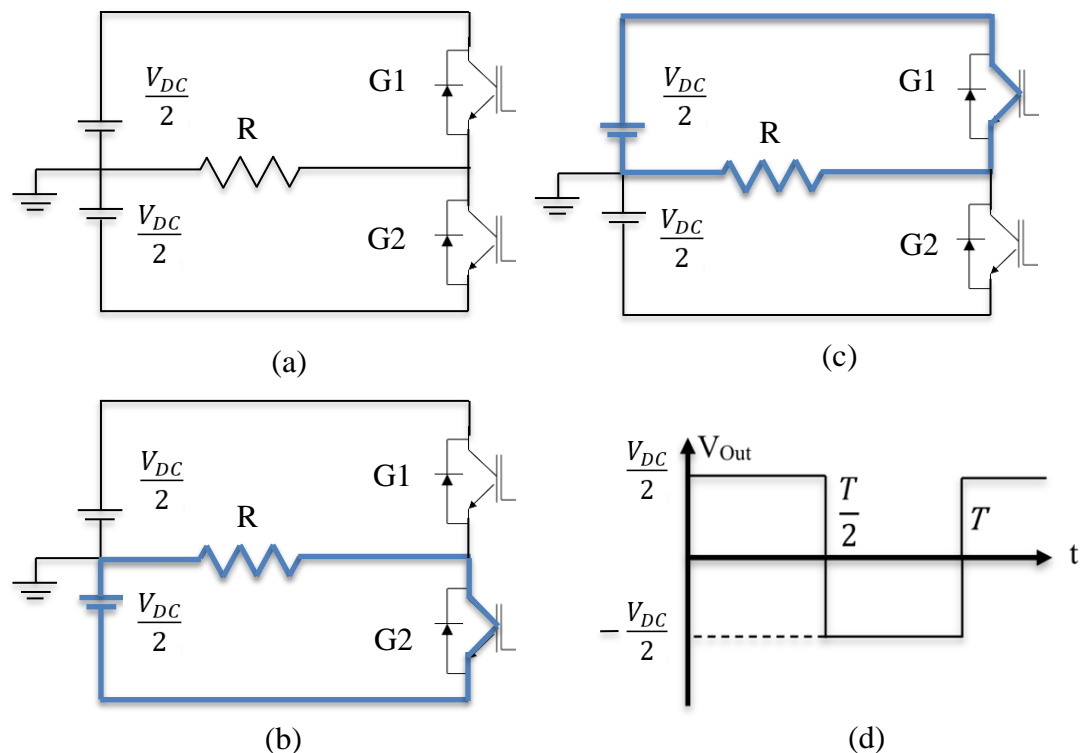
## 2 REFERENCIAL TEÓRICO

Este capítulo tem como objetivo apresentar o referencial teórico acerca de conversores CC-CA, expondo as principais topologias utilizadas, seu princípio de funcionamento e as diferentes técnicas de modulação utilizadas nestes dispositivos.

### 2.1 INVERSOR MONOFÁSICO

O princípio de funcionamento do inversor monofásico consiste na condução ou bloqueio de seus elementos comutadores por meio do sinal de comando. Para auxiliar na explicação a figura 2.1 apresenta o conversor CC-CA mais básico, denominado inversor meia-ponte, este dispositivo é composto de dois dispositivos semicondutores, sendo capaz de gerar dois níveis de tensão. Nesta configuração apenas uma chave opera por vez, de modo que quando G1 está conduzindo G2 está em estado de bloqueio e vice-versa, caracterizando seus dois estados de operação.

Figura 2.1 – Inversor monofásico meia-ponte: (a) circuito esquemático; (b) estado de operação 1; (c) estado de operação 2; (d): forma de onda.



Fonte: Elaborado pelo autor

A Tabela 2.1 apresenta as possíveis tensões na saída do inversor meia-ponte

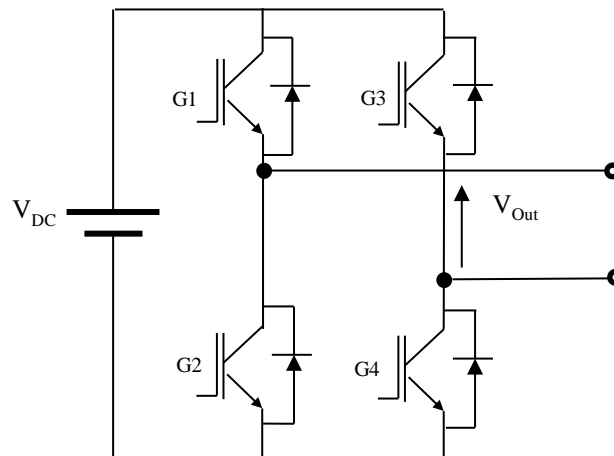
Tabela 2.1 – Tensões de saída do inversor monofásico meia-ponte

Estado de operação	G1	G2	$V_{Carga}$
1	1	0	$V_{DC}/2$
2	0	1	$-V_{DC}/2$

Fonte: Elaborado pelo autor

Outra configuração bastante utilizada é o inversor monofásico ponte H, este dispositivo é composto de dois braços, sendo que cada braço possui dois dispositivos semicondutores, geralmente, utiliza-se IGBT (*Insulated Gate Bipolar Transistor*), GTO (*gate Turn-Off Thyristor*) ou MOSFET, na configuração *back-to-back* com dois diodos de potência. Geralmente, estes semicondutores são encapsulados formando um *power pack*. Este inversor pode gerar até 3 níveis de tensão  $+V_{DC}$ , 0 e  $-V_{DC}$ . As chaves operam de maneira complementar, ou seja, enquanto uma conduz a outra bloqueia. As chaves G1 e G3 são denominadas de chaves superiores pois se encontram conectadas ao potencial positivo da fonte. Já as chaves G2 e G4 são chamadas de chaves inferiores, estando no referencial negativo da alimentação. Além disso, quando as chaves superiores ou inferiores estiverem ao mesmo tempo conduzindo o valor da tensão de saída será nulo. A Topologia deste inversor pode ser observada na Figura 2.2.

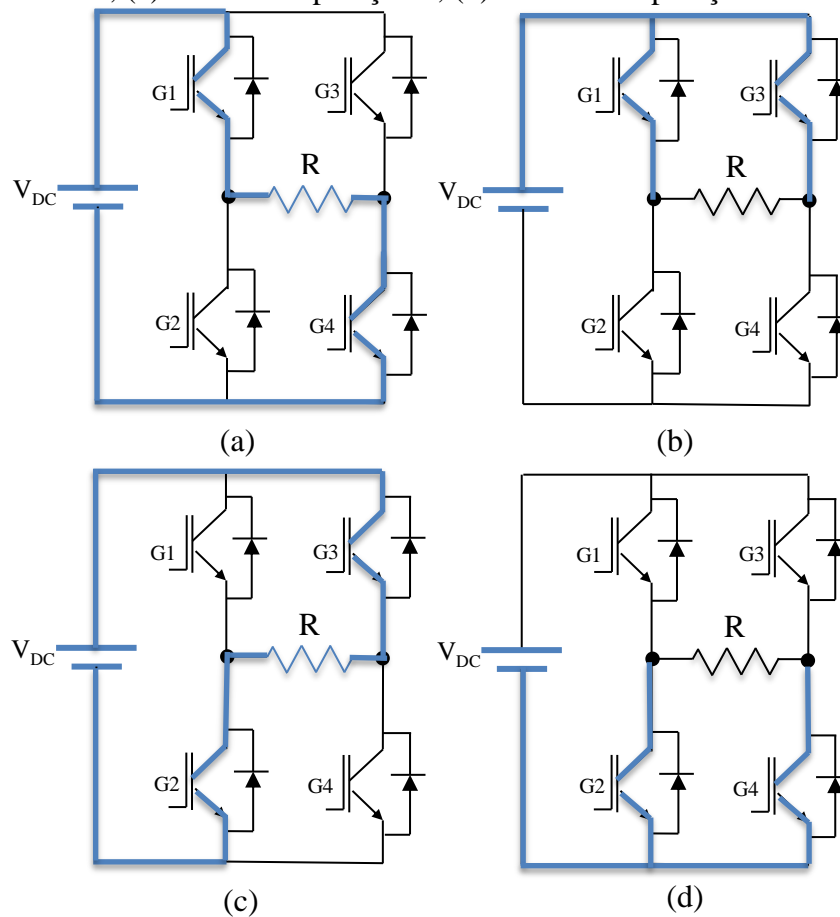
Figura 2.2 – Inversor monofásico ponte H



Fonte: Elaborado pelo autor

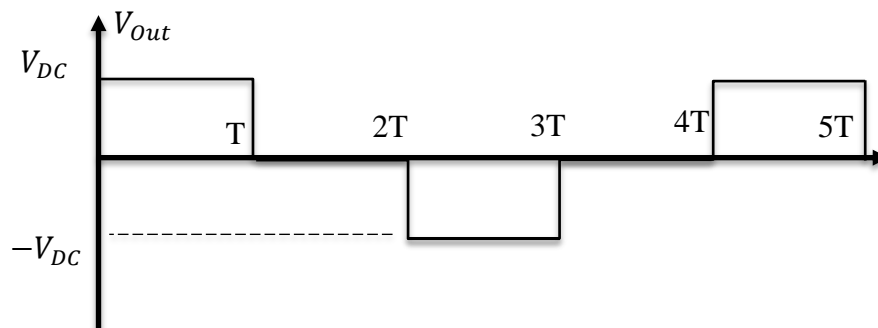
Pode-se observar na figura 2.3 os estados de operação do inversor monofásico ponte H e na figura 2.4 a forma de onda da tensão de saída, considerando que cada estado de operação terá o mesmo intervalo  $T$  de funcionamento.

Figura 2.3 – Inversor monofásico ponte H: (a) estado de operação 1; (b) estado de operação 2; (c) estado de operação 3; (d): estado de operação 4



Fonte: Elaborado pelo autor

Figura 2.4 – Forma de onda da tensão de saída do inversor monofásico ponte H



Fonte: Elaborado pelo autor

Portanto, pode-se observar que o inversor monofásico ponte H possui quatro estados de operação e pode gerar 3 níveis de tensão, sendo que o nível de tensão nulo é gerado quando as chaves superiores ou inferiores conduzem ao mesmo tempo. A Tabela 2.2 apresenta as possíveis tensões na saída deste inversor.

Tabela 2.2 – Tensões de saída do inversor monofásico ponte H

Estado de operação	G1	G2	G3	G4	V <sub>Carga</sub>
1	1	0	0	1	V <sub>DC</sub>
2	1	0	1	0	0
3	0	1	1	0	-V <sub>DC</sub>
4	0	1	0	1	0

Fonte: Elaborado pelo autor

## 2.2 INVERSOR MONOFÁSICO MULTINÍVEL

A utilização de Inversores multiníveis se tornou possível graças aos avanços tecnológicos de dispositivos de comutação e ao aumento na capacidade e velocidade de processamento dos controladores. O conversor multinível por meio da comutação dos seus dispositivos semicondutores gera diferentes níveis de tensão a partir de uma ou mais fontes de corrente contínua.

Diversos estudos analisaram as vantagens e desvantagens do uso de inversores multiníveis em comparação a inversores tradicionais de 2 ou 3 níveis. Pode-se destacar como principais vantagens: a redução dos níveis de interferência eletromagnética (do inglês *Electromagnetic Interference* - EMI), obtenção de maior potência, menores perdas durante o processo de comutação, frequência de chaveamento elevada e redução do conteúdo harmônico proporcional ao nível do inversor. Além disso, pode-se observar que as desvantagens na utilização do inversor multinível são: elevado número de dispositivos, necessitam de maior poder de processamento para realizar a modulação e circuitos mais complexos.

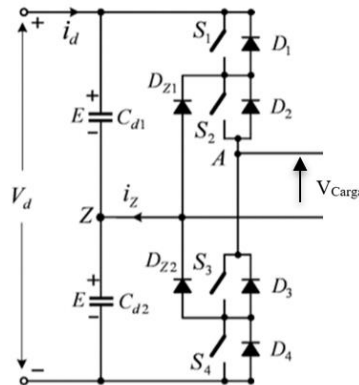
Na área da eletrônica de potência diversas topologias de conversores CC-CA multiníveis foram desenvolvidas, as 3 configurações mais utilizadas são ponto neutro grampeado a diodo (*Neutral Point Clamped* - NPC), capacitores grampeados (*Flying Capacitor* - FC) e ponte H em cascada (*Cascaded H-Bridge* - CHB). Estas configurações serão exploradas a seguir.

### 2.2.1 Inversor de ponto neutro grampeado (NPC)

Inicialmente esta configuração foi proposta por Barker em 1980 para se atender a geração de 3 níveis de tensão. Este conversor é composto de quatro chaves com diodos em antiparalelo, e dois diodos de grampeamento conectados ao barramento CC, sendo este

constituído de dois capacitores divisores de tensão, conforme pode ser observado na figura 2.5.

Figura 2.5 – inversor NPC monofásico



Fonte: Adaptado de Bin Wu e Mehdi Narimani (2017)

A partir desta configuração, cada braço do inversor possui três estados de operação, denominados P, O e N. O estado P é obtido quando os dois interruptores superiores estão conduzindo, resultando em uma tensão de fase-neutro com relação ao barramento CC igual a  $V_d/2$ . O estado de operação O é obtido ao se acionar os dois interruptores centrais, resultando em uma tensão nula. Por fim, o estado de operação N é obtido quando as duas chaves inferiores estão conduzindo, gerando em uma tensão fase-neutro de  $-V_d/2$ , conforme pode-se observar na tabela 2.3.

Tabela 2.3 – Tensões de saída do inversor monofásico NPC

Estado de operação	S1	S2	S3	S4	$V_{Carga}$
P	1	1	0	0	$V_D/2$
O	0	1	1	0	0
N	0	0	1	1	$-V_D/2$

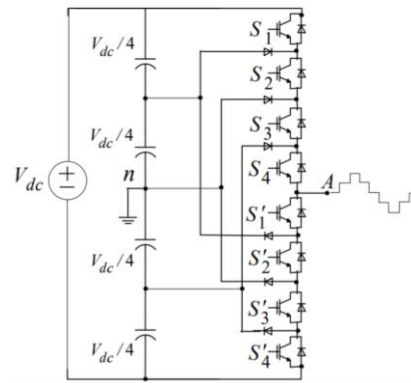
Fonte: Elaborado pelo autor

Estudos futuros possibilitaram alcançar maiores níveis aumentando-se o número de capacitores no circuito, para isso, utilizaram a ideia proposta por Barker de grampear níveis de tensão com diodos, conforme pode ser observado na figura 2.6. Entretanto, o aumento do número de componentes no sistema torna extremamente difícil balancear a tensão no divisor capacitivo, portanto, na prática costuma-se construir inversores NPC com poucos níveis de tensão.

Além disso, devido ao desequilíbrio entre as tensões no inversor capacitivo, pode-se notar distorções na tensão de saída do conversor, apresentando um alto conteúdo harmônico.

Ainda, pode-se constatar outra desvantagem para esse tipo de conversor com relação ao elevado número de componentes necessários para se elevar o número de níveis do inversor

Figura 2.6 – Inversor ponto neutro grampeado de 5 níveis

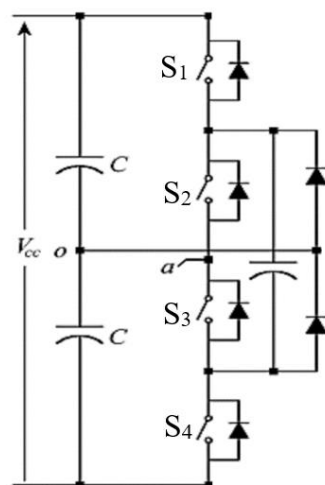


Fonte: Pairote Thongprasri (2017)

### 2.2.2 Inversor com capacitor grampeado (FC)

Esta topologia foi introduzida por meios dos trabalhos de Meynard e Foch no ano de 1996, sendo bem semelhante aos inversores NPC. Seu princípio de funcionamento é bem simples, utiliza-se capacitores sobre os dispositivos comutadores para grampear a tensão sobre o mesmo, dessa forma obtém-se uma tensão fixa sobre as chaves. A figura 2.7 ilustra um inversor FC de 3 níveis.

Figura 2.7 – Inversor monofásico FC de 3 níveis



Fonte: Adaptado de Bin Wu e Mehdi Narimani (2017)



Os pares de chave S1-S4 e S2-S3 comutam de maneira complementar e podem gerar 3 níveis de tensão entre os terminais  $V_{ao}$ :  $+V_{CC}/2$ , quando os pares S1-S2 estão acionados, 0 quando os pares S1-S3 ou S2-S4 estão acionados e  $-V_{CC}/2$ , no caso de acionamento do par S3-S4, conforme sintetizado na tabela 2.4.

Tabela 2.4 – Tensões de saída do inversor monofásico FC

Estado de operação	S1	S2	S3	S4	$V_{Carga}$
1	1	1	0	0	$V_{CC}/2$
2	1	0	1	0	0
3	0	1	0	1	0
4	0	0	1	1	$-V_{CC}/2$

Fonte: Elaborado pelo autor

Comparando-se as tensões obtidas pelo inversor FC e NPC, pode-se observar que este apresenta uma maior flexibilidade no controle das tensões dos capacitores obtida graças aos estados de redundância correspondentes aos estados de operação 2 e 3, resultando em uma lógica mais eficiente do que os inversores NPC.

Maiores níveis de tensão podem ser obtidos adicionando dispositivos semicondutores em conjunto com seu respectivo capacitor de grampeamento, além do capacitor para compor o barramento CC, conforme pode ser observado na figura 2.8. De modo genérico pode-se calcular o número de componentes necessários para a construção de um inversor FC de  $n$  níveis de acordo com as seguintes equações: (2.1) para dispositivos semicondutores e diodos na configuração back-to-back; (2.2) para o número de capacitores no barramento CC; (2.3) para os capacitores de grampeamento.

$$C_h = (n - 1).2 \quad (2.1)$$

$$C_b = (n - 1) \quad (2.2)$$

$$C_g = \frac{(n - 1). (n - 2)}{2} \quad (2.3)$$

Sendo,

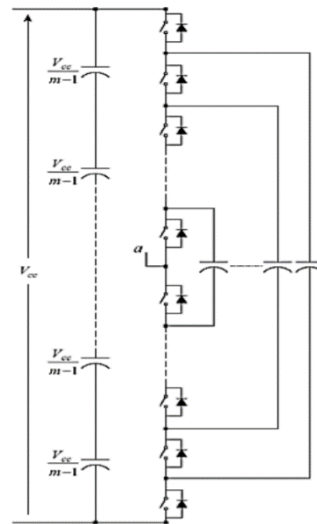
$C_h$ : o número de dispositivos de comutação e diodos em antiparalelo;

$C_b$ : o número de capacitores do barramento CC;

$C_g$ : o número de capacitores de grampeamento;

$n$ : o número de níveis do inversor FC.

Figura 2.8 – Inversor monofásico FC de n níveis



Fonte: Adaptado de Bin Wu e Mehdi Narimani (2017)

Analisando-se a figura 2.8, pode-se observar que para elevados níveis de tensão esta topologia necessita de um elevado número de capacitores para ajustar a tensão, sendo esta sua maior desvantagem.

### 2.2.3 Inversor ponte H em cascata (CHB)

Este inversor multinível é obtido ligando-se em cascata várias células monofásicas ponte H. Caso todas as fontes possuam a mesma magnitude o inversor é chamado de simétrico e seu nível pode ser calculado pela Equação (2.4).

$$n = (2H + 1) \quad (2.4)$$

Sendo,

H: o número de células;

n: o número de níveis de tensão.

A tensão de saída do inversor é dada pela soma fasorial das tensões de cada ponte H, podendo ser calculada de acordo com a equação (2.5). A Figura 2.9 ilustra um inversor multinível ponte H em cascata de sete níveis.

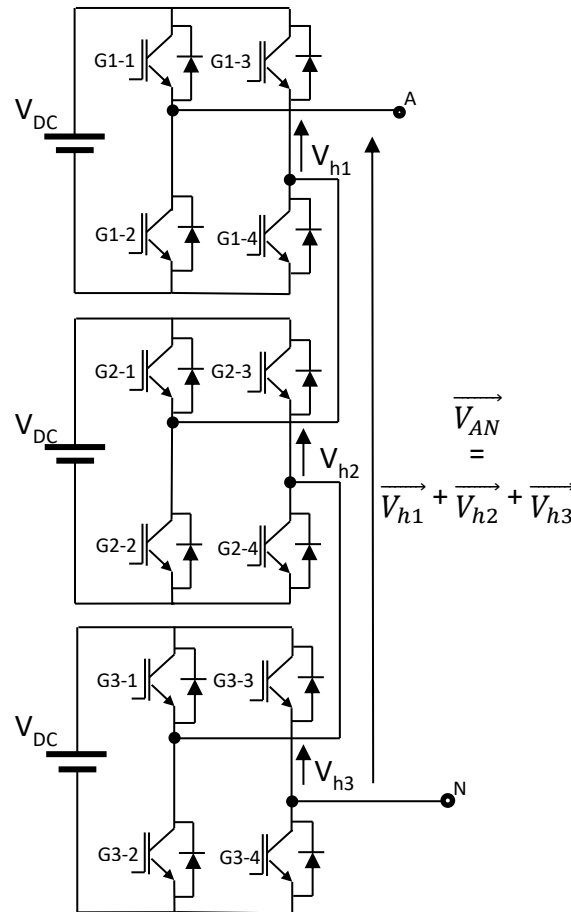
$$\overrightarrow{V_{AN}} = \overrightarrow{V_{h1}} + \overrightarrow{V_{h2}} + \overrightarrow{V_{h3}} + \dots + \overrightarrow{V_{hn}} \quad (2.5)$$

Sendo,

$\overrightarrow{V_{AN}}$  : a tensão fasorial de fase;

$\overrightarrow{V_h}$  : a tensão fasorial de cada célula.

Figura 2.9 – Inversor multinível em cascata de sete níveis



Fonte: Elaborado pelo autor

Portanto, de acordo com a equação (2.4) um inversor simétrico composto por 3 pontes H gera sete níveis de tensão que varia entre  $+3V_{DC}$  e  $-3V_{DC}$ , conforme apresentado na tabela 2.5.

Tabela 2.5 – Tensões de saída do inversor monofásico CHB de 7 níveis

S	G1-1	G1-2	G1-3	G1-4	G2-1	G2-2	G2-3	G2-4	G3-1	G3-2	G3-3	G3-4	$V_{AN}$
1	1	0	0	1	1	0	0	1	1	0	0	1	$3V_{DC}$
2	1	0	0	1	1	0	0	1	0	0	1	1	$2V_{DC}$
3	1	1	0	0	1	0	0	1	1	0	0	1	$2V_{DC}$
4	1	0	0	1	0	0	1	1	0	0	1	1	V
5	1	1	0	0	1	1	0	0	1	0	0	1	$V_{DC}$
6	1	1	0	0	1	1	0	0	1	1	0	0	0
7	0	0	1	1	0	0	1	1	0	0	1	1	0
8	0	1	1	0	1	1	0	0	1	1	0	0	$-V_{DC}$
9	0	0	1	1	0	0	1	1	0	1	1	0	$-V_{DC}$
10	0	1	1	0	0	1	1	0	1	1	0	0	$-2V_{DC}$
11	0	0	1	1	0	1	1	0	0	1	1	0	$-2V_{DC}$
12	0	1	1	0	0	1	1	0	1	1	0	0	$-3V_{DC}$

Fonte: Elaborado pelo autor

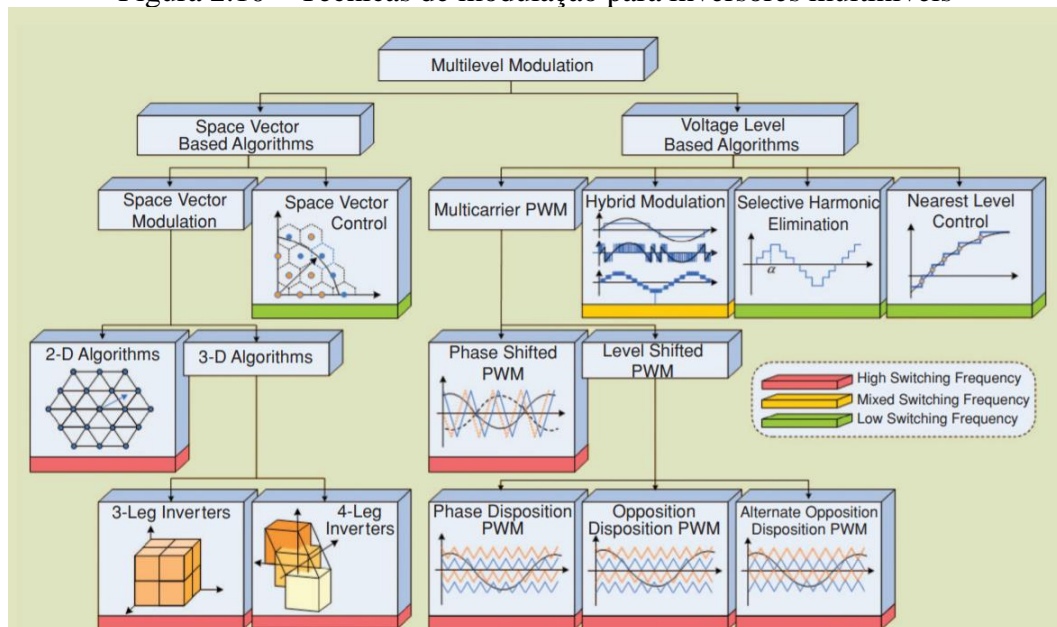
À medida que o número de níveis aumenta a distorção harmônica total (*Total Harmonic Distortion* - THD) diminui, porém quanto maior o nível, maior é o número de dispositivos de potência, o que reflete no acréscimo da complexidade e no custo do sistema (Jih-Sheng Lai e Fang Zheng Peng, 1996).

Além disso, dentre as topologias apresentadas neste trabalho o inversor CHB é o que necessita de menos componentes para alcançar diferentes níveis de tensão. Devido a sua estrutura modular não necessita de diodos ou capacitores de grampeamento e pode ser controlado utilizando técnicas de modulação mais simples.

### 2.3 TÉCNICAS DE MODULAÇÃO

Existem diversos tipos de técnicas de modulação utilizadas para realizar o controle de chaveamento do inversor, tendo como objetivo diminuir o conteúdo harmônico, melhorar a eficiência e reduzir as perdas durante o processo de comutação. A figura 2.10 apresenta a classificação das principais técnicas de modulação utilizadas em inversores multiníveis.

Figura 2.10 – Técnicas de modulação para inversores multiníveis



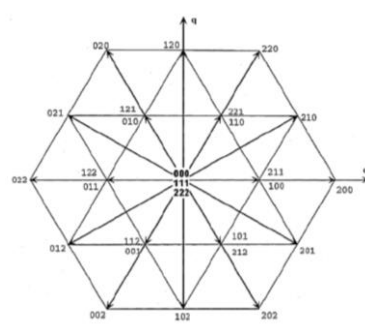
Fonte: L. G. Franquelo (2008)

Dentre as técnicas apresentadas na figura 2.10 as mais utilizadas são: modulação vetorial (*Space Vector Modulation* - SVM), modulação por eliminação seletiva de harmônicas (*Selective Harmonic Elimination* - SHE) e modulação por largura de pulso (*Pulse Width Modulation* - PWM).

### 2.3.1 Modulação Vetorial

A modulação vetorial é utilizada em sistemas trifásicos com baixa frequência de chaveamento, seu princípio de funcionamento consiste na representação de todos os estados possíveis da saída em vetores no plano dq em seguida. A Figura 2.11 apresenta o número de estados possíveis para um conversor CC-CA de 3 níveis.

Figura 2.11 – Diagrama de vetores de estado para um conversor de três níveis



Fonte: Pereira (2008)

Neste tipo de técnica de modulação, o controlador escolhe o estado de saída do vetor tendo como base o local que se encontra o vetor de referência, que sequência de vetores deve ser utilizada e o tempo que esses vetores devem estar acionados. Além disso, levando-se em consideração o número de estados possíveis, pode-se concluir que o nível de complexidade desta técnica aumenta drasticamente com o nível do inversor tornando o cálculo dos estados muito difícil.

### 2.3.2 Eliminação Seletiva de Harmônicas

Esta técnica tem como objetivo realizar o cancelamento dos harmônicos, escolhendo-se o ângulo de disparo dos dispositivos semicondutores. Utilizando-se a equação (2.6) correspondente a série de Fourier, pode-se calcular a amplitude dos harmônicos ímpares que se deseja eliminar.

$$h_m = \frac{4}{m\pi} \sum_{k=1}^n [v_k \cos(m\theta_k)] \quad (2.6)$$

Sendo,

$h_m$ : amplitude dos harmônicos ímpares;

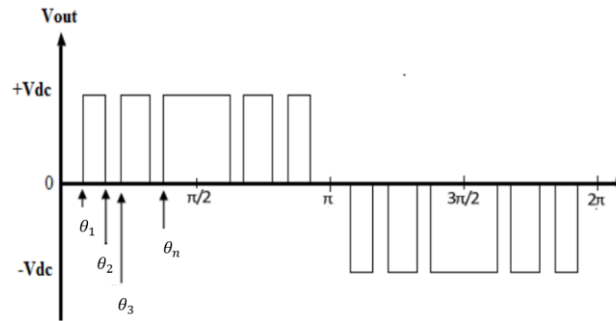
$m$ : harmônicos ímpares;

$v_k$ : nível  $k$  da tensão de corrente contínua;

$\theta_k$ : ângulo de disparo.

Desse modo, para um número  $n$  de ângulos de disparos, pode-se eliminar  $n-1$  harmônicos, desde que  $0 < \theta_1 < \theta_2 < \theta_3 < \dots < \theta_k < \pi/2$ . Geralmente, utiliza-se esta técnica de modulação para eliminar os harmônicos de baixa frequência. A figura 2.12 ilustra a tensão de saída obtida por meio desta modulação.

Figura 2.12 – Tensão de saída obtida por meio da modulação SHE



Fonte: Elaborado pelo autor

Sua implementação é bastante simples, pode-se realizar o cálculo dos ângulos de disparo utilizando um controlador ou de forma manual e em seguida armazenar esses valores em um dispositivo que será responsável por gerar os sinais de controle do conversor CC-CA.

### 2.3.3 Modulação por largura de pulso

Esta é a técnica mais utilizada para realizar o controle de inversores multiníveis. Neste tipo de modulação uma onda modulante senoidal e múltiplas portadoras que podem apresentar formato triangular ou dente-de-serra são comparadas para gerar o sinal de controle do inversor, em geral o número de portadoras necessárias é  $n-1$ .

Na modulação PWM a frequência da onda portadora é superior à frequência da onda de referência, sendo esta, como denominado, a frequência de referência para tensão de saída do inversor. Desse modo, a frequência da portadora define a frequência de chaveamento e a frequência da modulante define a frequência da tensão de saída do inversor. A relação entre esses dois sinais é determinada pelo índice de frequência, e pode ser calculado pela Equação (2.7).

$$M_f = \frac{f_p}{f_{ref}} \quad (2.7)$$

Sendo,

$M_f$ : índice de frequência;

$f_p$ : frequência da portadora;

$f_{ref}$ : frequência da modulante.

Além disso, outra relação importante na técnica de modulação PWM é o índice de modulação, que relaciona as amplitudes dos sinais das portadoras, da modulante senoidal, da tensão sobre a carga, com a tensão total, resultante da soma de todos os módulos dos inversores. Esta relação pode ser observada na equação (2.8).

$$M_a = \frac{V_{ref}}{V_p \cdot (n - 1)} = \frac{V_{LOAD}}{V_{Out}} \quad (2.8)$$

Sendo,

$M_a$ : índice de modulação;

$V_{ref}$ : tensão do sinal modulante;

$V_p$ : tensão da portadora;

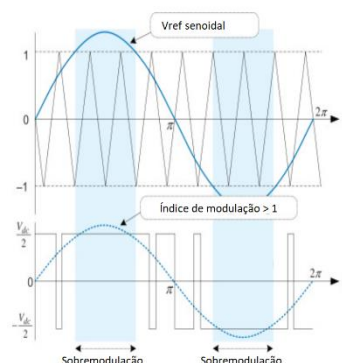
$V_{LOAD}$ : tensão sobre a carga;

$V_{out}$ : tensão na saída do inversor;

$n$ : nível do inversor.

Quando o índice de modulação é próximo de 1, o ciclo de trabalho obtido nos pontos de pico da onda senoidal, tende a ser 100% por mais de dois ciclos. Essa característica acarreta no aumento do THD do circuito, desse modo, utiliza-se índice de modulação menor que a unidade para evitar o efeito de sobre modulação, conforme pode ser observado na figura 2.13.

Figura 2.13 – Efeito de sobre modulação



Fonte: Adaptado de Sang-Hoon Kim (2017)

Desse modo, pode-se também calcular a tensão eficaz sobre uma carga por meio da equação (2.9).

$$V_{LOAD-RMS} = \frac{M_a \cdot V_{out}}{\sqrt{2}} \quad (2.9)$$

Sendo,

$V_{LOAD-RMS}$ : tensão eficaz sobre a carga.

### 2.3.3.1 Modulação PWM por defasamento

A modulação PWM por defasamento (*Phase shifted* – PS-PWM) contém todas as ondas portadoras com a mesma amplitude e frequência, entretanto há um deslocamento de fase entre as portadoras adjacentes, que pode ser calculado pela equação (2.9). A figura 2.14 ilustra o funcionamento desta técnica de modulação.

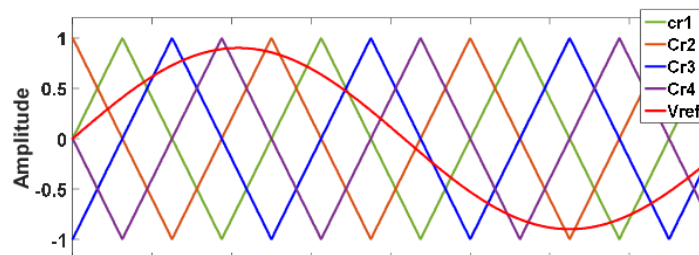
$$\phi_P = \frac{360^\circ}{n - 1} \quad (2.9)$$

Sendo,

$\phi_P$ : defasamento entre as portadoras;

n: nível do inversor.

Figura 2.14 – Modulação PWM por deslocamento de fase



Fonte: Vahedi and K. Al-Haddad (2018)

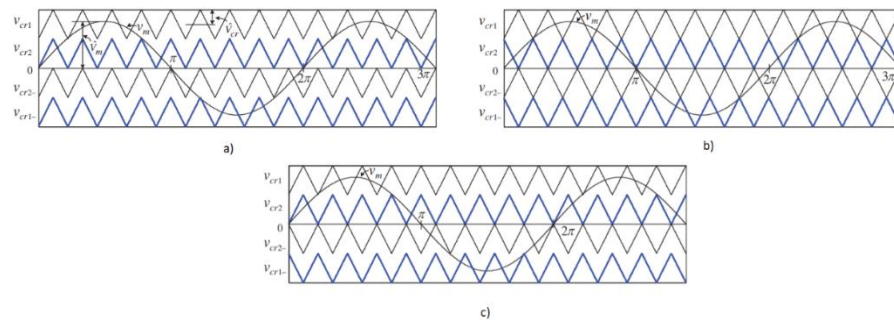
### 2.3.3.2 Modulação PWM por desnivelamento

Neste tipo de modulação (*Level Shifted* – LS-PWM) todas as ondas portadoras possuem a mesma frequência e amplitude, entretanto as ondas portadoras estão dispostas verticalmente em níveis. É dividida em três tipos de categorias, conforme pode ser observado na figura 2.15.



- *In phase disposition* (IPD): todas as portadoras estão em fase;
- *Phase opposite disposition* (POD): todas as portadoras com nível acima de zero possuem a mesma fase, porém se encontram deslocadas de  $180^\circ$  em relação a todas as portadoras que estão abaixo do nível zero;
- *Alternative phase opposite disposition* (APOD): portadoras adjacentes estão  $180^\circ$  defasadas entre si.

Figura 2.15 – Modulação PWM por desnivelamento: a) IPD; b) APOD; c) POD.



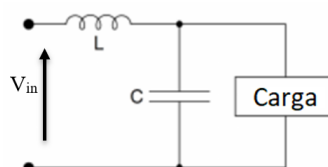
Fonte: Adaptado de Bin Wu e Mehdi Narimani (2017)

## 2.4 Filtro passa baixa

Analisando-se a tensão de saída do inversor multinível é possível observar a presença de uma componente fundamental de baixa frequência e um espectro harmônico de alta frequência, cujo valor não é desprezível. A influência dessas componentes harmônicas de alta frequência acarretam em perdas e aquecimentos dos dispositivos conectados ao inversor.

Diante disso, é possível constatar a necessidade de reduzir seu conteúdo harmônico, para isso, são utilizados filtros conectados a saída dos conversores CC-CA. Na literatura observa-se uma grande variedade de filtros projetados para inversores, entretanto, neste trabalho será utilizado o filtro passa baixa LC, devido a sua facilidade de implementação e eficiência. A figura 2.16 apresenta sua topologia.

Figura 2.16 – Topologia filtro LC passa baixa



Fonte: Elaborado pelo autor

Utilizando a metodologia proposta por Martins e Barbi, pode-se projetar um filtro LC passa baixa realizando as seguintes etapas:

Inicialmente, deve-se calcular a capacitância do filtro de acordo com a equação (2.10). Levando-se em consideração que o fator de amortecimento deve ser maior que 0,707 e menor do que 1 para evitar amplificações de harmônicos na região próxima a frequência de corte. Além disso, deve-se escolher uma frequência de corte uma década abaixo da frequência de comutação das chaves e no mínimo 30 vezes maior que a frequência fundamental.

$$C_{filtro} = \frac{1}{4\pi\zeta f_0 R} \quad (2.10)$$

Sendo,

$C_{filtro}$ : Capacitância do filtro;

$\zeta$ : Fator de amortecimento;

$R$ : Resistência da carga.

Em seguida, com o valor da capacitância obtida pode-se calcular o valor da indutância do filtro de acordo com a equação (2.11)

$$L_{filtro} = \frac{1}{(2\pi f_0)^2 R} \quad (2.11)$$

### 3 SIMULAÇÃO DO INVERSOR MULTINÍVEL

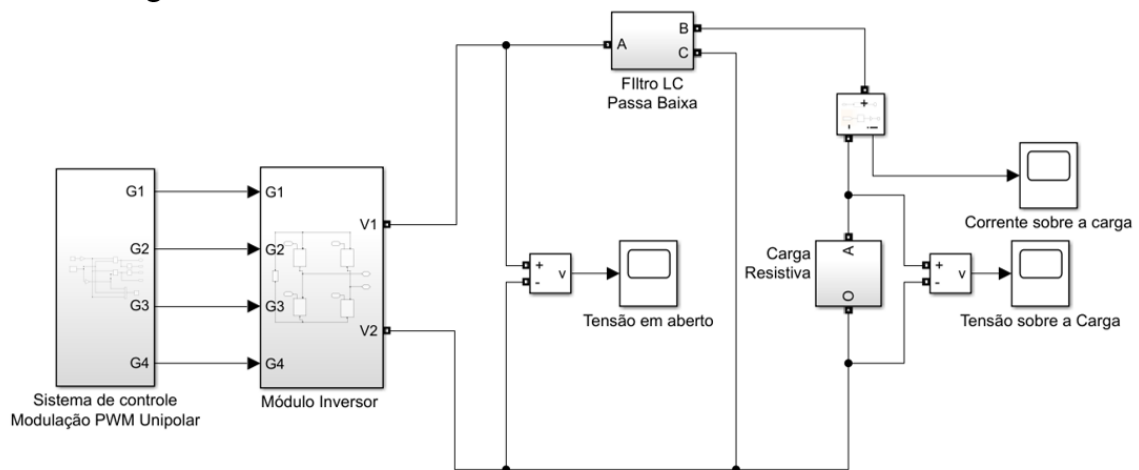
Neste capítulo é apresentado as simulações do inversor multinível ponte H em cascata com 3 e 7 níveis, além disso, visando diminuir o conteúdo harmônico, utiliza-se um filtro LC passa baixa. Por fim, observa-se a tensão na saída do inversor com e sem carga resistiva. As simulações são realizadas por meio do software MatLab/Simulink e pode ser dividida em duas partes: a etapa de controle, responsável por simular as diferentes técnicas de modulação PWM e a etapa de potência correspondendo ao inversor, filtro e carga.

#### 3.1 INVERSOR CHB MONOFÁSICO COM 3 NÍVEIS

Para o modelo do inversor monofásico de 3 níveis, os parâmetros utilizados para a simulação da modulação PWM foram: índice de modulação igual a 0,8, com o intuito de evitar sobremodulação. A frequência do sinal modulante foi definido como 60 Hz e frequência da portadora triangular igual a 5 kHz.

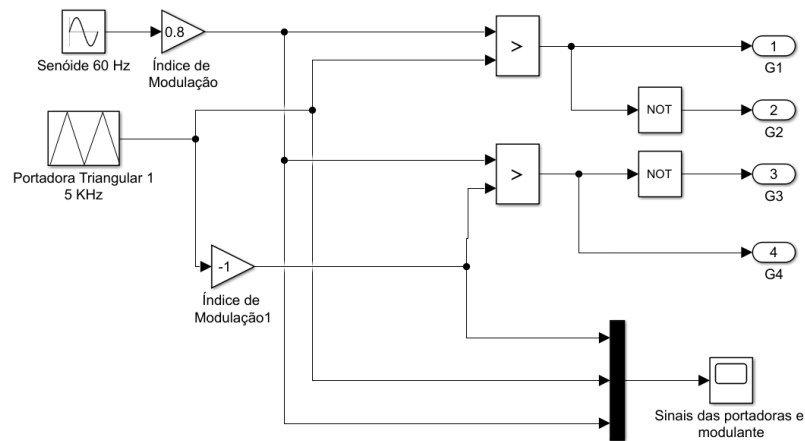
Para o filtro LC utilizou-se as equações (2.10) e (2.11) apresentadas no capítulo anterior, com um fator de amortecimento igual a 0,8, e carga resistiva igual a 500  $\Omega$ . Desse modo, obteve-se um capacitor de 400 nF e um indutor de 25 mH. As figuras 3.1, 3.2 e 3.3 ilustram o circuito modelado no Toolbox Simulink.

Figura 3.1 – inversor monofásico de 3 níveis modelado no Simulink



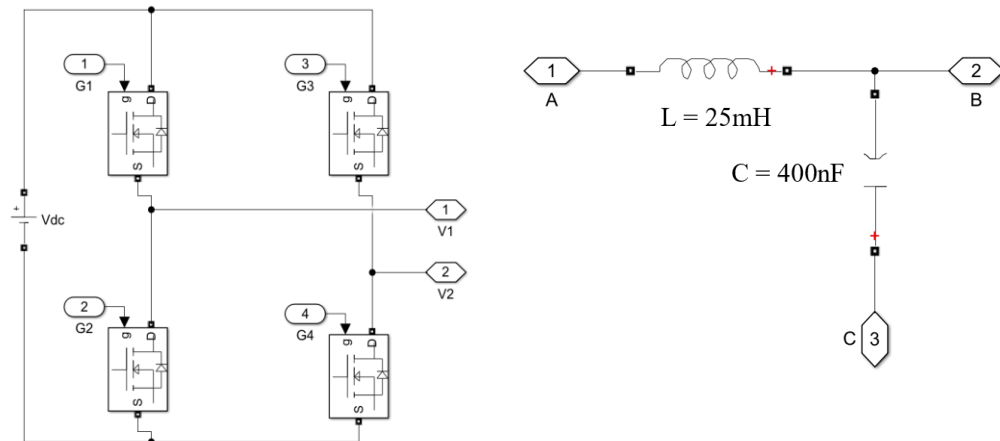
Fonte: Elaborado pelo autor

Figura 3.2 – Sistema de comando PWM



Fonte: Elaborado pelo autor

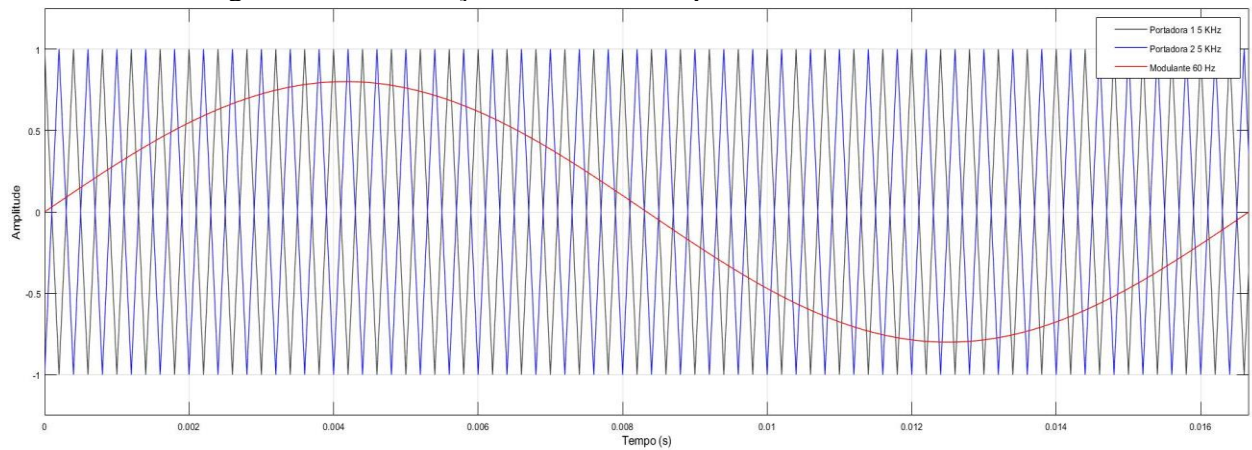
Figura 3.3 – Módulo inversor ponte H e Filtro LC Passa Baixa



Fonte: Elaborado pelo autor

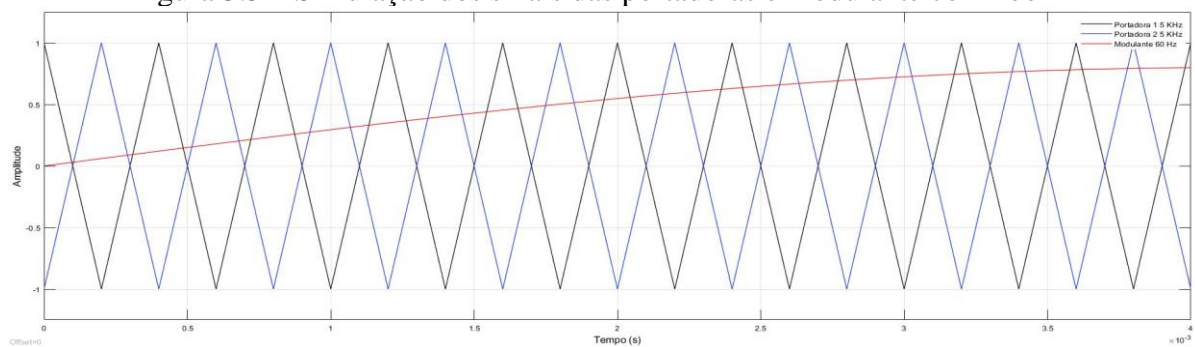
Em seguida, é exibido na figura 3.4 os sinais da modulante senoidal com frequência de 60 Hz e as duas portadoras triangulares com frequência de 5 KHz, com índice de modulação de 0,8. Além disso, na Figura 3.5 é apresentado os mesmos sinais com aproximação para melhor visualização da técnica de modulação PWM.

Figura 3.4 – Simulação dos sinais das portadoras e modulante



Fonte: Elaborado pelo autor

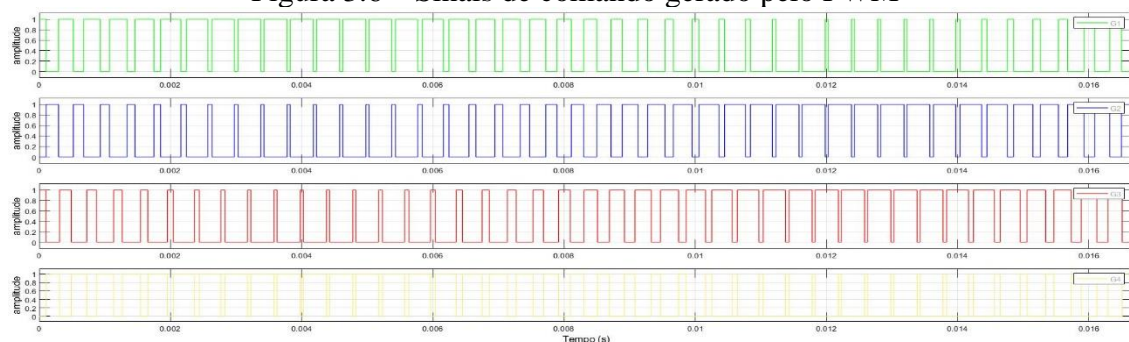
Figura 3.5 – Simulação dos sinais das portadoras e modulante com zoom



Fonte: Elaborado pelo autor

A seguir, é apresentado na figura 3.6 os 4 sinais de comando gerados pela modulação PWM, sendo estes responsáveis por comandar o chaveamento dos dispositivos semicondutores do inversor. Pode-se observar que os sinais G1 e G2, bem como, G3 e G4 são sempre complementares garantindo que os comutadores não sejam acionados ao mesmo tempo, o que causaria um curto circuito no inversor.

Figura 3.6 – Sinais de comando gerado pelo PWM

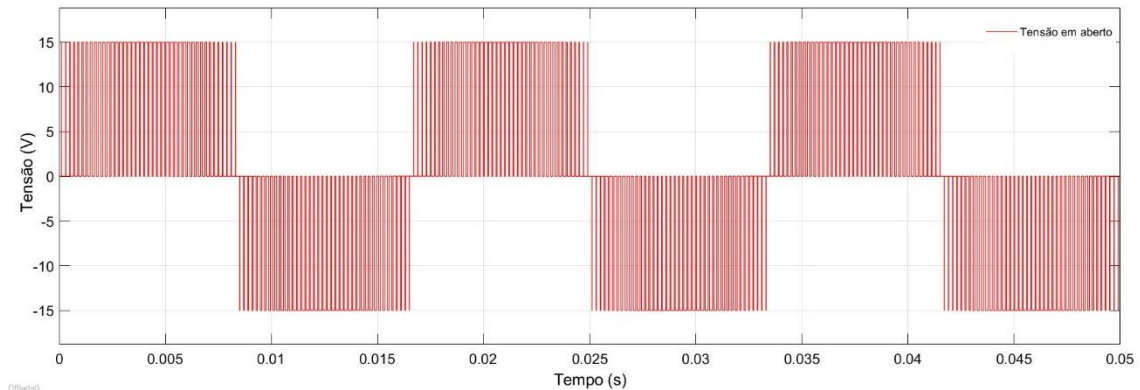


Fonte: Elaborado pelo autor

Os sinais de comando são aplicados nos comutadores, que permitem ou bloqueiam o fluxo de corrente, assim, quando G1 e G4 estão conduzindo e G2 e G3 estão bloqueando a

tensão resultante na saída do inversor terá uma polaridade positiva, e quando G1 e G4 estão bloqueando e G2 e G3 estão conduzindo a tensão resultante terá uma polaridade negativa. Ainda, quando G1 e G2 ou G3 e G4 estiverem conduzindo, obtém-se uma tensão nula na saída do inversor, portanto, o resultado desses 4 estados de operação gera a tensão de corrente alternada, como pode ser observado na figura 3.7

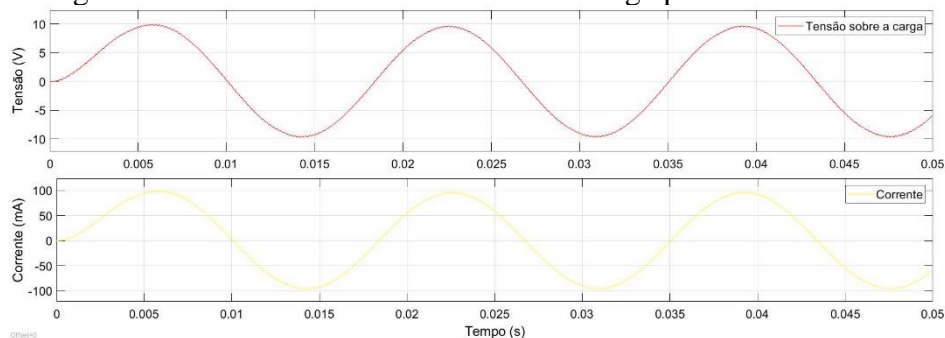
Figura 3.7 – Tensão na saída do inversor em aberto



Fonte: Elaborado pelo autor

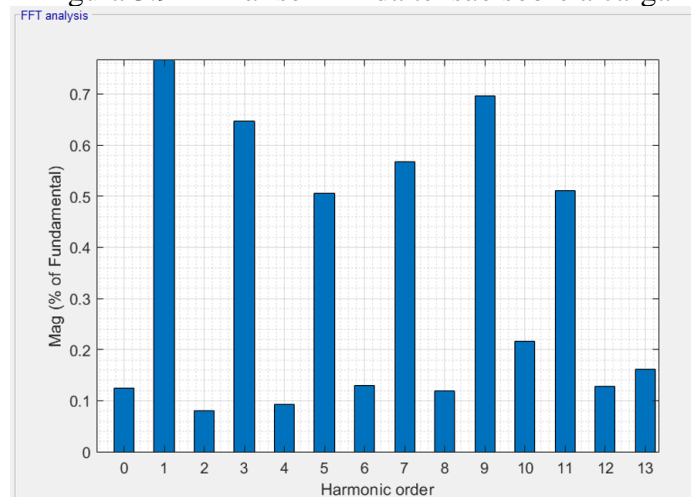
Como pode-se observar na figura 3.7, a saída do inversor apresenta uma tensão retangular em alta frequência, de tal modo que a Largura de cada retângulo varia segundo uma lei senoidal, apresentando componentes fundamentais de baixa e alta frequência, contendo um alto conteúdo harmônico. Assim, faz-se necessário a utilização de um filtro passa baixa, com o intuito de diminuir o conteúdo harmônico do sinal. A forma de tensão e corrente sobre uma carga puramente resistiva de  $500\ \Omega$  com a adição de um filtro LC pode ser observado na figura 3.8, além disso, também é apresentado sua taxa de distorção harmônica na figura 3.9.

Figura 3.8 – Tensão e corrente sobre uma carga puramente resistiva



Fonte: Elaborado pelo autor

Figura 3.9 – Análise FFT da tensão sobre a carga



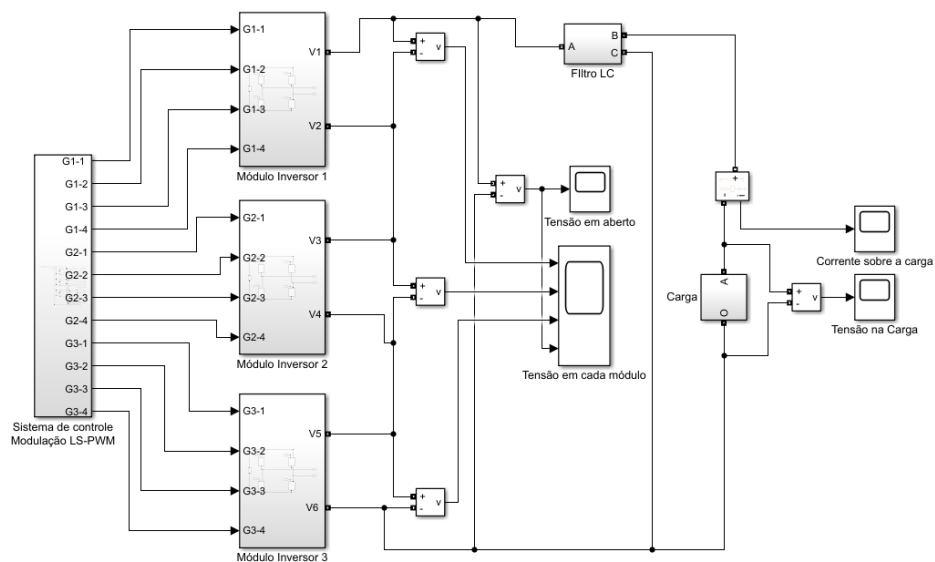
Fonte: Elaborado pelo autor

### 3.2 INVERSOR CHB MONOFÁSICO COM 7 NÍVEIS

A segunda simulação realizada tem como objetivo estudar o funcionamento de um inversor monofásico de 7 níveis funcionando com a modulação PWM por desnivelamento (LS-IPD-PWM).

O modelo do inversor multinível utilizou os seguintes parâmetros para a simulação da modulação: índice de modulação e frequência iguais a simulação anterior, ou seja,  $m_a = 0,8$  e frequência da modulante = 60 Hz. Para frequência da portadora utilizou-se 5,341 kHz. A Figura 3.10 ilustra o circuito modelado no Toolbox Simulink.

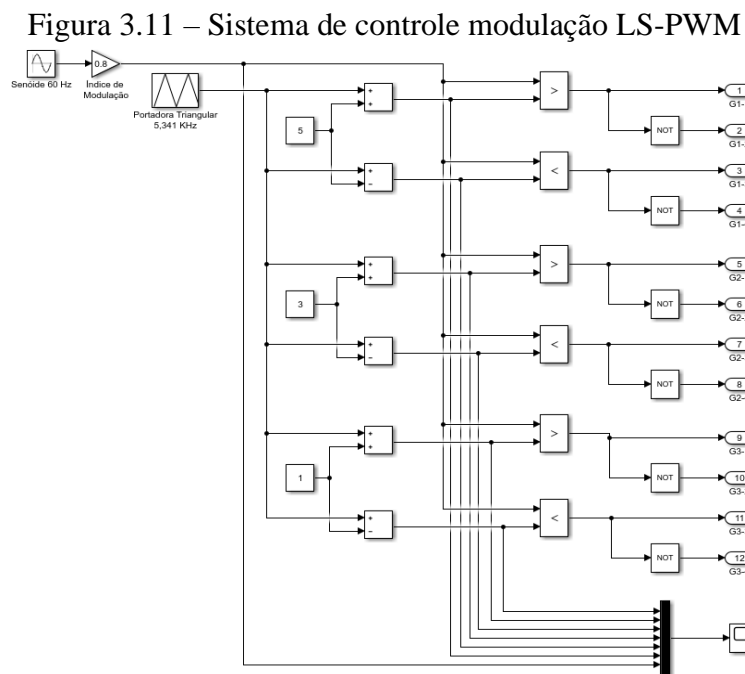
Figura 3.10 – Inversor monofásico multinível de 7 níveis modelado no Simulink



Fonte: Elaborado pelo autor

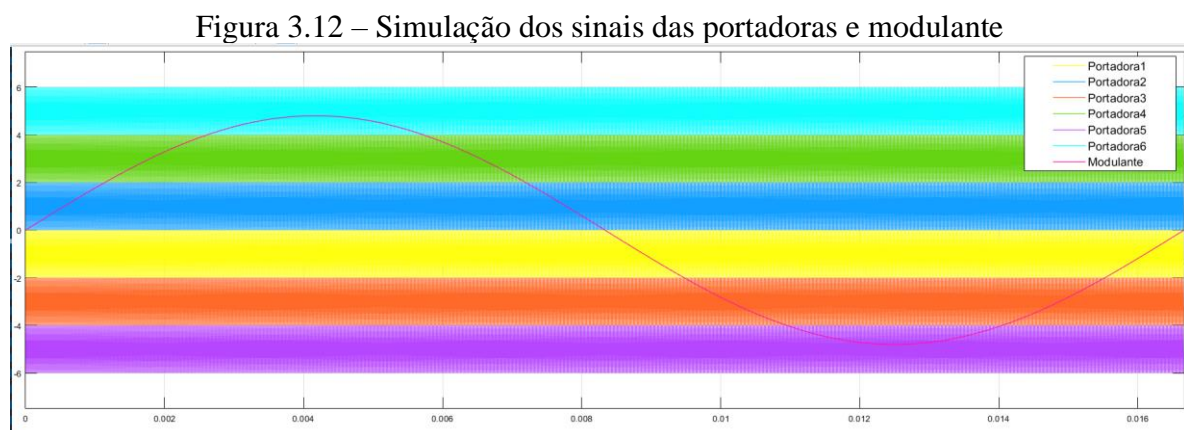


O sistema de comando utilizando a modulação LS-PWM é mostrado na figura 3.11. Para simulação utilizou-se um gerador senoidal configurado com frequência de 60 Hz e valor de pico igual a 6, o índice de modulação é obtido multiplicando o sinal da senoide pelo fator de 0.8. Um sinal é gerado utilizando um gerador triangular com valores em um intervalo de -1,0 até 1,0, em seguida divide-se esse sinal em 6, somando-se e subtraindo-se 1, 3 e 5 respectivamente. Desse modo, obtém-se os 6 sinais referentes a portadora triangular.



Fonte: Elaborado pelo autor

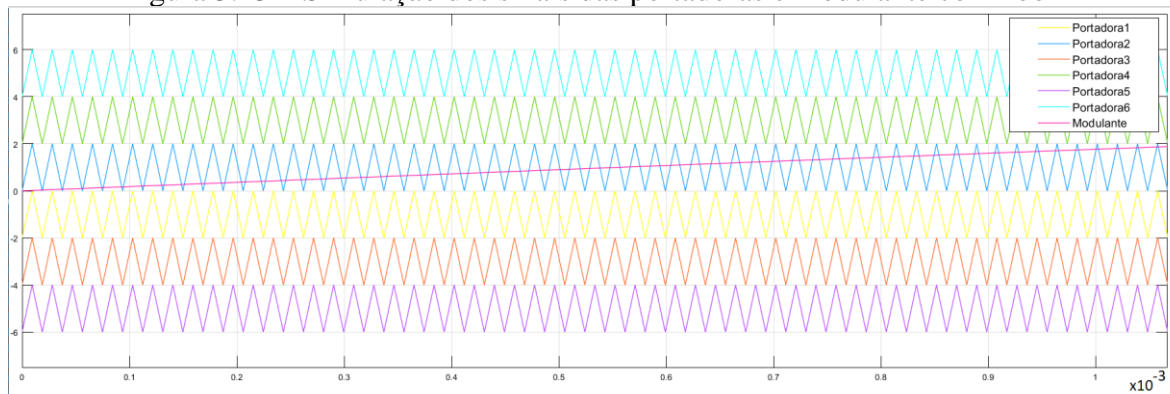
Em seguida, é exibido na figura 3.12 os sinais da modulante senoidal e as portadoras. Além disso, na Figura 3.13 é apresentada os mesmos sinais com aproximação para melhor visualização da modulação.



Fonte: Elaborado pelo autor



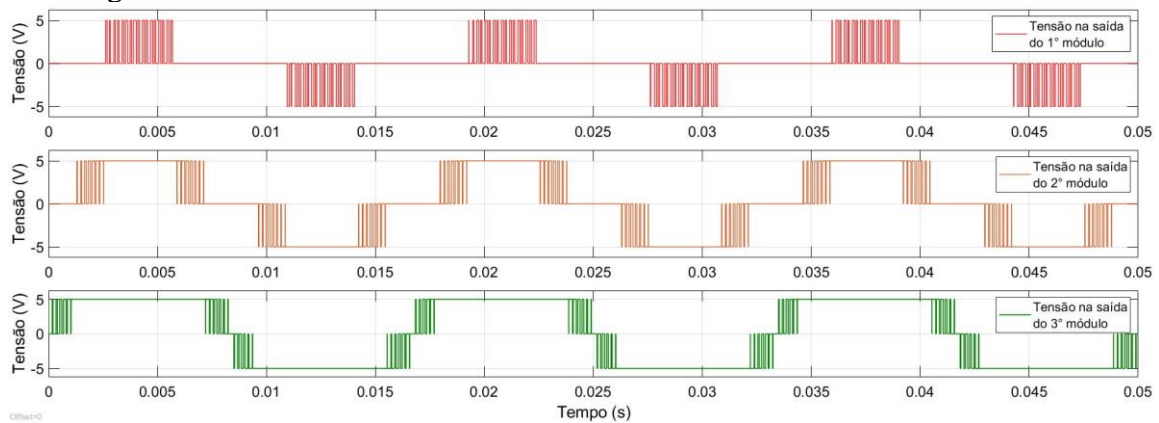
Figura 3.13 – Simulação dos sinais das portadoras e modulante com zoom



Fonte: Elaborado pelo autor

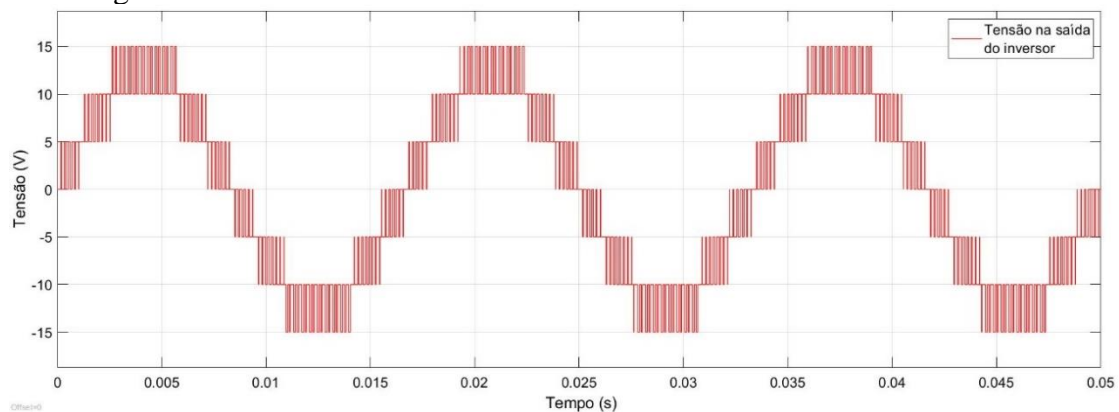
Como explicado no capítulo anterior, a tensão na saída do inversor é obtida pela soma fasorial da tensão de cada módulo do inversor multinível. Assim, a figura 3.14 apresenta a tensão na saída de cada módulo, enquanto a figura 3.15 apresenta a tensão na saída do inversor.

Figura 3.14 – Tensão na saída de cada módulo do inversor multinível de 7 níveis



Fonte: Elaborado pelo autor

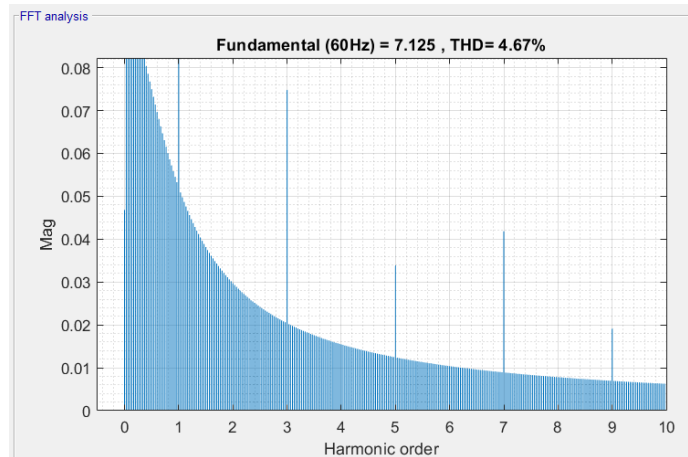
Figura 3.15 – Tensão na saída do inversor multinível de 7 níveis em aberto



Fonte: Elaborado pelo autor

Por fim, realiza-se a medição da taxa de distorção harmônica, conforme pode ser observado na figura 3.16. Além disso, pode-se comprovar que a taxa de distorção harmônica obtida é menor do que quando utilizado um inversor de apenas 3 níveis.

Figura 3.16 – Taxa de distorção harmônica



Fonte: Elaborado pelo autor

Além disso, simulou-se as outras técnicas de modulação, LS-APOD-PWM, LS-POD-PWM e PS-PWM, como pode ser observado no anexo A. Comparando-se a taxa de distorção harmônica obtida para os diferentes tipos de técnicas de modulação pode-se concluir que as menores são para LS-IPD-PWM e PS-PWM, respectivamente.

## 4 IMPLEMENTAÇÃO DO MODULADOR EM FPGA

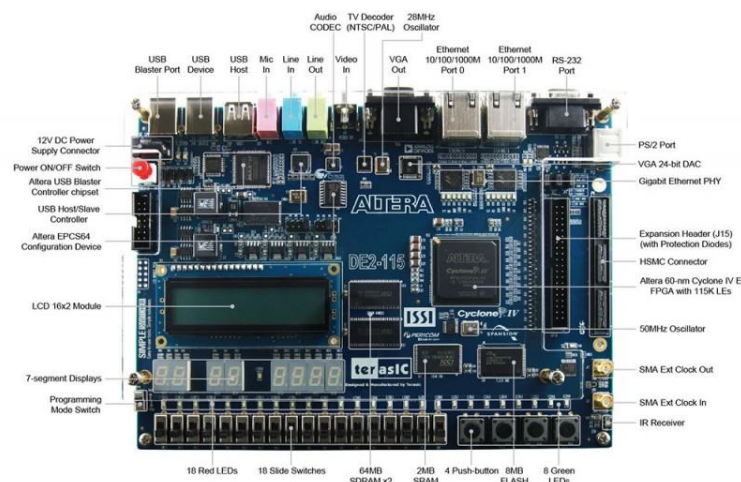
Neste capítulo é apresentado as etapas de desenvolvimento para implementação do modulador PWM na linguagem de descrição de hardware VHDL. Para isso, utilizou-se o software *Quartus* para implementação do código e o software *Moldesim* para realizar as simulações necessárias. Além disso, cada componente desenvolvido é explicado detalhadamente.

### 4.1 DISPOSITIVO DE LÓGICA PROGRAMÁVEL FPGA

A placa utilizada para a implementação do código em VHDL foi a DE2-115 fabricada pela Altera Terasic, conforme pode ser observado na figura 4.1. Esta placa possui um FPGA Altera Cyclone IV EP4CE115, e suas principais características são apresentadas a seguir:

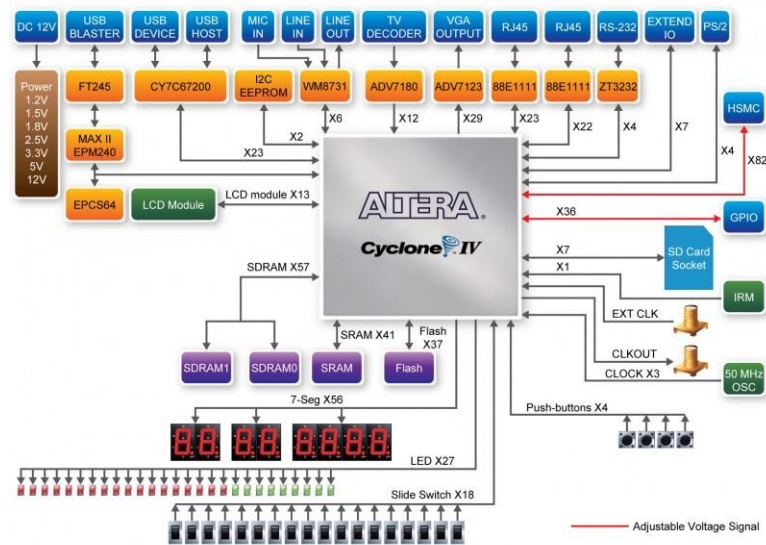
- 114.480 Elementos Lógicos e 4 PLL's de uso geral;
- 518 pinos de comunicação I/Os e 2 portas de expansão com 40 pinos;
- Três osciladores com 50 MHz de frequência;
- Memória de 2 MB (1Mx16) do tipo SRAM;
- Duas memórias de 64 MB do tipo SDRAM;
- Memória de 8MB do tipo Flash e 32 Kbits EEPROM;
- 18 switches, 4 push-buttons, 18 LEDs vermelhos e 9 verdes;
- 8 Displays de 7 segmentos e 1 módulo LCD de 16x2;
- Alimentação por conector Universal Serial Bus (USB) tipo mini-AB.

Figura 4.1 – Placa de desenvolvimento FPGA Altera Terasic DE2-115



Fonte: Altera (2022)

Figura 4.2 – FPGA DE2-115: Diagrama de blocos.

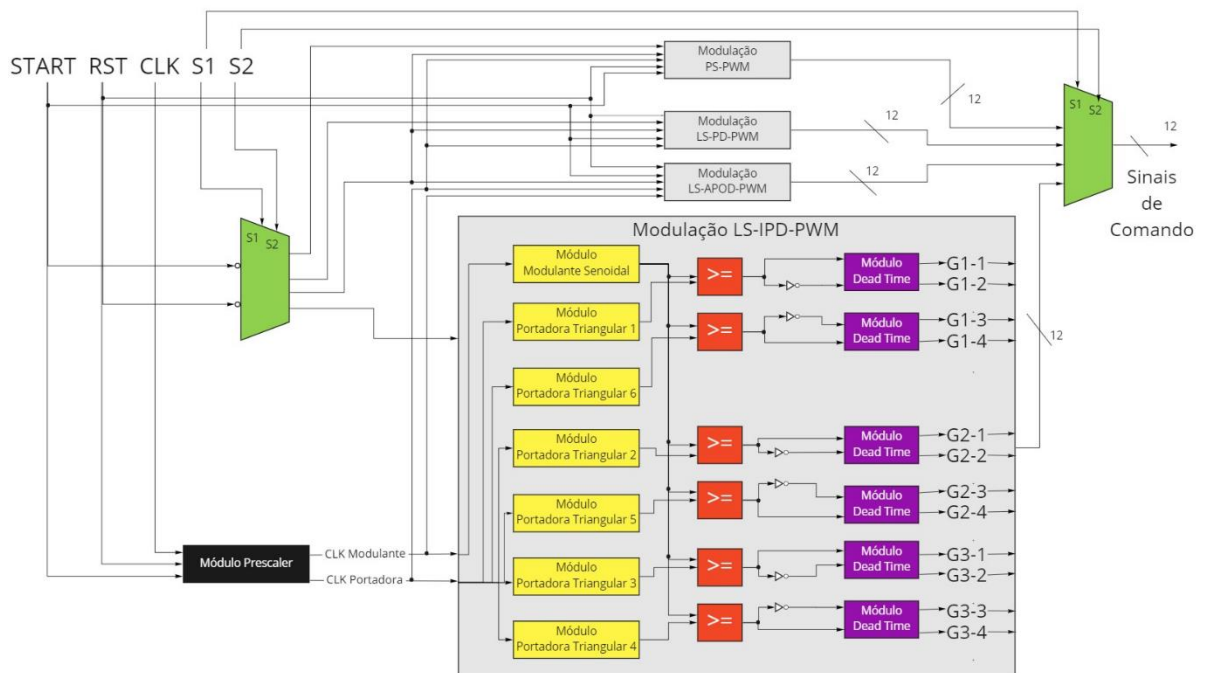


Fonte: Altera (2022)

## 4.2 ALGORITMO DO MODULADOR PWM

Para a implementação em FPGA da técnica de modulação desenvolveu-se diversos módulos, cada módulo foi escrito em linguagem VHDL e simulado na ferramenta *ModelSim*. A combinação desses módulos produz o sinal de controle do inversor. A Figura 8 ilustra o diagrama em blocos para a implementação das diferentes técnicas de modulação.

Figura 4.3 – Diagrama em blocos dos módulos para geração da modulação PWM



Fonte: Elaborado pelo autor

Da figura 4.3 pode-se observar que são utilizados 5 sinais de entrada, START responsável por inicializar os módulos e RST que reinicializa o modulador PWM, sendo estes dois sinais ativo baixo. Além disso tem-se os sinais S1 e S2 utilizados para selecionar qual técnica de modulação será executada. Por fim, tem-se o sinal de *clock* do FPGA de 50 MHz. A tabela 4.1 Apresenta a tabela verdade para seleção das técnicas de modulação.

Tabela 4.1 – Tabela verdade para seleção das técnicas de modulação

S1	S2	Técnica
0	0	LS-IPD-PWM
0	1	LS-PD-PWM
1	0	LS-APOD-PWM
1	1	PS-PWM

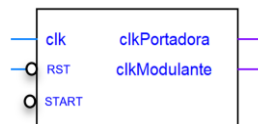
Fonte: Produção do próprio autor.

#### 4.2.1 Módulo Prescaler

Para o funcionamento do modulador PWM é necessário gerar diferentes frequências de clock para os módulos do circuito, para isso, desenvolveu-se um Prescaler, cuja função é dividir a frequência para os módulos da portadora triangular e outro para a moduladora a partir do clock do FPGA. A Figura 4.4 apresenta o bloco do Prescaler.

O princípio de funcionamento desse bloco é contar o número de pulsos de clock do FPGA necessários para conter metade do período da onda modulante e portadora, pode-se então calcular o período pela equação (4.1).

Figura 4.4 – Módulo Prescaler



Fonte: Elaborado pelo autor

$$N_{pulsos} = \frac{f_{clock}}{2 * f_d * n} \quad (4.1)$$

Sendo,

$N_{pulsos}$ : o número de pulsos que se deve contar

$F_d$ : a frequência desejada;

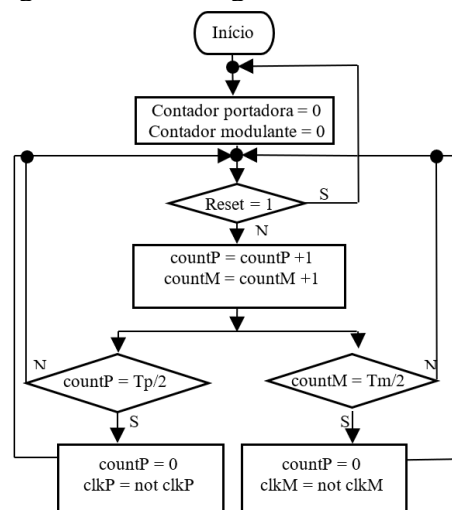
$n$ : o número de amostras;

$f_{clk}$ : A frequência do clock.

Portanto, para obtenção do clock do sinal modulante utilizou-se 830 amostras com uma frequência desejada de 60 Hz, obtendo-se um número de pulsos igual a 501 para meio período do clock do FPGA, ou seja, 1002 pulsos por 1 período. Do mesmo modo, pode-se calcular o número de pulsos necessários para gerar o clock da portadora, com frequência de 5 kHz, obtendo-se um número de pulsos igual a 29. Logo, para gerar os sinais de clock para modulante, 60 Hz, e portadora, 5 kHz, é necessário dividir o clock do FPGA por 1002 e 58, respectivamente.

Ainda, para desenvolver o algoritmo utilizou-se o fluxograma apresentado na figura 4.5.

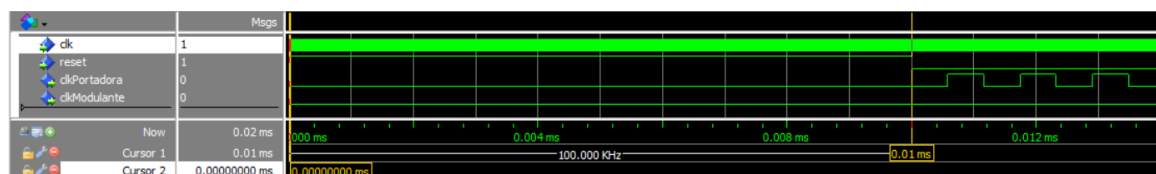
Figura 4.5 – Fluxograma do módulo Prescaler



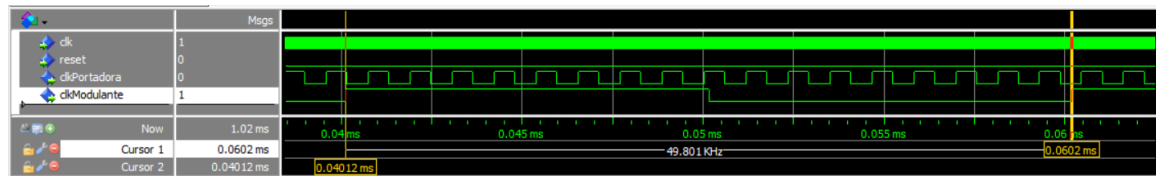
Fonte: Elaborado pelo autor

A figura 4.6 apresenta a simulação do realizada para o módulo Prescaler. É possível observar que a entrada reset é ativo baixo, de modo que o sistema entra em operação apenas após 1 ms. Além disso, pode-se observar que o sinal da modulante e da portadora foram divididos corretamente, obtendo-se as frequências de 49,801 kHz e 862,069 kHz, respectivamente.

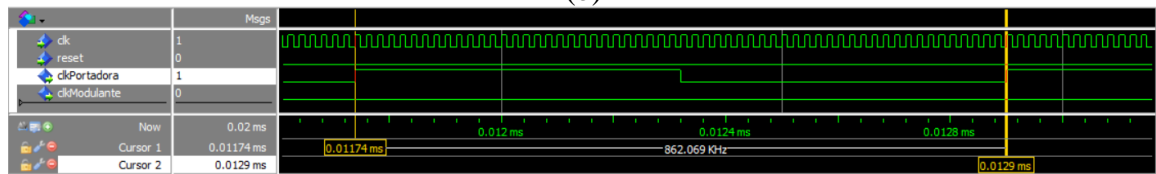
Figura 4.6 – Simulação do bloco Prescaler: (a) Reset ativo alto; (b) Frequência da modulante; (c) Frequência da portadora.



(a)



(b)



(c)

Fonte: Elaborado pelo autor

#### 4.2.2 Módulo Portadora Triangular

Este bloco é responsável por gerar os sinais da onda portadora. Para um inversor CHB de sete níveis são necessários 12 sinais de controle, no qual metade desses sinais correspondem a sinais complementares, portanto, são necessárias 6 portadoras, a Figura 4.7 mostra o bloco para gerar um sinal de onda portadora.

Figura 4.7 – Módulo Portadora Triangular



Fonte: Elaborado pelo autor

A portadora triangular é implementada por meio de um contador, sendo que a cada pulso de clock a portadora é incrementada ou decrementada, para isso uma entrada nomeada de direção é utilizada para definir a contagem, de tal forma que se a direção for igual ao nível lógico '1' a contagem é crescente e se a direção for do nível lógico '0' a contagem é decrescente.

As entradas contagem máxima e contagem mínima definem o intervalo do contador. Visando implementar diferentes técnicas de modulação configurando-se a as entradas direção, contagemInicial, contagemMinima e contagemMaxima pode-se obter as quatro técnicas de modulação PWM.

Além disso, o sinal referente a portadora é composto de 11 bits, entretanto, restringiu-se o intervalo entre  $[0, 1080]$ . Sendo assim, o pode-se obter uma palavra de  $[0000\ 0000\ 0000]_2$  até  $[100\ 0011\ 1000]_2$ .

Para a modulação PS-PWM calcula-se o defasamento angular entre os sinais de acordo com equação (2.9), obtendo-se  $60^\circ$  para um inversor CHB de 7 níveis. Essa técnica de modulação pode ser implementada configurando-se as entradas do módulo de acordo com a tabela 4.2.

Tabela 4.2 – Defasamento angular modulação PS-PWM

Portadora	contagemInicial	direcao	contagemMinima	contagemMaxima
1	0	1	0	1080
2	360	1	0	1080
3	720	1	0	1080
4	360	0	0	1080
5	720	0	0	1080
6	1080	0	0	1080

Fonte: Produção do próprio autor.

Para modulação *Level Shifted* cada portadora varia em um nível definido, para a implementação do modulador foi estabelecido uma variação de 180 valores por onda portadora, assim, 6 portadoras variam 0 até 1080. A Tabela 4.3 fornece os intervalos para cada portadora.

Tabela 4.3 – Intervalo portadoras triangulares.

Portadora	intervalo
1	900 até 1080
2	720 até 900
3	540 até 720
4	360 até 540
5	180 até 360
6	0 até 180

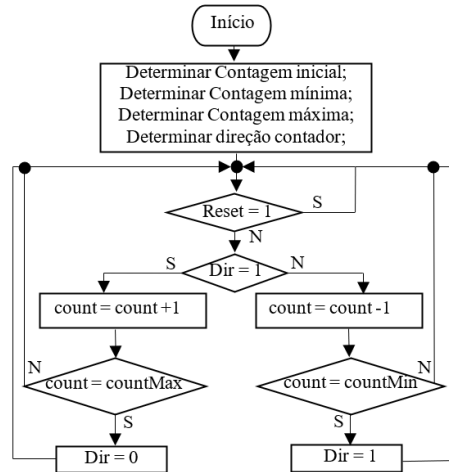
Fonte: Produção do próprio autor.

Uma entrada de contagem inicial também é utilizada para definir o ângulo de defasamento da portadora juntamente com a entrada.

Os valores da portadora variam entre 0 a 1080, para representar esse número é necessária uma palavra binária de 11 bits, portanto para a saída da portadora, utilizou-se um vetor do tipo *unsigned* de 11 bits. A Figura 4.8 apresenta o fluxograma utilizado para este módulo.



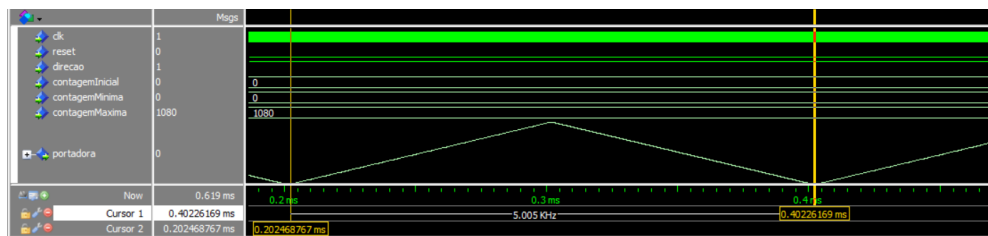
Figura 4.8 – Fluxograma do módulo portadora triangular.



Fonte: Elaborado pelo autor

Em seguida apresenta-se a simulação realizada para este módulo. Configurou-se as entradas do bloco para obter-se uma onda portadora no intervalo de 0 até 1080 com frequência de 5 kHz, conforme pode ser observado na figura 4.9.

Figura 4.9 – Simulação do módulo portadora triangular



Fonte: Elaborado pelo autor

### 4.2.3 Módulo Modulante Senoidal

Este bloco é responsável por gerar o sinal modulante, para isso, 830 amostras de um sinal senoidal com índice de modulação 0,8 foram coletados por meio da Equação (4.1).

$$Modulante_i = m_a \cdot A \cdot \sin(2\pi f \cdot t_s \cdot i) + \frac{A}{2} \quad (4.1)$$

Sendo,

$m_a$ : Índice de modulação;

$Modulante_i$ : amostra do sinal modulante;

$f$ : frequência do sinal;

$t_s$ : período do clock do sinal modulante;

$A$ : amplitude do sinal.

Assim como a portadora triangular utilizou-se um vetor do tipo unsigned de 11 bits. Os valores calculados foram armazenados em uma *look-up table*. A Figura 4.10 ilustra o bloco desenvolvido para geração do sinal modulante.

Figura 4.10 – Módulo Modulante Senoidal



Fonte: Elaborado pelo autor

A figura 4.11 Apresenta o código desenvolvido em linguagem VHDL para implementação do módulo modulante senoidal. Neste bloco utiliza-se uma memória para armazenar os valores amostrados de uma onda senoidal com índice de modulação igual a 0,8 e amplitude igual a 1080. Além disso utiliza-se um contador para percorrer a memória e ler os valores armazenados, sendo este resetado após percorrer todos os valores. Ainda, os sinais armazenados são do tipo inteiro, portanto, para se obter o sinal na base binária é necessário realizar uma conversão para o tipo *unsigned*, como pode ser observado na linha 63.

Figura 4.11 – Código desenvolvido para implementação do Módulo Modulante Senoidal

```

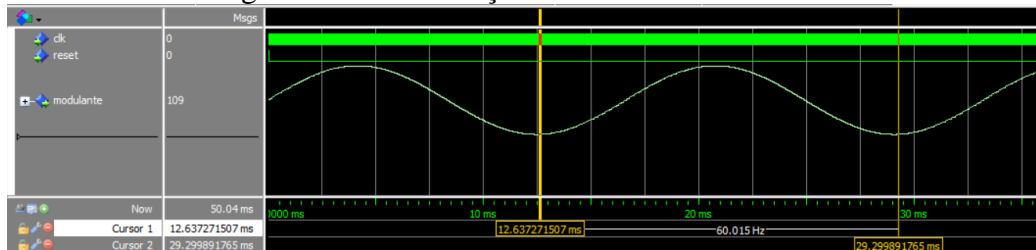
1  library ieee;
2  use ieee.std_logic_1164.all;
3  use ieee.numeric_std.all;
4
5  entity modulanteSenoidal is
6  port (
7      clk : in std_logic;
8      reset : in std_logic;
9      modulante : out unsigned(10 downto 0));
10 end modulanteSenoidal;
11
12 architecture Behavioural of modulanteSenoidal is
13     signal i : integer range 0 to 830 := 0;
14     type memory_type is array (0 to 829) of integer range 0 to 1080 ;
15
16     signal temp : memory_type := (543,547,550,553,556,560,563,566,569,573,576,579,582,586,589,592,595,599,602,605,608,612,615,618,
17     621,624,628,631,634,637,640,644,647,650,653,656,659,663,666,669,672,675,678,681,684,687,690,694,697,700,703,706,709,712,715,718,721,
18     724,727,730,732,735,738,741,744,747,750,753,756,758,761,764,767,770,772,775,778,781,783,786,789,791,794,797,799,802,804,807,810,812,
19     815,817,820,822,825,827,829,832,834,837,839,841,844,846,848,851,853,855,857,860,862,864,866,868,870,872,875,877,879,881,883,885,887,
20     889,890,892,894,896,898,900,902,903,905,907,909,910,912,914,915,917,918,920,922,923,925,926,927,929,930,932,933,934,936,937,938,940,
21     941,942,943,944,946,947,948,949,950,951,952,953,954,955,956,958,959,960,961,962,963,964,965,966,967,969,970,971,972,973,974,975,976,977,978,979,980,981,982,983,984,985,986,987,988,989,990,991,992,993,994,995,996,997,998,999,1000,1001,1002,1003,1004,1005,1006,1007,1008,1009,1010,1011,1012,1013,1014,1015,1016,1017,1018,1019,1020,1021,1022,1023,1024,1025,1026,1027,1028,1029,1030,1031,1032,1033,1034,1035,1036,1037,1038,1039,1040,1041,1042,1043,1044,1045,1046,1047,1048,1049,1050,1051,1052,1053,1054,1055,1056,1057,1058,1059,1060,1061,1062,1063,1064,1065,1066,1067,1068,1069,1070,1071,1072,1073,1074,1075,1076,1077,1078,1079,1080,1081,1082,1083,1084,1085,1086,1087,1088,1089,1090,1091,1092,1093,1094,1095,1096,1097,1098,1099,1100,1101,1102,1103,1104,1105,1106,1107,1108,1109,1110,1111,1112,1113,1114,1115,1116,1117,1118,1119,1120,1121,1122,1123,1124,1125,1126,1127,1128,1129,1130,1131,1132,1133,1134,1135,1136,1137,1138,1139,1140,1141,1142,1143,1144,1145,1146,1147,1148,1149,1150,1151,1152,1153,1154,1155,1156,1157,1158,1159,1160,1161,1162,1163,1164,1165,1166,1167,1168,1169,1170,1171,1172,1173,1174,1175,1176,1177,1178,1179,1180,1181,1182,1183,1184,1185,1186,1187,1188,1189,1190,1191,1192,1193,1194,1195,1196,1197,1198,1199,1200,1201,1202,1203,1204,1205,1206,1207,1208,1209,1210,1211,1212,1213,1214,1215,1216,1217,1218,1219,1220,1221,1222,1223,1224,1225,1226,1227,1228,1229,1230,1231,1232,1233,1234,1235,1236,1237,1238,1239,1240,1241,1242,1243,1244,1245,1246,1247,1248,1249,1250,1251,1252,1253,1254,1255,1256,1257,1258,1259,1260,1261,1262,1263,1264,1265,1266,1267,1268,1269,1270,1271,1272,1273,1274,1275,1276,1277,1278,1279,1280,1281,1282,1283,1284,1285,1286,1287,1288,1289,1290,1291,1292,1293,1294,1295,1296,1297,1298,1299,1300,1301,1302,1303,1304,1305,1306,1307,1308,1309,1310,1311,1312,1313,1314,1315,1316,1317,1318,1319,1320,1321,1322,1323,1324,1325,1326,1327,1328,1329,1330,1331,1332,1333,1334,1335,1336,1337,1338,1339,1340,1341,1342,1343,1344,1345,1346,1347,1348,1349,1350,1351,1352,1353,1354,1355,1356,1357,1358,1359,1360,1361,1362,1363,1364,1365,1366,1367,1368,1369,1370,1371,1372,1373,1374,1375,1376,1377,1378,1379,1380,1381,1382,1383,1384,1385,1386,1387,1388,1389,1390,1391,1392,1393,1394,1395,1396,1397,1398,1399,1400,1401,1402,1403,1404,1405,1406,1407,1408,1409,1410,1411,1412,1413,1414,1415,1416,1417,1418,1419,1420,1421,1422,1423,1424,1425,1426,1427,1428,1429,1430,1431,1432,1433,1434,1435,1436,1437,1438,1439,1440,1441,1442,1443,1444,1445,1446,1447,1448,1449,1450,1451,1452,1453,1454,1455,1456,1457,1458,1459,1460,1461,1462,1463,1464,1465,1466,1467,1468,1469,1470,1471,1472,1473,1474,1475,1476,1477,1478,1479,1480,1481,1482,1483,1484,1485,1486,1487,1488,1489,1490,1491,1492,1493,1494,1495,1496,1497,1498,1499,1500,1501,1502,1503,1504,1505,1506,1507,1508,1509,1510,1511,1512,1513,1514,1515,1516,1517,1518,1519,1520,1521,1522,1523,1524,1525,1526,1527,1528,1529,1530,1531,1532,1533,1534,1535,1536,1537,1538,1539,1540);
22
23     begin
24         ler : process(clk, reset)
25         begin
26             if reset = '1' then
27                 i <= 0;
28             elsif (rising_edge(clk)) then
29                 i <= i + 1;
30                 if (i = 829) then
31                     i <= 0;
32                 end if;
33             end if;
34         end process;
35         modulante <= to_unsigned(temp(i),11);
36     end Behavioural;

```

Fonte: Elaborado pelo autor

Por fim, a figura 4.12 apresenta a simulação realizada para este módulo. Além disso, observando a figura pode-se constatar a obtenção de uma onda senoidal com frequência de 60 Hz.

Figura 4.12 – Simulação do módulo modulante senoidal



Fonte: Elaborado pelo autor

## 4.2.4 Módulo Comparador

Este módulo realiza a comparação entre os sinais da portadora e da modulante. Para cada ponte H dois comparadores recebem o sinal da modulante e de duas portadoras, em seguida, efetuam duas comparações: para o valor da portadora acima da referência é gerado o sinal de gate e, o respectivo complementar. Da mesma forma para valores da portadora abaixo da referência o sinal de gate para o IGBT adjacente é gerado, bem como o respectivo complementar.

Este Módulo pode ser facilmente implementado, para isso basta-se comparar os dois sinais, modulante e portadora, ambos representados por uma palavra de 11 bits. Quando o sinal modulante for maior ou igual ao da onda portadora o sinal do gate superior é ativo, conforme pode ser observado na figura 4.13. Ainda, realizou-se a simulação do bloco, conforme pode ser observado na figura 4.14.

Figura 4.13 – Código desenvolvido para implementação do Módulo comparador

```

1  library ieee;
2  use ieee.std_logic_1164.all;
3  use ieee.numeric_std.all;
4
5  entity comparador is
6  port( portadora : in unsigned(10 downto 0);
7        modulante : in unsigned(10 downto 0);
8        g1, g2 : out std_logic);
9  end comparador;
10
11 architecture Behavioural of comparador is
12 begin
13   comp : process(portadora, modulante)
14   begin
15     if modulante >= portadora then
16       g1 <= '1';
17       g2 <= '0';
18     else
19       g1 <= '0';
20       g2 <= '1';
21     end if;
22   end process;
23 end Behavioural;

```

Fonte: Elaborado pelo autor

Figura 4.14 – Simulação do módulo comparador

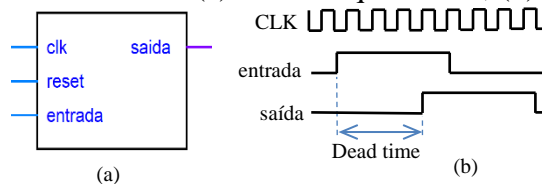


Fonte: Elaborado pelo autor

#### 4.2.5 Módulo Dead Time

Os dispositivos semicondutores presentes no mesmo braço de uma ponte H não podem estar acionados ao mesmo tempo, pois, neste caso ocorre um curto circuito liberando um grande fluxo de corrente sobre os dispositivos, portanto, é necessário gerar um atraso no disparo destes dispositivos, denominado por *dead time*. A Figura 4.15 (a) mostra o bloco para acréscimo de *dead time* e (b) o diagrama de tempo.

Figura 4.15 – Módulo Dead Time: (a) Bloco esquemático; (b) Diagrama de tempo.

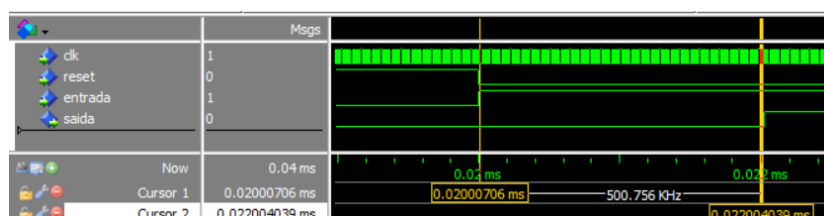


Fonte: Elaborado pelo autor

Inicialmente, é necessário definir o tempo de *dead time*. Para a obter o tempo morto deste módulo pode-se consultar o datasheet do dispositivo semicondutor. Neste trabalho será utilizado um tempo de *dead time* igual a 2  $\mu$ s.

A implementação desse módulo é feita por meio de um contador que incrementa até um valor máximo pré-definido, correspondente ao número de pulsos de clock necessários para atingir o tempo de *dead time*, quando isso ocorre o sinal da entrada é transferido para a saída, conforme pode ser observado na figura 4.16.

Figura 4.16 – Simulação do Módulo Dead Time

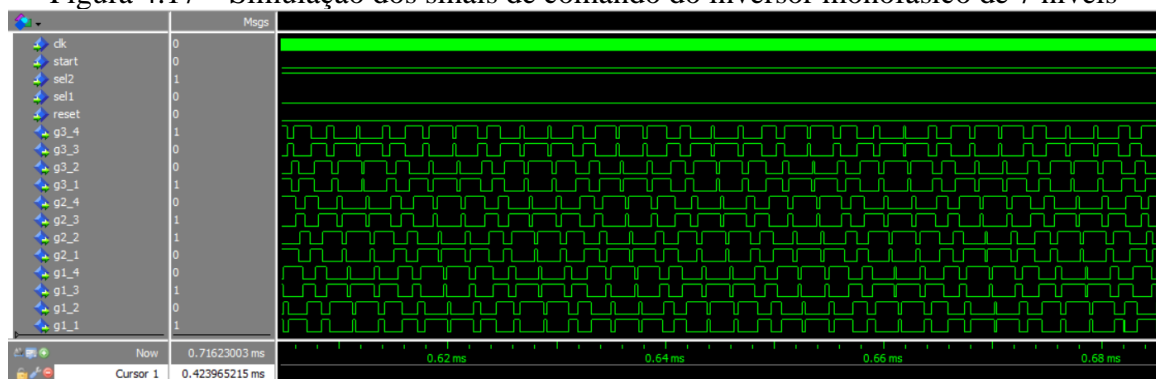


Fonte: Elaborado pelo autor

#### 4.2.6 Sinais de controle do inversor

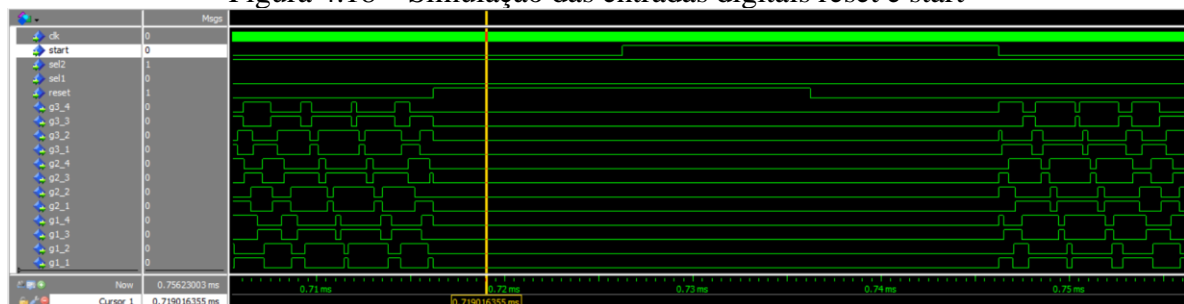
Por fim, será apresentado os resultados da simulação dos sinais de comando do inversor monofásico de 7 níveis para obtenção dos sinais de comando dos elementos comutadores, conforme pode ser observado na figura 4.17. Além disso, pode-se observar na figura 4.18 o funcionamento das entradas digitais reset e start, de modo que o sistema é acionado apenas quando ambos os sinais estão em nível lógico ‘0’.

Figura 4.17 – Simulação dos sinais de comando do inversor monofásico de 7 níveis



Fonte: Elaborado pelo autor

Figura 4.18 – Simulação das entradas digitais reset e start



Fonte: Elaborado pelo autor

## 5 RESULTADOS EXPERIMENTAIS

Nesta seção será apresentado os resultados obtidos por meio dos testes realizados no inversor monofásico de 3 níveis e no inversor monofásico de 7 níveis. A lista de materiais utilizados para a montagem do inversor é listada na tabela 5.1 e a lista dos equipamentos utilizados para a realização dos testes é listado na tabela 5.2.

Tabela 5.1 – Lista de materiais utilizados na montagem do inversor

Componentes	Quantidade
MOSFET IRF 830	12
TIL111	12
Capacitor eletrolítico 2,2 $\mu$ F - 50 V	9
Capacitor de poliéster 100 nF 250 V	9
Capacitor de poliéster 440 nF 250V	2
Indutor de 4,8 mH	4
Resistor de 22 $\Omega$	12
Resistor de 150 $\Omega$	12
Resistor de 1 K $\Omega$	12
Resistor de 10 K $\Omega$	12
Protoboard	1

Fonte: Produção do próprio autor.

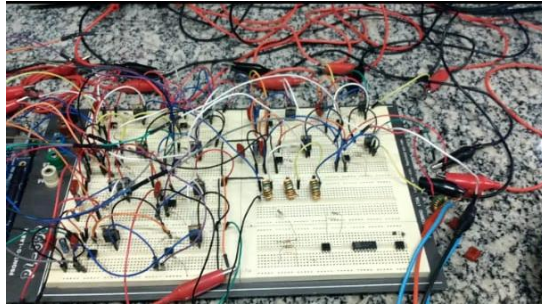
Tabela 5.2 – Lista de equipamentos utilizados nos testes

Componentes	Quantidade
Fonte DC - 15 V	9
Fonte DC – 30 V	3
Osciloscópio Tektronix TDS 1001C-30EDU	1
Multímetro Viktor VC97	1
Notebook	1
Pendrive	1
Placa de desenvolvimento Altera FPGA DE2-115	1
Reostato de 100 $\Omega$	1

Fonte: Produção do próprio autor.

Para a realização dos testes do inversor de 3 níveis utilizou-se apenas um módulo do inversor, enquanto para o inversor de 7 níveis utilizou-se os três módulos. A figura 5.1 apresenta o circuito do inversor monofásico multinível montado para a realização dos testes.

Figura 5.1 – Foto do protótipo desenvolvido para realização de testes

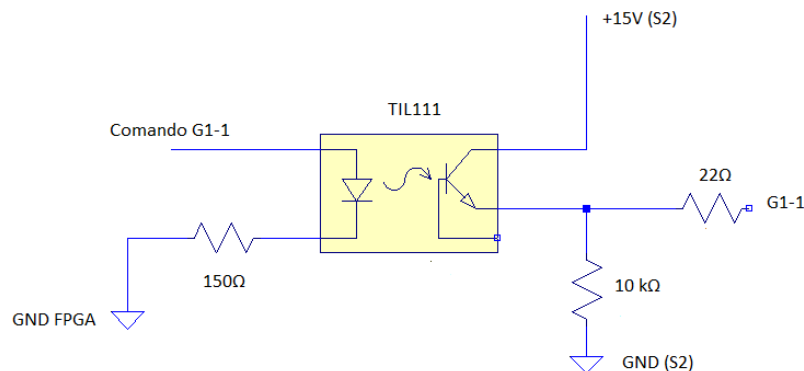


Fonte: Elaborado pelo autor

### 5.1 INVERSOR MONOFÁSICO DE 3 NÍVEIS

Conforme a topologia do inversor apresentada no capítulo 3 deste trabalho, existe a necessidade de isolamento elétrico entre os sinais de nível lógico de controle e os circuitos acionadores. A maneira básica para prover essa isolamento é por meio de optoacopladores. O *source* é o referencial para o sinal que controla o MOSFET. Desta forma, para a topologia em ponte H completa existem três referenciais distintos. Um para cada chave superior e um para as duas chaves inferiores, as quais possuem seus *sources* conectados entre si. A Figura 5.2 exibe o circuito do driver.

Figura 5.2 – Circuito Esquemático do Driver para o acionamento do MOSFET

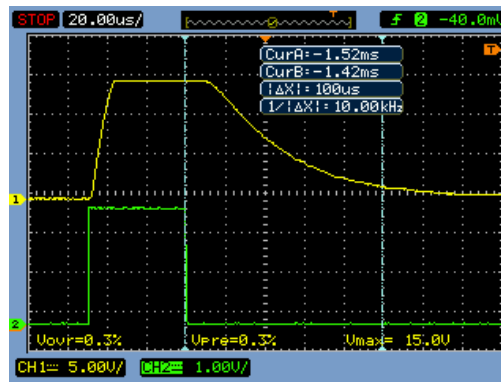


Fonte: Elaborado pelo autor

Com o intuito de validar o circuito de driver realizou-se um teste com o objetivo de verificar o tempo necessário para um pulso passar de nível lógico ALTO para o nível lógico BAIXO e vice-versa. A figura 5.3 exibe o resultado utilizando um resistor de 10 kΩ na saída

do optoacoplador. O canal 1, cor amarela, apresenta a tensão na saída do optoacoplador enquanto o canal 2, cor verde, apresenta o sinal de comando gerado pelo FPGA.

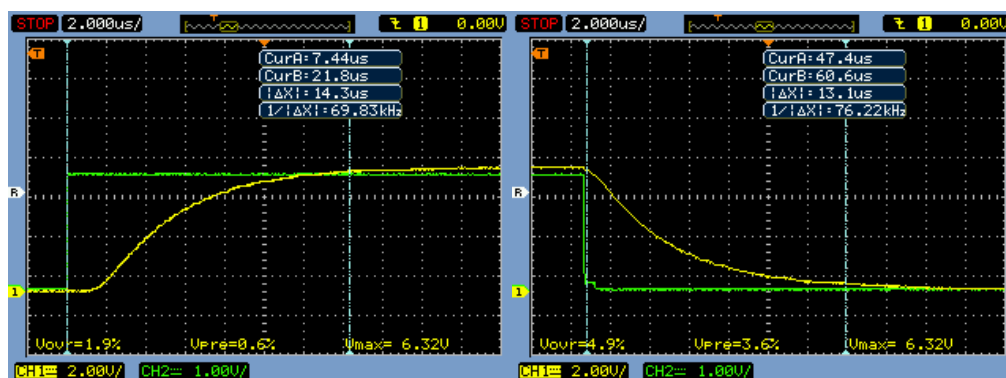
Figura 5.3 – Teste do circuito de driver utilizando resistor de 10 k $\Omega$



Fonte: Elaborado pelo autor

Como pode ser observado na figura 5.3, obteve-se um tempo de descida de aproximadamente 100  $\mu$ s. O tempo necessário para alterar o nível lógico é crucial para o chaveamento do inversor, pois, para frequências de chaveamento mais altas os sinais podem se sobressair, provocando um mau funcionamento do circuito. Assim, visando obter uma resposta mais rápida do circuito substitui-se o resistor de 10 k $\Omega$  por um resistor de 1 k $\Omega$ . A figura 5.4 exhibe o resultado.

Figura 5.4 - Teste do circuito de driver utilizando um resistor de 1 k $\Omega$



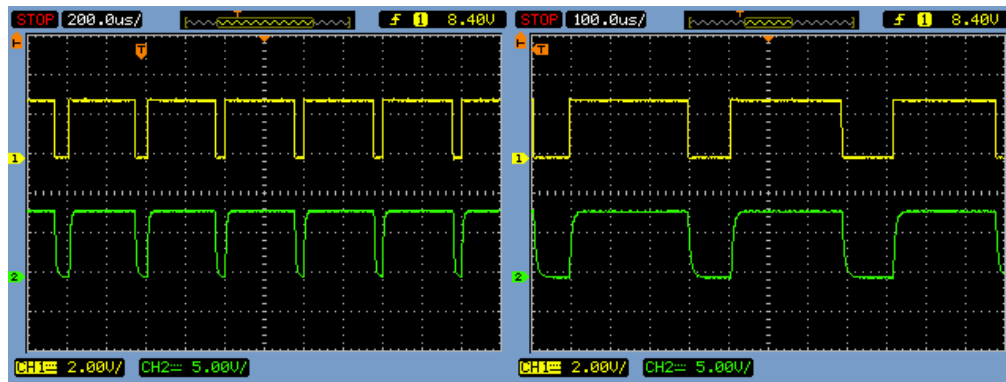
Fonte: Elaborado pelo autor

Logo, pode-se comprovar a melhora no tempo de resposta do circuito, o qual apresentou um tempo de descida de aproximadamente 13.1  $\mu$ s e tempo de subida de



aproximadamente 14,3  $\mu$ s. Em seguida, realizou-se o teste aplicando os sinais de controle do inversor no circuito de driver. A figura 5.5 apresenta o resultado do teste.

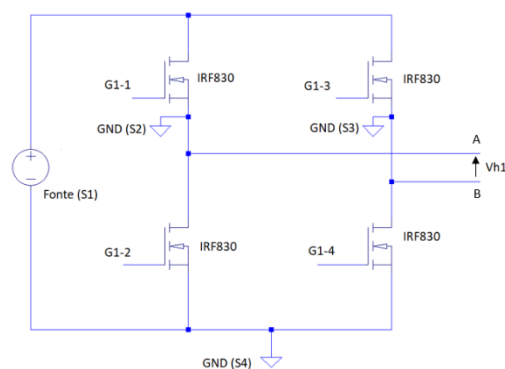
Figura 5.5 – Teste do circuito de driver utilizando os sinais de controle



Fonte: Elaborado pelo autor

Para realizar os testes do circuito de potência conectou-se os sinais de controle, isolados pelo optoacoplador, ao seus respectivos *gates* dos MOSFETS, utilizou-se uma frequência de 5 kHz para a portadora triangular e 60 Hz para a modulante senoidal. Além disso, alimentou-se o circuito com uma tensão de 15 V. A figura 5.6 apresenta o circuito esquemático do módulo inversor.

Figura 5.6 – Circuito esquemático do módulo inversor

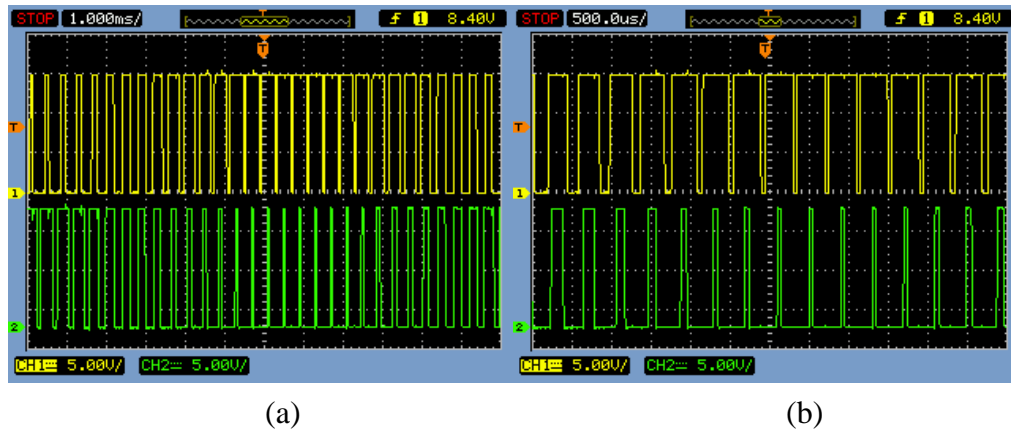


Fonte: Elaborado pelo autor

Para observar a tensão em cada braço do inversor mediu-se a tensão entre o ponto A e *ground* da fonte de alimentação, bem como a tensão entre o ponto B e o *ground* da fonte. A figura 5.7 apresenta o resultado obtido, para melhor visualização a figura 5.7 (b) utiliza

uma escala de tempo menor. O canal 1, cor amarela, apresenta a tensão sobre o ponto A enquanto o canal 2, cor verde, apresenta a tensão sobre o ponto B.

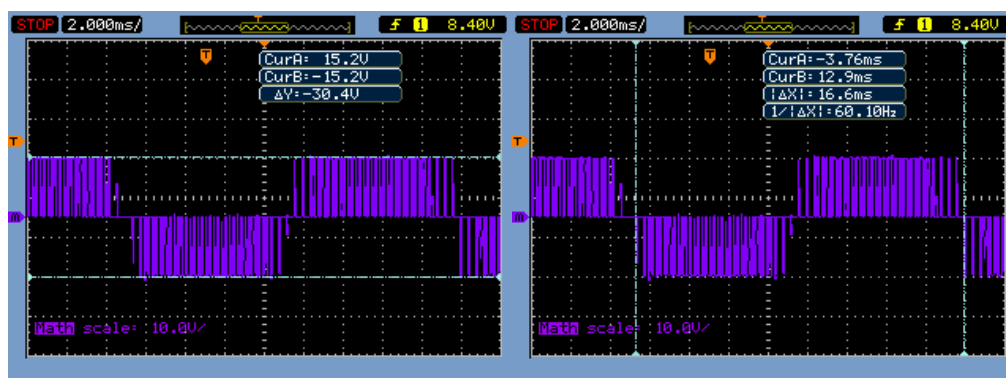
Figura 5.7 – Tensão em cada braço do inversor monofásico de 3 níveis: (a) escala de tempo igual a 1 ms; (b) escala de tempo igual a 500  $\mu$ s.



Fonte: Elaborado pelo autor

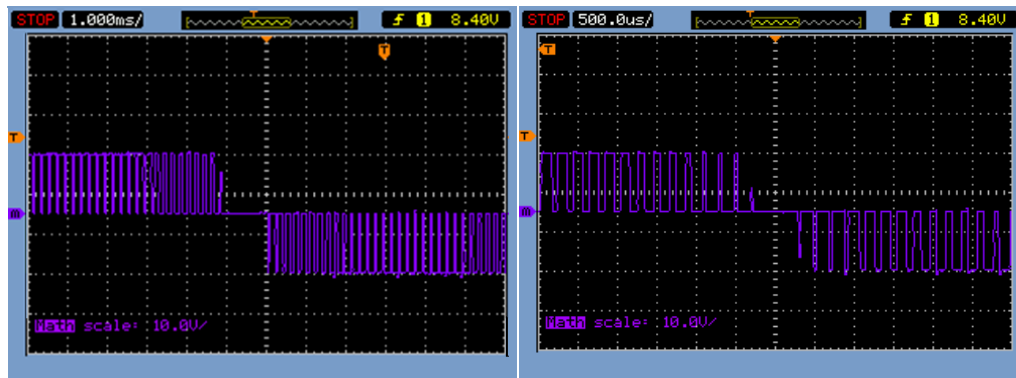
Por fim, a tensão na saída do inversor é dada pela diferença de tensão entre os pontos A e B. Pode-se obter esta tensão utilizando-se a função matemática do osciloscópio, no modo CH1 – CH2. A figura 5.8 apresenta o resultado obtido. Como pode ser observado na figura, comprovou-se o funcionamento do inversor, sendo este constituído de 3 níveis, +15 V, 0 V e -15 V. Além disso, pode-se observar que o sinal possui uma frequência de 60 Hz, validando tanto o circuito quanto o algoritmo de controle desenvolvido. Para melhor visualização do formato de onda, a figura 5.9 apresenta a tensão de saída com uma escala de tempo de 1 ms e 500  $\mu$ s, respectivamente.

Figura 5.8 – Tensão na saída do inversor



Fonte: Elaborado pelo autor

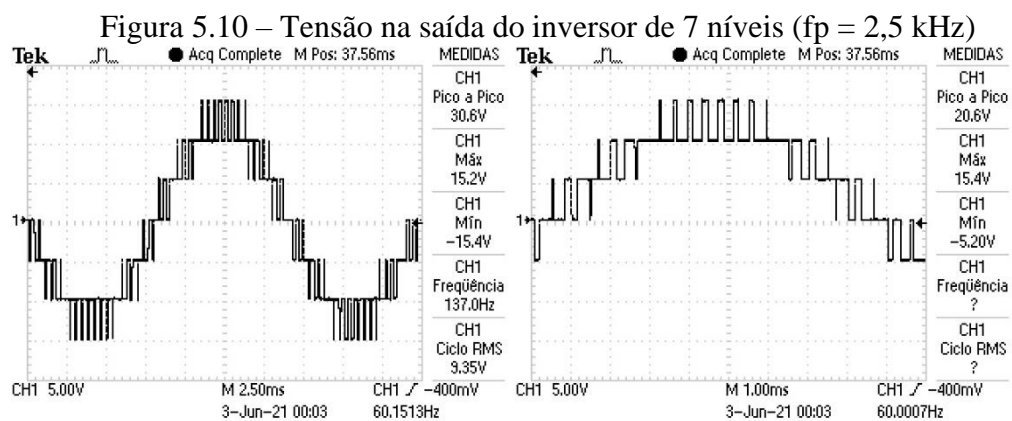
Figura 5.9 – Tensão na saída do inversor com zoom



Fonte: Elaborado pelo autor

## 5.2 INVERSOR MONOFÁSICO DE 7 NÍVEIS

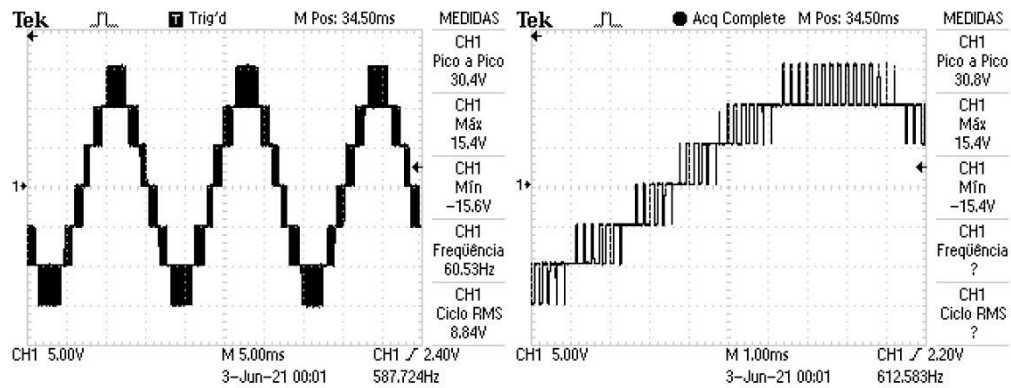
Para a realização dos testes do inversor de 7 níveis ligou-se os módulos do inversor de acordo com a figura 2.9. Em seguida, Ajustou-se as três fontes de alimentação para fornecerem uma tensão de 10 V. Além disso, adicionou-se uma carga resistiva de  $150\ \Omega$  na saída do inversor. Ajustou-se o algoritmo de controle para gerar os sinais com um índice de modulação de 0,8, frequência das portadoras triangulares igual a 2,5 kHz e frequência da modulante senoidal 60 Hz. A figura 5.10 apresenta a tensão obtida, além disso, também é apresentado a forma de onda para uma escala de tempo menor.



Fonte: Elaborado pelo autor

Em seguida, realizou-se outro teste, aumentando-se a frequência das portadoras triangulares para 5 kHz, enquanto manteve-se os outros parâmetros iguais. A figura 5.11 apresenta a tensão obtida, além disso, também é apresentado a forma de onda para uma escala de tempo menor.

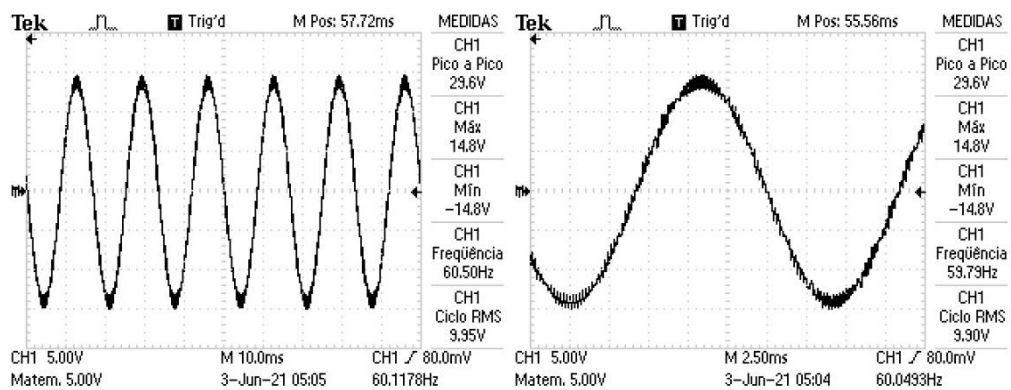
Figura 5.11 - Tensão na saída do inversor de 7 níveis ( $f_p = 5,0$  kHz)



Fonte: Elaborado pelo autor

Ainda, realizou-se outro teste, no qual foi adicionado um filtro LC passa baixa entre o inversor e a carga resistiva. O filtro possui um capacitor de 440 nF e quatro indutores em série de 4,8 mH. A figura 5.12 apresenta a tensão obtida, além disso, também é apresentado a forma de onda para uma escala de tempo menor.

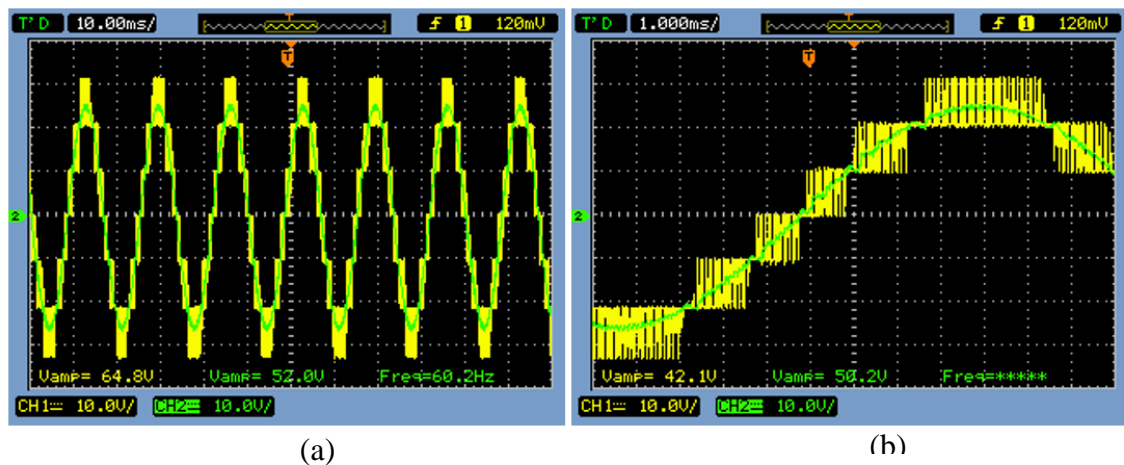
Figura 5.12 – Tensão na saída do inversor de 7 níveis com filtro LC



Fonte: Elaborado pelo autor

Além disso, para uma melhor visualização a figura 5.13 apresenta a tensão na saída do inversor antes e depois do filtro LC. A figura 5.13 (b) utiliza uma escala de tempo menor correspondente a 1 ms. O canal 1, cor amarela, apresenta a tensão antes do filtro LC, enquanto o canal 2, cor verde, apresenta a tensão após o filtro.

Figura 5.13 – Tensão na saída do inversor de 7 níveis: (a) Antes do filtro LC; (b) Depois do filtro LC.



Fonte: Elaborado pelo autor

Como pode ser observado nas figuras, comprovou-se o funcionamento do inversor, sendo este constituído de 7 níveis: +30 V, +20 V, +10 V, 0 V, -10, -20 e -30 V. Além disso, pode-se observar que o sinal possui uma frequência de 60 Hz, validando tanto o circuito quanto o algoritmo de controle desenvolvido.

## 6 CONCLUSÃO

Neste trabalho apresentou-se o referencial teórico de inversores tradicionais e multiníveis, ilustrando sua respectiva topologia e princípio de funcionamento. Também, mostrou-se as diferentes técnicas de modulação utilizadas para realizar o controle deste dispositivo, utilizando um FPGA para sua implementação.

Durante a fase de desenvolvimento do protótipo do inversor multinível, a maior dificuldade encontrada foi a necessidade de utilizar múltiplas fontes de corrente contínua para alimentar os dispositivos semicondutores dos módulos do inversor. Tendo em vista, que cada módulo possuiu três referências de tensão distintos.

Outro problema encontrado na parte de teste do circuito foi a utilização dos optoacopladores. Pois, os componentes utilizados apresentaram uma limitação com relação a frequência de chaveamento. Desse modo, embora o FPGA pudesse gerar sinais de controle com uma frequência muito superior teve-se que limitar a frequência de chaveamento para no máximo 5 kHz para evitar distorções no sinal.

Após a realização dos testes no protótipo de inversor multinível, pode-se comprovar que os resultados obtidos durante a simulação foram condizentes com os resultados experimentais. Assim, pode-se validar o sistema de controle desenvolvido para o modulador PWM e concluir que o objetivo geral e os objetivos específicos do presente trabalho foram concluídos com sucesso.

Por fim, como sugestão para trabalhos futuros lista-se as seguintes opções:

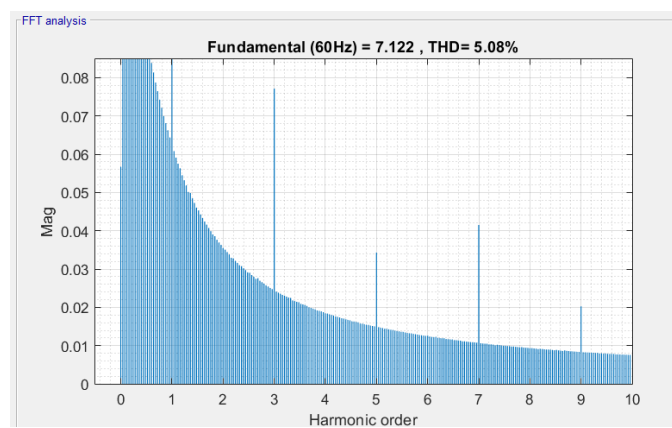
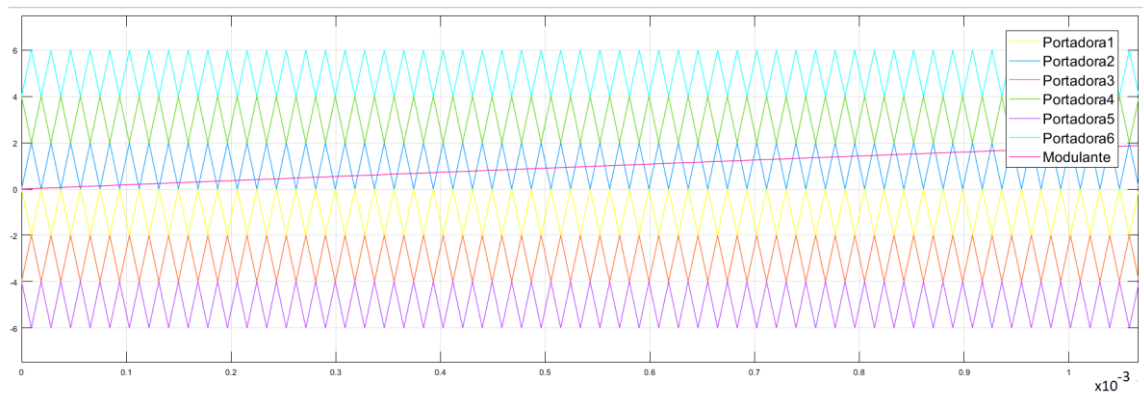
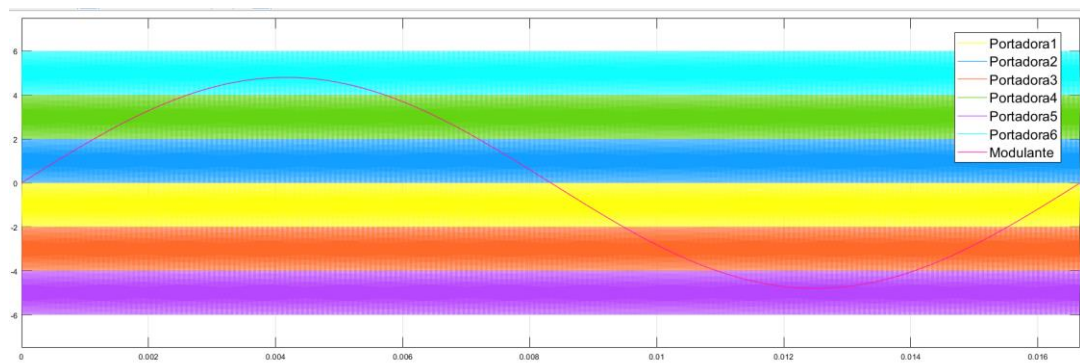
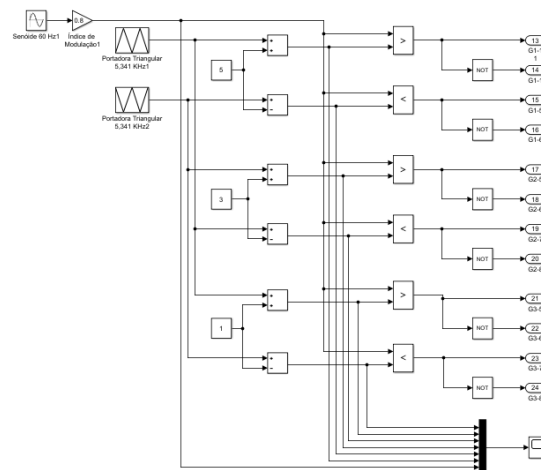
- Utilização de diferentes topologias de inversores multiníveis;
- Estudos a taxa de distorção harmônica para diferentes técnicas de modulação PWM;
- Melhorias no circuito de driver, visando aumentar a frequência de chaveamento do dispositivo;
- Implementação do sistema de controle do inversor em malha fechada.

## REFERÊNCIAS

- AHMAD, Mohammed Imteyaz *et al.* FPGA based control IC for multilevel inverter. *In: INTERNATIONAL CONFERENCE ON COMPUTER AND COMMUNICATION ENGINEERING*, 2008, Kuala Lumpur. **Proceeding** [...]. Kuala Lumpur: IEEE, 2008. p. 319-322.
- AHMED, Ashfaq. **Eletrônica de potência**. São Paulo: Pearson Education do Brasil, 2008.
- BARBI, Ivo. **Eletrônica de potência**. 5. ed. Florianópolis: UFSC, 2006.
- BARBI, Ivo; MARTINS, Denizar Cruz. **Conversores CC-CC básicos não-isolados: análise, modelagem e controle**. Florianópolis: Artliber, 2018.
- FRANQUELO, Leopoldo *et al.* The age of multilevel converters arrives. **IEEE Industrial Electronics Magazine**, v. 2, n. 2, p. 28–39, jun. 2008.
- LAI, Jih-Sheng; PENG, Fang Zheng. Multilevel converters-a new breed of power converters. **IEEE Transactions on Industry Applications**, v. 32, n. 3, p. 509–517, 1996.
- KIM, Sang-hoon. **Electric motor control: dc, ac and bldc motors**. Massachusetts: Elsevier Science, 2017.
- MEYNARD, Thierry; FOCH, Henri. Multi-level choppers for high voltage applications. **EPE Journal**, v. 2, n. 1, p. 45–50, jan. 1992.
- PEREIRA, Ivo Filipe Barroso de Freitas. **Projecto e implementação de um inversor multinível**. 2008. Dissertação (Mestrado em Engenharia Elétrica - Integrado em Engenharia Eletrotécnica e de Computadores) – Faculdade de Engenharia da Universidade do Porto, Porto, 2008. Disponível em: <https://paginas.fe.up.pt/~ee04109/Documentos%20e%20imagens/16%20-%20Projectar%20simular%20e%20Implementar%20um%20conversor%20multinivel.pdf>. Acesso em: 15 dez. 2021
- RASHID, Muhammad Harunur. **Eletrônica de potência: circuitos, dispositivos e aplicações**. 4. ed. São Paulo: Pearson Education do Brasil, 2014.
- THONGPRASRI, Pairo. An investigation of THD in 5-level NPC Multilevel Inverter Based on Multicarrier PWM Techniques. **International Journal of Electrical and Electronics Engineering**, v. 4, n. 8, p. 20–27, 25 ago. 2017.
- WU, Bin; NARIMANI, Mehdi. **High-power converters and AC drives**. Hoboken: John Wiley & Sons, 2017.

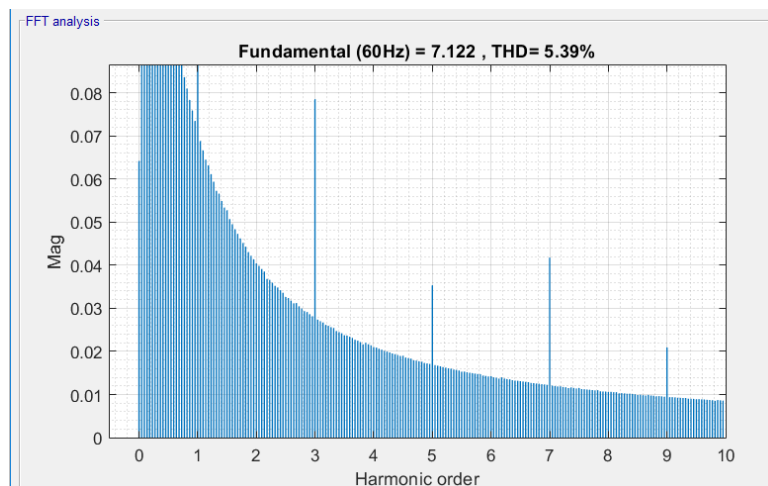
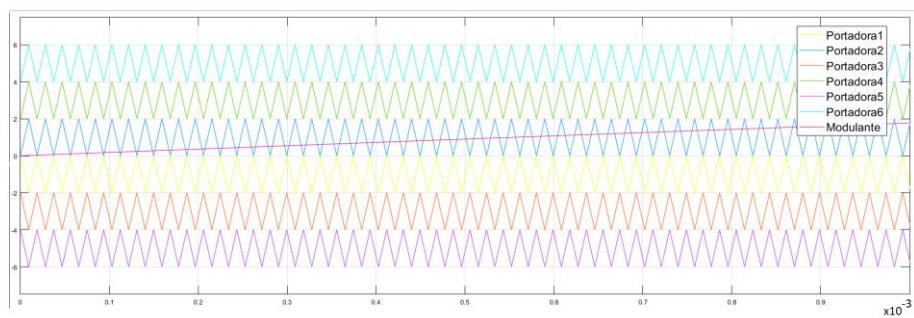
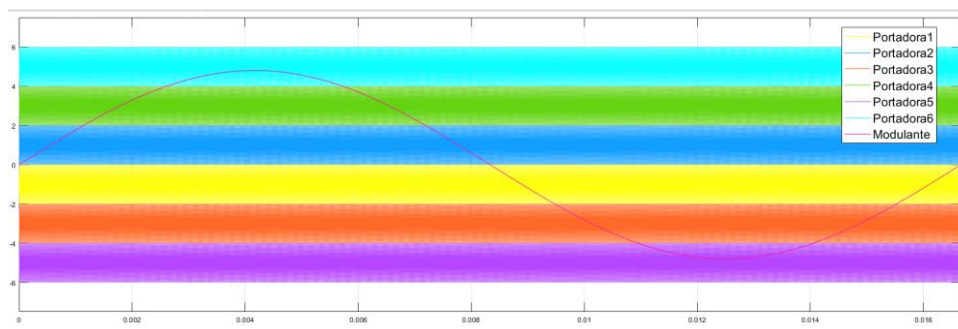
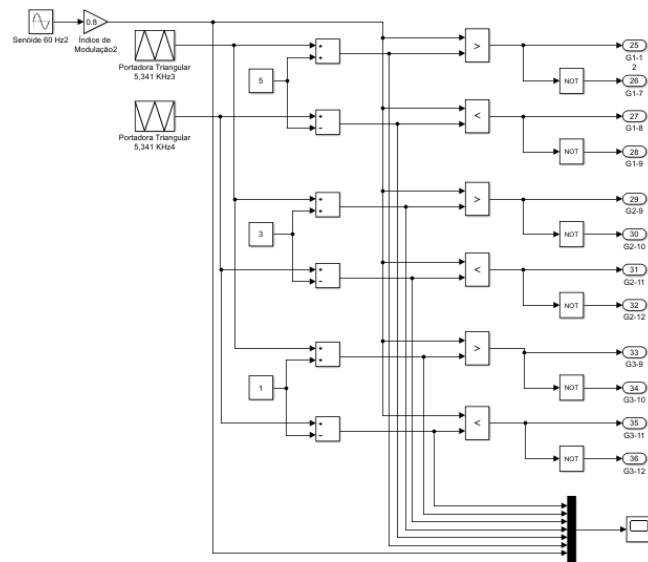
## APÊNDICE A – Simulações de diferentes técnicas de modulação

### LS-APOD-PWM





## LS-POD-PWM



## PS-PWM

