

unesp

UNIVERSIDADE ESTADUAL PAULISTA
FACULDADE DE ENGENHARIA DE ILHA SOLTEIRA
PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

DISSERTAÇÃO DE MESTRADO
EM
ENGENHARIA ELÉTRICA

1210001122



Nº 35

"PRÉ-REGULADOR RETIFICADOR ABAIXADOR DE TENSÃO
COM COMUTAÇÃO NÃO-DISSIPATIVA E FATOR DE
POTÊNCIA ELEVADO, ATRAVÉS DA TÉCNICA DE
CONTROLE POR CORRENTE MÉDIA IMPOSTA"

ALUNO: ROGER AKIO KITAMURA

ORIENTADOR: CARLOS ALBERTO CANESIN

Te.1122



UNIVERSIDADE ESTADUAL PAULISTA - UNESP
FACULDADE DE ENGENHARIA DE ILHA SOLTEIRA - FEIS
PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

**Pré-Regulador Retificador Abaixador de Tensão com
Comutação não-dissipativa e Fator de Potência Elevado,
Através da Técnica de Controle por Corrente Média
Imposta**

Roger Akio Kitamura

Orientador:

Prof. Dr. Carlos Alberto Canesin

1210001122



Proc 54/99 Casa - NPD 161

UNESP - "CAMPUS" DE ILHA SOLTEIRA SERVIÇO DE REGISTRO E DOCUMENTAÇÃO	
DATA DE RECEBIMENTO <i>12/11/99</i>	DATA DE TOMBAMENTO <i>30/11/99</i>
REGISTRO <i>Ilha</i>	TOMBO <i>1.122</i>
AQUISIÇÃO <i>Obacal-autor</i> <i>R\$ 10,00</i>	CLASSIFICAÇÃO <i>K62 p</i>

Dissertação apresentada à Faculdade de Engenharia de Ilha Solteira - FEIS - UNESP como parte dos requisitos exigidos para a obtenção do título de **MESTRE EM ENGENHARIA ELÉTRICA.**

3040403

Ilha Solteira (SP), Março de 1999.



**"PRÉ REGULADOR RETIFICADOR ABAIXADOR DE TENSÃO COM
COMUTAÇÃO NÃO-DISSIPATIVA E FATOR DE POTÊNCIA
ELEVADO, ATRAVÉS DA TÉCNICA DE CONTROLE POR
CORRENTE MÉDIA IMPOSTA"**

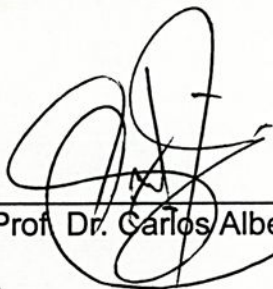
ROGER AKIO KITAMURA

DISSERTAÇÃO SUBMETIDA À FACULDADE DE ENGENHARIA DE ILHA
SOLTEIRA – UNESP – COMO PARTE DOS REQUISITOS NECESSÁRIOS PARA
A OBTENÇÃO DO TÍTULO DE MESTRE EM ENGENHARIA ELÉTRICA (ME).

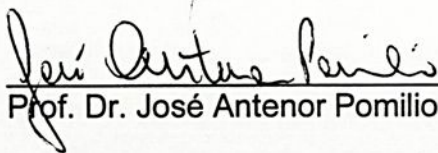


Prof. Dr. Carlos Roberto Minussi - Coordenador

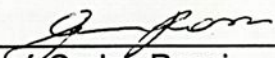
COMISSÃO EXAMINADORA:



Prof. Dr. Carlos Alberto Canesin - orientador



Prof. Dr. José Antenor Pomílio



Prof. Dr. José Carlos Rossi

Ilha Solteira – SP, março de 1999

A Deus e a meus pais que sempre
me apoiam em tudo que faço.



AGRADECIMENTOS

Gostaria de agradecer primeiramente a meus pais e minha família pelo eterno apoio que representam.

Ao meu orientador, Prof. Dr. Carlos Alberto Canesin, por sua grande determinação em solidificar as bases da Eletrônica de Potência na Faculdade de Engenharia de Ilha Solteira, seja com seu esforço didático para com seus alunos, na montagem do LEP (Laboratório de Eletrônica de Potência) ou conseguindo recursos e meios para projetá-la mundialmente. Além destes fatos, há por trás de tudo um grande homem, de sonhos, idéias, conhecimento, dedicação e amizade.

A todos os colegas e amigos, especialmente meus "irmãos": Fabio Toshiaki Wakabayashi, Lourival Teixeira dos Santos Sobrinho e Marcelo José Bonato, por sua amizade e apoio durante todo o desenvolvimento deste trabalho.

Aos docentes do Departamento de Engenharia Elétrica, pela amizade e disposição demonstradas durante toda nossa convivência.

Aos professores José Carlos Rossi, Luiz Carlos Origa de Oliveira, Washington L. de B. Melo pelo tempo e disposição despendidos na participação das bancas de estudos especiais e do exame geral de qualificação, bem como pelas sugestões oferecidas que resultaram na apresentação final.

A todos os funcionários do Departamento de Engenharia Elétrica, aos técnicos do laboratório e também ao técnico Mário do Laboratório de Criogenia pelos serviços prestados durante o trabalho.

Ao Professor Carlos Roberto Minussi, por sempre colaborar conosco, seja com seu ótimo humor e sua amizade ou com seu empenho na pós-graduação em Engenharia Elétrica da FEIS-UNESP.

Ao Arlindo Avanso Urzulim e à Maria de Fátima Sabino, da Seção de Pós-Graduação, por seu empenho e dedicação aos alunos da pós-graduação.

À Coordenação de Aperfeiçoamento de Pessoal de Nível Superior - CAPES, pelo apoio financeiro concedido para a realização desta pesquisa.



Índice

SIMBOLOGIA	v
RESUMO	ix
ABSTRACT	x
CAPÍTULO 1	1
1 INTRODUÇÃO GERAL	1
CAPÍTULO 2	4
2 APLICAÇÃO DE UMA NOVA CÉLULA DE COMUTAÇÃO NA CONVERSÃO CC/CC	4
2.1 INTRODUÇÃO	4
2.2 A NOVA CÉLULA ZCS-PWM	7
2.3 UM NOVO CONVERSOR SEPIC ZCS-PWM	8
2.4 ANÁLISE DO NOVO CONVERSOR CC/CC SEPIC ZCS-PWM	8
2.4.1 ETAPAS DE FUNCIONAMENTO	11
2.4.2 DETERMINAÇÃO DE V_{Ce}	21
2.4.3 GANHO ESTÁTICO	22
2.4.4 CONDIÇÕES PARA OPERAÇÃO COM COMUTAÇÃO ZCS	24
2.5 EXEMPLO DE PROJETO E RESULTADOS OBTIDOS	25
2.5.1 EXEMPLO DE PROJETO	25
2.5.2 RESULTADOS DE SIMULAÇÃO	28
2.5.3 DIMENSIONAMENTO DOS ELEMENTOS DO CIRCUITO DE POTÊNCIA	31
2.5.4 RESULTADOS EXPERIMENTAIS	32
2.6 CONCLUSÕES	34

CAPÍTULO 3	37
3 UM NOVO PRÉ-CONDICIONADOR RETIFICADOR SEPIC ZCS-PWM CONTROLADO POR VALORES MÉDIOS DE CORRENTE	37
3.1 INTRODUÇÃO	37
3.2 ANÁLISE DO NOVO PRÉ-CONDICIONADOR RETIFICADOR SEPIC ZCS-PWM COM ELEVADO FATOR DE POTÊNCIA E CONTROLE POR VALORES MÉDIOS DE CORRENTE	41
3.2.1 CONSIDERAÇÕES SIMPLIFICADORAS	41
3.2.2 ETAPAS DE FUNCIONAMENTO	43
3.3 EXEMPLO DE PROJETO E RESULTADOS OBTIDOS	46
3.3.1 EXEMPLO DE PROJETO	46
3.3.2 RESULTADOS DE SIMULAÇÃO	46
3.3.3 DIMENSIONAMENTO DOS ELEMENTOS DO CIRCUITO DE POTÊNCIA	51
3.3.4 RESULTADOS EXPERIMENTAIS	54
3.4 CONCLUSÕES	58
CAPÍTULO 4	60
4 CONCLUSÕES GERAIS	60
REFERÊNCIAS BIBLIOGRÁFICAS	62

Simbologia

1. Símbolos usados em expressões matemáticas

Símbolo	Significado	Unidade
α_x	Parâmetro de normalização utilizado para comutação ZCS	
$\alpha_{x\text{ ef}}$	Parâmetro de normalização efetivo adotado	
$\alpha_{x\text{ máx}}$	Parâmetro de normalização máximo adotado	
β	Parâmetro de normalização de indutâncias	
η	Rendimento mínimo adotado	
$\phi_{(1)}$	Ângulo de deslocamento entre a tensão de entrada, isenta de distorção harmônica, e a componente fundamental da corrente de entrada	Graus
$\eta\%$	Rendimento percentual	
ω_{0x}	Frequência angular de ressonância	rad/s
ΔI_x	Variação máxima da corrente I_x	A
ΔT	Intervalo de tempo máximo de controle do interruptor auxiliar S_a	s
Δt	Intervalo de tempo	s
Δt_{off}	Intervalo de tempo destinado ao bloqueio dos interruptores S_p e S_a	s
ΔV_x	Variação máxima da tensão V_x	V
C_e	Capacitância de acumulação	F
C_0	Capacitância do filtro de saída	F
D	Razão cíclica de comando	
f	Relação de frequências	
f_{0x}	Frequência de ressonância	Hz
f_s	Frequência de chaveamento	Hz
f_{rede}	Frequência da rede de corrente alternada	Hz
I_0	Corrente média na carga	A
I_{in}	Corrente média de entrada	A
$I_{\text{in ef}}$	Corrente eficaz de entrada	A
$I_{\text{in ef máx}}$	Máxima corrente eficaz de entrada	A
$ I_{\text{in}}(\omega t) $	Corrente instantânea de entrada retificada	A
$i_{Lr1}(t)$	Corrente instantânea no indutor L_{r1}	A
$i_{Lr2}(t)$	Corrente instantânea no indutor L_{r2}	A
$I_{Lr2\text{ máx}}$	Corrente máxima no indutor L_{r2}	A
I_M	Corrente média no indutor de acumulação L_M	A

$I_{in\ pico}$	Corrente de pico de entrada	A
I_{REF}	Corrente de referência	A
$i_{Sa}(t)$	Corrente instantânea no interruptor S_a	A
$i_{Sp}(t)$	Corrente instantânea no interruptor S_p	A
L_{in}	Indutância do filtro de entrada	H
L_M	Indutância de acumulação	H
L_{eq}	Indutância equivalente	H
P_0	Potência média na carga	W
$P_{0\ nom}$	Potência média nominal na carga	W
$P_{0\ mín}$	Potência média mínima na carga	W
q	Ganho estático	
R_0	Resistência de carga	Ω
$R_{mín}$	Resistência de carga mínima	Ω
R_{DSon}	Resistência dreno-source em condução (MOSFETs)	Ω
T	Período de chaveamento	s
t	Símbolo da unidade de base de tempo	s
FP	Fator de potência	
TDH	Taxa de distorção harmônica total	
V_{Ce}	Tensão média no capacitor de acumulação C_e	V
$v_{Cr}(t)$	Tensão instantânea no capacitor C_r	V
$V_{in\ ef\ mín}$	Tensão eficaz mínima de entrada	V
$V_{in\ pico}$	Tensão de pico de entrada	V
$ V_{in}(\omega t) $	Tensão instantânea de entrada retificada	V
V_{Sp}	Tensão sobre o interruptor principal	V
V_{Sa}	Tensão sobre o interruptor auxiliar	V

2. Símbolos usados para referenciar elementos em diagramas de circuitos

Símbolo	Significado
C	Capacitor
D	Diodo
I	Fonte de corrente
L	Indutor
R	Resistor
S	Interruptor ativo (controlado por comando)
V_{in}	Fonte de tensão de corrente contínua
$V_{in}(\omega t)$	Fonte de tensão de corrente alternada
V_0	Tensão média na carga

3. Acrônimos e Abreviaturas

	Significado
CA	Corrente Alternada
CC	Corrente Contínua
CC/CC	Corrente Contínua/Corrente Contínua
CA/CC	Corrente Alternada/Corrente Contínua
EMI	<i>Electromagnetic interference</i>
IGBT	<i>Insulated-Gate Bipolar Transistor</i>
MOSFET	<i>Metal-Oxide-Semiconductor Field-Effect Transistor</i>
PWM	<i>Pulse Width Modulation</i>
RMS	<i>Root Mean Square</i> (valor eficaz)
UNESP	Universidade Estadual Paulista
ZCS	<i>Zero Current Switching</i>
ZVS	<i>Zero Voltage Switching</i>
ZVZCS	<i>Zero Voltage and Zero Current Switching</i>

4. Símbolos de Unidades de Grandezas Físicas do SI (Sistema Internacional de Unidades)

Símbolo	Nome da Unidade
A	Ampère
F	Farad
H	Henry
Hz	Hertz
rad/s	Radianos por segundo
s	Segundo
V	Volt
Ω	Ohm
W	Watt



RESUMO

Este trabalho tem por objetivo apresentar os resultados dos estudos de um novo pré-regulador retificador SEPIC abaixador de tensão, com elevado fator de potência e comutação não-dissipativa do tipo ZCS-PWM, ou seja, com corrente nula (ZCS, do inglês, *Zero Current Switching*) e com frequência de operação constante (PWM, do inglês, *Pulse Width Modulation*), sendo controlado através da técnica de controle por valores instantâneos de corrente média. A presente estrutura se utiliza de uma nova célula de comutação não-dissipativa composta por duas chaves bidirecionais em corrente, dois diodos, dois indutores de ressonância e um capacitor de ressonância. Tal célula ZCS é destinada para aplicações com IGBTs (*Insulated-Gate Bipolar Transistors*).

As técnicas de comutação não-dissipativa e de correção ativa do fator de potência são abordadas numa breve revisão bibliográfica, destacando-se suas principais características.

A análise da nova célula ZCS-PWM proposta é realizada de forma qualitativa e quantitativa, aplicada tanto para o conversor CC/CC (Corrente Contínua/Corrente Contínua) SEPIC quanto para o conversor CA/CC (Corrente Alternada/Corrente Contínua) SEPIC, operando ambos como abaixadores de tensão. Observa-se que esta nova célula ZCS-PWM propicia condições de se obter a isolação dos conversores do tipo Buck-Boost, SEPIC e Zeta e suas derivações.

Para consolidar a formulação teórica desenvolvida, são apresentados os exemplos de projeto para ambos os conversores analisados, bem como os principais resultados de simulação e experimentais para as aplicações CC/CC e CA/CC com correção do fator de potência, através da técnica de controle por valores médios.



ABSTRACT

This paper presents a new step-down PWM high power factor SEPIC (Single Ended Primary Inductance Converter) rectifier in average-current mode control, featuring soft-commutation at zero-current (ZCS), through a new soft-commutation cell. This new ZCS-PWM cell provides conditions to obtain a new family of isolated converters.

The new ZCS-PWM SEPIC rectifier is used to provide output voltage lower than input voltage, and high efficiency for a wide load range. Thus, providing a great reduction in the heat sinks size used.

This new PWM converter provides zero-current (ZC) turn-on and zero-voltage-zero-current (ZVZC) turn-off for the active switches, and it is suitable for IGBTs (Insulated-Gate Bipolar Transistors) applications.

A review of soft-commutation and active power-factor correction techniques are also presented, analysing some of the most important alternatives.

The principle of operation, the theoretical analysis, a design example of the new ZCS-PWM cell in a DC to DC and also in an AC to DC SEPIC converter are presented. The main experimental results from the DC to DC application, and the AC to DC prototype using the average-current mode control are reported to validate the theoretical analysis.



Capítulo 1

1 Introdução Geral

Como em todos os setores, há na eletrônica de potência o interesse de acompanhar a evolução dos conceitos de qualidade, eficiência e compactação, vinculados à evolução dos equipamentos que se utilizam de fontes de alimentação de corrente contínua, as chamadas fontes chaveadas, ligadas diretamente à rede de corrente alternada.

Todos os estudos realizados sobre os conversores CA/CC e CC/CC visam encontrar novas técnicas construtivas que, com os componentes disponíveis no mercado, possibilitem um melhor rendimento (menores perdas) com qualidade de energia (elevado fator de potência, reduzida distorção harmônica e pequena interferência eletromagnética) e com o menor volume possível.

O estágio de conexão entre o sistema CA e o conversor CC/CC é o principal problema atual, relacionado com o baixo fator de potência da estrutura, devido à grande injeção de componentes harmônicas no sistema de CA. Tal estágio é tipicamente uma ponte retificadora, mista ou completa, com filtro capacitivo de elevado valor, caracterizando-se como uma carga não-linear que drena do sistema uma corrente não senoidal. Com este elevado conteúdo harmônico de corrente injetado no sistema elétrico de distribuição, diversos problemas se tornam cada vez mais presentes, tais como:

- distorção da tensão da rede de alimentação;
- interferências em sistemas de comunicação e de processamento de dados, bem como em equipamentos de medição e proteção;
- deformações e deslocamentos excessivos das correntes e tensões;
- redução do fator de potência com conseqüente necessidade de aumento nos investimentos dos setores de geração e transmissão de energia.

Na busca por fontes menos volumosas, além da incorporação de novos materiais semicondutores, foi proposta a operação em elevadas frequências de chaveamento, de forma a possibilitar uma redução no volume dos elementos indutivos e capacitivos, uma vez que a indutância e a capacitância dos mesmos são inversamente proporcionais à

freqüência de operação. Isoladamente, esta modificação implicaria em altas perdas nos elementos semicondutores nos instantes de chaveamento (as perdas durante as comutações são diretamente proporcionais à freqüência), reduzindo assim demasiadamente o rendimento do conversor com a aplicação das técnicas convencionais de comutação. O aumento da freqüência também acarreta a possibilidade de maior interferência de origem eletromagnética devido às elevadas derivadas de tensão (dv/dt) e corrente (di/dt) envolvidas nos processos de comutação.

Para tornar viável a utilização dos conversores operando em elevadas freqüências, foram introduzidas as técnicas de comutação suave, ou comutação não-dissipativa, implementadas de duas formas:

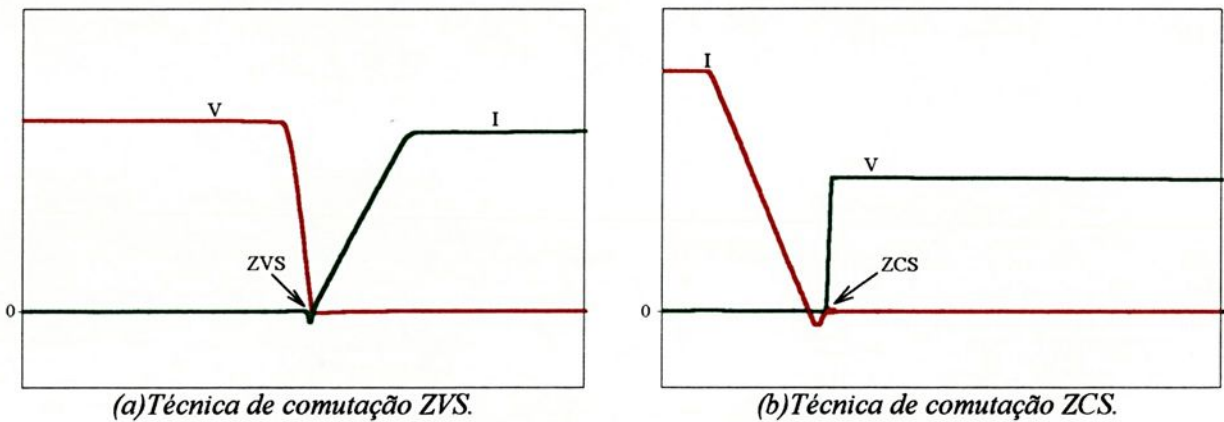


Fig. 1.1 – Detalhes de comutações não-dissipativas.

- comutação ZVS (do inglês, *Zero Voltage Switching*): na qual se propicia uma condição de tensão nula sobre o elemento semiconductor instantes antes e durante a entrada em condução, conforme ilustração da Figura 1.1a.
- comutação ZCS (do inglês, *Zero Current Switching*): em que a corrente através do semiconductor é anulada antes que a tensão comece a crescer durante o bloqueio do mesmo, conforme ilustração da Figura 1.1b.

Portanto, analisando-se as técnicas apresentadas nas Figuras 1.1a e 1.1b, verifica-se que as potências dissipadas tanto na entrada em condução (técnica ZVS), quanto durante o bloqueio (técnica ZCS), são nulas.

Com os fundamentos destas técnicas é então proposta uma nova célula de comutação ZCS-PWM cujas características de funcionamento, analisadas nesta dissertação, demonstram que tanto na entrada em condução, quanto durante o bloqueio as

perdas são nulas e do tipo ZCS, possibilitando a obtenção de um conversor com elevado rendimento, em larga faixa de variação de carga.

Esta nova técnica é analisada inicialmente na conversão CC/CC, obtendo-se uma nova família de conversores com a possibilidade de isolamento das estruturas SEPIC, Zeta e Buck-Boost, assim como de suas derivações. A possibilidade de isolamento é uma característica sempre desejável na conversão estática de potência. Observa-se adicionalmente que esta característica não é possível na família desenvolvida e analisada por Canesin e Barbi em [1].

Visando a drenagem de uma corrente com elevada qualidade (baixa distorção harmônica e elevado fator de potência), esta nova célula de comutação é aplicada ao conversor SEPIC como retificador, conversão CA/CC, emulando-se o conversor como uma carga resistiva, com uma forma de onda de corrente praticamente senoidal através da técnica de controle por corrente média instantaneamente imposta.

Com a finalidade de verificar as principais características desta nova técnica, apresentam-se os resultados obtidos da análise matemática, das simulações e experimentais para as aplicações CC/CC e CA/CC, ambas para o conversor SEPIC operando como abaixador de tensão.



Capítulo 2

2 Aplicação de uma nova Célula de Comutação na Conversão CC/CC

2.1 Introdução

A evolução das fontes de alimentação chaveadas se deu por dois caminhos básicos: através do constante desenvolvimento de materiais para a fabricação de componentes mais eficientes, mais robustos e da aplicação de novas tecnologias de comando desenvolvidas para novas estruturas de potência, o que tem permitido o incremento da densidade de potência processada.

Os componentes eletrônicos e magnéticos representam fatores limitantes a um projeto, já que dependem de limites de potência processada e frequência de operação.

Visando melhor adequar os elementos magnéticos, capacitivos e dispositivos eletrônicos ao projeto e maximizar a qualidade da energia fornecida (rendimento e densidade de potência), foram sendo desenvolvidas novas topologias com o objetivo principal de reduzir as perdas de energia nas estruturas dos conversores estáticos.

O surgimento de interruptores com menores tempos de comutação e com maior capacidade de condução de corrente e bloqueio de tensões, levou ao surgimento de técnicas de operação em elevadas frequências de operação, possibilitando a redução do volume das fontes e assim resultando num conversor mais compacto. No entanto, este é apenas um dos aspectos a serem analisados, uma vez que o aumento da frequência provoca excessiva perda de energia nas comutações dos elementos semicondutores que ficam expostos a elevadas variações de corrente e tensão, provocando ainda aumento das interferências eletromagnéticas.

A pesquisa em busca de um melhor rendimento para os conversores é base para a geração de novas topologias aplicadas aos conversores, conhecidos como ressonantes, dando a eles novas características e tornando-os capazes de operar em elevadas frequências com menores derivadas de correntes (di/dt) e ou tensões (dv/dt) nos elementos semicondutores, possibilitando ainda a redução das interferências de origem eletromagnética.

O resultado desta busca introduziu o conceito de comutação não-dissipativa, utilizando elementos ressonantes que proporcionam comutações em que as perdas são bastante reduzidas e até mesmo, praticamente eliminadas. Com base nas primeiras contribuições neste sentido, como as analisadas por Buchanan e Miller [2], Miller [3], surgem então os conceitos de comutação com corrente nula (ZCS) e de comutação sob tensão nula (ZVS).

Com a assimilação destas técnicas foi então possível aumentar a frequência de operação dos conversores. Como benefícios, tem-se o conseqüente aumento na densidade de potência devido à redução das perdas e do volume dos componentes indutivos e capacitivos, bem como a possibilidade de incorporação de elementos parasitas ao circuito (indutâncias de dispersão e capacitâncias parasitas) e a redução dos ruídos de origem eletromagnética, como analisado por F. C. Lee [4] e Divan et alli em [5].

Contudo, quando comparada à técnica PWM convencional, as técnicas de comutação não-dissipativa analisadas em [2, 3, 4 e 5], apresentavam algumas desvantagens, dentre as quais: a modulação em frequência e a grande participação da ressonância no processo de transferência de potência da fonte para a carga, o que acarretava um aumento das perdas em condução, impedindo um maior aumento no rendimento. A modulação em frequência requer que os elementos acumuladores de energia sejam projetados para a menor frequência de operação do conversor, ou seja, dificultando uma maior compactação do conversor. Além disto, com a variação da frequência, os ruídos eletromagnéticos encontram-se distribuídos por uma larga faixa de frequência, tornando mais complexo o projeto de filtros.

Visando reduzir as perdas em condução e a grande circulação de reativos no conversor, no trabalho de Divan e Paterson [6] os elementos ressonantes foram retirados do caminho de transferência de potência e, além disso, foi utilizada modulação com frequência de operação constante (PWM).

Até então, a célula de comutação era composta apenas por um interruptor e pelos elementos ressonantes. No entanto, Foch et alli em [7], apresentam uma nova célula que possui um interruptor auxiliar capaz de interromper temporariamente o ciclo ressonante, fazendo com que a ressonância seja utilizada apenas para possibilitar as comutações com

corrente nula para os interruptores principal e auxiliar. A energia transferida da fonte para a carga é função do tempo de interrupção do ciclo ressonante, possibilitando assim um controle por largura de pulso (PWM).

Novos estudos baseados neste conceito foram realizados, gerando novas idéias que apresentavam algumas desvantagens como maiores esforços de tensão ou de corrente em relação à técnica PWM dissipativa convencional, além de perdas adicionais, devidas à recuperação reversa de diodos (na técnica ZCS).

Paralelamente ao desenvolvimento das técnicas de comutação não-dissipativa, os dispositivos interruptores semicondutores evoluíram e continuam a evoluir, apresentando tempos de comutação e quedas de tensão em condução cada vez menores. Atualmente, para aplicações acima de 1kW ou para elevados valores de tensão de bloqueio (acima de 500V), os IGBTs são preferidos quando comparados aos MOSFETs de potência, já que apresentam perdas em condução muito menores, como evidenciado por Ragan et alli em [8].

O maior problema da utilização dos IGBTs no entanto, consiste na presença da corrente de cauda (*tail current*) durante o processo de bloqueio, responsável por um bloqueio mais lento e conseqüente aumento das perdas durante esta comutação. Assim sendo, as técnicas ZCS são recomendadas para a redução das perdas de comutação quando do uso de IGBTs, como analisado por F. C. Lee em [9].

A proposta deste estudo é apresentar o protótipo de um novo conversor SEPIC com comutação não-dissipativa do tipo ZCS e modulação com frequência constante (PWM), desenvolvido através da síntese de uma nova família de conversores ZCS-PWM, a partir dos estudos realizados em [1], com o objetivo de eliminar os problemas referentes à técnica convencional ZCS [4], quais sejam: modulação em frequência, elevado nível de energia reativa em circulação com conseqüente aumento das perdas e elevados esforços de tensão e corrente em relação à técnica convencional dissipativa.

Além desta nova técnica ZCS-PWM incorporar vantagens em relação à técnica convencional ZCS, propicia condições para a obtenção de conversores isoláveis, não possível nos estudos apresentados por Canesin e Barbi em [1]

Assim, para a operação como abaixador de tensão, necessitamos de estruturas do tipo Buck, Buck-Boost, Zeta, SEPIC ou Cuk. Dentre estas estruturas, com características de fonte de tensão na saída e fonte de corrente na entrada, destaca-se o conversor SEPIC analisado por Canesin e Barbi em [10], Pomilio e Spiazzi em [11], Simonetti et alli em [12], Spiazzi e Riseti em [13] e Canesin e Barbi em [14].

Portanto, a nova célula ZCS-PWM é então analisada no conversor SEPIC abaixador de tensão, propiciando condições de isolabilidade através do indutor de acumulação, o que agrega a ele algumas características adicionais desejadas pelas fontes chaveadas.

2.2 Nova Célula ZCS-PWM

A Figura 2.1 apresenta a nova célula de comutação ZCS-PWM proposta para estudo.

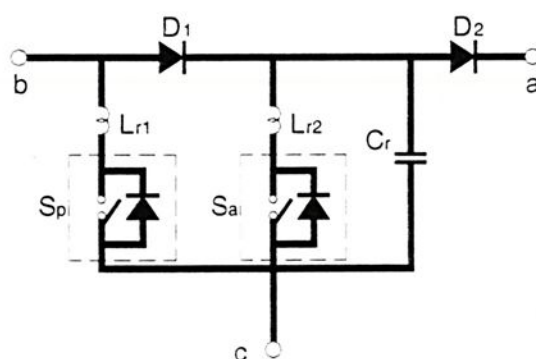


Fig. 2.1 - Nova célula de comutação ZCS-PWM.

Nota-se que esta célula é formada por dois interruptores bidirecionais em corrente S_p e S_a , dois diodos em série D_1 e D_2 , um capacitor ressonante C_r e dois indutores ressonantes L_{r1} e L_{r2} .

O interruptor principal é denotado por S_p na Figura 2.1. É este interruptor o responsável pela transferência de potência para a carga.

Já o interruptor S_a é denominado de interruptor auxiliar pois sua função é a de oferecer condições para a comutação não-dissipativa com frequência constante para o interruptor principal e para ele mesmo.

Basicamente, a modificação realizada em relação à célula analisada por Canesin e Barbi em [1], consiste na rotação do capacitor C_r , que agora passa a ser conectado em paralelo com o ramo de L_{r2} e S_a . Apesar de parecer algo simples, tal mudança

proporciona um comportamento completamente diferente quando comparada à sua antecessora, como será mostrado posteriormente, permitindo a sua aplicação na obtenção de estruturas isoláveis, como as dos conversores Buck-Boost e Zeta, assim como para o conversor SEPIC, apresentado na Figura 2.2 e analisado adiante.

2.3 Um Novo Conversor SEPIC ZCS-PWM

A síntese do conversor CC/CC SEPIC, assim como a dos demais conversores básicos (Buck, Boost, Buck-Boost, Ćuk e Zeta), se dá a partir desta nova célula de comutação ZCS-PWM (Figura 2.1), conectando-se entre os nós *a* e *c*, um elemento com características de fonte de tensão, entre os nós *b* e *c*, um elemento com características de fonte de corrente e ao nó *b* um elemento com característica de fonte de corrente.

Na Figura 2.2 apresenta-se o conversor ZCS-PWM SEPIC, gerado através do princípio descrito anteriormente, verificando-se a possibilidade de sua isolação natural através do indutor de acumulação L_M .

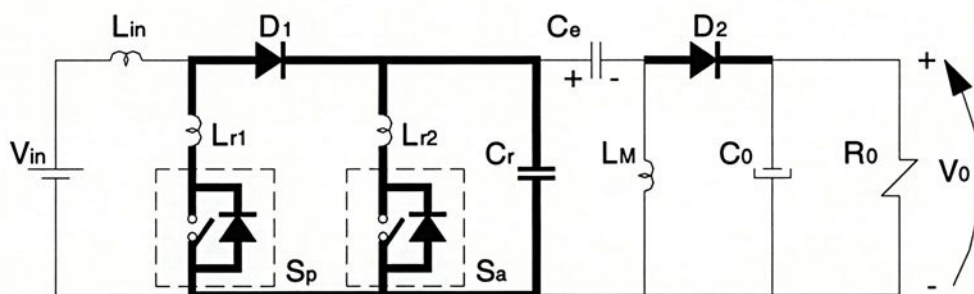


Fig. 2.2 - O Novo Conversor SEPIC ZCS-PWM.

Com o intuito de apresentar todas as características deste novo conversor, são desenvolvidas a seguir as análises qualitativa e quantitativa das etapas de funcionamento, bem como apresentam-se os resultados de simulação para um exemplo de projeto, considerando-se a operação no modo de condução contínua.

2.4 Análise do Novo Conversor CC/CC SEPIC ZCS-PWM

A análise realizada consiste na descrição e equacionamento de cada uma das dez etapas que compõem um ciclo de funcionamento do novo conversor CC/CC SEPIC ZCS-PWM apresentado na Figura 2.2, operando no modo de condução contínua.

As etapas de funcionamento e as principais formas de onda estão inicialmente apresentadas nas Figuras 2.3 e 2.4, respectivamente.

Para simplificar a análise do conversor SEPIC, considera-se a ausência de ondulação (“ripple”) na corrente através do indutor de entrada, ou seja, a fonte de tensão V_{in} em série à L_{in} pode ser considerada como uma fonte de corrente constante I_{in} durante um período genérico de operação.

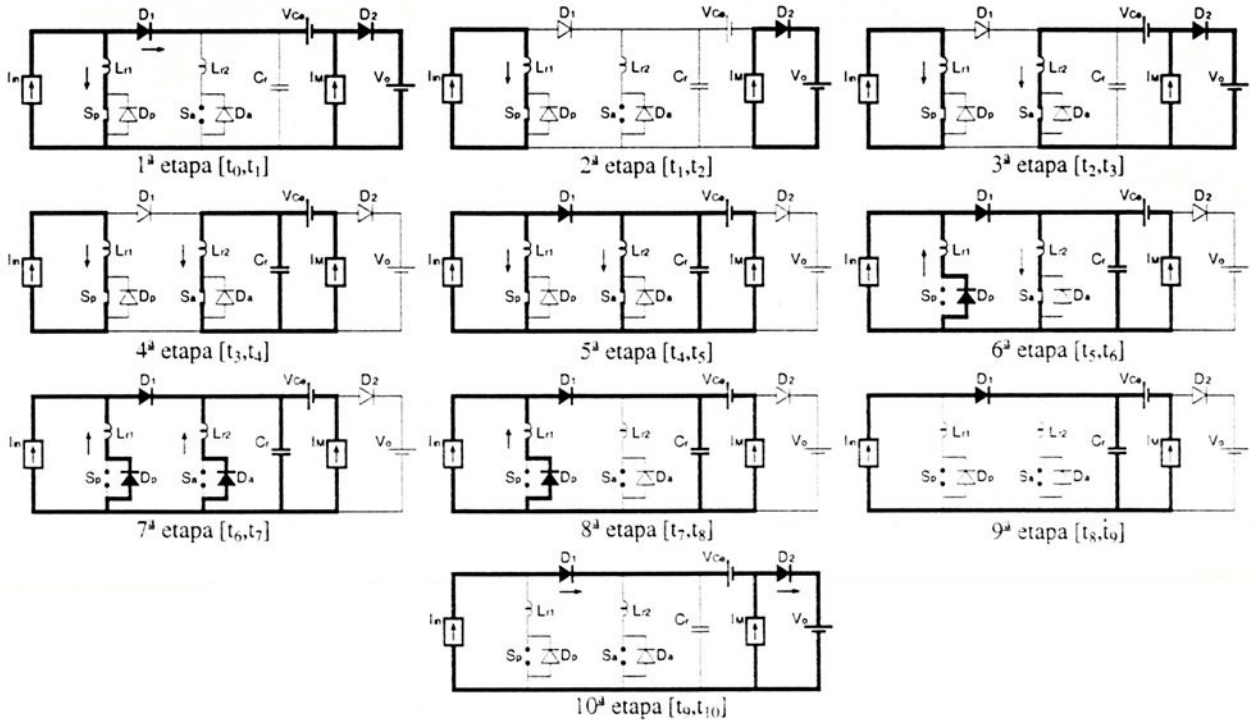


Fig. 2.3 - Etapas de Funcionamento do Novo Conversor CC/CC SEPIC ZCS-PWM, durante um período de operação.

É considerado também que a ondulação de tensão na carga é tão pequena que a tensão em C_o pode ser considerada como constante e igual a V_o .

Admite-se ainda que os semicondutores são ideais e que o capacitor de acumulação C_e possa ser considerado como uma fonte de tensão constante e de valor igual a V_{C_e} , assim como, o indutor de acumulação L_M como uma fonte de corrente constante e igual à I_M .

Da análise do funcionamento do conversor SEPIC ZCS-PWM foram extraídas as formas de onda necessárias para a verificação das comutações não-dissipativas nos interruptores ativos (S_p e S_a) e passivos (D_1 e D_2), conforme Figura 2.4.

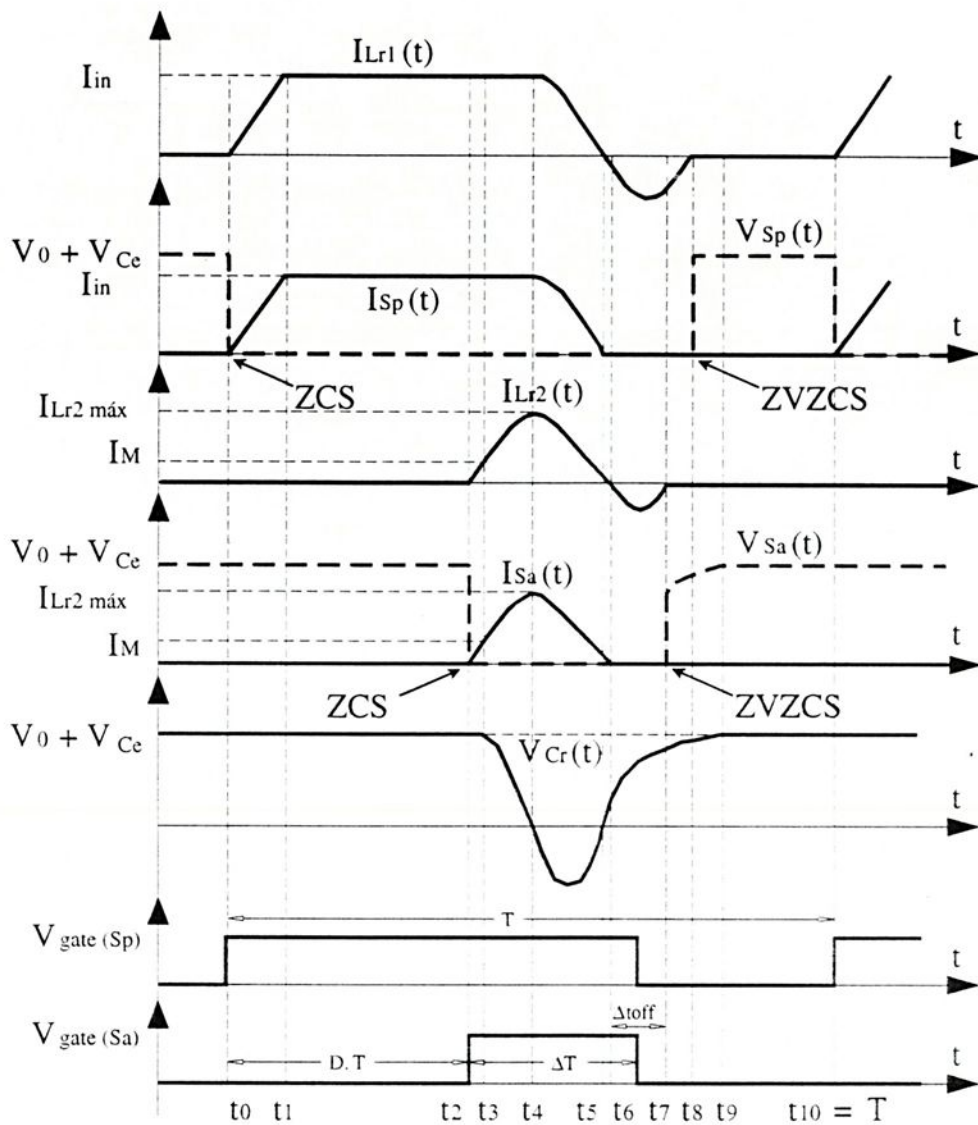


Fig. 2.4 - Principais formas de onda teóricas do Conversor CC/CC SEPIC ZCS-PWM, para um período de operação.

Observa-se na Figura 2.4 que as comutações tanto para o interruptor principal (S_p) quanto para o auxiliar (S_a) são não-dissipativas e do tipo sob corrente nula (ZCS), na entrada em condução e no bloqueio. As características ressonantes são proporcionadas durante as comutações, ocorrendo apenas durante uma pequena fração do período de chaveamento (T).

São apresentados a seguir os equacionamentos para as variáveis de estado do circuito em cada etapa, ou seja, tem-se em cada uma das etapas as equações das correntes através dos indutores ressonantes (L_{r1} e L_{r2}) e da tensão sobre o capacitor ressonante (C_r).

2.4.1 Etapas de Funcionamento

(a) 1ª Etapa, intervalo (t_0, t_1)

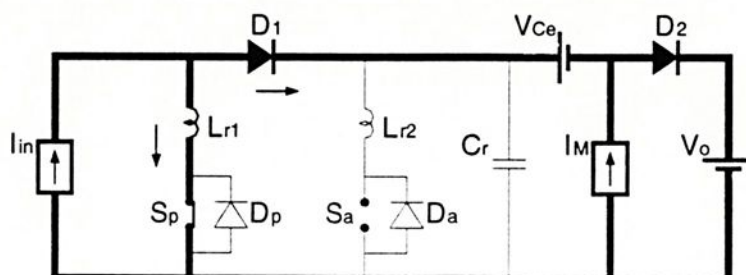


Fig. 2.5 - Circuito da 1ª etapa. Intervalo (t_0, t_1) .

Condições iniciais:

$$\left. \begin{aligned} i_{Lr1}(t_0) &= 0 \\ i_{Lr2}(t_0) &= 0 \\ v_{Cr}(t_0) &= V_0 + V_{Ce} \end{aligned} \right\} \quad (2.1)$$

Em $t = t_0$, S_p é comandado para a condução com corrente nula (ZCS) graças à presença de L_{r1} . A corrente em L_{r1} evolui linearmente até I_{in} . Logo tem-se que:

$$i_{Lr1}(t) = \frac{V_0 + V_{Ce}}{L_{r1}} \cdot t \quad (2.2)$$

Sendo que:

$$\Delta t_1 = (t_1 - t_0) \quad (2.3)$$

Logo:

$$\Delta t_1 = \frac{I_{in}}{V_0 + V_{Ce}} \cdot L_{r1} \quad (2.4)$$

Definem-se para a normalização os seguintes parâmetros:

$$\omega_{01} = \frac{1}{\sqrt{L_{r1} \cdot C_r}} = \sqrt{\beta} \cdot \omega_{02} \quad (2.5)$$

$$\omega_{02} = \frac{1}{\sqrt{L_{r2} \cdot C_r}} \quad (2.6)$$

$$\beta = \frac{L_{r2}}{L_{r1}} \quad (2.7)$$

$$\alpha_1 = \frac{I_{in}}{(V_0 + V_{Ce})} \cdot \sqrt{\frac{L_{r2}}{C_r}} \quad (2.8)$$

$$\alpha_2 = \frac{I_0}{(V_0 + V_{Ce})} \sqrt{\frac{L_{r2}}{C_r}} \quad (2.9)$$

Onde:

I_0 : corrente média através da carga.

Portanto, pode-se rescrever (2.4) da seguinte forma:

$$\Delta t_1 = \frac{\alpha_1}{\beta \cdot \omega_{02}} \quad (2.10)$$

Sendo que em $t = t_1$, D_1 é levado à condição de bloqueio com corrente nula, finalizando-se esta primeira etapa.

(b) 2ª Etapa, intervalo (t_1, t_2)

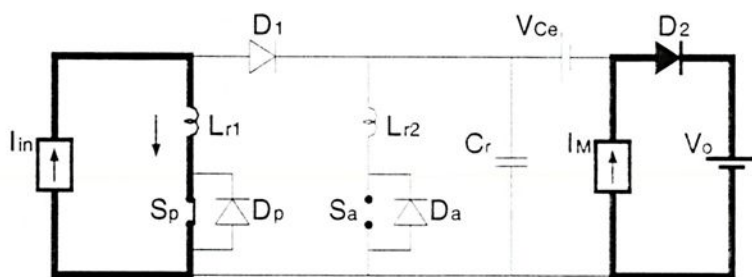


Fig. 2.6 - Circuito da 2ª etapa. Intervalo (t_1, t_2) .

Condições iniciais:

$$\left. \begin{aligned} i_{Lr1}(t_1) &= I_{in} \\ i_{Lr2}(t_1) &= 0 \\ i_{D2}(t_1) &= I_M \\ v_{Cr}(t_1) &= V_0 + V_{Ce} \end{aligned} \right\} \quad (2.11)$$

Nesta etapa S_p permanece conduzindo, portanto, em $t = t_2$ tem-se que:

$$\left. \begin{aligned} i_{Lr1}(t_2) &= I_{in} \\ i_{Lr2}(t_2) &= 0 \\ i_{D2}(t_2) &= I_M \\ v_{Cr}(t_2) &= V_0 + V_{Ce} \end{aligned} \right\} \quad (2.12)$$

Durante este intervalo não ocorrem mudanças nas variáveis de estado do conversor. O intervalo de tempo desta etapa é definido por:

$$\Delta t_2 = D \cdot T - \Delta t_1 \quad (2.13)$$

Sendo,

$$T = \frac{1}{f_s} \quad (2.14)$$

- D: razão cíclica de comando;
- T: período de chaveamento;
- f_s : frequência de chaveamento.

O intervalo de tempo da segunda etapa, $\Delta t_2 = t_2 - t_1$, será uma variável de controle para o conversor.

Ao final da etapa, ou seja, em $t = t_2$, S_a é comandado para a condução com corrente nula (ZCS), graças à presença de L_{r2} .

(c) 3ª Etapa, intervalo (t_2, t_3)

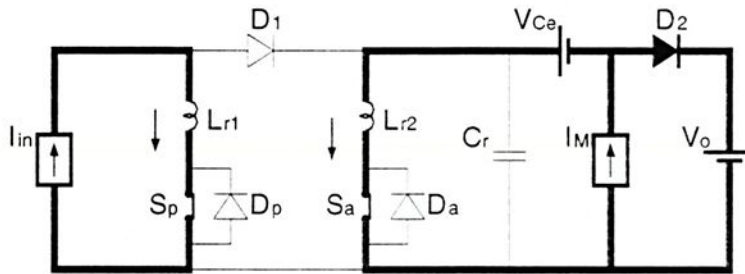


Fig. 2.7 - Circuito da 3ª etapa. Intervalo (t_2, t_3).

Esta etapa inicia-se em $t = t_2$, quando o interruptor S_a é comandado para a condução com corrente nula (ZCS). Desta forma, ocorre a carga linear do indutor L_{r2} , sendo que:

$$i_{Lr2}(t) = \frac{V_0 + V_{ce}}{L_{r2}} \cdot t \quad (2.15)$$

A corrente em L_{r2} evolui de forma linear até que em $t = t_3$:

$$i_{Lr2}(t_3) = I_M \quad (2.16)$$

Partindo das equações (2.15) e (2.16), tem-se o intervalo de tempo desta etapa:

$$\Delta t_3 = (t_3 - t_2) = \frac{I_M}{V_0 + V_{ce}} \cdot L_{r2} \quad (2.17)$$

Sendo que, para o conversor SEPIC, pode-se considerar que: $I_M = I_0$ [14]. Assim, define-se que:

$$\Delta t_3 = \frac{\alpha_2}{\omega_{02}} \quad (2.18)$$

Em $t = t_3$, o indutor L_{r2} assume toda a corrente da fonte I_M e o diodo D_2 é então bloqueado com corrente nula, tendo-se então as seguintes condições finais para esta etapa:

$$\left. \begin{aligned} i_{Lr1}(t_3) &= I_{in} \\ i_{Lr2}(t_3) &= I_M \\ i_{D1}(t_3) &= 0 \\ i_{D2}(t_3) &= 0 \\ v_{Cr}(t_3) &= V_0 + V_{Ce} \end{aligned} \right\} \quad (2.19)$$

(d) 4ª Etapa, intervalo (t_3, t_4)

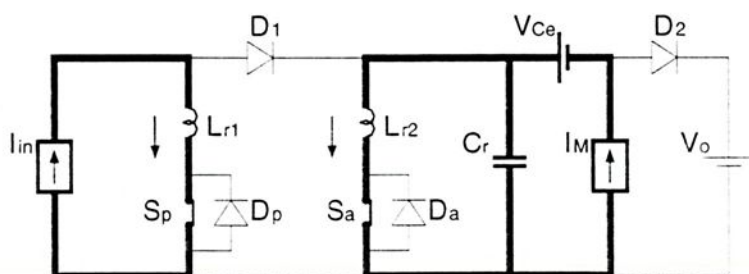


Fig. 2.8 - Circuito da 4ª etapa. Intervalo (t_3, t_4) .

Com o bloqueio de D_2 a tensão em C_r evolui de forma ressonante com L_{r2} , conforme as seguintes equações:

$$\left. \begin{aligned} i_{Lr1}(t) &= I_{in} \\ i_{Lr2}(t) &= (V_0 + V_{Ce}) \cdot \sqrt{\frac{C_r}{L_{r2}}} \cdot \sin(\omega_{02} \cdot t) + I_M \\ v_{Cr}(t) &= (V_0 + V_{Ce}) \cdot \cos(\omega_{02} \cdot t) \end{aligned} \right\} \quad (2.20)$$

Em $t = t_4$ tem-se a descarga total de C_r , ou seja, a tensão sobre C_r é nula e D_1 entra em condução com tensão nula (ZVS). Logo:

$$\Delta t_4 = \frac{\pi}{2 \cdot \omega_{02}} \quad (2.21)$$

A corrente através de L_{r2} em $t = t_4$ será:

$$i_{Lr2}(t_4) = I_{Lr2 \text{ máx}} = I_4 = (V_0 + V_{Ce}) \cdot \sqrt{\frac{C_r}{L_{r2}}} + I_M \quad (2.22)$$

ou:

$$I_4 = I_0 \cdot \left(1 + \frac{1}{\alpha_2} \right) \quad (2.23)$$

Portanto, chega-se às seguintes condições finais para esta etapa:

$$\left. \begin{aligned} v_{Cr}(t_4) &= 0 \\ i_{Lr1}(t_4) &= I_{in} \\ i_{Lr2}(t_4) &= i_{Lr2 \text{ máx}} = I_4 \end{aligned} \right\} \quad (2.24)$$

(e) 5ª Etapa, intervalo (t_4, t_5)

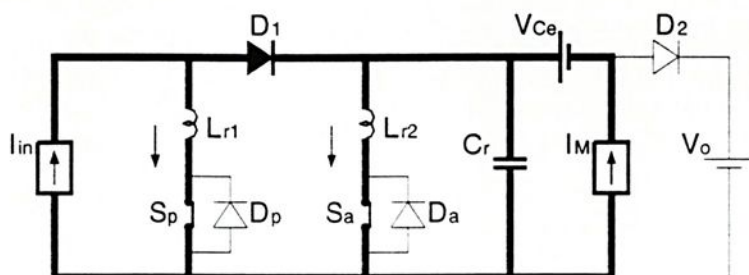


Fig. 2.9 - Circuito da 5ª etapa. Intervalo (t_4, t_5) .

As correntes em L_{r2} e L_{r1} evoluem de forma ressonante com C_r e começam a decrescer, sendo que L_{r1} e L_{r2} são associados em paralelo nesta etapa, obtendo-se as seguintes equações:

$$\left. \begin{aligned} i_{Lr1}(t) &= I_{in} \cdot \left[1 + \frac{\beta}{\alpha_1 \cdot (1 + \beta)} \cdot (\cos(\omega_{0eq} \cdot t) - 1) \right] \\ i_{Lr2}(t) &= \frac{I_M}{\alpha_2} \cdot \left[\frac{1}{(1 + \beta)} \cdot (\cos(\omega_{0eq} \cdot t) - 1) + 1 + \alpha_2 \right] \\ v_{Cr}(t) &= -\frac{I_M}{\alpha_2} \cdot \sqrt{\frac{L_{req}}{C_r}} \cdot \sin(\omega_{0eq} \cdot t) \end{aligned} \right\} \quad (2.25)$$

Assim, a ressonância se dá com a seguinte frequência angular equivalente:

$$\omega_{0eq} = \frac{1}{\sqrt{L_{req} \cdot C_r}} = \sqrt{1 + \beta} \cdot \omega_{02} \quad (2.26)$$

Sendo,

$$L_{req} = \frac{L_{r1} \cdot L_{r2}}{L_{r1} + L_{r2}} \quad (2.27)$$

Ao final da etapa, em $t = t_5$, tem-se que a corrente em L_{r1} se anula e então, pode-se calcular o intervalo de tempo da quinta etapa:

$$i_{Lr1}(t_5) = 0 \quad (2.28)$$

$$\Delta t_5 = \frac{1}{\omega_{0eq}} \cdot \arccos \left(1 - \frac{\alpha_1 \cdot (1 + \beta)}{\beta} \right) \quad (2.29)$$

$$i_{Lr2}(t_5) = I_5 = \frac{I_M}{\alpha_2 \cdot \beta} \cdot [\beta \cdot (1 + \alpha_2) - \alpha_1] \quad (2.30)$$

$$v_{Cr}(t_5) = V_5 = -\frac{(V_0 + V_{Ce})}{\beta} \cdot \sqrt{\alpha_1 \cdot (2\beta - \alpha_1 \cdot (1 + \beta))} \quad (2.31)$$

De (2.29) e (2.30), tem-se as seguintes restrições de operação, em termos dos parâmetros utilizados:

$$\alpha_1 < \frac{2\beta}{(1 + \beta)} \quad (2.32)$$

$$\alpha_1 < \beta \cdot (1 + \alpha_2) \quad (2.33)$$

$$\beta < 1 \quad (2.34)$$

(f) 6ª Etapa, intervalo (t_5, t_6)

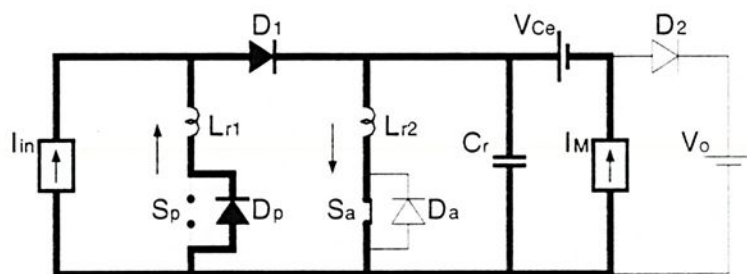


Fig. 2.10 - Circuito da 6ª etapa. Intervalo (t_5, t_6) .

As correntes em L_{r2} e L_{r1} continuam evoluindo de forma ressonante com C_r .

A corrente no ramo de L_{r1} flui agora pelo diodo em anti-paralelo com S_p . As equações que descrevem a evolução das variáveis de estado continuam sendo as mesmas do estágio anterior, ou sejam, as equações (2.25).

Em $t = t_6$, ao fim da etapa, tem-se a seguinte condição para determinação do intervalo de tempo da sexta etapa:

$$i_{Lr2}(t_6) = 0$$

Logo, observando a equação de i_{Lr2} em (2.25), tem-se que:

$$t_6 = \frac{1}{\omega_{0eq}} \cdot \arccos[-\beta - \alpha_2 \cdot (1 + \beta)] \quad (2.35)$$

De (2.35), tem-se que:

$$\alpha_2 < \frac{1 - \beta}{1 + \beta} \quad (2.36)$$

Sendo por definição:

$$\Delta t_6 = t_6 - t_5 \quad (2.37)$$

Então com (2.29) e (2.35) em (2.37), tem-se:

$$\Delta t_6 = \frac{1}{\omega_{0eq}} \left\{ \arccos \left\{ - \left[\beta + \alpha_2 \cdot (1 + \beta) \right] \right\} - \arccos \left[1 - \alpha_1 \cdot \frac{(1 + \beta)}{\beta} \right] \right\} \quad (2.38)$$

Das equações da corrente em L_{r1} e da tensão em C_r , tem-se:

$$i_{Lr1}(t_6) = I_6 = I_{in} \cdot \left[1 - \frac{\beta}{\alpha_1} \cdot (\alpha_2 + 1) \right] \quad (2.39)$$

$$v_{Cr}(t_6) = V_6 = -(V_0 - V_{ce}) \cdot \sqrt{(1 - \beta) - \alpha_2 \cdot [2\beta + \alpha_2 \cdot (1 + \beta)]} \quad (2.40)$$

Em $t = t_6$, com a inversão de i_{Lr2} , o diodo em anti-paralelo com o interruptor auxiliar S_a (D_a) entra em condução, tem-se então:

$$\left. \begin{aligned} i_{Lr2}(t_6) &= 0 \\ i_{Lr1}(t_6) &= I_6 \\ v_{Cr}(t_6) &= V_6 \end{aligned} \right\} \quad (2.41)$$

(g) 7ª Etapa, intervalo (t_6, t_7)

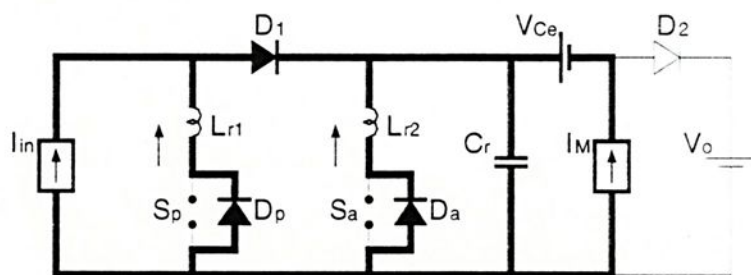


Fig. 2.11 - Circuito da 7ª etapa. Intervalo (t_6, t_7).

Com a inversão das correntes em L_{r2} e L_{r1} durante este intervalo, os interruptores principal e auxiliar (S_p e S_a) são bloqueados de forma ZCS e ZVS. As equações que descrevem a evolução das variáveis de estado continuam sendo ainda as mesmas da quinta etapa.

Em $t = t_7$, a corrente em L_{r2} , que oscila de forma ressonante, novamente se anula, logo:

$$\omega_{0eq} \cdot t_6 + \omega_{0eq} \cdot t_7 = 2\pi \quad (2.42)$$

$$t_7 = \frac{2\pi}{\omega_{0eq}} - t_6 \quad (2.43)$$

Sendo:

$$\Delta t_7 = t_7 - t_6$$

Então,

$$\Delta t_7 = \frac{2}{\omega_{0eq}} \cdot \{\pi - \arccos[-(\beta + \alpha_2 \cdot (1 + \beta))]\} \quad (2.44)$$

Das equações da corrente em L_{r1} e da tensão em C_r em (2.25) e com (2.44):

$$i_{Lr1}(t_7) = I_7 = I_{in} \cdot \left[1 - \frac{\beta}{\alpha_1} \cdot (1 + \alpha_2) \right] \quad (2.45)$$

$$v_{Cr}(t_7) = V_7 = (V_0 + V_{Ce}) \cdot \sqrt{(1 - \beta) - \alpha_2 \cdot [2\beta + \alpha_2 \cdot (1 + \beta)]} \quad (2.46)$$

Com a anulação de i_{Lr2} , o diodo D_a se bloqueia, retirando o ramo de L_{r2} do circuito, encerrando-se esta etapa.

(h) 8ª Etapa, intervalo (t_7, t_8)

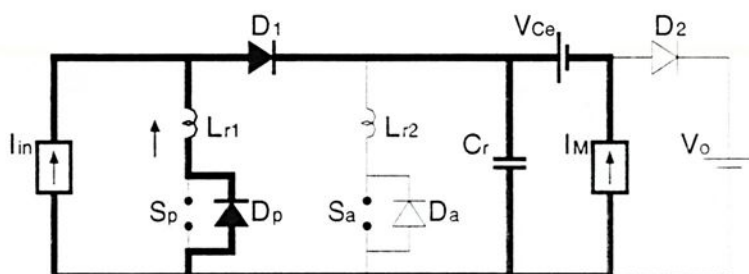


Fig. 2.12 - Circuito da 8ª etapa. Intervalo (t_7, t_8) .

As equações desta etapa são apresentadas em (2.47).

$$\left. \begin{aligned} i_{Lr1}(t) &= \frac{I_{in}}{\alpha_1} \cdot \left[\begin{aligned} &\sqrt{\beta} \cdot \sqrt{(1 - \beta) - \alpha_2 \cdot [2\beta + \alpha_2 \cdot (1 + \beta)]} \cdot \sin(\omega_{01} \cdot t) + \dots \\ &- [\alpha_2 + \beta \cdot (1 + \alpha_2)] \cos(\omega_{01} \cdot t) + (\alpha_1 + \alpha_2) + \dots \\ &+ \sqrt{\beta} \cdot V_R \cdot \sin(\omega_{01} \cdot t) \end{aligned} \right] \\ i_{Lr2}(t) &= 0 \\ v_{Cr}(t) &= (V_0 + V_{Ce}) \cdot \left\{ \begin{aligned} &\sqrt{(1 - \beta) - \alpha_2 \cdot [2\beta + \alpha_2 \cdot (1 + \beta)]} \cdot \cos(\omega_{01} \cdot t) + \dots \\ &+ \left[\frac{\alpha_2}{\sqrt{\beta}} + \sqrt{\beta} \cdot (1 + \alpha_2) \right] \cdot \sin(\omega_{01} \cdot t) \end{aligned} \right\} + V_{Ce} \cdot (\cos(\omega_{01} \cdot t) - 1) \end{aligned} \right\} \quad (2.47)$$

Adotando-se que:

$$V_R = \frac{V_{Ce}}{V_{Ce} + V_0} \quad (2.48)$$

A corrente em L_{r1} evolui de forma ressonante com C_r , até que em $t = t_8$ torna-se nula, então:

$$\Delta t_8 = \frac{2}{\omega_{02} \sqrt{\beta}} \cdot \arctan \left\{ \frac{\sqrt{2\beta X V_R + \beta[1 + V_R^2] + \alpha_2 \beta (2 + \alpha_2) - \alpha_1 (\alpha_1 + 2\alpha_2) + \dots} - \sqrt{\beta} (X + V_R)}{2\alpha_2 + \beta[1 + \alpha_2] + \alpha_1} \right\} \quad (2.49)$$

Sendo que:

$$X = \sqrt{(-\alpha_2 - \alpha_2 \beta + 1 - \beta) \cdot (\alpha_2 + 1)} \quad (2.50)$$

As condições finais desta etapa são as seguintes:

$$\left. \begin{array}{l} i_{Lr1}(t_8) = 0 \\ i_{Lr2}(t_8) = 0 \\ V_{cr}(t_8) = V_8 \end{array} \right\} \quad (2.51)$$

Portanto:

$$v_{Cr}(t_8) = V_8 = \left\{ (V_0 + V_{Ce}) \cdot \left[\frac{\sqrt{1 - \beta - \alpha_2(2\beta + \alpha_2(1 + \beta))} \cdot \cos(\omega_{02} \sqrt{\beta} \Delta t_8) + \dots}{+ \frac{1}{\sqrt{\beta}} (\alpha_2 + \beta(1 + \alpha_2)) \cdot \sin(\omega_{02} \sqrt{\beta} \Delta t_8)} \right] + \dots \right. \\ \left. + V_{Ce} \cdot [\cos(\omega_{02} \sqrt{\beta} \Delta t_8) - 1] \right\} \quad (2.52)$$

Com a corrente i_{Lr1} se anulando em $t = t_8$, o diodo D_p se bloqueia e o ramo de L_{r1} é retirado do circuito.

(i) 9ª Etapa, intervalo (t_8, t_9)

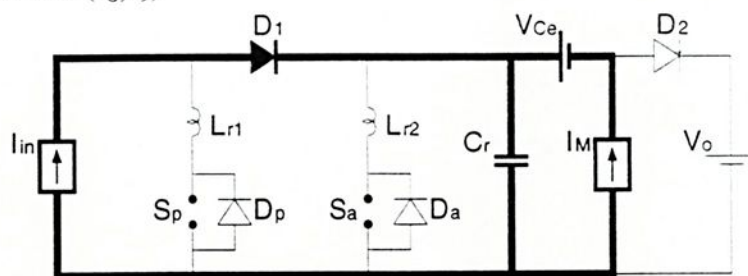


Fig. 2.13 - Circuito da 9ª etapa. Intervalo (t_8, t_9) .

Nesta etapa ocorre a carga linear de C_r com corrente constante $(I_{in} + I_M)$:

$$\left. \begin{array}{l} i_{Lr1}(t) = 0 \\ i_{Lr2}(t) = 0 \\ v_{Cr}(t) = V_8 + \frac{I_{in} + I_M}{C_r} \cdot t \end{array} \right\} \quad (2.53)$$

Em $t = t_9$, tem-se que $v_{Cr}(t_8) = V_0 + V_{Ce}$, logo:

$$\Delta t_9 = \frac{(V_0 + V_{Ce}) - V_8}{I_{in} + I_M} \cdot C_r \quad (2.54)$$

Assim:

$$\Delta t_9 = \frac{1}{\omega_{02} \cdot (\alpha_1 + \alpha_2)} \left[\begin{aligned} &1 - \sqrt{1 - \beta - \alpha_2 \cdot (2\beta + \alpha_2 \cdot (1 + \beta))} \cdot \cos(\omega_{02} \cdot \sqrt{\beta} \cdot \Delta t_8) + \dots \\ &-\frac{1}{\sqrt{\beta}} \cdot (\alpha_2 + \beta \cdot (1 + \alpha_2)) \cdot \sin(\omega_{02} \cdot \sqrt{\beta} \cdot \Delta t_8) + \dots \\ &-V_R \cdot [\cos(\omega_{02} \cdot \sqrt{\beta} \cdot \Delta t_8) - 1] \end{aligned} \right] \quad (2.55)$$

Desta forma, em $t = t_9$ o diodo D_2 entra em condução com tensão nula e as equações 2.56 ilustram as condições ao final desta etapa:

$$\left. \begin{aligned} i_{Lr1}(t_9) &= 0 \\ i_{Lr2}(t_9) &= 0 \\ v_{Cr}(t_9) &= V_0 + V_{Ce} \end{aligned} \right\} \quad (2.56)$$

(j) 10ª Etapa, intervalo (t_9, t_{10})

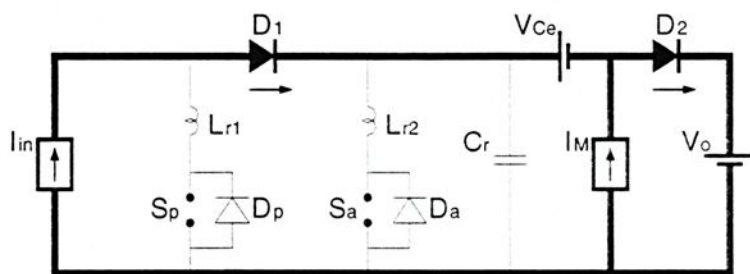


Fig. 2.14 - Circuito da 10ª etapa. Intervalo (t_9, t_{10}) .

Durante esta etapa ocorre a transferência de maior parcela de potência para a carga, permanecendo as variáveis de estado inalteradas até que S_p novamente seja comandado para um novo período de funcionamento. Logo em $t = t_{10}$, tem-se que:

$$\left. \begin{aligned} v_{Cr}(t_{10}) &= V_0 + V_{Ce} \\ i_{Lr1}(t_{10}) &= 0 \\ i_{Lr2}(t_{10}) &= 0 \\ i_{D1}(t_{10}) &= I_{in} \\ i_{D2}(t_{10}) &= I_{in} + I_M \end{aligned} \right\} \quad (2.57)$$

O intervalo de tempo da décima etapa é definido como:

$$\Delta t_{10} = T \cdot (1 - D) - \sum_{i=3}^9 \Delta t_i \quad (2.58)$$

Portanto, substituindo-se os intervalos de tempo Δt_i calculados para cada etapa, tem-se:

$$\Delta t_{10} = \left\{ \begin{aligned} & T \cdot (1 - D) + \dots \\ & \alpha_2 + \frac{\pi}{2} + \frac{1}{\sqrt{1 + \beta}} \cdot [2 \cdot \pi - a \cos(-\beta - \alpha_2 \cdot (1 + \beta))] + \dots \\ & - \frac{1}{\omega_{02}} + \frac{2}{\sqrt{\beta}} \cdot \arctan \left\{ \frac{\sqrt{2 \cdot \beta \cdot X \cdot V_R + \beta \cdot [1 + V_R^2]} + \alpha_2 \cdot \beta \cdot (2 + \alpha_2) - \alpha_1 (\alpha_1 + 2 \cdot \alpha_2) + \dots}{- \sqrt{\beta} \cdot (X + V_R)} \right\} + \dots \\ & + \frac{1}{(\alpha_1 + \alpha_2)} \cdot \left[\begin{aligned} & 1 - \sqrt{1 - \beta - \alpha_2 \cdot (2 \cdot \beta + \alpha_2 \cdot (1 + \beta))} \cdot \cos(\omega_{02} \cdot \sqrt{\beta} \cdot \Delta t_8) + \dots \\ & - \frac{1}{\sqrt{\beta}} (\alpha_2 + \beta \cdot (1 + \alpha_2)) \cdot \sin(\omega_{02} \cdot \sqrt{\beta} \cdot \Delta t_8) + \dots \\ & - V_R \cdot [\cos(\omega_{02} \cdot \sqrt{\beta} \cdot \Delta t_8) - 1] \end{aligned} \right] \end{aligned} \right\} + \dots \quad (2.59)$$

2.4.2 Determinação de V_{Ce}

A tensão média no capacitor de acumulação C_e tem o mesmo valor da tensão média no capacitor de ressonância C_r . Desta forma, o valor desta tensão é determinado pela equação (2.60) e representado na Figura 2.15, para determinados parâmetros de projeto.

$$V_{Ce} = V_{Cr \text{ médio}} = \frac{1}{T} \cdot \int_0^{\Delta t_i} \left(\sum_{i=1}^{10} v_{Cr i}(t) \right) dt \quad (2.60)$$

sendo:

$v_{Cr i}(t)$ a equação da tensão em C_r , na etapa i .

Esta integral resulta em uma equação do tipo:

$$V_{Ce} = V_0 \cdot \frac{\chi}{T - \chi} = q \cdot V_{in} \cdot \frac{\chi}{T - \chi} \quad (2.61)$$

Com o aumento do ganho estático q , o valor de V_{Ce} será maior, dependendo também da variação do termo χ , determinado pelos parâmetros α_1 e α_2 .

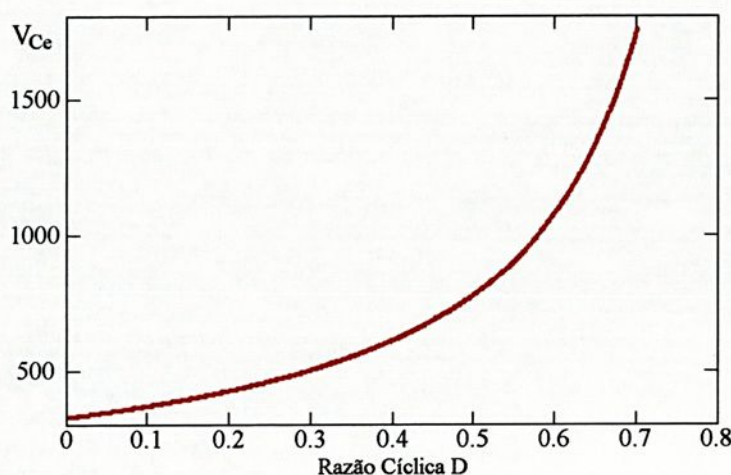


Fig. 2.15: Tensão no Capacitor C_e em função da razão cíclica, para carga nominal e considerando-se $\beta = 0,4$ e $f = 0,15$.

2.4.3 Ganho Estático

O ganho estático do conversor em estudo é definido como:

$$q = \frac{V_0}{V_{in}} = \frac{I_{in}}{I_0} \quad (2.61)$$

sendo:

V_{in} : valor médio da tensão de entrada;

V_0 : valor médio da tensão sobre a carga;

I_{in} : valor médio da corrente de entrada;

I_0 : valor médio da corrente através da carga.

A corrente média através da carga é obtida a partir da equação (2.62):

$$I_0 = \frac{1}{T} \left[\int_0^{\Delta t_1} (I_{in} + I_M - i_{Lr1}(t)) dt + \int_0^{\Delta t_2} I_M dt + \int_0^{\Delta t_3} (I_M - i_{Lr2}(t)) dt + \int_0^{\Delta t_4} (I_{in} + I_M) dt \right] \quad (2.62)$$

Portanto:

$$I_0 = I_M \left[\frac{f}{2\pi} \left(\frac{\alpha_2}{2} - K \right) + (1-D) \right] + I_{in} \left[\frac{f}{2\pi} \left(\frac{\alpha_1}{2\beta} - K \right) + (1-D) \right] \quad (2.63)$$

Sendo que o termo K corresponde à equação (2.64) e que $I_M = I_0$ [14].

$$K = \left[\begin{aligned} &\alpha_2 + \frac{\pi}{2} + \frac{1}{\sqrt{1+\beta}} [2\pi - \arccos(-\beta - \alpha_2 \cdot (1+\beta))] + \dots \\ &+ \frac{2}{\sqrt{\beta}} \cdot \arctan \left\{ \frac{\sqrt{2\beta X V_R + \beta [1 + V_R^2]} + \alpha_2 \beta (2 + \alpha_2) - \alpha_1 (\alpha_1 + 2\alpha_2) + \dots}{- \sqrt{\beta} (X + V_R)} \right\} + \dots \\ &+ \frac{1}{(\alpha_1 + \alpha_2)} \cdot \left[\begin{aligned} &1 - \sqrt{1 - \beta - \alpha_2 (2\beta + \alpha_2 (1+\beta))} \cdot \cos(\omega_{02} \cdot \sqrt{\beta} \cdot \Delta t_8) + \dots \\ &- \frac{1}{\sqrt{\beta}} (\alpha_2 + \beta (1 + \alpha_2)) \cdot \sin(\omega_{02} \cdot \sqrt{\beta} \cdot \Delta t_8) + \dots \\ &- V_R \cdot [\cos(\omega_{02} \cdot \sqrt{\beta} \cdot \Delta t_8) - 1] \end{aligned} \right] \end{aligned} \right] \quad (2.64)$$

Onde:

$$f = \frac{f_s}{f_{02}} \quad (2.65)$$

Com:

$$\omega_{02} = 2\pi f_{02} \quad (2.66)$$

Dessa forma, a partir de (2.61) e (2.63), obtém-se:

$$q = \frac{\left[D - \frac{f}{2\pi} \left(\frac{\alpha_2}{2} - K \right) \right]}{1 - \left[D - \frac{f}{2\pi} \left(\frac{\alpha_1}{2\beta} - K \right) \right]} \quad (2.67)$$

Na Figura 2.16 são apresentadas algumas curvas para visualização do ganho estático para o novo conversor CC/CC SEPIC ZCS-PWM operando como abaixador de tensão, em função da corrente de carga normalizada (α_2), tomando-se D e V_{Ce} como parâmetros, para determinados valores de α_1 , β e f .

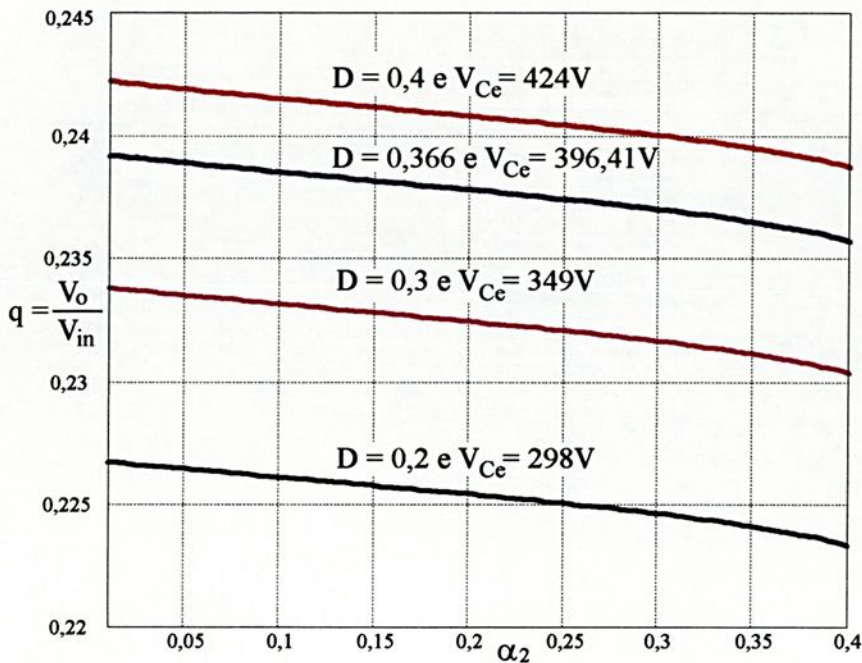


Fig. 2.16: Ganho Estático teórico (q) do Novo Conversor SEPIC ZCS-PWM em função de α_2 e considerando $\alpha_1 = 0,083$; $\beta = 0,4$ e $f = 0,15$.

Observa-se na Figura 2.16 a operação do conversor como abaixador de tensão ($q < 1$). Entretanto, devido às características de esforços de tensão nos semicondutores (quanto maior o valor de V_{Ce} , maior a tensão sobre os elementos semicondutores) com a razão cíclica do conversor, Figura 2.15, recomenda-se a aplicação deste conversor apenas como abaixador de tensão e para um ganho estático q menor que $1/3$.

2.4.4 Condições para Operação com Comutação ZCS

A presente análise foi desenvolvida para operação em condução contínua. Assim, todo o equacionamento e restrições de funcionamento são estabelecidas para este método de operação.

Para que o conversor em estudo opere com comutação do tipo ZCS em ambos os interruptores ativos, é importante que as restrições impostas pelas inequações (2.32), (2.34) e (2.36) sejam atendidas. Desta forma teremos o funcionamento da célula de comutação como descrito no item 2.4.

O intervalo de tempo destinado à comutação (bloqueio) de ambos os interruptores, Δt_{off} , é dado pela equação (2.68). O intervalo de tempo (ΔT), destinado ao controle do interruptor auxiliar S_a é dado pela equação (2.69).

$$\Delta t_{\text{off}} = \Delta t_7 = \frac{2}{\omega_{02} \cdot \sqrt{1+\beta}} \cdot \{\pi - \arccos[-(\beta + \alpha_2 \cdot (1+\beta))]\} \quad (2.68)$$

$$\Delta T = (\Delta t_3 + \Delta t_4 + \Delta t_5 + \Delta t_6 + \frac{\Delta t_7}{2}) \quad (2.69)$$

Logo:

$$\Delta T = \frac{1}{\omega_{02}} \cdot \left\{ \alpha_2 + \frac{\pi}{2} + \frac{\pi}{\sqrt{1+\beta}} \right\} \quad (2.70)$$

Observa-se que ΔT é dependente dos parâmetros ressonantes (ω_{02} e β) e também da corrente de carga normalizada (α_2). Portanto, em projeto, deve-se projetar ΔT para o atendimento da carga nominal ($\alpha_{2 \text{ máx}}$).

Com o objetivo de minimizar a influência dos parâmetros ressonantes e que as etapas descritas anteriormente se sucedam, considerando-se a necessidade de existência da 10ª etapa, ou seja, $\Delta T_{10} > 0$, então, a inequação (2.71) deve ser atendida através da metodologia de projeto.

$$f < \frac{(1-D) \cdot 2 \cdot \pi}{K} \quad (2.71)$$

Onde:

K: equação (2.64)

Observa-se que quanto maior a relação de frequências (f), maior será a influência dos parâmetros ressonantes na característica estática do conversor. Entretanto, trabalhar com relações muito pequenas leva o conversor a operar com frequências ressonantes muito elevadas. Portanto, o projeto deve buscar um compromisso entre as duas características citadas.

2.5 Exemplo de Projeto e Resultados Obtidos

2.5.1 Exemplo de Projeto

Seguem-se os passos para a definição do projeto para o novo conversor CC/CC SEPIC ZCS-PWM:

a) Especificações de entrada e saída;

$$V_{\text{in}} = 220\text{V} \pm 15\%$$

$$V_0 = 51\text{V}$$

$$f_s = 20\text{kHz}$$

$$P_{0\text{ nom}} = 300\text{W (Potência nominal na carga)}$$

$$\eta\% = 95\% \text{ (mínimo rendimento adotado)}$$

b) Correntes de entrada e saída (I_{in} e I_0);

$$I_{in} = \frac{P_{0\text{ nom}}}{\eta\% \cdot V_{in}} \cdot 100 = 1,435\text{A}$$

Com:

$$I_{in\text{ máx}} = \frac{P_{0\text{ nom}}}{\eta\% \cdot (V_{in} - 0,15 \cdot V_{in})} \cdot 100 = 1,689\text{A}$$

$$I_0 = \frac{P_{0\text{ nom}}}{V_0} = 4,54\text{A}$$

c) Cálculo dos parâmetros ressonantes;

Tendo em vista minimizar a influência dos parâmetros ressonantes e satisfazer as condições de operação, adotam-se os parâmetros da Figura 2.15, na condição de carga nominal.

$$\alpha_1 = 0,083; \alpha_2 = 0,351; \beta = 0,4 \text{ e } \frac{f_s}{f_{02}} = f = 0,15$$

Portando, das equações (2.6), (2.7), (2.8) e (2.9) tem-se que:

$$L_{r1} = 80\mu\text{H}; L_{r2} = 32\mu\text{H} \text{ e } C_r = 44\text{nF}.$$

d) Cálculo das indutâncias L_{in} e L_M ;

Segundo Redl em [15], a indutância L_{in} pode ser dada por (2.72):

$$L_{in} > \frac{25 \cdot 10^3}{f_s \cdot P_{in}} \quad (2.72)$$

Desta forma, uma vez especificados os valores de tensão de entrada (V_{in}), tensão de saída (V_0), potência nominal ($P_{0\text{ nom}}$) e frequência de chaveamento (f_s), pode-se determinar a indutância L_{in} de entrada, uma vez que:

$$P_{in} = \frac{P_{0\text{ nom}}}{\eta\%} \cdot 100 \quad (2.73)$$

Logo, adota-se que:

$$L_{in} = 5\text{mH}$$

Para operação em condução contínua, tem-se que:

$$L_M \geq \frac{L_{eq} \cdot L_{in}}{L_{in} - L_{eq}} \quad (2.74)$$

onde:

$$L_{eq} = \frac{L_{in} \cdot L_M}{L_{in} + L_M} \quad (2.75)$$

Desta forma, considerando-se que o valor médio da corrente através de L_M , é igual à corrente média na carga, e que, para a aplicação como abaixador de tensão, esta corrente é elevada, adota-se:

$$L_M = 1\text{mH}$$

e) Cálculo da capacitância de acumulação (C_e);

Conforme Canesin e Barbi em [14], tem-se que:

$$C_e > \frac{1}{L_{eq} \cdot (2 \cdot \pi \cdot f_s)^2} = 76,0\text{nF} \quad (2.76)$$

Valor adotado, de acordo com resultados de simulação:

$$C_e = 2,0\mu\text{F}$$

f) Cálculo da capacitância de acumulação (C_0);

A capacitância para o filtro de saída é dada por (2.77):

$$C_0 \geq \frac{P_{0\text{nom}} \cdot D}{f_s \cdot V_0 \cdot \Delta V_0} = 35,18\mu\text{F} \quad (2.77)$$

Considerando-se uma ondulação de tensão na saída de 6%, ou seja:

$$\Delta V_0 = 0,06 \cdot V_0$$

Adota-se:

$$C_0 = 2,72\text{mF} \text{ (quatro capacitores de } 680\mu\text{F em paralelo)}$$

Na Figura 2.17 apresenta-se o circuito projetado para o novo conversor CC/CC ZCS-PWM SEPIC.

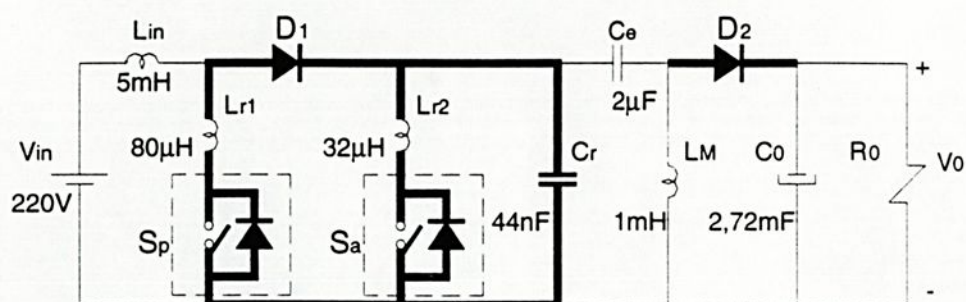


Fig. 2.17 - Estrutura projetada para o Novo Conversor CC/CC SEPIC ZCS-PWM.

2.5.2 Resultados de Simulação

Foi simulada a operação do novo conversor SEPIC com carga nominal, utilizando o programa Pspice (versão 4.05). O arquivo utilizado apresenta-se descrito a seguir:

New step down ZCS-PWM Sepic converter

V1 1 0 dc 220

L1 1 2 5m IC=1.4

Lr1 2 3 80u IC=0

Sp 3 0 10 0 chave

Dp 0 3 Diodo

Lr2 4 5 32u IC=0

Sa 5 0 20 0 chave

Da 0 5 diodo

D1 2 4 diodo

Lm 0 6 1m

Ce 4 6 2.0u IC=430

D2 6 7 diodo

Cr 4 0 44n IC=510

Co 7 0 1000u IC=48

RL 7 0 8.67

*Controle

V10 10 0 pulse(0 15 0 50n 50n 23.4u 50u)

V20 20 0 pulse(0 15 18.3u 50n 50n 5.1u 50u)

.model diodo D

.model chave Vswitch(ron=0.2 roff=0.2E+6 von=8.0 voff=5.0)

.lib

.tran 100n 200m 190m 100n UIC

.probe

.options itl4=100 itl5=0 abstol=.5u vntol=1m reltol=1E-3

.end

A seguir são apresentadas as principais formas de onda obtidas em simulação no programa Pspice (versão 4.05), verificando-se dessa forma a análise do circuito proposto, para carga nominal.

Na Figura 2.18 apresentam-se a corrente através do indutor de ressonância L_{r1} e os detalhes das comutações para o interruptor principal, em carga nominal.

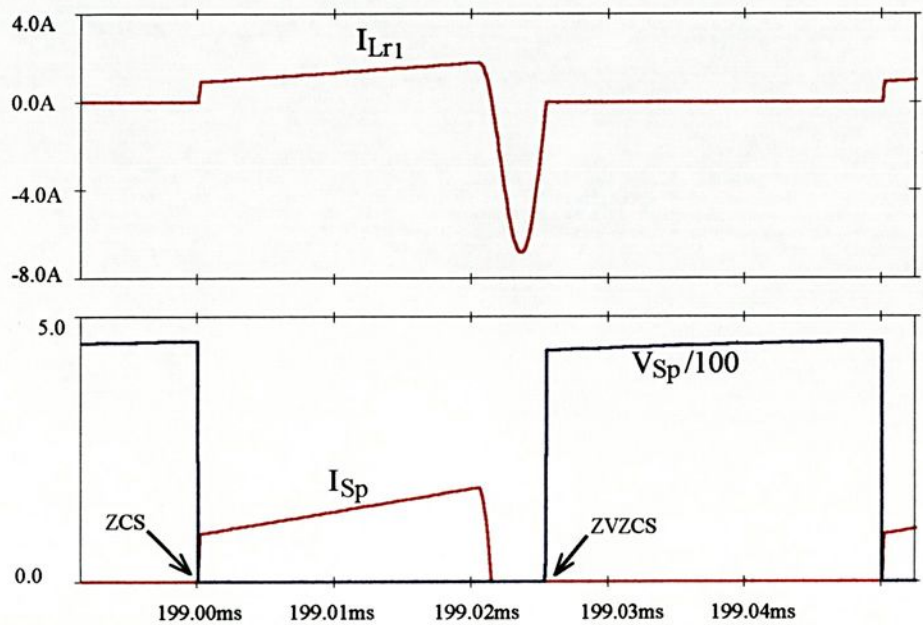


Fig. 2.18 – Corrente através do indutor de ressonância L_{r1} e tensão e corrente através do interruptor principal S_p com carga nominal.

Na Figura 2.19 são apresentados os detalhes de comutação para o interruptor auxiliar e a corrente através de L_{r2} , para carga nominal.

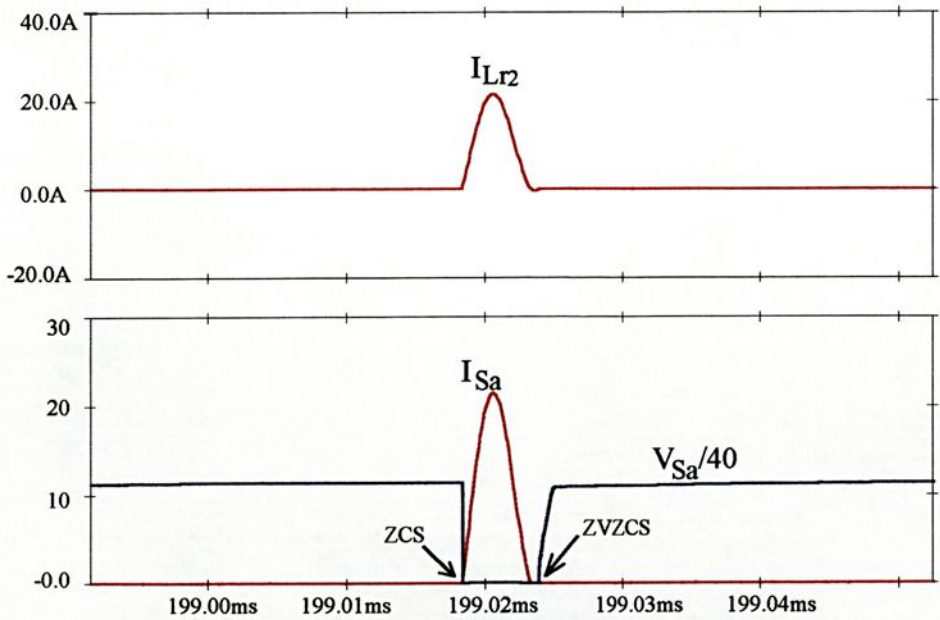


Fig. 2.19 – Corrente através do indutor de ressonância L_{r2} e tensão e corrente através do interruptor auxiliar S_a com carga nominal.

Na Figura 2.20, apresenta-se a ondulação para a tensão de saída, para carga nominal, verificando-se a operação como abaixador de tensão.

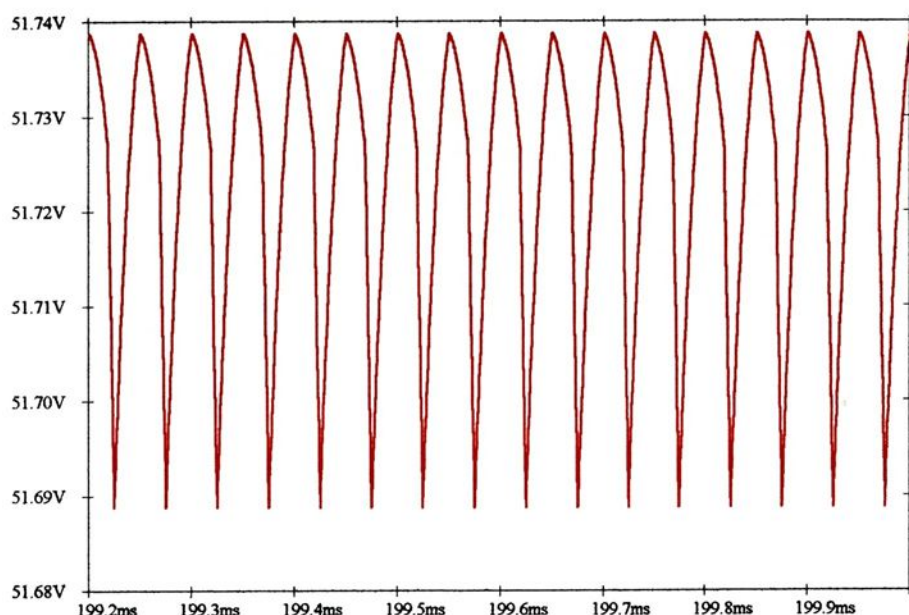


Fig. 2.20 - Tensão de saída, para carga nominal.

Na Figura 2.21 apresentam-se as comutações para os diodos D_1 e D_2 , também para carga nominal e na Figura 2.22 as tensões de entrada e saída.

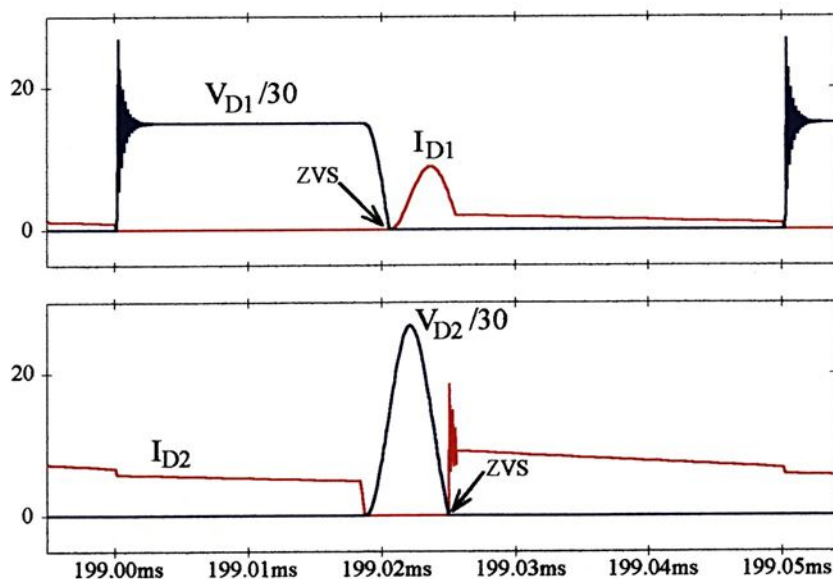


Fig. 2.21 - Tensões e correntes através dos diodos D_1 e D_2 , para carga nominal.

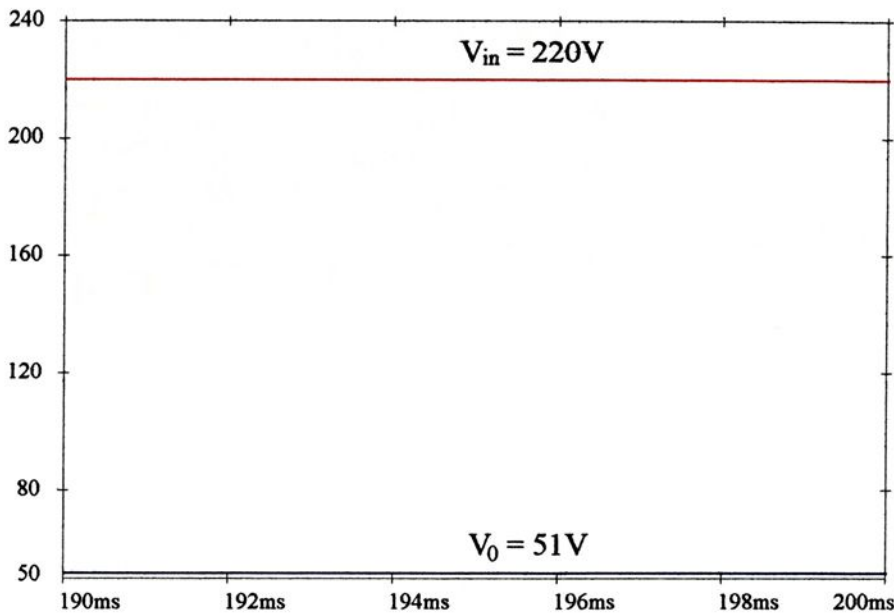


Fig. 2.22 - Tensões de entrada e saída, para carga nominal.

Como se verifica nas Figuras 2.18 e 2.19, as comutações, tanto para o interruptor principal S_p , quanto para o interruptor auxiliar S_a , são não-dissipativas e do tipo sob corrente nula (ZCS), na entrada em condução e do tipo sob tensão e corrente nulas (ZVZCS) durante o bloqueio.

Observa-se ainda que as comutações tanto para D_1 , quanto para D_2 , conforme Figura 2.21, são também não-dissipativas e do tipo sob tensão nula (ZVS), inexistindo problemas de recuperação reversa sobre os interruptores comandados (S_p e S_a).

Desta forma, devido à eliminação das perdas durante as comutações, o conversor proposto deverá apresentar maior eficiência em relação ao conversor CC/CC SEPIC convencional analisado por Canesin e Barbi em [14].

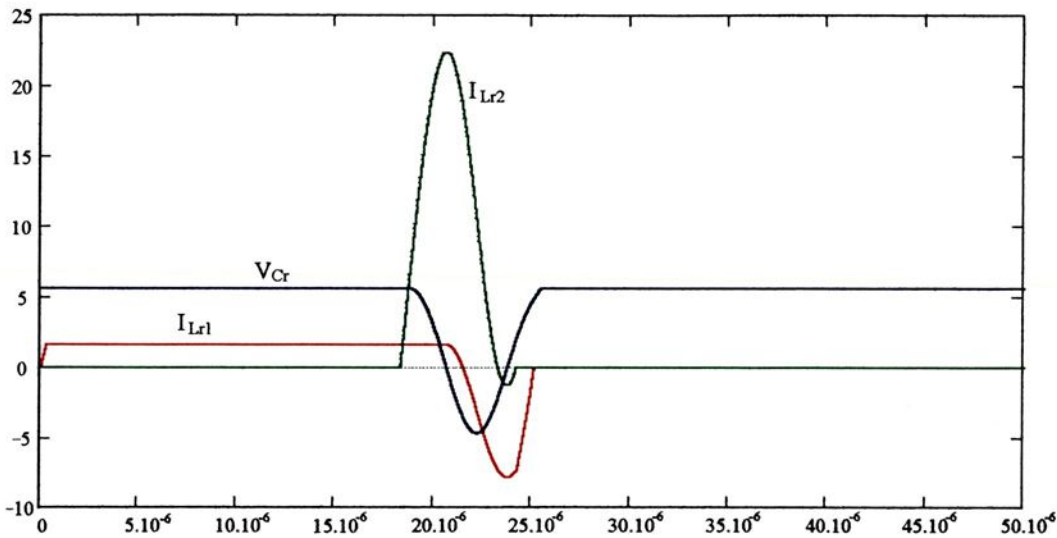
Verifica-se ainda que a corrente através do interruptor principal (I_{in}) é menor do que aquela apresentada pelo conversor SEPIC convencional, ($I_{in} + I_M$), o que adicionalmente, confere à este circuito proposto menores perdas em condução para o interruptor principal.

A desvantagem da técnica é o esforço adicional de tensão nos semicondutores ($V_0 + V_{ce}$), que no SEPIC convencional é igual a ($V_0 + V_{in}$), devido ao aumento da tensão média no capacitor C_e ($V_{ce} > V_{in}$). Contudo, os IGBTs não são influenciados em condução, como os MOSFETs, pela máxima tensão aplicada sobre os mesmos. Sendo os IGBTs sensíveis à corrente média através dos mesmos, a estrutura proposta resultará

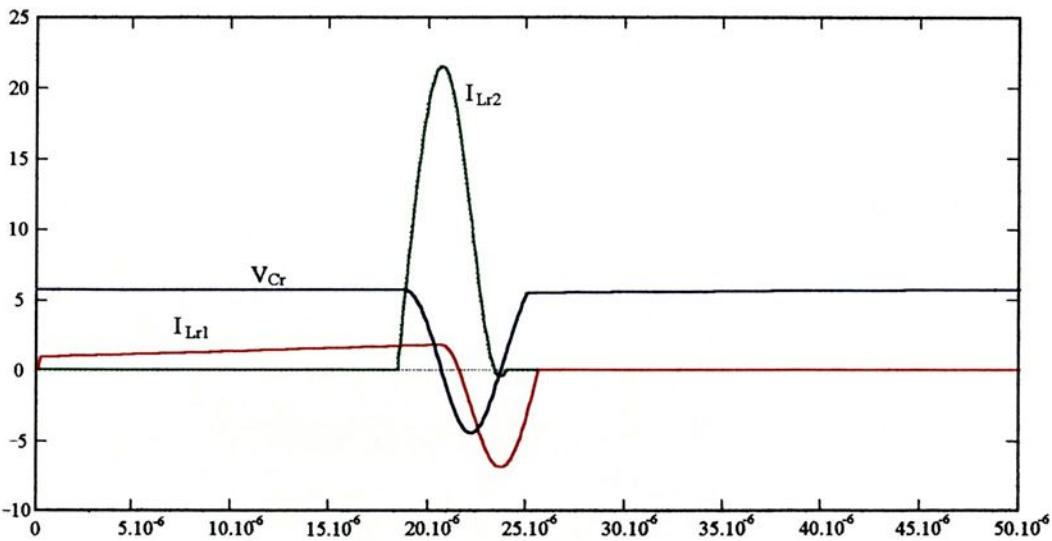
numa grande redução do volume de dissipadores em relação àquele necessário, para a mesma potência e iguais relações de entrada/saída, para o conversor SEPIC convencional.

A Figura 2.22 ilustra a característica abaixadora do conversor proposto, projetado para uma tensão saída de 51V com tensão de entrada e carga nominais.

Na Figura 2.23 são apresentados os principais resultados da modelagem matemática dos elementos ressonantes (Figura 2.23a) e os resultados obtidos através de simulação (Figura 2.23b), comprovando assim a validade da modelagem apresentada anteriormente.



(a) Resultados de Modelagem Matemática



(b) Resultados de Simulação

Fig. 2.23 – Tensão sobre o capacitor ressonante C_r , correntes através dos indutores ressonantes L_{r1} e L_{r2} , para carga nominal: (a) resultados de simulação e (b) resultados da modelagem matemática.

2.5.3 Dimensionamento dos Elementos do Circuito de Potência

Com os resultados de simulação são dimensionados os indutores, capacitores e semicondutores do circuito de potência, como segue:

- Indutor de Entrada L_{in}

$L_{in} = 5\text{mH}$, núcleo Thornton EE42/15 – IP12, ($A_e = 1,81\text{cm}^2$, $A_w = 1,57\text{cm}^2$), 240 espiras de fio AWG 21.

- Indutor de Acumulação L_M

$L_M = 1\text{mH}$, núcleo Siemens EE55 – IP12, ($A_e = 3,54\text{cm}^2$, $A_w = 2,80\text{cm}^2$), 61 espiras de fio AWG 16.

- Indutor de Ressonância L_{r1}

$L_{r1} = 80\mu\text{H}$, núcleo Thornton EE30/7 – IP12, ($A_e = 0,60\text{cm}^2$, $A_w = 0,80\text{cm}^2$), 40 espiras de fio AWG 21.

- Indutor de Ressonância L_{r2}

$L_{r2} = 32\mu\text{H}$, núcleo Thornton EE30/14 – IP12, ($A_e = 1,20\text{cm}^2$, $A_w = 0,85\text{cm}^2$), 20 espiras de fio AWG 17.

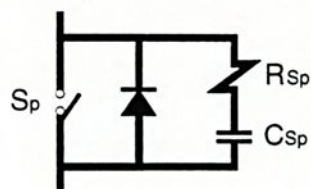
- Interruptor Principal S_p e Interruptor Auxiliar S_a

Observando-se os esforços apresentados em simulação, foram adotados os IGBTs de 4ª geração (com diodos em anti-paralelo intrínsecos) da International Rectifier, IRG4PH50UD, para ambos os interruptores.

- Circuitos Snubber

Observa-se que os circuitos de snubber para os interruptores se devem exclusivamente à recuperação reversa de seus diodos intrínsecos em anti-paralelo.

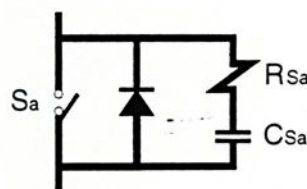
para S_p :



Adota-se: $R_{Sp} = 100\Omega / 1\text{W}$

$C_{Sp} = 2,2\text{nF} / 1,6\text{kV}$

para S_a :



$R_{Sa} = 100\Omega / 1\text{W}$

$C_{Sa} = 1\text{nF} / 1,6\text{kV}$

- Diodos D_1 e D_2

Dados os esforços apresentados, foram adotados os diodos MUR10150E.

- Capacitor de Acumulação C_e

$$C_e = 2\mu\text{F}/660\text{V} \text{ (polipropileno)}$$

- Capacitor de Saída C_o

$$C_o = 2,72\text{mF} \text{ (arranjo de quatro capacitores de } 680\mu\text{F}/250\text{V, em paralelo)}$$

2.5.4 Resultados Experimentais

A partir das especificações de projeto, foi implementado o protótipo do novo conversor CC/CC SEPIC, apresentado na Figura 2.24.

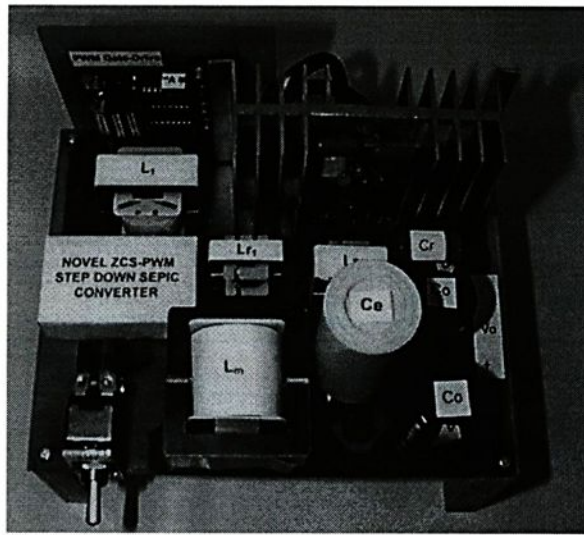


Fig. 2.24 – Unidade de teste do novo conversor abaixador CC/CC SEPIC ZCS-PWM.

As Figuras 2.25a e 2.25b mostram detalhes das comutações nos interruptores principal S_p e auxiliar S_a , respectivamente.

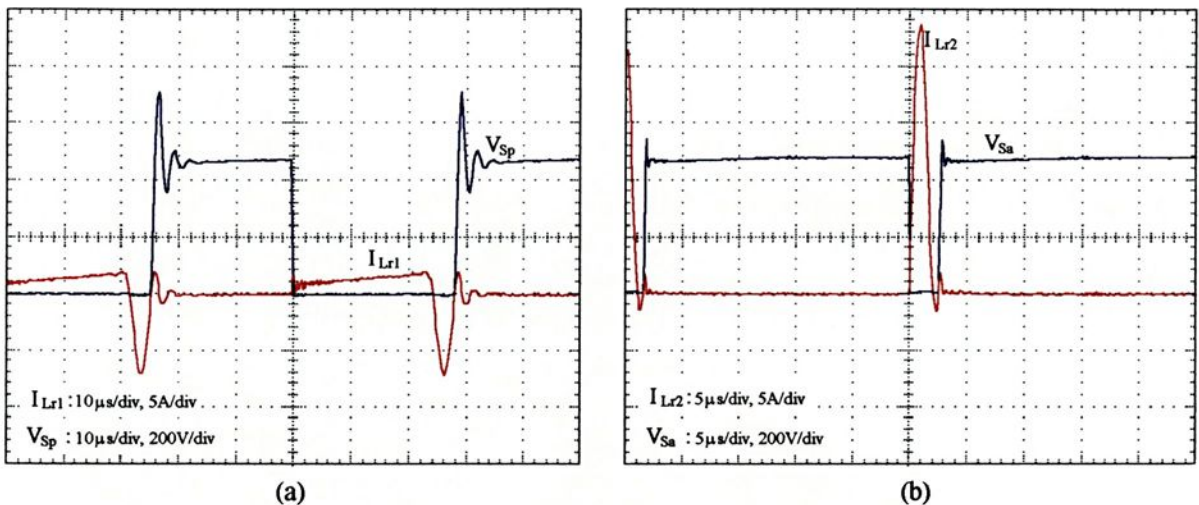


Fig. 2.25 - (a) Tensão sobre S_p e corrente através de L_{r1} , e (b) Tensão sobre S_a e corrente através de L_{r2} , para carga nominal.

Como observado na Figura 2.25, o comportamento do conversor está de acordo com a análise teórica e as comutações com corrente nula são observadas na entrada em condução de ambos os interruptores e com frequência constante. O bloqueio dos mesmos é do tipo ZVZCS (tensão nula e corrente nula), também conforme o esperado.

A Figura 2.26 apresenta os resultados, obtidos experimentalmente, para o rendimento do conversor em função da potência de saída (P_o) e a curva de rendimento originada da interpolação polinomial dos pontos experimentais.

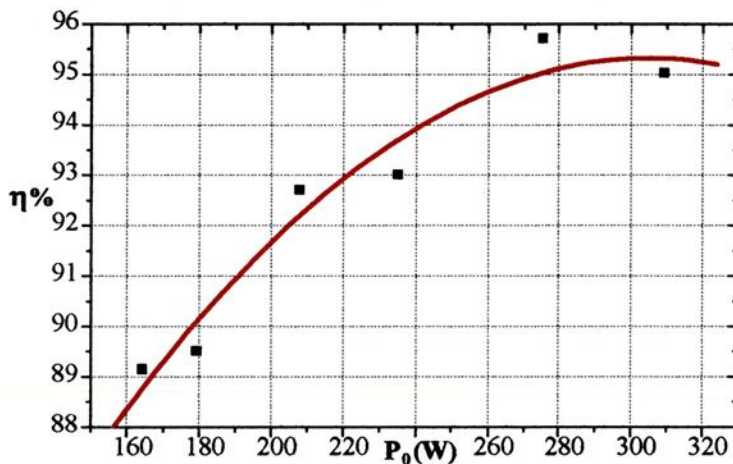


Fig. 2.26 – Rendimento Experimental em função da Potência de Saída.

Apesar da imprecisão nas medidas, em função dos multímetros utilizados neste processo de medição, com este resultado já é possível constatar o melhor rendimento da nova estrutura em relação ao conversor convencional operando com comutação dissipativa, uma vez que, para o conversor convencional o rendimento não é superior a 80%, como relatado por Canesin e Barbi em [14], para carga nominal, e, neste caso, o rendimento encontra-se em torno de 96%.

2.6 Conclusões

Da análise dos resultados obtidos do novo conversor CC/CC ZCS-PWM SEPIC, operando como abaixador de tensão, fica comprovado o comportamento analisado matematicamente e através de simulações do conversor, podendo ser citadas as seguintes características:

- A operação é com frequência de chaveamento constante (PWM);
- As comutações são não-dissipativas para ambos os interruptores ativos (S_p e S_a), do tipo ZCS na entrada em condução e do tipo ZVZCS no bloqueio;

- As comutações são também suaves para os diodos D_1 e D_2 , do tipo ZVS na entrada em condução;
- Não ocorrem os efeitos de recuperação reversa dos diodos D_1 e D_2 sobre os interruptores S_p e S_a ;
- A corrente através do interruptor principal (I_{in}) é menor do que aquela apresentada pelo conversor SEPIC convencional ($I_{in} + I_M$);
- Existem esforços adicionais de tensão nos semicondutores. Para os interruptores S_p e S_a estes esforços são iguais à $(V_o + V_{Ce})$, sendo que, para este novo conversor SEPIC, o valor médio de V_{Ce} é superior à V_{in} , e, para o conversor SEPIC convencional, V_{Ce} é igual a V_{in} .

O elevado rendimento para o conversor (96%, em carga nominal) foi possível graças às comutações suaves (não-dissipativas) nos interruptores ativos e passivos e às menores perdas em condução no interruptor principal. Além do rendimento elevado são esperados também menores níveis de interferência de origem eletromagnética gerados pelo conversor, devido à redução das derivadas de tensão e corrente.

A presença de semicondutores auxiliares na célula de comutação, além dos maiores esforços de tensão no diodo D_2 , representam uma desvantagem desta nova topologia, porém as vantagens apresentadas merecem maior destaque.

Com a possibilidade de isolamento do novo conversor SEPIC e de outros como o Buck-Boost e o Zeta, esta nova topologia pode ser amplamente explorada na conversão CC/CC e também na conversão CA/CC com resultados satisfatórios, como se verificará nos próximos capítulos.

Capítulo 3

3 Um Novo Pré-Condicionador Retificador SEPIC ZCS-PWM controlado por Valores Médios de Corrente

3.1 Introdução

Os resultados do novo conversor CC/CC SEPIC ZCS-PWM demonstram que as preocupações iniciais quanto à necessidade de elevado rendimento e redução de volume do conversor foram atendidas. No entanto, a questão agora é o desempenho do novo conversor CA/CC SEPIC ZCS-PWM, ou seja, operando como retificador ligado diretamente à rede de corrente alternada, quanto aos problemas da taxa de distorção harmônica e do fator de potência.

O fator de potência (FP) indica o grau de aproveitamento da potência entregue pelo sistema de corrente alternada para uma dada estrutura. Considerando-se a tensão de alimentação puramente senoidal (isenta de harmônicos), este pode ser representado por:

$$FP = \frac{\cos \phi_{(1)}}{\sqrt{1 + TDH^2}} \quad (3.1)$$

sendo:

- $\phi_{(1)}$ - ângulo de deslocamento entre a tensão de entrada (admitida como sendo apenas a fundamental) e a componente fundamental da corrente de entrada;

$$TDH = \frac{\sqrt{\sum_{n=2}^{\infty} I_{in\ ef\ (n)}^2}}{I_{in\ ef\ (1)}} \quad (3.2)$$

TDH: taxa de distorção harmônica;

- $I_{in\ ef\ (n)}$: valor eficaz da n-ésima harmônica da corrente de entrada;
- $I_{in\ ef\ (1)}$: valor eficaz da fundamental da corrente de entrada.

A taxa de distorção harmônica indica qual é a contribuição dos harmônicos em relação à componente fundamental na composição da corrente de entrada.

Portanto, para que o fator de potência seja unitário, é necessário que o defasamento angular entre as componentes fundamentais de tensão e corrente de entrada seja nulo, assim como, a TDH deve ser também nula.

Os métodos de correção ativa do fator de potência apresentam muitas vantagens sobre as técnicas passivas, pois além de proporcionar um elevado fator de potência e reduzida taxa de distorção harmônica, não se utilizam de elementos volumosos (filtros operando em baixa frequência), possibilitando desta forma a redução do volume das estruturas.

Operando no modo de condução contínua, proporciona-se a possibilidade de operação com reduzida interferência eletromagnética (EMI) introduzida na rede (menor filtro de entrada), menores valores eficazes de corrente e conseqüentemente menores perdas em condução, para a mesma potência processada, quando comparada com o modo de condução descontínua.

A correção do fator de potência, propriamente dita, pode ser realizada através de diferentes métodos de controle, tais como condução descontínua, condução crítica, grampeamento por corrente, histerese, corrente de pico e corrente média, analisadas por Redl em [16].

Para manter um controle PWM estável com frequência fixa e com baixa distorção, é utilizado o modo de controle por corrente média. Ao contrário do controle por corrente de pico, esta técnica tem a vantagem de manter uma corrente drenada senoidal de forma mais precisa e com estabilidade.

Portanto, será adotado o controle por corrente média para emulação do conversor como se fosse uma carga com características resistivas, resultando num elevado fator de potência, de acordo com a técnica apresentada por Dixon em [15]. As principais características deste tipo de controle são:

- a) Operação sob frequência constante;
- b) Operação no modo de condução contínua;
- c) Reduzida taxa de distorção harmônica e elevado fator de potência;
- d) Sensoriamento da corrente através do indutor de entrada (L_m);
- e) Necessidade de equalização de corrente quando da colocação em paralelo com outra estrutura que se utilize da mesma técnica de controle;
- f) Reduzido volume de filtro de *EMI* (*Electromagnetic Interference*).

O controle por corrente média consiste da amostragem da tensão de alimentação retificada de entrada, considerando-a como uma corrente de referência (I_{REF}). Emula-se uma corrente de entrada que siga esta forma de onda amostrada, realimentada pelo erro da tensão de saída (variação de carga) e pelas variações da tensão de entrada, conforme apresentado na Figura 3.1 de forma estilizada. A corrente de entrada é forçada a seguir a tensão retificada da rede, logo a potência drenada pelo conversor parecerá entregue a uma carga puramente resistiva (somente potência ativa).

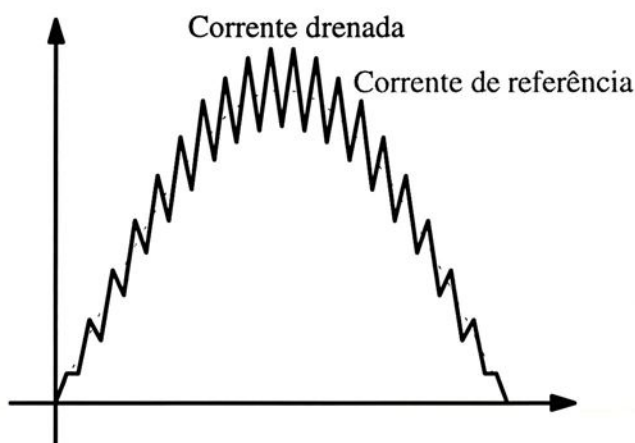


Fig. 3.1 – Forma de onda da corrente de entrada do novo retificador ZCS-PWM SEPIC, operando com controle por valores médios instantâneos de corrente.

A Figura 3.2 apresenta um diagrama de blocos com o funcionamento do controle por valores médios de corrente, descrito a seguir.

A corrente de referência é gerada por um circuito analógico multiplicador/divisor, a partir da tensão retificada de alimentação e da tensão na carga do conversor.

A amostra de tensão de alimentação com ganho G fornece ao controle informações para o sincronismo da corrente de referência (parâmetro A), valor instantâneo e frequência da tensão de entrada.

A realimentação da tensão retificada de entrada é feita com a passagem do sinal por um filtro passa-baixa, resultando em um sinal proporcional ao seu valor eficaz, visando o ajuste da amplitude da corrente de referência em eventuais flutuações da tensão de alimentação (parâmetro C).

Além da correção do fator de potência, há também a regulação da tensão de saída da estrutura através do ajuste da amplitude média da corrente de referência conforme a variação da carga (erro de tensão, parâmetro B).

A corrente de referência é então comparada a uma amostra da corrente no indutor de entrada L_{in} (obtida através de um resistor shunt ou sensor de efeito hall), proporcionando o sinal de controle, que resultará nos pulsos de controle para S_p e S_a , através de um circuito de ataque PWM.

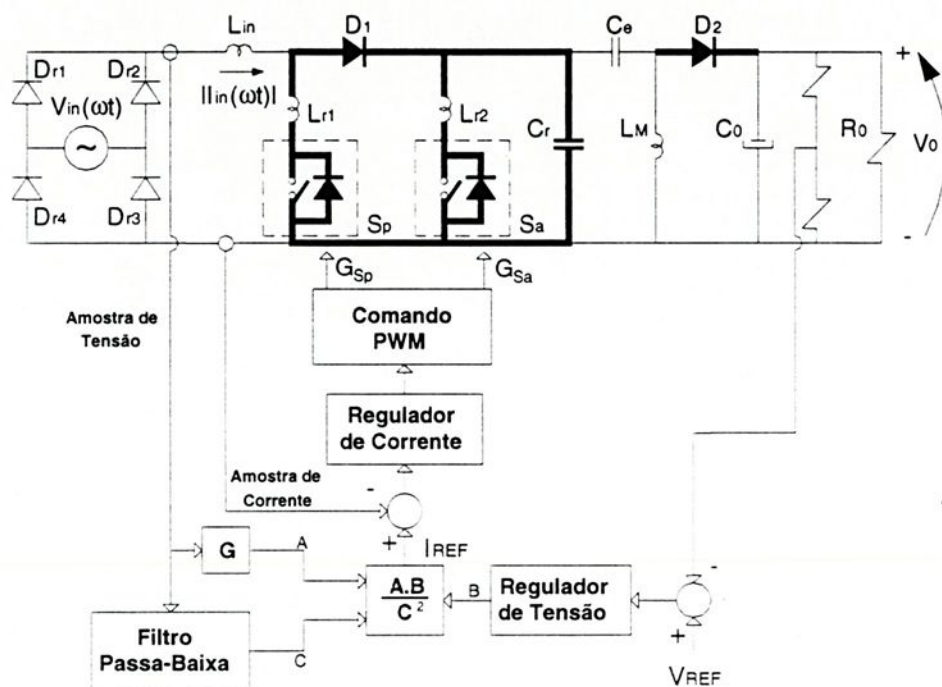


Fig. 3.2 – Diagrama de blocos do controle por valores médios instantâneos de corrente aplicado a uma estrutura SEPIC em condução contínua.

O circuito integrado UC3854, produzido pela Unitrode, efetua toda a lógica descrita para o controle por valores médios de corrente. Este integrado é então o utilizado para o retificador ZCS-PWM SEPIC, resultando em uma estrutura com elevado fator de potência.

No caso do novo conversor ZCS-PWM SEPIC, o pulso produzido pelo UC 3854 é encaminhado para o circuito de disparo dos IGBTs de forma que as larguras de pulso sejam então adequadas aos parâmetros ressonantes da nova célula de comutação, conforme Figura 3.3.

De forma simplificada, o comando por valores médios para o novo pré-condicionador CA/CC SEPIC ZCS-PWM é apresentado na Figura 3.4.

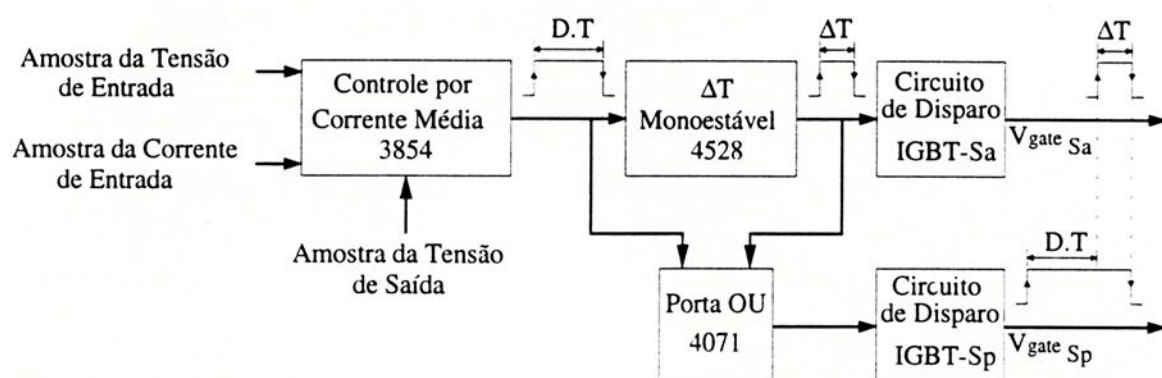


Fig. 3.3 - Diagrama de blocos do controle por valores médios de corrente, utilizando o UC3854.

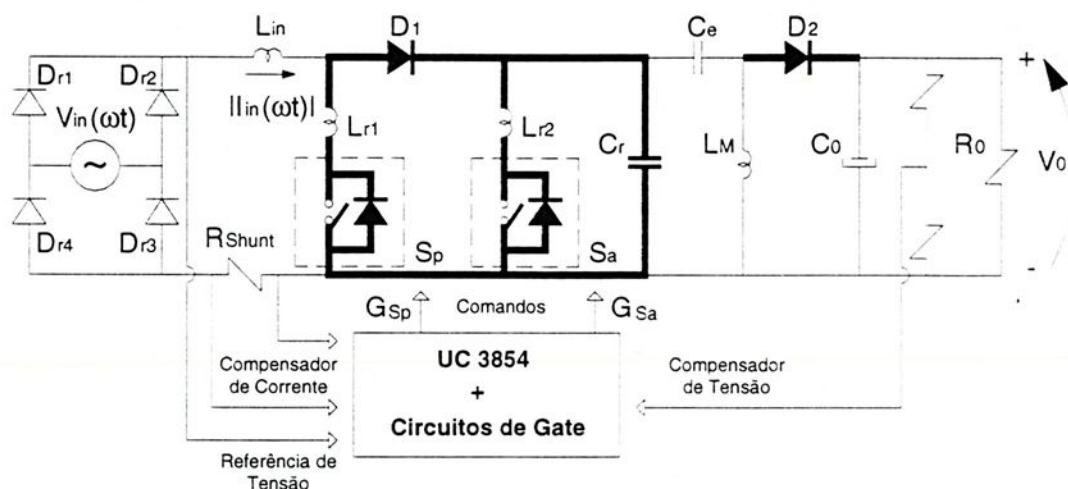


Fig. 3.4 - Novo Conversor CA/CC SEPIC ZCS-PWM com Controle por Corrente Média.

3.2 Análise do Novo Pré-Condicionador Retificador SEPIC ZCS-PWM com Elevado Fator de Potência e Controle por Valores Médios

3.2.1 Considerações Simplificadoras

Para facilitar a análise do Conversor Retificador SEPIC ZCS-PWM serão admitidas algumas considerações simplificadoras:

- a) A frequência de operação dos semicondutores (f_s) é muito mais elevada que a frequência do sistema de alimentação (f_{rede}). Com base neste fato, pode-se considerar que, durante um período de operação do semicondutor (T), a tensão de alimentação é praticamente constante;
- b) A partir da consideração anterior, admite-se que a alimentação do conversor é realizada por uma fonte de corrente constante (fonte de tensão associada à indutância L_{in}), em cada período de operação, igual ao módulo da corrente de entrada durante este período;

- c) A carga conectada ao conversor possui características de uma fonte de tensão constante.
- d) O capacitor de acumulação C_e é considerado como uma fonte de tensão constante V_{Ce} e o indutor L_M como uma fonte de corrente constante I_M .

Com base em tais considerações, a análise do conversor CA/CC SEPIC ZCS-PWM com elevado fator de potência pode ser realizada de maneira discretizada, ou seja, pode-se analisar o comportamento do conversor para cada período de chaveamento, tendo-se em vista que a tensão de alimentação é praticamente constante durante este intervalo de tempo. Assim sendo, pode-se admitir, de uma forma aproximada, que o comportamento do conversor CA/CC é idêntico ao comportamento do conversor CC/CC para cada período de chaveamento. A grande diferença entre os conversores reside no fato de que no caso CA/CC temos a variação, de um período de chaveamento para o outro, do valor de corrente fornecida pela fonte de alimentação de forma senoidal.

Como adaptação necessária ao pré-condicionador retificador, em relação ao conversor CC/CC, temos que a alimentação da estrutura será do tipo senoidal e retificada, ou seja, $|V_{in}(\omega t)| = |V_{in\text{ pico}} \cdot \text{sen}(\omega t)|$, sendo $V_{in\text{ pico}}$ o valor de pico da tensão de entrada e ω a frequência angular da rede.

A presença do indutor de entrada L_{in} faz com que o conjunto formado por ele e pela fonte de tensão possam ser interpretados como uma fonte de corrente, também senoidal e retificada, o que implica $|I_{in}(\omega t)| = |I_{in\text{ pico}} \cdot \text{sen}(\omega t)|$, onde $I_{in\text{ pico}}$ é o valor de pico da corrente de entrada.

A Figura 3.5 ilustra, de maneira simplificada, o novo pré-condicionador retificador SEPIC ZCS-PWM, de acordo com as condições simplificadoras admitidas.

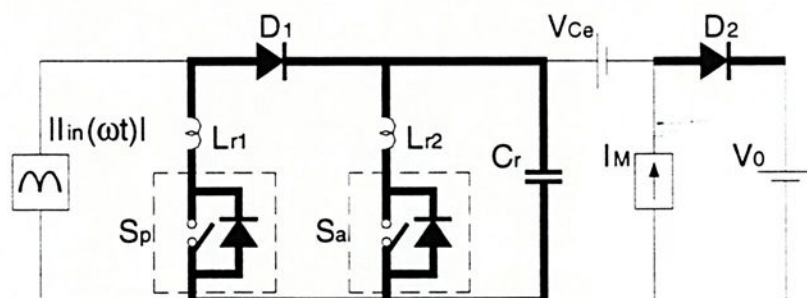


Fig. 3.5 - Conversor CA/CC SEPIC ZCS-PWM simplificado.

3.2.2 Etapas de Funcionamento

Como analisado no item 3.2.1, a modificação a ser realizada em relação ao conversor CC/CC SEPIC ZCS-PWM, para análise das etapas de funcionamento, diz respeito apenas à substituição da fonte de corrente contínua por uma fonte de corrente senoidal retificada. Assim sendo, todo o equacionamento anteriormente desenvolvido é integralmente aplicável para a operação como retificador, sendo que as adaptações necessárias serão apresentadas neste capítulo.

Com base neste fato, na Figura 3.6 são apresentadas as etapas de funcionamento do novo pré-condicionador retificador SEPIC ZCS-PWM da maneira mais simples possível, tendo em vista que o processo de obtenção das equações é idêntico ao apresentado para o conversor CC/CC, considerando-se que para um período genérico de chaveamento (T_i), a corrente de entrada seja constante e igual a $|I_{in}(\omega T_i)|$.

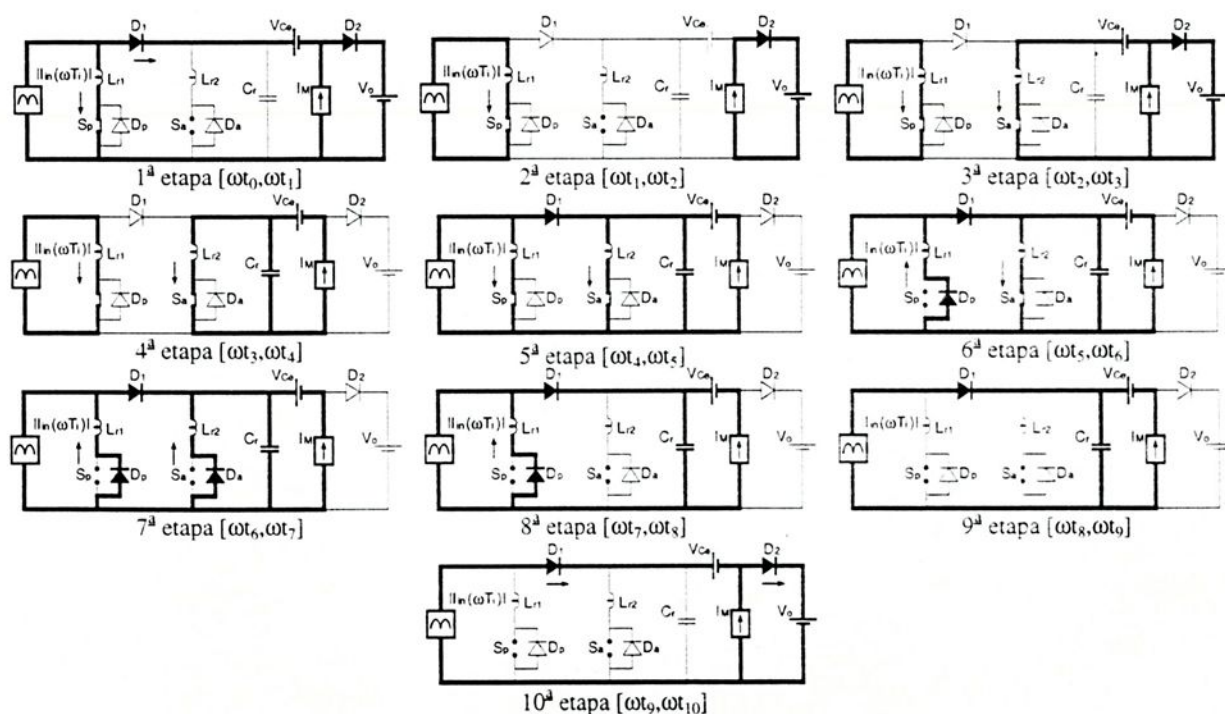


Fig. 3.6 - Etapas de funcionamento para o Novo Conversor pré-condicionador retificador SEPIC ZCS-PWM, durante um período genérico de chaveamento (T_i).

Onde:

M = número de subintervalos de amostragem; $i = 1, 2, 3, \dots, M$.

$T = T_i = T_{i+1} = \dots = T_M$, para M subintervalos de discretização de $|I_{in}(\omega t)|$, durante o período da rede CA (T_{rede}).

$$|I_{in}(\omega T_i)| = I_{in\ pico} \cdot \text{sen}(\omega T_i)$$

$$|I_{in}[\omega T_{(i+1)}]| = I_{in\ pico} \cdot \text{sen}[\omega(T_i + T_{i+1})]$$

⋮

$$|I_{in}[\omega T_M]| = I_{in\ pico} \cdot \text{sen}\left[\omega\left(\sum_{i=1}^M T_i\right)\right]$$

Onde:

$$\sum_{i=1}^M T_i = T_{rede}$$

Sendo que:

$$I_{Lr2\ max}(\omega T_i) = I_{Lr2\ max}[\omega T_{(i+1)}] = \dots = I_{Lr2\ max}[\omega T_M]$$

Na Figura 3.7 apresentam-se as principais formas de onda para o novo conversor retificador SEPIC ZCS-PWM, durante um período genérico de funcionamento (T_i).

De acordo com a análise das Figuras 3.6 e 3.7, verificam-se que as comutações para os interruptores principal e auxiliar são preservadas, assim como na análise realizada para conversão CC/CC, ou seja, ZCS na entrada em condução e ZVZCS durante o bloqueio.

Observa-se ainda que as comutações para os diodos D_1 e D_2 são do tipo ZVS e que as formas de onda e etapas de funcionamento são as mesmas daquelas analisadas na conversão CC/CC, considerando-se as condições simplificadoras admitidas para um período genérico de operação.

As adaptações para os parâmetros de normalização são a seguir analisadas.

O parâmetro α_1 é modificado e passa a ser representado pela equação (3.3), como segue:

$$\alpha_1(\omega t) = \frac{|I_{in}(\omega t)|}{V_0 + V_{Ce}} \cdot \sqrt{\frac{L_{r2}}{C_r}} \quad (3.3)$$

Obviamente, as restrições de funcionamento (2.33) e (2.36) devem ser obedecidas, sendo que:

$$\alpha_{1\ máx} < \beta \cdot (1 + \alpha_{2\ máx}) \quad (3.4)$$

onde:

$$\alpha_{1\text{máx}} = \frac{I_{\text{in pico}}}{V_0 + V_{C_e}} \cdot \sqrt{\frac{L_{r2}}{C_r}} \quad (3.5)$$

$$I_{\text{in pico}} = \frac{\sqrt{2} \cdot P_{0\text{nom}}}{\eta\% \cdot V_{\text{in ef mín}}} \cdot 100 \quad (3.6)$$

$$\alpha_{2\text{máx}} < \frac{(1 - \beta)}{(1 + \beta)} \quad (3.7)$$

com:

$$\alpha_{2\text{máx}} = \frac{I_{0\text{nom}}}{V_0 + V_{C_e}} \cdot \sqrt{\frac{L_{r2}}{C_r}} \quad (3.8)$$

onde:

$$I_{0\text{nom}} = \frac{P_{0\text{nom}}}{V_0} \quad (3.9)$$

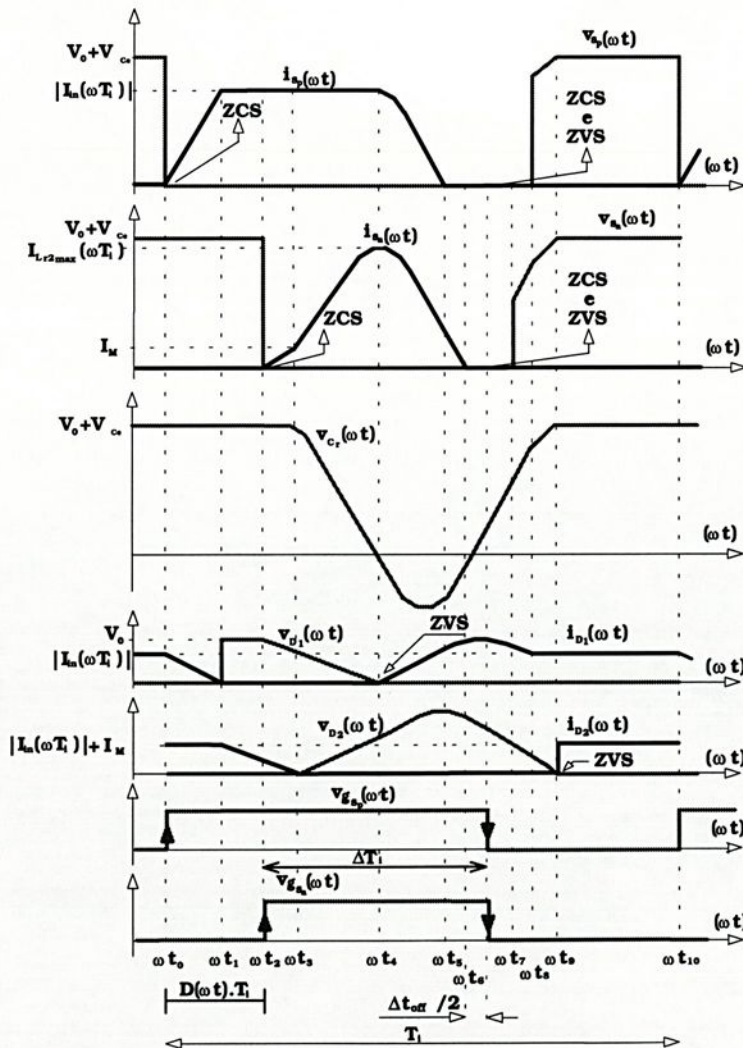


Fig. 3.7 – Principais formas de onda para o novo retificador SEPIC ZCS-PWM com controle por valores médios, durante um período genérico de chaveamento.

3.3 Exemplo de Projeto e Resultados de Simulação

3.3.1 Exemplo de Projeto

Seguem-se os passos para a definição do projeto para o Novo Conversor CA/CC SEPIC ZCS-PWM:

a) Especificações de entrada e saída;

$V_{in\ ef} = 220V$ (tensão eficaz nominal de entrada)

$V_{in\ ef\ mín} = 187V$ (tensão eficaz mínima de entrada)

$f_{rede} = 60Hz$

$f_s = 20kHz$

$P_{0\ nom} = 300W$ (Potência nominal na carga)

$\eta\% = 95\%$ (mínimo rendimento adotado)

b) Correntes eficaz de entrada e média nominal de saída ($I_{in\ ef}$ e $I_{0\ nom}$);

$$I_{in\ ef} = \frac{P_{0\ nom}}{\eta\% \cdot V_{in\ ef}} \cdot 100 = 1,435A$$

Sendo que,

$$I_{in\ ef\ máx} = \frac{P_{0\ nom}}{\eta\% \cdot (V_{in\ ef} - 0,15 \cdot V_{in\ ef})} \cdot 100 = 1,689A$$

$$I_{in\ pico} = \sqrt{2} \cdot I_{in\ ef\ máx} = 2,389A$$

$$I_{0\ nom} = \frac{P_{0\ nom}}{V_0} = 4,54A$$

c) Cálculo dos parâmetros ressonantes;

Como apresentado nas simplificações adotadas para o funcionamento do conversor CA/CC SEPIC ZCS-PWM, podem ser considerados os mesmos parâmetros do conversor CC/CC SEPIC ZCS-PWM (calculados anteriormente no item 2.5.1) e aplicá-los ao conversor da Figura 3.4. Desta forma, admite-se que:

$$\alpha_{1\ máx} = 0,101; \alpha_{2\ máx} = 0,351; \beta = 0,4 \text{ e } \frac{f_s}{f_{02}} = f = 0,15$$

Portando, das equações (2.6), (2.7), (2.8) e (2.9) tem-se que:

$$L_{r1} = 80\mu H; L_{r2} = 32\mu H \text{ e } C_r = 44nF.$$

Os parâmetros foram considerados os mesmos da metodologia de projeto CC/CC, levando-se em conta o atendimento das restrições impostas pelas equações (3.4) e (3.7).

d) Cálculo das indutâncias L_{in} e L_M ;

Baseando-se novamente em [15], a indutância L_{in} , dada por (2.72), foi adotada agora como:

$$L_{in} = 6\text{mH}$$

Adota-se que a indutância de acumulação L_M seja próxima de L_{in} para que se obtenha ondulações de corrente de valores próximos nestes indutores. Assim:

$$L_M = 5\text{mH}$$

e) Cálculo da capacitância de acumulação (C_e);

O cálculo desta capacitância se dá conforme (3.10):

$$\begin{cases} C_e > \frac{1}{L_{eq} \cdot (2\pi \cdot f_s)^2} \\ e, \\ C_e \lll \frac{1}{L_{eq} \cdot (2\pi \cdot f_{rede})^2} \end{cases} \quad (3.10)$$

Logo, entre os valores: $\begin{cases} C_e > 23,2\text{nF} \\ e, \\ C_e \lll 2,57\text{mF} \end{cases}$

Foi adotado:

$$C_e = 88\mu\text{F}$$

f) Cálculo da capacitância do filtro de saída (C_0);

A capacitância para o filtro de saída é calculada através da equação (3.11).

$$C_0 \geq \frac{P_{0\text{nom}}}{4 \cdot \pi \cdot f_{rede} \cdot V_0 \cdot \Delta V_0} \quad (3.11)$$

Onde:

$$\Delta V_0 = 0,06 \cdot V_0$$

Assim, adota-se:

$$C_0 = 2,72\text{mF}.$$

3.3.2 Resultados de Simulação

Na Figura 3.8 apresentam-se os resultados de simulação para a corrente e tensão de entrada para a carga nominal.

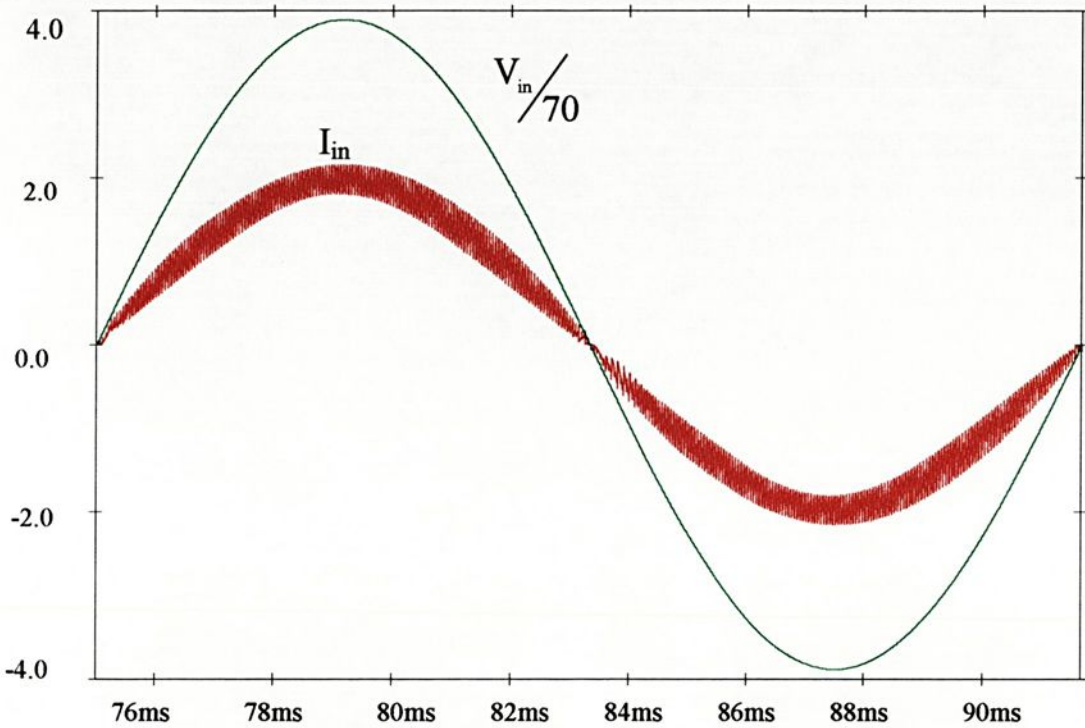


Fig. 3.8 - Corrente e tensão de entrada para carga nominal.

Através de simulação não foram obtidos valores de TDH e deslocamento angular da forma de onda da corrente de entrada em relação à tensão de entrada, mas como se verifica na Figura 3.8, a corrente de entrada tem reduzida distorção harmônica e pequeno deslocamento angular, conseqüentemente resultando em elevado fator de potência para o novo conversor em análise.

Nas Figuras 3.9 e 3.10 apresentam-se os detalhes para as comutações dos interruptores principal e auxiliar, respectivamente, para carga nominal.

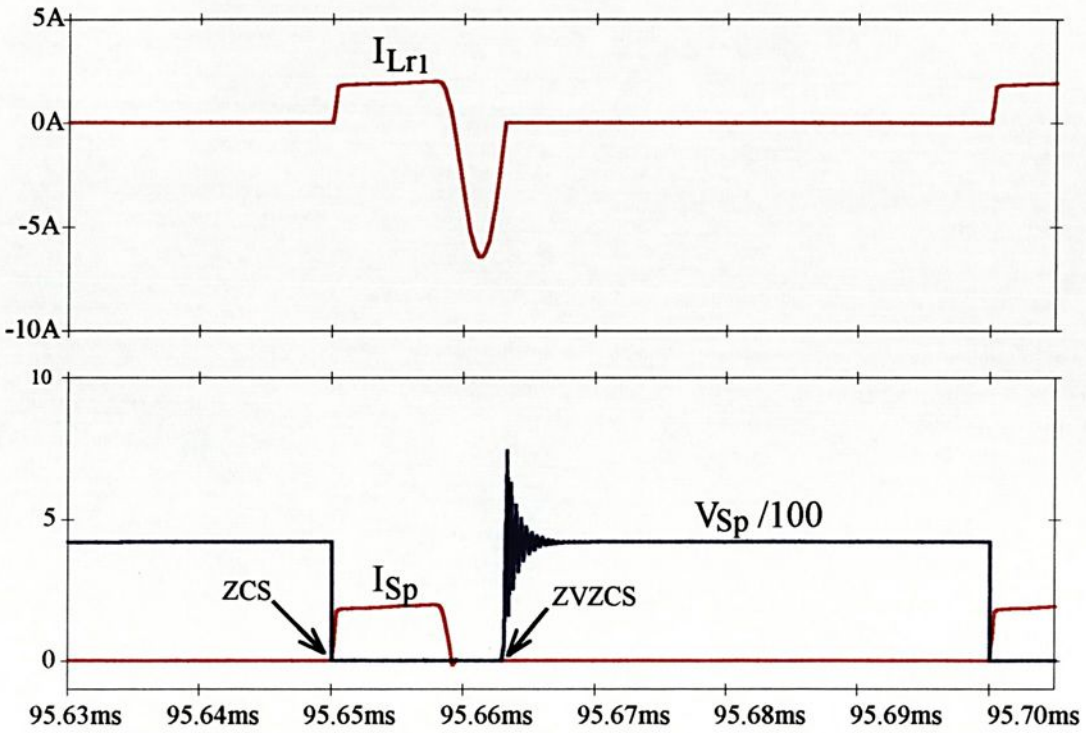


Fig. 3.9 - Corrente através de L_{r1} e tensão e corrente através de S_p , carga nominal.

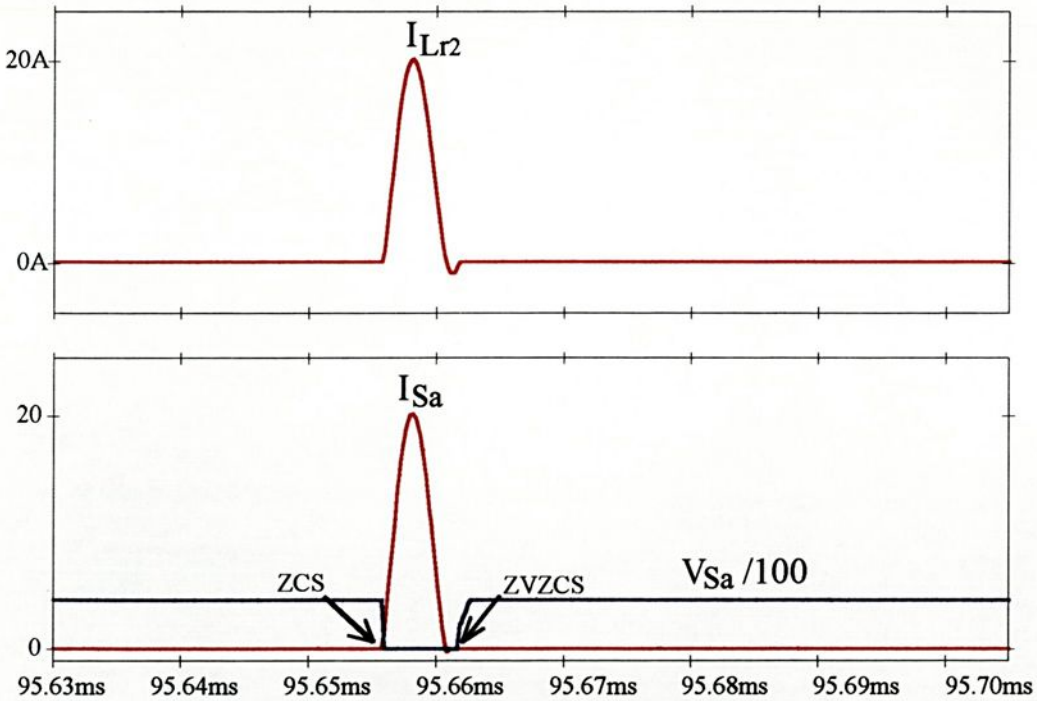


Fig. 3.10 - Corrente através de L_{r2} e tensão e corrente através de S_a , carga nominal.

Como se verifica nas Figuras 3.9 e 3.10, as comutações são mantidas suaves e do tipo ZCS tanto para o interruptor principal, quanto para o auxiliar, na entrada em condução, e, ZVZCS durante o bloqueio dos mesmos.

As comutações para os diodos D_1 e D_2 são apresentadas na Figura 3.11.

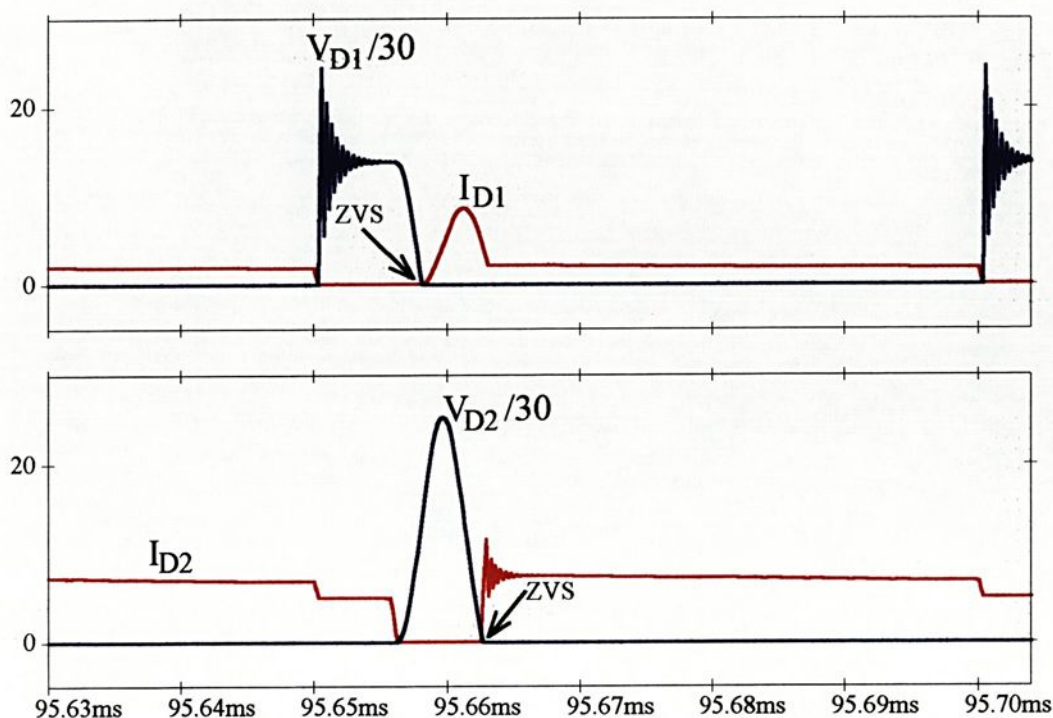


Fig. 3.11 - Tensões e correntes através dos diodos D_1 e D_2 , para carga nominal.

Pela análise da Figura 3.11, as comutações não-dissipativas e do tipo ZVS na entrada em condução, ocorrem para ambos os diodos (D_1 e D_2).

Na Figura 3.12, apresentam-se a tensão de entrada e a tensão na carga, na situação nominal. Portanto, analisando-se os resultados da Figura 3.12, verifica-se a operação do conversor como retificador (conversão CA/CC), assim como a característica de abaixador de tensão ($V_{in\ rms} = 220V$ e $V_0 \cong 51V$).

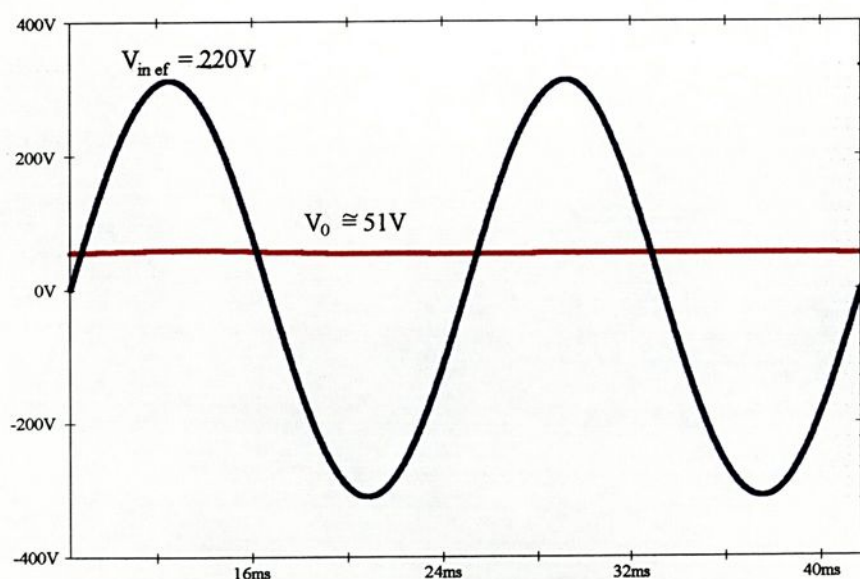


Fig. 3.12 - Tensão de entrada e tensão na carga, para carga nominal.

Da análise geral apresentada para o novo conversor retificador SEPIC ZCS-PWM, verifica-se que os resultados de simulação demonstraram que o comportamento desta estrutura é muito semelhante àquele analisado anteriormente.

Constata-se que a corrente de entrada apresenta-se com baixa taxa de distorção harmônica e reduzida defasagem angular em relação à tensão de alimentação, o que resulta num elevado fator de potência para a estrutura proposta.

Dos resultados obtidos de simulação, observa-se ainda que as comutações dos interruptores, tanto ativos quanto passivos, foram não-dissipativas. Tanto o interruptor principal quanto o auxiliar comutaram de forma ZCS, bem como os diodos D_1 e D_2 que apresentaram comutações sob tensão nula (ZVS), sem efeitos de recuperação reversa sobre S_p e S_a , durante todo o período da rede de corrente alternada.

A próxima etapa de desenvolvimento para este capítulo será a implementação e obtenção dos resultados experimentais para o conversor em análise, como apresentado a seguir.

3.3.3 Dimensionamento dos Elementos do Circuito de Potência

Com os dados da simulação, são dimensionados os indutores, capacitores e semicondutores do circuito de potência, como segue:

- Diodos da ponte retificadora

Foram utilizados quatro diodos 1N5408.

- Indutor de Entrada L_{in}

$L_{in} = 6\text{mH}$, núcleo Thornton EE42/15 – IP12, ($A_e = 1,81\text{cm}^2$, $A_w = 1,57\text{cm}^2$), 287 espiras de fio AWG 21.

- Indutor de Acumulação L_M

$L_M = 5\text{mH}$, núcleo Thornton EE65/26 – IP12, ($A_e = 5,32\text{cm}^2$, $A_w = 3,70\text{cm}^2$), 204 espiras de fio AWG 16.

- Indutor de Ressonância L_{r1}

$L_{r1} = 80\mu\text{H}$, núcleo Thornton EE30/7 – IP12, ($A_e = 0,60\text{cm}^2$, $A_w = 0,80\text{cm}^2$), 40 espiras de fio AWG 21.

- Indutor de Ressonância L_{r2}

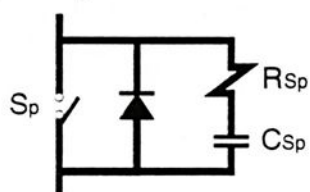
$L_{r2} = 32\mu\text{H}$, núcleo Thornton EE30/14 – IP12, ($A_e = 1,20\text{cm}^2$, $A_w = 0,85\text{cm}^2$), 20 espiras de fio AWG 17.

- Interruptor Principal S_p e Auxiliar S_a

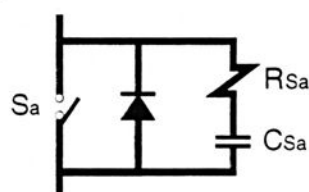
Observando-se os esforços apresentados em simulação, foram adotados os IGBTs de 4ª geração (com diodos em anti-paralelo intrínsecos) da International Rectifier, IRG4PH50UD, para ambos os interruptores.

- Circuitos Snubber

para S_p :



para S_a :



Adota-se: $R_{Sp} = 100\Omega / 1\text{W}$

$R_{Sa} = 100\Omega / 1\text{W}$

$C_{Sp} = 2,2\text{nF} / 1,6\text{kV}$

$C_{Sa} = 1\text{nF} / 1,6\text{kV}$

Observa-se mais uma vez que o “snubber” usado para S_p e S_a se deve à recuperação reversa de seus diodos intrínsecos (160ns até 240ns), os quais, não sendo tão rápidos, provocam sobretensões sobre os interruptores.

- Diodos D_1 e D_2

Dados os esforços apresentados, foram adotados os diodos MUR10150E.

- Capacitor de Acumulação C_e

$C_e = 88\mu\text{F}/450\text{V}$ (associação em paralelo de quatro capacitores de $22\mu\text{F}$)

- Capacitor de Saída C_0

$C_0 = 2,72\text{mF}$ (num arranjo de quatro capacitores de $680\mu\text{F}/250\text{V}$, em paralelo)

As Figuras 3.13 e 3.14 apresentam o novo conversor SEPIC com controle por valores médios de corrente implementado e o circuito de comando para os interruptores principal e auxiliar, respectivamente.

A Figura 3.15 apresenta o protótipo implementado para o novo pré-condicionador retificador SEPIC ZCS-PWM com controle por valores médios de corrente.

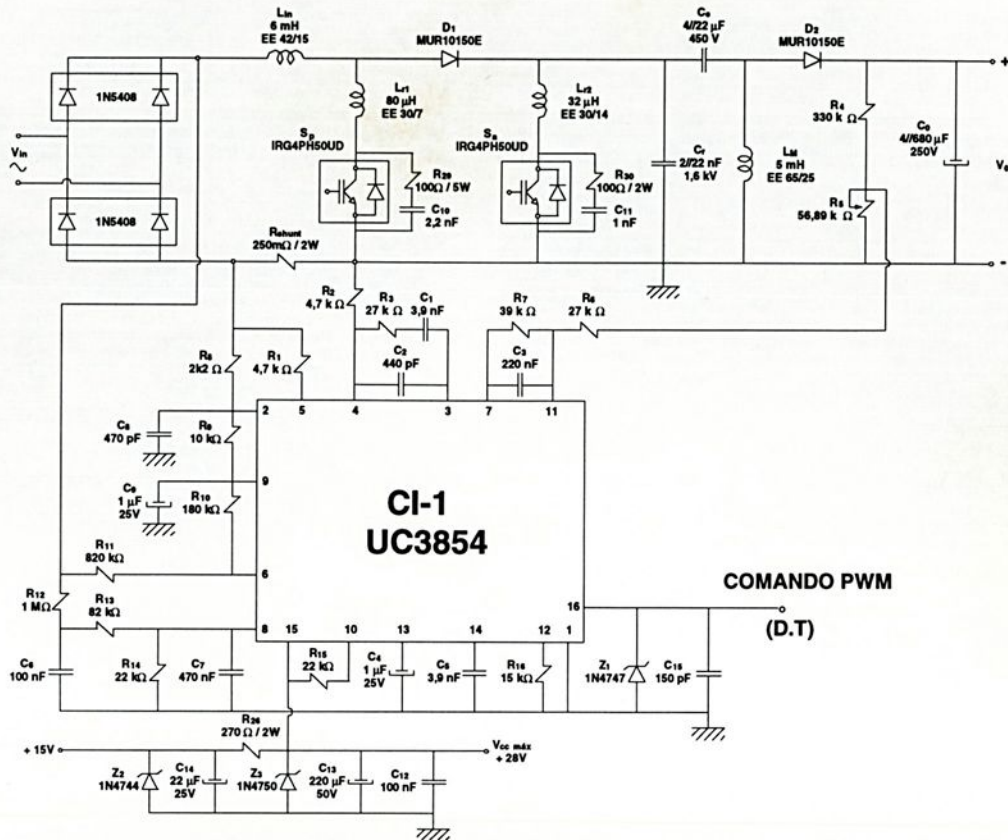


Fig. 3.13 - Circuito implementado para o conversor CA/CC ZCS-PWM SEPIC com elevado fator de potência e controle por corrente média.

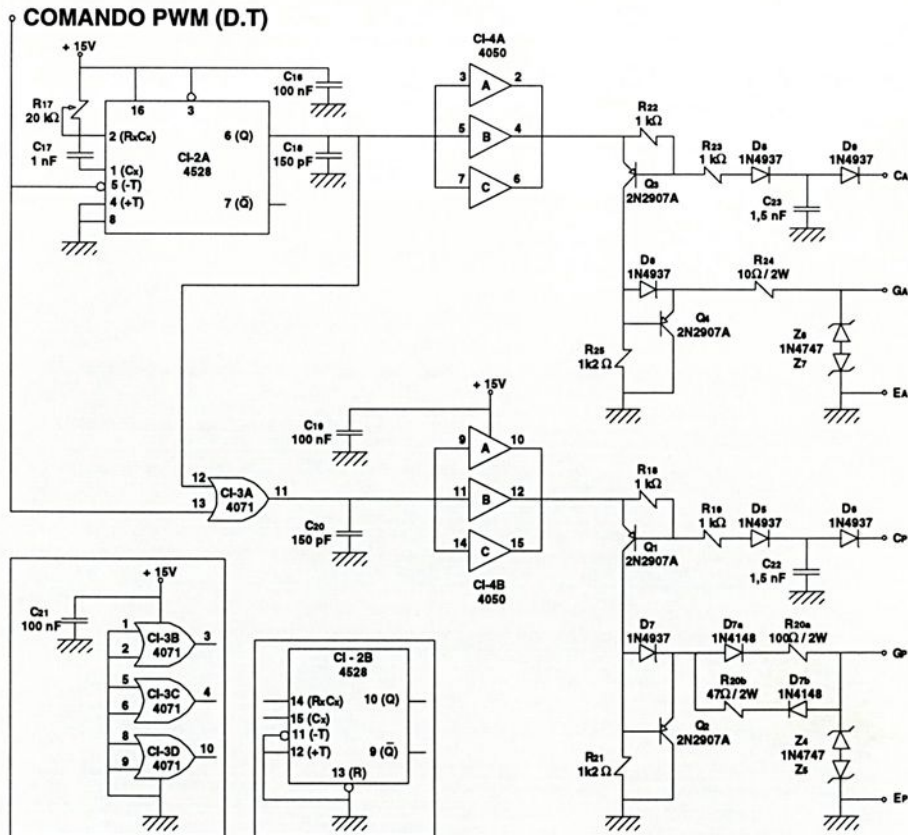


Fig. 3.14 - Circuito de controle PWM para os interruptores principal e auxiliar.

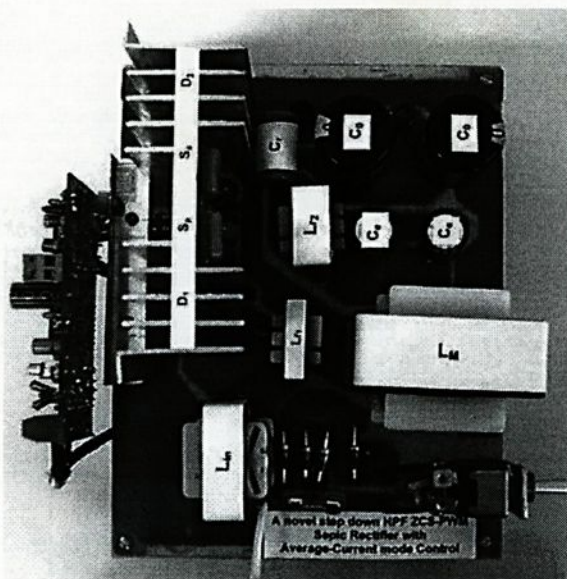


Fig. 3.15: Protótipo implementado para o novo conversor retificador SEPIC ZCS-PWM.

3.3.4 Resultados Experimentais

A partir dos ensaios com o protótipo implementado, foram obtidas as principais formas de onda do conversor, que serão apresentadas e comentadas a seguir.

A Figura 3.16 apresenta as formas de onda da tensão de entrada e da corrente drenada pelo conversor, para carga nominal e tensão de alimentação nominal.

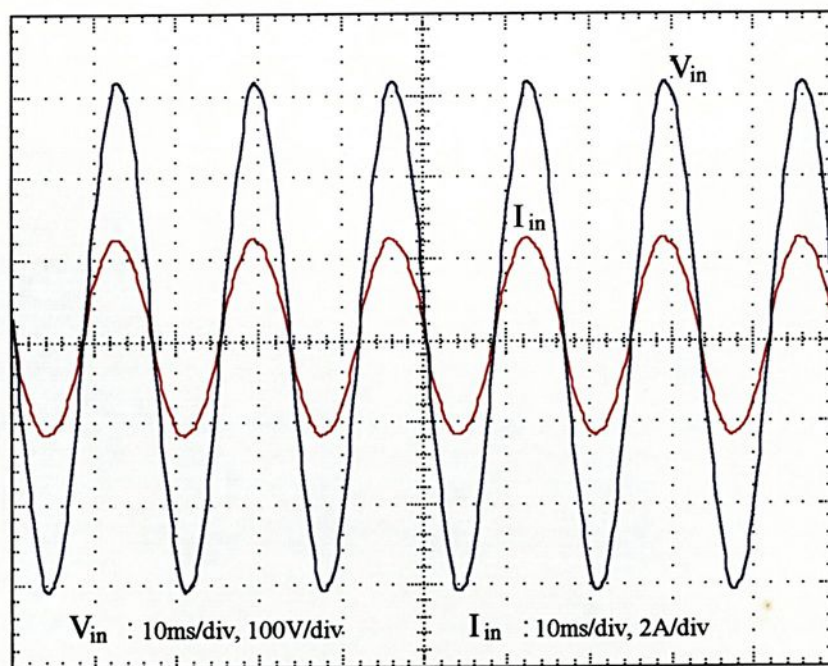


Fig.3.16 - Formas de onda da corrente e tensão de entrada – Carga nominal.

A partir das formas de onda mostradas na Figura 3.16, apresentam-se nas Figuras 3.17 e 3.18 os espectros harmônicos da corrente drenada pelo conversor SEPIC e para a tensão de alimentação, respectivamente.

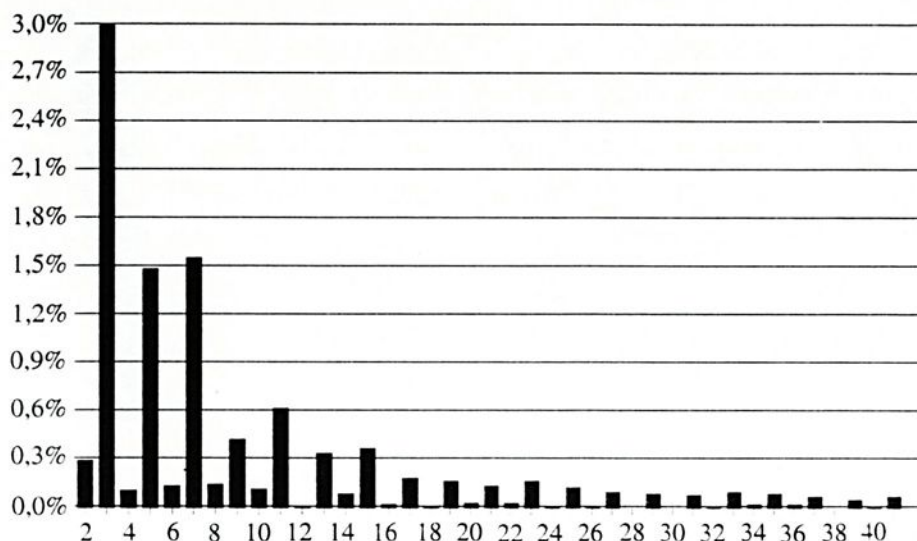


Fig. 3.17 – Espectro harmônico da corrente de entrada drenada pelo protótipo, para carga nominal.

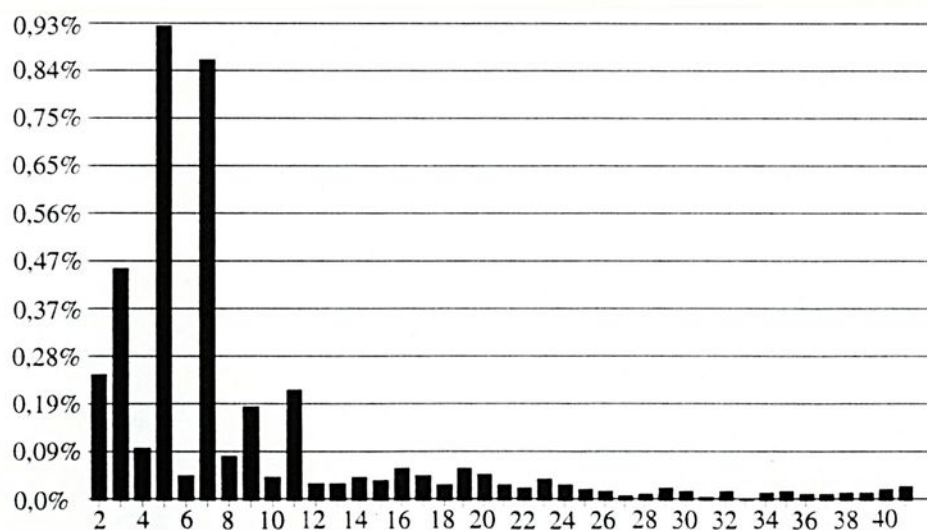


Fig. 3.18 – Espectro harmônico da tensão de alimentação, para tensão de entrada e carga nominais.

Observa-se que as componentes de maior influência na corrente de entrada, conforme Figura 3.17, são as de terceira (3,02%), quinta (1,50%) e sétima (1,57%) ordem. Logo, a taxa de distorção harmônica total da corrente de entrada, para carga nominal, é de 3,88%. Observa-se ainda que a tensão de entrada apresentou uma taxa de distorção harmônica total de 1,42%, conforme a Figura 3.18 e de acordo com a Figura 3.16.

A Tabela T.1 apresenta uma comparação entre os resultados obtidos do espectro harmônico da corrente de entrada e os valores eficazes permitidos pelas normas IEC 555-2 e IEC 1000-3-2, considerando-se a classe D (por esta classe ser mais restritiva em relação à classe A).

Tabela T.1 – Valores eficazes do conteúdo harmônico estabelecido pelas normas IEC e os resultados obtidos experimentalmente da corrente de entrada para carga nominal.

IEC – Classe D			
$V_{in} = 220V$ e $P_0 = 300W$			
Ordem Harmônica	Corrente por componente harmônica (valores eficazes)		
	Absoluta 1000-3-2 (A)	Absoluta 555-2 (A)	SEPIC – Resultados Experimentais (A)
2	-	0,30	0.00518
3	1,02	1,08	0.05240
4	-	0,15	0.00194
5	0,57	0,60	0.02620
7	0,3	0,45	0.02720
9	0,15	0,30	0.00752
11	0,105	0,18	0.01090
13	0,0888	0,15	0.00608
15	0,0468	0,13	0.00646

Verifica-se que o novo retificador SEPIC atende às normas IEC em todas as faixas do espectro harmônico.

O deslocamento angular da corrente drenada em relação à tensão de alimentação do conversor é de $3,21^\circ$, resultado este obtido a partir da Figura 3.16.

Logo, o fator de potência do conversor para carga nominal foi de 0,999 (99,9%), nas condições aqui apresentadas.

As Figuras 3.19 e 3.20 apresentam os detalhes de comutação para os interruptores principal e auxiliar em condições próximas à tensão de pico e da tensão nula de alimentação.

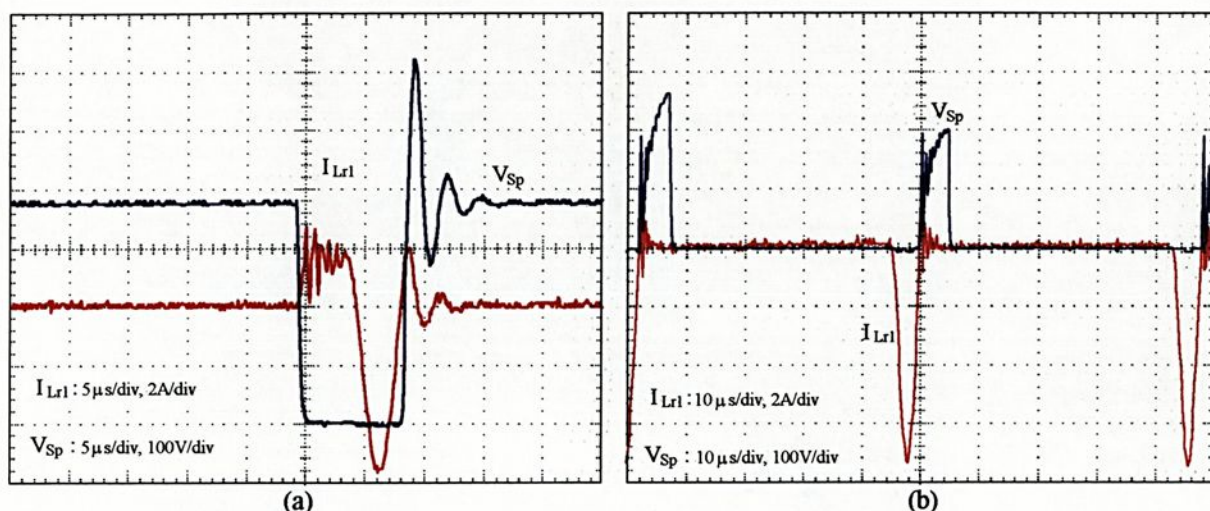


Fig. 3.19 - Tensão sobre S_p e corrente através de L_{r1} , para carga nominal: (a) próximas da tensão de pico da alimentação e (b) próximas da tensão nula de alimentação.

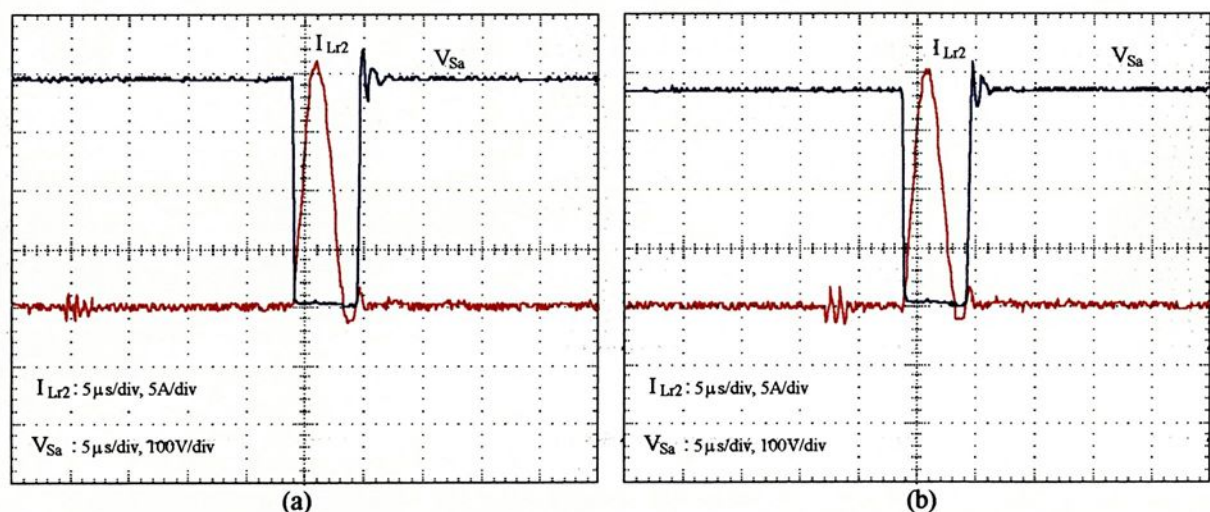


Fig. 3.20 - Tensão sobre S_a e corrente através de L_{r2} , para carga nominal: (a) próximas da tensão de pico da alimentação e (b) próximas da tensão nula de alimentação.

Observa-se que as comutações em ambos os interruptores, principal e auxiliar, ocorrem de forma ZCS na entrada em condução e ZVZCS no bloqueio nas duas condições citadas da tensão de entrada. Desta forma, pode-se afirmar que as comutações nos interruptores são não-dissipativas em todo o período da rede de CA.

A Figura 3.21 apresenta as formas de onda da tensão de entrada e da tensão de saída do conversor SEPIC, operando com carga nominal. A ondulação da tensão na carga medida foi de 800mV.

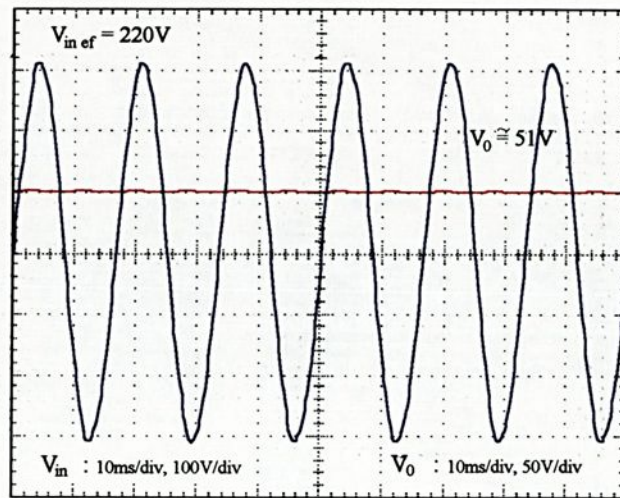


Fig. 3.21 - Tensão de entrada e tensão de saída, para carga nominal.

A Figura 3.22 apresenta a curva do rendimento obtido para o novo pré-condicionador retificador SEPIC ZCS-PWM.

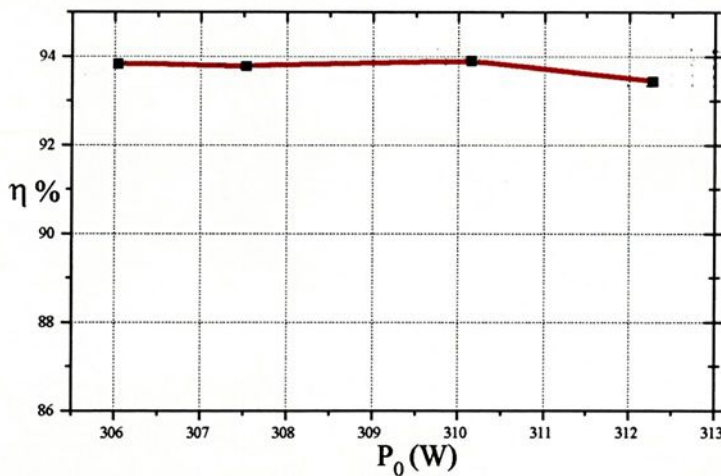


Fig. 3.22 - Curva de Rendimento do novo pré-condicionador retificador SEPIC ZCS-PWM em torno da potência nominal de saída.

O rendimento foi obtido a partir da análise experimental das perdas em condução nos elementos semicondutores e das medidas de tensão e corrente na carga, desconsiderando-se as perdas nos elementos magnéticos. Desta forma, pode-se concluir pela Figura 3.22 que o rendimento obtido para o conversor está em torno de 94% para carga nominal.

3.4 Conclusões

A implementação do pré-condicionador retificador SEPIC ZCS-PWM, seguindo a metodologia de projeto descrita, apresentou funcionamento satisfatório, sendo obtida uma corrente de entrada praticamente senoidal e com pequeno deslocamento angular em

relação à tensão de entrada, resultando num fator de potência praticamente unitário (0,99) para a carga nominal.

As comutações não-dissipativas nos interruptores principal e auxiliar são obtidas durante todo o período da rede de alimentação de corrente alternada, sendo elas ZCS na entrada em condução e ZVZCS durante o bloqueio. Os diodos D_1 e D_2 entram em condução de forma ZVS e não apresentam efeitos de recuperação reversa sobre os interruptores.

O rendimento da estrutura resultou elevado, comprovando que as perdas em comutação foram praticamente eliminadas.

As comutações obtidas, o elevado rendimento da estrutura e o fator de potência representam a validação desta nova célula de comutação, da técnica de controle por corrente média e da aplicação do conversor SEPIC como estágio pré-condicionador.

Um dos problemas enfrentados se refere à regulação de tensão na carga, visto que o conversor SEPIC, como outras estruturas, não apresenta um índice de desempenho tão bom neste aspecto, mas também devido ao regulador de tensão projetado e implementado, com a mesma sistemática de projeto para o conversor Boost. Apesar das críticas sobre este aspecto e do eventual aumento na complexidade do circuito de comando, afirma-se que o novo conversor pré-condicionador retificador SEPIC ZCS-PWM apresenta ainda fortes motivos para sua aplicação prática, tanto na versão analisada como também na sua versão isolada, não explorada neste trabalho.

Capítulo 4

4 Conclusões Gerais

Em linhas gerais, este trabalho teve como finalidade a verificação da viabilidade da implementação de uma nova topologia para o conversor SEPIC, que pode ser aplicada na conversão CA/CC com correção do fator de potência, utilizando-se para esta verificação de ferramentas teóricas e computacionais para consolidar a faixa de operação e as principais características necessárias ao esboço de uma metodologia de projeto.

Como ocorrem realmente as comutações suaves dos interruptores ativos, de forma ZCS na entrada em condução e ZVZCS durante o bloqueio, assim como também nos diodos a comutação é ZVS, foi possível verificar que o conversor opera com elevado rendimento (em torno de 96% para a aplicação CC/CC e em torno de 94% para a aplicação CA/CC, ambas para carga nominal).

O conversor SEPIC apresenta interesse quando opera como abaixador de tensão, visto que sua utilização como elevador resulta em maiores esforços de tensão e menor eficiência em relação à estrutura do tipo Boost.

Devido à introdução da nova célula de comutação, a operação do conversor SEPIC estudado exibe algumas peculiaridades como a atuação do capacitor de acumulação C_e que desempenha aqui um papel diferente. A tensão média em C_e não é mais igual ao valor eficaz da tensão de entrada (na conversão CA/CC), ou, igual à V_{in} (na conversão CC/CC) e conseqüentemente os esforços nos semicondutores são superiores à $(V_{in} + V_0)$, sendo que neste caso será $(V_0 + V_{Ce})$.

As atuais características de V_{Ce} tornam a modelagem do projeto mais complexa por envolver todos os parâmetros de controle e de ressonância no equacionamento do ganho estático. Portanto, para o traçado das características estáticas, q (ganho estático) ficará dependente não somente da razão cíclica (D), mas também de V_{Ce} .

Apesar dos esforços adicionais de tensão, o presente conversor apresenta menores perdas em condução através de S_p , pois a corrente média no mesmo (I_{in}) é menor que aquela no conversor SEPIC convencional ($I_{in} + I_M$), o que em geral resultará em melhor

eficiência, observando-se que a operação é como abaixador e recomenda-se que o ganho estático seja menor que $\frac{1}{3}$, conforme Canesin et alli em [17].

Como vantagem à utilização do controle por valores médios de corrente, pode-se citar a obtenção de uma corrente de entrada cuja forma de onda é muito próxima a uma senóide, com uma taxa de distorção harmônica total de 3,88% e praticamente em fase com a tensão de alimentação, apresentando um ângulo de $3,21^\circ$ de defasamento para carga nominal. Estas características propiciam um avanço para a otimização do consumo de energia em estágios pré-condicionadores, fato que ainda não se reflete na indústria nacional, pouco preocupada em melhorar a qualidade dos aparelhos produzidos, visto que não existem no país, ainda, normas que regulamentem a taxa de distorção harmônica total dos mesmos.

Os obstáculos encontrados desde a parte matemática até o experimento prático, juntamente com os resultados apresentados, constituem um ponto de partida para o aprimoramento desta pesquisa. No entanto, o objetivo maior deste trabalho foi atingido, ou seja, analisar e divulgar este novo conversor SEPIC para a comunidade científica, engrandecendo o nome da pesquisa nacional, ofuscada pela crise e pela falta de ações em direção ao progresso do país.

Referências Bibliográficas

- [1]C. A. Canesin e I. Barbi, "Novel Zero-Current-Switching PWM Converters", IEEE Transactions on Industrial Electronics, Publisher Identifier S0278-0046(97)04137-3, Junho-1997
- [2]E. E. Buchanan e E. J. Miller, "Resonant switching power conversion technique", IEEE PESC RECORDS, 1975, pp. 188-193;
- [3]E. J. Miller, "Resonant switching power conversion", IEEE PESC RECORDS, 1976, pp. 206-211;
- [4]F. C. Lee, "High-Frequency Quasi-resonant converter technologies", Proceedings of the IEEE, 1988, pp. 377-390;
- [5]D. M. Divan, R. W. Dedoncker e R. L. Steigerwald, "Soft-switching in high power converters", IEEE APEC SEMINAR 8, 1990, pp. S.8-6;
- [6]O. D. Patterson e D. M. Divan, "Pseudo-resonant full bridge DC/DC converter", IEEE PESC RECORDS, 1987, pp. 424-430;
- [7]T. A. Meynard, Y. Cheron e H. Foch, "Generalization of the resonant switch concept: structures and performance", EPE RECORDS, 1987, pp. 239-244;
- [8]R. Rangan, D. Y. Chen, J. Yang e J. Lee, "Application of insulated gate bipolar transistor to zero-current switching converters", IEEE Transactions on Power Electronics, Vol.4, no.1, 1989, pp. 02-07;
- [9]F. C. Lee, K. Wang, G. Hua e D. Borojevic, "A comparative study of switching losses of IGBTs under hard-switching, zero-voltage switching and zero-current switching", IEEE PESC RECORDS, 1994, pp. 1196-1204;
- [10]C. A. Canesin e I. Barbi, "A unity power factor multiple-isolated outputs switching mode power supply using a single switch", IEEE APEC Records, Dallas-USA, 1991, pp. 430-436;
- [11]J. A. Pomilio e G. Spiazzi, "Soft-commutated Cuk and SEPIC converters as Power Factor preregulators", IEEE IECON, 1994;

- [12] D. S. L. Simonetti, J. Sebastián, F. S. dos Reis e J. Uceda, "Design criteria for SEPIC and Cuk converters as power factor preregulators in discontinuous conduction mode", in IEEE IECON, 1992, pp. 283-288;
- [13] G. Spiazzi e L. Rosseto, "High-quality rectifier based on coupled-inductor SEPIC topology", in IEEE PESC, 1994, pp. 336-341.
- [14] C. A. Canesin e I. Barbi, "Conversor CC/CC SEPIC: Análise, princípio de operação, simulação e implementação", SEP'90 – Seminário de Eletrônica de Potência, Florianópolis (SC), 1990, pp. 34-41;
- [15] L. Dixon, "High power factor preregulators for off-line power supplies", UNITRODE SEMINAR, Topic 6, 1988, pp. 6.1-6.16.
- [16] R. Redl, "Low-cost line harmonics reduction", IEEE APEC SEMINAR 7, 1995, 71 pgs.;
- [17] C. A. Canesin, L. T. S. Sobrinho e R. A. Kitamura, "Novel Zero-Current-Switching PWM Step Down SEPIC Converter", IEEE-PEDES, 1998, pp. 717-722.



**UNIVERSIDADE ESTADUAL PAULISTA - UNESP
FACULDADE DE ENGENHARIA DE ILHA SOLTEIRA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA
PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA
AV. BRASIL, 56 - CAIXA POSTAL 31
15385-000 - ILHA SOLTEIRA - SP**

