

Pedro Henrique Penna da Silva

Projeto de um Regulador linear de baixa queda de tensão utilizando
dispositivos nanofios de porta ômega.

São João da Boa vista
2025

Pedro Henrique Penna da Silva

Projeto de um Regulador Linear de baixa queda de tensão utilizando
dispositivos nanofios de porta ômega

Dissertação apresentada, junto ao Programa de Pós-Graduação em Engenharia Elétrica, Interunidades, entre o Instituto de Ciência e Tecnologia de Sorocaba e o Campus de São João da Boa Vista da Universidade Estadual Paulista “Júlio de Mesquita Filho”.

Orientadora: Prof^a. Dr^a. Paula Ghedini Der Agopian

São João da Boa Vista
2025

D229p

da Silva, Pedro Henrique Penna

Projeto de um Regulador linear de baixa queda de tensão utilizando dispositivos nanofios de porta ômega. / Pedro Henrique Penna da Silva. -- São João da Boa Vista, 2025

96 f. : il., tabs., fotos

Dissertação (mestrado) - Universidade Estadual Paulista (UNESP), Faculdade de Engenharia, São João da Boa Vista

Orientadora: Paula Ghedini der Agopian

1. Semicondutores. 2. Microeletronica. 3. Circuitos integrados lineares. 4. Reguladores de voltagem. 5. Nanofios. I. Título.

Impacto potencial desta pesquisa

A pesquisa desenvolvida neste trabalho apresenta um grande avanço no campo da microeletrônica e do desenvolvimento de circuitos integrados ao propor e validar o uso de transistores nanofios de porta ômega (Ω -gate) na implementação de reguladores lineares de baixa queda de tensão (LDO). Ao serem implementados, estes dispositivos demonstraram desempenho superior em eficiência, estabilidade e rejeição de interferências em comparação com tecnologias convencionais. O impacto esperado desta pesquisa na sociedade pode ser observado em diversas frentes. Primeiramente, a aplicação de transistores mais eficientes em termos de consumo e estabilidade o que contribui para o desenvolvimento de sistemas eletrônicos mais compactos, confiáveis e sustentáveis, especialmente em dispositivos portáteis, Internet das Coisas (IoT), equipamentos médicos, sistemas embarcados, entre outros. Ao se utilizar transistores menores também ocupamos menor área de chip, podendo colocar mais transistores quando comparados a uma tecnologia convencional, o que resulta em um melhor desempenho do eletrônico desenvolvido. Além disso, a metodologia de modelagem e simulação adotada que é baseada em dados experimentais e linguagem Verilog-A pode ser replicada em pesquisas futuras, servindo de referência para outros pesquisadores e engenheiros na área de dispositivos nanoestruturados. Com isso, espera-se fomentar a inovação tecnológica nacional, fortalecendo o papel da universidade como agente de transformação e contribuindo para o desenvolvimento científico e industrial do país. Por fim, ao formar recursos humanos qualificados e promover o intercâmbio entre pesquisa experimental e simulação computacional, este trabalho contribui para a consolidação do conhecimento na área de engenharia elétrica, impulsionando avanços tecnológicos com potencial de impacto direto no cotidiano da sociedade.

Potential impact of this research

The research developed in this work represents a significant advancement in the field of microelectronics and integrated circuit design by proposing and validating the use of omega-gate nanowire (Ω -gate) transistors in the implementation of low-dropout linear voltage regulators (LDOs). When implemented, these devices demonstrated superior performance in terms of efficiency, stability, and interference rejection compared to conventional technologies.

The expected societal impact of this research can be observed in several areas. Firstly, the use of more efficient transistors in terms of power consumption and stability contributes to the development of more compact, reliable, and sustainable electronic systems, particularly in portable devices, the Internet of Things (IoT), medical equipment, and embedded systems, among others. Furthermore, by using smaller transistors, chip area is better utilized, allowing for a higher transistor density compared to conventional technologies, which leads to improved overall electronic performance. Additionally, the modeling and simulation methodology adopted—based on experimental data and Verilog-A language—can be replicated in future research, serving as a reference for other researchers and engineers in the field of nanoscale devices. As a result, this work aims to foster national technological innovation, strengthen the university's role as a transformative agent, and contribute to the scientific and industrial development of the country. Finally, by training qualified professionals and promoting the integration between experimental research and computational simulation, this study contributes to the consolidation of knowledge in the field of electrical engineering, driving technological advancements with the potential for direct impact on everyday life.



ATA DA DEFESA PÚBLICA DA DISSERTAÇÃO DE MESTRADO DE PEDRO HENRIQUE PENNA DA SILVA, DISCENTE DO PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA, DA FACULDADE DE ENGENHARIA - CÂMPUS DE SÃO JOÃO DA BOA VISTA.

Aos 22 dias do mês de abril do ano de 2025, às 14h, por meio de Videoconferência, realizou-se a defesa de DISSERTAÇÃO DE MESTRADO de PEDRO HENRIQUE PENNA DA SILVA, intitulada **Projeto de um bloco analógico básico utilizando transistores avançados.** A Comissão Examinadora foi constituída pelos seguintes membros: Prof.^a Dr.^a PAULA GHEDINI DER AGOPIAN (Orientador(a) - Participação Virtual) do(a) Departamento de Engenharia Eletrônica e de Telecomunicações / Faculdade de Engenharia de São João da Boa Vista UNESP, Prof. Dr. BRUNO CAVALCANTE DE SOUZA SANCHES (Participação Virtual) do(a) Departamento de Engenharia de Sistemas Eletrônicos / EPUSP Escola Politécnica da Universidade de São Paulo, Prof.^a Dr.^a VANESSA CRISTINA PEREIRA DA SILVA VENUTO (Participação Virtual) do(a) Departamento de Engenharia Elétrica e de Computação / USP Universidade de São Paulo - Câmpus de São Carlos. Após a exposição pelo mestrando e arguição pelos membros da Comissão Examinadora que participaram do ato, de forma presencial e/ou virtual, o discente recebeu o conceito final: Aprovado . Nada mais havendo, foi lavrada a presente ata, que após lida e aprovada, foi assinada pelo(a) Presidente(a) da Comissão Examinadora.

Prof.^a Dr.^a PAULA GHEDINI DER AGOPIAN

Documento assinado digitalmente
 **PAULA GHEDINI DER AGOPIAN**
Data: 22/04/2025 16:48:54-0300
Verifique em <https://validar.iti.gov.br>

RESUMO

Os transistores de nanofios de porta ômega (Ω -gate) surgiram como uma possível evolução dos dispositivos FinFETs, pois, devido à sua estrutura cilíndrica, apresentam um melhor acoplamento eletrostático entre porta e canal, o que resulta em um menor efeito de canal curto e maior imunidade a radiação. Além disso, alguns estudos indicam que esses transistores são adequados para aplicações analógicas de alto ganho e alta frequência. O regulador linear de baixa queda de tensão (LDO) é um bloco analógico comumente utilizado no desenvolvimento de circuitos integrados. Normalmente ele é utilizado com o intuito de atenuar uma possível oscilação na tensão de alimentação, fornecendo uma tensão de saída estável para polarizar os demais blocos do circuito integrado. Neste trabalho, o regulador linear de baixa queda de tensão foi projetado utilizando transistores de nanofio com porta ômega considerando a metodologia de g_m/I_D . Esses transistores foram medidos experimentalmente e modelados utilizando o método da *Look Up Table* (LUT) e descrição em Verilog-A. A validação do modelo dos transistores foi realizada considerando que o erro do modelo fosse inferior a 1% e só então os LDOs foram projetados considerando g_m/I_D de $7V^{-1}$ e $8V^{-1}$ com capacitâncias de carga de 10pF e 100pF com capacidade de fornecer uma corrente de saída de 100 μ A e tensão de saída de 1,5V. Os transistores do LDO polarizados com g_m/I_D igual a $8V^{-1}$ apresentaram melhores resultados que o projetado com g_m/I_D igual a $7V^{-1}$, atingindo um ganho de malha de 52,2dB, um produto ganho-largura de banda (GBW) de 5,9MHz para carga de 10pF, com a regulação de carga de 27V/A e a rejeição da fonte de alimentação (PSR) de 41dB. Com intuito de realizar uma comparação com uma tecnologia similar, foi utilizado um LDO desenvolvido com transistores de nanofio vertical MOSFET de porta ao redor (V-GAANW) polarizados em g_m/I_D de $8V^{-1}$ e com a mesma carga de 10pF reportado em [35]. Ao se comparar o LDO projetado com nanofios verticais com o desenvolvido com nanofios de porta ômega, com g_m/I_D de $8V^{-1}$ e carga de 10pF, o LDO desenvolvido com transistores ômega obteve melhor resultado em todas as figuras de mérito. Além disso, uma análise da influência da variação de g_m/I_D (de $5V^{-1}$ a $16V^{-1}$) revelou que o ganho do amplificador de erro (A_{EA}) cresce com g_m/I_D , melhorando a regulação de carga. Onde para $16V^{-1}$ obteve-se um A_{EA} de 51,9 dB, resultando numa regulação de carga de 1,62V/A. O ganho de malha aberta também cresce com g_m/I_D melhorando a regulação de linha. Para g_m/I_D igual a $16V^{-1}$, o ganho de malha aberta atingiu 82,67dB, proporcionando uma PSR de -80,42dB e uma regulação de linha de 0,09 mV/V. Entretanto, observou-se que o aumento

de g_m/I_D reduz a largura de banda da PSR de 17 kHz para $5V^{-1}$ até 80Hz para $16V^{-1}$, evidenciando um compromisso entre rejeição de fonte e resposta em frequência. A análise da tensão de alimentação (VDD) mostrou que sua redução impacta diretamente a faixa utilizável de g_m/I_D , podendo comprometer o funcionamento do LDO caso transistores críticos saiam da saturação ou se desliguem. Assim, torna-se essencial equilibrar a escolha de VDD e a polarização dos transistores para otimizar o desempenho do regulador. Os resultados obtidos destacam os transistores nanofios de porta ômega como uma alternativa eficiente para a implementação de LDOs em tecnologias avançadas, garantindo alta performance e eficiência energética.

Palavras-chave: regulador linear de baixa queda de tensão; ldo; dispositivo de nanofio; nanofio de porta ômega; ldo nanofio de porta ômega.

ABSTRACT

Omega-gate nanowire transistors (Ω -gate) have emerged as a potential evolution of FinFET devices due to their structure, which offers better electrostatic coupling between the gate and the channel. This good electrostatic coupling results in reduced short-channel effects, greater radiation immunity, and, makes these transistors suitable for high-gain and high-frequency analog applications. The low dropout voltage regulator (LDO) is a frequently used analog block in integrated circuit design, since it is employed to mitigate potential oscillations in the supply voltage, thereby providing a stable output voltage to bias other blocks of the integrated circuit. In this work, the low dropout voltage regulator was designed using omega-gate nanowire transistors, following the g_m/I_D methodology. These transistors were experimentally measured and modeled using Verilog-A language and the Look-Up Table (LUT) method. The transistor model validation was performed, ensuring that the error between model and measurement was less than 1%, and after that the LDOs were designed with g_m/I_D values of $7V^{-1}$ and $8V^{-1}$, load capacitances of 10pF and 100pF, with the capacity to supply an output current of $100\mu A$ and an output voltage of 1.5V. The transistors in the LDO biased with g_m/I_D equal to $8V^{-1}$ present better results compared to those designed with g_m/I_D of $7V^{-1}$, achieving a loop gain of 52.2dB, a gain-bandwidth product (GBW) of 5.9MHz for a 10pF load, a power supply rejection ratio (PSR) of 41dB and load regulation of 27V/A. For comparison with a similar technology, an LDO developed with vertical gate-all-around nanowire MOSFET transistors (V-GAANW) polarized at g_m/I_D of $8V^{-1}$ and with the same 10pF load, as reported in [34], was used. When comparing the LDO designed with vertical nanowires to the one developed with omega-gate nanowires with g_m/I_D of $8V^{-1}$ and a 10pF load, the LDO developed with omega-gate transistors performed better in almost all figures of merit. Only the power supply rejection (PSR) rate was superior in the previous design using vertical gate-all-around nanowires. Furthermore, an analysis of the influence of g_m/I_D variation (from $5V^{-1}$ to $16V^{-1}$) revealed that the error amplifier gain (A_{EA}) increases with g_m/I_D , improving load regulation. For g_m/I_D equal to $16V^{-1}$, an A_{EA} of 51.9 dB was achieved, resulting in a load regulation of 1.62 V/A. The open-loop gain also increases with g_m/I_D , enhancing line regulation. At g_m/I_D equal to $16V^{-1}$, the open-loop gain reached 82.67 dB, providing a PSR of -80.42 dB and a line regulation of 0.09 mV/V. However, it was observed that increasing g_m/I_D reduces the PSR bandwidth, decreasing from 17 kHz at $5V^{-1}$ to 80 Hz at $16V^{-1}$, highlighting a trade-off between power supply rejection (PSR) and frequency response. The analysis of supply voltage (V_{DD}) showed that its reduction directly impacts the usable range of g_m/I_D , potentially compromising

the LDO's operation if critical transistors exit saturation or turn off. Therefore, it is essential to balance the selection of VDD and transistor biasing to optimize regulator performance. The obtained results highlight Ω -gate nanowire transistors as an efficient alternative for LDO implementation in advanced technologies, ensuring high performance and energy efficiency.

Keywords: *low-dropout voltage regulator; ldo; nanowire device; omega-gate nanowire; ldo omega-gate nanowire.*

LISTA DE FIGURAS

Figura 1 — Lei de Moore.	22
Figura 2 — Transistor (a) MOS convencional e (b) SOI	26
Figura 3 — Interfaces de um transistor SOI MOSFET.	26
Figura 4 — Diagrama de bandas de energia de um dispositivo (a) MOSFET convencional, (b) PD SOI (c) FD SOI.....	28
Figura 5 — Classificação dos Transistores de múltiplas portas de acordo com seu número de portas.	30
Figura 6 — Transistor nanofio SOI MOSFET (a) vertical e (b) horizontal.	31
Figura 7 — Transistor SOI MOSFET de porta (a) PI e de porta (b) ômega.	32
Figura 8 — (a) Layout de MOSFET planar de porta única; (b) Layout de FET com múltiplas portas e múltiplas aletas.....	36
Figura 9 — Curva da eficiência do transistor em função da corrente de dreno destacando-se as três regiões de operação do transistor.....	37
Figura 10 — Estágio de ganho intrínseco.	40
Figura 11 — LDO proposto por Delatorre.	41
Figura 12 — Diagrama de um sistema de gerenciamento de potência atual.....	42
Figura 13 — Topologia básica de um regulador LDO.....	43
Figura 14 — Regiões de operação de um Regulador Linear.....	44
Figura 15 — Circuito que representa a Rejeição de fonte sobre uma variação na fonte de alimentação.....	46
Figura 16 — Estrutura da realimentação negativa.	47
Figura 17 — Topologia do Regulador LDO com indicação do ponto de quebra da realimentação (a). Modelo equivalente de pequenos sinais do regulador LDO em malha aberta (b).	48
Figura 18 — (a) Compensação externa LDO. (b) Compensação interna.....	50
Figura 19 — Fluxograma das atividades realizadas.....	51
Figura 20 — (a) Visão 3D do transistor de porta Ω . (b) Seção transversal do transistor.....	52
Figura 21 — Curva da eficiência do transistor (gm/I_D) versus corrente de dreno normalizada.	53
Figura 22 — Fluxograma de atividades no Cadence Virtuoso.....	56
Figura 23 — Topologia do LDO desenvolvido.....	57
Figura 24 — Circuito utilizado para mensurar o ganho de malha.....	58
Figura 25 — Circuito utilizado para mensurar a regulação de carga.	59
Figura 26 — Circuito utilizado para mensurar a resistência de saída do AE.....	60

Figura 27 — Circuito utilizado para mensurar a resistência do transistor MP.....	60
Figura 28 — Circuito equivalente a implementação do dispositivo em Verilog-A.	63
Figura 29 — Circuito de polarização para extração das curvas características do transistor nanofio de porta ômega do (a) Tipo N (b) Tipo P.	63
Figura 30 — (a) Curva característica de saída e (b) curva característica de transferência de transistores nanofios com porta ômega dos tipos P e N modelados e experimentais.....	64
Figura 31 — Local de inserção do capacitor de compensação.....	66
Figura 32 — Ganho de malha e fase do LDO com CL igual a 10 pF	69
Figura 33 — Ganho de malha e fase do LDO com CL igual a 100pF.	69
Figura 34 — PSR para os LDOs com CL igual a 100 pF e 10 pF.	70
Figura 35 — Trancondutância do Transistor de potência para diferentes polarizações.....	72
Figura 36 — Ganho do amplificador de erro para diferentes polarizações.....	73
Figura 37 — Relação entre a corrente consumida (IQ) e a eficiência.....	75
Figura 38 — Regulação de carga (LDR) para diferentes níveis de polarização	76
Figura 39 — Regulação de Linha (LNR) para diferentes níveis de polarização.....	77
Figura 40 — Ganho de malha aberta para os diferentes níveis de polarização	78
Figura 41 — PSR para diferentes níveis de polarização.	79
Figura 42 — PSR simulada e PSR calculada.	80
Figura 43 — Banda da PSR para diferentes níveis de polarização	81
Figura 44 — Relação entre a Banda da PSR e Banda do EA.....	82

LISTA DE TABELAS

Tabela 1 — Exemplo de LUT.	55
Tabela 2 — Número de nanofios em paralelo para as diferentes condições de polarização diferentes.	65
Tabela 3 — Parâmetros para dos LDOs desenvolvidos.	67
Tabela 4 — Performance do LDO para cargas de 10pF e 100pF.....	68
Tabela 5 — Comparação de um LDO desenvolvido com nanofio MOSFET com porta vertical totalmente ao redor [18] e um com nanofio de porta Ω , ambos com gm/I_D igual a $8V^{-1}$	71
Tabela 6 — Parâmetros do LDO para diferentes níveis de polarização.....	74
Tabela 7 — Performance do LDO para diferentes níveis de polarização.	74
Tabela 8 — Banda de polarização possível do LDO desenvolvido com VDD igual a 1,8V..	83
Tabela 9 — Banda de polarização possível do LDO desenvolvido com VDD igual a 2,1V..	83
Tabela 10 — Banda de polarização possível do LDO desenvolvido com VDD igual a 1,5V.	84
Tabela 11 — Banda de polarização possível do LDO desenvolvido com VDD igual a 1,2 V.	84
Tabela 12 — Resultados do LDO desenvolvido para a condição de polarização de 10V-1 e os diferentes níveis de VDD.	85

LISTA DE ABREVIATURAS E SIGLAS

AC	Corrente alternada (<i>Alternating Current</i>)
ADE	<i>Virtuoso Analog Design Enviroment</i>
CIs	Circuitos integrados
CMOS	Metal-Óxido-Semicondutor Complementar (<i>Complementary Metal-Oxide-Semiconductor</i>)
DC	Corrente contínua (<i>Direct Current</i>)
DIBL	Redução da barreira induzida pelo dreno (<i>Drain Induced Barrier Lowering</i>)
EDA	<i>Eletronic Design Automation</i>
EOT	Espessura efetiva de óxido (<i>Effective Oxide Thickness</i>)
FDSOI	Transistor em silício sobre isolante completamente depletado (<i>Fully- Depleted Silicon On Insulator trasnsitor</i>)
FET	Transistor de Efeito de campo
FinFET	Transistor de efeito de campo com aleta (<i>Finger Field Effect Transistor</i>)
GAA	Porta ao redor (<i>Gate All Around</i>)
GBW	Produto Ganho Banda (<i>Gain-Bandwidth Product</i>)
HDO	Regulador linear de alta queda de tensão (<i>High-dropout linear voltage regulator</i>)
HfSiON	Háfnio, silício, oxigênio e nitrogênio
IA	Inteligência artificial
IOT	Internet das coisas (<i>Internet of Things</i>)
LDO	Regulador linear de baixa queda de tensão (<i>low-dropout linear voltage regulator</i>)
LDR	Regulação de Carga
LNR	Regulação de Linha
LUT	Lookup Table
MOS	Metal-Óxido-Semicondutor (<i>Metal-Oxide-Semiconductor</i>)
MOSFET	Transistor de Efeito de campo MOS
MugFETs	Transistores de Efeito de Campo de Múltiplas Portas (<i>Multiple Gate Field Effect Transistors</i>)
NFDSOI	Transistor em silício sobre isolante próximo da depleção total (<i>Near Fully Depleted SOI</i>)
OTA	Amplificador Operacional de Transcondutância (<i>Operational Transconductance Amplifier</i>)

PDKs	<i>Process Design Kits</i>
PDSOI	Transistor em silício sobre isolante parcialmente depletado (Partially Depleted Silicon On Insulator transistor)
PM	Margem de Fase (<i>Phase Margin</i>)
PSR	Rejeição de Fonte (<i>Power Supply Rejection</i>)
SCE	Efeitos de canal curto (<i>shorts channel effects</i>)
Si	Silício
SOI	Silício sobre isolante (<i>Silicon on insulator</i>)
SS	Inclinação Sublimiar (<i>Subthreshold Swing</i>)
SI	Inversão forte (Strong Inversion)
TiN	Nitreto de titânio
V-GAANW	MOSFET Nanowire vertical com porta ao redor <i>Vertical gate all around MOSFET nanowire</i>
WI	Inversão Fraca (<i>Weak inversion</i>)
Ω -gate	Transistor nanofio de porta ômega
CC	Conversores chaveados
AE	Amplificador de erro
MP	Transistor de potência

LISTA DE SÍMBOLOS

ϕ_{MS}	Função trabalho do metal em relação ao silício [eV]
ϕ_{MS1}	Diferença da função do metal de porta e a camada de silício do canal [eV]
ϕ_{MS2}	Diferença da função trabalho entre o silício e o óxido enterrado [eV]
ϕ_{S1}	Potencial de superfície da primeira interface [V]
ϕ_{S2}	Potencial de superfície da segunda interface [V]
ϕ_{S2}	Potencial de superfície da segunda interface [V]
A	Ganho de malha aberta [dB]
A_{EA}	Ganho do amplificador de erro [dB]
A_f	Ganho de malha fechada [dB]
A_M	Ganho de malha [dB]
A_{MA}	Ganho de malha aberta [dB]
A_v	Ganho intrínseco de tensão [dB]
C_C	Capacitor de compensação [F]
C_{GD}	Capacitância entre porta e dreno [F]
C_{gg}	Capacitância parasita total formada na porta do dispositivo [F]
C_{GS}	Capacitância entre porta e fonte [F]
C_L	Capacitância de carga [F]
C_{ox}	Capacitância do óxido de porta [F/m ²]
E_C	Limite inferior da banda de condução [eV]
E_F	Nível de Fermi [eV]
E_i	Nível intrínseco de Fermi [eV]
E_v	Limite superior da banda de valência [eV]
f_T	Frequência de ganho unitário [Hz]
g_d	Condutância de saída [S]
g_m	Transcondutância [S]
g_m/I_D	Eficiência do transistor [V ⁻¹]
g_{mM1}	Transcondutância do transistor M1 [S]
g_{mMP}	Transcondutância do transistor de potência [S]
h	Constante de Planck [J.s]
H_{NW}	Altura do nanofio [m]
I_{DO}	Corrente de uma única porta [A]
I_{DS}	Corrente entre dreno e fonte [A]

I_{IN}	Corrente da fonte de alimentação [A]
I_L	Corrente fornecida a carga [A]
I_Q	Corrente Quiescente [A]
I_{SS}	Fonte de corrente ideal [A]
k	Constante de Boltzmann [$\text{m}^2 \text{ kg s}^{-2} \text{ K}^{-1}$]
L	Comprimento de canal de um MOSFET [nm]
n	Fator de corpo
N_A	Concentração de dopantes aceitadores [m^{-3}]
N_D	Concentração de dopantes doadores [cm^{-3}]
n_i	Concentração intrínseca de portadores [cm^{-3}]
P	Espaçamento entre as aletas (Pitch) [m]
P_{IN}	Potência fornecida pela fonte de alimentação [watts]
P_{OUT}	Potência consumida pela carga [watts]
Q	Carga elementar do elétron [C]
Q_{D1}	Carga de depleção [C/m^2]
Q_{DD}	Cargas de depleção formadas ao redor de dreno [C/m^2]
Q_{DS}	Cargas de depleção formadas ao redor da fonte [C/m^2]
R_D	Resistência do amplificador diferencial [Ω]
r_{ds}	Resistência entre dreno e fonte do transistor de potência [Ω]
R_{EA}	Resistência do amplificador de erro [Ω]
R_L	Resistor de Carga [Ω]
T	Temperatura [k]
t_{box}	Espessura do óxido enterrado [nm]
t_{ox}	Espessura do óxido de porta [nm]
t_{si}	Espessura do silício [nm]
V_B	Tensão traseira ou do substrato [V]
V_D	Tensão de dreno [V]
V_{DD}	Tensão de Entrada [V]
V_{DO}	Tensão de dropout [V]
V_{DS}	Tensão entre dreno e fonte [V]
V_f	Realimentação [V]
V_{FB}	Tensão de faixa plana [V]
V_{fed}	Tensão de realimentação [V]

V_G	Tensão de porta [V]
V_{GS}	Tensão entre porta e fonte [V]
V_i	Saída do somatório realimentado [V]
V_{IN}	Tensão de entrada [V]
V_{OUT}	Tensão de Saída [V]
V_{REF}	Tensão de referência [V]
V_S	Tensão de fonte[V]
V_{TH}	Tensão de limiar [V]
V_X	Tensão de saída do amplificador de erro [V]
W	Largura do canal [m]
W_{NW}	Largura do nanofio [m]
W_{SI}	Largura de cada aleta individual [m]
X_{d1}	Profundidade de depleção da 1ª interface [nm]
X_{d2}	Profundidade de depleção da 2ª interface [nm]
X_{dmax}	Largura máxima de depleção [μm]
α	Fator que corresponde à associação das capacitâncias
β	Fator de Realimentação
η	Eficiência
μ	Mobilidade [$cm^2/V.s$]
μ_{eff}	Mobilidade efetiva do portador [$cm^2/V.s$]
ω_{pa}	Polo localizado na porta do transistor de passagem
ω_{pb}	Polo localizado na saída do LDO
C_{OX1}	Capacitância por unidade de área do óxido de porta [F/m^2]
C_{OX2}	Capacitância por unidade de área do óxido enterrado [F/m^2]
C_{Si}	Capacitância por unidade de área do canal [F/m^2]
H_{FIN}	Altura da Aleta [m]
Q_{OX1}	Densidade efetiva de cargas presentes no óxido de porta [C/m^2]
Q_{OX2}	Densidade efetiva de cargas presentes no óxido enterrado [C/m^2]
Q_{depl}	Carga total de depleção por unidade de área presente no silício [C/m^2]
Q_{inv1}	Carga de inversão da 1ª interface por unidade de área [C/m^2]
Q_{s2}	Carga por unidade de área presente na segunda interface [C/m^2]
W_{FIN}	Altura da aleta [m]
$gm_{max,lateral}$	Transcondutância máxima lateral

$gm_{max,superior}$	Transcondutância máxima superior
$gm_{max,total}$	Transcondutância máxima total
m^*	Massa de confinamento do portador na direção transversal [kg]
$\mu_{lateral}$	Mobilidade dos portadores na interface lateral do canal [cm ² /V.s]
$\mu_{superior}$	Mobilidade dos portadores na interface superior do canal [cm ² /V.s]
ϕ_F	Potencial de Fermi [V]
ϵ_{si}	Permissividade do silício [F/m]

SUMÁRIO

1	INTRODUÇÃO	21
1.1	OBJETIVO	23
1.2	ESTRUTURA DO TRABALHO	24
2	FUNDAMENTAÇÃO TEÓRICA.....	25
2.1	TECNOLOGIA SILICON ON INSULATOR (SOI).....	25
2.1.1	Efeito de canal curto.....	28
2.2	TRANSISTORES DE MÚLTIPLAS PORTAS.	29
2.3	TRANSISTORES NANOFIOS.	30
2.4	PARÂMETROS ELÉTRICOS IMPORTANTES PARA O DESENVOLVIMENTO DO TRABALHO.....	32
2.4.1	Tensão de Limiar (V_{TH}).	32
2.4.2	Transcondutância (g_m).	34
2.4.3	Corrente de dreno (I_D)	35
2.4.4	Eficiência do Transistor (g_m/I_D).	36
2.4.5	Inclinação de Sublimiar (SS)	38
2.4.6	Condutância de saída (g_d)	39
2.4.7	Ganho intrínseco de tensão (A_v)	39
2.4.8	Frequência de ganho unitário (f_T).....	40
2.5	REGULADOR LINEAR DE BAIXA QUEDA DE TENSÃO.....	41
2.5.1	Especificações dos Reguladores Lineares.....	44
2.5.2	Estabilidade.....	46
2.5.2.1	Realimentação negativa.....	46
2.5.2.2	Estabilidade em LDO.	47
2.5.2.3	Compensação em LDO.	49
3	MATERIAIS E MÉTODOS.....	51
3.1	DISPOSITIVO.	51
3.2	MEDIÇÃO E EXTRAÇÃO DOS DADOS	52
3.3	MÉTODO GM/I_D	53
3.4	MODELAGEM DO TRANSISTOR USANDO SUA LOOKUP TABLE (LUT)	54
3.5	VIRTUOSO ANALOG DESIGN ENVIROMENT (ADE)®	55
3.6	TOPOLOGIA DO REGULADOR LINEAR DE BAIXA QUEDA DE TENSÃO...56	
3.7	MÉTODOS DE EXTRAÇÃO DAS FIGURAS DE MÉRITO.....	57

4	RESULTADOS.....	62
4.1	MEDIÇÃO DO DISPOSITIVO, CRIAÇÃO E VALIDAÇÃO DO MODELO.....	62
4.2	REGULADOR LDO ÔMEGA-GATE.	65
4.2.1	Comparação entre as polarizações ($7V^{-1}$ e $8V^{-1}$) variando a capacitância de carga.	66
4.2.2	Comparação com um LDO desenvolvido utilizando o dispositivo vertical gate all around MOSFET nanowire (V-GAANW).	70
4.2.3	Comparação entre diferentes polarizações com C_L igual a 100 pF.	72
4.2.4	Análise da rejeição de fonte em LDOs desenvolvidos com transistores nanofios de porta ômega.....	79
4.2.5	Análise referente a variação de VDD para LDOs desenvolvidos com transistores nanofios de porta ômega.	82
5	CONSIDERAÇÕES FINAIS.....	88
5.1	CONCLUSÃO.....	88
5.2	TRABALHOS FUTUROS.....	90
	REFERÊNCIAS	91
	APÊNDICE A – CÓDIGO EM VERILOG-A PARA IMPLEMENTAÇÃO DO	
	DISPOSITIVO NANOFIO DE PORTA ÔMEGA.	95

1 INTRODUÇÃO

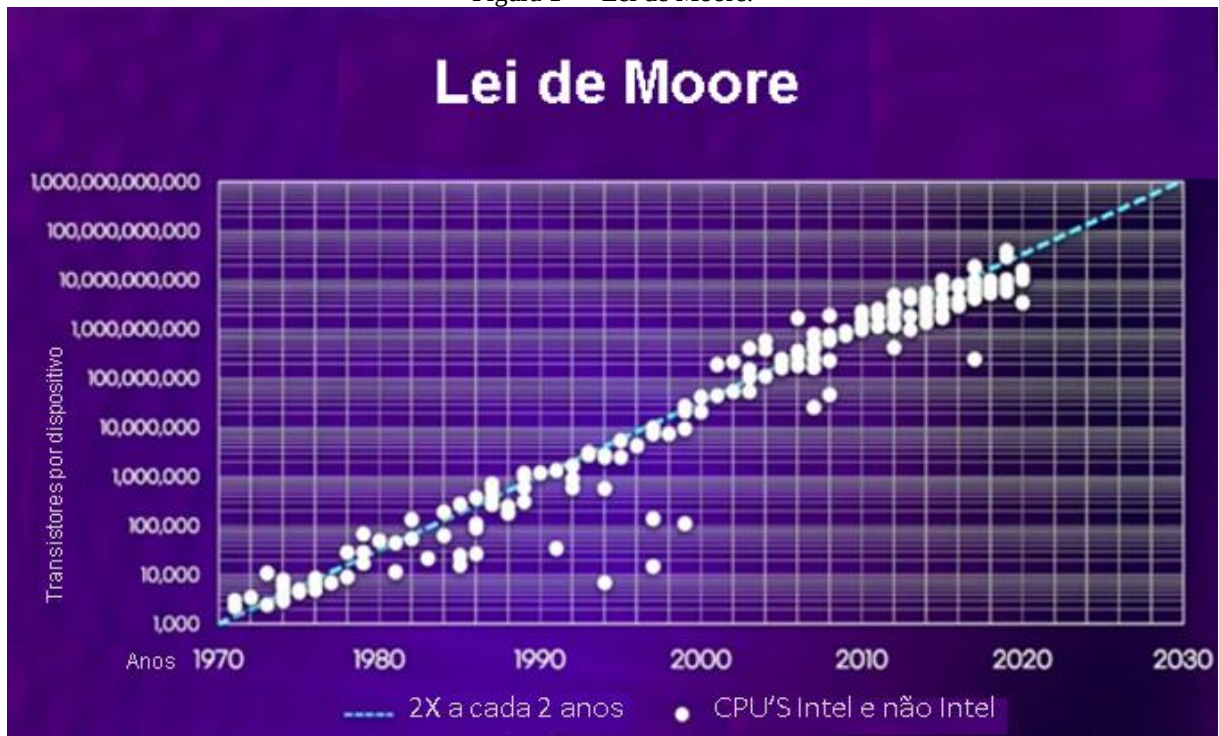
O avanço da tecnologia e o advento dos circuitos integrados hoje em dia são de suma importância no cotidiano da vida humana, estando presentes em praticamente todos os momentos do dia. Este avanço da tecnologia no dia a dia é ainda mais evidente através do avanço em áreas como a Internet das coisas (IoT), inteligência artificial (IA), computação vestível entre outras que dependem profundamente do avanço da nanoeletrônica para criação de dispositivos menores e mais eficientes. A miniaturização destes dispositivos sem comprometer seu desempenho permite que ocupem menos área no circuito integrado (CI), ou seja, permite maior integração dos dispositivos nos CIs.

O transistor que surgiu na década de 60, *Metal Oxide Semiconductor Field Effect Transistor* (MOSFET) atualmente é o dispositivo mais utilizado para a evolução dos circuitos integrados devido à sua maior capacidade de miniaturização. A relativa facilidade com que se fabrica este componente, as dimensões e o fato de necessitar de pouca potência para operação influenciaram para que o MOSFET tenha dominado a eletrônica integrada atual.

Devido a diversos estudos realizados, os transistores passaram por uma enorme evolução em sua performance, grande parte do qual é atribuída à redução das suas dimensões [1] que inicialmente eram em micrômetros agora possuem poucos nanômetros.

Esta miniaturização dos dispositivos está alinhada com uma observação realizada em 1965 por Gordon Moore, então diretor de pesquisa e desenvolvimento da *Fairchild Semiconductor* e co-fundador da Intel, que observou que o número de transistores nos CIs dobraria a cada 18 meses. Posteriormente em 1975, o mesmo realizou uma revisão a sua observação dizendo que o número de transistores dobraria a cada 24 meses [2] ,[3] . Esta observação ficou conhecida como a Lei de Moore, pois muitas empresas fabricantes de semicondutores seguiram esta tendência garantindo uma alta taxa de desenvolvimento na área. A Figura 1 apresenta a evolução do número de transistores por dispositivo ao longo dos anos, onde observa-se que até 2030 os dispositivos chegarão a ter 1 trilhão de transistores.

Figura 1 — Lei de Moore.



Fonte: Adaptado da referência [4].

Embora a tecnologia MOSFET seja a tecnologia atualmente mais empregada, devido à contínua redução das dimensões, a mesma começou a apresentar o efeito de canal curto (SCE) que causa um aumento na corrente de fuga do dispositivo, aumento na inclinação sublimiar, redução na tensão de limiar, degradação da mobilidade e redução da barreira induzida pelo dreno (DIBL) [4]. Com o intuito de mitigar o efeito de canal curto novas arquiteturas e tecnologias foram estudadas. A tecnologia de silício sobre isolante (*Silicon-On-Insulator* - SOI) surgiu como uma alternativa à tecnologia planar convencional, devido ao óxido enterrado que isola eletricamente a região ativa do transistor do restante do substrato de silício [5]. Além de minimizar os efeitos de canal curto, a tecnologia SOI CMOS tem maior imunidade aos efeitos transitórios da radiação ionizante e reduz significativamente a capacitância parasitária entre o canal do transistor e o substrato, melhorando a velocidade de chaveamento dos transistores. Além de todos estes efeitos ele elimina totalmente o efeito tiristor parasitário que era formado na tecnologia CMOS por uma junção PNPN, quando ao ser ativado somente com uma remoção da fonte de energia que o dispositivo parava de conduzir [5].

Com a constante diminuição das dimensões, os transistores fabricados em tecnologia SOI planar passaram também a sofrer dos efeitos de canal curto. Dessa forma, novas geometrias de transistores passaram a ser estudadas com o intuito de mitigar estes efeitos indesejados. Através destes estudos, surgiram os dispositivos de múltiplas portas MugFETs (*Multiple Gate*

Field Effect Transistors), que apresentam um melhor acoplamento eletrostático entre a porta e o canal, controlando de forma mais eficiente as cargas dentro do canal. Como exemplo de transistores de múltiplas portas tem-se o FinFET de Porta Tripla[6], FinFET de porta-II [7], FinFET de porta Ω [8], Nanofio de porta ômega (Ω -gate nanowire)[9] e MOSFETs com porta ao redor (nanofios e nanofolhas de silício)[10].

O nanofio Ω -gate fabricado em lâmina SOI aparece como uma evolução natural dos transistores FinFETs de porta Ω . Sabe-se que com a redução da altura e da largura dos FinFETs de porta Ω e considerando o arredondamento dos cantos, o processo de fabricação do nanofio de porta Ω fica muito semelhante ao do FinFET, já bastante difundido na indústria. Além disso, seu processo de fabricação é mais simples do que o do *gate-all-around* (GAA) [11], que possui uma tecnologia com desempenho similar.

O bom acoplamento eletrostático entre a porta e o canal do nanofio de porta Ω garante uma redução nos efeitos de canal curto (SCE), maior imunidade à radiação e adequação para aplicações analógicas que demandam alta amplificação e alta frequência. [9, 11] – [14].

O estudo da interação destes novos dispositivos com blocos analógicos utilizados em circuitos integrados, como amplificadores ou reguladores de tensão, são de grande importância para o avanço tecnológico. O regulador linear de baixa queda de tensão (LDO), em especial, destaca-se como um dos circuitos analógicos mais utilizados no projeto de circuitos integrados, já que ele minimiza a variação da tensão de alimentação, fornecendo uma tensão e corrente estáveis às cargas. Além disso, sua característica de baixa queda de tensão no transistor de passagem permite uma eficiência superior em relação a outros reguladores lineares [15]-[18].

Com base em estudos que indicam o excelente desempenho do nanofio de porta Ω em aplicações analógicas[9,11] – [14], como sua implementação em um Amplificador Operacional de Transcondutância (OTA) [19], este trabalho propõe modelar este transistor utilizando seus dados experimentais, com o intuito de investigar o seu desempenho quando aplicado ao regulador linear de baixa queda de tensão, avaliando como suas características, podem melhorar a eficiência, estabilidade e a resposta a variações de carga no circuito regulador.

1.1 OBJETIVO

Este trabalho tem como objetivo a caracterização experimental, a modelagem de um transistor nanofio de porta ômega e o projeto de um regulador linear de baixa queda de tensão. Para a modelagem do dispositivo utilizou-se a estratégia de Lookup Table e linguagem de

descrição de hardware Verilog-A. Com base nos dados experimentais obtidos e no modelo obtido, busca-se não apenas validar a modelagem do transistor, mas também investigar sua aplicabilidade em um bloco analógico recorrente no desenvolvimento de circuitos integrados: o regulador linear de baixa queda de tensão (LDO).

O estudo focou em como o transistor nanofio de porta ômega, afeta as principais figuras de mérito de um regulador linear de baixa queda de tensão (LDO). A investigação abordou aspectos essenciais, como eficiência, estabilidade de tensão e corrente.

1.2 ESTRUTURA DO TRABALHO

A estrutura deste trabalho consiste em 5 capítulos, distribuídos da seguinte forma:

Capítulo 1 – Introdução - Neste capítulo é apresentado o motivo da escolha do tema, os objetivos e a estrutura do trabalho;

Capítulo 2 – Fundamentação Teórica: Este capítulo apresenta a evolução tecnológica com relação aos transistores e os princípios fundamentais necessários ao desenvolvimento deste trabalho, com relação aos transistores nanofios de porta ômega e reguladores lineares;

Capítulo 3 – Materiais e Métodos: Este capítulo apresenta o dispositivo utilizado, seus parâmetros, os métodos e software utilizados para o desenvolvimento do projeto.

Capítulo 4 – Resultados: Este capítulo apresenta a validação do modelo do transistor, a implementação e comparação dos reguladores lineares de baixa queda de tensão em diferentes polarizações de g_m/I_D e a comparação com um LDO desenvolvido em uma referência com transistores nanofios verticais de porta ao redor, qual é uma tecnologia semelhante a desenvolvida neste trabalho;

Capítulo 5 – Conclusões parciais e sequência do trabalho: Este capítulo exhibe as principais conclusões sobre este trabalho e o que será realizado para sequência do mesmo.

2 FUNDAMENTAÇÃO TEÓRICA

Neste capítulo são apresentados os conceitos principais da tecnologia SOI MOSFET, transistores de múltiplas portas, transistores nanofios e por fim é apresentado os conceitos, equacionamentos e especificações de um regulador linear de baixa queda de tensão (LDO).

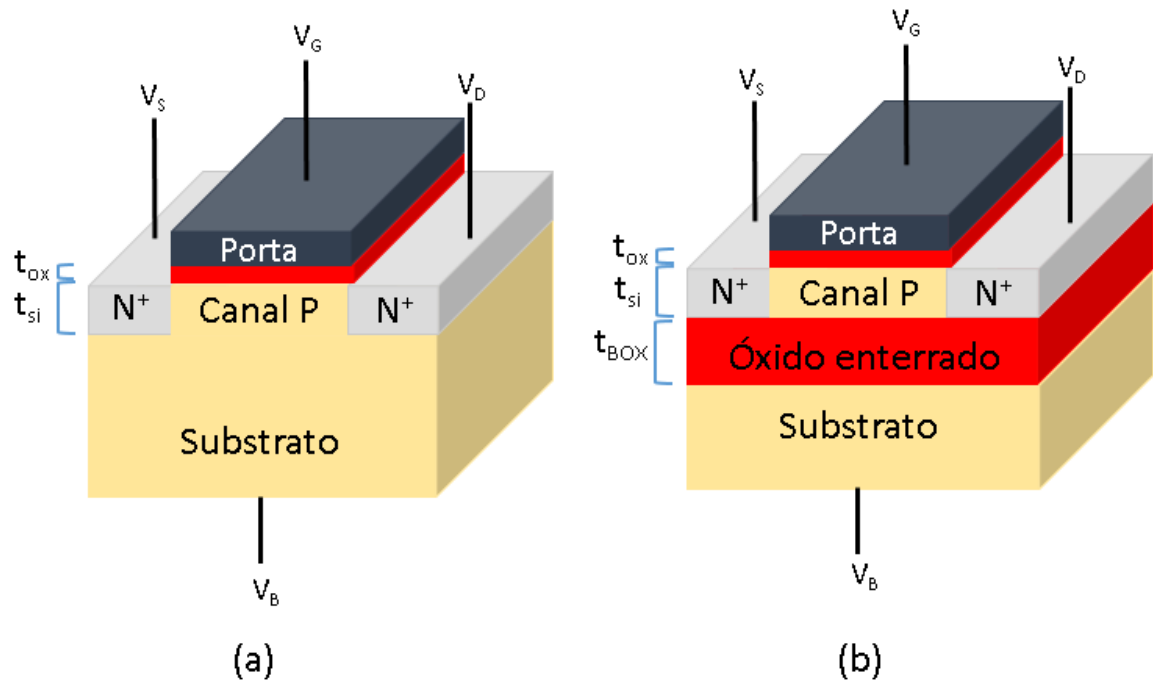
2.1 TECNOLOGIA SILICON ON INSULATOR (SOI)

A evolução tecnológica está atrelada ao escalamento dos dispositivos, ao melhor desempenho e uma menor área ocupada de chip. Porém devido a esta redução no tamanho dos dispositivos, a tecnologia MOSFET convencional passou a sofrer de efeitos de canal curto (SCE) devido a sua estrutura.

A tecnologia SOI surgiu com intuito de mitigar estes efeitos de SCE causados devido a diminuição na escala dos dispositivos. A principal diferença entre a tecnologia MOSFET convencional e a SOI MOSFET está na presença de uma camada de óxido enterrado que separa a região ativa do transistor do restante do substrato de silício. Este óxido enterrado é o grande responsável pela redução dos efeitos de canal curto, redução na capacitância parasitária entre fonte e dreno causando um aumento na velocidade de chaveamento do dispositivo, eliminação do efeito de tiristor parasitário e maior resistência aos efeitos transitórios da radiação.

A Figura 2.a representa a tecnologia MOSFET convencional e a Figura 2.b a tecnologia SOI MOSFET . Na imagem é possível observar a espessura do silício (t_{si}), do óxido de porta (t_{ox}) e do óxido enterrado (t_{box}). Além das regiões de polarização dos dispositivos, tensão de porta (V_G), tensão de dreno (V_D), tensão de fonte (V_S) e tensão do substrato (V_B).

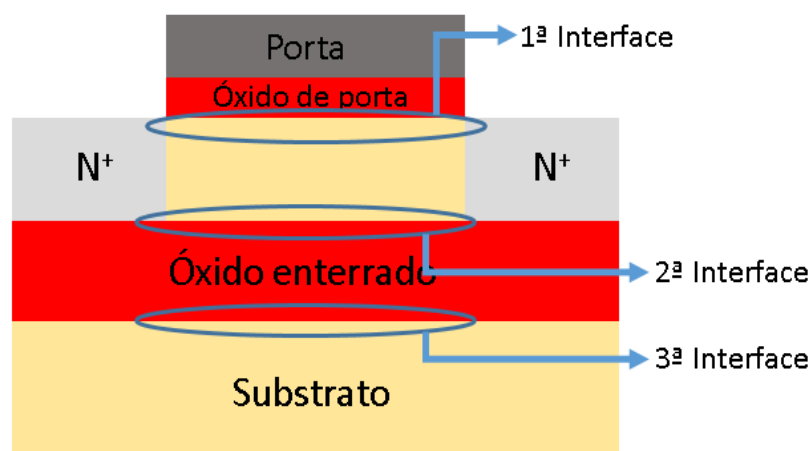
Figura 2 — Transistor (a) MOS convencional e (b) SOI



Fonte: Adaptado de [20].

Os dispositivos SOI possuem 3 interfaces entre óxido e silício. A 1ª interface está na divisa entre o óxido de porta e o semicondutor presente no canal, a 2ª interface é formada pela divisa entre o semicondutor do canal e o óxido enterrado e por último a 3ª interface é formada pela divisa entre o óxido enterrado e o semicondutor presente no substrato do dispositivo [5], como pode ser visto na Figura 3.

Figura 3 — Interfaces de um transistor SOI MOSFET.



Fonte: Autor.

Os transistores SOI podem ainda ser classificados de acordo com a espessura do filme de silício (t_{si}), concentração do filme de silício e largura máxima de depleção (X_{dmax}) em três tipos, podendo ser totalmente depletado (*Fully Depleted SOI* - FDSOI), parcialmente depletado (*Partially Depleted SOI* - PDSOI) e próximo da depleção total (*Near Fully Depleted SOI* - NFDSOI).

Para esta classificação é importante relembrar que na tecnologia MOSFET convencional com o canal tipo N, a largura máxima de depleção depende do potencial de fermi (ϕ_F) e da concentração de dopantes (N_A). A equação 1 ilustra a largura máxima de depleção e a equação 2 o potencial de fermi.

$$X_{dmax} = \sqrt{\frac{4 \cdot \epsilon_{si} \cdot \phi_F}{q \cdot N_A}} \quad (1)$$

$$\phi_F = \frac{k \cdot T}{q} \cdot \ln\left(\frac{N_A}{n_i}\right) \quad (2)$$

Onde:

ϵ_{si} = permissividade do silício

ϕ_F = potencial de Fermi

q = carga elementar do elétron

N_A = concentração de dopantes do tipo aceitadores na região do canal

n_i = concentração intrínseca de portadores

k = constante de Boltzmann

T = Temperatura em Kelvin

Transistor SOI Parcialmente depletado (PDSOI): Nesta classificação, os transistores possuem uma espessura de filme de silício (t_{si}) duas vezes maior largura máxima de depleção (X_{dmax}), ou seja, $t_{si} > 2 \cdot X_{dmax}$. Neste tipo, não há interação entre a depleção da 1ª interface com a da 2ª interface, causando uma região neutra (*body* - corpo) entre ambas interfaces. Caso esta região neutra estiver aterrada através de um contato no corpo, o dispositivo se assemelha a um MOSFET convencional, porém se continuar flutuando sem o contato de corpo, o mesmo pode sofrer de alguns efeitos indesejados como o efeito *kink*, e a formação de um transistor NPN com base aberta na região neutra [5].

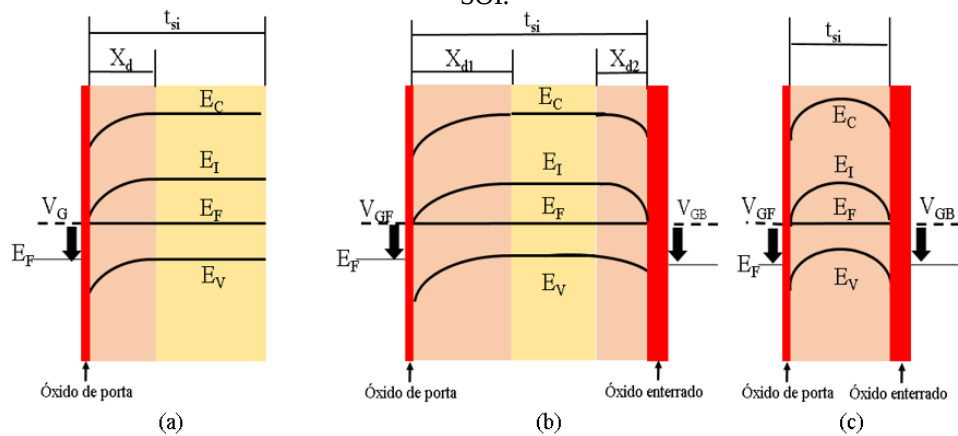
Totalmente depletado (FDSOI): Os transistores classificados como totalmente depletados possuem uma espessura de filme de silício (t_{si}) menor ou igual a largura máxima de

depleção da 1ª interface (X_{dmax}), ou seja, $t_{si} \leq X_{dmax}$. Neste caso, quando a tensão de porta atinge a tensão de limiar, o filme de silício está totalmente depletado, independentemente da polarização aplicada ao substrato (exceto se uma grande polarização negativa ou positiva for aplicada ao substrato, podendo haver um acúmulo fino ou camada de inversão na 2ª interface). Normalmente este tipo é o mais escolhido pois o mesmo tem certas vantagens aos outros como, menor variação da tensão de limiar (V_{TH}), maior mobilidade (μ), eliminação do efeito de elevação abrupta de corrente (*kink effect*), menor efeito de canal curto, entre outras[5].

Próximo da depleção Total (NFDSOI): O dispositivo nesta classificação está entre um totalmente depletado e um parcialmente depletado, onde a espessura de silício é maior que a profundidade máxima de depleção, porém é duas vezes menor que ela, ou seja, $X_{dmax} < t_{si} < 2 * X_{dmax}$. Neste caso, o dispositivo pode ser totalmente depletado com a 1ª interface interagindo com a 2ª ou parcialmente depletado, sem interação entre as interfaces e isto dependerá polarização aplicada na porta e no substrato [5].

As classificações destes dispositivos podem ser representadas através do diagrama de bandas. A Figura 4 apresenta o diagrama de bandas de um dispositivo MOSFET convencional, um PDSOI e um FDSOI. Na Figura 4 é possível observar: E_C que se refere ao nível de energia mais baixo na banda de condução; E_F que é o nível de Fermi; E_i que se refere ao nível de Fermi intrínseco; E_V sendo o nível mais alto de energia da banda de valência; t_{si} que faz referência a espessura da camada do silício, X_d que representa a profundidade máxima de depleção, X_{d1} a profundidade da região de depleção da 1ª interface e X_{d2} a profundidade da região de depleção da 2ª interface.

Figura 4 — Diagrama de bandas de energia de um dispositivo (a) MOSFET convencional, (b) PD SOI (c) FD SOI.



Fonte: Adaptado de [5]

2.1.1 Efeito de canal curto

Com a redução do comprimento do canal (L), as regiões de depleção ao redor do dreno (Q_{DD}) e da fonte (Q_{DS}) se aproximam, influenciando o controle da porta sobre as cargas no canal. Esse fenômeno, chamado efeito de canal curto (SCE), resulta na redução da tensão de limiar (V_T) do dispositivo. Além disso, o SCE também contribui para aumento da corrente de fuga e perda de eficiência energética, exigindo avanços no design de transistores para mitigar esses efeitos e manter o desempenho. Com o intuito de mitigar este efeito foi desenvolvido o transistor SOI que devido ao óxido enterrado, diminui a influência da depleção nas junções de dreno e fonte.

Apesar da tecnologia SOI ter sido bem eficaz na redução dos SCE, devido a busca incessante de dispositivos mais velozes e com melhor performance, a contínua redução dos dispositivos SOI fez com que eles também começassem a sofrer de SCE. Ao reduzir as dimensões do dispositivo SOI, observou-se que para comprimentos de canal abaixo de 22nm a porta perdia o controle das cargas presentes na região do canal. Novamente com o intuito de minimizar estes efeitos, novos estudos apontaram para transistores com duas ou mais portas, visto que mais de uma porta aumentaria o controle das cargas do canal, diminuindo, portanto, o efeito de canal curto [21].

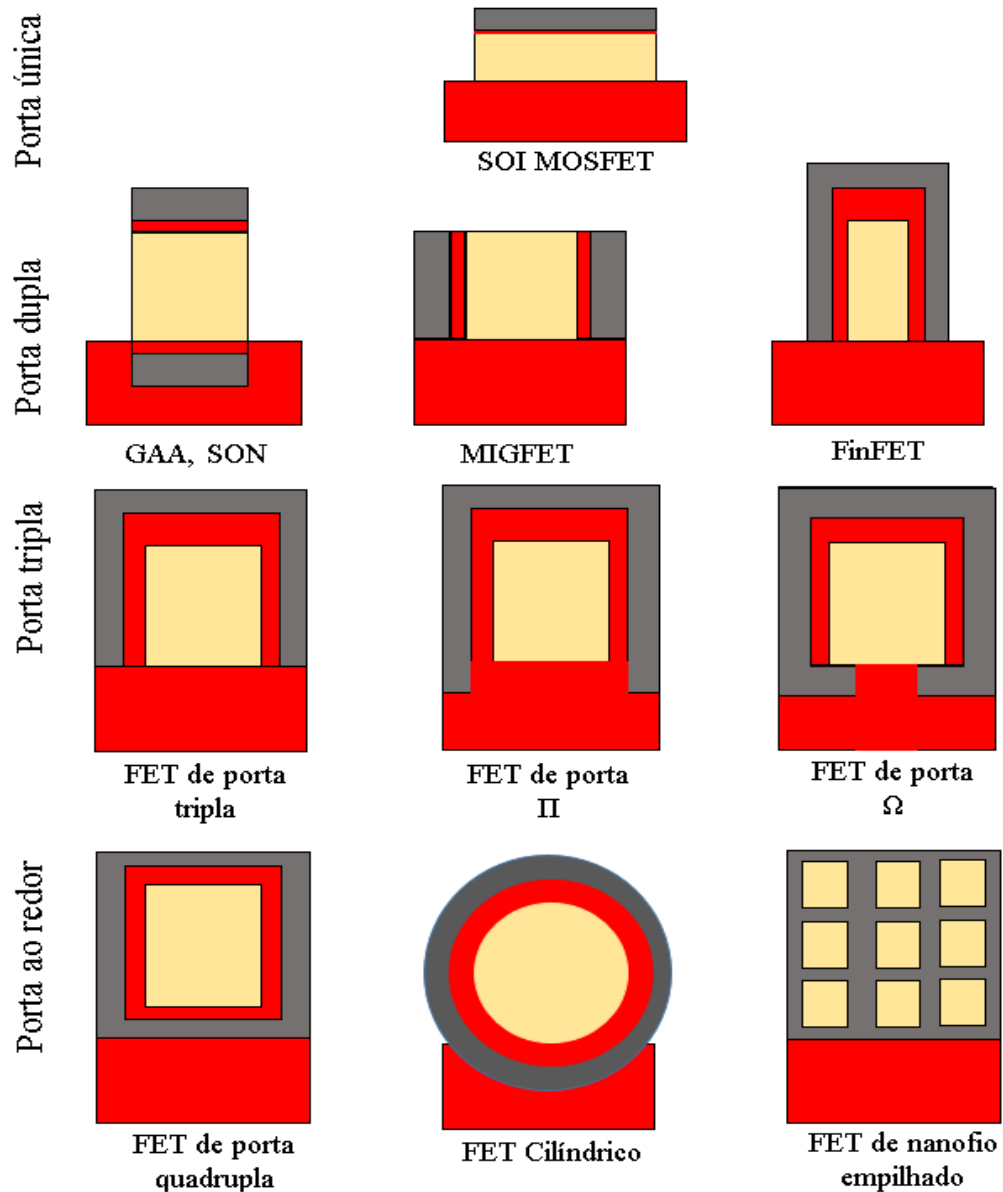
2.2 TRANSISTORES DE MÚLTIPLAS PORTAS.

Em 1984 T.Sekigawa e Y.Hayashi publicaram um artigo sobre um dispositivo tridimensional com duas portas intitulado XMOS [22]. Com a utilização de duas portas, foi possível observar uma redução significativa nos SCE que eram apresentados nos transistores FDSOI. Utilizando duas portas, foi possível obter um controle mais preciso das cargas no canal e reduzir a influência do campo elétrico do dreno sobre o canal, minimizando assim o SCE. Após esta observação os transistores com múltiplas portas (MuGFETs – *Multiple Gate Field Effect Transistor*) passaram a ser mais estudados visto que com mais portas obtém-se um melhor acoplamento eletrostático entre porta e canal [21].

Primeiramente, como já dito, foi proposto um transistor com porta dupla e posteriormente com porta tripla, porém com a evolução dos estudos deste dispositivo, surgiram diversos dispositivos com geometrias diferentes e diversos números de portas. Os transistores de múltiplas portas podem ser classificados de acordo com seu número de portas, na Figura 5 é possível observar a classificação de alguns transistores de múltiplas portas. Como o aumento do número de portas melhora o acoplamento eletrostático, dispositivos com a porta ao redor do

canal passaram a ser criados, porém apesar de serem melhores em vários quesitos, a fabricação do mesmo é bem mais complexa.

Figura 5 — Classificação dos Transistores de múltiplas portas de acordo com seu número de portas.



Fonte: Adaptado de [21].

2.3 TRANSISTORES NANOFIOS.

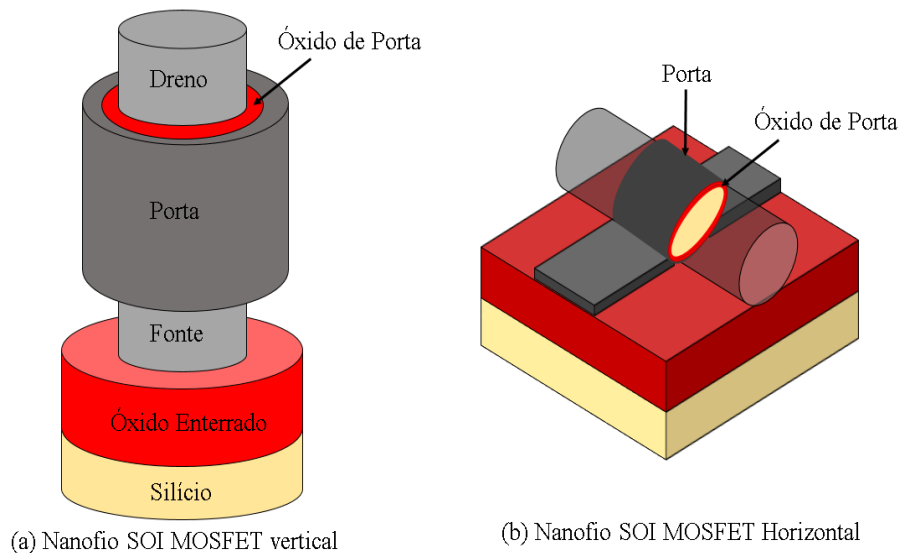
Os dispositivos tridimensionais citados no item 2.2 são muito promissores para a evolução tecnológica, tanto que o FinFET de porta tripla atualmente é utilizado pela INTEL em seus projetos [23]. Apesar da prosperidade destes dispositivos, uma nova tecnologia foi

apresentada, os nanofios SOI MOSFETs apresentando um menor consumo de energia estática e uma miniaturização maior do chip [24].

Os dispositivos nanofios SOI MOSFETs são formados por cilindros com a porta circundando este cilindro, sobre uma lâmina SOI. Estes dispositivos podem ser criados de forma horizontal e vertical. A Figura 6 (a) apresenta a forma vertical, onde pode ser observado a fonte acima do óxido enterrado e o dreno no topo do cilindro, já a Figura 6 (b) apresenta a forma horizontal, onde observa-se fonte e dreno acima do óxido enterrado, esta estrutura é semelhante a um dispositivo porta tripla da Figura 5, com menor tamanho e com seus cantos arredondados. Como já citado anteriormente em 2.2, fabricar dispositivos com porta totalmente ao redor do canal é muito complexo, devido a isso surgiram algumas variações do nanofio SOI MOSFET, como o nanofio de porta ômega (Ω) e o de porta pi (π), que mesmo não envolvendo totalmente o canal tem um forte acoplamento eletrostático entre porta e canal [24].

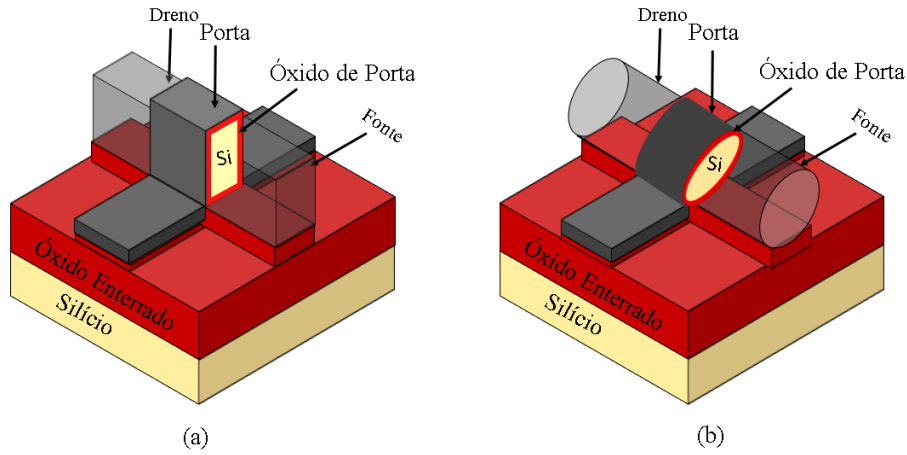
A Figura 7 (a) ilustra o transistor nanofio de porta π e a (b) apresenta o transistor nanofio de porta Ω . A nomenclatura destes dispositivos é justificada pela semelhança observada entre o formato da porta e as respectivas letras gregas (Ω) e pi (π).

Figura 6 — Transistor nanofio SOI MOSFET (a) vertical e (b) horizontal.



Fonte: Adaptado de [24].

Figura 7 — Transistor SOI MOSFET de porta (a) PI e de porta (b) ômega.



Fonte: Autor.

2.4 PARÂMETROS ELÉTRICOS IMPORTANTES PARA O DESENVOLVIMENTO DO TRABALHO.

2.4.1 Tensão de Limiar (V_{TH}).

A tensão de limiar de um transistor pode ser definida como a quantidade de tensão aplicada a porta do transistor que gera um campo elétrico capaz de inverter as cargas do canal, permitindo a condução entre o dreno e a fonte do dispositivo.

A tensão de limiar de um transistor nMOS convencional pode ser calculada conforme a equação 3, onde V_{FB} representa a tensão de faixa plana, ϕ_F o potencial de fermi do substrato, q a carga elementar do elétron, N_A a concentração de dopantes aceitadores (para transistores do tipo P é utilizado N_D , que é a concentração de dopantes doadores), X_{dmax} a largura máxima da região de depleção e C_{ox} a capacitância do óxido de porta [25].

$$V_{TH} = V_{FB} + 2\phi_F + \frac{q N_A X_{dmax}}{C_{ox}} \quad (3)$$

Em um dispositivo SOI parcialmente depletado, devido a t_{si} ser duas vezes maior que X_{dmax} e não haver interação entre as zonas de depleção provenientes do potencial da primeira e segunda interfaces, a tensão de limiar pode ser calculada da mesma forma que para um transistor nMOS convencional descrito pela equação 3 [5].

Para um dispositivo SOI totalmente depletado as zonas de depleção formadas pela 1ª e 2ª interface interagem entre si, afetando, a tensão de limiar, que passa a ser calculada a partir das equações de Lim e Fossum que são apresentadas nas equações 4 e 5 [26].

$$V_{G1} = \phi_{MS1} - \frac{Q_{OX1}}{C_{OX1}} + \left(1 + \frac{C_{si}}{C_{OX1}}\right) \phi_{S1} - \frac{C_{si}}{C_{OX1}} \phi_{S2} - \frac{\frac{1}{2} Q_{depl} + Q_{inv1}}{C_{OX1}} \quad (4)$$

$$V_{G2} = \phi_{MS2} - \frac{Q_{OX2}}{C_{OX2}} - \frac{C_{si}}{C_{OX2}} \phi_{S1} + \left(1 + \frac{C_{si}}{C_{OX2}}\right) \phi_{S2} - \frac{\frac{1}{2} Q_{depl} + Q_{S2}}{C_{OX2}} \quad (5)$$

onde ϕ_{MS1} é a diferença da função trabalho do metal de porta e a camada de silício do canal, Q_{OX1} a densidade efetiva de cargas presentes no óxido de porta, C_{OX1} a capacitância por unidade de área do óxido de porta, C_{si} a capacitância por unidade de área do canal, ϕ_{S1} o potencial de superfície da primeira interface, Q_{depl} carga total de depleção por unidade de área presente no silício, Q_{inv1} a carga de inversão da 1ª interface por unidade de área, ϕ_{MS2} diferença da função trabalho entre o silício e o óxido enterrado, Q_{OX2} a densidade efetiva de cargas presentes no óxido enterrado, C_{OX2} a capacitância por unidade de área do óxido enterrado, ϕ_{S2} o potencial de superfície da segunda interface e Q_{S2} carga por unidade de área presente na segunda interface.

Através das equações 4 e 5 é possível obter as diferentes tensões de limiar dependendo da polarização da 1ª e 2ª interface, assim sendo:

- A segunda interface em acumulação, ou seja, $\phi_{S1} = 2\phi_F$, $\phi_{S2} = 0$ e $Q_{inv1} = 0$ é representada pela equação 6 [5].

$$V_{TH.acc2} = \phi_{MS1} - \frac{Q_{OX1}}{C_{OX1}} + \left(1 + \frac{C_{si}}{C_{OX1}}\right) 2\phi_F - \frac{Q_{depl}}{2C_{OX1}} \quad (6)$$

- A segunda interface em inversão, ou seja, $\phi_{S1} = 2\phi_F$, $\phi_{S2} = 2\phi_F$ e $Q_{inv1} = 0$ é representada pela equação 7 [5].

$$V_{TH.inv2} = \phi_{MS1} - \frac{Q_{OX1}}{C_{OX1}} + 2\phi_F - \frac{Q_{depl}}{2C_{OX1}} \quad (7)$$

- A segunda interface em depleção, ou seja, $\phi_{S1} = 2\phi_F$, $0 < \phi_{S2} < 2\phi_F$ e $Q_{S2} = 0$ é representada pela equação 8 [5].

$$V_{TH.depl2} = V_{TH.acc2} - \frac{C_{si} C_{OX2}}{C_{OX1}(C_{OX2} + C_{si})} (V_{G2} - V_{G2,acc}) \quad (8)$$

Devido a contínua redução dos dispositivos e a busca por novas geometrias, surgiram os dispositivos de múltiplas portas, os quais na sua maioria tem seus canais com dopagem natural da lâmina. Além disso, devido a suas múltiplas portas, a condição de limiar pode ocorrer para um potencial de superfície ligeiramente diferente de $2\phi_F$. Através destas informações e analisando suas capacitâncias e suas cargas de inversão a tensão de limiar de um dispositivo múltiplas portas é dada pela equação 9 [27].

$$V_{TH} = \phi_{MS} + \frac{kT}{q} \ln \left(1 + \frac{2C_{OX} kT}{q^2 n_i t_{si}} \right) + \frac{h^2 + \pi^2}{2q m^* t_{si}^2} \quad (9)$$

Onde ϕ_{MS} representa a diferença da função trabalho entre o metal e o silício, k representa a constante de boltzmann, T a temperatura em kelvin, n_i é a concentração intrínseca de portadores, t_{si} é a espessura do filme de silício, h é a constante de Planck, C_{OX} é a capacitância do óxido de porta, q é a carga do elétron e m^* é a massa de confinamento do portador na direção transversal.

2.4.2 Transcondutância (gm).

A transcondutância (gm) é um parâmetro que mensura a eficácia do controle da corrente de dreno através da tensão aplicada a porta. A equação 10 apresenta gm, que é dado pela relação da variação da corrente de dreno pela variação da tensão de porta.

$$gm = \frac{\partial I_{DS}}{\partial V_{DS}} \quad (10)$$

A transcondutância pode variar de acordo com a região de operação a qual o transistor se encontra. Quando o transistor está na região de saturação ($V_{DS} \geq V_{GS} - V_T$), a transcondutância é dada conforme a equação 11, já para a região de triodo ($V_{DS} < V_{GS} - V_T$) ela é dada conforme a equação 12:

$$gm_{Saturação} = \frac{\mu_{eff} C_{ox} W}{n L} (V_{GS} - V_T) \quad (11)$$

$$gm_{Triodo} = \frac{\mu_{eff} C_{ox} W}{n L} (V_{DS}) \quad (12)$$

onde μ_{eff} é a mobilidade efetiva do portador, n representa o fator de corpo, C_{ox} a capacitância de óxido e W e L são respectivamente largura e comprimento de canal.

Para transistores de múltiplas portas, a transcondutância se comporta de forma diferente, visto que a mobilidade é diferente para cada interface do dispositivo, devido à isso, a transcondutância total do dispositivo é composta pelas diferentes transcondutâncias de cada interface. Segundo F.Daúge [28] para um dispositivo FinFET de porta tripla operando em tríodo, a transcondutância máxima total ($gm_{max,total}$) é dada pela soma da transcondutância máxima lateral ($gm_{max,lateral}$) com a transcondutância máxima superior ($gm_{max,superior}$), que consequentemente são representadas pelas equações 13, 14 e 15:

$$gm_{max,total} = (W_{FIN} \mu_{superior} + 2H_{FIN}\mu_{lateral}) \frac{C_{OX} V_D}{L} \quad (13)$$

$$gm_{max,lateral} = 2 \frac{H_{FIN}}{L} C_{OX} \mu_{lateral} V_D \quad (14)$$

$$gm_{max,superior} = \frac{W_{FIN}}{L} C_{OX} \mu_{superior} V_D \quad (15)$$

onde W_{FIN} é a largura da aleta, $\mu_{superior}$ a mobilidade dos portadores na interface superior do canal, H_{FIN} a altura da aleta, $\mu_{lateral}$ a mobilidade dos portadores na interface lateral do canal, C_{OX} é a capacitância do óxido de porta, V_D é a tensão aplicada a dreno e L é o comprimento do canal.

2.4.3 Corrente de dreno (I_D)

Os transistores de múltiplas portas apresentam uma corrente de condução igual a soma das correntes que fluem através das interfaces cobertas pelas diferentes portas. Por exemplo a corrente em um dispositivo de uma única porta é 2 vezes menor que a de um dispositivo de porta dupla com mesmo comprimento e largura de porta. Com intuito de aumentar a condução de corrente, são utilizadas múltiplas aletas com a mesma espessura e largura. Quando se utiliza transistores com múltiplas aletas, a condução de corrente do transistor pode ser calculada multiplicando a corrente de uma única aleta (fin) pelo número total de aletas (n_{fins}) [21]. O mesmo equivale para dispositivos nanofios, porém as aletas são nomeadas como número de nanofios em paralelo.

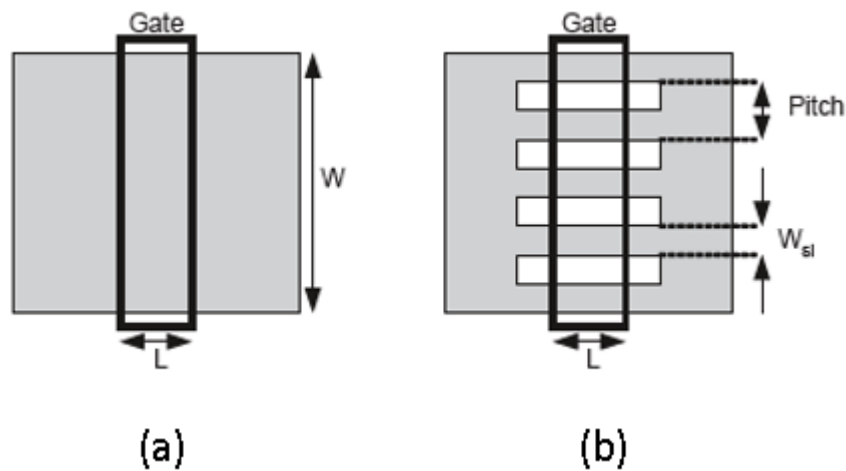
Considerando um dispositivo SOI planar com a mesma área de porta ($W \times L$) que um transistor de múltiplas portas e múltiplas aletas, a relação da corrente de dreno pode ser expressa pela equação 16.

$$I_D = I_{D0} \frac{\theta \mu_{superior} W_{SI} + 2 \mu_{lateral} t_{si}}{\mu_{superior} P} \quad (16)$$

Na equação 16, tem-se I_{D0} representando a corrente de dreno do transistor planar de porta única, W_{SI} correspondendo a largura de cada aleta individual, P é o *pitch* que nada mais é que o espaçamento entre aletas, t_{si} a espessura do filme de silício e θ é igual a 1 para um dispositivo de porta tripla e têm condução nas três interfaces e 0 quando for um dispositivo de porta dupla, visto que não tem condução na interface superior.

A Figura 8.a apresenta um MOSFET de porta única e a Figura 8.b um FinFET de múltiplas portas e aletas.

Figura 8 — (a) Layout de MOSFET planar de porta única; (b) Layout de FET com múltiplas portas e múltiplas aletas.



Fonte: adaptado de [21].

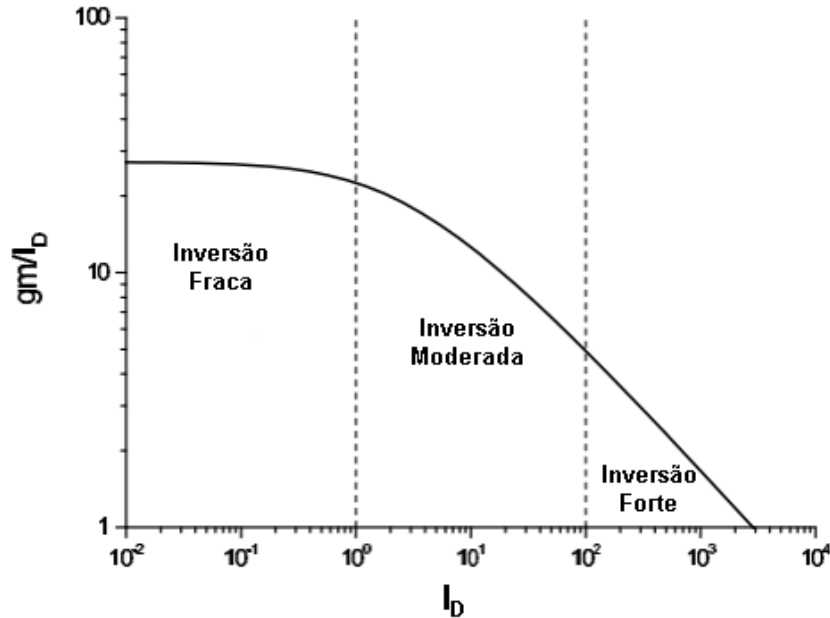
2.4.4 Eficiência do Transistor (gm/I_D).

A eficiência de um transistor é dada pela razão gm/I_D , onde gm está associada a amplificação do dispositivo e I_D a energia utilizada para realizar esta amplificação [4]. O parâmetro gm/I_D é uma característica universal tanto dos dispositivos tipo N quanto tipo P.

Este parâmetro permite um melhor dimensionamento de circuitos analógicos especialmente com dispositivos MOSFETs, visto que os mesmos podem operar nos seus

diferentes regimes de operação, desde a inversão fraca até a forte [30]. A Figura 9 apresenta a curva da eficiência do transistor em função da corrente de dreno, onde pode-se observar as três diferentes regiões de polarização: inversão fraca, moderada e forte .

Figura 9 — Curva da eficiência do transistor em função da corrente de dreno destacando-se as três regiões de operação do transistor.



Fonte: Adaptado de [29]

Nos transistores MOSFETs, a eficiência do transistor pode ser analisada em função da corrente de dreno normalizada. Ao analisar o gráfico de eficiência de um transistor MOSFET, pode-se observar um maior valor de eficiência na inversão fraca (*WI – Weak inversion*) já que a mesma depende do inverso da inclinação sublimiar. Para a inversão forte (*SI – Strong inversion*), pode-se observar uma redução na eficiência juntamente com a corrente de dreno, que podem ser explicadas pela dependência da mobilidade de portadores e da resistência série do dispositivo. A eficiência na inversão fraca pode ser representada pela equação 17, enquanto para inversão forte como dito anteriormente a eficiência decai com a corrente de dreno, sendo a equação da eficácia representada pela equação 18 [5] [30]:

$$\frac{gm}{I_D} = \frac{q}{n k T} \quad (17)$$

$$\frac{gm}{I_D} = \sqrt{\frac{2 \mu C_{OX} \frac{W}{L}}{n I_D}} \quad (18)$$

C_{ox} é a capacitância do óxido de porta e W e L a largura e comprimento do canal respectivamente.

Devido ao baixo fator de corpo (n) nos dispositivos FDSOI os mesmos possuem maiores valores de g_m/I_D que os MOSFETs convencionais. Conforme reportado em [5] dispositivos FDSOI podem chegar a valores de 35 V^{-1} , já dispositivos MOSFETs convencionais chegam no máximo de 25 V^{-1} a 30 V^{-1} .

2.4.5 Inclinação de Sublimiar (SS)

Considerando a equação de corrente de primeira ordem para MOSFETs, considera-se que há corrente de dreno somente quando a tensão de porta está acima da tensão de limiar (V_{TH}). Porém pode haver uma quantidade significativa de elétrons na interface oxido silício, e consequentemente uma corrente não desprezível quando o dispositivo opera abaixo da inversão forte [22].

A inclinação de sublimiar (*Subthreshold Swing* - SS) é definida como a quantidade de tensão de porta (em milivolts) necessária para aumentar em uma década a corrente de dreno (I_D) quando o transistor está abaixo da região de limiar (Sublimiar). A inclinação sublimiar classifica a capacidade de um transistor alternar de seu estado desligado (OFF) para o ligado (ON) e vice-versa. Quanto menor o valor de SS melhor e mais veloz é a resposta de transição do transistor. A equação 19 representa a definição da SS [5][31] :

$$SS = \frac{\partial V_G}{\partial \log(I_D)} \quad (19)$$

onde V_G é a tensão aplicada a porta e I_D a corrente que flui pelo dreno do dispositivo.

Para dispositivos MOSFETs, SS pode ser expressa pela equação 20 que apresenta a relação das capacitâncias dos dispositivos e os diferentes acoplamentos entre elas [5][31] :

$$SS = \frac{\partial V_G}{\partial \log(I_D)} = \frac{kT}{q} \ln(10) (1 + \alpha) \quad (20)$$

onde k é a constante de Boltzmann, T é a temperatura, q é a carga elementar do elétron, n é o fator de corpo que é dado por $1 + \alpha$, onde α é o fator que corresponde à associação das capacitâncias do dispositivo em questão (MOS convencional, FDSOI, PDSOI).

Nos MOSFETs convencionais o valor de SS mínimo fica limitado pela tensão térmica (kT/q) que resulta em um valor mínimo de aproximadamente 60mV/dec em temperatura ambiente de 300K[5][31] .

2.4.6 Condutância de saída (g_d)

A condutância de saída é um parâmetro analógico definido pela variação da corrente de dreno (I_D) sobre uma variação ocorrida na tensão de dreno (V_D), para uma tensão de porta (V_G) constante, ou seja, a condutância de saída representa a mudança na corrente de dreno em resposta a uma mudança ocasionada na tensão de dreno. Quanto menor for o valor de g_d , melhor será o desempenho do dispositivo, pois isso resulta em uma menor variação na corrente de dreno (I_D) em resposta a alterações na tensão de dreno (V_D). Na região de saturação do dispositivo, idealmente g_d deveria ser zero, porém devido a efeitos de que introduzem não linearidades a condutância de saída acaba não sendo zero. [5] [31] .

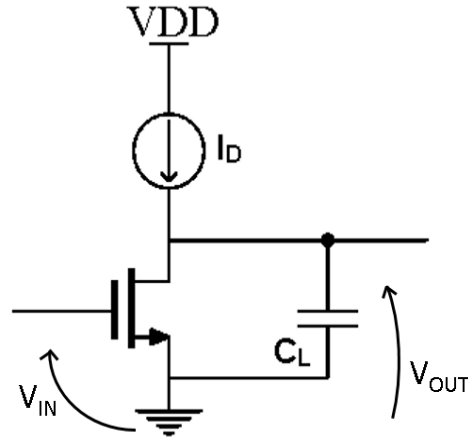
A condutância de saída pode ser expressa pela equação 21[31] .

$$g_d = \left. \frac{\partial I_D}{\partial V_D} \right|_{V_G \text{ constante}} \quad (21)$$

2.4.7 Ganho intrínseco de tensão (A_v)

O ganho intrínseco de tensão (A_v) é definido como a amplificação da tensão de entrada de um único transistor. O circuito analógico apresentado na Figura 10 representa um Amplificador Operacional de Transcondutância utilizando apenas um único transistor MOS (*single-transistor Operational Transconductance Amplifier* - OTA). O estágio de ganho intrínseco consiste em um único transistor na configuração de fonte comum, sendo alimentado por uma fonte ideal (I_D) com uma capacitância (C_L) [30].

Figura 10 — Estágio de ganho intrínseco.



Fonte: Autor.

A capacidade de amplificação do transistor é um ponto primordial para sua aplicação em sistemas analógicos. A equação 22 representa o ganho intrínseco de tensão, que pode também ser definido como a relação entre a sua eficiência em controlar a corrente de dreno (g_m) e a condutância de saída (g_d) [30]:

$$|A_V| = \frac{\Delta V_{OUT}}{\Delta V_{IN}} = \frac{g_m}{g_d} \cong \frac{g_m}{I_{DS}} V_{EA} \quad (22)$$

onde, ΔV_{OUT} representa a variação da tensão de saída, ΔV_{IN} a variação da tensão de entrada e V_{EA} a tensão Early.

2.4.8 Frequência de ganho unitário (f_T)

A frequência de ganho unitário pode ser considerada um importante parâmetro para o desenvolvimento de circuitos analógicos. Este parâmetro pode ser definido como a frequência na qual a transcondutância (g_m) é igual à condutância de saída (g_d), ou seja, quando o ganho de tensão de um transistor é igual a unidade. Simplificando f_T representa a faixa de frequência na qual o transistor pode trabalhar como amplificador. A frequência de ganho unitário depende de g_m e da capacitância parasita total formada na porta do dispositivo (C_{gg}). A equação 23 representa a frequência de ganho unitário [21].

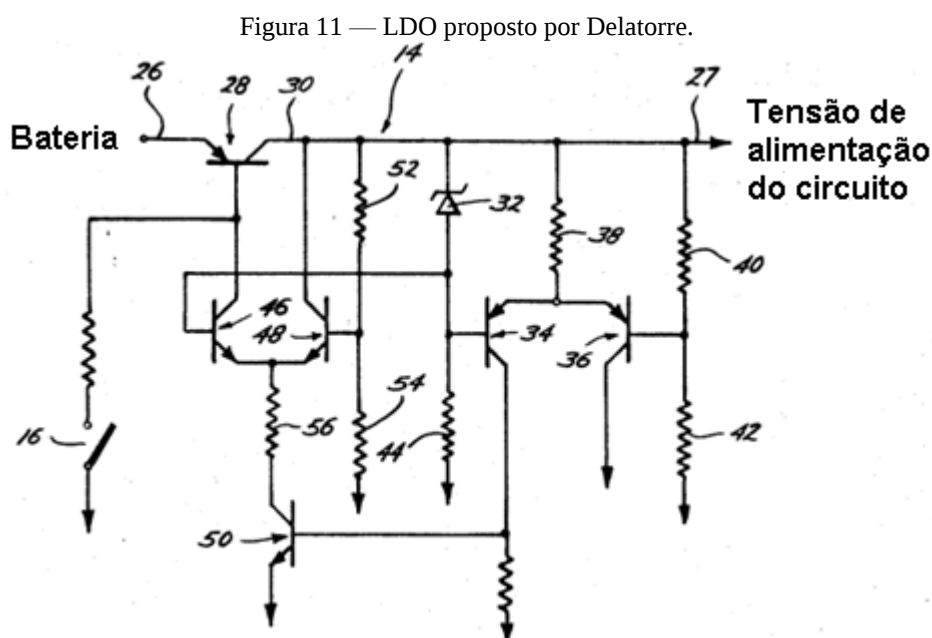
$$f_T = \frac{g_m}{2\pi C_{gg}} \quad (23)$$

2.5 REGULADOR LINEAR DE BAIXA QUEDA DE TENSÃO.

Fornecer e regular energia para um sistema elétrico ou circuito é de suma importância para o funcionamento do mesmo. Hoje em dia vários aparelhos eletroeletrônicos como: tablets, celulares, fones de ouvido sem fio, computadores entre outros, necessitam de uma energia estável e sem variações para realizar todas suas funções sem problemas. O principal problema é que as fontes de alimentação em geral são ruidosas e instáveis (Baterias, Geradores, Transformadores) devido a variações de tensão e corrente ao longo do sistema, o que acaba interferindo na operação das cargas que elas sustentam [32] .

Os reguladores lineares são utilizados normalmente em sistemas de gerenciamento de energia com intuito de converter estas fontes de alimentações instáveis e ruidosas em tensões estáveis, precisas e constantes, minimizando essas variações para um valor muito pequeno, independentemente da carga [32] .

A regulação de tensão não é uma prática recente, ela já era utilizada há várias décadas, como demonstrado por Delatorre em 1969 [33], onde o mesmo apresentou o circuito ilustrado na Figura 11, que utiliza de um transistor em 28 e uma malha de realimentação para estabilizar e retornar uma tensão estável em 27.

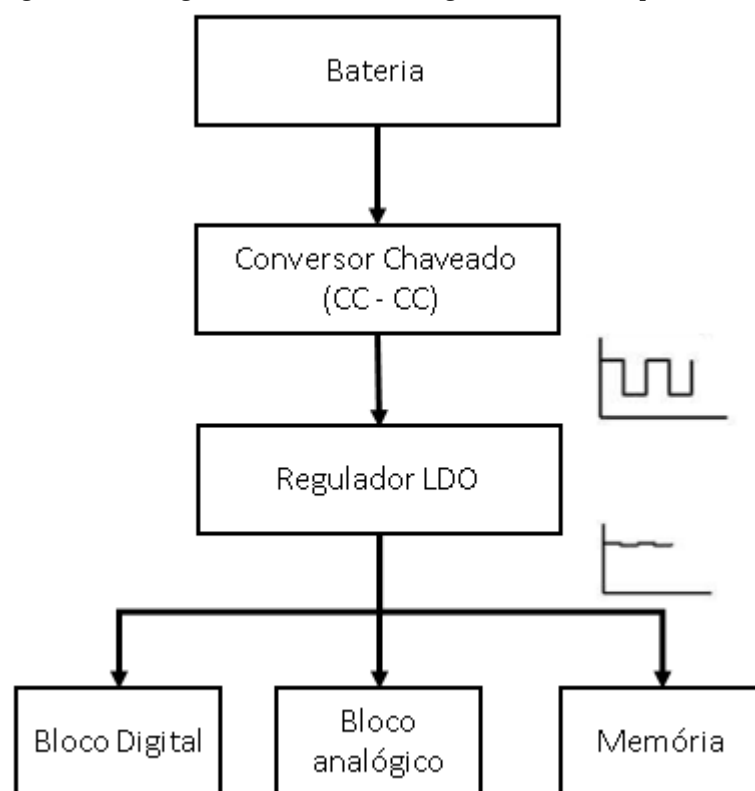


Fonte: Adaptado de [33].

Com a evolução tecnológica, o começo da utilização de microprocessadores e de dispositivos cada vez mais miniaturizados, surgiu uma nova necessidade que era a baixa queda

de tensão, dessa forma surgiram os reguladores lineares de baixa queda de tensão ou *Low Dropout Voltage Regulator (LDO)* [34]. Como citado anteriormente, as crescentes demandas por aparelhos portáteis fizeram com que fossem revistos os sistemas de gerenciamento de energia, utilizando conversores chaveados (CC) para reduzir a tensão da fonte de alimentação, porém devido ao CC fornecer uma tensão com alto *ripple* e instável, tornou necessária a utilização também de um regulador linear de baixa queda de tensão (LDO) para deixar a tensão mais estável ou com um *ripple* aceitável para então alimentar uma carga, como por exemplo memórias, blocos digitais, etc. A Figura 12 apresenta o diagrama de um novo sistema de gerenciamento de potência [32] [35].

Figura 12 — Diagrama de um sistema de gerenciamento de potência atual.

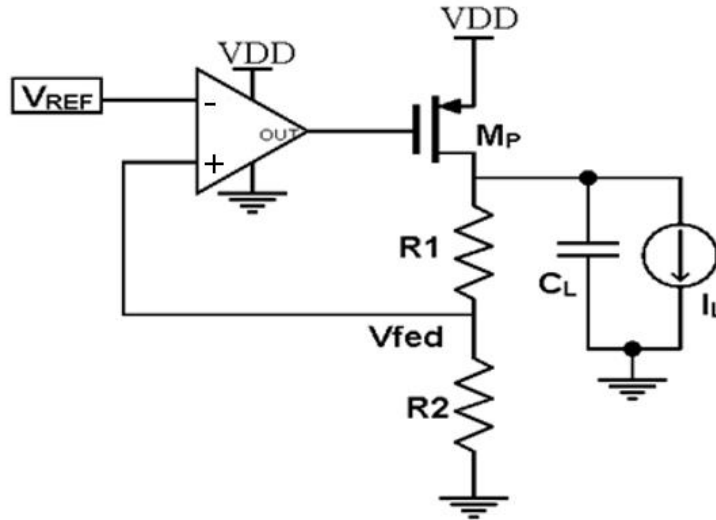


Fonte: [35].

O LDO é composto por dois estágios, onde o primeiro estágio consiste em um amplificador de diferenças que normalmente é chamado de amplificador de erro (AE), o segundo estágio é composto por um transistor de potência (M_P) e pelo laço de realimentação negativa formado por um divisor de tensão resistivo. A Figura 13 apresenta uma topologia básica de um regulador LDO que é composta por uma fonte de tensão de entrada (V_{DD}), um amplificador de erro, um transistor de potência (M_P) que é utilizado para fornecer a corrente

necessária para a carga e os resistores R_1 e R_2 que constituem o laço de realimentação qual fornece a tensão de realimentação (V_{fed}), que será comparada com a tensão de referência (V_{REF}) para polarizar a porta do transistor M_P e fornecer tensão e corrente de saída reguladas. Finalmente, a carga é simulada por um capacitor de carga (C_L) em paralelo com um resistor de carga (R_L), sobre os quais cai uma tensão de saída (V_{out}).

Figura 13 — Topologia básica de um regulador LDO.



Fonte: Autor.

Considerando a topologia apresentada na Figura 13 e que o amplificador de erro seja ideal, pode-se relacionar equações e encontrar a tensão de saída (V_{OUT}). Para se obter uma saída estabilizada, sabe-se que a entrada da porta inversora e não inversora do AE devem ser iguais, dessa forma a equação 24 relaciona V_{fed} e V_{REF} .

$$V_{fed} = V_{REF} \quad (24)$$

A próxima relação que pode ser obtida é entre a tensão de saída e a tensão de feedback da malha de realimentação, a relação entre as duas é obtida através do divisor de tensão resistivo. A equação 25 representa a relação de V_{fed} e V_{OUT} :

$$V_{fed} = V_{OUT} \left(\frac{R_2}{R_1 + R_2} \right) \quad (25)$$

Relacionando V_{OUT} com V_{fed} é obtido o fator de realimentação β que é dado pela equação 26.

$$\beta = \left(\frac{R_2}{R_1 + R_2} \right) \quad (26)$$

Relacionando as equações 24, 25 e 26 é obtido a tensão de saída que está apresentada na equação 27 e depende de β e V_{REF} .

$$V_{OUT} = \beta V_{REF} \quad (27)$$

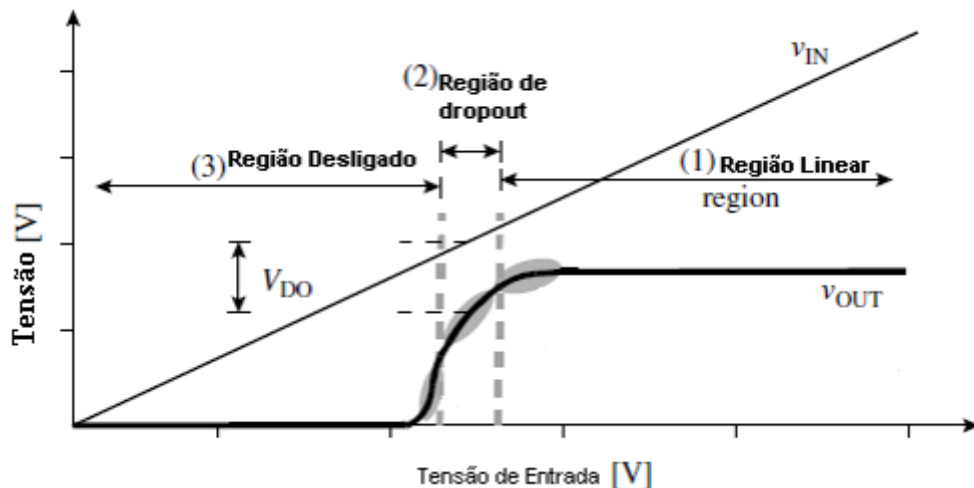
2.5.1 Especificações dos Reguladores Lineares

Nesta seção é mostrado o equacionamento e a discussão das principais especificações para analisar o desempenho de um regulador linear. As especificações discutidas nessa seção são:

- Tensão de *dropout* (V_{DO}): A tensão de *dropout* é definida como a diferença mínima entre a tensão de entrada (V_{DD}) e a tensão de saída (V_{OUT}) que mantém a saída regulada. Um regulador Linear pode ser especificado através de sua tensão de *dropout*, caso V_{DO} seja menor que 0,6V ele é considerado de baixa queda de tensão (LDO), segundo Mora [31], já caso V_{DO} for maior que 0,6V ele é considerado de alta queda de tensão (*High dropout* - HDO). A equação 28 apresenta a formulação da tensão de dropout e a Figura 14 apresenta as três regiões de operação do regulador linear (Região desligado, Região de dropout e Região Linear) [32].

$$V_{DO} = V_{DD} - V_{OUT} \quad (28)$$

Figura 14 — Regiões de operação de um Regulador Linear.



Fonte: adaptado de [32].

- Corrente Quiescente (I_Q): A corrente quiescente é definida como a corrente consumida pelo LDO para fornecer uma saída estável, ou seja, é a corrente consumida pelo amplificador de erro (AE) e pela malha de realimentação. A equação 30 representa o equacionamento da corrente quiescente, que é dada pela subtração entre a corrente da fonte de alimentação (I_{IN}) e a corrente fornecida a carga (I_L) [32] .

$$I_Q = I_{IN} - I_L \quad (30)$$

- Eficiência (η): A eficiência é definida como a relação entre a potência consumida pela carga (P_{OUT}) e a potência fornecida pela fonte de alimentação (P_{IN}). A equação 31 apresenta a eficiência de um regulador LDO, através dela é possível notar que para se obter uma maior eficiência deve-se obter um menor V_{DO} e uma menor corrente quiescente consumida pelo circuito (I_Q) [32] .

$$\frac{P_{OUT}}{P_{IN}} = \frac{V_{OUT} I_L}{V_{DD} I_{IN}} = \frac{(V_{DD} - V_{DO}) I_L}{V_{DD} (I_L - I_Q)} \quad (31)$$

- Regulação de carga: A regulação de carga ou *Load Regulation* (LDR) indica a variação da tensão de saída (V_{OUT}) quando houver uma variação na corrente de saída (I_L). A equação 32 define a regulação de carga e através dela é possível observar que para obter uma melhor regulação de carga, deve-se ter uma alta transcondutância do transistor de potência ($g_{m_{MP}}$) e um alto ganho do amplificador de erro presente no 1º estágio (A_{EA}) [32] .

$$\frac{\Delta V_{OUT}}{\Delta I_L} = \frac{1}{g_{m_{MP}} A_{EA} \beta} \quad (32)$$

- Regulação de Linha: A regulação de linha ou *Line Regulation* (LNR) indica a variação apresentada na tensão de saída (V_{OUT}) dada uma variação na tensão referente a fonte de alimentação (V_{DD}). A equação 33 apresenta a regulação de linha e através dela é possível observar que para obter uma melhor regulação de linha deve-se obter um maior ganho de malha (A_M) [32] .

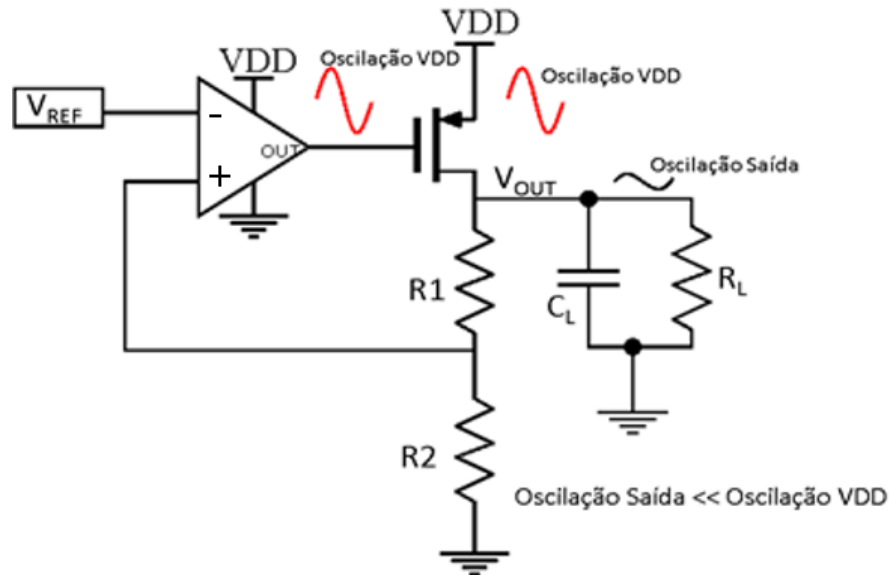
$$\frac{\Delta V_{OUT}}{\Delta V_{DD}} = - \frac{1}{A_M} \quad (33)$$

- Rejeição de Fonte (PSR): O Regulador Linear deve ser capaz de suprimir variações (*ripple*) de pequenos sinais (AC) advindo da fonte V_{DD} . Essa capacidade de supressão é

mensurada através da rejeição de fonte (*Power Supply Rejection - PSR*). A PSR é caracterizada em função da frequência e mensurada em decibéis como pode ser observado na equação 34. Na equação 34 é possível observar também V_{out} e V_{DD} que são as componentes AC presentes na tensão de saída V_{OUT} e de entrada V_{DD} respectivamente. Na Figura 15 é possível observar que para um valor mais negativo de PSR a oscilação na saída se torna mais baixa [32] .

$$PSR = 20 \log_{10} \left(\frac{v_{OUT}}{v_{DD}} \right) \quad (34)$$

Figura 15 — Circuito que representa a Rejeição de fonte sobre uma variação na fonte de alimentação.



Fonte: Adaptado de [35] .

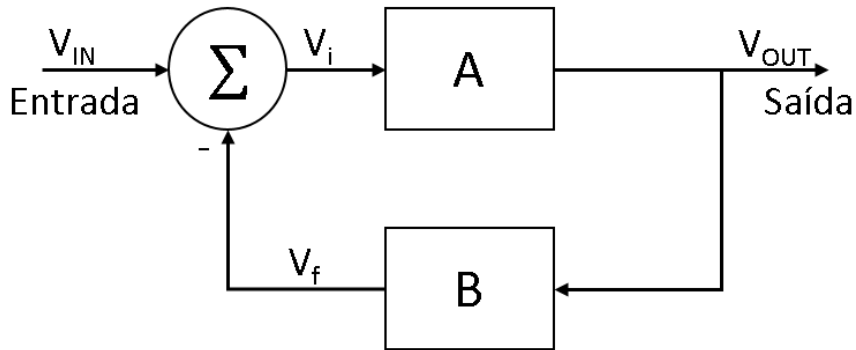
2.5.2 Estabilidade

2.5.2.1 Realimentação negativa

A realimentação negativa é uma técnica amplamente utilizada em circuitos eletrônicos com intuito de estabilizar e melhorar a performance do mesmo. Este conceito consiste em enviar uma parte do sinal de saída para entrada com intuito de reduzir erros e flutuações indesejadas. A Figura 16 representa a estrutura da realimentação negativa, onde A representa o ganho de malha aberta, B o fator de realimentação, V_{OUT} a saída, V_{IN} a entrada, V_i a saída do somatório realimentado, V_f a realimentação. A multiplicação entre A e B representa o ganho de malha. O

ganho de malha fechada é dado pela relação entre a saída e a entrada que está representado na equação 35 [36] .

Figura 16 — Estrutura da realimentação negativa.



Fonte: Autor.

$$A_f = \frac{V_{OUT}}{V_{IN}} = \frac{A}{1+AB} \quad (35)$$

Há várias formas de se analisar a estabilidade de um sistema como: Lugar das raízes, Diagrama de Nyquist, Critério de Routh-Hurwitz, entre outros. Na micro/nanoeletrônica normalmente utiliza-se o diagrama de bode. O diagrama de bode é dividido em dois gráficos, um que representa o ganho em função da frequência e outro que apresenta a fase em função da frequência. Para analisar a estabilidade, verifica-se onde o módulo do ganho de malha (AB) é igual a 1 (0dB) e depois confere qual fase corresponde a este ganho, caso a fase for menor que 180° o sistema é considerado estável. Juntamente com o Diagrama de bode, pode-se utilizar o parâmetro chamado Margem de Fase, que indica o quanto a fase pode mudar antes que o sistema torne instável. A Margem de fase é dada por 180° mais a fase encontrada no diagrama de bode, sua formulação está representada na equação 36 [37] .

$$PM = 180^\circ - \angle AB \quad (36)$$

2.5.2.2 Estabilidade em LDO.

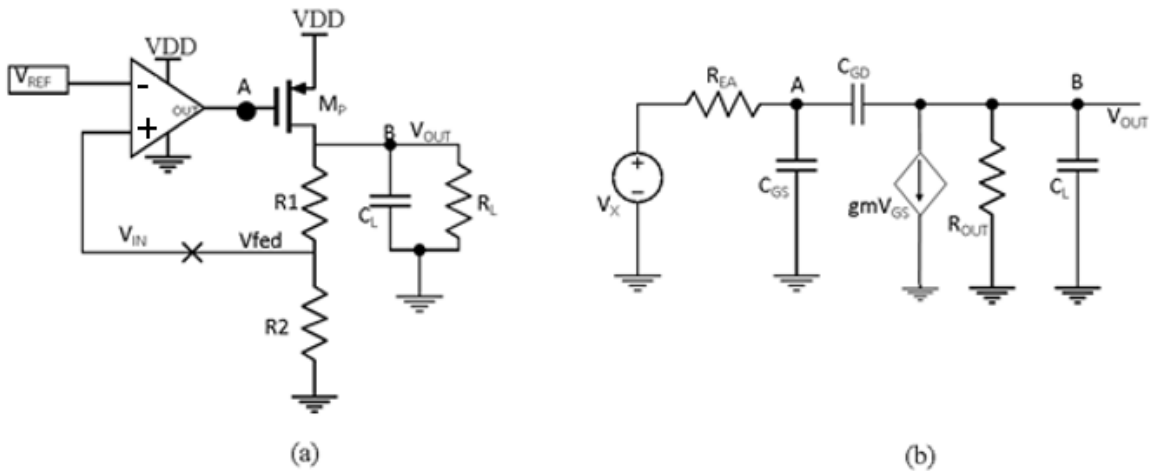
O Regulador LDO utiliza de uma realimentação negativa para estabilizar e manter a tensão de saída constante. Para analisar a estabilidade de um regulador LDO primeiramente deve-se abrir a malha de realimentação conforme mostrado na Figura 17.a e obter, portanto, o

modelo equivalente do regulador LDO com malha aberta em pequenos sinais que está apresentado na Figura 17.b.

No modelo de pequenos sinais de um regulador LDO com malha aberta descrito pela Figura 17.b, é possível observar a tensão referente a saída do amplificador de erro (V_X) que é dada pela equação 37, a resistência do amplificador de erro (R_{EA}), seguido da capacitância entre porta e fonte (C_{GS}) e capacitância entre porta e dreno (C_{GD}) do transistor de potência (M_P), g_{mMP} corresponde a transcondutância do transistor de passagem e r_{ds} a resistência entre dreno e fonte do mesmo, por último está representada a resistência de saída (R_{OUT}) que é dada pela soma da resistência em série de R_1 e R_2 em paralelo com r_{ds} e com a resistência de carga (R_L) e está representada na equação 38 [35] .

$$V_X = A_{EA} V_{IN} \quad (37)$$

Figura 17 — Topologia do Regulador LDO com indicação do ponto de quebra da realimentação (a). Modelo equivalente de pequenos sinais do regulador LDO em malha aberta (b).



Fonte: Adaptado de [35] .

$$R_{OUT} = (R_1 + R_2) // r_{ds} // R_L \quad (38)$$

Nesta análise é possível considerar que o polo referente ao nó da quebra de realimentação e os polos internos do amplificador de erro estão em alta frequência, visto que a capacitância de carga (C_L) e as capacitâncias do transistor M_P são muito mais altas que as capacitâncias do nó e do AE. Desconsiderando estes polos, o circuito pode ser aproximado a um de segunda ordem, onde tem um polo localizado na porta do transistor de passagem (ω_{pa}) e outro na de saída (ω_{pb}), na Figura 17.b a localização dos polos está apresentada nos nós A e B [32] .

Considerando que estes polos são reais e estão localizados em frequências distantes, segundo [28] ω_{pa} e ω_{pb} podem ser descritos pelas equações 39 e 40, consequentemente.

$$\omega_{pa} = \frac{1}{(C_L + C_{GD})R_{OUT} + (C_{GS} + C_{GD})R_{EA} + gm R_{EA} R_{OUT} C_{GD}} \quad (39)$$

$$\omega_{pb} = \frac{gm C_{GD}}{C_{GS} C_{OUT} + C_{GD} C_{OUT} + C_{GS} C_{GD}} \quad (40)$$

Caso considerar a capacitância C_{GD} muito grande já que o transistor de potência deve ser grande para fornecer a corrente necessária para carga, ω_{pa} pode ser aproximado para a equação 41[32] [38] .

$$\omega_{pa} \approx \frac{1}{gm R_{EA} R_{OUT} C_{GD}} \quad (41)$$

Utilizando a analogia da realimentação negativa vista na seção 2.5.2.1, é possível obter o ganho de malha aberta que está descrito na equação 42 e o ganho de malha do regulador LDO. O ganho de malha (A_M) é dado pela multiplicação entre o ganho de malha aberta (A_{MA}) e o fator de realimentação β e está indicado na equação 43.

$$A_{MA} = \frac{V_{OUT}}{V_{IN}} = A_{EA} \frac{V_{OUT}}{V_X} = gm R_{OUT} A_{EA} \quad (42)$$

$$A_M = A_{MA} \beta = -gm R_{OUT} A_{EA} \beta \quad (43)$$

2.5.2.3 Compensação em LDO.

Caso o sistema LDO esteja instável normalmente é utilizada alguma técnica de compensação, normalmente esta técnica consiste na inserção de um capacitor para que os polos se movam e deixem a margem de fase acima de 60°, garantindo então a estabilidade do sistema.

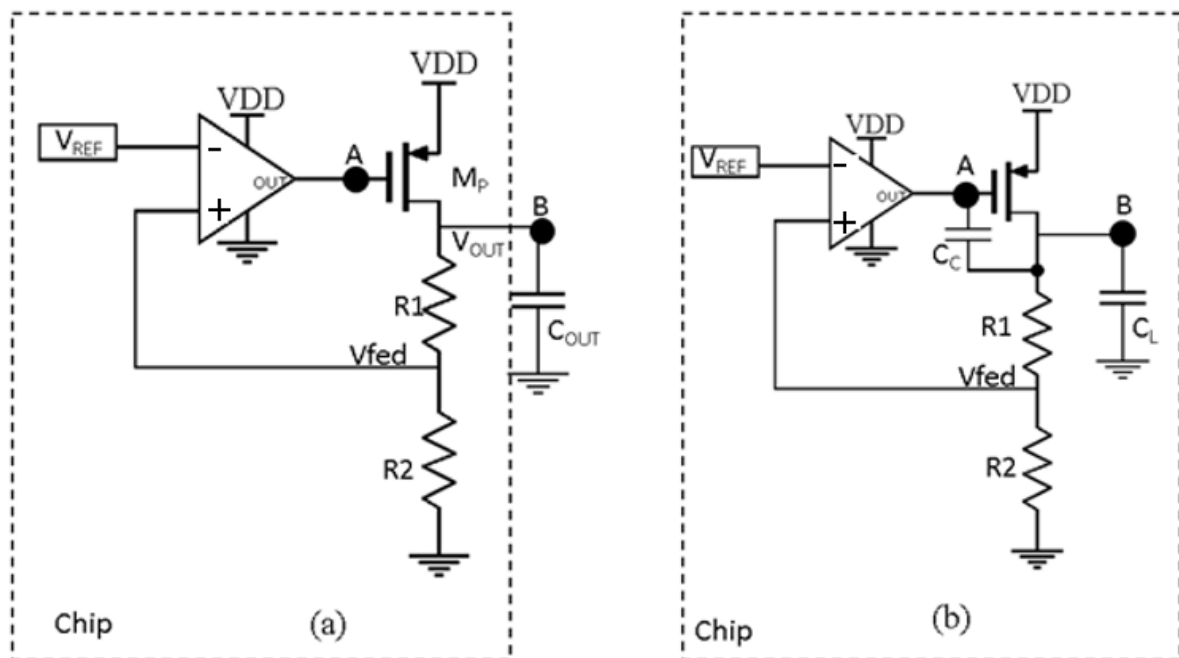
No circuito LDO existem duas possibilidades de compensação, uma compensação interna juntamente ao polo localizado no nó A ou uma compensação externa juntamente ao polo localizado no nó B.

A compensação externa consiste na inserção de um capacitor externo ao circuito ($C_{OUT} = C_C + C_L$), resultando na dominância do polo ω_{pb} , que ocasiona a estabilidade do circuito. Normalmente este capacitor é da ordem de Micro Farad, o que acaba aumentando a área de chip utilizada e elevando o custo do projeto, tornando o mesmo inviável para aplicações de micro/nanoeletrônica.

A compensação interna consiste na aplicação de um capacitor (C_C) juntamente ao nó A, aumentando a capacitância deste nó e tornando o polo ω_{pa} dominante. Esta compensação normalmente é a mais viável para aplicação em micro/nanoeletrônica, já que o capacitor utilizado normalmente é na escala de pico Farad, diminuindo, portanto, o custo e a área de chip ocupada. A utilização de uma capacitância menor ao nó A é devido a capacitância neste nó sofrer influência do Teorema de Miller [39] [40] .

A Figura 18.a apresenta a compensação externa ao circuito e Figura 18.b a compensação interna.

Figura 18 — (a) Compensação externa LDO. (b) Compensação interna.

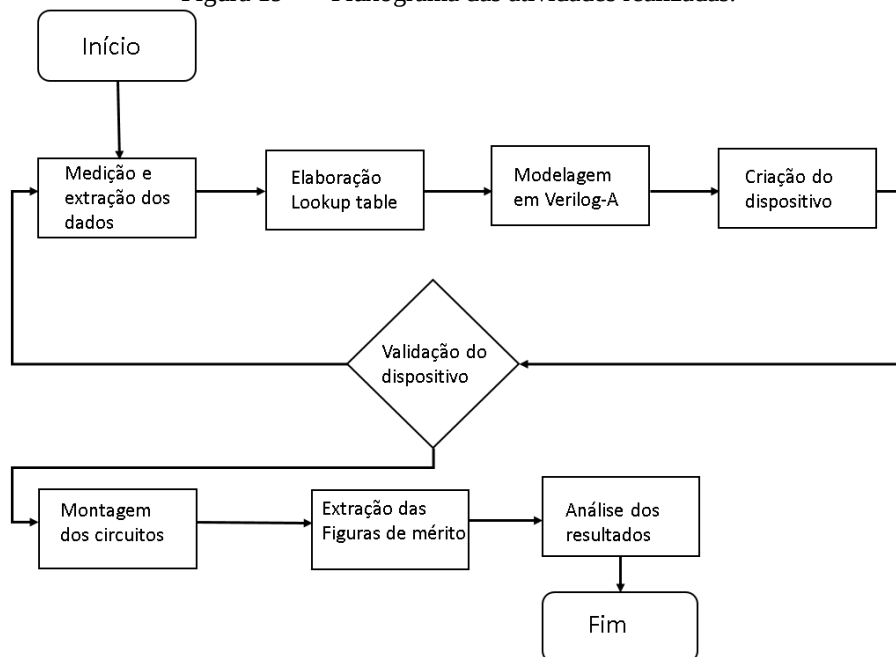


Fonte: Adaptado de [39] .

3 MATERIAIS E MÉTODOS

Neste capítulo é apresentado o dispositivo utilizado neste trabalho, a medição do dispositivo, o método utilizado para realizar a modelagem de seu comportamento, o software utilizado para a modelagem, a topologia escolhida do regulador LDO a ser implementado e por último os métodos de extração das Figuras de mérito do circuito implementado com este dispositivo. O fluxograma apresentado na Figura 19 ajuda a elucidar os passos realizados para encontrar os resultados deste trabalho.

Figura 19 — Fluxograma das atividades realizadas.



Fonte: Autor.

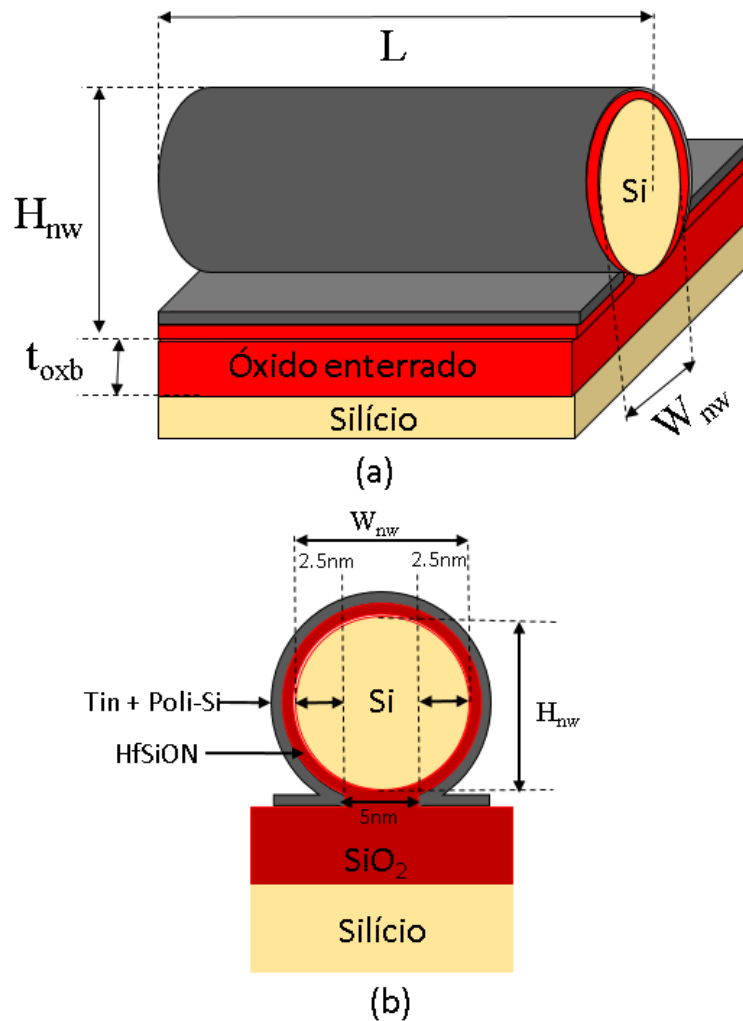
3.1 DISPOSITIVO.

O transistor utilizado neste trabalho foi fabricado no CEA-LETI, França, em lâmina SOI com uma espessura de óxido enterrado (t_{oxb}) de 145 nm. O transistor de nanofio com porta Ω possui as seguintes características: o material da porta é composto por Nitreto de Titânio (TiN) coberto por Poli-Silício, o óxido da porta é composto por uma fina camada de SiO_2 coberto por HfSiON com uma espessura efetiva de óxido (EOT) de 1,3 nm, o comprimento do canal (L) é de 100 nm, a altura da aleta (H_{NW}) é de 10 nm e a largura da aleta (W_{NW}) é de 10 nm. Usando essas informações, é possível calcular a largura efetiva do canal subtraindo a porção do canal não coberta pela porta (5 nm) da circunferência do círculo, o que fornece uma largura efetiva (W_{eff}) igual a 26,42 nm.

Para escolher o dispositivo descrito acima, o primeiro passo a ser tomado foi selecionar um dispositivo Ω -gate que não sofresse com efeitos de canal curto. Usando [6] como referência, foi escolhido um dispositivo com $L \geq 50\text{nm}$, pois dispositivos maiores que 50nm alcançam maior imunidade aos efeitos de canal curto (SCE). Dada essa ressalva na referência [9], um dispositivo Ω -gate com um comprimento de canal de 100nm foi usado neste trabalho.

A Figura 20.a apresenta a estrutura esquemática do transistor de porta em forma de Ω em 3D, e a Figura 20.b a seção transversal do transistor.

Figura 20 — (a) Visão 3D do transistor de porta Ω . (b) Seção transversal do transistor.



Fonte: Adaptado de [9].

3.2 MEDIÇÃO E EXTRAÇÃO DOS DADOS

Os dados experimentais do transistor nanofio de porta ômega foram medidos utilizando o analisadores de semicondutores B1500, da Agilent®. A lâmina com os dispositivos foi

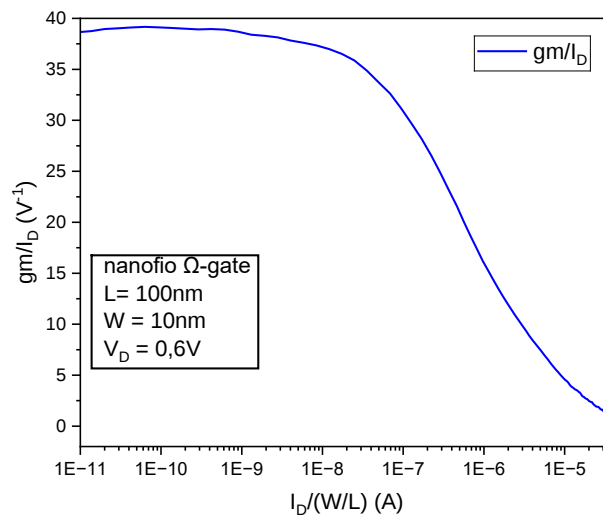
posicionada acima do micro manipulador 1160 da Signatone que é localizado dentro de uma gaiola de Faraday [41] .

A partir das medições realizadas (curvas de transferência com passo de porta de 10 mV e passo de dreno de 50 mV, curva de capacitância-tensão (C-V), para as quais foi utilizado o medidor LCR E4980A (Keysight), conforme descrito em [9].) foi construída a Look up Table e modelou-se o dispositivo usando a linguagem Verilog-A e o software Cadence Virtuoso.

3.3 MÉTODO gm/I_D .

A metodologia gm/I_D normalmente é utilizada no desenvolvimento de circuitos integrados que utilizam de transistores MOSFETs. Este método propõe a relação entre a eficiência do dispositivo (gm/I_D) e a normalização da corrente de dreno ($I_D/(W/L)$), esta normalização permite comparar transistores de diferentes tamanhos de uma maneira justa. A Figura 21 apresenta o gráfico desta relação, nele é possível observar as três regiões de operação do transistor (Inversão Fraca, Moderada e Forte) observa-se que, na inversão fraca, há uma alta eficiência, mas uma baixa corrente de dreno; por outro lado, na inversão forte, ocorre o inverso. [30][42] .

Figura 21 — Curva da eficiência do transistor (gm/I_D) versus corrente de dreno normalizada.



Fonte: Autor.

Esta metodologia é uma característica dos transistores MOSFETs, permitindo a comparação de circuitos em diferentes tecnologias sob as mesmas condições de condução (expressas por gm/I_D), independentemente de variações nos parâmetros específicos de cada

tecnologia [29]. Normalmente, utiliza-se essa técnica para economizar energia no circuito, selecionando o ponto “ótimo” no gráfico em que o transistor apresenta alta transcondutância (g_m) com baixa corrente de dreno (I_D).

No entanto, para operar nesse regime de alta eficiência, é necessário aumentar o tamanho físico do transistor (normalmente a largura do canal W) no caso do LDO, pois é aumentado o transistor de potência que garantimos a corrente de saída desejada. Transistores maiores apresentam maior capacidade de corrente e transcondutância, mas isso aumenta proporcionalmente a área ocupada no chip, impactando diretamente no custo e na densidade de integração do circuito. Por isso, no desenvolvimento de circuitos, é fundamental equilibrar eficiência energética e economia de espaço, considerando que o uso de transistores maiores pode ser inviável em aplicações que exigem alta densidade de integração

Escolher este método de polarização dos transistores, permite algumas vantagens, como [30][42] :

- Eficiência de Design: Facilita a rápida identificação do ponto operacional mais vantajoso, gerenciando efetivamente o equilíbrio entre desempenho e uso de energia;
- Comparação Simplificada: Agiliza o processo de comparação de vários tipos de transistores e suas respectivas configurações;
- Otimização de desempenho aprimorada: Melhora a capacidade de ajustar o projeto, garantindo o alcance preciso dos objetivos de desempenho do circuito;
- Ferramenta para calcular a dimensão do transistor;
- Indica a região de operação do dispositivo;
- Relação forte com o desempenho do circuito analógico.

Além de todos estes fatos, utilizar a técnica g_m/I_D é de suma relevância visto que a maioria das equações de característica elétrica podem ser representadas por g_m/I_D [32].

3.4 MODELAGEM DO TRANSISTOR USANDO SUA LOOKUP TABLE (LUT)

Como citado anteriormente, utilizando o dispositivo B1500, foi possível medir o transistor e extrair suas curvas experimentais para extrair parâmetros reais e importantes do dispositivo e através destes parâmetros montar uma tabela intitulada *Lookup Table* (LUT) que contém 3 colunas com os valores de I_D , V_G e V_D . Através da LUT é possível modelar um dispositivo que ainda não tem modelo matemático implementado para simulação. A Tabela 1 apresenta um exemplo de LUT [43] .

Tabela 1 — Exemplo de LUT.

V_G	V_D	I_D
V_{G1}	V_{D1}	I_{D1}
V_{G2}	V_{D2}	I_{D2}
V_{G3}	V_{D3}	I_{D3}
...	...	...
V_{Gn}	V_{Dn}	I_{Dn}

Fonte: Autor.

Utilizando a LUT, o modelo do transistor pode ser criado em um software através de linguagem de descrição de hardware analógica (Verilog-A), com esta linguagem de descrição, é possível modelar desde um simples componente como um resistor a circuitos complexos. O software irá recorrer a LUT para determinar a polarização de um dispositivo, devido a este modelo não ser contínuo uma interpolação é realizada para descobrir valores não presentes na LUT [44] [45] .

A LUT é uma alternativa para modelar dispositivos que foram criados recentemente e ainda não tem modelos matemáticos precisos e/ou implementados dentro de softwares (exemplo: *Process Design Kits* (PDKs)), assim, essa modelagem permite utilizar dados experimentais e reais de novos dispositivos e verificar os desempenhos desses novos dispositivos em circuitos analógicos como o amplificador de transcondutância (OTA) ou um LDO.

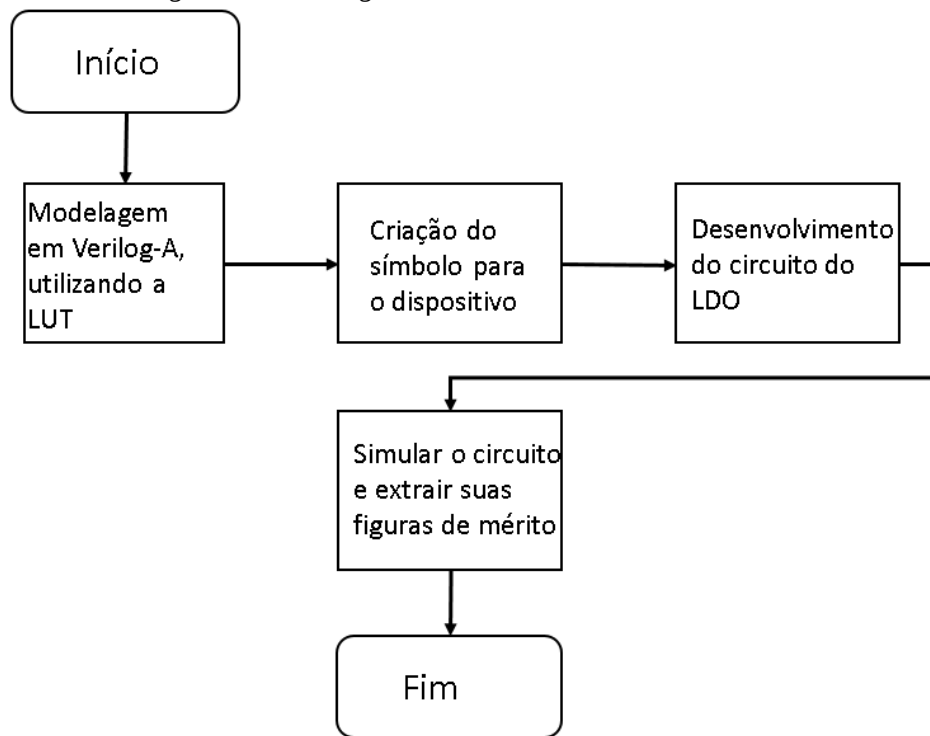
3.5 VIRTUOSO ANALOG DESIGN ENVIROMENT (ADE)[®]

O Virtuoso Analog Design Enviroment (ADE)[®] é um software disponibilizado pela empresa Cadence, ele é uma ferramenta chamada de EDA (*Eletronic Design Automation*). Através desta ferramenta é possível simular e desenvolver circuitos integrados. No Virtuoso é possível utilizar de PDKs, quais são arquivos fornecidos pelas empresas que realizam projetos de circuito integrado, além disso é possível modelar um dispositivo sem modelo matemático definido através da linguagem de descrição de hardware analógica (Verilog-A).

Neste trabalho o Virtuoso foi utilizado com intuito de primeiramente modelar o transistor nanofio de porta ômega com descrição de hardware Verilog-A a partir de sua LUT e criar através do Virtuoso Symbol Editor[®] seu símbolo para ser utilizado no esquemático;

depois utilizando o Virtuoso Schematic Editor® desenvolver um regulador linear de baixa queda de tensão (LDO) com os mesmos; Por fim utilizando o Virtuoso ADE® que é integrado ao *Spectre® Circuit Simulator*, simular o circuito e extrair suas principais figuras de mérito. A Figura 22 apresenta o fluxograma das atividades realizadas através do Cadence Virtuoso.

Figura 22 — Fluxograma de atividades no Cadence Virtuoso.



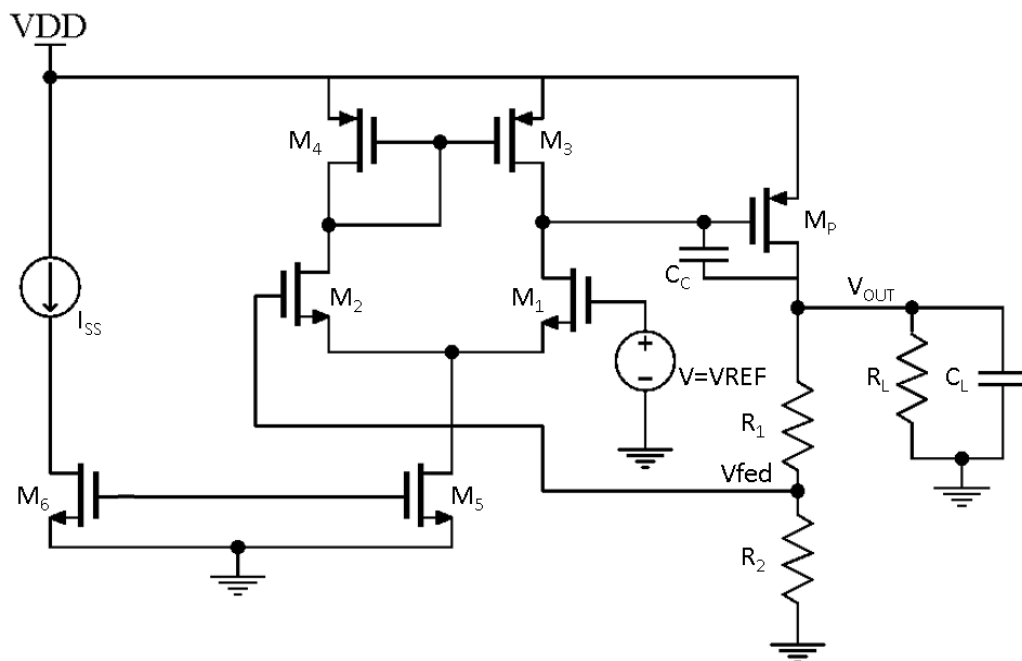
Fonte: Autor.

3.6 TOPOLOGIA DO REGULADOR LINEAR DE BAIXA QUEDA DE TENSÃO.

Para desenvolvimento do Regulador Linear de baixa queda de tensão optou-se por utilizar de sua topologia mais simples utilizando dois resistores na malha de realimentação ao invés de dois transistores. O circuito LDO consiste em um amplificador de erro (AE), que é alimentado por uma fonte de corrente ideal (I_{SS}) e um espelho de corrente (M_5 e M_6). O LDO é composto por dois estágios, onde o primeiro estágio consiste em um par diferencial funcionando como um amplificador de erro, que é polarizado por uma fonte de corrente ideal. O segundo estágio é composto por um transistor de potência e o laço de realimentação negativa formado por um divisor de tensão resistivo. A Figura 23 apresenta o esquema do circuito LDO implementado, consistindo de uma fonte de tensão de entrada (VDD), um par diferencial com carga ativa formado pelos transistores M_1 a M_4 , alimentado pelo espelho de corrente M_5 e M_6 , que refletem a corrente da fonte de tensão I_{SS} . O transistor M_P é utilizado para fornecer a

corrente necessária para a carga, e os resistores R_1 e R_2 constituem o laço de realimentação que fornece a tensão de realimentação (V_{fed}), que será comparada com a tensão de referência (V_{REF}) para polarizar a porta do transistor M_P e fornecer tensão e corrente de saída reguladas. Finalmente, a carga é simulada por um capacitor de carga (C_L) em paralelo com um resistor de carga (R_L), fornecendo uma tensão de saída (V_{OUT}). O capacitor de compensação (C_C) é crucial para controlar a resposta em frequência do circuito LDO, garantindo a estabilidade do regulador e minimizando variações na tensão e corrente de saída.

Figura 23 — Topologia do LDO desenvolvido.



Fonte: Autor.

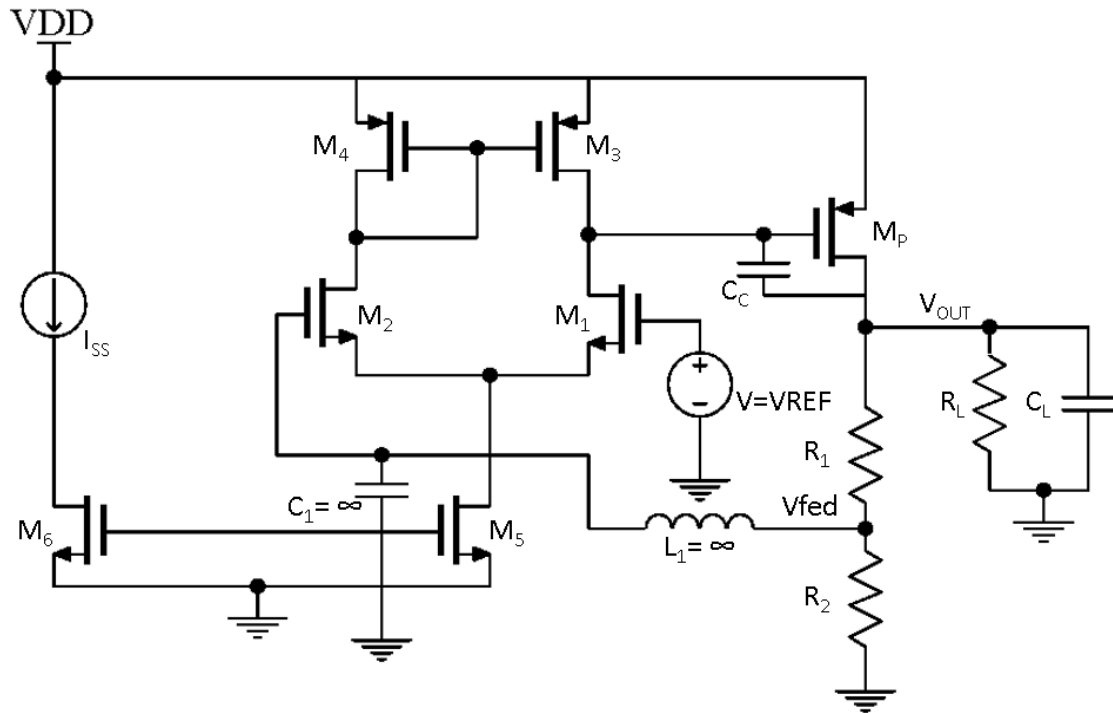
3.7 MÉTODOS DE EXTRAÇÃO DAS FIGURAS DE MÉRITO

As principais figuras de mérito de um regulador linear de baixa queda de tensão (LDO) foram descritas na seção 2.5.1, para obter os resultados referentes a cada figura de mérito dentro do software Cadence Virtuoso, teve que criar adaptações e até diferentes circuitos para obter determinada especificação. Nesta seção será apresentado as diferentes modificações para obter o resultado da especificação desejada.

Para mensurar o ganho de malha (*Loop Voltage Gain*) e analisar a estabilidade do regulador LDO teve-se que modificar a malha de realimentação, onde colocou-se um indutor com indutância infinita para quebrar a realimentação e um capacitor com capacitância infinita na porta de M_2 para que aquele nó não fique flutuando. Para medir o ganho de malha aberta foi

causada uma variação AC na fonte de tensão V e mensurou-se o ganho de tensão em dB na saída do circuito (V_{OUT}). A Figura 24 apresenta o circuito utilizado para medir o ganho de malha.

Figura 24 — Circuito utilizado para mensurar o ganho de malha.

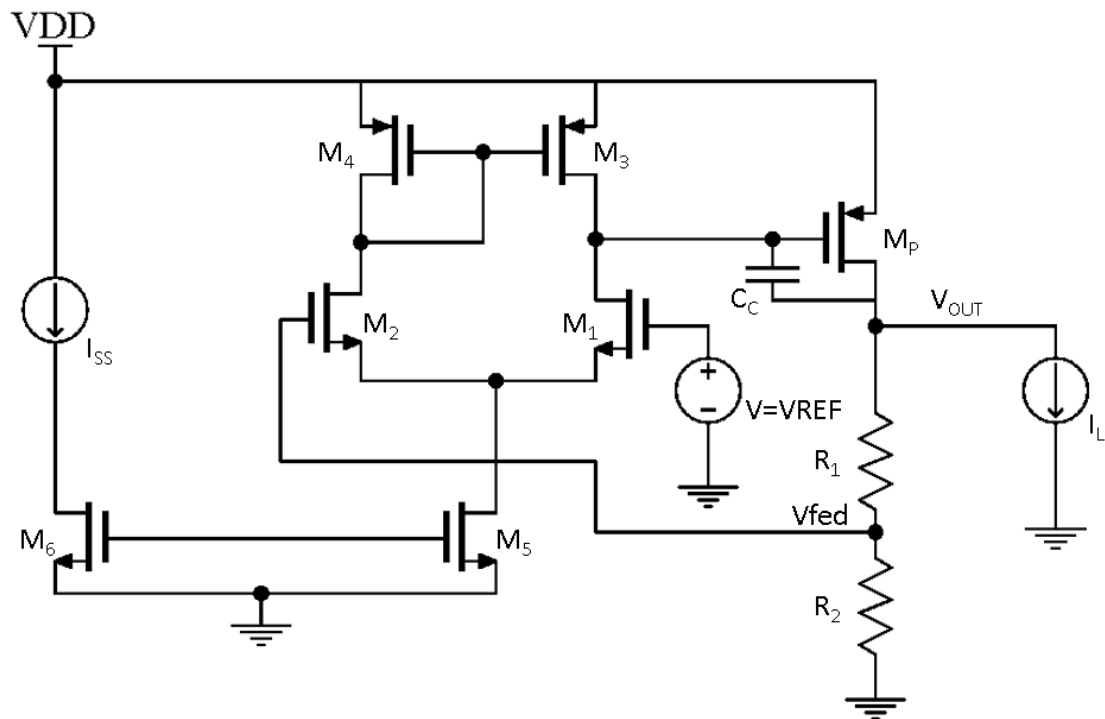


Fonte: Autor.

Para medir a PSR o circuito se mantém o mesmo apresentado na Figura 24, porém é aplicado uma variação AC na fonte de tensão VDD, já que a PSR avalia a capacidade do circuito em atenuar variações AC provenientes da fonte VDD, refletidas na tensão de saída V_{OUT} . Na regulação de linha o circuito também se mantém o mesmo, porém é aplicada uma variação na tensão DC da fonte de alimentação VDD, já que a regulação de linha mensura a variação na tensão de saída V_{OUT} perante a uma variação da tensão DC causada em VDD.

A Regulação de carga é dada pelo quanto uma variação na corrente de saída (I_{OUT}) interfere na tensão de saída (V_{OUT}), neste caso o resistor de saída é substituído por uma fonte de corrente, onde é aplicada uma variação na mesma. A Figura 25 apresenta o circuito para mensurar a regulação de carga.

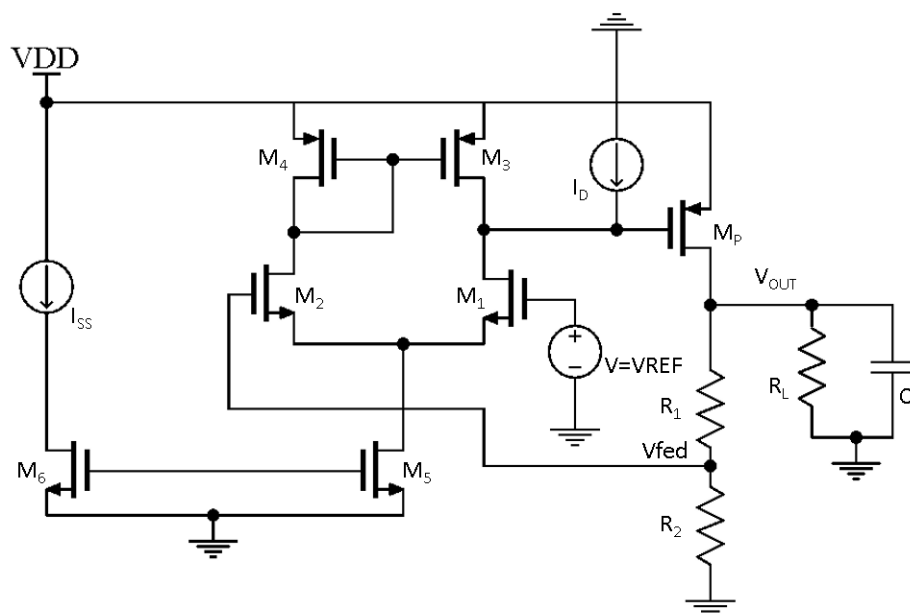
Figura 25 — Circuito utilizado para mensurar a regulação de carga.



Fonte: Autor.

Para mensurar a resistência de saída do amplificador diferencial R_D , como não é possível medir resistência de forma direta, deve-se colocar uma fonte de corrente unitária ligada a porta de M_P , conforme a Figura 26 e fazer a relação da Lei de OHM ($V=R \cdot I$), como tem-se uma corrente unitária, a resistência observada naquele ponto é a própria tensão. Essa técnica normalmente é utilizada em simulação, no Cadence Virtuoso é permitido aplicar essa metodologia para extrair parâmetros de desempenho do circuito com precisão, porém em um circuito real não é possível realizar esta técnica.

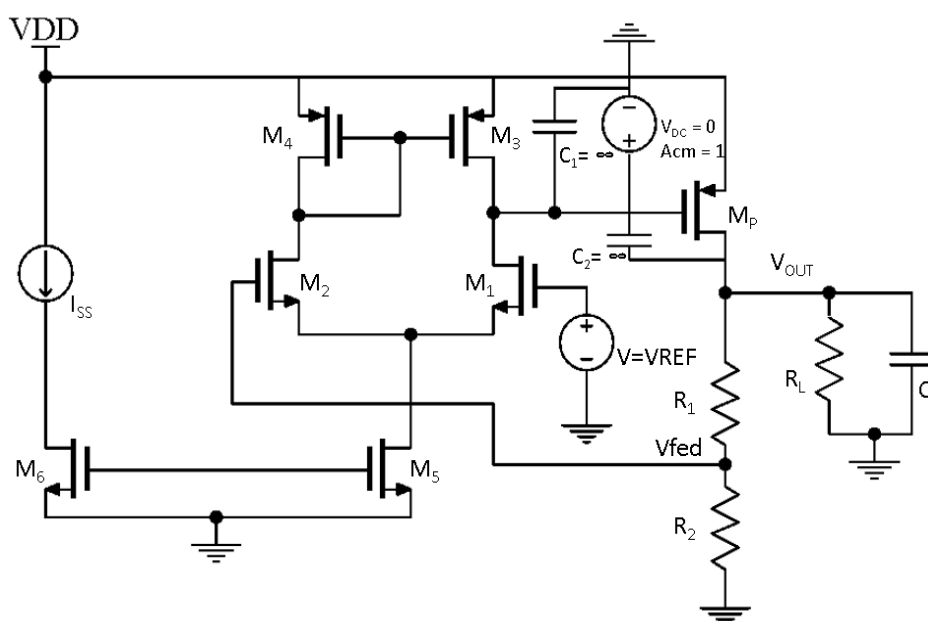
Figura 26 — Circuito utilizado para mensurar a resistência de saída do AE.



Fonte: Autor.

A última modificação realizada no circuito foi para mensurar a resistência de saída do transistor de potência M_P (rds). A obtenção da resistência de saída segue um procedimento semelhante ao utilizado para medir a resistência R_D , em que uma fonte de tensão unitária é aplicada ao dreno do transistor. A Figura 28 apresenta o circuito implementado para mensurar rds. Deve-se ressaltar a utilização de dois capacitores com capacitância infinita para bloquear qualquer outra interferência DC nesta medição.

Figura 27 — Circuito utilizado para mensurar a resistência do transistor MP.



Fonte: Autor.

As outras Figuras de mérito e especificações como: transcondutância do transistor M_P ($g_{m_{MP}}$), ganho do amplificador diferencial (A_{EA}), tensão de saída (V_{OUT}), corrente quiescente (I_Q), Tensão de dropout (V_{DO}), eficiência e consumo de potência, podem ser calculadas ou obtidos de forma direta do circuito através de medições.

4 RESULTADOS

Nesta seção, apresenta-se inicialmente a validação do modelo do dispositivo utilizado. Em seguida, são discutidos o Regulador LDO desenvolvido sob diferentes polarizações de gm/I_D e a comparação entre essas polarizações. Também é feita uma comparação com um LDO projetado utilizando outro dispositivo, mas com a mesma polarização de gm/I_D . Por fim, é analisado o impacto da redução da tensão de alimentação (V_{DD}) de 2,1 V para 1,8 V, 1,5 V e 1,2 V, verificando-se os principais efeitos dessa variação nas figuras de mérito do LDO.

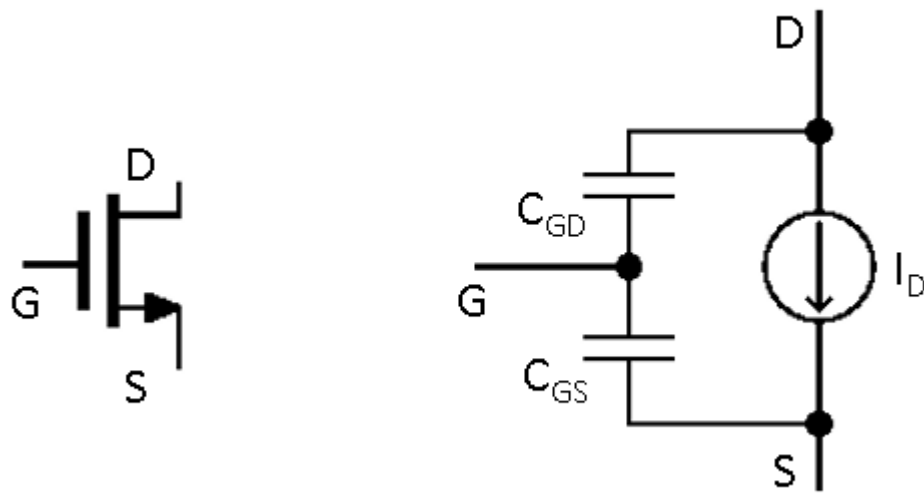
4.1 MEDIÇÃO DO DISPOSITIVO, CRIAÇÃO E VALIDAÇÃO DO MODELO.

O primeiro passo a ser realizado para obtenção dos resultados deste trabalho, foi escolher um transistor nanofio de porta ômega sem influência de efeitos parasitários. Utilizando o artigo intitulado “*Analysis of Omega-Gate Nanowire SOI MOSFET Under Analog Point of View*” [9], foi possível observar que para dispositivos com comprimento de canal (L) menores ou iguais a 50nm há uma significativa influência de efeitos parasitários indesejados, como os SCEs. Dessa forma escolheu-se utilizar um dispositivo com L igual a 100nm para fugir destes efeitos indesejados.

Após a escolha de um dispositivo com baixa influência de efeitos parasitários, utilizou do aparelho B1500 para medir o dispositivo e posteriormente fazer a extração de seus parâmetros. Com o intuito de obter uma tabela de consulta (LUT) precisa, as curvas de transferência do dispositivo foram medidas com um passo de porta de 10 mV e um passo de dreno de 50 mV. Vale ressaltar que utilizando o aparelho LCRE4980A da Keysigth e aplicando um sinal senoidal entre porta e fonte do transistor, com amplitude de 100mV, frequência de 100KHz e devidas polarizações V_G e V_D foi possível extrair a curva de capacitância (C-V) desse dispositivo.

Com a LUT em mãos foi possível através do software Cadence Virtuoso utilizar de uma descrição de hardware analógica (Verilog-A) para modelar o dispositivo e utiliza-lo com seus dados experimentais dentro do software. A codificação implementada em Verilog-A está descrita no Apêndice A deste trabalho. O código implementa o circuito semelhante à Figura 28, onde uma fonte de corrente representa a corrente de dreno do dispositivo que é determinada por V_G e V_D referentes a LUT e C_{GD} e C_{GS} referentes a tabela de capacitância C-V. Além disso na codificação é inserido uma variável n , na qual é possível dentro do software alterá-la e assim mudar a quantidade de nanofios em paralelo.

Figura 28 — Circuito equivalente a implementação do dispositivo em Verilog-A.

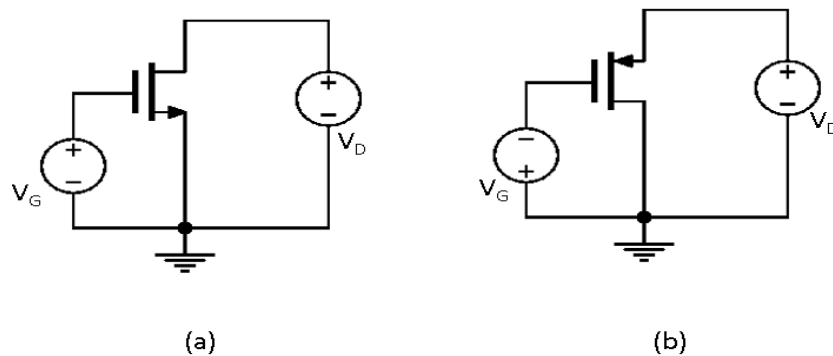


Fonte: Autor.

Com o modelo implementado foi possível validar a modelagem através do Virtuoso Schematic Editor®, onde foi criado um circuito de polarização para o transistor nanofio de porta ômega do tipo N e do tipo P. Através deste circuito de polarização, foi possível extrair as curvas de transferência dos dispositivos ($I_D X V_G$) e as curvas de saída ($I_D X V_D$), com intuito de compara-las com as curvas extraídas experimentalmente e, portanto, validar o modelo implementado.

A Figura 29.a apresenta o circuito de polarização utilizado na extração das curvas do transistor nanofio de porta ômega do tipo N e a Figura 29.b o circuito para extração das curvas do dispositivo tipo P.

Figura 29 — Circuito de polarização para extração das curvas características do transistor nanofio de porta ômega do (a) Tipo N (b) Tipo P.

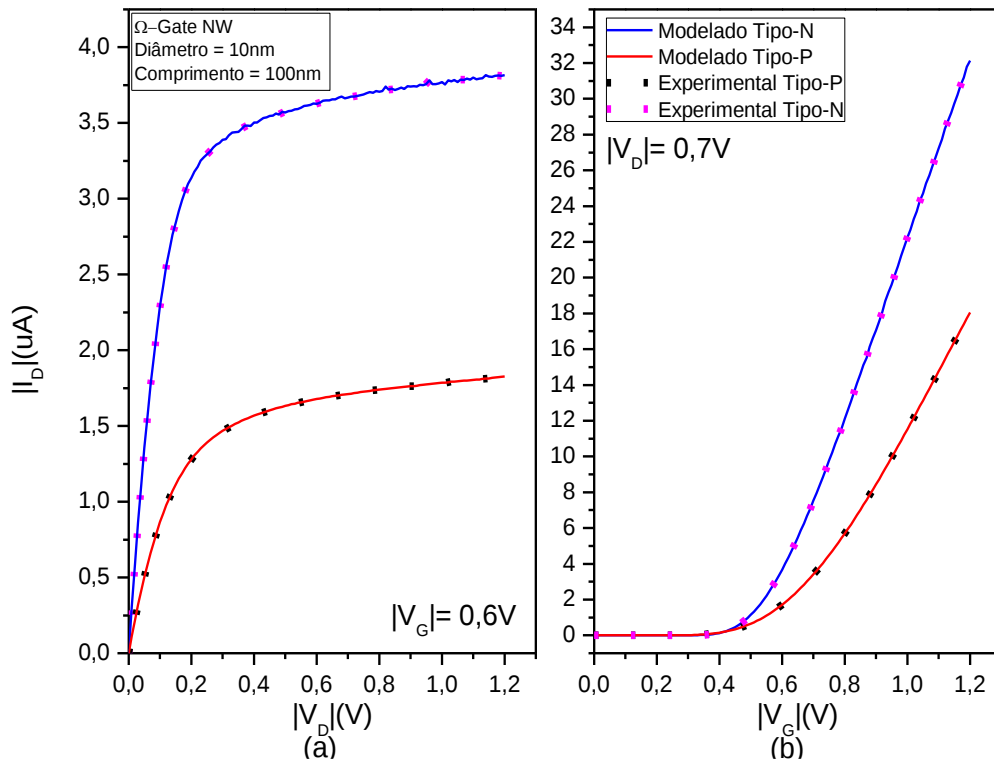


Fonte: Autor.

Para extração das curvas de transferência (I_D vs V_G) dos dispositivos, a tensão de dreno (V_D) foi ajustada para $|700\text{mV}|$ e a tensão de porta foi variada de $|0\text{V}|$ a $|1,2\text{V}|$ e foi mensurada a corrente de dreno I_D , já para a curva de saída (I_D vs V_D) foi mensurado I_D , para uma variação da tensão de dreno de $|0\text{V}|$ a $|1,2\text{V}|$ e a tensão de porta (V_G) ajustada para $|600\text{mV}|$.

A Figura 30.a apresenta as curvas de saída dos dispositivos do tipo N e tipo P e a Figura 30.b a curva de transferência dos mesmos.

Figura 30 — (a) Curva característica de saída e (b) curva característica de transferência de transistores nanofios com porta ômega dos tipos P e N modelados e experimentais.



Fonte: Autor.

Ao analisar a Figura 30, observa-se que os resultados simulados correspondem de maneira precisa aos dados experimentais dos dispositivos modelados, tanto para o tipo P quanto para o tipo N. Essa correspondência sugere que o modelo utilizado é adequado para prever o comportamento elétrico desses dispositivos, o que é fundamental para garantir a validade das simulações e análises subsequentes. Além disso, ajustou-se as tensões de limiar de ambos os tipos de dispositivos para serem simétricas, com um valor absoluto de $|V_{TH}|$ de $0,42\text{V}$. Esses resultados são importantes para a caracterização dos dispositivos, permitindo uma melhor compreensão de suas propriedades elétricas e contribuindo para o aprimoramento de futuras pesquisas e desenvolvimentos na área de semicondutores.

4.2 REGULADOR LDO ÔMEGA-GATE.

Após a validação do modelo do transistor, foi desenvolvido o regulador LDO descrito na seção 3.6.

O circuito LDO foi desenvolvido usando a técnica gm/I_D relatada em [21], onde os transistores M_1 e M_2 do amplificador diferencial estão na mesma condição de inversão (gm/I_D). Neste trabalho, foram desenvolvidas nove polarizações diferentes para os transistores ($5V^{-1}$, $6V^{-1}$, $7V^{-1}$, $8V^{-1}$, $9V^{-1}$, $10V^{-1}$, $12V^{-1}$, $14V^{-1}$ e $16V^{-1}$). Devido à diferença de corrente de dreno entre os transistores do tipo P e do tipo N, foi necessário usar uma relação no número de nanofios em paralelo para obter uma largura efetiva adequada e manter a mesma polarização nos diferentes transistores. A Tabela 2 apresenta a lista do número necessário de nanofios em paralelo para que os transistores atendam as condições de polarização propostas.

O circuito LDO foi projetado considerando uma tensão de saída de 1,5V e uma corrente de saída de 100 μ A como especificações. Primeiramente, foram consideradas duas cargas capacitivas (C_L) distintas: 100 pF e 10 pF. Em seguida, foi analisada apenas uma capacitância de saída de 100 pF, por se assemelhar mais aos valores de carga normalmente suportados por um LDO. O número de nanofios múltiplos do transistor de potência (M_P) foi calculado para garantir a entrega de 100 μ A à carga e garantir uma queda de tensão igualitária entre porta e fonte dos transistores M_4 (V_{GS4}) e M_P (V_{GSP}) de forma a deixar mais equilibrado possível ambos lados do par diferencial.

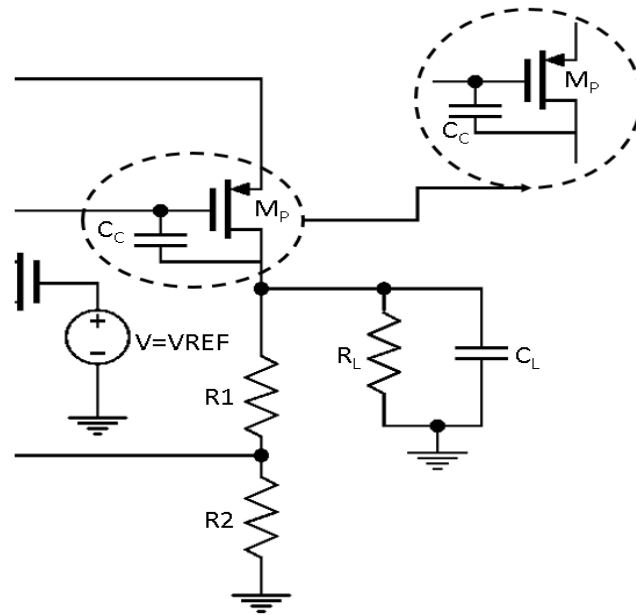
Tabela 2 — Número de nanofios em paralelo para as diferentes condições de polarização diferentes.

Dispositivo	Número de nanofios em paralelo								
	gm/I_D	gm/I_D	gm/I_D	gm/I_D	gm/I_D	gm/I_D	gm/I_D	gm/I_D	gm/I_D
	$5V^{-1}$	$6V^{-1}$	$7V^{-1}$	$8V^{-1}$	$9V^{-1}$	$10V^{-1}$	$12V^{-1}$	$14V^{-1}$	$16V^{-1}$
$M_{1,2}$	2	2	2	2	2	2	2	2	2
$M_{3,4}$	4	4	5	5	6	6	7	7	8
M_5	4	4	4	4	4	4	4	4	4
M_6	4	4	4	4	4	4	4	4	4
M_P	24	34	53	65	94	114	198	253	454
Comprimento de canal (L)	100nm								

Fonte: Autor.

Para compensar o circuito e estabilizar o regulador LDO, foi utilizado um capacitor de compensação ligado a porta e dreno do transistor de potência. Este capacitor aumentou a capacitância C_{GD} de M_P e deixou o circuito com uma margem de fase igual 64° , tornando o circuito estável. A Figura 31 apresenta o local de inserção desta capacitância.

Figura 31 — Local de inserção do capacitor de compensação.



Fonte: Autor.

4.2.1 Comparação entre as polarizações ($7V^{-1}$ e $8V^{-1}$) variando a capacitância de carga.

O estudo inicial concentrou-se na análise das polarizações de gm/I_D $7V^{-1}$ e $8V^{-1}$, selecionadas por estarem na região de inversão forte, porém próximas à tensão de limiar, essa escolha é vantajosa, pois permite obter uma maior eficiência de condução e um ganho elevado em relação à corrente de dreno, além de proporcionar uma resposta rápida a pequenas variações de tensão.

A Tabela 3 apresenta os principais parâmetros obtidos para os LDOs projetados. O parâmetro $gm_{(M_P)}$ refere-se à transcondutância do transistor de potência M_P , que atinge seu valor máximo, conforme esperado, para um gm/I_D de $8V^{-1}$. Já o parâmetro r_{ds} representa a resistência de saída associada ao mesmo transistor de potência. Nota-se que o valor de r_{ds} é bastante semelhante para ambos os valores de gm/I_D , o que indica que o transistor está operando

na região de saturação. Os parâmetros A_{EA} e R_D podem ser explicados juntos, pois A_{EA} refere-se ao ganho de tensão do amplificador de erro, que depende diretamente da resistência de saída do amplificador de erro (R_D) e da transcondutância do transistor M_1 ($gm_{(M1)}$), conforme a formulação dada pela Equação 44. C_{gg} representa a capacitância total da porta, enquanto C_C representa a capacitância de compensação usada para garantir que o ganho de tensão do loop reduza a uma taxa de 20 dB/dec em toda a faixa de frequência do amplificador e assegure uma margem de fase (PM) de 60°, visando a estabilidade do circuito [16]. Por fim, o fator de realimentação (β) é dado pela razão entre V_{fed} e V_{OUT} .

$$A_{EA} = gm_{M1} * R_D \quad (44)$$

Tabela 3 — Parâmetros para dos LDOs desenvolvidos.

Parâmetros do LDO	gm/I _D (V ⁻¹)			
	7		8	
	C _L 100pf	C _L 10pf	C _L 100pf	C _L 10pf
gm _(MP) (μS)	705,35		771,76	
r _{ds} (KΩ)	10,67		11,37	
A _{EA} (dB)	30,22		32,52	
R _D (KΩ)	428,35		593,72	
gm _(M1) (μS)	76,15		70,75	
C _{gg} (fF)	8,07		9,93	
C _c (pF)	16	1,6	13	1,3
β	0,85		0,85	

Fonte: Autor.

Pode-se observar na Tabela 3 que, para um C_L maior, foi necessário aumentar o valor do capacitor C_C para garantir a estabilidade do circuito em ambas as condições de polarização. A Tabela 3 também apresenta que o maior R_D foi obtido para gm/I_D mais alto (8V⁻¹), o que contribui para obter o maior ganho de tensão do amplificador de erro (A_{EA}) segundo a equação 44.

A Tabela 4 apresenta a performance dos LDOs desenvolvidos com cargas de 10 pF e 100 pF.

Tabela 4 — Performance do LDO para cargas de 10pF e 100pF.

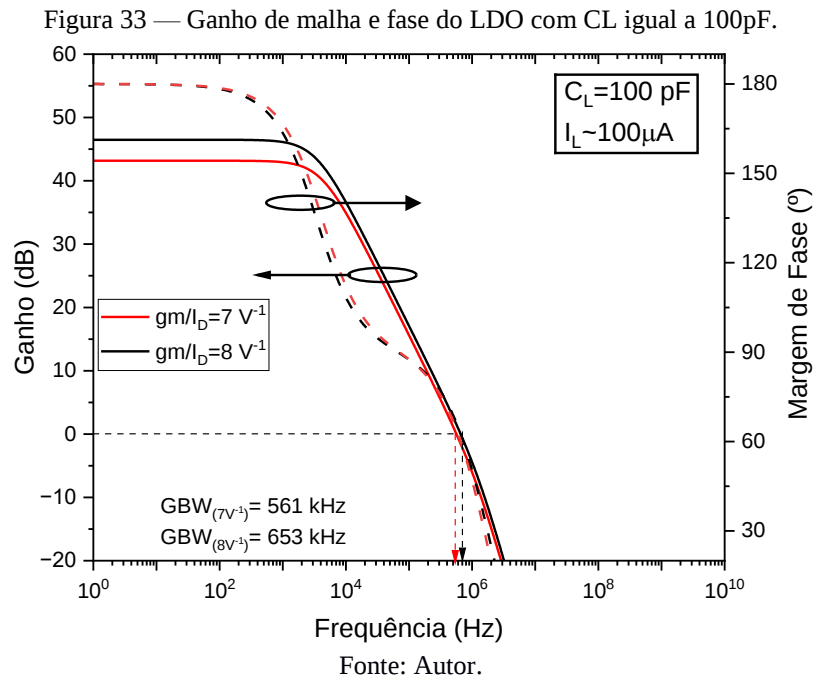
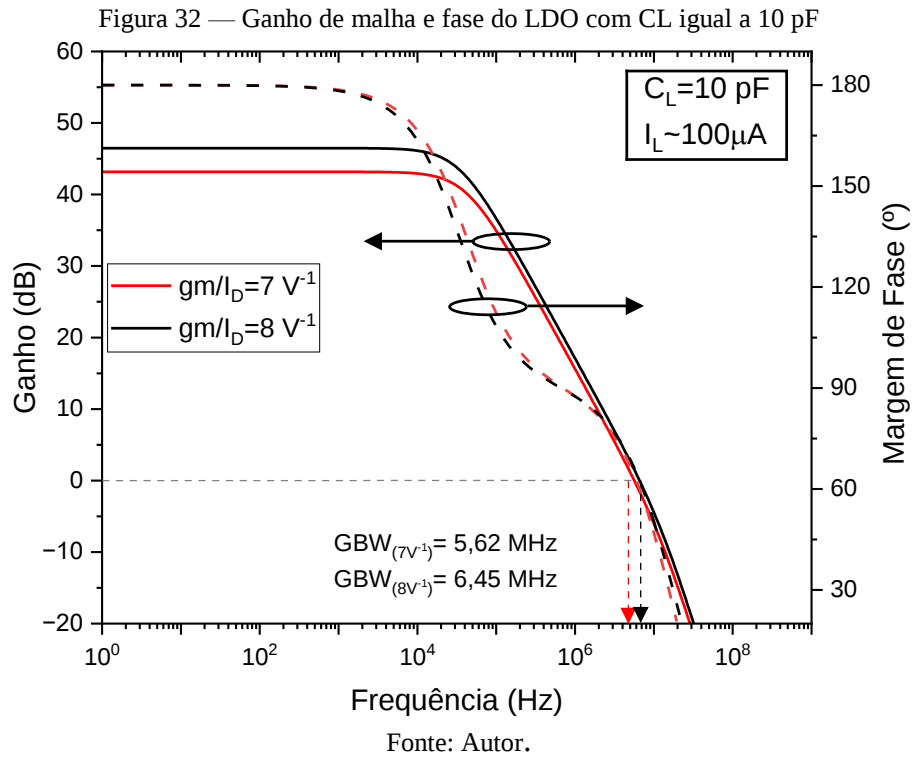
Performance do LDO	gm/I _D (V ⁻¹)			
	7		8	
	C _L 100pf	C _L 10pf	C _L 100pf	C _L 10pf
I _{SS} (μA)	21,80		17,44	
I _L (μA)	~100		~100	
V _{OUT} (V)	1,5		1,5	
I _Q (μA)	43,66		35,07	
V _{DO} (mV)	300			
Eficiência(%)	57,91		61,61	
Regulação de carga (V/A)	50,68		35,9	
Regulação de linha (mV/V)	4,7		3,13	
Ganho de Malha (dB)	43,17		46,48	
Potência Consumida (μw)	257,65		242,19	
PSR (dB)	-46,53		-50,06	
GBW (MHz)	0,561	5,62	0,653	6,45
Margem de Fase (°)	64	64	64	64
β	0,85	0,85	0,85	0,85

Fonte: Autor.

A Tabela 4 apresenta que o LDO projetado para a polarização de $8V^{-1}$ alcançou maior eficiência do que o projetado para a polarização de $7V^{-1}$, devido à sua menor corrente quiescente. Em relação à regulação de carga, o melhor resultado foi obtido para a polarização de $8V^{-1}$, já que a regulação de carga depende do A_{EA} , e esse parâmetro é maior para a polarização de $8V^{-1}$, conforme mostrado na Tabela 3. Para a regulação de linha, os resultados foram muito próximos para ambas as tensões de polarização, porém houve uma ligeira vantagem para a maior condição de polarização ($8V^{-1}$). O ganho de malha é melhor para a polarização de $8V^{-1}$, pois depende diretamente do ganho do AE (A_{EA}), que é maior para a polarização de $8V^{-1}$. Embora o ganho de malha permaneça o mesmo para ambas as considerações de capacitância, o produto da largura de banda de ganho (GBW) foi degradado quando é necessário utilizar um capacitor de compensação maior, já que este parâmetro é inversamente proporcional ao valor dessa capacitância. A resposta em frequência dos LDOs desenvolvidos com C_L igual a 10pF e C_L igual a 100pF estão apresentadas nas Figura 32 e Figura 33 respectivamente.

O consumo de energia (Power consumption) depende diretamente da corrente que flui pelo ramo do circuito de polarização e pelo amplificador de erro, assim como da corrente que

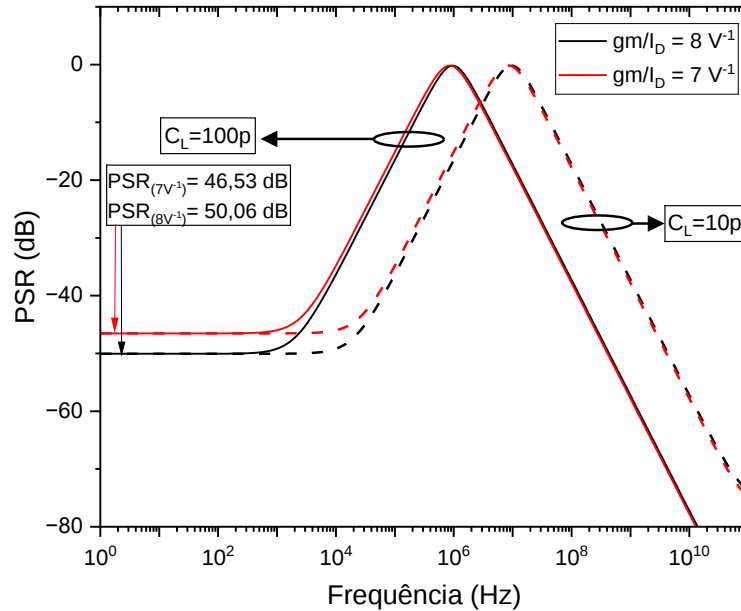
passa por R2 em direção ao terra. O consumo de energia para ambos os designs de LDO é baixo devido à baixa corrente requerida pelo amplificador de erro.



A última análise a ser realizada é sobre o PSR que é um parâmetro crucial para o LDO, pois o PSR suprime a ondulação indesejada criada pela fonte de entrada. A Figura 34 apresenta a PSR para ambos LDOs. Como pode ser visto na Tabela 4, o melhor PSR ocorre para a

polarização de $8V^{-1}$, já que a PSR depende diretamente do ganho de malha, assim, quanto maior for o ganho de malha, melhor será a PSR, tornando a saída do circuito menos suscetível a variações causadas por sinais AC na fonte VDD.

Figura 34 — PSR para os LDOs com C_L igual a 100 pF e 10 pF.



Fonte: Autor.

Os melhores resultados foram alcançados com a polarização de $8V^{-1}$, mostrando uma largura de banda de frequência mais ampla para uma capacitância de carga menor. É importante ressaltar que a capacitância de carga deve ser levada em consideração quando a resposta em alta frequência for uma especificação importante do projeto do LDO.

4.2.2 Comparação com um LDO desenvolvido utilizando o dispositivo vertical gate all around MOSFET nanowire (V-GAANW).

Para fazer uma comparação com uma tecnologia similar, foram usados os resultados da referência [18], que apresenta um LDO desenvolvido com transistores de nanofios MOSFET com porta vertical totalmente ao redor (V-GAANW) polarizados com gm/I_D de $8V^{-1}$ e com uma carga de 10pF. Vale ser ressaltado que esta comparação não é 100% justa, visto que o LDO desenvolvido em V-GAANW, oferece apenas 1 μ A de corrente para a carga.

A Tabela 5 apresenta os principais resultados de ambos LDOs (V-GAA MOSFET e Ω -gate NW). A partir da análise dos resultados pode-se dizer que:

- Embora uma baixa corrente quiescente geralmente resulte em alta eficiência e sabendo que a I_Q do LDO V-GAANW (1,46 μ A) é muito menor que a I_Q obtida do LDO com

nanofio de porta Ω (35,07 μA), a eficiência do LDO projetado com nanofio de porta Ω é melhor (maior) devido à corrente de saída do LDO V-GAANW ser muito baixa (1 μA).

- A regulação de carga é significativamente melhor nos LDOs desenvolvidos com transistores de porta Ω (35,9V/A) comparado ao desenvolvido com V-GAANW (7370V/A), devido ao fato de que a transcondutância e o ganho do amplificador de erro são maiores no LDO NW- Ω gate do que os obtidos para o LDO V-GAANW.
- A mesma análise pode ser aplicada para explicar o melhor (maior) valor de ganho de malha, que depende diretamente de $g_{m(MP)}$ e A_{EA} . Outro parâmetro em que $g_{m(MP)}$ tem um forte impacto é o GBW, que é muito maior no LDO com nanofio de porta Ω .
- Embora ambos os projetos de LDO apresentem uma regulação de linha muito boa, o valor obtido para o LDO projetado com transistores de porta Ω (3,13 mV/V) é ligeiramente melhor do que o observado para o LDO V-GAANW (3,4 mV/V).
- Uma melhor PSR foi alcançado pelo LDO NW- Ω gate, com -50,06 dB em comparação aos -48dB do desenvolvido com LDO V-GAANW, há muitos fatores que influenciam este resultado, porém o principal fator é o maior valor de ganho de malha para o LDO desenvolvido com NW- Ω gate.

Além de todos esses fatores, deve-se enfatizar que para o LDO nanofio de porta Ω com uma carga de 10pF, foi usado um capacitor de compensação menor (1,3pF) em comparação ao usado para o LDO com nanofio MOSFET (5pF), o que reduz a área ocupada no chip.

Tabela 5 — Comparação de um LDO desenvolvido com nanofio MOSFET com porta vertical totalmente ao redor [18] e um com nanofio de porta Ω , ambos com g_m/I_D igual a 8V^{-1} .

Tecnologia	V-GAA-NW MOSFET	Ω -Gate nanowire ($C_L = 10\text{pF}$)
I_L (μA)	1	100
C_L (pF)	10	10
V_{DO} (mV)	300	300
V_{OUT} (V)	1,5	1,5
I_Q (μA)	1,46	35,07
Eficiência(%)	32,4	61,61
Regulação de carga (V/A)	7370	35,9
Regulação de Linha (mV/V)	3,4	3,13
Ganho de Malha (dB)	41,4	46,48
PSR (dB)	-48	-50,06
GBW (kHz)	52	6450
C_C (pF)	5,0	1,3
$g_{m(MP)}$ (μS)	7,6	771,76

A_{EA} (dB)	27	32,52
$r_{ds(MP)}$ (k Ω)	2072	11,37
R_D (k Ω)	9000	593,72
C_{gg} (fF)	37,5	9,93
β	0,80	0,85

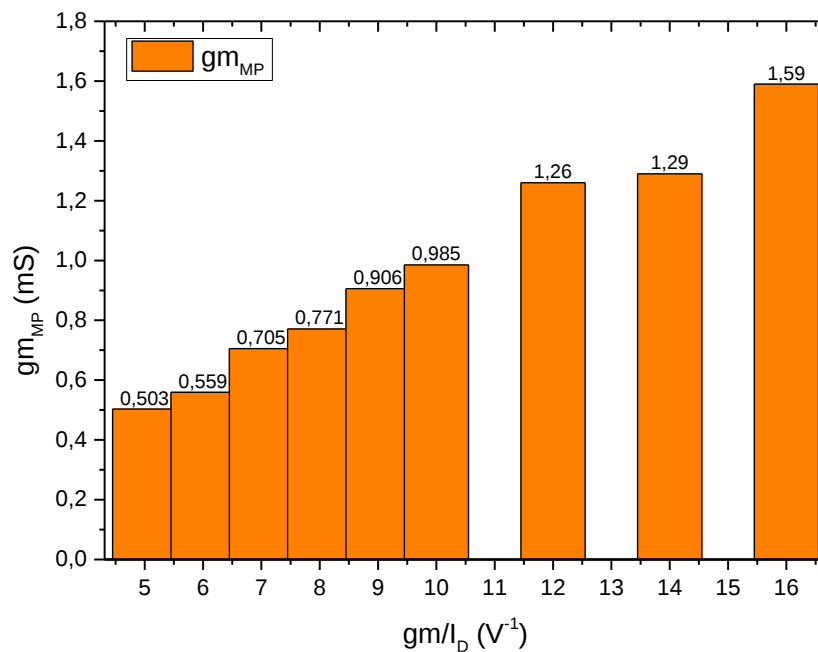
Fonte: Autor.

4.2.3 Comparação entre diferentes polarizações com C_L igual a 100 pF.

Nesta seção, será realizada uma comparação entre os parâmetros e especificações do LDO desenvolvido, considerando dispositivos polarizados em toda a faixa de gm/I_D ($5V^{-1}$ a $16V^{-1}$), garantindo que os transistores permaneçam saturados.

A Tabela 6 apresenta os principais parâmetros obtidos para os LDOs projetados. A transcondutância (gm_{MP}) referente ao transistor de passagem (M_P) segue uma tendência de crescimento como pode ser observado na Figura 35, onde apresenta seu valor mínimo (0,503 mS) para um gm/I_D mais invertido ($5V^{-1}$) e o valor máximo (1,59 mS) para um gm/I_D menos invertido ($16 V^{-1}$).

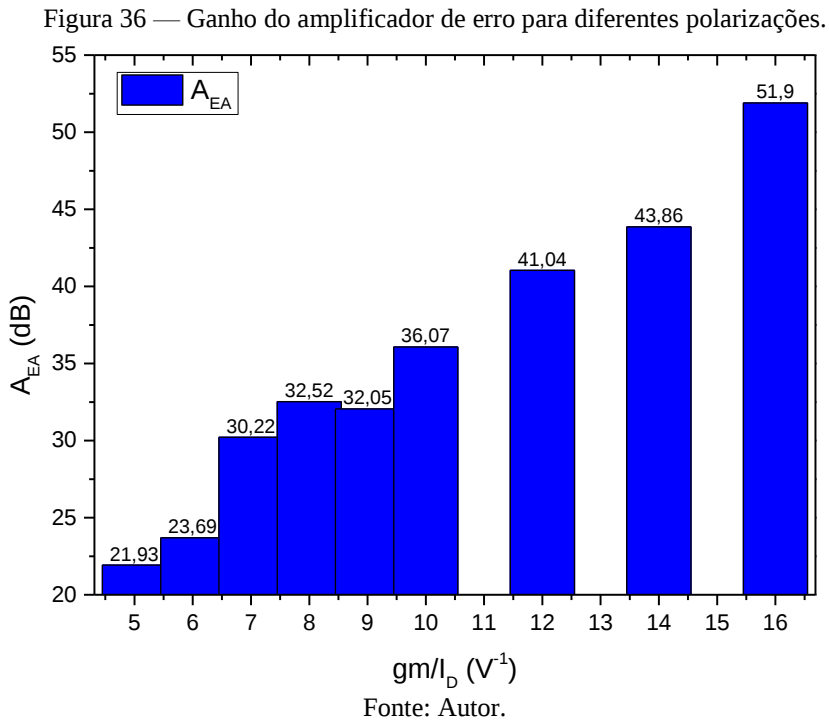
Figura 35 — Trancondutância do Transistor de potência para diferentes polarizações.



Fonte: Autor.

O parâmetro r_{ds} representa a resistência de saída do transistor de potência. Observa-se que seu valor aumenta conforme o coeficiente gm/I_D se eleva, o que pode parecer contraintuitivo, uma vez que a adição de transistores em paralelo normalmente deveria resultar na redução dessa resistência. No entanto, para condições de menor inversão, o canal do

transistor apresenta maior resistência a passagem de corrente. Os parâmetros A_{EA} , R_D e $g_{m(M1)}$ possuem uma relação direta entre si, conforme citado anteriormente. O parâmetro A_{EA} representa o ganho de tensão do amplificador de erro e depende diretamente da resistência de saída do amplificador de erro (R_D) e da transcondutância do transistor M_1 ($g_{m(M1)}$), conforme descrito na equação 44. Embora a transcondutância do transistor M_1 diminua com o aumento de g_m/I_D , o fator que exerce maior influência no ganho do amplificador de erro é a resistência de saída do estágio diferencial, que cresce de forma mais significativa do que a redução de $g_{m(M1)}$. Esse comportamento resulta em um aumento geral do ganho de tensão A_{EA} , evidenciando que R_D tem um papel dominante na determinação da amplificação do circuito. Na Figura 36 é possível observar a tendência de aumento de ganho do amplificador de erro com o aumento de g_m/I_D .



A capacitância de compensação (C_C) tende a diminuir com o aumento dos transistores em paralelo visto que há um aumento da capacitância naquele nó [16]. O fator de realimentação (β) é dado pela razão entre V_{fed} e V_{OUT} e se manteve o mesmo para todas as polarizações.

Tabela 6 — Parâmetros do LDO para diferentes níveis de polarização.

Parâmetros LDO	gm/I _D (V ⁻¹)								
	5	6	7	8	9	10	12	14	16
	C _L = 100 pF								
gm _(MP) (mS)	0,503	0,559	0,705	0,771	0,906	0,985	1,26	1,29	1,59
r _{ds} (KΩ)	9,25	16,67	10,67	11,37	12,68	28,34	44,24	42,34	42,49
A _{EA} (dB)	21,93	23,69	30,22	32,52	32,05	36,07	41,04	43,86	51,9
gm _{M1} (uS)	88,55	83,20	76,15	70,75	63,79	58,32	45,95	39,30	31,21
R _D (MΩ)	0,116	0,177	0,428	0,593	0,657	1,13	2,15	4,08	13,47
C _c (pF)	24	21	16	13	10	9	6,5	5	3,5
β	0,85								

Fonte: Autor.

A Tabela 7 apresenta a performance do LDO desenvolvido para as diferentes polarizações.

Tabela 7 — Performance do LDO para diferentes níveis de polarização.

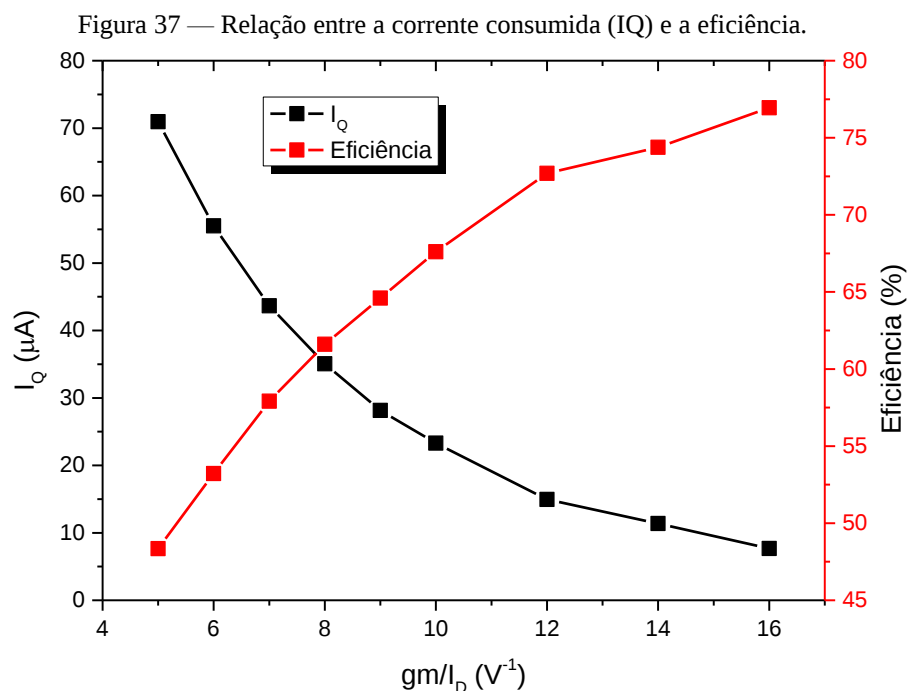
Performance LDO	gm/I _D (V ⁻¹)									
	5	6	7	8	9	10	12	14	16	20
	C _L = 100pF									
I _L (uA)	~100	~100	~100	~100	~100	~100	~100	~100	~100	-
V _{OUT} (V)	~1,5	~1,5	~1,5	~1,5	~1,5	~1,5	~1,5	~1,5	~1,5	-
V _{DO} (V)	~0,3	~0,3	~0,3	~0,3	~0,3	~0,3	~0,3	~0,3	~0,3	-
I _{SS} (uA)	35,84	27,88	21,80	17,44	13,92	11,48	7,29	5,52	3,68	-
I _Q (uA)	70,96	55,52	43,66	35,07	28,15	23,30	14,94	11,37	7,68	-
Eficiência (%)	48,35	53,22	57,91	61,61	64,6	67,61	72,69	74,38	76,95	-
LDR (V/A)	218,28	136,93	50,68	35,9	31,49	18,23	12,71	5,71	1,62	-
LNR (mV/V)	34,74	9,07	4,7	3,13	2,47	0,64	0,31	0,20	0,09	-
Ganho (dB)	30,10	36,57	43,17	46,48	48,14	55,98	64,45	73,56	82,67	-
PSR (dB)	-29,11	-40,79	-46,53	-50,06	-52,14	-63,84	-70,03	-73,7	-80,42	-
GBW (MHz)	0,392	0,439	0,562	0,645	0,759	0,804	0,935	1,02	1,15	-
PM (°)	64	64	64	64	64	64	64	64	64	-

Fonte: Autor.

Conforme citado anteriormente, os LDOs desenvolvidos para diferentes polarizações foram projetados com uma especificação de corrente de carga de 100 μA, uma tensão de saída de 1,5 V e uma tensão de dropout de 300 mV. A partir da Tabela 7, observa-se que a corrente fornecida pela fonte de corrente ideal (I_{SS}) diminui à medida que gm/I_D aumenta. Esse

comportamento pode ser explicado pelo fato de que, em regimes de operação de alto gm/I_D , os transistores operam em uma região de menor corrente.

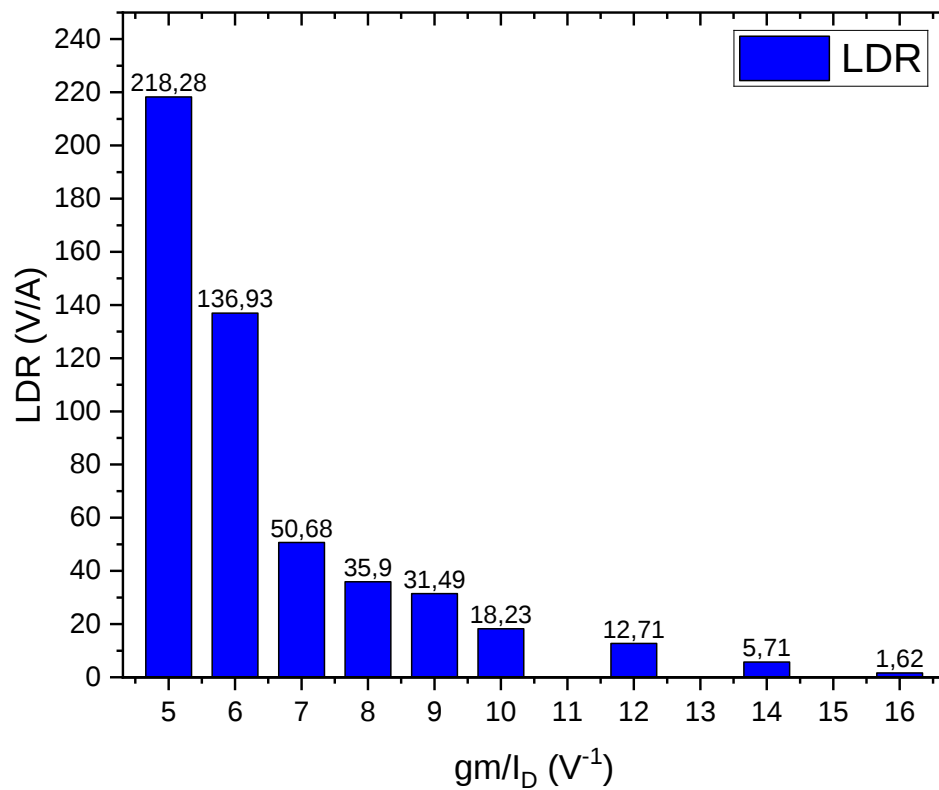
Na Tabela 7, tem-se maior corrente consumida pelo circuito ($I_Q = 70,96 \mu A$) quando o gm/I_D é menor ($5V^{-1}$) devido ao maior nível de inversão. No maior valor de gm/I_D , a corrente consumida I_Q atinge o valor mais baixo, $7,68 \mu A$. Essa tendência na corrente consumida explica a variação na eficiência uma vez que a mesma corrente tem que ser fornecida para a carga, fazendo com que a eficiência do LDO aumente à medida que o parâmetro gm/I_D cresce. Para $5V^{-1}$, a eficiência é de 48,35%, enquanto para $16V^{-1}$ atinge 76,95%. A relação entre a corrente consumida (I_Q) e a eficiência pode ser observada na Figura 37.



Fonte: Autor.

Em relação à regulação de carga (LDR), o melhor resultado, ou seja, a menor variação ($1,62V/A$), foi obtido para o maior valor de gm/I_D ($16V^{-1}$), enquanto esta variação de tensão de saída é degradada (aumenta) à medida que caminhamos em direção à inversão forte, atingindo o valor de $218,28 V/A$ para $gm/I_D = 5V^{-1}$. Esse comportamento pode ser explicado pela Equação 32, onde é apresentado que a regulação de carga é inversamente proporcional ao ganho do amplificador de erro (A_{EA}) e à transcondutância do transistor M_P . Assim, como observado na Tabela 6, gm_{MP} e A_{EA} aumentam com o crescimento de gm/I_D , o que resulta em uma melhor regulação de carga para uma polarização menos invertida. A tendência de melhora da regulação de carga pode ser observada na Figura 38.

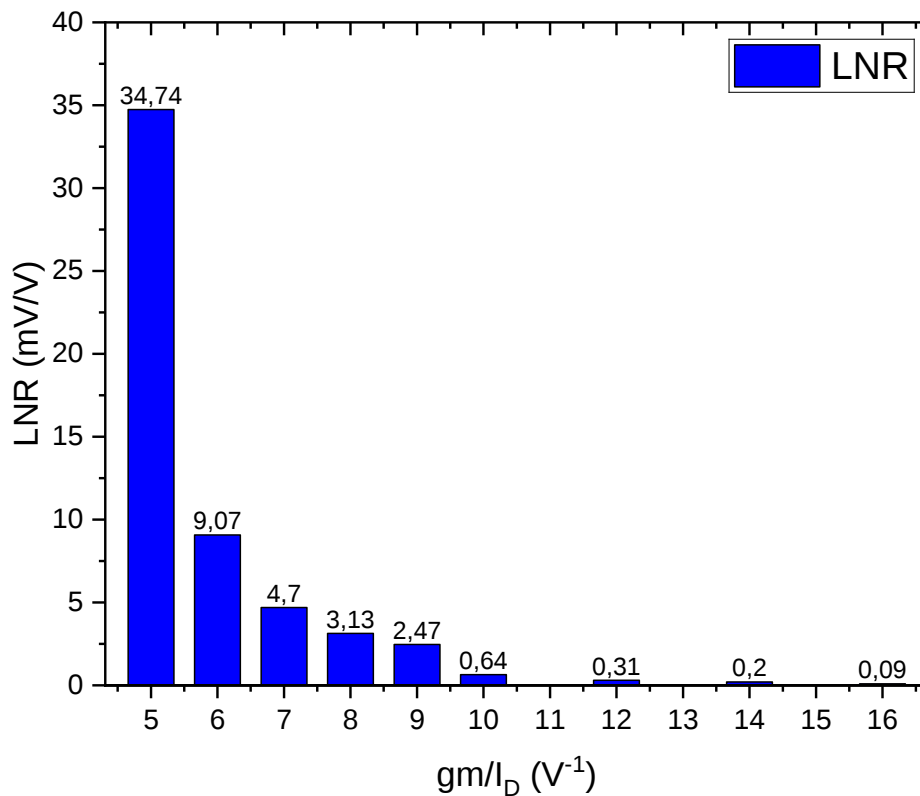
Figura 38 — Regulação de carga (LDR) para diferentes níveis de polarização .



Fonte: Autor.

A regulação de linha apresenta uma tendência de resultados parecida com a regulação de carga, onde obteve-se o melhor valor ($0,09 \text{ mV/V}$) para uma condição de polarização menos invertida ($16V^{-1}$) e o pior valor ($34,74 \text{ mV/V}$) para a condição mais invertida ($5V^{-1}$). Esta tendência de melhoria no resultado ao caminhar para a condição de inversão fraca, está diretamente ligada a Equação 33, onde é possível observar que quanto maior o ganho de malha do sistema, melhor é a regulação de linha. A tendência referente a melhora da regulação de linha, pode ser observada na Figura 39.

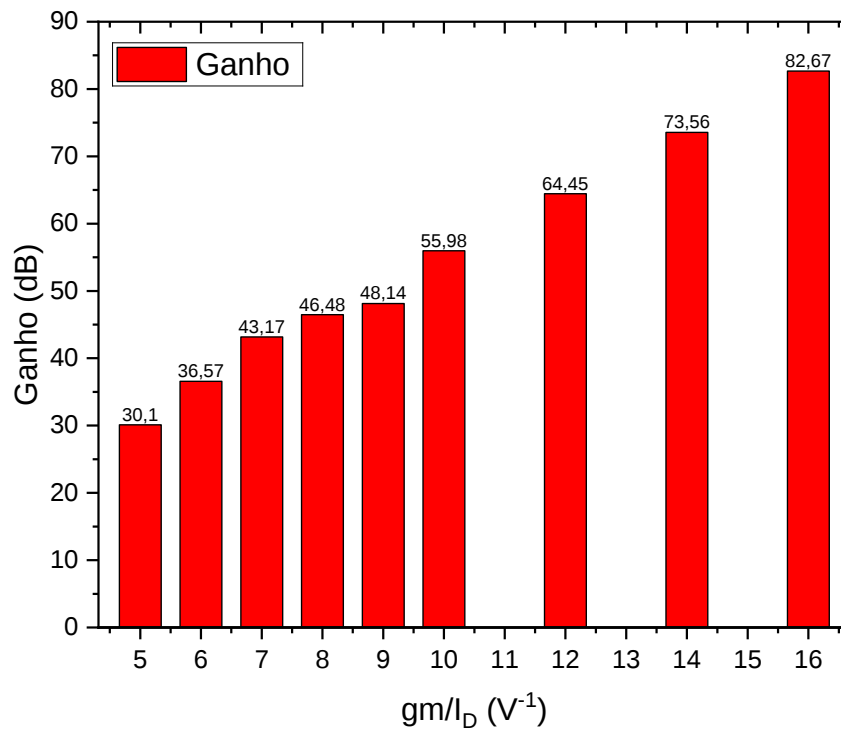
Figura 39 — Regulação de Linha (LNR) para diferentes níveis de polarização.



Fonte: Autor.

Ao analisar o ganho de malha é possível observar que o mesmo cresce com o aumento de gm/I_D , onde pode-se observar o maior ganho (82,67 dB) para a condição de polarização menos invertida ($16V^{-1}$) e o menor ganho (30,10dB) para a condição de polarização com o canal mais invertido ($5V^{-1}$), conforme esperado. O Ganho de malha aumenta pois está diretamente relacionado ao ganho do amplificador de erro (A_{EA}) e ao número de transistores de potência em paralelo (M_P), onde ambos aumentam com o aumento de gm/I_D . A Figura 40 apresenta a tendência do ganho de malha aberta para as diferentes polarizações do LDO.

Figura 40 — Ganho de malha aberta para os diferentes níveis de polarização .



Fonte: Autor.

Considerando o produto da largura de banda de ganho (GBW), ocorre a degradação do mesmo ao utilizar uma capacitância de compensação mais alta, já que este parâmetro é inversamente proporcional ao valor de capacitância. No GBW é possível observar uma tendência de aumento do mesmo ao caminhar para a condição de inversão mais fraca ($16V^{-1}$), onde é possível observar um GBW de 1,15 MHz para $16V^{-1}$ e 392 kHz para $5V^{-1}$.

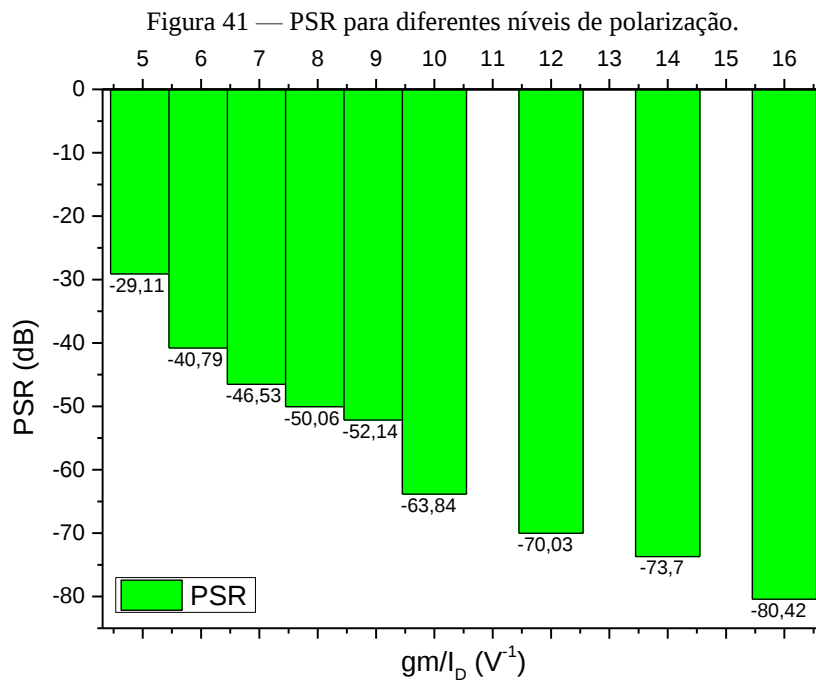
A margem de fase optou-se por mantê-la acima de 60° (64°) para garantir a estabilidade do LDO.

Ao varrer toda essa extensão de condições de polarização, foi possível observar que ao aumentar g_m/I_D , o número de transistores em paralelo necessários para o transistor de potência sustentar a corrente de $100\mu A$ (M_P) aumenta gradativamente. Pode-se observar segundo a Tabela 2 um número de transistores para a polarização de ($16V^{-1}$) cerca de 19 vezes maior que para a polarização de $5V^{-1}$. Apesar de observar uma tendência de melhora nas principais figuras de mérito ao caminhar para a inversão mais fraca, deve-se salientar o grande aumento de área ocupada pelo transistor de potência M_P . Portanto ao projetar o LDO seguindo esta topologia, deve-se fazer uma relação entre a área ocupada pelo transistor de passagem e o quanto a Figura de mérito melhora, para então ter o *trade-off* ideal de projeto.

Além dos resultados apresentados, é importante reportar que foram consideradas as diferentes condições de polarização para um V_{DD} de 1,8 V, foi determinado um range possível

de análise. Ao reduzir a condição de polarização abaixo de $5V^{-1}$ alguns transistores saiam da saturação e impactavam negativamente o resultado, e ao aumentar a condição de polarização acima de $16V^{-1}$, o transistor de potência M_P se desliga. Assim, foi avaliado também o impacto da tensão de alimentação V_{DD} no range de operação dos LDOs, este estudo será apresentado na seção 4.2.5.

A Rejeição de fonte (PSR) segundo a Equação 34, apresenta forte dependência do ganho de malha aberta e isto pode ser confirmado ao observar a Tabela 7, onde com o aumento do ganho de malha aberta tem-se uma melhora na PSR. Pode-se observar que assim como o ganho de malha aberta, o melhor valor da PSR ($-80,42$ dB) foi observado para a condição de inversão mais fraca ($16V^{-1}$) e o pior valor ($-29,11$ dB) para a condição de inversão mais forte ($5V^{-1}$). A Figura 41 apresenta a tendência da PSR com a variação de gm/I_D .



Fonte: Autor.

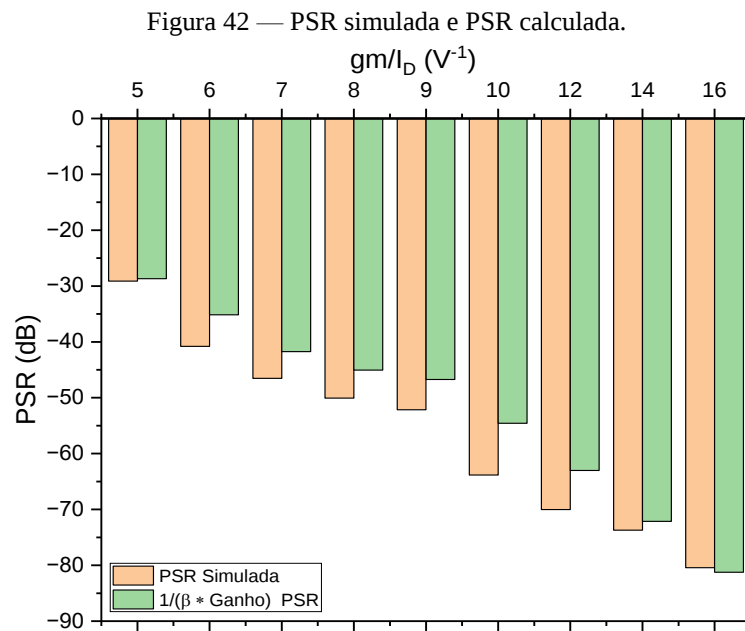
4.2.4 Análise da rejeição de fonte em LDOs desenvolvidos com transistores nanofios de porta ômega.

Para melhor entender o comportamento da PSR em diferentes condições de inversão, uma análise mais detalhada foi realizada. De acordo com a referência [46] para baixas frequências a rejeição de fonte tem grande dependência do ganho de malha aberta, conforme descrito na Equação 45.

$$PSR \sim \frac{1}{\beta * Ganho} \quad (45)$$

Conforme descrito na seção 4.2.3 e apresentado na Figura 40 o ganho de malha aberta do LDO projetado, tende a aumentar com o aumento da condição de polarização de gm/I_D , onde foi possível observar o maior ganho (82,67 dB) para $16V^{-1}$ enquanto o menor ganho (30,1 dB) para $5V^{-1}$. O aumento do ganho conforme descrito por [46] e segundo a Equação 45 impacta diretamente na PSR do LDO, conforme apresentado na Figura 41, o que torna o circuito LDO menos suscetível a variações apresentadas pela fonte de alimentação VDD.

A primeira análise a ser realizada foi a comparação entre a PSR modelada (Equação 45) e os valores da PSR referentes ao projeto. A Figura 42 apresenta a PSR simulada (bege) e a PSR calculada (verde) através da equação 45.



Fonte: Autor.

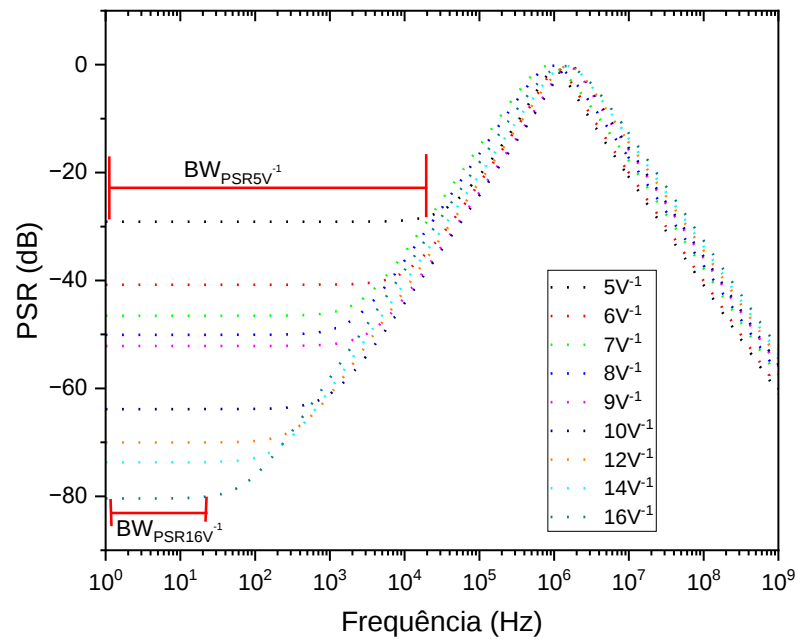
A partir da Figura 42 é possível observar que os valores calculados e práticos não se coincidem perfeitamente, porém é possível notar a tendência de melhora na PSR com o aumento do ganho de malha e consequentemente aumento da condição de polarização (gm/I_D). Portanto pode-se concluir que o ganho de malha aberta ainda é o fator principal para obtenção de uma boa PSR. No entanto devido a formulação ter sido realizada baseada na tecnologia CMOS de $0,35 \mu m$, possivelmente para transistores avançados como o nanofio de porta ômega, efeitos de segunda ordem podem estar impactando o desempenho, justificando estudos adicionais para acréscimos destes efeitos nas formulações. Vale ressaltar que padrões de resultados

semelhantes para PSR foram observados também para outros transistores avançados como MOSFETs e Tunnel FETs respectivamente em [18] [47]

Outra análise realizada foi a influência da polarização na largura de banda da PSR. De acordo com a referência [46], a PSR é degradada em frequências acima da largura de banda do amplificador de erro (BWa) ou após o polo dominante, isto acontece devido ao aumento da impedância de saída que causa um ponto de inflexão na PSR.

A Figura 43 apresenta os valores de PSR e sua largura de banda para os diversos LDOs desenvolvidos com diferentes gm/I_D . O maior valor em módulo de PSR ocorre para o projeto com maior gm/I_D devido ao maior ganho de malha aberta. No entanto, para esse projeto, a menor largura de banda da PSR é obtida devido ao menor gm do amplificador de erro e, conseqüentemente, à menor BWa. À medida que se caminha para a inversão forte, os valores de PSR reduzem significativamente, enquanto a largura de banda da PSR aumenta de 80 Hz para um gm/I_D de $16V^{-1}$ até 17 kHz para um gm/I_D igual a $5V^{-1}$.

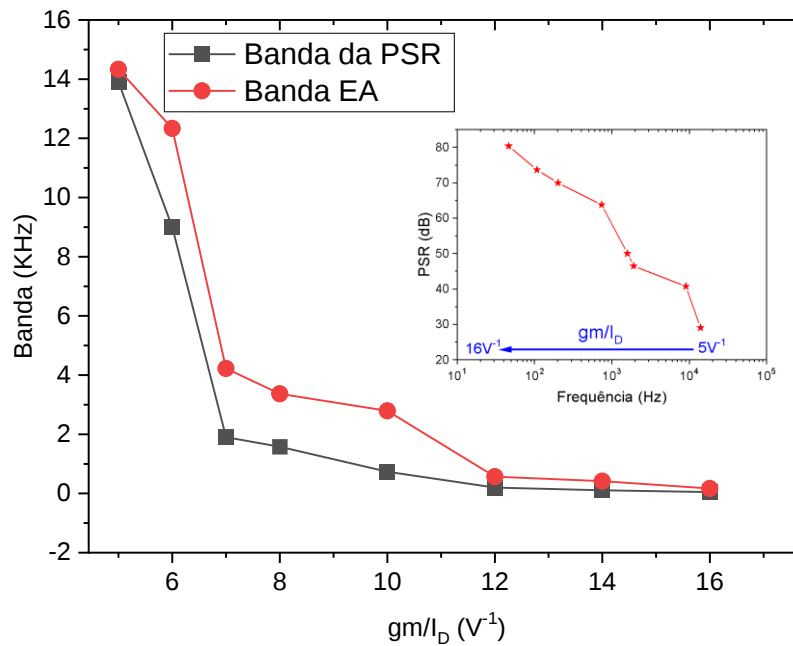
Figura 43 — Banda da PSR para diferentes níveis de polarização



Fonte: Autor.

Através da Figura 44 é possível observar que a largura de banda da PSR diminui com a redução da BWa do amplificador de erro (EA). Os LDOs desenvolvidos com transistores nanofios de porta ômega mantém esta dependência da BWa do amplificador de erro conforme citado em [46].

Figura 44 — Relação entre a Banda da PSR e Banda do EA.



Fonte: Autor.

4.2.5 Análise referente a variação de VDD para LDOs desenvolvidos com transistores nanofios de porta ômega.

O desempenho referente aos reguladores de baixa queda de tensão (LDOs) estão diretamente relacionados à tensão de alimentação (VDD). Nesta seção, será investigado como diferentes níveis de VDD (2,1 V, 1,8V, 1,5V e 1,2V) afetam o comportamento dos LDOs implementados com transistores nanofios de porta ômega, considerando parâmetros como eficiência, banda de operação e Figuras de mérito. Para isso, serão apresentados e discutidos os principais resultados obtidos por meio de simulações, destacando as vantagens e limitações desse tipo de dispositivo no desenvolvimento de reguladores lineares de baixa queda de tensão.

A primeira análise realizada foi a faixa de operação de um LDO variando gm/I_D . Por questão de facilidade o primeiro VDD analisado foi o de 1,8 V, onde conforme apresentado na Tabela 8, foi possível observar uma faixa utilizável entre gm/I_D de $5V^{-1}$ até $16V^{-1}$. Para $20V^{-1}$ conforme apresentado na Tabela 8, pode-se observar um V_{SG} (0,3979 V) menor que V_{TH} (0,42 V) o que infere no desligamento do transistor de passagem M_P . Para o valor de $4V^{-1}$, observa-se que o transistor M_P sai da saturação, pois $|V_{DS}|$ (0,308 V) é menor que o módulo de V_{GS} (0,81 V) menos V_{TH} (0,42 V). Para solucionar este problema pode-se escolher outra topologia de LDO na qual o transistor de passagem possa trabalhar fora da região de saturação conforme descrito em [48], porém esta topologia não é o intuito deste trabalho. Apesar de várias figuras de mérito do LDO melhorarem com o aumento do ganho de malha e consequentemente

aumento de gm/I_D , como já discutido em 4.2.3, a área do transistor de potência aumenta significativamente e também se tem a saída da saturação ou desligamento do transistor M_P dependendo da polarização de gm/I_D .

Tabela 8 — Banda de polarização possível do LDO desenvolvido com VDD igual a 1,8V.

Transistores	1,8V							
	4V ⁻¹				20V ⁻¹			
	VG	VS	VD	Saturado?	VG	VS	VD	Saturado?
M ₁	1,27	0,79	0,99	SIM	1,27	0,45	1,4021	SIM
M ₂	1,27	0,79	0,99	SIM	1,27	0,45	1,4051	SIM
M ₃	0,99	1,8	0,99	SIM	1,4051	1,8	1,4021	SIM
M ₄	0,99	1,8	0,99	SIM	1,4051	1,8	1,4051	SIM
M ₅	0,47	0	0,79	SIM	0,45	0	0,8	SIM
M ₆	0,47	0	0,47	SIM	0,45	0	0,8	SIM
M _P	0,99	1,8	1,5	NÃO	1,4021	1,8	1,492	NÃO

Fonte: Autor.

A próxima análise de faixa de operação foi para VDD igual a 2,1V. Nesta condição foi possível observar poucas mudanças ao comparar com o VDD de 1,8 V. A banda de operação se manteve a mesma (5V⁻¹ a 16V⁻¹). Na Tabela 9 é possível observar que a polarização de 4V⁻¹ e de 20V⁻¹ obtém os mesmos problemas que o VDD de 1,8 V.

Tabela 9 — Banda de polarização possível do LDO desenvolvido com VDD igual a 2,1V.

Transistores	2,1V							
	4V ⁻¹				20V ⁻¹			
	VG	VS	VD	Saturado?	VG	VS	VD	Saturado?
M ₁	1,53	0,726	1,29	SIM	1,53	1,07	1,7021	SIM
M ₂	1,53	0,726	1,29	SIM	1,53	1,07	1,69	SIM
M ₃	1,29	2,1	1,29	SIM	1,69	1,8	1,7021	SIM
M ₄	1,29	2,1	1,29	SIM	1,69	1,8	1,69	SIM
M ₅	0,8	0	0,726	SIM	0,45	0	1,07	SIM
M ₆	0,8	0	0,8	SIM	0,45	0	0,45	SIM
M _P	1,29	2,1	1,798	NÃO	1,70	2,1	1,8	NÃO

Fonte: Autor.

Para o VDD de 1,5V conforme descrito na Tabela 10, pode-se observar uma redução na faixa de operação de polarização do LDO (6V⁻¹ a 16V⁻¹), onde é possível observar que quando o LDO é polarizado em gm/I_D igual a 5V⁻¹ o transistor M₅ referente ao espelho de corrente sai da saturação já que V_{DS} (0,288 V) é menor que V_{GS} (0,749 V) menos V_{TH} (0,42 V), o que afeta de forma direta a alimentação do par diferencial e consequentemente os resultados de saída do LDO. E a mesma observação anterior é verificada para um gm/I_D de 20V⁻¹, onde o transistor de passagem M_P não liga devido a V_{GS} (0,4 V) ser menor que V_{TH} (0,42 V).

Tabela 10 — Banda de polarização possível do LDO desenvolvido com VDD igual a 1,5V.

Transistores	1,5V							
	5V ⁻¹				20V ⁻¹			
	VG	VS	VD	Saturado?	VG	VS	VD	Saturado?
M ₁	1,02	0,288	0,79	SIM	1,02	0,561	1,10	SIM
M ₂	1,02	0,288	0,79	SIM	1,02	0,561	1,10	SIM
M ₃	0,79	1,5	0,79	SIM	1,10	1,5	1,10	SIM
M ₄	0,79	1,5	0,79	SIM	1,10	1,5	1,10	SIM
M ₅	0,749	0	0,288	NÃO	0,45	0	0,561	SIM
M ₆	0,749	0	0,749	SIM	0,45	0	0,45	SIM
M _P	0,79	1,5	1,194	SIM	1,10	1,5	1,19	NÃO

Fonte: Autor.

Por último para um VDD de 1,2V conforme apresentado na Tabela 11, pode-se observar uma grande redução na faixa de operação de polarização do LDO (9V⁻¹ a 16V⁻¹), onde é possível observar que quando o LDO é polarizado em gm/I_D igual a 8V⁻¹ o transistor M₅ referente ao espelho de corrente já sai da saturação já que V_{DS} (0,146 V) é menor que V_{GS} (0,65 V) menos V_{TH} (0,42 V). A mesma observação anterior é verificada para um gm/I_D de 20V⁻¹, onde o transistor de passagem M_P não liga devido a V_{GS} (0,4 V) ser menor que V_{TH} (0,42 V).

Tabela 11 — Banda de polarização possível do LDO desenvolvido com VDD igual a 1,2 V.

Transistores	1,2							
	8V ⁻¹				20V ⁻¹			
	VG	VS	VD	Saturado?	VG	VS	VD	Saturado?
M ₁	0,76	0,146	0,6	SIM	0,76	0,3	0,8	SIM
M ₂	0,76	0,146	0,6	SIM	0,76	0,3	0,8	SIM
M ₃	0,6	1,2	0,6	SIM	0,8	1,2	0,8	SIM
M ₄	0,6	1,2	0,6	SIM	0,8	1,2	0,8	SIM
M ₅	0,65	0	0,146	NÃO	0,46	0	0,3	SIM
M ₆	0,65	0	0,65	SIM	0,46	0	0,46	SIM
M _P	0,59	1,2	0,9	SIM	0,8	1,2	0,9	NÃO

Fonte: Autor.

A próxima análise a ser realizada é a de como a variação de VDD interfere nas principais Figuras de mérito do LDO. Para realizar esta análise, ao se reduzir VDD para 1,2V tem-se uma perda de condições de polarização, portanto optou-se por analisar somente uma condição de polarização, onde gm/I_D é igual a 10 V⁻¹, visto que a mesma se encontra no meio da faixa de operação deste LDO e não é cortada caso haja redução de VDD.

A Tabela 12 apresenta todos os resultados do LDO desenvolvido para a condição de polarização de 10V⁻¹ e os diferentes níveis de VDD.

Mesmo com a redução de VDD, a transcondutância do transistor de passagem M_P permaneceu praticamente constante. Isso pode ser explicado pelo fato de que a tensão $|V_{DS}|$ se manteve em 0,3 V e fornecendo a mesma corrente. A resistência r_{ds} , por outro lado, aumentou com a redução de VDD, o que se deve ao fato de que, ao diminuir VDD, o transistor de potência (M_P) tende a se desligar, resultando no aumento da resistência associada a esse transistor.

O ganho do amplificador de erro diminuiu com a redução de VDD, o que pode ser explicado pela equação (44), que mostra que esse ganho depende da transcondutância do transistor M_1 e da resistência do amplificador de erro (R_D). Como pode ser observado na Tabela 12, houve uma redução em R_D com a diminuição de VDD.

Tabela 12 — Resultados do LDO desenvolvido para a condição de polarização de 10V-1 e os diferentes níveis de VDD.

Resultados	$gm/I_D = 10V^{-1}$			
	VDD = 2,1 V	VDD = 1,8 V	VDD = 1,5 V	VDD = 1,2 V
gm_{mp} (uS)	978,36	985,38	983,85	980,18
r_{ds} (k Ω)	26,71	28,34	28,88	29,95
A_{EA} (dB)	38,43	36,07	34,08	32,39
R_D (k Ω)	1420	1130	890,04	732,60
gm_{M1} (uS)	58,64	58,32	58,06	58,07
C_C (pf)	10	9	9	9
β	0,85			
I_{SS} (uA)	11,2	11,48	11,68	13,68
I_L (uA)	~100	~100	~100	~100
V_{OUT} (V)	1,8	1,5	1,2	0,9
I_Q (uA)	22,78	23,30	23,27	24,86
VDO (V)	0,3	0,3	0,3	0,3
Eficiência (%)	69,81	67,61	65,2	60,1
LDR (V/A)	14,15	18,23	24,47	26,02
LNR (mV/V)	0,67	0,64	0,71	0,71
Ganho (dB)	59	55,98	52,71	48,86
PSR (dB)	-65	-63,84	-61,07	-60,85
GBW (kHz)	774,38	804,19	819,53	800
PM (°)	64	64	64	64

Fonte: Autor.

A capacitância de compensação (C_C), utilizada para estabilizar o LDO, permaneceu praticamente a mesma para todas as variações de VDD. Isso ocorre porque foi utilizada a mesma quantidade de transistores em paralelo para o transistor M_P (114), o que resulta na mesma capacitância necessária para compensar o circuito.

A corrente quiescente (I_Q) e a corrente fornecida pela fonte ideal ao LDO (I_{SS}) apresentaram uma tendência de aumento. Ou seja, o LDO passou a consumir mais corrente com VDD igual a 1,2V. Com a redução de VDD, esse comportamento impactou negativamente a eficiência do LDO, que, conforme mostrado na Tabela 12, diminuiu com a redução de VDD. O LDO foi menos eficiente com VDD de 1,2V (60,1%) em comparação com 2,1V (69,81%).

A regulação de carga apresentou uma tendência de aumento com a redução de VDD. Observou-se uma regulação de carga de 14,15 mV/A para VDD de 2,1V e 26,02 mV/A para VDD de 1,2V. Isso pode ser explicado pela equação 32, que mostra a dependência da regulação de carga do ganho do amplificador de erro (A_{EA}) e de acordo com a Tabela 12, A_{EA} diminuiu com a redução de VDD, causando está piora na regulação de carga.

A regulação de linha piorou com a redução de VDD. Os melhores valores foram observados para VDD de 2,1V e 1,8V, enquanto para VDD de 1,5V e 1,2V, a regulação foi pior. Isso pode ser explicado pela redução no ganho de malha. No entanto, a discrepância entre esses valores não foi tão grande quanto o esperado. Como mencionado na seção 4.2.4, a PSR (Relação de Supressão de Fonte de Alimentação) pode estar sendo afetada por efeitos de segunda ordem. Como a PSR segue uma formulação semelhante à regulação de linha, ela também pode estar sendo influenciada por esses efeitos.

O ganho de malha aberta e a PSR estão inter-relacionados. O ganho de malha aberta mostrou uma tendência de redução à medida que VDD foi diminuído, com o maior ganho (59 dB) para VDD de 2,1V e o menor (48,86 dB) para VDD de 1,2V. Como explicado na seção 4.2.4, essa redução no ganho de malha afeta diretamente a PSR, fazendo com que o LDO seja mais suscetível a variações da fonte de alimentação. Com a redução de VDD, observou-se a melhor PSR (-65 dB) para VDD de 2,1V e a pior (-60,85 dB) para VDD de 1,2V.

O produto ganho-banda (GBW) manteve-se praticamente constante, cerca de 800 kHz, devido ao uso da mesma capacitância de carga (100 pF) e de uma capacitância de compensação (CC) praticamente inalterada, em torno de 9 pF. Além disso, gm_{MP} , que afeta o GBW, permaneceu praticamente o mesmo para todos os valores de VDD.

A margem de fase (PM) escolhida foi de 64 graus, garantindo assim o critério de estabilidade do LDO.

Através das análises realizadas nesta seção, foi possível observar que a tensão de alimentação (VDD) tem um efeito significativo no desempenho dos LDOs implementados. A redução de VDD resultou em limitações na faixa de operação do LDO, impactando diretamente a polarização dos transistores e, também, as Figuras de Mérito analisadas.

A redução de VDD para uma mesma polarização de gm/I_D ($10V^{-1}$) causou uma piora na maioria das figuras de mérito do LDO ou manteve-se a mesma coisa, portanto ao se reduzir o VDD do LDO nesta topologia para estes transistores, observou-se uma piora no ganho do amplificador de erro (AEA), na eficiência (devido a piora de I_Q e I_{SS}), Regulação de carga e linha, Ganho de malha aberta e PSR. Apesar da piora ao se comparar com a mesma tecnologia, para outras tecnologias similares ou mais antigas os resultados ainda são relevantes mesmo com a piora.

5 CONSIDERAÇÕES FINAIS

5.1 CONCLUSÃO

Este trabalho apresentou a modelagem de um dispositivo real (Transistor nanofio de porta ômega) no software Cadence Virtuoso, utilizando seus dados experimentais através da descrição de hardware analógica (Verilog-A) com intuito de criar um bloco analógico (LDO) para aplicação do dispositivo.

Inicialmente desenvolveu-se LDOs para duas diferentes polarizações de transistores ($7V^{-1}$ e $8V^{-1}$) com cargas de 10pF e 100pF. Nesta primeira apresentação, ficou evidente que ambos os LDOs exibiram excelentes resultados, mas o desenvolvido com transistores polarizados em $8V^{-1}$ e C_L igual a 10pF mostrou melhor ganho de malha (46,48dB), GBW (6,45MHz), PSR (-50,06 dB), I_Q (35,07 μ A), regulação de carga (35,9V/A) e regulação de linha (3,13 mV/V) do que o desenvolvido com transistores polarizados em $7V^{-1}$.

Subsequentemente, utilizando dados de um LDO desenvolvido com transistores MOSFET V-GAANW polarizados em $8V^{-1}$ e uma carga de 10pF da referência [18], foi realizada uma comparação com o LDO desenvolvido com transistores de nanofio de porta Ω (este trabalho) com a mesma polarização ($8V^{-1}$) e carga (10pF). Esta comparação mostrou que o LDO desenvolvido com transistores de nanofio com porta Ω superou a maioria dos parâmetros, como corrente de saída (100 μ A), eficiência (61,61%), regulação de linha (3,13mV/V), regulação de carga (35,9 V/A), ganho de malha (46,48 dB), GBW (6,45 MHz), e PSR (-50,06).

Com base na análise comparativa dos parâmetros dos LDOs projetados para diferentes polarizações de gm/I_D ($5V^{-1}$ a $16V^{-1}$), observa-se que a variação desse parâmetro impacta diretamente as figuras de mérito do regulador. Verificou-se que o ganho do amplificador de erro (A_{EA}) aumenta com gm/I_D , passando de 21,93 dB para $5V^{-1}$ a 51,9 dB para $16V^{-1}$. Esse aumento progressivo do ganho do A_{EA} melhora a regulação de carga, que apresentou uma maior variação para $5V^{-1}$ (218,28 V/A) e uma menor variação para $16V^{-1}$ (1,62 V/A). O ganho de malha aberta também cresce com gm/I_D , atingindo 30,10 dB para $5V^{-1}$ e 82,67 dB para $16V^{-1}$. Esse acréscimo contribui para uma regulação de linha mais eficiente, reduzindo a variação de tensão de 34,74 mV/V para $5V^{-1}$ para apenas 0,09 mV/V em $16V^{-1}$. Além disso, a eficiência do LDO aumenta significativamente à medida que a corrente consumida (I_Q) diminui, superando 75% nas condições de inversão mais fracas. Esses resultados ressaltam a importância

da escolha adequada da polarização dos transistores para otimizar o desempenho do regulador, permitindo um ajuste preciso do projeto conforme os requisitos específicos da aplicação.

A variação de g_m/I_D na rejeição de fonte (PSR) em LDOs desenvolvidos utilizando transistores nanofios de porta ômega, confirma que o ganho de malha aberta ainda é o principal fator para obtenção de uma boa rejeição de ruídos advindos da fonte de alimentação. Para o maior ganho de malha aberta (82,67dB) em $16V^{-1}$, obteve-se a melhor rejeição a ruídos provenientes da fonte de alimentação (-80,42 dB). Os resultados obtidos, tanto simulados quanto modelados, indicam uma tendência clara de melhora da PSR à medida que o ganho de malha aumenta, afirmando a relação teórica expressa na Equação 45 e descrita por [46]. No entanto, pequenas discrepâncias entre os valores calculados e simulados sugerem que efeitos de segunda ordem, especialmente em tecnologias avançadas como os transistores nanofios de porta ômega, podem influenciar o desempenho e demandam estudos adicionais para refinamento das formulações existentes. Além disso, a análise da largura de banda da PSR revelou que, embora um maior g_m/I_D proporcione uma melhor rejeição de fonte, ele também resulta em uma menor largura de banda devido à redução da transcondutância do amplificador de erro ($g_{m_{M1}}$) e, conseqüentemente, da sua banda (BWa). Assim, um compromisso entre alta PSR e largura de banda deve ser considerado no projeto de LDOs, dependendo das exigências da aplicação.

O impacto da variação da tensão (VDD) no desempenho dos LDOs desenvolvidos com transistores nanofios de porta ômega demonstrou que a redução de VDD influencia diretamente na faixa de operação do regulador. Foi observado que para um VDD de 1,8 V e 2,1 V a faixa utilizável de g_m/I_D se mantém de $5V^{-1}$ até $16V^{-1}$, onde para $4V^{-1}$ o transistor M_P sai da saturação e para $20V^{-1}$ este mesmo transistor se desliga. Para valores mais baixos de VDD (1,5 V e 1,2V), a faixa utilizável de g_m/I_D se reduz conseqüente mente para $6V^{-1}$ até $16V^{-1}$ e $10V^{-1}$ até $16V^{-1}$, onde transistores críticos do circuito, como o de passagem (M_P) e o espelho de corrente (M_5), podem sair da região de saturação ou até mesmo desligar, comprometendo o funcionamento adequado do LDO. Embora figuras de mérito como ganho de malha aberta, LDR, LNR e a eficiência apresentem melhorias com o aumento de g_m/I_D , há um impacto significativo no tamanho do transistor de potência, além do risco de perda da saturação ou desligamento em determinadas condições de operação. Dessa forma, fica evidente a necessidade de um compromisso entre a escolha do VDD e a polarização dos transistores para garantir um desempenho otimizado.

A redução de VDD afetou várias características do LDO. A transcondutância do transistor de passagem M_P permaneceu praticamente constante, enquanto a resistência r_{ds}

aumentou devido ao desligamento progressivo do transistor de potência. O ganho do amplificador de erro diminuiu com a redução de VDD, o que resultou em um aumento na regulação de carga, que passou de 14,15 V/A para 26,02 V/A quando VDD foi reduzido de 2,1V para 1,2V. A eficiência do LDO também foi impactada negativamente, apresentando uma redução de 69,81% para 60,1% à medida que VDD caiu de 2,1V para 1,2V. A regulação de linha também piorou com a diminuição de VDD, com os melhores valores observados para 2,1V (valores melhores do que para 1,5V e 1,2V). Além disso, o ganho de malha aberta diminuiu de 59 dB para 48,86 dB, enquanto a PSR apresentou o melhor valor de -65 dB para VDD de 2,1V e o pior valor de -60,85 dB para 1,2V, refletindo maior sensibilidade a variações da fonte de alimentação. Por outro lado, o produto ganho-banda (GBW) se manteve estável em torno de 800 kHz, e a margem de fase foi mantida em 64 graus, garantindo a estabilidade do LDO.

Essas conclusões sugerem que um LDO desenvolvido com transistores nanofios de porta ômega pode ser uma solução promissora para a redução dos nós em tecnologias avançadas, garantindo bom desempenho e eficiência energética.

5.2 TRABALHOS FUTUROS

Como estudo futuro, propõe-se a análise do desempenho do LDO em diferentes condições de temperatura, tanto altas quanto baixas, utilizando dados reais dos transistores nanofios de porta ômega. Essa investigação permitirá avaliar a robustez do circuito frente a variações térmicas, garantindo maior confiabilidade para aplicações práticas. Além disso, sugere-se a exploração de novas topologias que possam otimizar figuras de mérito específicas, como eficiência, regulação de carga e rejeição de fonte, aprimorando ainda mais o desempenho do regulador em tecnologias avançadas.

REFERÊNCIAS

- [1] DENNARD R. H.; et al.; Design of ion-implanted MOSFET's with very small physical dimensions; IEEE Journal of Solid-State Circuits, v. 9, n. 5, p. 256, 1974.
- [2] Schaller, R.R. Moore's Law: past, present and future. IEEE Spectrum. 1997, Vol. 34, 6.
- [3] KENTON, Will. Moore's Law. Investopedia, 2023. Disponível em: <https://www.investopedia.com/terms/m/mooreslaw.asp#:~:text=Moore%27s%20Law%20states%20that%20the%20number%20of%20transistors%20on%20a,became%20known%20as%20Moore%27s%20Law>. Acesso em: 03 jun. 2024.
- [4] GELSINGER, Pat. Intel will outpace Moore's Law, CEO Pat Gelsinger says. CNET, 2023. Disponível em: <https://www.cnet.com/tech/computing/intel-will-outpace-moores-law-ceo-pat-gelsinger-says/>. Acesso em: 03 jun. 2024.
- [5] Colinge, J. P. Silicon-On-Insulator Technology: Materials to VLSI. 3rd. Boston (MS): Kluwer Academic Publishers, 2004.
- [6] OLIVEIRA, Alberto Vinicius de. Estudo de transistores de porta tripla (FinFETs) de silício e de germânio. 2016. Tese (Doutorado em Microeletrônica) - Escola Politécnica, Universidade de São Paulo, São Paulo, 2016. doi:10.11606/T.3.2017.tde-21032017-152959. Acesso em: 2024-09-25.
- [7] R. Ritzenthaler, F. Lime, B. Iñiguez, O. Faynot and S. Cristoloveanu, "3D analytical modelling of subthreshold characteristics in Pi-gate FinFET transistors," 2010 Proceedings of the European Solid State Device Research Conference, Seville, Spain, 2010, pp. 448-451, doi: 10.1109/ESSDERC.2010.5618179.
- [8] Fu-Liang Yang et al., "25 nm CMOS Omega FETs," Digest. International Electron Devices Meeting., San Francisco, CA, USA, 2002, pp. 255-258, doi: 10.1109/IEDM.2002.1175826.
- [9] Perina, Welder & Martino, J.A. & Agopian, Paula. (2020). Analysis of Omega-Gate Nanowire SOI MOSFET Under Analog Point of View. Journal of Integrated Circuits and Systems. 15. 1-6. 10.29292/jics.v15i1.113.
- [10] J. Ajayan, D. Nirmal, Shubham Tayal, Sandip Bhattacharya, L. Arivazhagan, A.S. Augustine Fletcher, P. Murugapandian, D. Ajitha, Nanosheet field effect transistors-A next generation device to keep Moore's law alive: An intensive study, Microelectronics Journal, Volume 114, 2021, 105141, ISSN 1879 2391.
- [11] S. Barraud et al., "Performance of Omega-Shaped-Gate Silicon Nanowire MOSFET With Diameter Down to 8 nm," in IEEE Electron Device Letters, vol. 33, no. 11, pp. 1526-1528, Nov. 2012, doi: 10.1109/LED.2012.2212691.
- [12] Silva V C P, Wirth G I, Martino J A and Agopian P G D 2019 A Negative-Bias-Temperature-Instability Study on Omega-Gate Silicon Nanowire SOI pMOSFETs 2019 34th Symposium on Microelectronics Technology and Devices (SBMicro) 2019 34th Symposium on Microelectronics Technology and Devices (SBMicro) pp 1–4

- [13] Silva V C P, Martino J A and Agopian P G D 2018 Parasitic Conduction on Ω -Gate Nanowires SOI nMOSFETs ECS Meet. Abstr. MA2018-01 1468–1468
- [14] Vanessa Silva et al 2019 ECS J. Solid State Sci. Technol. 8 Q54
- [15] G. A. Rincon-Mora and P. E. Allen, "A low-voltage, low quiescent current, low drop-out regulator," in IEEE Journal of Solid-State Circuits, vol. 33, no. 1, pp. 36-44, Jan. 1998, doi: 10.1109/4.654935.
- [16] Rincon-Mora, Gabriel Alfonso. 2014. Analog IC Design with Low-Dropout Regulators. 2nd ed. New York: McGraw-Hill Education.
- [17] R. C. de Barros Souto, J. A. Martino and P. G. D. Agopian, "Analysis of Low-Dropout Voltage Regulator designed with Gate-All-Around nanosheet transistors," 2023 37th Symposium on Microelectronics Technology and Devices (SBMicro), Rio de Janeiro, Brazil, 2023, pp. 1-4, doi: 10.1109/SBMicro60499.2023.10302596.
- [18] R. do Nascimento Tolêdo, J. A. Martino and P. G. Der Agopian, "Nanowire TFET with different Source Compositions applied to Low-Dropout Voltage Regulator," 2022 36th Symposium on Microelectronics Technology (SBMICRO), Porto Alegre, Brazil, 2022, pp. 1-4, doi: 10.1109/SBMICRO55822.2022.9881035.
- [19] G. V. de Araujo, J. A. Martino and P. G. D. Agopian, "Analysis of the trade-off between voltage gain and frequency response of OTA designed using experimental data of omega-gate nanowire SOI MOSFETs," 2023 37th Symposium on Microelectronics Technology and Devices (SBMicro), Rio de Janeiro, Brazil, 2023, pp. 1-4,
- [20] Sedra, Adel S.; SMITH, Kenneth C. Microeletrônica. São Paulo: Pearson Prentice Hall, 2007.
- [21] COLINGE, Jean-Pierre et al. (Ed.). FinFETs and other multi-gate transistors. New York: springer, 2008.
- [22] T. Sekigawa, Y. Hayashi, Calculated threshold-voltage characteristics of an XMOS transistor having an additional bottom gate, Solid-State Electronics, Volume 27, Issues 8–9, 1984, Pages 827-828, ISSN 0038-1101,
- [23] D. James, "Intel Ivy Bridge unveiled — The first commercial tri-gate, high-k, metal-gate CPU," Proceedings of the IEEE 2012 Custom Integrated Circuits Conference, San Jose, CA, USA, 2012, pp. 1-4, doi: 10.1109/CICC.2012.6330644.
- [24] Silva. V. C. P., Estudo da região de sublimiar de transistores avançados. 2018. Dissertação (Mestrado em Ciências) – Escola Politécnica, Universidade de São Paulo, São Paulo, 2018
- [25] Martino J.A., Pavanello M.A.; B., Verdonck P., Caracterização Elétrica de Tecnologia e Dispositivos MOS. Pioneira Thomson Learning, São Paulo, 2003
- [26] Hyung-Kyu Lim and J. G. Fossum, "Threshold voltage of thin-film Silicon-on-insulator (SOI) MOSFET's," in IEEE Transactions on Electron Devices, vol. 30, no. 10, pp. 1244-1251, Oct. 1983, doi: 10.1109/T-ED.1983.21282.
- [27] T. Poiroux, M. Vinet, O. Faynot, J. Widiez, J. Lolivier, T. Ernst, B. Previtali, S. Deleonibus: Multiple gate devices: advantages and challenges. Microelectronic Engineering 80, 378 (2005)
- [28] F. Daugé, J. Pretet, S. Cristoloveanu, A. Vandooren, L. Mathew, J. Jomaah e B.-Y. Nguyen, "Coupling effects and channels separation in FinFETs," SolidState Electronics, vol. 48, n° 4, pp. 535-542, 2004.

- [29] Aguirre, Pablo & Silveira, Fernando. (2008). CMOS op-amp power optimization in all regions of inversion using geometric programming. 152-157. 10.1145/1404371.1404416.
- [30] F. Silveira, D. Flandre, and P. G. A. Jespers, "A gm/ID based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon-on-insulator micropower OTA," *IEEE J Solid-State Circuits*, vol. 31, no. 9, pp. 1314–1319, Sep. 1996.
- [31] J.-P. Colinge e C. A. Colinge, *Physics of Semiconductor Devices*, Kluwer Academic Publishers, 2002.
- [32] RINCON-MORA, Gabriel. *Analog IC Design with Low-dropout Regulators (LDOs)*. [S. l.]: MCGRAW-HILL Professional, 2009.
- [33] L. C. Delatorre, "Battery low voltage cutoff and regulator," U.S. Patent 3445746, May 20, 1969.
- [34] Razavi, Behzad. "The Low Dropout Regulator [A Circuit for All Seasons]." *IEEE Solid-State Circuits Magazine* (2019).
- [35] TOLÊDO, Rodrigo do Nascimento. Regulador linear de baixa queda de tensão projetado com TFETs fabricados em nanofios de silício. 2023. Dissertação (Mestrado em Microeletrônica) - Escola Politécnica, Universidade de São Paulo, São Paulo, 2023. doi:10.11606/D.3.2023.tde-26032024-114126. Acesso em: 2024-09-26.
- [36] NISE, Norman S. *Engenharia de sistemas de controle*. 5. ed. Rio de Janeiro: LTC, 2011. 682 p. ISBN 9788521613015.
- [37] SEDRA, Adel; SMITH, Kenneth. *Microelectronic Circuits*. 7th ed. Oxford: OXFORD UNIVERSITY PRESS, 2015.
- [38] CARUSONE, Tony Chan; JOHNS, David; MARTIN, Kenneth. *Analog Integrated Circuit Design*. Second. [S. l.]: John Wiley & Sons, Inc., 2012
- [39] TORRES, Joselyn; EL-NOZAH, Mohamed; AMER, Ahmed; GOPALRAJU, Seenu; ABDULLAH, Reza; ENTESARI, Kamran; SANCHEZ-SINENCIO, Edgar. Low drop-out voltage regulators: Capacitor-less architecture comparison. *IEEE Circuits and Systems Magazine*, vol. 14, no. 2, p. 6–26, 2014.
- [40] RAZAVI, Behzad. *Fundamentals of Microelectronics*. 2nd ed. [S. l.]: Wiley, 2014.
- [41] PERINA, Welder Fernandes. Estudo teórico e experimental de transistores de múltiplas portas fabricados em estruturas de nanofios. 2018. 55 f. Trabalho de conclusão de curso (bacharelado - Engenharia de Telecomunicações) - Universidade Estadual Paulista Julio de Mesquita Filho, Câmpus Experimental de São João da Boa Vista, 2018.
- [42] P. Jespers *The gm/ID Methodology, a sizing tool for low-voltage analog CMOS Circuits*, Editora Springer 2010
- [43] SHIMA, Takeshi; SUGAWARA, Tsutomu; MORIYAMA, Seijiro; YAMADA, Hisashi. Three-Dimensional Table Look-Up MOSFET Model for Precise Circuit Simulation. *IEEE Journal of Solid-State Circuits*, vol. 17, no. 3, p. 449–454, 1982.
- [44] FITZPATRICK, Dan; MILLER, Ira. *ANALOG BEHAVIORAL MODELING WITH THE VERILOG-A LANGUAGE*. Boston: Kluwer Academic Publishers, 1998.
- [45] Kundert, Kenneth S.; Zinke, Olaf. *Des. Guid. to Verilog-AMS*, June 2004. Boston: Kluwer Academic Publishers, 2004
- [46] V. Gupta, G. A. Rincon-Mora and P. Raha, "Analysis and design of monolithic, high PSR, linear regulators for SoC applications," *IEEE International SOC Conference*, 2004. Proceedings., Santa Clara, CA, USA, 2004, pp. 311-315, doi: 10.1109/SOCC.2004.1362447.

[47] W. de Lima Silva, P. G. Der Agopian and J. A. Martino, "Experimental behavior of Line-TFET applied to Low-Dropout Voltage Regulator," 2022 36th Symposium on Microelectronics Technology (SBMICRO), Porto Alegre, Brazil, 2022, pp. 1-4, doi: 10.1109/SBMICRO55822.2022.9881041.

[48] KIM, Hyun-Sik. Low-Dropout (LDO) Voltage Regulators – From Basics to Recent Design Trends. Lecture notes. KAIST, 22 nov. 2023.

APÊNDICE A – CÓDIGO EM VERILOG-A PARA IMPLEMENTAÇÃO DO DISPOSITIVO NANOFIO DE PORTA ÔMEGA.

Código do dispositivo tipo N.

```
// VerilogA for temp, nOMEGA, veriloga
```

```
`include "constants.vams"
`include "disciplines.vams"
module nOMEGA(D, G, S);
  inout D;
  electrical D;
  inout G;
  electrical G;
  inout S;
  electrical S;
  real ID, cgs;
  real cgd, cgg, gmid, ft, gm;
  parameter real n=1;
  analog begin
    ID = n*($table_model (V(D,S), V(G,S), "LUTNMOS.tbl", "1CC, 1CC;1")); //Tabela de ID
    gm = n*($table_model (V(D,S), V(G,S), "LUTNMOS.tbl", "1CC, 1CC;2")); //Tabela de GM
    cgs = (n)*($table_model (V(G,S), "CV_nanowire_omega_teste.tbl", "1CC;2")); //Tabela de Cgg
    cgs = cgs*(0.666666);
    I(D,S) <+ ID;
    I(G,S) <+ cgs*ddt(V(G,S));
    gmid=gm/ID;
    ft=gm/(2*3.14159265359*cgs);
  end
endmodule
```

Código do dispositivo tipo P.

```
// VerilogA for temp, pOMEGA, veriloga
`include "constants.vams"
`include "disciplines.vams"
module pOMEGA(D, G, S);
inout D;
electrical D;
inout G;
electrical G;
inout S;
electrical S;
real ID, cgs;
real cgd, cgg, gmid, ft, gm;
parameter real n=1;
analog begin
ID = n*($table_model (V(D,S), V(G,S), "LUTPMOS.tbl", "1CC, 1CC;1")); //Tabela de ID
gm = n*($table_model (V(D,S), V(G,S), "LUTPMOS.tbl", "1CC, 1CC;2")); //Tabela de GM
cgs = (n)*($table_model (V(G,S), "CV_nanowire_omega_teste.tbl", "1CC;2")); //Tabela de Cgg
cgs = cgs*(0.666666);
I(D,S) <+ ID;
I(G,S) <+ cgs*ddt(V(G,S));
gmid=gm/ID;
ft=gm/(2*3.14159265359*cgs);
end
endmodule
```