

PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

**“Estudo da Compatibilidade Eletromagnética em Placa de
Circuito Impresso de Centrais Telefônicas”**

DIMAS DE ABREU LUZ

Orientador: Prof. Dr. Ailton Akira Shinoda

Ilha Solteira – SP
Abril/2012

PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

**“Estudo da Compatibilidade Eletromagnética em Placa de
Circuito Impresso de Centrais Telefônicas”**

DIMAS DE ABREU LUZ

Orientador: Prof. Dr. Ailton Akira Shinoda

Dissertação apresentada à Faculdade de
Engenharia - UNESP – Campus de Ilha
Solteira, para obtenção do título de
Mestre em Engenharia Elétrica.
Área de Conhecimento: Automação.

Ilha Solteira – SP
Abril/2012

FICHA CATALOGRÁFICA

Elaborada pela Seção Técnica de Aquisição e Tratamento da Informação
Serviço Técnico de Biblioteca e Documentação da UNESP - Ilha Solteira.

- | | |
|-------|---|
| L979e | <p>Luz, Dimas de Abreu.</p> <p>Estudo da compatibilidade eletromagnética em placa de circuito impresso de centrais telefônicas / Dimas de Abreu Luz. -- Ilha Solteira : [s.n.], 2012
67 f. : il.</p> <p>Dissertação (mestrado) - Universidade Estadual Paulista. Faculdade de Engenharia de Ilha Solteira. Área de conhecimento: Automação, 2012</p> <p>Orientador: Ailton Akira Shinoda
Inclui bibliografia</p> <p>1. Placas de circuito impresso. 2. Circuitos integrados. 3. Compatibilidade eletromagnética. 4. Interferência eletromagnética. 5. Simulação (Computadores). 6. Software</p> |
|-------|---|

CERTIFICADO DE APROVAÇÃO

TÍTULO: Estudo da Compatibilidade Eletromagnética em Placa de Circuito Impresso de Centrais Telefônicas

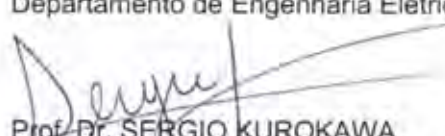
AUTOR: DIMAS DE ABREU LUZ

ORIENTADOR: Prof. Dr. AILTON AKIRA SHINODA

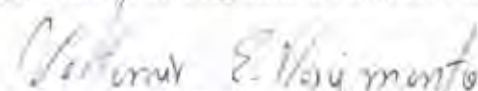
Aprovado como parte das exigências para obtenção do Título de Mestre em Engenharia Elétrica, Área: AUTOMAÇÃO, pela Comissão Examinadora:


Prof. Dr. AILTON AKIRA SHINODA

Departamento de Engenharia Elétrica / Faculdade de Engenharia de Ilha Solteira


Prof. Dr. SERGIO KUROKAWA

Departamento de Engenharia Elétrica / Faculdade de Engenharia de Ilha Solteira


Prof. Dr. VALTEMIR EMERENCIO DO NASCIMENTO

Departamento de Informática / Instituto Federal de Educação, Ciência e Tecnologia de Mato Grosso

Data da realização: 09 de abril de 2012.

DEDICATÓRIA

Dedico este trabalho aos meus pais, Naor e Adelaide, ao meu irmão André e à minha noiva Cristiane.



AGRADECIMENTO

Agradeço primeiramente a Deus, que me confortou nas minhas maiores dúvidas e aflições. Agradeço especialmente aos meus pais, ao meu irmão e à minha noiva que sempre me deram o suporte e o apoio necessários para a realização do meu trabalho.

Agradeço ao meu orientador, prof. Ailton Akira Shinoda, por seu empenho, paciência e confiança durante a realização do trabalho. Aos meus co-orientadores professores Amarildo Tabone Paschoalini e Márcio Antônio Bazani, pelos seus conselhos e apoio durante a realização desse trabalho.

Agradeço à Trópico Sistemas e Telecomunicações da Amazônia Ltda por ceder a PCI estudada nesse trabalho.

RESUMO

As placas de circuito impresso são a base de todos os equipamentos eletrônicos utilizados atualmente. Antigamente, as placas ocupavam grandes espaços e eram conectadas através de fios, válvulas e componentes eletromecânicos. Com o desenvolvimento dos circuitos integrados surgiram técnicas para a concepção de um circuito impresso no qual utilizam componentes cada vez menores e com alta velocidade de processamento. Porém, com a miniaturização dos componentes e redução das dimensões das placas de circuitos impressos surgem problemas de compatibilidade e interferência eletromagnética. Os estudos desses fenômenos demandam alto grau de esforços para os cálculos dos resultados. Diante dessa dificuldade são introduzidos *softwares* especialistas que utilizam algoritmos otimizados, obtendo melhores resultados em curto espaço de tempo. A fim de estudar os efeitos da compatibilidade e interferência eletromagnética usou-se uma placa de circuito impresso, de uma central telefônica. Através de simulações de integridade de sinal e compatibilidade eletromagnética pode-se fazer ajustes nas placas para atender às normas das agências reguladoras.

Palavras-chave: Placa de circuito impresso. Circuitos integrados. Compatibilidade eletromagnética. Interferência eletromagnética. Simulação. *Software*.

ABSTRACT

The printed circuit boards are the basis of all equipment used today. The boards previously occupied large spaces and were connected by wire, valves and electromechanical components. With the development of integrated circuits emerged techniques for designing a printed circuit on which uses smaller and smaller components with high processing speed. But with the miniaturization of components and reduction of printed circuit boards dimensions, problems of electromagnetic compatibility and interference arises. Studies of these phenomena require a high degree of effort for the calculations results. Given this difficulty the introduced using specialist software algorithms optimized, permits obtaining better results. In order to study the effects of electromagnetic interference and compatibility it was used a printed circuit board in the development of a telephone exchange. Through simulations, signal integrity and electromagnetic compatibility can make adjustments on the boards in order that the board was able to be manufactured and sold meeting the standards of compatibility and electromagnetic interference.

Keywords: Printed circuit board. Integrated circuits. Electromagnetic compatibility. Electromagnetic interference. Simulation. Software.

LISTA DE FIGURAS

Figura 1 - Decomposição básica de problemas de CEM.....	16
Figura 2 - Relação custo <i>versus</i> técnica utilizada na correção de um PCI.....	17
Figura 3 - Limites de emissão de radiação do padrão FCC: (a) Classe B; (b) Classe A.....	20
Figura 4 - Comparação dos limites de emissão de radiação do padrão FCC Classe A e Classe B medidos a 3 metros.....	21
Figura 5 - Limite de emissão de radiação do padrão CISPR22 comparados com o padrão FCC: (a) Classe B; (b) Classe A.....	22
Figura 6 - Modelo típico de PCI.....	23
Figura 7 - (a) Decomposição da corrente em componentes de modo diferencial e modo comum, (b) emissão irradiada da corrente de modo diferencial e (c) emissão irradiada da corrente de modo comum	26
Figura 8 - Exemplo de uma Câmara Anecóica.....	28
Figura 9 - Estrutura do <i>buffer</i> usado no modelo IBIS	31
Figura 10 - CI 74LVC125 à esquerda e a direita o modelo utilizados	35
Figura 11 - Característica real da entrada do componente	36
Figura 12 - Característica da entrada do arquivo modelo.....	36
Figura 13 - Característica da entrada obtida por simulação em <i>software</i>	37
Figura 14 - <i>Layout</i> da PCI.	38
Figura 15 - Disposição do <i>stackup</i> da placa	39
Figura 16 - Característica do <i>stackup</i> da placa.....	39
Figura 17 - Trilha de menor comprimento	41
Figura 18 - Característica da IS da trilha menor.....	42
Figura 19 - Análise do Espectro da trilha menor.....	42
Figura 20 - Modelo da linha de transmissão	43
Figura 21 - Forma de onda da tensão de saída: (a) causa pela indutância de terra, (b) oscilação atenuada utilizando um filtro resistivo capacitivo.	43
Figura 22 - IS Corrigida para a trilha menor	44
Figura 23 - CEM Corrigida para a trilha menor	44
Figura 24 - Trilha intermediária	45
Figura 25 - Característica da IS da trilha intermediária	46
Figura 26 - Análise do Espectro da trilha intermediária.....	46
Figura 27 - IS Corrigida para a trilha intermediária	47

Figura 28 - CEM Corrigida para a trilha intermediária	47
Figura 29 - Trilha extensa.....	48
Figura 30 - Característica da IS da trilha extensa.....	49
Figura 31 - Análise do Espectro da trilha extensa.....	49
Figura 32 - IS Corrigida para a trilha extensa	50
Figura 33 - CEM Corrigida para a trilha extensa	50
Figura 34 - Resultados experimentais	51
Figura 35 - Característica da IS simulando uma trilha pequena.....	53
Figura 36 - IS Corrigida para a trilha pequena	53
Figura 37 - Característica da IS simulando uma trilha intermediária.....	54
Figura 38 - IS Corrigida para a trilha intermediária	55
Figura 39 - Característica da IS simulando uma trilha extensa	55
Figura 40 - IS Corrigida para a trilha extensa	56

LISTA DE TABELAS

Tabela 1 - Estruturação de um modelo IBIS	30
Tabela 2 - Variação da tensão no <i>buffer</i>	32

LISTA DE SIGLAS

ANATEL	Agência Nacional de Telecomunicação
CEM	Compatibilidade Eletromagnética
CI	Circuito Integrado
CISPR	<i>Comité International Spécial des Perturbations Radioélectriques</i> (Comitê Internacional Especial sobre Radio Interferência)
CMOS	<i>Complementary Metal-Oxide Semiconductor</i> (Semicondutor Metal Óxido Complementar)
EDA	<i>Electronic Desing Automation</i> (Automação de Desing Eletrônico)
FCC	<i>Federal Communication Commission</i> (Comissão Federal de Comunicação)
FPGA	<i>Field Programmable Gate Array</i> (Matrizes de Lógica Programável em Campo)
IBIS	<i>Input/Output Buffer Information Specification</i> (Especificação de Informações de Entrada/Saída de um <i>Buffer</i>)
IEEE	<i>Institute of Electrical and Eletronics Engeneers</i> (Instituto de Engenharia Elétrica e Eletrônica)
IEM	Interferência Eletromagnética
IS	Integridade de Sinal
PCI	Placa de Circuito Impresso
SPICE	<i>Simulation Program with Integrated Circuit Emphasis</i> (Programa de Simulação com Ênfase em Circuito Integrado)

SUMÁRIO

1	INTRODUÇÃO	14
2	COMPATIBILIDADE ELETROMAGNÉTICA	16
2.1	INTRODUÇÃO À COMPATIBILIDADE ELETROMAGNÉTICA	16
2.1.1	Dimensão elétrica	18
2.2	REQUISITOS PARA CEM	19
2.3	INTEGRIDADE DE SINAL E LINHA DE TRANSMISSÃO	23
3	INTERFERÊNCIA ELETROMAGNÉTICA	25
3.1	INTRODUÇÃO À INTERFERÊNCIA ELETROMAGNÉTICA	25
3.2	FONTE DE IEM	27
3.3	MEDIÇÕES E CORREÇÕES DE IEM	27
4	MODELO IBIS	29
4.1	INTRODUÇÃO DO MODELO IBIS	29
4.2	GERANDO MODELOS	31
4.2	A CURVA $V(I)$	32
4.2	A CURVA $V(t)$	32
4.2.3	Elementos parasitas do encapsulamento	33
4.2.4	Conversão de modelos spice e modelos da web	33
4.2.4	Precisão do modelo e verificação	34
5	RESULTADOS	35
5.1	ESTUDO DO MODELO IBIS	35
5.1.1	Conclusão	37
5.2	PLACA ESTUDADA	38
5.3	ESTUDO DA CEM E DA IS	40
5.3.1	Estudo do comprimento de trilha	40
5.3.1.1	Conclusão	50
5.3.2	Estudo do efeito da frequência com relação ao comprimento da trilha	52

5.3.2.1	<i>Conclusão</i>	56
6	CONCLUSÕES E PROPOSTAS PARA TRABALHOS FUTUROS	57
6.1	CONCLUSÕES GERAIS	57
6.2	TRABALHOS FUTUROS.....	58
	REFERÊNCIAS	59
	APÊNDICES	61
	APÊNDICE A - MODELOS IBIS UTILIZADOS	61

1 INTRODUÇÃO

A Placa de Circuito Impresso (PCI) é o principal componente de qualquer sistema eletrônico (PAUL, 2006; RAO et al., 1995).

Com o aumento da compactação e das velocidades dos sinais digitais (*clock*) dos produtos eletrônicos há uma preocupação crescente com o atendimento às normas de Interferência Eletromagnética (IEM) e de Compatibilidade Eletromagnética (CEM). Assim tais produtos podem ser bem sucedidos nos testes de certificação dos órgãos reguladores como o *Federal Communication Commission* (FCC), *Comité International Spécial des Perturbations Radioélectriques* (CISPR) e a Agência Nacional de Telecomunicação (ANATEL).

Na concepção de PCI's devem ser tomados alguns cuidados para garantir a CEM. Efeitos como *crosstalk*, reflexões sobre as linhas de transmissão, ruído impulsivo como a transição simultânea de níveis, descargas eletrostáticas, corrente de *spike* e radiação ou irradiação eletromagnética devem ser considerados quando se utiliza circuitos integrados de alta velocidade (PAUL, 2006). O *layout* também é um ponto chave para atender às exigências de CEM impostas pelas agências reguladoras, além da operação correta na presença de interferência externa. Esses efeitos da CEM podem causar funcionamentos inapropriados no nível de componente, subsistema e sistema.

Outro aspecto importante na confecção de PCI's é o tamanho da trilha que irá conectar os componentes (KAYANO et al., 2004). Trilhas muito extensas têm um valor de impedância muito alto, ocasionando a distorção do sinal, enviando e gerando níveis de interferência que ultrapassam as faixas de radiação toleradas pelas agências reguladoras.

Com a utilização do *software* especialista (MENTOR GRAPHICS, 2006) é possível visualizar, através de simulações, o efeito do comprimento da trilha e executar alterações na mesma, caso seja necessário.

Para evitar um funcionamento errôneo, os PCI's são testados de acordo com as normas de IEM/CEM e devem apresentar características de emissão de interferência e susceptibilidade eletromagnéticas apropriadas para o tipo de equipamento. Após essa fase, o produto irá entrar na fase de fabricação.

É importante durante a fase de desenvolvimento de um projeto poder antecipar problemas que poderiam ocorrer nas fases finais do projeto. Os custos de re-projeto e nova

fabricação podem ser muito altos, afetando sensivelmente os prazos de entrega. Dada à complexidade dos equipamentos de Telecomunicações, o estudo analítico em termos de CEM pode ser impraticável, por isso faz-se necessário o uso de ferramentas de simulação. Vários tipos de simulação podem ser empregados, os mais utilizados são a simulação térmica e a de integridade de sinais (IS) que é relacionada para o estudo do comportamento da CEM.

Atualmente, os *softwares* de simulação de IS permitem que determinado modelo *Input/Output Bounded Information Specification* (IBIS) possa ser manipulado para gerar as curvas características baseadas em parâmetros, *i.e.*, palavras reservadas que permitem que o *software* possa interpretar o modelo (MENTOR GRAPHICS, 2006).

O modelo IBIS foi desenvolvido através das características de tensão e corrente da entrada e saída do componente (ROSS; HUQ; POWELL, 1996). Cada característica é analisada pelas suas condições típicas, mínimas e máximas.

O *software* utilizado neste trabalho possui modelos IBIS padrão que permite suporte à maior parte de componentes eletrônicos. Desse modo, os modelos podem ser gerados respeitando a faixa de operação aceitável, além de gerar resultados gráficos fornecendo uma visão abrangente da simulação.

Na realização desse trabalho utilizou-se uma PCI cedida de pela empresa Trópico Sistemas e Telecomunicações da Amazônia Ltda. Com essa PCI foi possível realizar os estudos de Integridade de Sinal e Compatibilidade Eletromagnética, através da simulação por *software*.

Esse estudo possibilitou a produção de três artigos aceitos e apresentados em congresso sendo que dois congressos foram internacionais, devidamente apresentados na bibliografia.

2 COMPATIBILIDADE ELETROMAGNÉTICA

2.1 INTRODUÇÃO À COMPATIBILIDADE ELETROMAGNÉTICA

A compatibilidade eletromagnética (CEM) em um sistema eletrônico é a capacidade do sistema em estudo de funcionar com outro sistema eletrônico e não produzir ou ser suscetível a interferência (OTT, 2009; PAUL, 2006).

Para o sistema ser eletromagneticamente compatível tem que satisfazer 3 critérios:

1. Não pode causar interferências em outros sistemas.
2. Não pode ser suscetível a emissões de outros sistemas.
3. Não pode causar interferência nele próprio.

Na Figura 1, os três aspectos do problema de CEM que formam a estrutura básica de qualquer projeto CEM.

Figura 1 - Decomposição básica de problemas de CEM.



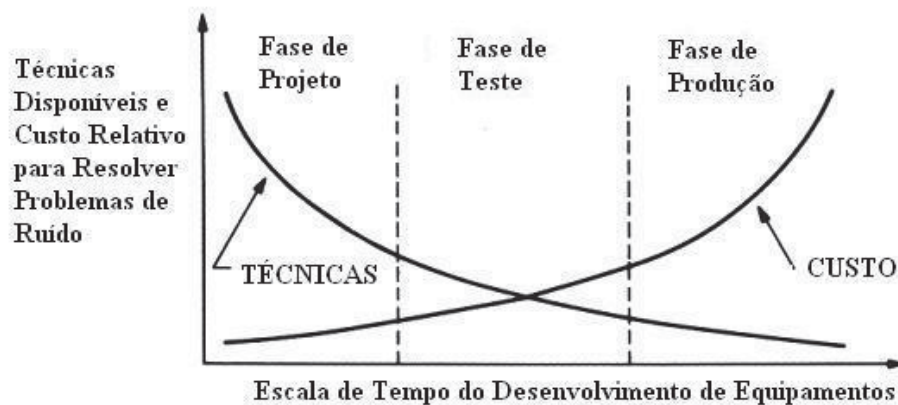
Fonte: Adaptado de Paul (2006).

Pode-se observar pela Figura 1 que a fonte produz emissão, o caminho de acoplamento transfere a energia de emissão onde a energia é processada resultando em um comportamento esperado ou inesperado. Tanto a fonte como o receptor podem ser classificados como intencional ou não intencional segundo o seu comportamento ou apresentar as duas características. Essas características são determinadas pelo caminho de acoplamento e também pelo tipo de fonte ou receptor.

O projeto de equipamentos baseados em todos os critérios de CEM é o ponto mais importante para evitar retrabalho e o alto custo para correção. Quando o projetista segue todos os critérios de projeto baseados em CEM, a probabilidade de acerto do projeto fica em torno de 90% (OTT, 2009).

Na Figura 2, tem-se um gráfico apresentando a relação do custo durante a fase de projeto seguindo as normas de CEM.

Figura 2 - Relação custo *versus* técnica utilizada na correção de um PCI.



Fonte: Adaptado de Ott (2009).

Podem-se citar algumas técnicas que são utilizadas amplamente para a concepção do projeto de um equipamento de acordo com as normas CEM. Algumas regras são: localização de componente, roteamento das trilhas, desacoplamento da placa, minimizar as áreas de *loop* do sinal de corrente, não localizar o circuito entre conectores, controlar o tempo de transição de sinais digitais e providenciar um plano terra sem interrupções para o retorno de sinais (HUBING, 2003; LUZ; SHINODA, 2010).

Os critérios tornam-se necessários para o projeto de equipamentos ou PCI, pois com a alta densidade de integração dos circuitos integrados (CI) e o aumento da frequência de operação dos circuitos digitais geram problemas de interferência eletromagnética (IEM) (PAUL, 2006).

Devido os efeitos do IEM em outros sistemas e aparelhos houve a necessidade de criar órgãos reguladores para que os aparelhos fossem classificados de acordo com suas características e finalidades (OTT, 2009; PAUL, 2006).

Os principais órgãos reguladores são FCC (EUA) e o CISPR (União Européia), e no caso do Brasil, a ANATEL.

Quanto ao tipo, os equipamentos podem ser enquadrados na classe A ou na B. Equipamentos de classe A pertencem à classe de aparelhos produzidos para o uso comercial, industrial ou ambientes de negócios, e os da classe B, para aparelhos produzidos para uso doméstico, não industrial e não comercial.

A intenção da classificação pelos órgãos regulamentadores consiste em limitar a poluição eletromagnética do meio ambiente para prevenir ou reduzir o número de casos de IEM.

A regulamentação força os fabricantes a adotarem medidas durante o processo de fabricação para que seus equipamentos estejam dentro da faixa permitida pelos órgãos regulamentadores para que possam ser comercializados em outros países.

2.1.1 Dimensão Elétrica

A dimensão elétrica é um conceito importante para entender efetivamente a CEM em circuito elétrico ou estrutura de radiação eletromagnética (intencional ou não intencional). Dentro desse conceito, o comprimento de onda é o meio pelo qual se pode mensurar a dimensão elétrica (PAUL, 2006).

O comprimento de onda representa a distância que uma componente senoidal deve percorrer até que a fase sofra uma mudança de 360° , repetindo a informação da onda.

A noção de dimensão elétrica é aplicada utilizando modelos de circuito concentrado e as Leis de Kirchhoff. Quando se assume o uso dos modelos concentrados, ignora-se a distribuição natural do campo eletromagnético em razão da corrente elétrica atravessar o circuito na velocidade da luz. No modelo de circuito concentrado a onda que percorre o circuito tem um tempo de atraso dado pela Equação 1

$$T_D = \frac{\zeta}{\nu} \text{ (s)} \quad (1).$$

onde ζ é o comprimento total do circuito, ν a velocidade da luz e T_D o tempo de atraso. Com a velocidade atual da frequência de operação de *clock*, o atraso de propagação pode ocasionar problema na lógica digital com relação aos tempos de subida e descida do sinal digital, impactando drasticamente a integridade do sinal.

Associando o comprimento λ de onda com o deslocamento de fase que é a distância que a onda deve percorrer para mudar a fase de 2π radianos, o comprimento de onda pode ser escrito como a Equação 2

$$\lambda = \frac{\nu}{f} \text{ (m)} \quad (2).$$

onde f é a frequência. O aumento da frequência decorre na diminuição do comprimento de onda.

Para a correta caracterização de circuito de acordo com as leis de corrente e tensão de Kirchhoff (modelo de circuito concentrado) o projetista deve-se basear nas Equações 1 e 2, desde que haja uma relação na qual $\zeta < \frac{1}{10} \lambda$ (PAUL, 2006), caracterizando o circuito como eletricamente pequeno. Assim, o deslocamento de fase como a onda propagada através do circuito pode ser ignorada, desde que a dimensão do circuito seja muito menor do que o comprimento de onda da frequência de excitação do circuito de fonte.

Por meio desse conceito, pode-se caracterizar o circuito como eletricamente pequeno utilizando-se modelos de parâmetros concentrados como uma adequada representação de um circuito físico.

2.2 REQUISITOS PARA CEM

Existem duas classes de requisitos para CEM que são impostas a sistemas eletrônicos

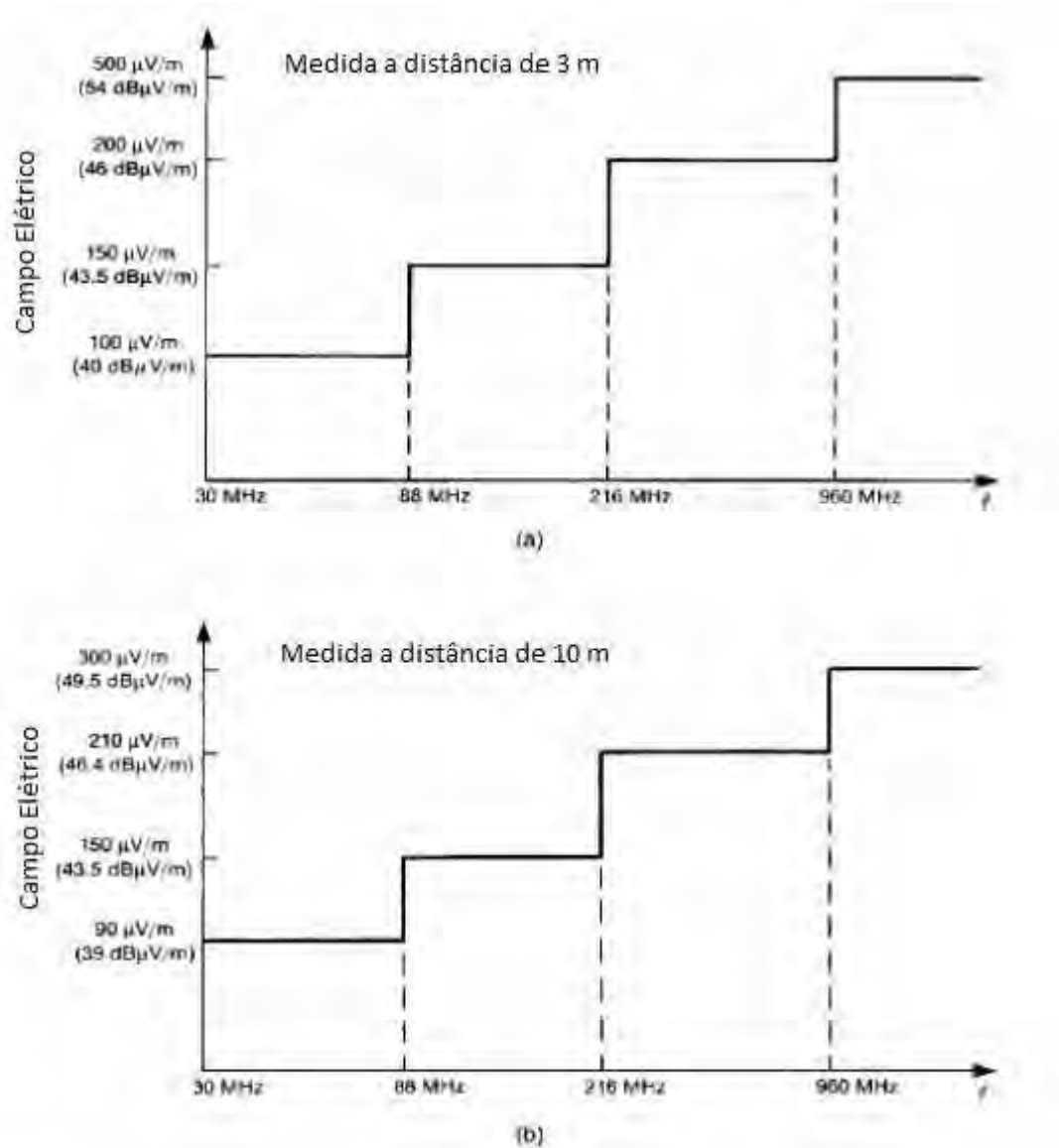
- Requisitos impostos por agências do governo;
- Requisitos impostos pelos fabricantes de produtos.

Os requisitos impostos por agências de governo são respaldados pelas agências e não podem ser dispensados, pois são impostos para minimizar os efeitos de interferência produzidos pelos produtos. Evita-se assim a poluição eletromagnética que produtos sem regulamentação podem causar. Os requisitos impostos por fabricantes visam obter a satisfação do cliente e garantir a qualidade.

Na Figura 3 os limites de emissão de radiação padrão FCC: (a) Classe B; (b) Classe A.

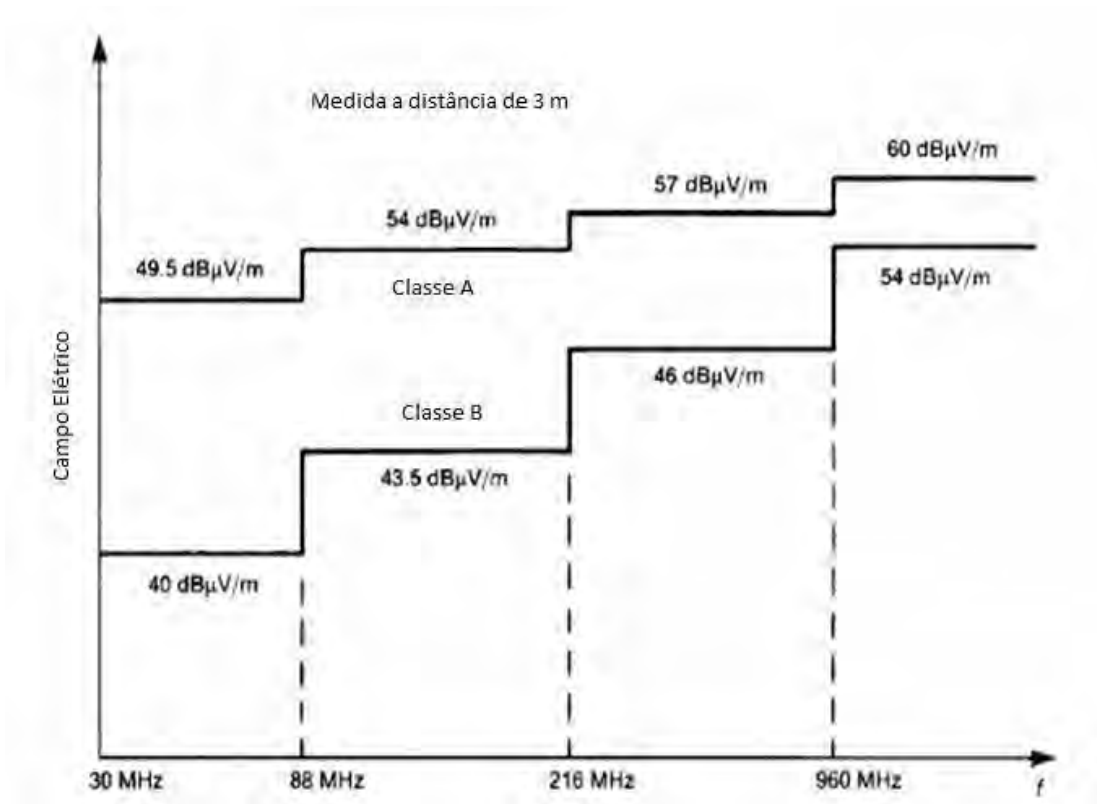
As medições em 3 e 10 metros se baseiam na utilização de uma antena polarizada horizontal a 1m do plano de terra e verticalmente elevada do plano de terra a 4 metros. As medições em 3 metros para a Classe B são impostas devido à proximidade entre aparelhos dentro de uma residência o que por sua vez aumenta as fontes de interferência e susceptibilidade. Na Figura 4 observa-se a comparação entre o padrão FCC Classe A e Classe B medidos à distância de 3 metros.

Figura 3 - Limites de emissão de radiação do padrão FCC: (a) Classe B; (b) Classe A.



Fonte: Adaptado de Paul (2006).

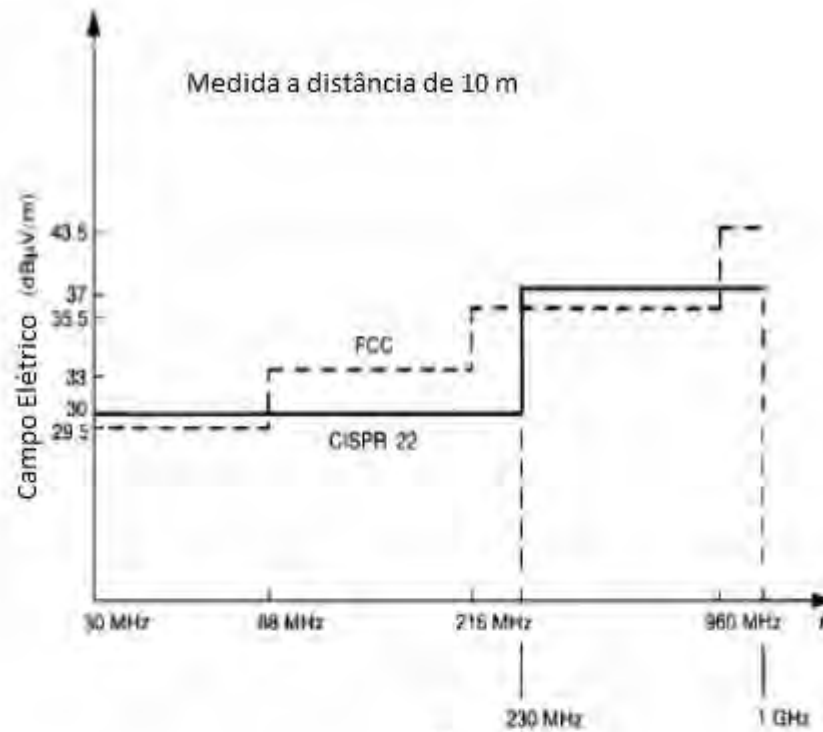
Figura 4 - Comparação dos limites de emissão de radiação do padrão FCC Classe A e B medidos a 3 metros.



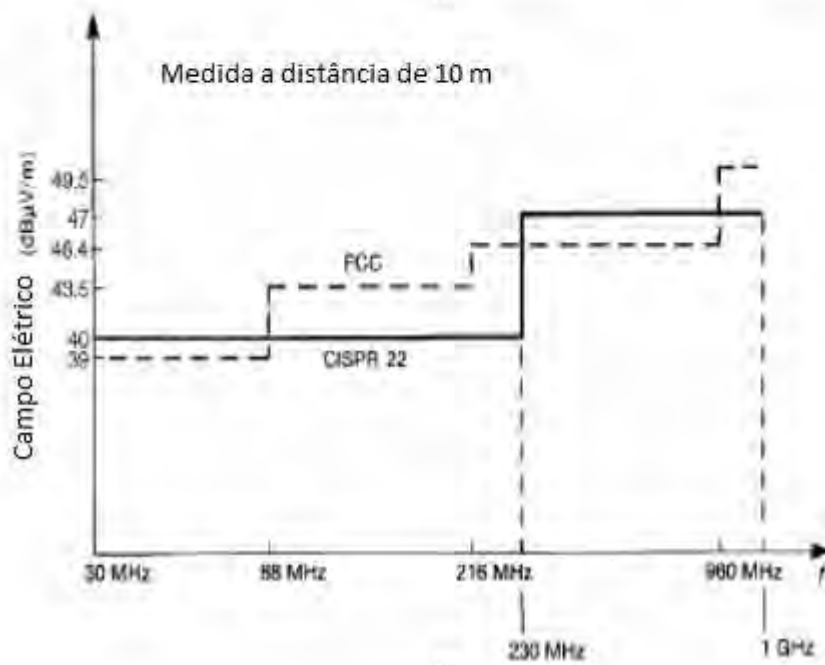
Fonte: Adaptado de Paul (2006).

Para o padrão CISPR, todas as medições para Classe A e B são feitas em 10 metros. O padrão CISPR possui tolerâncias menores que o padrão FCC para ambas as classes, na faixa de frequência entre 88 a 230 MHz e acima de 960 MHz. Na Figura 5, o comparativo entre os dois padrões medidos à distância de 10 metros.

Figura 5 - Limite de emissão de radiação do padrão CISPR22 comparados com o padrão FCC: (a) Classe B; (b) Classe A.



(a)



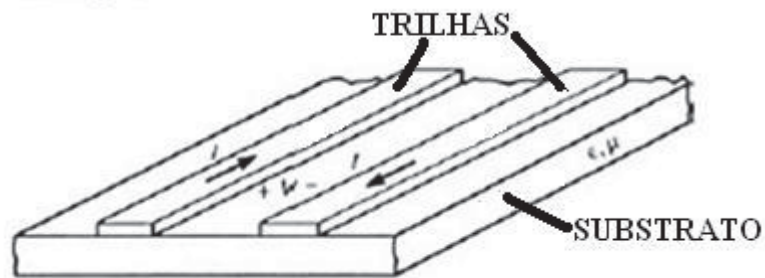
(b)

Fonte: Adaptado de Paul (2006).

2.3 INTEGRIDADE DE SINAL E LINHA DE TRANSMISSÃO

Na concepção do PCI as trilhas são analisadas como uma linha de transmissão. Onde linha de transmissão, em sua definição, é um par de condutores paralelos por onde sinais digitais ou analógicos são enviados de um ponto a outro. Na Figura 6, um exemplo de PCI.

Figura 6 - Modelo típico de PCI.



Fonte: Adaptado de Paul (2006).

Com o aumento da velocidade do *clock* e a taxa de dados aumentando significativamente existe a preocupação com a qualidade de transmissão dos sinais e, por conseguinte, melhorar o desempenho da trilha de transmissão do PCI. Para verificar o desempenho e qualidade da transmissão faz-se necessário utilizar as técnicas de IS. A IS assegura que as formas de ondas da entrada e a da saída da linha sejam idênticas ou aproximadas.

O tempo de atraso imposto ao sinal é um efeito verificado quando o sinal é propagado de um ponto a outro. O tempo de atraso é o resultado das características da linha de transmissão onde o sinal viajará de acordo com a velocidade de propagação imposta pelo material da trilha e também pelo dielétrico do substrato.

Outro efeito causado é a reflexão devido à impedância característica Z_C . Na reflexão, parte do sinal transmitido pela linha retorna para a fonte degradando a IS pelo descasamento de impedância da linha (JOHN, 1997; LUZ; SHINODA, 2011a). Desse modo, pode-se causar um funcionamento inadequado em componentes, subsistemas e no próprio sistema.

A impedância característica é dada pela Equação 3

$$Z_C = \sqrt{\frac{L}{C}} \text{ (}\Omega\text{)} \quad (3)$$

onde L é a indutância por unidade de comprimento e C é a capacitância por unidade de comprimento.

De acordo com a Equação 1 e como o material utilizado na PCI, como por exemplo, FR-4 (vidro epóxi) pode-se estimar o tempo de atraso de sinal. Por conseguinte, estimar a velocidade de propagação de acordo com a impedância característica Z_C .

A velocidade de propagação v pode ser escrita conforme a Equação 4

$$v = \frac{1}{\sqrt{Lc}} \text{ (m/s)} \quad (4).$$

Manipulando as Equações 3 e 4 pode-se reescrever a indutância e a capacitância por unidade de comprimento em termos da impedância própria e da velocidade de propagação conforme as Equações 5 e 6

$$L = \frac{Z_C}{v} \quad (5),$$

$$C = \frac{1}{vZ_C} \quad (6).$$

Os dois parâmetros L e C , calculados por unidade de comprimento são obtidos por métodos numéricos ou por mapeamento (CUI; ZHANG, 2008), sendo necessário trabalhar o comprimento e o espaçamento das trilhas, conceitos esses da etapa inicial do projeto. Evitam-se assim problemas de CEM e IS.

3 INTERFERÊNCIA ELETROMAGNÉTICA

3.1 INTRODUÇÃO À INTERFERÊNCIA ELETROMAGNÉTICA

Interferência eletromagnética (IEM) é uma interferência elétrica gerada por um aparelho ou sistema causando um funcionamento inadequado em outro aparelho ou sistema.

A distinção fundamental na IEM ocorre entre interferência conduzida e irradiada. Interferência conduzida ocorre através de uma via direta de condução entre o emissor e receptor. Interferência irradiada resulta da transferência de energia eletromagnética através de um caminho de radiação (KODALI, 2001; LENK, 1998).

A interferência irradiada pode ser prevenida, se durante o projeto forem executados os seguintes procedimentos:

- Fixação de dispositivos de chaveamento para o condutor terra;
- Emparelhamento dos cabos ou trilhas que saem do componente ao lado do retorno para o condutor terra.

Para o projetista cumprir com êxito as duas características, há a necessidade de criar uma proteção que envolva o sistema ou o aparelho, corrigindo os problemas de interferência irradiada. Controlando a interferência irradiada através da proteção pelo invólucro metálico tem-se como minimizar a interferência conduzida pelo sistema.

O controle da interferência conduzida pelo sistema é baseado na inserção de filtros nas trilhas de sinal, começando pelas trilhas de alta velocidade (JOHN, 1990; LENK, 1998; LUZ; SHINODA, 2011b).

3.2 FONTES DE IEM

Qualquer circuito, sistema ou aparelho pode gerar IEM, podendo-se identificar alguns tipos:

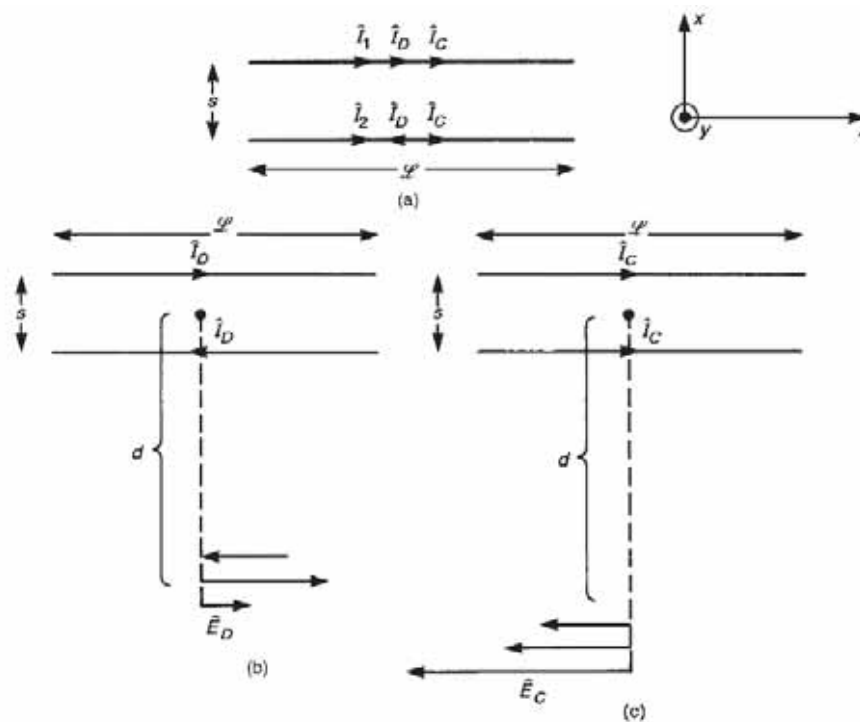
- IEM gerada por chaveamentos em circuitos;
- IEM gerada por amplificadores em circuitos;
- Mecanismos de acoplamento de IEM em linhas de transmissão de sinais ou potência;

- Acoplamento de interferência irradiada em linhas de transmissão de sinal ou potência.

Pode-se concluir que as interferências de condução e de irradiação são os principais meios de IEM (KODALI, 2001).

A interferência de irradiação pode ser analisada através do estudo da corrente diferencial e da corrente modo comum. Considerando um par de condutores independentes paralelos de comprimento $\mathcal{L}$ e separação s conforme a Figura 7.

Figura 7 - (a) Decomposição da corrente em componentes de modo diferencial e modo comum, (b) emissão irradiada da corrente de modo diferencial e (c) emissão irradiada da corrente de modo comum.



Fonte: Paul (2006)

Os condutores são colocados no plano xz e em paralelo com o eixo z . Os fasores de correntes $\hat{I}_1$ e $\hat{I}_2$ estão na mesma direção. Assim podem-se decompor as correntes em modo diferencial e modo comum conforme as Equações 7 e 8

$$\hat{I}_1 = \hat{I}_C + \hat{I}_D \quad (7),$$

$$\hat{I}_2 = \hat{I}_C - \hat{I}_D \quad (8).$$

Reescrevendo as Equações 7 e 8 em modo diferencial e modo comum tem-se as Equações 9 e 10, respectivamente:

$$\hat{I}_D = \frac{\hat{I}_1 - \hat{I}_2}{2} \quad (9),$$

$$\hat{I}_C = \frac{\hat{I}_1 + \hat{I}_2}{2} \quad (10).$$

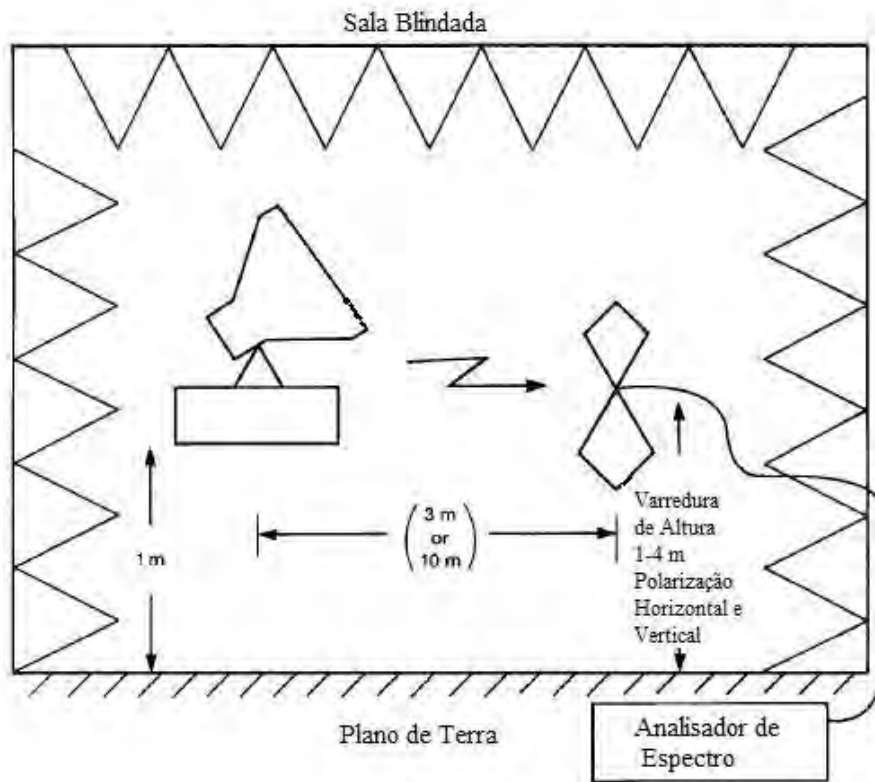
De acordo com as equações 9 e 10 e a Figura 7, a corrente de modo comum produz maior campo elétrico, pois ambos os campos gerados pelos condutores a uma distância d se somam na mesma direção, Figura 7 b. No caso, da corrente em modo diferencial, o campo elétrico produzido a uma distância d é reduzido, Figura 7 c. Desse modo, temos que a interferência irradiada é menor quando se utiliza a configuração da corrente no modo diferencial.

Para os PCI a radiação gerada pela corrente de modo comum funciona como frequência de ressonância de uma antena IEM. Para evitar o efeito da corrente de modo comum o comprimento do condutor ou trilha deve ser suficientemente pequeno, e a distribuição de corrente tem que ser constante ao longo da linha (KAYANO et al., 2004; KODALI, 2001).

3.3 MEDIÇÕES E CORREÇÕES DA IEM

As medições de interferência eletromagnética são feitas em câmara anecóica, que é provida de alta isolamento física evitando interferência de ambientes eletromagnéticos externos, para obter medidas altamente sensíveis para sinais de nível muito baixo. Dentro da câmara são posicionadas antenas que captam as interferências do equipamento em teste e as informações são transmitidas aos instrumentos de medição. Na Figura 8 ilustra-se um exemplo de uma câmara anecóica.

Figura 8 - Exemplo de uma câmara anecóica.



Fonte: Adaptado de Paul (2006).

A câmara anecóica consiste em uma estrutura metálica cercada por paredes blindadas. Dentro, ela possui material que absorve micro-ondas. Usualmente, o material utilizado é a espuma de poliuretano impregnado de carbono com formato de pirâmide, evitando as reflexões das emissões irradiadas.

As correções adotadas para a redução dos efeitos da IEM se baseiam em aplicações de filtros nas linhas de sinal além de soluções em *layout* e *design* do aspecto físico (KODALI, 2001). Essas técnicas permitem que o chaveamento dos componentes altamente velozes não transmita ao resto do sistema a interferência proveniente, quando o sinal tenda a zero.

Outro aspecto importante consiste no conceito de *layout*, no qual deve-se separar o retorno do sinal do terra de alimentação evitando o aumento da área de *loop* da corrente, e também, o funcionamento inadequado dos componentes ligados na trilha de sinal.

4 MODELO IBIS

4.1 INTRODUÇÃO AO MODELO IBIS

O modelo IBIS (*I/O Buffer Information Specification*) é uma norma para descrever o comportamento analógico do *buffer* de dispositivos digitais usando dados formatados no padrão de texto ASCII (MURANYI, 2000).

Arquivos IBIS não são realmente modelos, o arquivo contém os dados que serão utilizados por algoritmos e ferramentas de simulação.

O modelo IBIS, por usar dados de *datasheet* do CI, mantém as informações do fabricante em sigilo, ao contrário do modelo SPICE (*Simulation Program with Integrated Circuit Emphasis*). Com isso, o modelo IBIS tornou-se popular entre os fornecedores de ferramentas de EDA (*Electronic Design Automation*) durante a década de 1990 (SELLI; DIBENE, 2006).

Os dados de um modelo IBIS são utilizados para construir um modelo útil de *buffer* para a realização de simulações de IS em um PCI. As informações necessárias para executar as simulações são a curva I-V do *buffer* (corrente *versus* tensão) e a característica de chaveamento V-t (tensão de saída *versus* tempo) (MIRMAK, 2005).

Em geral, um *buffer* de saída ou I/O é caracterizado da seguinte forma:

- A característica I-V do *buffer* de saída quando a saída está no estado lógico baixo;
- A característica I-V do *buffer* de saída quando a saída está no estado lógico alto;
- A característica I-V do *buffer* de saída quando a saída é forçada abaixo do zero e acima do limite da tensão;
- O tempo que a saída do *buffer* gasta para mudar de estados lógicos (*i.e.*, de estado alto a baixo ou estado baixo a alto).

Para um *buffer* de entrada as informações se reduzem a:

- A característica I-V do *buffer*;
- A capacitância do *buffer*.

O arquivo do modelo IBIS se baseia em “palavras-chave” apresentadas entre colchetes que por sua vez são seguidos por parâmetros ou tabelas de dados. Um arquivo IBIS válido deve conter no mínimo as seguintes palavras-chave e dados:

- Informações sobre o próprio arquivo e o nome do componente que está sendo modelado. Esta informação está contida sob as palavras-chave [IBIS Ver], [Nome do arquivo], [Versão do Arquivo], [Componente] e [Fabricante];
- As informações sobre características elétricas do encapsulamento e o pino para o mapeamento do modelo do *buffer*. Esta informação é incluída nas palavras-chave [Encapsulamento] e [Pino];
- Os dados necessários para cada modelo de entrada, saída e I/O do *buffer* são únicos para cada componente. A palavra-chave [Modelo] apresenta o conjunto de dados para cada buffer. Estes são caracterizados por seus comportamentos I-V e as características de comutação. A inclusão destas informações dá-se pelas palavras-chave [Pullup], [Pulldown], [GND Clamp], [Power Clamp] e [Rampa];
- Os parâmetros necessários para especificar o tipo de palavra-chave de um modelo incluem ainda (Entrada, Saída, I/O, Dreno Aberto, etc) e sua entrada ou capacitância de saída.

Na Tabela 1- abaixo ilustra-se um exemplo da estruturação de um modelo IBIS.

Tabela 1 - Estruturação de um modelo IBIS

Palavras-Chave	Exigido	Descrição
[IBIS Ver]	Sim	Versão do modelo
[Nome do arquivo]	Sim	Nome do arquivo
[Versão do Arquivo]	Sim	Versão do arquivo
[Componente]	Sim	Nome do componente
[Fabricante]	Sim	Fabricante do componente
[Encapsulamento]	Não	Característica do encapsulamento
[Pino]	Não	Quantidade e nome dos pinos
[Pullup]	Sim	Tabela de dados com as características I-V
[Pulldown]	Sim	Tabela de dados com as características I-V
[GND Clamp]	Sim	Tabela de dados com as características I-V
[Power Clamp]	Sim	Tabela de dados com as características I-V
[Rampa]	Sim	Tabela de dados com as características I-V

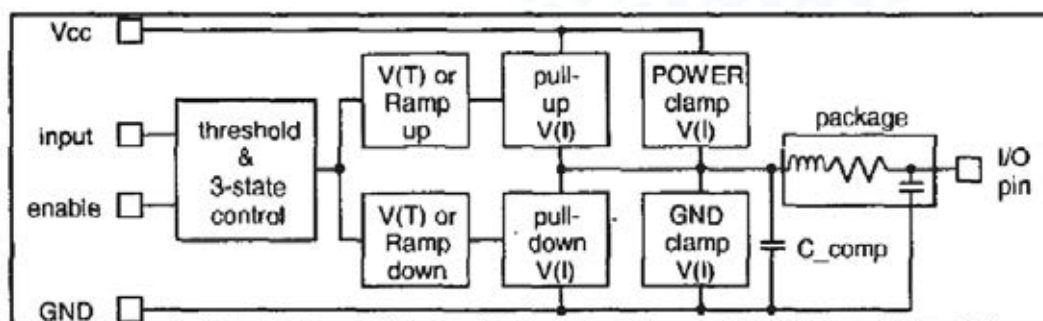
Fonte: Elaboração do próprio autor.

4.2 GERANDO MODELOS

Para gerar um modelo IBIS, podem-se utilizar três métodos:

- Medição;
- Conversão do modelo SPICE;
- Construir o modelo baseado em componentes disponíveis pela *web*.

Na Figura 9 - observa-se a estrutura do *buffer* (MIRMAK, 2005).

Figura 9 - Estrutura do *buffer* usado no modelo IBIS.

Fonte: Mirmak (2005)

A partir da Figura 9, pode-se caracterizar o *buffer* seguindo a descrição abaixo:

- Caracterização estática segundo as características $V(I)$;
- Caracterização dinâmica segundo as características $V(t)$;
- Elementos parasitas do encapsulamento ligado ao *buffer*.

4.2.1 A curva $V(I)$

Basicamente a curva $V(I)$ de um modelo IBIS é composta por 4 curvas de descrição:

- Uma para o *Pullup* do transistor;
- Uma para o *Pulldown* do transistor;
- Uma para o *Power clamping* do diodo;
- Uma para o *Gnd clamping* do diodo.

A aquisição de dados para a curva $V(I)$ se baseia na variação da tensão de entrada para medir a corrente I no *buffer*. Na Tabela 2 apresenta-se a variação da tensão para o *buffer*.

Tabela 2 – Variação da tensão no *buffer*.

Curva $V(I)$	Especificação do Intervalo Mínimo	Intervalo Recomendado
[GND Clamp]	-Vcc a Vcc (referência terra)	-Vcc a 2*Vcc
[Power Clamp]	0 a -Vcc (referência Vcc)	-Vcc a 2*Vcc
[Pulldown]	-Vcc a 2*Vcc (referência terra)	-Vcc a 2*Vcc
[Pullup]	-Vcc a 2*Vcc (referência Vcc)	-Vcc a 2*Vcc

Fonte: Elaboração do próprio autor.

No caso experimental, os intervalos de medição devem ser adaptados à tecnologia do componente para que as medidas não sofram distorções ocasionadas pelo excesso de tensão, que pode ser destrutivo para o componente.

4.2.2 A Curva $V(t)$

Basicamente, a curva $V(t)$ de um modelo IBIS é composta por 4 curvas de descrição:

- Uma para o chaveamento de subida referenciada ao Vcc;

- Uma para o chaveamento de subida referenciada ao Gnd;
- Uma para o chaveamento de descida referenciada ao Vcc;
- Uma para o chaveamento de descida referenciada ao Gnd.

Para a correta medição, o componente deve estar devidamente ligado, de tal forma que o *buffer* de saída possa operar chaveando de estado lógico alto para baixo, ou de estado lógico baixo para alto. Uma forma prática de garantir o chaveamento correto é utilizar um gerador de pulsos de modo a garantir que o componente trabalhe corretamente.

4.2.3 Elementos Parasitas do Encapsulamento

Os elementos parasitas do encapsulamento são descritos pela indutância L , a capacitância C e a resistência R . Estes elementos estão presentes em todos os pinos do encapsulamento.

Os elementos têm um valor muito pequeno (na ordem de 1pF para capacitância, 1nH para indutância e 1m Ω para resistência), experimentalmente (ZAK et al., 2000).

O procedimento mais utilizado consiste em medir o PCI, com e sem os componentes na trilha, por meio de um analisador de impedância.

Todas as medidas são baseadas pelo *datasheet* do componente, de forma a respeitar os tempos de chaveamento e a caracterização correta do *buffer*. Porém, o comportamento do modelo pode apresentar uma interpretação inexata em decorrência das diferenças entre os componentes no lote de fabricação (VARMA; STEER; FRAZON, 2008).

4.2.4 Conversão de Modelos SPICE e Modelos da Web

O modelo IBIS pode ser convertido a partir de um modelo SPICE usando as ferramentas de simulação como, por exemplo, o *software* ELDO (MENTOR GRAPHICS, 2010).

O *software* permite um controle flexível da precisão da simulação, usando uma grande variedade de bibliotecas de modelos dos dispositivos, combinando soluções de alto desempenho com alta velocidade.

Devido à dificuldade de gerar modelos IBIS por causa dos seus parâmetros internos, alguns fabricantes disponibilizam os modelos IBIS nos seus *sites*. Através dos *websites*

www.eigroup.org/ibis e www.eda.org/ibis encontra-se uma lista de modelos IBIS disponíveis para utilização.

4.3 PRECISÃO DO MODELO E VERIFICAÇÃO

O passo final na modelagem é verificar os modelos de simulação em relação aos dados de *hardware*. A verificação compara a simulação do modelo com os dados de teste de *hardware*. Comparações devem levar em conta todos os efeitos de teste de circuitos, tais como ponta de prova e sistema de distribuição de energia, bem como tolerâncias e descontinuidades.

A verificação pode ser feita em um modelo único ou contra outros modelos dentro de um *design*. Esta metodologia de verificação pode ser usada para modelos SPICE e IBIS (LEVENTHAL; GREEN, 2010).

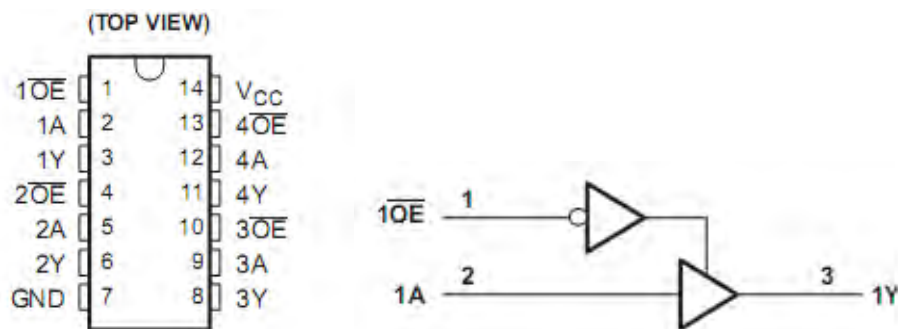
Os modelos iniciam-se a partir da retirada de um componente do lote de fabricação, e a elaboração de um quadro até a verificação de todos os dados coletados. Devido às variações sofridas durante a fabricação do componente utilizam-se ferramentas de distribuição estatística para validar a construção e a veracidade dos testes. O processo citado é menos oneroso se comparado ao custo de um PCI com seus CIs encapsulados.

5 RESULTADOS

5.1 ESTUDO DO MODELO IBIS

O modelo IBIS estudado foi baseado no CI 74LVC125 (*Quadruple Bus Buffer Gate With 3-State Outputs*) conforme a Figura 10 (EDLUND, 2008).

Figura 10 - CI 74LVC125 à esquerda e à direita o modelo utilizado.

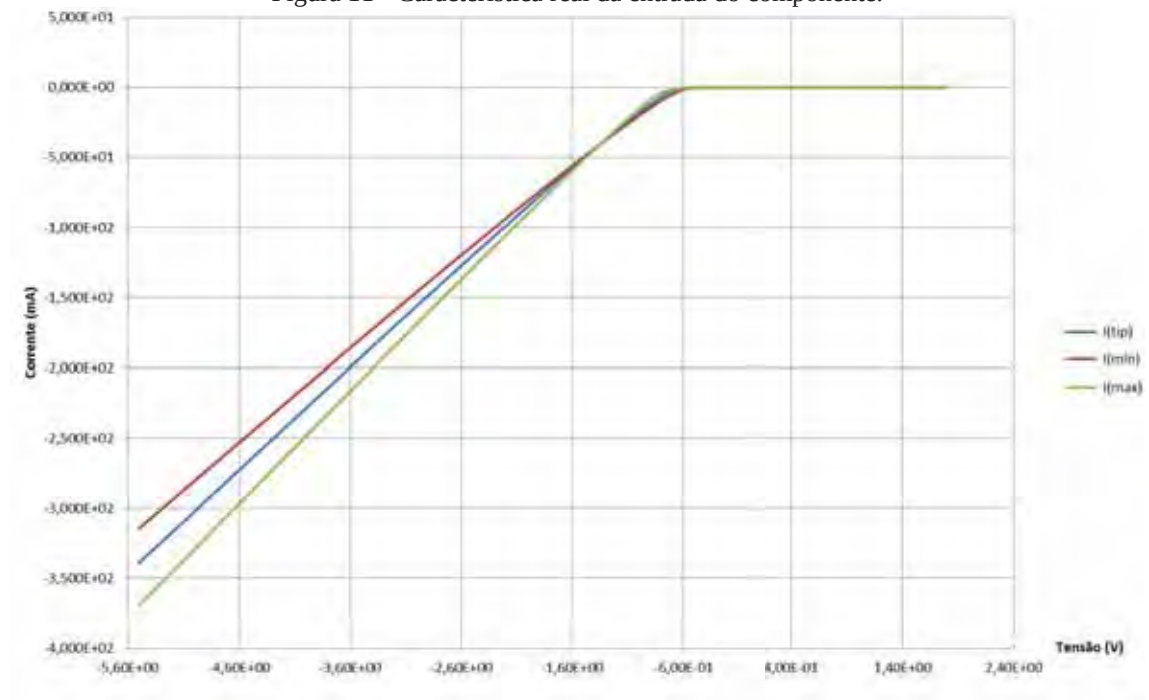


Fonte: Edlund (2008)

Para verificar a eficácia do modelo realizou-se um comparativo entre três possibilidades: o arquivo IBIS verdadeiro do componente, um modelo exemplo (EDLUND, 2008) e a construção através de *datasheet* com o *software* Hyperlynx (MENTOR GRAPHICS, 2006). Todos os modelos estão disponíveis no Apêndice A. Na Figura 11, Figura 12 e Figura 13 apresentam-se os padrões obtidos para o teste no pino de entrada, respectivamente.

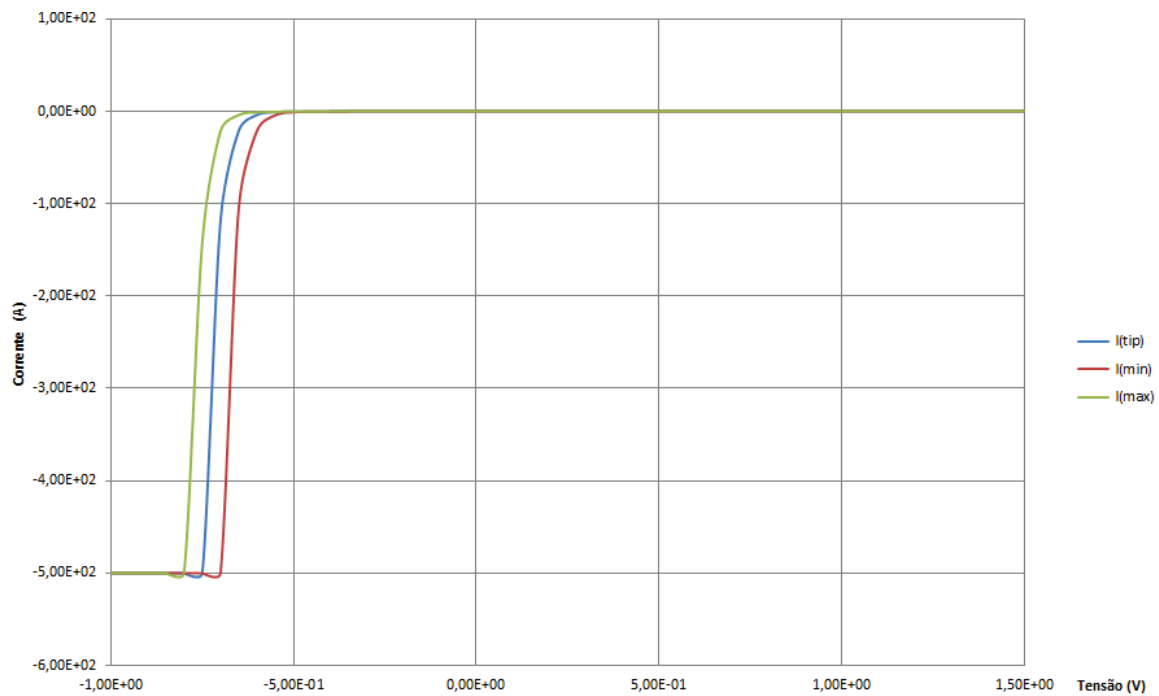
No gráfico estão representadas as características da corrente típica, mínima e máxima. Representadas por $I(\text{tip})$, $I(\text{min})$ e $I(\text{max})$.

Figura 11 - Característica real da entrada do componente.



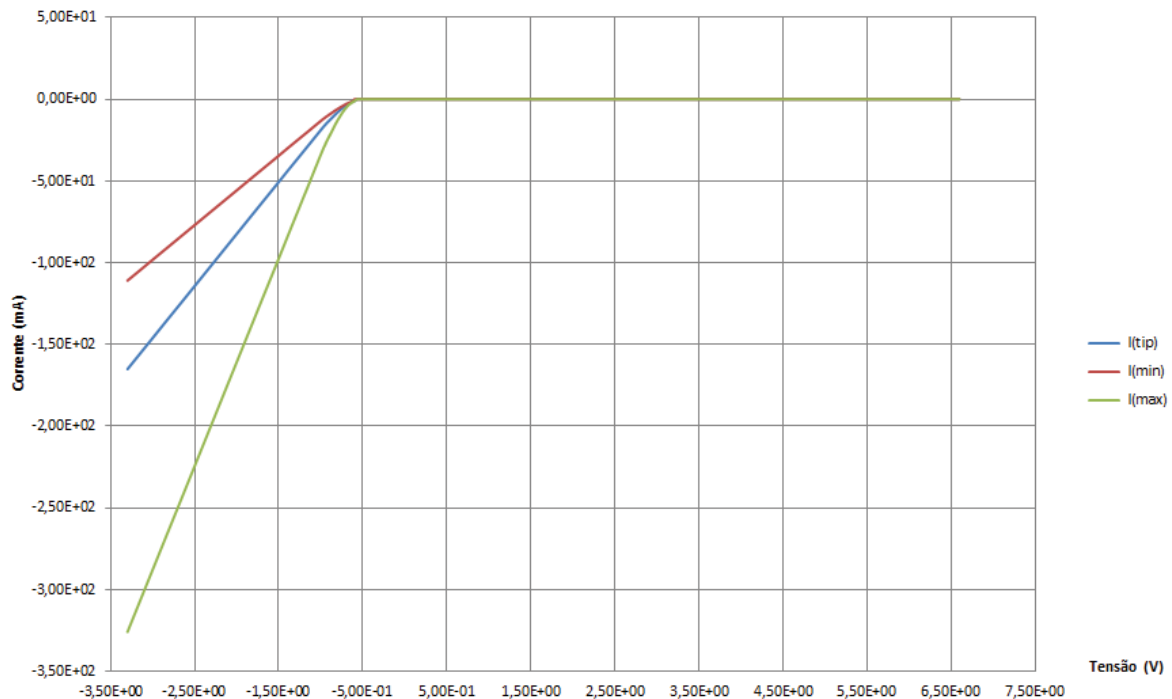
Fonte: Elaboração do próprio autor.

Figura 12 - Característica da entrada do arquivo modelo.



Fonte: Elaboração do próprio autor.

Figura 13 - Característica da entrada obtida por simulação em *software*.



Fonte: Elaboração do próprio autor.

5.1.1 Conclusão

Para o CI utilizado, pode-se analisar através das Figuras, que a aproximação por *software* (Figura 13) alimentada com os dados do *datasheet* apresenta melhores resultados se comparados com o verdadeiro modelo IBIS (Figura 11). Mas, a descrição fica prejudicada pela falta de dados no começo da simulação. Com relação ao exemplo do arquivo modelo (Figura 12), o resultado gerado pelo *software* é muito superior ao do modelo.

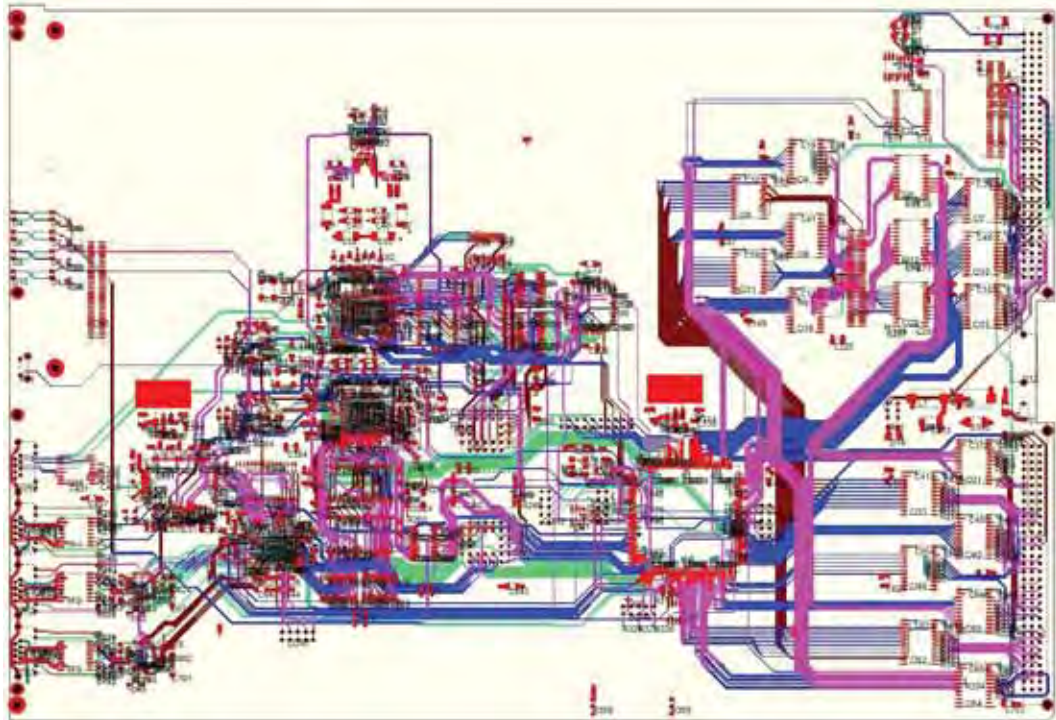
Os gráficos obtidos por simulação através do programa ICX e pelo modelo idealizado no estudo são muitos discrepantes com relação ao verdadeiro modelo IBIS, devido à falta de dados de tensão e corrente além do teste não prever as condições impostas pelos fabricantes durante a confecção do modelo.

Contudo, a simulação através do *software* é uma ferramenta utilizada quando determinado modelo IBIS não se encontra disponível através do fabricante.

5.2 PLACA ESTUDADA

A PCI utilizada neste trabalho foi extraída de uma central telefônica. Na Figura 14 tem-se o *layout* da PCI em análise.

Figura 14 - *Layout* da PCI.



Fonte: Elaboração do próprio autor.

A PCI é composta por camadas alternando-se isolamento e trilhas de cobre, através do *stackup*, por onde são transmitidos os sinais digitais, de tensão e os retornos, conforme a Figura 15.

A Figura 16 representa todos os parâmetros presentes na placa analisados pelo *software*, que podem ser combinados de modo a atender as normas da CEM, para analisar melhor a disposição do *stackup* da placa.

5.3 ESTUDO DA CEM E DA IS

O estudo da CEM e da IS durante a execução do trabalho teve por objetivo propor modificações de projeto da placa da Figura 14.

Devido os equacionamentos de CEM baseados nas equações de Maxwell para o eletromagnetismo despendem muito tempo e esforço computacional (PAUL, 2006), há a necessidade da utilização de ferramentas computacionais, neste caso, *softwares* especialistas.

O *software* especialista utiliza algoritmos que fornecem um bom equilíbrio entre técnicas que utilizam alto esforço computacional com métodos quantitativos. Deste modo, as simulações realizadas para a execução do trabalho foram delimitadas a algumas trilhas.

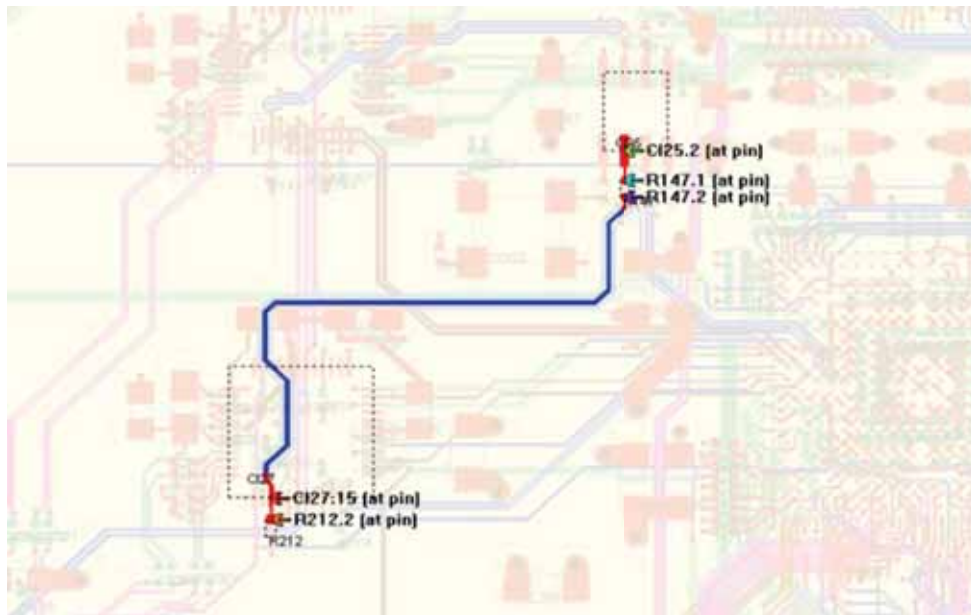
5.3.1 Estudo de Comprimento de Trilha

O comprimento da trilha em um PCI tem um aspecto importante no estudo CEM. Trilhas muito extensas possuem um alto valor de impedância própria, que por sua vez, afetam a qualidade de transmissão do sinal gerando alto nível de interferência que ultrapassa as faixas de radiação estabelecidas pelas agências reguladoras.

As simulações realizadas basearam-se na trilha de maior comprimento, considerada um caso crítico. Para evidenciar o efeito da IS e o comportamento da CEM na trilha mais longa, simulações foram feitas com uma trilha intermediária e uma de menor comprimento para a comparação dos efeitos entre os diferentes comprimentos de trilha.

A trilha apresentada na Figura 17, a qual é a menor trilha estudada, possui comprimento de 17,8 mm e largura fixa de 8 mils. É composta pelo CI KSZ8041 da família Micrel (CI 27) localizado na parte inferior da figura, e o dispositivo CMOS da família 74LCT2524 (CI 25), na parte superior.

Figura 17 -Trilha de menor comprimento.

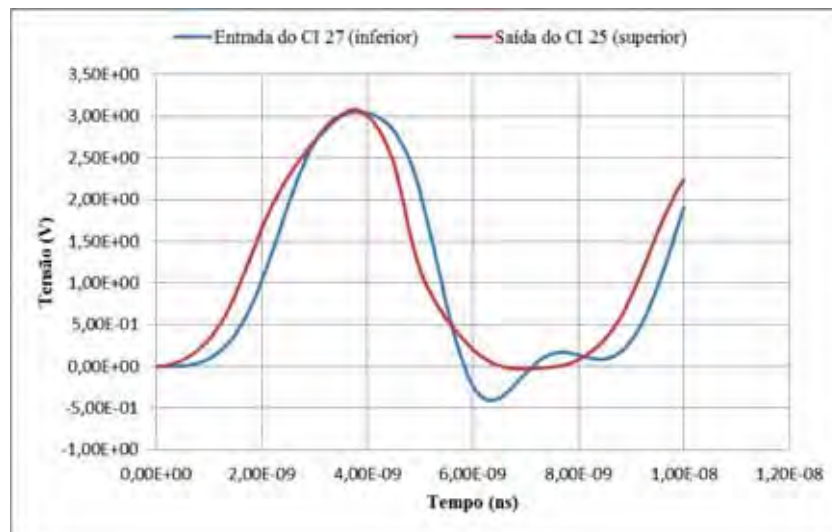


Fonte: Elaboração do próprio autor.

Na Figura 18 a frequência de estímulo aplicada na trilha é de 133 MHz e a 49% do ciclo, evitando-se a repetição dos mesmos dados. Observa-se a característica da IS do sinal, onde a curva vermelha é a curva na saída do CI 25 da Figura 17 e o sinal azul, a forma de onda que chega no CI 27, na parte inferior. A forma de onda azul apresenta oscilações que a deformam com relação à forma de onda vermelha. Isto se deve a característica da impedância própria da trilha e ao descasamento de impedância na trilha.

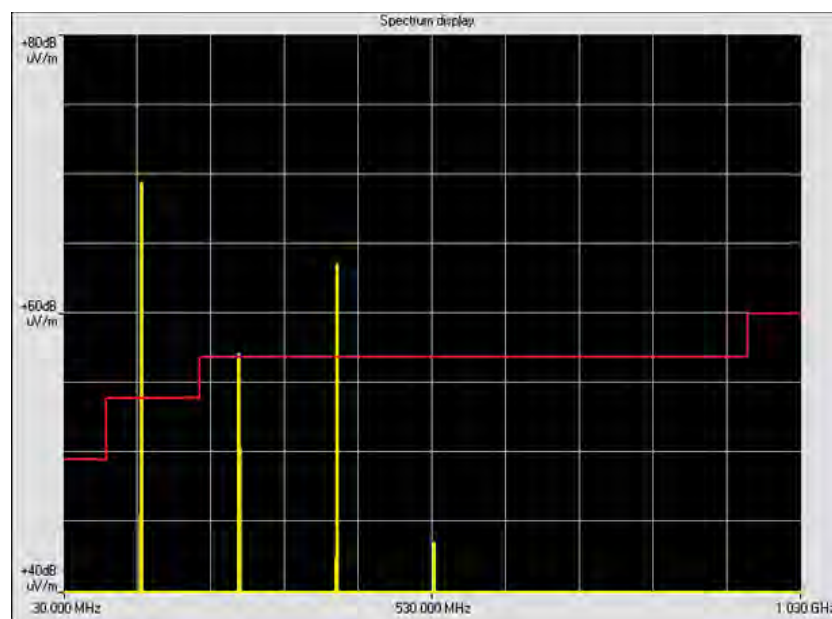
A Figura 19 mostra o resultado da simulação do padrão FCC Classe A na trilha. A distância entre a placa e a antena é de 3 m e a frequência de operação do teste é 133 MHz. A curva vermelha é a máscara FCC Classe A, onde os níveis irradiados da placa devem estar abaixo da máscara exceto a frequência de operação do teste.

Figura 18 - Característica da IS da trilha menor.



Fonte: Elaboração do próprio autor.

Figura 19 – Análise do Espectro da trilha menor.

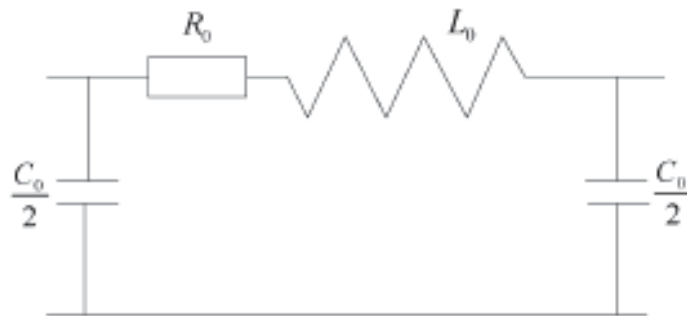


Fonte: Elaboração do próprio autor.

Com o auxílio de uma ferramenta interna do *software* é possível fazer correções no valor da impedância da trilha ou adicionar um filtro para melhorar o desempenho da mesma. Para que a inserção de um filtro na trilha em análise seja satisfatória, é necessário analisar a IS através do resultado da simulação.

A inserção de filtros passivos baseia-se no modelo de linha de transmissão, sendo que na Figura 20 apresenta-se um exemplo do modelo de linha de transmissão empregado pelo *software*.

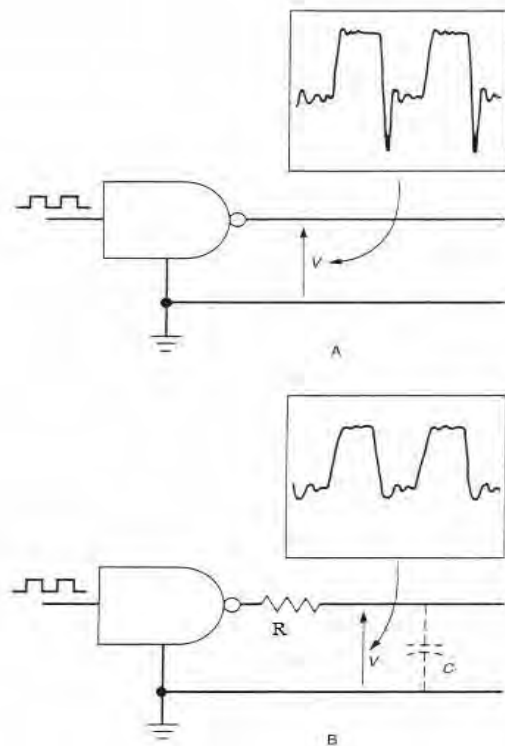
Figura 20 - Modelo da linha de transmissão.



Fonte: Elaboração do próprio autor.

A ferramenta interna do *software* altera a impedância da trilha e melhora a qualidade do sinal de saída baseado na inserção de um filtro simples, conforme Figura 21.

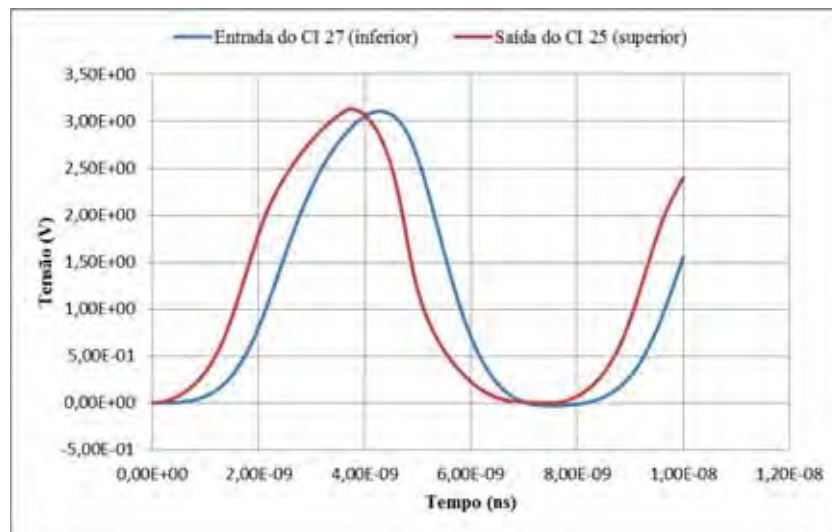
Figura 21 - Forma de onda da tensão de saída (a) causada pela indutância de terra, (b) oscilação atenuada utilizando um filtro resistivo capacitivo.



Fonte: Adaptado de Ott (2009).

Aplicadas as correções nota-se que a forma de onda azul não sofre oscilações, persistindo apenas o atraso imposto pela trilha conforme a Figura 22.

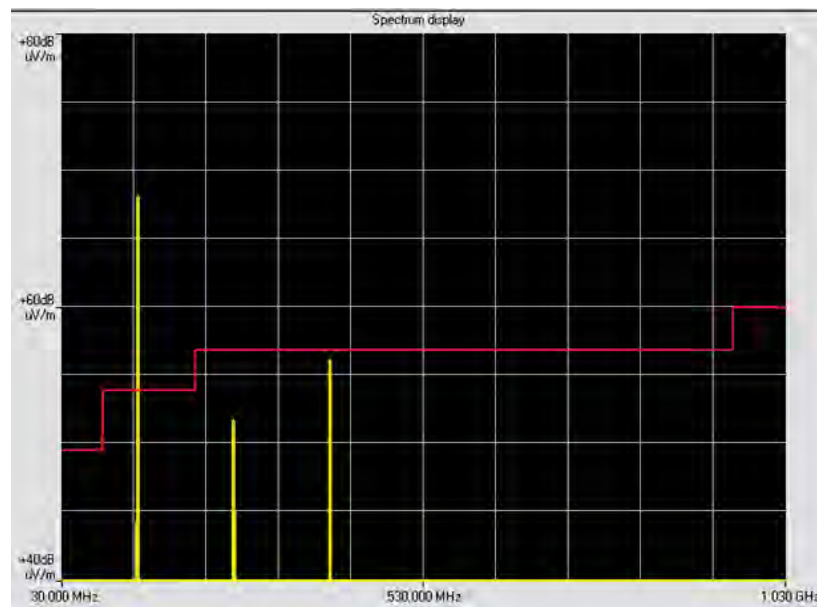
Figura 22 - IS Corrigida para a trilha menor.



Fonte: Elaboração do próprio autor.

Na Figura 23, há a extinção de uma raia do espectro da CEM e a redução do espectro aos valores padrão do FCC Classe A.

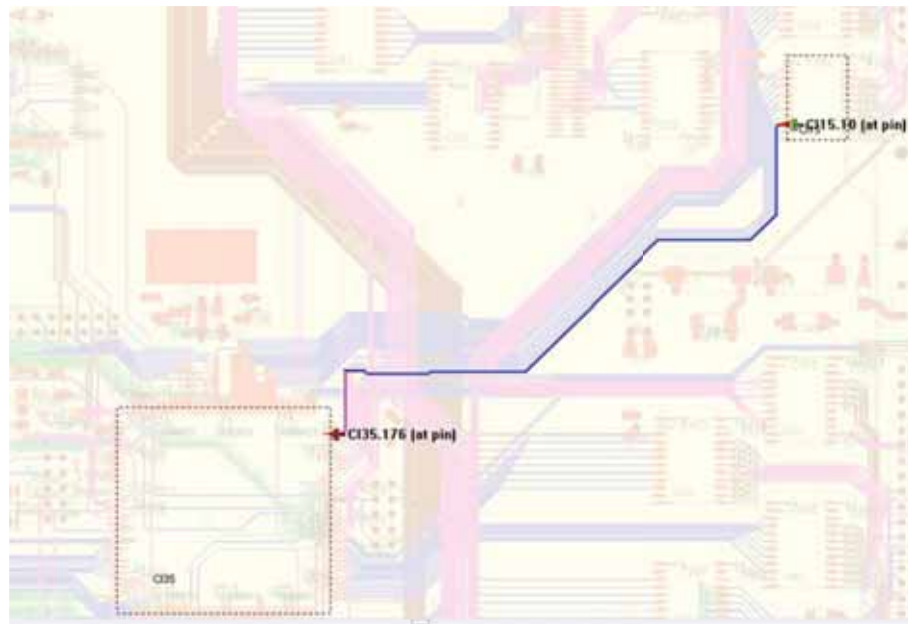
Figura 23: CEM Corrigida para a trilha menor.



Fonte: Elaboração do próprio autor.

A mesma análise foi realizada para a trilha intermediária mostrada na Figura 24. A trilha tem 111,5 mm de comprimento e largura fixa de 8 mils, interliga um dispositivo CMOS da família 74LVCC3245A da *Texas Instruments*, localizado acima na figura (CI 15) e o FPGA CYCLONE da ALTERA®, na parte inferior (CI 35).

Figura 24 - Trilha intermediária.



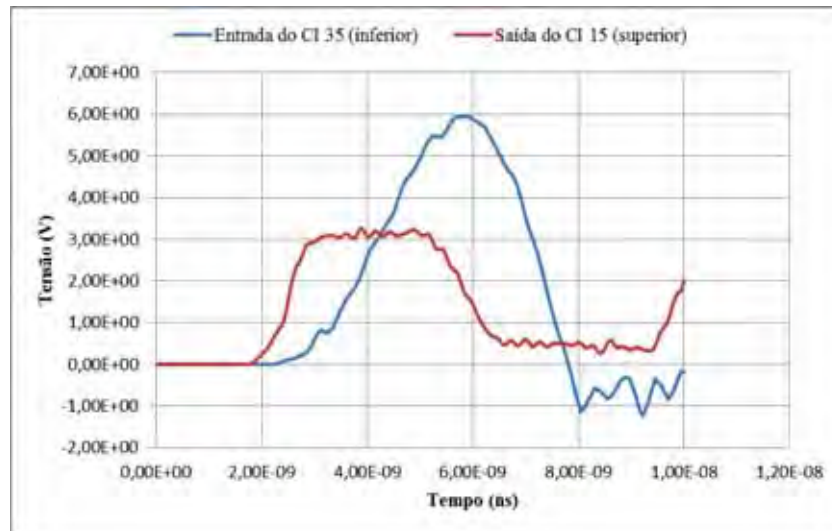
Fonte: Elaboração do próprio autor.

Repete-se o procedimento de simulação de IS e CEM para a trilha intermediária. De acordo com a Figura 25, observa-se que a forma de onda de cor azul a qual é medida na entrada do CI 35, não acompanha a forma de onda de cor vermelha da saída do CI 15. Nota-se uma inversão de fase no sinal de entrada do CI 35 e um pico na tensão de entrada do mesmo.

Na medição da CEM na Figura 26, observa-se o aumento do número de raias de espectro ultrapassando os níveis tolerados pela máscara.

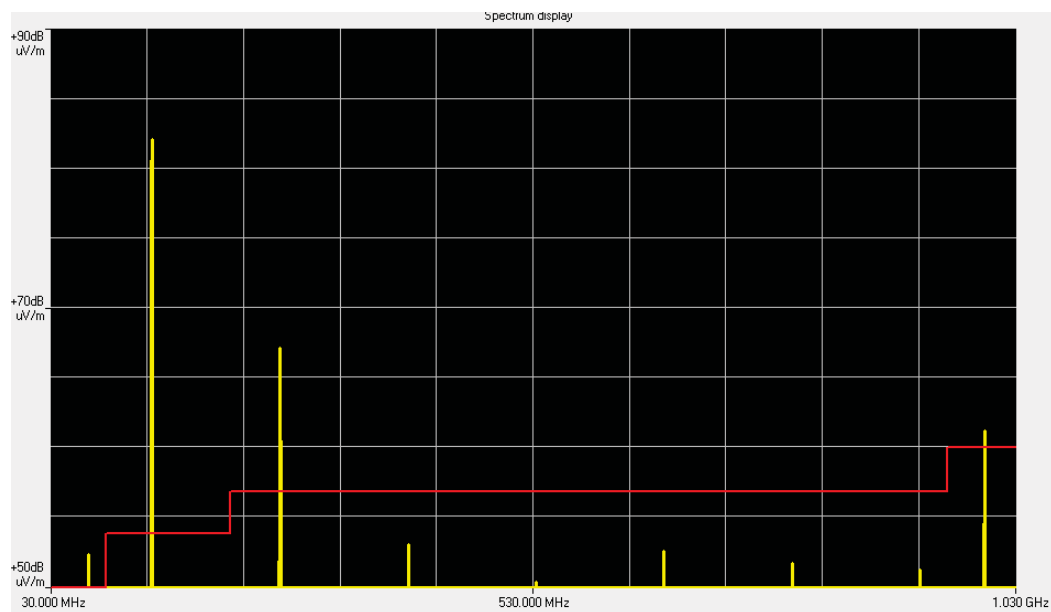
Aplica-se novamente a correção através do *software*, corrigindo o valor da impedância da trilha o mais próximo do valor padrão interno do *software*, a fim de melhorar o desempenho da trilha.

Figura 25 - Característica da IS da trilha intermediária.



Fonte: Elaboração do próprio autor.

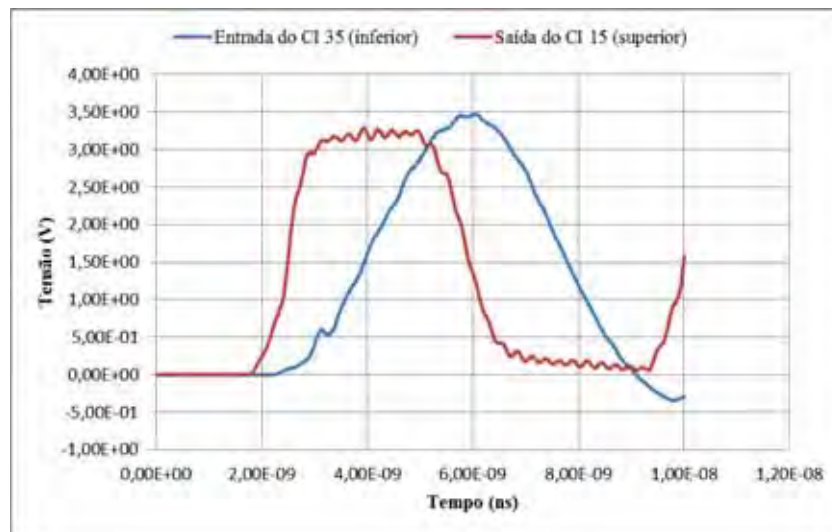
Figura 26 - Análise do Espectro da trilha intermediária.



Fonte: Elaboração do próprio autor.

Pode-se inferir da Figura 27 que a forma de onda azul tem sua amplitude reduzida, tendendo a acompanhar a onda original. Porém, a informação transmitida não reproduz a característica original da forma de onda vermelha. Outro ponto a ser destacado é o aumento do tempo de atraso de propagação, evidenciada com o aumento da trilha. E a inversão ainda é presente na forma de onda da entrada do CI 35.

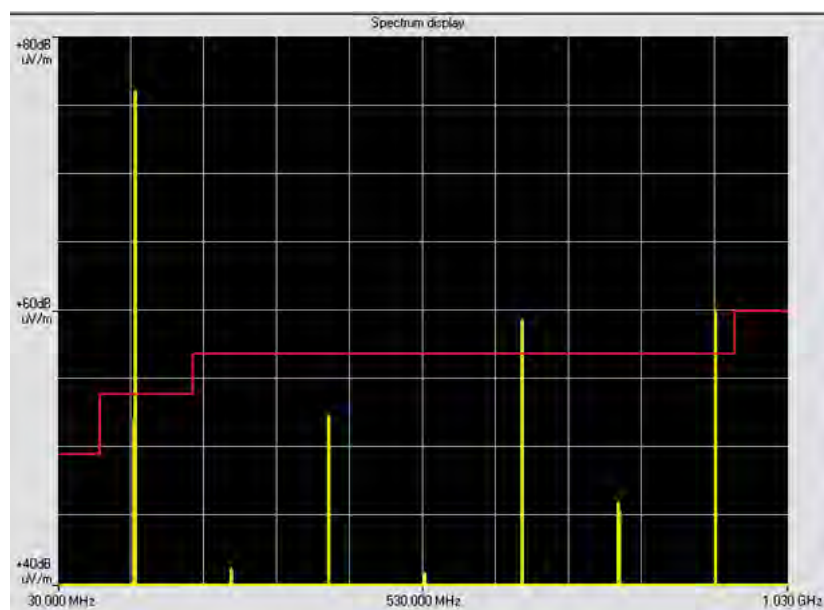
Figura 27 - IS Corrigida para a trilha intermediária.



Fonte: Elaboração do próprio autor.

No estudo da CEM representado na Figura 28, apesar da correção da trilha do PCI melhorar a IS, observam-se duas raia de espectro que ultrapassam a faixa de tolerância representada pela máscara do FCC. Mas, o valor da raia sofre uma redução, ficando em torno de 60dB, representando uma atenuação nos valores de pico atingida pelas raia do espectro.

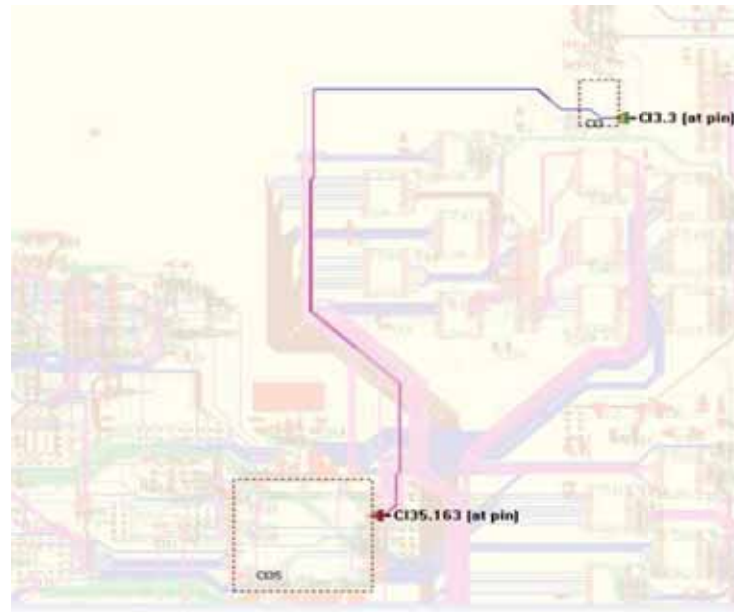
Figura 28 - CEM Corrigida para a trilha intermediária.



Fonte: Elaboração do próprio autor.

A seguir o estudo da trilha de maior comprimento representada pela Figura 29, que possui 222,5 mm de comprimento e largura fixa de 8 mils e é composta por um dispositivo CMOS da família 74LVCC3245A da *Texas Instruments*, localizado na parte superior da figura (CI 3), e o FPGA CYCLONE da ALTERA®, na parte inferior (CI 35).

Figura29 - Trilha extensa.

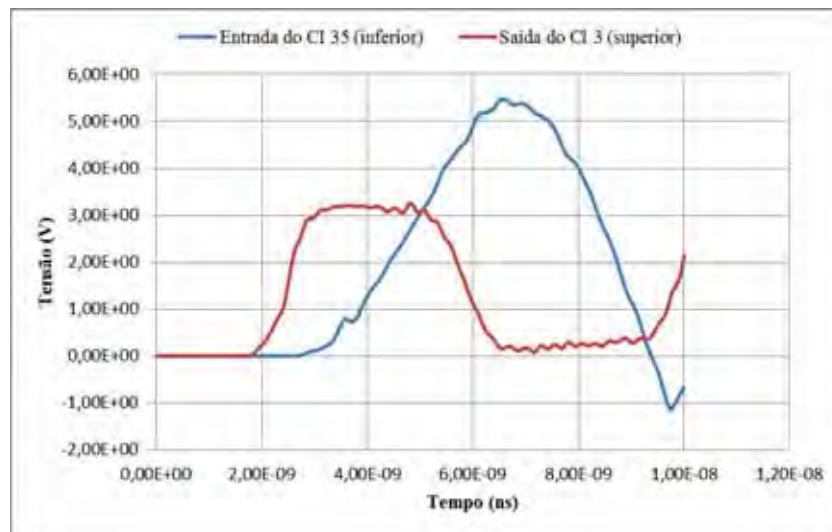


Fonte: Elaboração do próprio autor.

Na Figura 30 está ilustrada a forma de onda da saída do CI 3 (curva vermelha) e o pulso oscilatório (curva azul), que é o sinal de entrada no CI 35. O desempenho, em termos de IS, é similar ao subsistema da Figura 25.

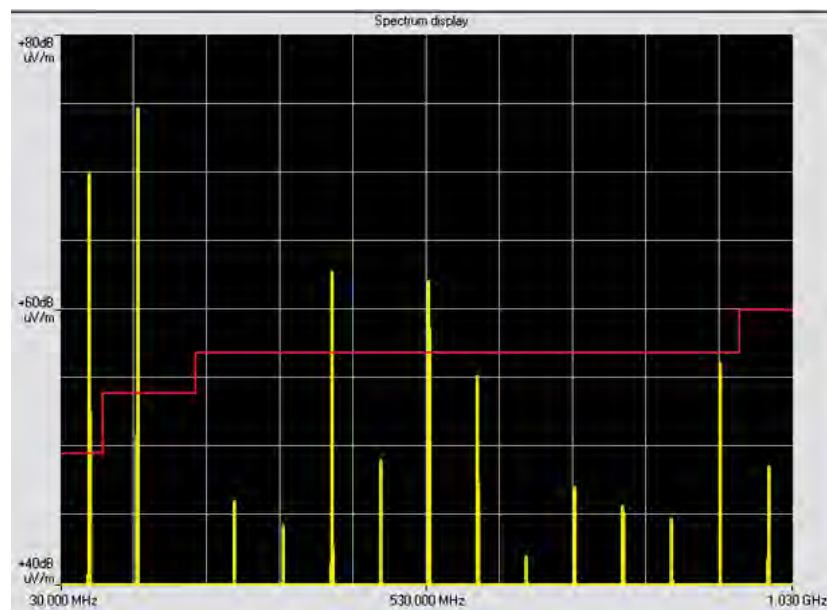
A Figura 31 mostra o resultado da CEM do subsistema em que a curva vermelha é a máscara do FCC para a classe A, a uma distância de 3 m. Exceto pela frequência de operação, ocorrem 3 faixas de frequência em que o nível de irradiação ultrapassa o limite pela norma do FCC Classe A.

Figura 30 - Característica da IS da trilha extensa.



Fonte: Elaboração do próprio autor.

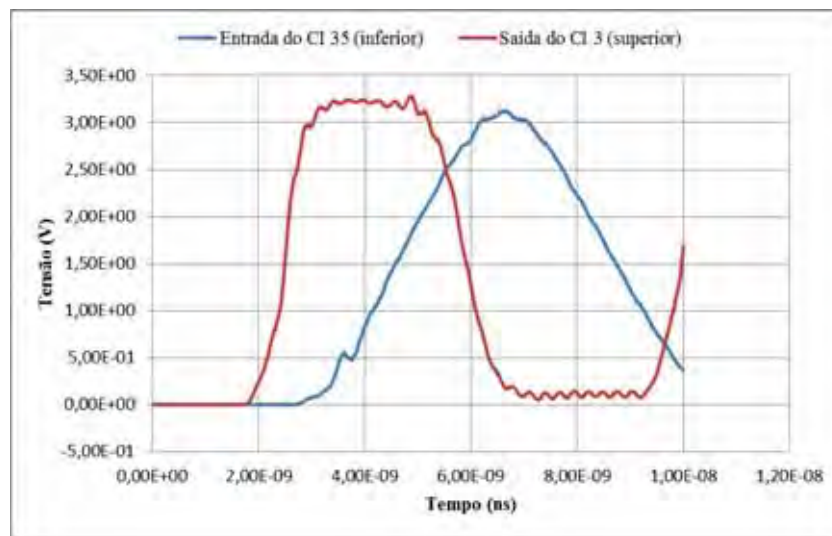
Figura 31 - Análise do Espectro da trilha extensa.



Fonte: Elaboração do próprio autor.

Seguindo o mesmo procedimento dos subsistemas anteriores, adicionou-se um filtro adequado ao comprimento da trilha, além de verificar a impedância da trilha. A Figura 32 mostra a simulação com a adição do novo filtro na trilha. Observa-se que o efeito de oscilação do pulso de entrada (curva azul) é atenuado. Em decorrência disso, não há mais inversão de fase, porém, o efeito de atraso persiste devido ao comprimento da trilha.

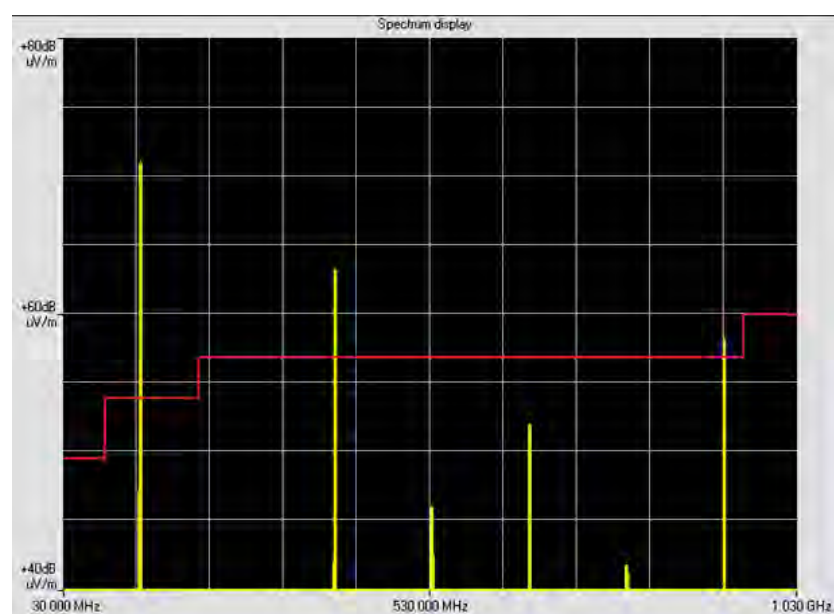
Figura 32- IS Corrigida para a trilha extensa.



Fonte: Elaboração do próprio autor.

A Figura 33 mostra novamente que a introdução do filtro passivo na trilha reduz significativamente os valores de irradiação e também a extinção de algumas raias prejudiciais ao desempenho do subsistema, excetuando a frequência de operação. Isto se deve pela suavização do sinal de entrada e o devido tratamento do filtro passivo, evitando a inversão de fase do sinal de entrada e atuando de forma adequada no tratamento desse sinal.

Figura 33 - CEM Corrigida para a trilha extensa.



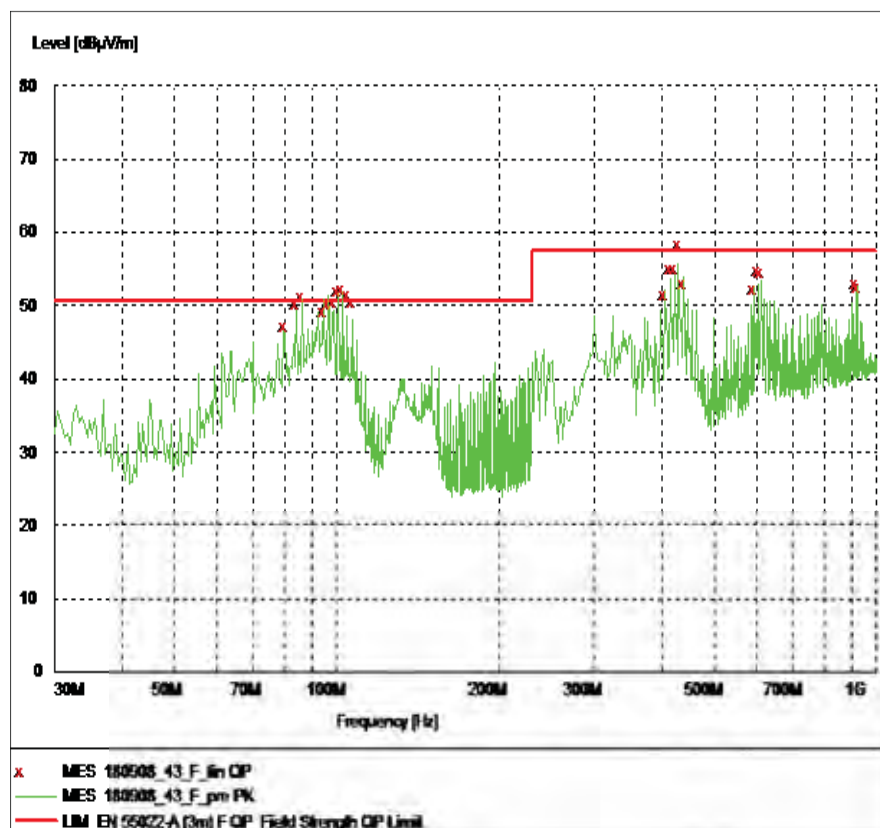
Fonte: Elaboração do próprio autor.

A Figura 34 mostra o resultado de um teste de ensaio de emissão irradiada CISPR Classe A, realizado na semi-câmara anecoica da Fundação Centro de Pesquisa e Desenvolvimento em Telecomunicação, de um sub-bastidor de uma central telefônica, com vários PCI's, inclusive com o PCI estudado.

No teste, o sub-bastidor é ensaiado para o padrão CISPR Classe A à 3 m, onde a curva vermelha é a máscara do padrão CISPR Classe A e a curva verde o resultado do espectro da CEM do sub-bastidor. Pela Figura nota-se que os pontos denotados por uma marca (x) correspondem aos pontos considerados críticos no PCI.

Através da simulação da PCI via *software* e levantando-se todas as simulações das sub-redes através do *batch*, encontram-se as trilhas que não se enquadram dentro da máscara do padrão CISPR. Apesar da diferença, no caso desse trabalho a análise de apenas um PCI, e no sub-bastidor ensaiado um conjunto de PCI's, o resultado experimental mostra que os níveis irradiados são muito próximos dos valores obtidos da simulação, validando a proposta.

Figura 34 - Resultados experimentais realizados em um sub-bastidor..



Fonte: Elaboração do próprio autor.

Através da Figura 34, observa-se que os resultados obtidos tomando as simulações de variações de comprimento da trilha, casos críticos, aproximam-se da simulação da PCI por completo.

5.3.1.1 Conclusão

Através das simulações com três comprimentos diferentes de trilhas, observou-se que a extensão da trilha no PCI influencia no comportamento da IS e da CEM. Com o aumento da trilha há uma maior dificuldade em se corrigir os efeitos ocasionados pela alta impedância e indutância geradas.

Esses fatores contribuem para o crescimento do atraso na propagação do sinal, afetando o desempenho do PCI, devido à operação fora das especificações de projeto. Como a introdução de filtros passivos na trilha é uma solução limitada, uma estratégia para aperfeiçoar o PCI é diminuir o tamanho da trilha ou a posição do componente na placa. Essas técnicas são mais eficazes se forem executadas durante a fase de projeto do PCI.

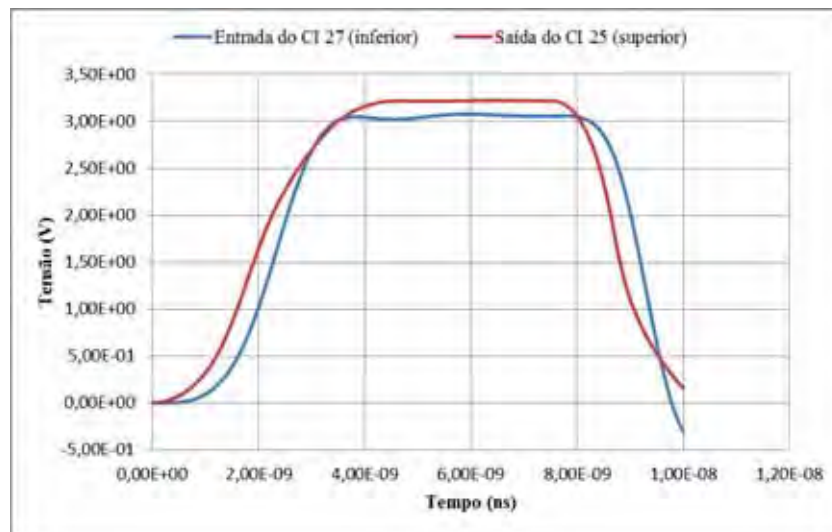
5.3.2 Estudo do Efeito da Frequência com Relação ao Comprimento de Trilha

Utilizando o subsistema representado na Figura 17, do sub-tópico anterior (trilha de menor comprimento), pode-se verificar através de simulação, que com o aumento da frequência na trilha trabalhada, o comportamento da IS na trilha estudada se aproxima da característica de IS de uma trilha curta, média e longa.

Para evidenciar o efeito da IS em relação à extensão da trilha, realizaram-se simulações na trilha alterando a frequência de operação do sinal de estímulo gerado pelo *software* Hyperlynx, o qual é uma onda quadrada de distribuição gaussiana, onde a frequência de operação do sinal de estímulo foi alterada para caracterizar o efeito de uma trilha curta, média e longa.

Na Figura 35 a frequência de estímulo é de 65 MHz e é aplicada a 49% do ciclo, evitando-se a repetição dos mesmos dados. Observa-se a característica da IS do sinal, onde a curva vermelha é a curva na saída do CI 25 da Figura 17 e o sinal azul, a forma de onda que chega no CI 27, na parte inferior. A forma de onda azul acompanha a onda vermelha, porém, não apresenta o mesmo valor máximo, nota-se também um pequeno atraso de propagação.

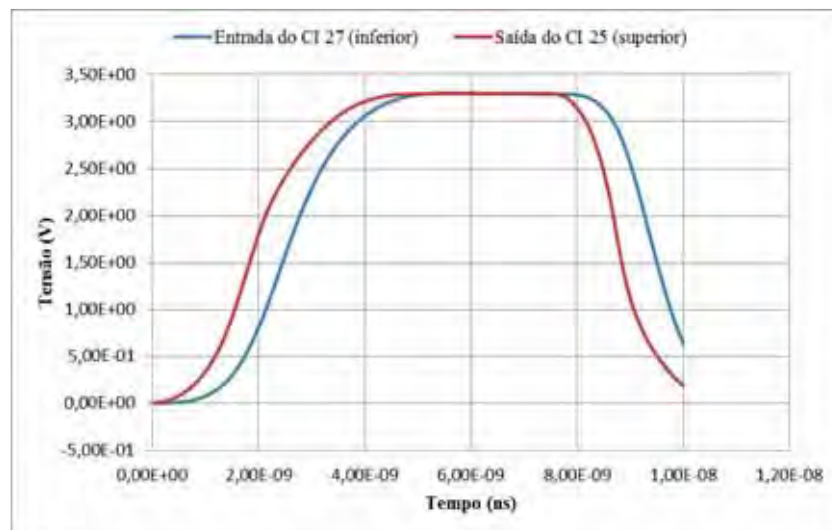
Figura 35 - Característica da IS simulando uma trilha pequena.



Fonte: Elaboração do próprio autor.

Aplicadas às correções baseadas na inserção de um filtro passivo estimado pelo *software*, nota-se que a forma de onda azul passa a ter o mesmo valor da onda vermelha, persistindo apenas o atraso imposto pela trilha conforme a Figura 36.

Figura 36 - IS Corrigida para a trilha pequena.

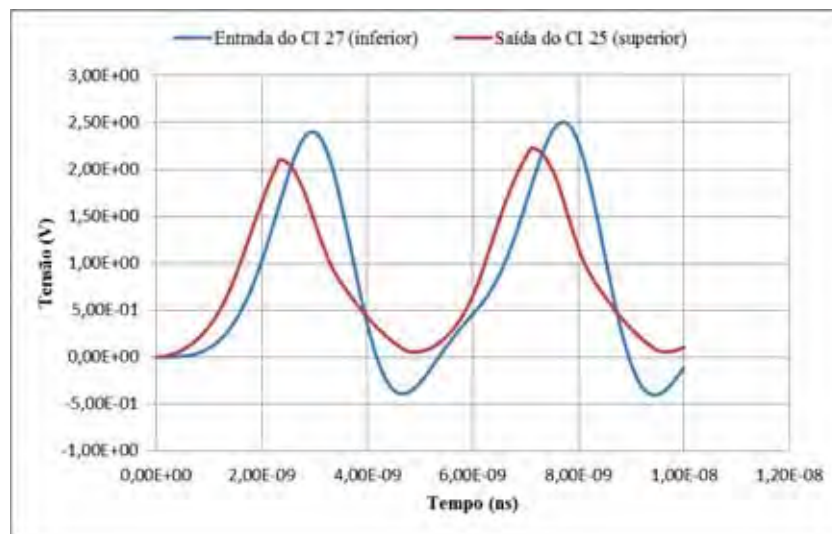


Fonte: Elaboração do próprio autor.

A mesma análise foi realizada alterando-se a frequência do sinal de estímulo para 210 MHz, simulando o comportamento de uma trilha intermediária.

Repete-se o procedimento de simulação de IS para o comportamento de uma trilha intermediária. De acordo com a Figura 37, observa-se que a forma de onda de cor azul, a qual é medida na entrada do CI 27 situado na parte inferior da Figura 17, não acompanha a forma de onda de cor vermelha da saída do CI 25 da parte superior. Nota-se uma inversão de fase no sinal de entrada do CI 27.

Figura 37 - Característica da IS simulando uma trilha intermediária.



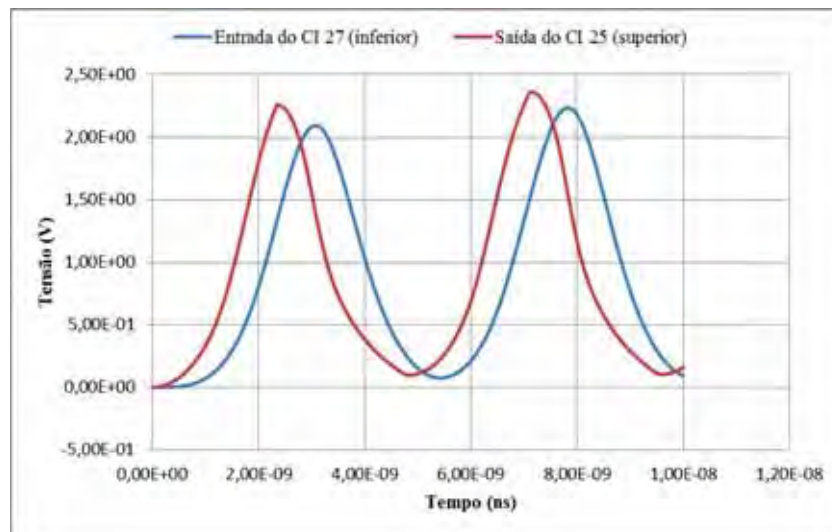
Fonte: Elaboração do próprio autor.

Aplica-se novamente a correção através do *software*, corrigindo o valor da impedância da trilha o mais próximo do valor padrão interno do *software*, a fim de melhorar o desempenho da trilha.

Pode-se inferir da Figura 38 que a forma de onda azul tem sua amplitude reduzida, tendendo a acompanhar a onda original. Porém, a informação transmitida não reproduz a característica original da forma de onda vermelha. Outro ponto a ser destacado é o aumento do tempo de atraso de propagação, evidenciada com o efeito simulado de aumento da trilha.

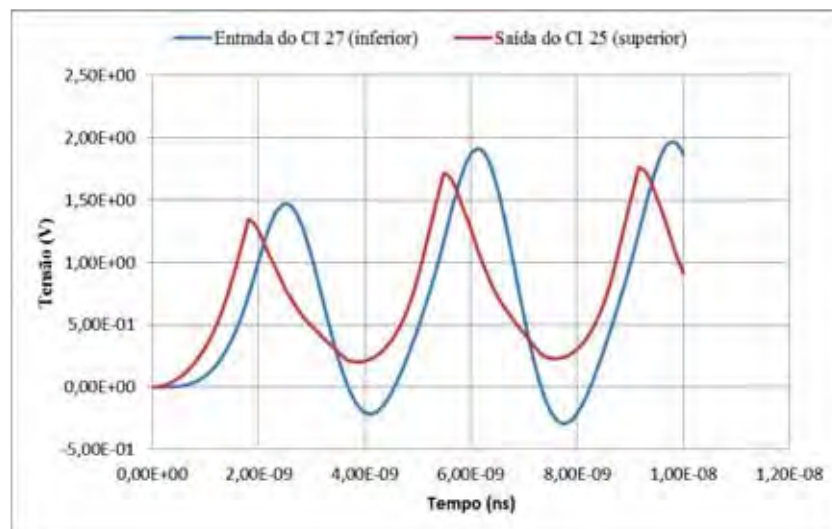
A seguir, o estudo para a simulação de uma trilha de maior comprimento, alterando-se a frequência do sinal de estímulo para 272 MHz. Na Figura 39 está ilustrada a forma de onda da saída do CI 25 na parte superior da figura (curva vermelha) e o pulso oscilatório (curva azul), que é o sinal de entrada no CI 27 na parte inferior.

Figura 38 - IS Corrigida para a trilha intermediária.



Fonte: Elaboração do próprio autor.

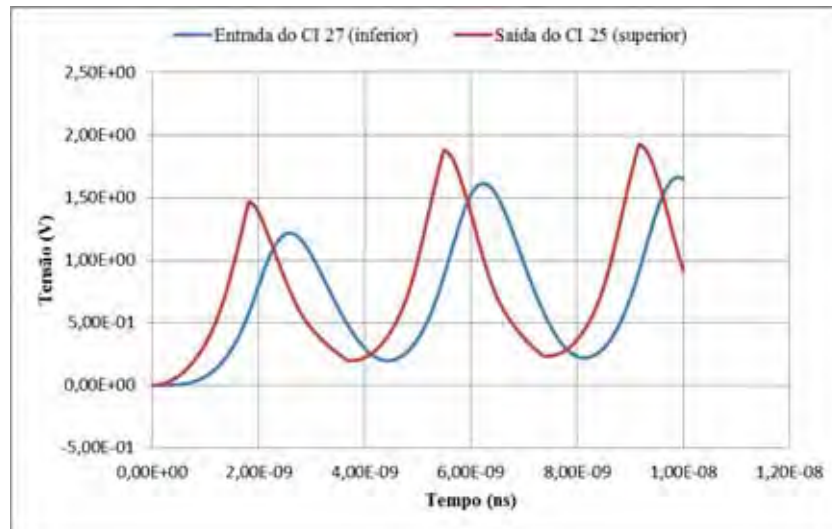
Figura 39 - Característica da IS simulando uma trilha extensa.



Fonte: Elaboração do próprio autor.

Seguindo o mesmo procedimento dos subsistemas anteriores, adicionou-se um filtro adequado ao comprimento da trilha além de verificar a impedância da trilha. A Figura 40 mostra a simulação com a adição do novo filtro na trilha. Observa-se que o efeito de oscilação do pulso de entrada (curva azul) é atenuado. Mas devido à alta frequência a trilha já não é capaz de transmitir a informação correta distorcendo o sinal e caracterizando que o PCI possa estar em ressonância.

Figura 40- IS Corrigida para a trilha extensa.



Fonte: Elaboração do próprio autor.

5.3.2.1 Conclusão

As simulações de IS foram realizadas nas mesmas condições, ou seja, a trilha possui geometria, CI's, trilhas vizinhas e comprimento fixo.

Dessa maneira pode-se concluir que alterando a frequência da onda, consequentemente, se altera também o comprimento da onda injetada na trilha, obtendo-se as características de IS para o comprimento de trilha curta, média e longa.

Através da técnica de implementação de filtro via *software* pode-se melhorar o desempenho da PCI, fazendo com que essa possa trabalhar em altas frequências e garantir que a informação transmitida aos CI's pela trilha contenha as características originais do sinal de operação, evitando que o CI trabalhe fora das especificações projetadas, e não comprometendo o seu desempenho nem o desempenho da PCI.

6 CONCLUSÕES E PROPOSTAS PARA TRABALHOS FUTUROS

6.1 CONCLUSÕES GERAIS

Os estudos de IS, CEM e IEM são de suma importância na concepção de qualquer equipamento eletrônico.

Estes estudos predizem antecipadamente se o equipamento a ser introduzido no mercado tem condições de trabalhar com eficiência dentro das normas das agências reguladoras.

O trabalho realizado com a PCI é um caso prático que demonstra que, com o emprego de correções antecipadas estudadas por *softwares* e modelos, evita-se o retrabalho da PCI. Garante-se assim que o produto possa vir a ser comercializado atendendo a todas as normas impostas.

O modelo IBIS, permitiu uma compreensão melhor dos seus aspectos, como a modelagem e obtenção de dados confiáveis mediante a simulação por *datasheet*. Possibilitou-se a criação de modelos que, por vezes, não são disponibilizados por seus fabricantes.

As simulações realizadas possibilitaram maior compreensão dos efeitos de IS e CEM observados na PCI. Estes efeitos são provenientes da aproximação das trilhas a modelos de linhas de transmissão.

Através das simulações com três comprimentos diferentes de trilhas, observou-se que a extensão da trilha no PCI influencia no comportamento da IS e da CEM. Com o aumento da trilha há uma maior dificuldade em se corrigir os efeitos ocasionados pela alta impedância e indutância geradas. Esses fatores contribuem para o crescimento do atraso na propagação do sinal, afetando o desempenho do PCI, devido à operação fora das especificações de projeto.

Com o auxílio do *software*, os filtros empregados permitem a correção eficaz do PCI, ou seja, aplica-se a técnica para corrigir os casos críticos. Por conseguinte, caracteriza-se corretamente o PCI, o que permite a operação correta dos componentes conforme a especificação prevista no projeto.

A técnica utilizada nas simulações permite corrigir os níveis de IEM/CEM em um PCI, viabilizando sua futura comercialização. Porém, a eficácia do emprego de filtros passivos consiste em aplicá-la durante a fase de pesquisa e projeto do PCI.

6.2 TRABALHOS FUTUROS

Para trabalhos futuros, algumas propostas como:

- Simulação do efeito *crosstalk*;
- Estudos sobre blindagem eletromagnética;
- Estudos práticos do modelo IBIS.

REFERÊNCIAS

- CUI, J.; ZHANG, M. Transient analysis of PCB EMC problem. In: INTERNATIONAL SYMPOSIUM ON ANTENNAS, PROPAGATION AND EM THEORY, 8., 2008, Kunming. **Proceedings....** Piscataway: IEEE , 2008. p. 1111-1114.
- EDLUND, G. **Timing analysis and simulations for signal integrity engineers**. New Jersey: Prentice Hall, 2008. 241 p.
- HUBING, T. PCB EMC design guidelines: a brief annotated list. In: IEEE INTERNATIONAL SYMPOSIUM ON ELECTROMAGNETIC COMPATIBILITY, 1., 2003, Boston. **Proceedings....** Piscataway: IEEE [s.n.], 2003. p. 34-36.
- JOHN, W. Remarks to the solution of EMC problems on printed circuit boards. In: INTERNACIONAL CONFERENCE ON ELECTROMAGNETIC COMPATIBILITY , 7., 1990, York. **Proceedings....** Piscataway: IEEE, 1990. p. 68-72.
- JOHN, W. EMC adequate design of printed circuit boards as a part of the system development. In: ASIA AND SOUTH PACIFIC DESIGN AUTOMATION CONFERENCE- ASP-DAC, 1997, Chiba. **Proceedings....** Piscataway: IEEE, 1997. p. 207-214.
- KAYANO, Y. et al.. A study on the correspondence of common-mode current in electromagnetic radiation from a PCB with a guard-band. In: INTERNATIONAL SYMPOSIUM ON ELECTROMAGNETIC COMPATIBILITY, 2004, Silicon Valley. **Proceeding....** Piscataway: IEEE, 2004. v.1, p. 209-214.
- KODALI, V. P. **Engineering electromagnetic compatibility: principles, measurements and technologies**. New Jersey: Piscataway, 2001. 369 p.
- LENK, R. **Practical design of power supplies**. New Jersey: John Wiley & Sons, 1998. 288 p.
- LEVANT, J. L. et al.. EMC assessment at chip and PCB level: use of the ICEM model for jitter analysis in an integrated PLL. **IEEE Transactions on Electromagnetic Compatibility**, New York, v. 49, n. 1, p. 182-191, 2007.
- LEVENTHAL, R. G.; GREEN, L. **Modeling semiconductors: for simulating signal, power, and electromagnetic integrity**. New York: Springer, 2006. 788 p.
- LUZ, D. A.; SHINODA, A. A. Efeito de comprimento de trilha em placa de circuito impresso. In: CONGRESSO MOMAG, 4., 2010, Vitória. **Anais...** Vitória: [s.n.], 2010. p. 907-912.
- LUZ, D. A.; SHINODA, A. A. Analysis and validation of electromagnetic compatibility in printed circuit board for telephone exchange. In: INTERNATIONAL CONGRESS OF ELECTRONIC, ELECTRICAL AND SYSTEM ENGINEERING- INTERCON, 18., 2011, Lima. **Proceedings....** Peru: IAENG, 2011a. p. 1-6.

- LUZ, D. A.; SHINODA, A. A. Study of the effects of reducing electromagnetic interference in a printed circuit board using passive filters. In: LATIN-AMERICAN CONFERENCE ON COMMUNICATIONS – LATINCOM, 3., 2011, Belém. **Proceedings....** Piscataway: IEEE, 2011b. p. 1-5.
- MENTOR GRAPHICS. **Boardsim user guide**. Wilsonville, 2009. 1490 p.
- MENTOR GRAPHICS. **Eldo user's manual**. Wilsonville, 2010. 1622 p.
- MIRMAK, M. (Ed.). **Ibis modeling cookbook for ibis version 4.0**. Washington: IBIS Open Forum, 2005. 87 p.
- MURANYI, A. **Introduction to ibis model: ibis model training**. San Jose: Intel, 2000. 88 p.
- OTT, H. W. **Electromagnetic compatibility engineering**. Hoboken: John Wiley, 2009. 809 p.
- PAUL, C. R. **Introduction to electromagnetic compatibility**. 2. ed. Hoboken: John Wiley & Sons, 2006. 1016 p.
- RAO, N. et al.. EMC analysis in PCB design using an expert system. In: INTERNATIONAL CONFERENCE ON ELECTROMAGNETIC INTERFERENCE AND COMPATIBILITY, 1995, Madras. **Proceedings....** Piscataway: IEEE, 1995. p. 59-62.
- ROSS, B.; HUQ, S.; POWELL, J. **Ibis model for signal integrity applications**. Washington: EE Times, 1996. p. 1-5.
- SELLI, G.; DIBENE II, J. T. Basics of ibis modeling. In: INTERNATIONAL SYMPOSIUM ON ELECTROMAGNETIC COMPATIBILITY, 2006, Portland. **Proceedings....** Portland: EMC/IEEE, 2006. p. 1-28.
- VARMA, A. K.; STEER, M.; FRAZON, P. D. Improving behavioral IO buffer modeling based on ibis. **IEEE Transactions on Advanced Packaging**, Piscataway, v. 31, n. 4, p. 711-721, 2008.
- ZAK, T.; DUROC, M.; XAVIER, C.; DRISSI, M. **An experimental procedure to derive reliable ibis models**. In: ELECTRONICS PACKAGING TECHNOLOGY CONFERENCE, 3., 2000, Singapore. **Proceedings....** Singapore: EPTC, 2000. p 339 – 344.

APÊNDICES

Apêndice A - Modelo IBIS utilizados

Modelo estudado

```
#####
|
[IBIS Ver] 1.0
[File Name] 74lvc125.ibs
[File Rev] 1.0
[Date] May 15, 2011
[Source] Data created from demonstration .
[Notes] The following is an IBIS list for the LVC125A.
|
*****
[Disclaimer]
|
[Component] 74LVC125
[Manufacturer]
[Package]
|
          typ      min      max
R_pkg      1.0m    NA      NA
L_pkg      0.01nH   NA      NA
C_pkg      0.01pF   NA      NA
|
*****
|
[Pin]  signal_name  model_name      R_pin  L_pin  C_pin
|
1      OE1          rcv              0.1    5.0nH  1.2pF
2      IN1          rcv              0.1    4.0nH  1.0pF
3      OUT2         dvr50            0.1    4.0nH  1.0pF
4      GND          gnd_            0.1    5.0nH  1.2pF
5      IN2          rcv              0.1    5.0nH  1.2pF
6      OUT1         drcv50           0.1    4.0nH  1.0pF
7      OE2          rcv              0.1    4.0nH  1.0pF
8      VDD          power            0.1    5.0nH  1.2pF
|
*****
|
rcv model definition
*****
|
[Model Selector] rcv
|
Model_type      input
Polarity         non-inverting
Vinl=1.51
Vinh=1.84
|
*****
|
variable          typ      min      max
C_comp            3.88pF  3.82pF  3.92F
[Temperature Range] 55      85      25
[Voltage range]     3.3     3.135   3.456
|
*****
[GND Clamp]
|
          Voltage      I(typ)  I(min)  I(max)
|
-1.0000e+00  -5.0000e-01 -5.0000e-01 -5.0000e-01
-9.5000e-01  -5.0000e-01 -5.0000e-01 -5.0000e-01
-9.0000e-01  -5.0000e-01 -5.0000e-01 -5.0000e-01
-8.5000e-01  -5.0000e-01 -5.0000e-01 -5.0000e-01
```

```

-8.0000e-01    -5.0000e-01 -5.0000e-01 -5.0000e-01
-7.5000e-01    -5.0000e-01 -5.0000e-01 -1.4170e-01
-7.0000e-01    -1.1840e-01 -5.0000e-01 -2.1350e-02
-6.5000e-01    -2.0660e-02 -1.0370e-01 -3.8280e-03
-6.0000e-01    -3.7910e-03 -2.0660e-02 -1.0450e-03
-5.5000e-01    -7.6490e-04 -4.1380e-03 -4.1960e-04
-5.0000e-01    -1.5430e-04 -8.2430e-04 -1.6330e-04
-4.5000e-01    -2.9830e-05 -1.6670e-04 -3.1700e-05
-4.0000e-01    -6.6550e-06 -3.4160e-05 -7.3930e-06
-3.5000e-01    -1.5620e-06 -7.1260e-06 -1.7670e-06
-3.0000e-01    -3.7850e-07 -1.5200e-06 -4.1260e-07
-2.5000e-01    -9.2930e-08 -3.3230e-07 -9.3940e-08
-2.0000e-01    -2.2780e-08 -7.4750e-08 -2.0850e-08
-1.5000e-01    -5.5480e-09 -1.7490e-08 -4.5410e-09
-1.0000e-01    -1.3730e-09 -4.5040e-09 -1.0100e-09
-5.0000e-02    -3.8400e-10 -1.5210e-09 -2.6790e-10
0.0000e+00     -9.4850e-11 -7.0640e-10 -8.0010e-11
3.3000e+00     0.0000e+00 0.0000e+00 0.0000e+00
|
|*****|
| [POWER Clamp]|
|
| Voltage      I(typ)  I(min)  I(max)
|
| -1.3000e+00   5.0000e-01 5.0000e-01 5.0000e-01
| -1.2500e+00   5.0000e-01 5.0000e-01 5.0000e-01
| -1.2000e+00   5.0000e-01 5.0000e-01 5.0000e-01
| -1.1500e+00   5.0000e-01 5.0000e-01 5.0000e-01
| -1.1000e+00   5.0000e-01 5.0000e-01 4.1438e-01
| -1.0500e+00   5.0000e-01 5.0000e-01 1.5942e-01
| -1.0000e+00   3.2280e-01 5.0000e-01 2.2776e-02
| -9.5000e-01   5.5080e-01 5.0000e-01 3.2546e-03
| -9.0000e-01   9.3990e-03 5.0000e-01 4.6537e-04
| -8.5000e-01   1.6040e-03 5.0000e-01 6.6593e-05
| -8.0000e-01   2.7370e-04 5.0000e-01 9.5409e-06
| -7.5000e-01   4.6720e-05 5.0000e-01 1.3697e-06
| -7.0000e-01   7.9740e-06 5.0000e-01 1.9724e-07
| -6.5000e-01   1.3610e-06 5.0000e-01 2.8590e-08
| -6.0000e-01   2.3250e-07 5.0000e-01 4.2249e-09
| -5.5000e-01   3.9780e-08 5.0000e-01 6.8324e-10
| -5.0000e-01   6.8760e-09 5.0000e-01 1.6312e-10
| -4.5000e-01   1.2550e-09 5.0000e-01 8.4801e-11
| -4.0000e-01   2.9330e-10 5.0000e-01 7.1698e-11
| -3.5000e-01   1.2750e-10 4.7291e-01 6.8343e-11
| -3.0000e-01   9.7720e-11 2.0228e-01 6.6467e-11
| -2.5000e-01   9.5670e-11 4.0026e-02 6.4857e-11
| -2.0000e-01   9.3680e-11 7.9205e-03 6.3250e-11
| -1.5000e-01   9.1690e-11 1.5677e-03 6.1647e-11
| -1.0000e-01   8.9700e-11 3.1022e-04 6.0040e-11
| -5.0000e-02   8.7710e-11 6.1390e-05 5.8437e-11
| 0.0000e+00    8.5720e-11 1.2147e-05 5.6827e-11
| 3.3000e+00    0.0000e+00 0.0000e+00 0.0000e+00
|
|*****|
| drv50 model definition|
|*****|
|
| [Model Selector]    drv50
|
| Model_type          3-state
| Polarity             non-inverting
| Enable              Active-high
| Vmeas=1.5
| Cref=10pF
| Vref=0
|
|*****|
|
| variable            typ      min      max
| C_comp              3.81pF   3.76pF  3.86F
| [Temperature Range] 55      85     25
| [Voltage range]     3.3      3.135  3.456
|
|*****|
| [Pulldown]|
|

```

```

|          Voltage      I(typ)  I(min)  I(max)
|
|          -1.0000e+00   -5.0000e-01 -5.0000e-01 -5.0000e-01
|          -9.5000e-01   -5.0000e-01 -5.0000e-01 -5.0000e-01
|          -9.0000e-01   -5.0000e-01 -5.0000e-01 -5.0000e-01
|
|*****
[Pullup]
|          Voltage      I(typ)  I(min)  I(max)
|
|          -1.3000e+00    5.0000e-01 5.0000e-01 5.0000e-01
|          -1.2500e+00    5.0000e-01 5.0000e-01 5.0000e-01
|          -1.2000e+00    5.0000e-01 5.0000e-01 5.0000e-01
|
|*****
[GND Clamp]
|          Voltage      I(typ)  I(min)  I(max)
|
|          -1.0000e+00   -5.0000e-01 -5.0000e-01 -5.0000e-01
|          -9.5000e-01   -5.0000e-01 -5.0000e-01 -5.0000e-01
|          -9.0000e-01   -5.0000e-01 -5.0000e-01 -5.0000e-01
|
|*****
[POWER Clamp]
|          Voltage      I(typ)  I(min)  I(max)
|
|          -1.3000e+00    5.0000e-01 5.0000e-01 5.0000e-01
|          -1.2500e+00    5.0000e-01 5.0000e-01 5.0000e-01
|          -1.2000e+00    5.0000e-01 5.0000e-01 5.0000e-01
|
|*****
[Ramp]
|
| variable      typ      min      max
dV/dt_r        1.022/0.345n 0.756/0.406n      1.268/0.281n
dV/dt_f        1.039/0.340n 0.822/0.367n      1.252/0.292n
R_load = 50
|
|*****
| End component 74LVC125
|*****
|
| [END]

```

Modelo gerado por Software

```

=====
|          This file is an IBIS representation of the 74lvc125 Texas Instruments
|
|=====
|
|===== Header Section -----|
[IBIS Ver]    3.2
|
[File Name]   74lvc125.ibs
[File Rev]    0.1
|
[Date]        17 May 2011 | Last modified
|              17 May 2011 | Created
|
[Source]      This file originated at texas by _____.
|
|          The original version of this file was automatically generated by the Easy IBIS Wizard v.4.1 (build 166)
|
[Notes]
|          If you have comments concerning this file,
|          please address them to:
|          Dimas
|          email: @
|          phone:
|

```

```

[Disclaimer] This information is for modeling purposes only, and is not guaranteed.
|
[Copyright] Copyright (C)2011 texas, All Rights Reserved
|----- End of Header Section =====|
|===== Component Section -----|
[Component] 74lvc125
|
[Manufacturer] texas
|
[Package]
|
          typ      min      max
R_pkg      0.000Ohm 0.000Ohm 0.000Ohm
L_pkg      3.286nH  2.600nH  3.800nH
C_pkg      0.360pF  0.220pF  0.540pF
|
[Pin] signal_name      model_name      R_pin  L_pin  C_pin
|
P001 signal001      CMOS,3.3V,FAST,IO  0.000  3.800nH  0.540pF
P002 signal002      CMOS,3.3V,FAST,IN  0.000  3.400nH  0.390pF
P003 signal003      CMOS,3.3V,FAST,OUT 0.000  3.000nH  0.220pF
P004 signal004      CMOS,3.3V,FAST,IO  0.000  2.600nH  0.220pF
P005 signal005      CMOS,3.3V,FAST,IN  0.000  3.000nH  0.220pF
P006 signal006      CMOS,3.3V,FAST,OUT 0.000  3.400nH  0.390pF
P007 signal007      GND              0.000  3.800nH  0.540pF
P008 signal008      CMOS,3.3V,FAST,OUT 0.000  3.800nH  0.540pF
P009 signal009      CMOS,3.3V,FAST,IN  0.000  3.400nH  0.390pF
P010 signal010      CMOS,3.3V,FAST,IO  0.000  3.000nH  0.220pF
P011 signal011      CMOS,3.3V,FAST,OUT 0.000  2.600nH  0.220pF
P012 signal012      CMOS,3.3V,FAST,IN  0.000  3.000nH  0.220pF
P013 signal013      CMOS,3.3V,FAST,IO  0.000  3.400nH  0.390pF
P014 signal014      POWER              0.000  3.800nH  0.540pF
|----- End of Component Section =====|
|
|===== Models Section -----|
[Model] CMOS,3.3V,FAST,OUT
Model_type Output
Polarity Non-Inverting
Vmeas = 1.500V
Cref = 50.000pF
Rref = 1.000kOhm
Vref = 0.000V
|
          typ      min      max
C_comp      8.000pF  4.000pF  12.000pF
|
[Voltage Range]      3.300V  2.970V  3.630V
|
[Pulldown]
| Voltage  I(typ)  I(min)  I(max)
-3.300V   -488.842mA -272.776mA -811.484mA
-2.970V   -464.694mA -257.107mA -764.497mA
-2.640V   -440.546mA -241.449mA -717.549mA
-2.310V   -416.566mA -225.890mA -670.907mA
-1.980V   -392.726mA -210.422mA -624.560mA
-1.650V   -367.709mA -194.398mA -576.582mA
-1.320V   -326.703mA -170.438mA -504.884mA
-990.000mV -269.064mA -138.281mA -408.930mA
-660.000mV -194.842mA -98.226mA -291.790mA
-330.000mV -110.005mA -55.005mA -165.005mA
0.000V     -995.395pA -497.697pA -1.493nA
330.000mV  110.000mA  55.000mA  165.000mA
660.000mV  192.395mA  96.197mA  288.592mA
990.000mV  250.968mA  125.484mA 376.452mA
1.320V     288.943mA  144.471mA 433.414mA
1.650V     309.331mA  154.666mA 463.997mA
1.980V     313.325mA  156.662mA 469.987mA
2.310V     315.917mA  157.959mA 473.876mA
2.640V     318.510mA  159.255mA 477.764mA
2.970V     321.172mA  160.586mA 481.758mA
3.300V     323.764mA  161.882mA 485.646mA
6.600V     349.968mA  174.984mA 524.952mA
|
[Pullup]
| Voltage  I(typ)  I(min)  I(max)
-3.300V   272.840mA  136.420mA 409.261mA
-2.970V   268.360mA  134.180mA 402.539mA

```

```

-2.640V 263.879mA 131.939mA 395.818mA
-2.310V 259.217mA 129.608mA 388.825mA
-1.980V 249.044mA 124.522mA 373.566mA
-1.650V 230.576mA 115.288mA 345.864mA
-1.320V 203.450mA 101.725mA 305.174mA
-990.000mV 167.240mA 83.620mA 250.861mA
-660.000mV 121.585mA 60.793mA 182.378mA
-330.000mV 66.000mA 33.000mA 99.000mA
0.000V 430.150pA 215.075pA 645.226pA
330.000mV -66.000mA -33.000mA -99.000mA
660.000mV -121.585mA -60.793mA -182.378mA
990.000mV -167.240mA -83.620mA -250.861mA
1.320V -203.450mA -101.725mA -305.174mA
1.650V -230.576mA -115.288mA -345.864mA
1.980V -249.044mA -124.522mA -373.566mA
2.310V -259.217mA -129.608mA -388.825mA
2.640V -263.879mA -131.939mA -395.818mA
2.970V -268.360mA -134.180mA -402.539mA
3.300V -272.840mA -136.420mA -409.261mA
6.600V -317.890mA -158.945mA -476.835mA
|
[Ramp]
|      typ      min      max
dV/dt_r 1.980V/600.000ps 1.782V/1.080ns 2.178V/440.000ps
dV/dt_f 1.980V/600.000ps 1.782V/1.080ns 2.178V/440.000ps
|----- End of CMOS,3.3V,FAST,OUT -----
|
[Model] CMOS,3.3V,FAST,IN
Model_type Input
Vinl = 0.800V
Vinh = 2.000V
|      typ      min      max
C_comp      4.000pF 2.000pF 6.000pF
|
[Voltage Range] 3.300V 2.970V 3.630V
|
[GND Clamp]
| Voltage I(typ) I(min) I(max)
-3.300V -165.078mA -110.894mA -325.838mA
-974.347mV -17.211mA -12.202mA -30.740mA
-941.645mV -15.387mA -10.973mA -27.165mA
-922.512mV -14.336mA -10.264mA -25.113mA
-820.387mV -9.004mA -6.646mA -14.837mA
-787.447mV -7.422mA -5.559mA -11.865mA
-768.177mV -6.539mA -4.949mA -10.234mA
-755.384mV -5.973mA -4.556mA -9.203mA
-722.395mV -4.602mA -3.592mA -6.761mA
-716.308mV -4.365mA -3.424mA -6.349mA
-703.098mV -3.868mA -3.068mA -5.500mA
-683.301mV -3.175mA -2.566mA -4.350mA
-663.993mV -2.565mA -2.116mA -3.379mA
-659.492mV -2.433mA -2.018mA -3.175mA
-626.485mV -1.587mA -1.370mA -1.931mA
-607.177mV -1.197mA -1.058mA -1.400mA
-601.573mV -1.098mA -977.353uA -1.270mA
-568.566mV -634.920uA -587.514uA -695.079uA
-549.259mV -448.833uA -423.281uA -479.398uA
0.000V 0.000A 0.000A 0.000A
3.300V 0.000A 0.000A 0.000A
6.600V 0.000A 0.000A 0.000A
|----- End of CMOS,3.3V,FAST,IN -----
|
[Model] CMOS,3.3V,FAST,IO
Model_type I/O
Polarity Non-Inverting
Vinl = 0.800V
Vinh = 2.000V
Vmeas = 1.500V
Cref = 50.000pF
Rref = 1.000kOhm
Vref = 0.000V
|      typ      min      max
C_comp      8.000pF 4.000pF 12.000pF
|
[Voltage Range] 3.300V 2.970V 3.630V
|

```

[Pulldown]

Voltage	I(typ)	I(min)	I(max)
-3.300V	-323.764mA	-161.882mA	-485.646mA
-2.970V	-321.172mA	-160.586mA	-481.758mA
-2.640V	-318.510mA	-159.255mA	-477.764mA
-2.310V	-315.917mA	-157.959mA	-473.876mA
-1.980V	-313.325mA	-156.662mA	-469.987mA
-1.650V	-309.331mA	-154.666mA	-463.997mA
-1.320V	-288.943mA	-144.471mA	-433.414mA
-990.000mV	-250.968mA	-125.484mA	-376.452mA
-660.000mV	-192.395mA	-96.197mA	-288.592mA
-330.000mV	-110.000mA	-55.000mA	-165.000mA
0.000V	-995.395pA	-497.697pA	-1.493nA
330.000mV	110.000mA	55.000mA	165.000mA
660.000mV	192.395mA	96.197mA	288.592mA
990.000mV	250.968mA	125.484mA	376.452mA
1.320V	288.943mA	144.471mA	433.414mA
1.650V	309.331mA	154.666mA	463.997mA
1.980V	313.325mA	156.662mA	469.987mA
2.310V	315.917mA	157.959mA	473.876mA
2.640V	318.510mA	159.255mA	477.764mA
2.970V	321.172mA	160.586mA	481.758mA
3.300V	323.764mA	161.882mA	485.646mA
6.600V	349.968mA	174.984mA	524.952mA

[Pullup]

Voltage	I(typ)	I(min)	I(max)
-3.300V	272.840mA	136.420mA	409.261mA
-2.970V	268.360mA	134.180mA	402.539mA
-2.640V	263.879mA	131.939mA	395.818mA
-2.310V	259.217mA	129.608mA	388.825mA
-1.980V	249.044mA	124.522mA	373.566mA
-1.650V	230.576mA	115.288mA	345.864mA
-1.320V	203.450mA	101.725mA	305.174mA
-990.000mV	167.240mA	83.620mA	250.861mA
-660.000mV	121.585mA	60.793mA	182.378mA
-330.000mV	66.000mA	33.000mA	99.000mA
0.000V	430.150pA	215.075pA	645.226pA
330.000mV	-66.000mA	-33.000mA	-99.000mA
660.000mV	-121.585mA	-60.793mA	-182.378mA
990.000mV	-167.240mA	-83.620mA	-250.861mA
1.320V	-203.450mA	-101.725mA	-305.174mA
1.650V	-230.576mA	-115.288mA	-345.864mA
1.980V	-249.044mA	-124.522mA	-373.566mA
2.310V	-259.217mA	-129.608mA	-388.825mA
2.640V	-263.879mA	-131.939mA	-395.818mA
2.970V	-268.360mA	-134.180mA	-402.539mA
3.300V	-272.840mA	-136.420mA	-409.261mA
6.600V	-317.890mA	-158.945mA	-476.835mA

[GND Clamp]

Voltage	I(typ)	I(min)	I(max)
-3.300V	-165.078mA	-110.894mA	-325.838mA
-974.347mV	-17.211mA	-12.202mA	-30.740mA
-941.645mV	-15.387mA	-10.973mA	-27.165mA
-922.512mV	-14.336mA	-10.264mA	-25.113mA
-820.387mV	-9.004mA	-6.646mA	-14.837mA
-787.447mV	-7.422mA	-5.559mA	-11.865mA
-768.177mV	-6.539mA	-4.949mA	-10.234mA
-755.384mV	-5.973mA	-4.556mA	-9.203mA
-722.395mV	-4.602mA	-3.592mA	-6.761mA
-716.308mV	-4.365mA	-3.424mA	-6.349mA
-703.098mV	-3.868mA	-3.068mA	-5.500mA
-683.301mV	-3.175mA	-2.566mA	-4.350mA
-663.993mV	-2.565mA	-2.116mA	-3.379mA
-659.492mV	-2.433mA	-2.018mA	-3.175mA
-626.485mV	-1.587mA	-1.370mA	-1.931mA
-607.177mV	-1.197mA	-1.058mA	-1.400mA
-601.573mV	-1.098mA	-977.353uA	-1.270mA
-568.566mV	-634.920uA	-587.514uA	-695.079uA
-549.259mV	-448.833uA	-423.281uA	-479.398uA
0.000V	0.000A	0.000A	0.000A
3.300V	0.000A	0.000A	0.000A
6.600V	0.000A	0.000A	0.000A

[Ramp]

```
|      typ      min      max
dV/dt_r  1.980V/600.000ps  1.782V/1.080ns  2.178V/440.000ps
dV/dt_f  1.980V/600.000ps  1.782V/1.080ns  2.178V/440.000ps
|----- End of CMOS,3.3V,FAST,IO -----
|----- End of Models Section =====|
|
[End]
```