



UNIVERSIDADE ESTADUAL PAULISTA

Pós-Graduação em Engenharia Elétrica

ADO

**Implementação de um Conversor Analógico/Digital
CMOS de 8 bits usando Modo Corrente**

Jefferson Daniel de Barros Soldera

Ilha Solteira - SP

1210001208



UNIVERSIDADE ESTADUAL PAULISTA
FACULDADE DE ENGENHARIA DE ILHA SOLTEIRA
PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

Implementação de um Conversor Analógico/Digital CMOS de 8 bits usando Modo Corrente

Dissertação apresentada à Comissão de Pós-Graduação
da Faculdade de Engenharia de Ilha Solteira, como
requisito para a obtenção do título de Mestre em
Engenharia Elétrica

Autor: Jefferson Daniel de Barros Soldera

Orientador: Nobuo Oki

Ilha Solteira, 16 de março de 2001

"Implementação de um Conversor Analógico/Digital CMOS de 8 Bits Usando Modo Corrente"

Jefferson Daniel de Barros Soldera

DISSERTAÇÃO SUBMETIDA À FACULDADE DE ENGENHARIA DE ILHA SOLTEIRA – UNESP – COMO PARTE DOS REQUISITOS NECESSÁRIOS PARA A OBTENÇÃO DO TÍTULO DE MESTRE EM ENGENHARIA ELÉTRICA (ME).



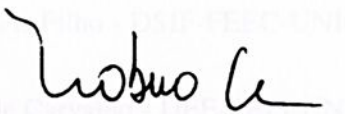

Prof. Dr. Antonio Padilha Feltrin – Coordenador

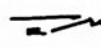
COMISSÃO EXAMINADORA:

1210001208 - UNESP 086/01

UNESP - "CAMPUS DE ILHA SOLTEIRA"	30.8.01	Tz. 1208
SERV. TEC. DE BIBLIOTECA E DOCUMENTAÇÃO	10.8.01	Outra
IN. A. DE CIRCULAR	10.8.01	Outra

30400007
ENGENHARIA ELÉTRICA


Prof. Dr. Nobuo Oki - orientador


Prof. Dr. Carlos Alberto dos Reis Filho


Prof. Dr. Aparecido Augusto de Carvalho

Ilha Solteira – SP, abril de 2001

Banca Examinadora:

Professor Dr. Nobuo Oki (Orientador) - DEE-FEIS-UNESP

Professor Dr. Carlos Alberto dos Reis Filho - DSIF-FEEC-UNICAMP

Professor Dr. Aparecido Augusto de Carvalho - DEE-FEIS-UNESP



Agradecimentos

Agradeço a todos os que, durante a elaboração desta dissertação, contribuíram de alguma forma para sua realização. Em especial:

Professor Dr. Nelson Ueki pela orientação segura e criteriosa.

Professor Dr. Carlos Alberto dos Reis Filho (DSIF-FEEC-UNICAMP), pelo espaço cedido e pelo apoio quando utilizei o Laboratório do DSIF para que eu pudesse desenvolver o ensino do elemento integrado.

Professor Dr. Aparecido Augusto de Carvalho, pelo espaço cedido no Laboratório de Sistemas para que eu pudesse realizar os meus testes de circuito integrado.

Professores Dr. Alexandre César Rodrigues da Silva e Dr. Jozail Viana Filho pela participação no processo de qualificação.

Professor Dr. Alberto Martins Jorge (HEMIC-FITEC-UNICAMP) por ter me dado, graduação feita, o meu bacharelado ao final desta pesquisa.

Professores do curso de Pós-graduação em Engenharia Elétrica, pela contribuição em minha formação acadêmica.

Funçãoários da FEIS-UNESP. Em especial, funcionários da graduação e funcionários do Laboratório de Computação. **À minha família, por seu apoio e carinho.**

Colaboradores do curso Pós-graduação pelo companheirismo.

Fundação de Amparo à Pesquisa do Estado de São Paulo - FAPESP, pelo apoio financeiro.



Agradecimentos

Agradeço a todos os que, durante a elaboração desta dissertação, contribuíram de alguma forma para sua realização. Em especial:

Professor Dr. Nobuo Oki pela orientação segura e criteriosa.

Professor Dr. Carlos Alberto dos Reis Filho (DSIF-FEEC-UNICAMP), pelo espaço cedido e pelo apoio quando utilizei o Laboratório do DSIF para que eu pudesse confeccionar o leiaute do circuito integrado.

Professor Dr. Aparecido Augusto de Carvalho, pelo espaço cedido no Laboratório de Sensores para que eu pudesse realizar as medições e testes do circuito integrado.

Professores Dr. Alexandre César Rodrigues da Silva e Dr. Jozué Vieira Filho pela participação no processo de qualificação.

Professor Dr. Alberto Martins Jorge (DEMIC-FEEC-UNICAMP) por ter aceito, gentilmente tornar-se meu interlocutor ao final desta pesquisa.

Professores do curso de Pós-graduação em Engenharia Elétrica, pela contribuição em minha formação acadêmica.

Funcionários da FEIS-UNESP. Em especial, funcionários da Secretaria de Pós-graduação e funcionários do Laboratório de Computação pelo suporte técnico.

Colegas do curso Pós-graduação pelo companheirismo.

Fundação de Amparo à Pesquisa do Estado de São Paulo - FAPESP, pelo apoio financeiro.



Resumo

Visando a conversão de sinais analógicos em sinais digitais, este trabalho apresenta uma nova topologia de conversor A/D com algoritmo em modo corrente para conversão em altas frequências, com baixa tensão de alimentação (3.3V) usando a tecnologia CMOS 0,8 μ m. A arquitetura do Conversor Analógico-Digital proposto, é uma composição da arquitetura tipo *Flash* com a arquitetura de Aproximação Sucessiva. Na composição do conversor foram utilizados comparadores de corrente regenerativos e fontes de corrente de referência com transistores bipolares laterais. O conversor implementado é monotônico, utiliza uma área na pastilha de 3,96mm² e dissipa 340mW de potência.



Abstract

Wishing the conversion of analog signs in digital signs, this work presents a new A/D converter topology with algorithm in current-mode for conversion in high frequencies, with low power supply (3.3V) using the CMOS 0,8 μ m technology. The architecture of the proposed Analog-to-Digital Converter is a composition of the Flash architecture with the Successive Approach architecture. In the implementation of the converter were used regenerative current comparators and current reference sources with lateral bipolar transistors. The converter implemented is monotonic, utilize an active chip area of 3,96mm² and has a power dissipation of 340mW.



Índice

Capítulo1-Introdução	1
1.1 Introdução	1
1.2 Técnicas de Conversão	2
1.2.1 Conversores <i>Flash</i>	3
1.2.2 Conversores <i>Pipeline</i>	4
1.2.3 Conversores Aproximação Sucessiva	5
1.3 O Estado da Arte	6
1.4 O Conversor A/D Proposto	7
1.4.1 Processamento Em modo Corrente	7
1.4.2 Descrição do Algoritmo	8
1.4.3 Topologia do Conversor A/D	10
 Capítulo2-Implementação do Comparador de Corrente	 13
2.1 Introdução	13
2.2 Conceito e Características	13
2.3 Topologias Convencionais de Comparadores	14
2.4 Comparadores de Correntes Regenerativos	15
2.4.1 Comparador de Corrente com Duplo <i>Clock</i> não Sobreposto	16
2.4.2 Comparador de Corrente Regenerativo de um <i>Clock</i>	22
2.5 Otimização do Comparador Regenerativo de um <i>Clock</i>	27
2.5.1 Análise de Monte Carlo (estatística)	27
2.5.2 Otimização usando processo CMOS 0,8 μ m	28



2.6 Comparador Otimizado	30
Capítulo 3- Correntes de Referência	31
3.1 Introdução	31
3.2 Fonte de Corrente	31
3.3 Topologias Convencionais	32
3.4 Uso de Transistores Bipolares Laterais no Processo MOS	33
3.4.1 Operação Bipolar	33
3.4.2 Leiaute e Considerações acerca do Dispositivo	34
3.4.3 Tecnologia CMOS x BICMOS	36
3.4.4 Modelo e Simulação	37
3.5 Fonte de Corrente com Transistor LPNP	39
3.5.1 Fonte de Corrente Simples	39
3.5.2 Fonte de Corrente Regulada	40
Capítulo 4- Conversor A/D: Simulação e Leiaute	43
4.1 Introdução	43
4.2 Simulação do Conversor A/D	43
4.2.1 Simulação com Fonte de Corrente Ideal	44
4.2.2 Simulação com Fonte de Corrente Real	46
4.3 Leiaute do Conversor A/D	50
4.4 <i>O Circuito Integrado</i>	52
Capítulo 5- Resultados	55
5.1 Testes e Resultados	55
5.2 Teste do Comparador Regenerativo	55
5.3 Teste da Fonte de Corrente e do Transistores Bipolares Lateral LPNP	58
5.4 Teste do Conversor A/D	60
Capítulo 6- Conclusão	64
Bibliografia	65



Apêndice A- Leiaute do Conversor A/D	69
Apêndice B- Caracterização de Conversores A/D	76
B.1 Códigos Digitais	76
B.2 Caracterização de Conversores A/D	77
B.2.1 Parâmetros Estáticos	77
B.2.1.1 Erro de <i>Offset</i>	79
B.2.1.2 Erro de Ganho	79
B.2.1.3 Erro de Não-Linearidade Integral	80
B.2.1.4 Erro de Não-Linearidade Diferencial	80
B.2.2 Parâmetros Dinâmicos	81
B.2.2.1 Tempo de Conversão	82
B.2.2.2 Tempo de Abertura	82
B.2.2.3 Número Efetivo de Bits	83
Figura 1.1	
Figura 1.2	
Figura 1.3	
Figura 1.4	
Figura 1.5	
Figura 2.1	
Figura 2.2	
Figura 2.3	
Figura 2.4	
Figura 2.5	
Figura 2.6	
Figura 2.7	
Figura 2.8	
Figura 2.9	
Figura 2.10	
Figura 2.11	
Figura 3.1	
Figura 3.2	
Figura 3.3	
Figura 3.4	
Figura 3.5	



Índice de Figuras

Figura 1.1	Conversor <i>Flash</i>	3
Figura 1.2	Conversor <i>Pipeline</i>	4
Figura 1.3	Conversor Aproximação Sucessiva	6
Figura 1.4	Diagrama de Blocos do Conversor A/D	10
Figura 1.5	Valores das Correntes I_{ref} e I_n para cada bit	11
Figura 2.1	Comparador de Corrente Ideal	14
Figura 2.2	Comparador de Corrente tipo 2	16
Figura 2.3	<i>Flip-flop</i> Canal-n	18
Figura 2.4	Saída do Comparador	21
Figura 2.5	Saída do Comparador	21
Figura 2.6	Comparador de Corrente Regenerativo	22
Figura 2.7	Circuito Equivalente	24
Figura 2.8	Resposta do Comparador	26
Figura 2.9	Resposta do Comparador	26
Figura 2.10	Resposta do Comparador	28
Figura 2.11	Resposta do Comparador	29
Figura 3.1	Característica de uma Fonte Real	32
Figura 3.2	Seção Transversal do Transistor PMOS	34
Figura 3.3	Leiaute de um Transistor LPNP	35
Figura 3.4	Leiaute de um Transistor LPNP Multiemissor	35
Figura 3.5	Transistor LPNP com Duplo Coletor	36



Figura 3.6	Modelo do Transistor LPNP	37
Figura 3.7	Curva Característica do Transistor LPNP	38
Figura 3.8	$I_C \times V_b$	39
Figura 3.9	Resultado da Simulação Fonte de Corrente	40
Figura 3.10	Circuito Simulado	40
Figura 3.11	Fonte de Corrente Regulada	41
Figura 3.12	Resultado da Simulação Fonte de Corrente Regulada	42
Figura 4.1	Diagrama de Blocos do Conversor A/D	44
Figura 4.2	Sinais de <i>Clock</i>	45
Figura 4.3	Saída do Conversor A/D, Fonte Ideal	46
Figura 4.4	Corrente de Referência $I_{ref}/4$	47
Figura 4.5	Saída do Conversor A/D, Fonte Real	47
Figura 4.6	Saída do Conversor A/D, <i>Clock</i> de 120MHz	48
Figura 4.7	Entrada em Rampa	49
Figura 4.8	Exemplo de Leiaute	51
Figura 4.9	Diagrama de Bloco do Circuito Integrado	53
Figura 5.1	Circuito de teste do Comparador	56
Figura 5.2	Resposta do Comparador	56
Figura 5.3	Resposta do Comparador	57
Figura 5.4	Resposta do Comparador	57
Figura 5.5	Resposta do LPNP	58
Figura 5.6	Curva $I_C \times V_{CE}$ do Transistor LPNP32	59
Figura 5.7	Obtenção da Característica de Transferência	60
Figura 5.8	Circuito de teste do Conversor A/D	61
Figura 5.9	Sinal Reconstituído	61
Figura 5.10	Sinal Reconstituído, 3bits	62
Figura 5.11	INL, DNL	62
Figura A.1	Leiaute completo do Conversor A/D	65
Figura A.2	Leiaute da Pastilha	66
Figura A.3	Leiaute do Comparador Tipo1	67
Figura A.4	Leiaute do Comparador Tipo2	68
Figura A.5	Leiaute do Transistor LPNP	69
Figura A.6	Leiaute da Fonte $I_{ref}/8$	70



Figura A.7	Leiaute da Chave de Corrente	71
Figura B.1	Característica de Transferência	74
Figura B.2	Erro de <i>Offset</i> , Ganho	75
Figura B.3	Erro de INL	76
Figura B.4	Erro de DNL	77
Figura B.5	Erro de Abertura	78

Tabela 2.1	Razões de Aspecto das Transistores MOS de Comparação	30
Tabela 2.2	Razões de Aspecto das Transistores MOS de Cascode	32
Tabela 3.1	Relações entre o LBNP e o LBNP32	39
Tabela 3.2	Razões das Conversões A/D	40
Tabela 3.3	Códigos Digitais	42



Índice de Tabelas

Tabela 2.1	Razões de Aspecto dos transistores MOS do Comparador	30
Tabela 3.1	Razões de Aspecto dos transistores MOS do Cascode	42
Tabela 5.1	Relação entre o LPNP e o LPNP32	59
Tabela 5.2	Resultados do Conversor A/D	63
Tabela B.1	Códigos Digitais	72

Ck	Sinal de clock – relógio para sincronismo
CNMOS	(Complimentary Metal Oxide Semiconductor) MOS-complementar
D/A	Conversor Digital-Analógico
DC	(Direct Current) corrente contínua Tipo de análise feita pelo SPICE
DNL	(Differential Nonlinearity) não-linearidade diferencial
FAPESP	Fundação de Amparo à Pesquisa do Estado de São Paulo
FS	(Full Scale) escala completa ou faixa de saída
Iin	Corrente analógica de entrada
INL	(Integral Nonlinearity) não-linearidade integral
Iref	Corrente de referência
L	Comprimento do canal dos transistores MOS (distância entre fonte e dreno)
LPNP	Transistor bipolar lateral NPN
LPNP	Transistor bipolar lateral PNP
LSB	(Least Significant Bit) bit menos significativo
MOS	(Metal Oxide Semiconductor) estrutura metal-óxido-semicondutor
MSB	(Most Significant Bit) bit mais significativo
NMOS	MOS canal N



Abreviaturas

A/D	Analógico/Digital
AC	(Alternate Current) corrente alternada. Tipo de análise feita pelo SPICE
BCD	(Binary Coded Decimal) binário codificado em decimal
B_i	i-ésimo bit
BICMOS	Tecnologia com estruturas Bipolares e CMOS na mesma pastilha
Ck	Sinal de <i>clock</i> – relógio para sincronismo
CMOS	(Complementary Metal Oxide Semiconductor) MOS complementar
D/A	Conversor Digital/Analógico
DC	(Direct Current) corrente contínua. Tipo de análise feita pelo SPICE
DNL	(Differential Nonlinearity) não-linearidade diferencial
FAPESP	Fundação de Amparo a Pesquisa no Estado de São Paulo
FS	(Full Scale) escala completa (ou fundo de escala)
I_{in}	Corrente analógica de entrada
INL	(Integral Nonlinearity) não-linearidade integral
I_{ref}	Corrente de referência
L	Comprimento do canal do transistor MOS (distância entre fonte e dreno)
LNPN	Transistor bipolar lateral NPN
LPNP	Transistor bipolar lateral PNP
LSB	(Least Significant Bit) bit menos significativo
MOS	(Metal Oxide Semiconductor) estrutura metal-óxido-semicondutor
MSB	(Most Significant Bit) bit mais significativo
NMOS	MOS canal N



PMOS	MOS canal P
PMU	Programa Multi-Usuário
S/H	(<i>Sample-and-Hold</i>) amostragem (<i>sample</i>) e parada (<i>hold</i>)
SNR	(<i>Signal-to-Noise Ratio</i>) relação sinal-ruído
SPICE	(Simulation Program Integrated Circuit Emphasis) Software de simulação
S-R	(<i>Set-Reset</i>) tipo de <i>flip-flop</i> ou <i>latch</i>
W	Largura do canal do transistor MOS



Capítulo 1

Introdução

1.1 Introdução

Em processamento de sinais, na busca constante de processos que possam resultar numa melhor performance e menor complexidade, a tecnologia digital tem sido largamente empregada. Além disso, os sistemas digitais podem armazenar, transmitir e receber dados com grande eficiência e facilidade. Portanto existe a necessidade de integração entre os sistemas analógicos e os sistemas digitais.

Esta integração é possível usando conversores analógicos/digitais (A/D) e conversores digitais/analógicos (D/A). Um conversor A/D genérico tem em sua entrada um sinal analógico que é transmitido a um circuito de decisão (geralmente comparadores, lógica de controle e outros) que terá em sua saída um nível lógico zero ou um. Este é um exemplo de um conversor de 1 bit. Entretanto, existe a necessidade de uma digitalização fiel que só pode ser conseguida com o aumento do número de bits, ou seja, da resolução.

Para a realização de conversores mais precisos, há necessidade de esforços contínuos para melhoria do desempenho. Algumas técnicas convencionais de conversão A/D serão apresentadas. Tais técnicas apresentam melhorias de determinadas características em detrimento de outras, como por exemplo: velocidade, precisão e dissipação de potência.

Visando a conversão de sinais analógicos em sinais digitais, este trabalho apresenta uma nova topologia de circuito com algoritmo em modo corrente para conversão em altas frequências. Utiliza tecnologia MOS (*Metal Oxide Silicon*) com baixa tensão de



alimentação(3.3V).

Técnicas analógicas empregando o modo corrente (*current mode*) tem tido grande atenção de projetistas devido seu potencial para aplicação em projetos de alta velocidade em processamento analógico de sinais e processamento misto de sinais (*mixed mode* - utilizando circuitos analógicos e digitais em uma mesma pastilha), com baixa tensão de alimentação em processos CMOS (*Complementary MOS*) de altíssima escala de integração (*Very Large Scale of Integration* – VLSI). A baixa tensão de alimentação e o baixo consumo de potência vão de encontro à tendência atual.

A dissertação está estruturada de forma a apresentar sequencialmente o projeto do conversor. Inicialmente, será feita uma abordagem dos algoritmos tradicionais de conversores A/D e o estado da arte. Será exposto então o algoritmo para *Implementação de um Conversor Analógico/Digital CMOS de 8 bits usando Modo Corrente*. A arquitetura do conversor analógico-digital proposto é uma composição da arquitetura tipo *flash* com a arquitetura de aproximação sucessiva.

Comparadores de corrente e fontes de corrente de referência que utilizam transistores bipolares laterais são principais blocos do conversor A/D, e serão apresentados, respectivamente, nos capítulos 2 e 3.

Para a realização do projeto foi utilizado o software SPICE para fazer as simulações dos circuitos que compõe o conversor A/D. Foram utilizados os parâmetros do processo MOS disponível no projeto Multi-usuário da FAPESP. Foi utilizado também o software Mentor Graphics para a confecção do leiaute do circuito integrado. O conversor A/D foi implementado utilizando o processo CMOS 0,8 μ m CYE. No capítulo 4 será apresentado a simulação do conversor A/D completo e a metodologia de leiaute.

No capítulo 5, serão apresentados os resultados obtidos experimentalmente. A conclusão do trabalho é apresentada capítulo 6. Finalmente serão exibidos os apêndices A e B, onde são apresentados, respectivamente, o leiaute do conversor, a fotografia da pastilha e as características dos conversores A/D e erros de conversão.

1.2 Técnicas de Conversão

O estudo de algumas das técnicas de conversão julgadas interessantes serão



abordadas. O conversor *A/D flash* e o conversor *A/D aproximação sucessiva* serão comentados devido a importância para o desenvolvimento do capítulo. O conversor *A/D Pipeline* é comentado por ser uma técnica moderna de conversão.

1.2.1 Conversores Flash

Os conversores *flash* são um dos mais rápidos entre as técnicas de conversão rápida. Usam um comparador com um sinal de referência para cada nível de quantização. Um circuito digital combina a saída dos comparadores e gera a palavra binária. A Figura 1.1 ilustra este tipo de conversor.

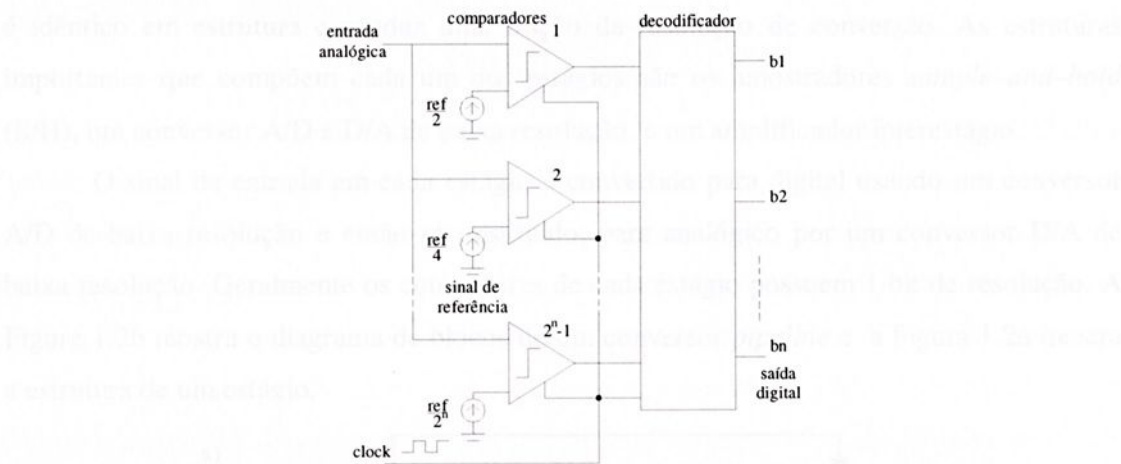


Figura 1.1. Conversor tipo flash generalizado, $b_1, b_2, \dots, b_n$ formam a palavra digital.

Para implementar um conversor *flash* com resolução de n bits, é necessário o emprego 2^n-1 comparadores e sinais de referência. Portanto, a complexidade do conversor e a área de pastilha requerida aumentam exponencialmente a cada bit de resolução adicionado. Para uma resolução de 8 bits são necessários 255 comparadores e níveis de referência. Outra desvantagem da estrutura é a elevada dissipação de potência.

Entretanto, a vantagem da topologia encontra-se no fato de que todos os bits de entrada são processados simultaneamente, o que permite a operação de codificação dos bits dentro de um ciclo de *clock*. Isso proporciona a operação em alta velocidade.

A saída dos comparadores gera o código digital tipo termométrico (ou gráfico de barras), sendo necessário um decodificador de código termométrico para binário.

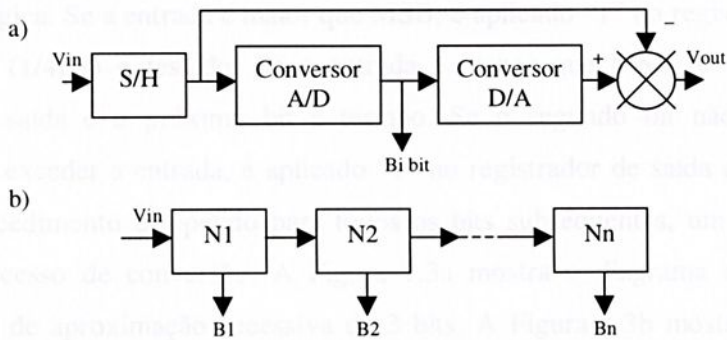


Uma forma utilizada para a redução do número de comparadores é a conversão em dois passos. Um exemplo de conversor que utiliza esta técnica, é o conversor *flash* CMOS em modo corrente de dois passos^[1]. O circuito utiliza 15 comparadores de corrente e 15 fontes de corrente de referência para uma resolução de 7-bits. O fato de se fazer a comparação em dois passos, perde-se em velocidade, mas reduz o número de comparadores e correntes de referência.

1.2.2 Arquitetura de um Conversor A/D Pipeline

A arquitetura *pipeline* possui uma estrutura modular^[2]. Cada estágio do conversor é idêntico em estrutura e produz uma fração da resolução de conversão. As estruturas importantes que compõem cada um dos estágios são os amostradores *sample-and-hold* (S/H), um conversor A/D e D/A de baixa resolução, e um amplificador interestágio.

O sinal de entrada em cada estágio é convertido para digital usando um conversor A/D de baixa resolução e então reconstituído, para analógico por um conversor D/A de baixa resolução. Geralmente os conversores de cada estágio possuem 1 bit de resolução. A Figura 1.2b mostra o diagrama de blocos de um conversor *pipeline* e a Figura 1.2a mostra a estrutura de um estágio.



Figural.2. Conversor pipeline genérico. a) Célula de conversão. b) Conversor.

Este processo de conversão A/D-D/A resulta em uma versão quantizada do sinal de entrada. Este sinal é subtraído do sinal original produzindo o resíduo que é o sinal de entrada do próximo estágio. Os bits de saída dos conversores A/D dos vários estágios são aplicados a um registrador de saída compondo os bits de saída de toda estrutura *pipeline*.

A maior limitação na precisão do conversor *pipeline* é o amplificador interestágio, especialmente nos primeiros estágios onde a precisão exigida é mais estrita. Outro componente crítico é o S/H, especialmente para implementações que utilizam resolução maior que um bit por estágio. O atual estado da arte^[2] para conversores *pipeline* está entre 12 a 15 bits de resolução com velocidade entre 1 a 2MHz, como o conversor auto-calibrado^[3] de 15 bits 1Ms/s

1.2.3 Conversores de Aproximação Sucessiva^[4,5]

Esta técnica usa um registrador como registrador de aproximação sucessiva para achar cada bit por tentativa e erro. A técnica de conversão consiste na comparação do sinal analógico de entrada com um valor de tensão ou corrente gerado digitalmente por um conversor D/A. O número digital na entrada do conversor D/A utilizado para obter a referência é o mesmo código digital de saída do conversor A/D. O processo de conversão é semelhante ao processo de pesar usando uma balança. Aplicando diferentes pesos padrões (valor analógico com seu correspondente binário) comparando-os com o peso desconhecido (sinal a ser convertido) obtém-se o valor correspondente em binário. Ao iniciar o processo de conversão a saída do conversor D/A é ajustada no valor MSB (FS/2) e é comparada com a entrada analógica. Se a entrada é maior que MSB, é aplicado "1" no registrador de saída e o próximo bit (1/4FS) é testado. Se a entrada é menor que MSB, é aplicado "0" no registrador de saída e o próximo bit é testado. Se o segundo bit não adiciona valor suficiente para exceder a entrada, é aplicado "1" no registrador de saída e o terceiro bit é testado. O procedimento é repetido para todos os bits subsequentes, um bit por vez, até concluir o processo de conversão. A Figura 1.3a mostra o diagrama de bloco de um conversor A/D de aproximação sucessiva de 3 bits. A Figura 1.3b mostra o processo de conversão em função do tempo.

O tempo de conversão é $t_f - t_i$, ou seja, é o intervalo entre o tempo final (t_f) e tempo inicial (t_i). Durante este intervalo o registrador passa por vários valores até atingir o valor final, que será amostrado na saída. Por esta razão este conversor é caracterizado como lento. O tempo de resposta típico para esta técnica depende da arquitetura utilizada e do número de bits de resolução, em geral, este valor é da ordem de alguns microsegundos. Um



exemplo desta técnica é o conversor de alta resolução com tecnologia MOS^[6].

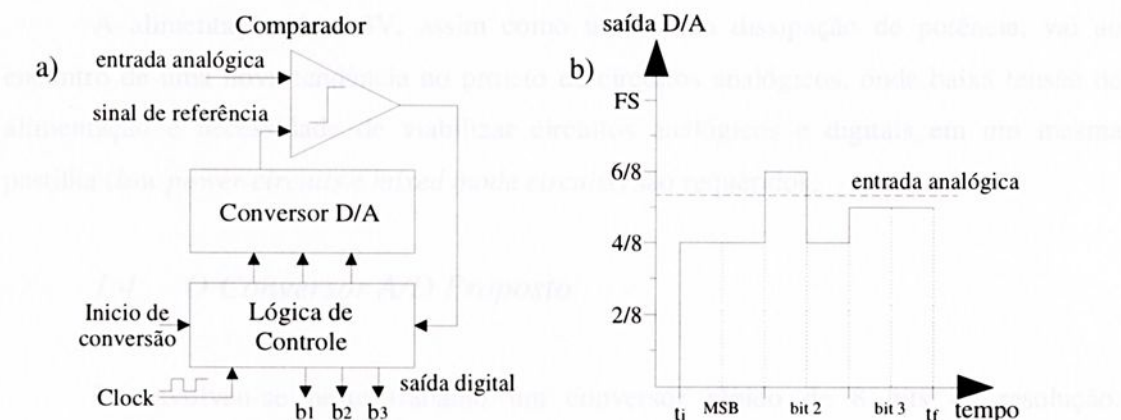


Figura 1.3. a) Diagrama de blocos de um conversor A/D de aproximação sucessiva.

b) Saída idealizada de um conversor A/D de aproximação sucessiva.

1.3 O Estado da Arte

As principais características de um conversor A/D são precisão, velocidade e dissipação de potência. O desafio no projeto de conversores A/D é a otimização destas características, havendo, portanto, necessidade de esforços contínuos para melhoria do desempenho dos conversores. As técnicas conhecidas possibilitam melhorias de algumas destas características em detrimento de outras, como por exemplo, ganho em velocidade e com perdas em precisão. Os trabalhos recentes nesta área buscam o aumento da velocidade e precisão, com baixa dissipação de potência. Encontra-se na literatura algumas técnicas e topologias de conversores que priorizam estas características, como um conversor que trabalha em uma frequência de 80MHz, possui 8 bits e dissipa 80mW^[7]. Para atingir tal desempenho este circuito utiliza a técnica de *folding* com um circuito de pré-processamento. De forma análoga, utilizando a mesma técnica, outro circuito possui velocidade de 70-MS/s, 8 bits e 110mW de dissipação de potência^[8]. Um terceiro circuito é um conversor que se utiliza da técnica *flash*, com pré-processamento, para redução do número de comparadores e possui velocidade de 175 Ms/s, 6 bits e dissipa 160 mW de potência^[9]. Ainda, com o intuito de reduzir os efeitos de descasamento o circuito trabalha com topologias totalmente diferenciais e processamento em modo corrente. Todos os circuitos citados foram implementados com tecnologia CMOS e trabalham com uma tensão

de alimentação de 3,3V.

A alimentação de 3,3V, assim como uma baixa dissipação de potência, vai ao encontro de uma nova tendência no projeto de circuitos analógicos, onde baixa tensão de alimentação e necessidade de viabilizar circuitos analógicos e digitais em um mesma pastilha (*low power circuits* e *mixed mode circuits*) são requeridos.

1.4 O Conversor A/D Proposto

Desenvolveu-se neste trabalho um conversor rápido de 8 bits de resolução, utilizando modo corrente, empregando a tecnologia CMOS 0.8 μ m disponível no programa PMU da FAPESP. Foi também objetivo deste trabalho mostrar a possibilidade de implementar este conversor utilizando a tecnologia CMOS digital padrão.

O algoritmo do conversor proposto, utilizando a tecnologia CMOS, e uma alimentação de 3,3V, pode representar uma alternativa na implementação de conversores A/D com alta velocidade e precisão, assim como o desenvolvimento de novas melhorias e aplicações. Além de baixa dissipação de potência, principalmente em relação a circuitos bipolares^[10-11], este algoritmo apresenta também uma melhoria em relação ao algoritmo em cascata^[12] composto de n células para n bits de resolução, onde cada célula tem sua saída ligada a entrada da célula seguinte (próximo bit), e isto acarreta um atraso na propagação do sinal.

1.4.1 Processamento em Modo Corrente

Grande parte dos circuitos analógicos trabalham com tensão, principalmente quando se utiliza tecnologia CMOS. Novos estudos, entretanto, tem explorado o uso do modo corrente com mesma tecnologia objetivando determinar as suas potencialidades, novas aplicações e melhorias em processamento analógico de sinais. Este trabalho faz parte desta linha de pesquisa que visa o processamento em corrente.

O processamento neste modo apresenta algumas vantagens para implementação de circuitos em relação ao modo tensão usual. Uma destas vantagens é a menor complexidade de circuitos na implementação de operadores algébricos, tais como somadores, subtratores



e divisores. Entretanto, a principal vantagem, que é a motivação da utilização do processamento em modo corrente, é a implementação de circuitos com grande largura de banda e possibilidade de trabalhar em altas frequências, viabilizando o projeto de conversores de alta velocidade. Isto é possível porque o circuito trabalhando em corrente não submete os dispositivos a variações de tensão, minimizando os efeitos das capacitâncias parasitas ao longo do circuito que por sua vez diminuem as constantes de tempo das redes de atraso criadas por estas capacitâncias.

1.4.2 Descrição do Algoritmo

O algoritmo do conversor proposto é baseado na mistura da arquitetura *flash* com o algoritmo de aproximação sucessiva. Este tem como entrada uma corrente I_{in} , que é a corrente analógica que se deseja converter e será comparada a uma corrente de referência I_{ref} . Esta corrente necessita ser estável e precisa, para que haja uma comparação adequada.

Antes de descrevê-lo é necessário adotar uma notação:

I_{in}	Corrente analógica de entrada
I_{ref}	Corrente de referência
$B_0, B_1, B_2, \dots, B_{n-1}$	são os bits de saída do conversor A/D
$\overline{B}_0, \overline{B}_1, \overline{B}_2, \dots, \overline{B}_{n-1}$	são os bits de saída complementar
$\Leftrightarrow$	Comparação

É descrita abaixo a adaptação do algoritmo clássico do conversor por aproximação sucessiva para o modo corrente.

Bit 1 : $I_{in} \Leftrightarrow I_{ref}/2, B_0 = 1$ se $I_{in} > I_{ref}/2$;

Bit 2 : $I_{in} \Leftrightarrow B_0 \cdot I_{ref}/2 + I_{ref}/4, B_1 = 1$ se $I_{in} > B_0 \cdot I_{ref}/2 + I_{ref}/4$;

$\vdots$

Bit n : $I_{in} \Leftrightarrow B_0 \cdot I_{ref}/2 + B_1 \cdot I_{ref}/4 + \dots + B_{n-2} \cdot I_{ref}/2^{n-1} + I_{ref}/2^n, B_{n-1} = 1$
se $I_{in} > B_0 \cdot I_{ref}/2 + B_1 \cdot I_{ref}/4 + \dots + B_{n-2} \cdot I_{ref}/2^{n-1} + I_{ref}/2^n$



A primeira comparação (de I_{in} com $I_{ref}/2$) determina o primeiro bit. Para que B_0 seja igual a um, I_{in} deve ser maior que $I_{ref}/2$, ou seja, na comparação o resultado será nível alto sempre que a corrente comparada for maior que a referência. A determinação do próximo bit, B_1 , depende do resultado da comparação anterior. Os próximos bits serão determinados sequencialmente conforme o algoritmo.

Este método porém, apresenta a necessidade de adição e subtração de correntes. Devido ao fato de se somar uma parcela de corrente na determinação de um bit, é necessário subtrair a mesma parcela na próxima comparação caso o último bit determinado tiver nível lógico zero. Esta é a característica básica do algoritmo que, para aproximar a palavra binária do sinal analógico correspondente, faz sucessivas somas e subtrações até atingir o valor mais próximo do mesmo. Isto acarreta uma perda de velocidade que caracteriza o conversor como de baixa velocidade. Para a solução deste inconveniente é descrito um algoritmo^[10-11] que trabalha apenas com soma. Assim:

$$\text{Bit 1: } I_{in} \Leftrightarrow I_{ref}/2;$$

$$\text{Bit 2: } I_{in} + B_0 \cdot I_{ref}/2 \Leftrightarrow I_{ref}/2 + I_{ref}/4;$$

$$\text{Bit 3: } I_{in} + B_0 \cdot I_{ref}/2 + B_1 \cdot I_{ref}/4 \Leftrightarrow I_{ref}/2 + I_{ref}/4 + I_{ref}/8;$$

$$\text{Bit n: } I_{in} + B_0 \cdot I_{ref}/2 + B_1 \cdot I_{ref}/4 + \dots + B_{n-2} \cdot I_{ref}/2^{n-1} \Leftrightarrow I_{ref}/2 + I_{ref}/4 + \dots + I_{ref}/2^n;$$

Portanto pode-se definir o algoritmo da seguinte forma:

$$\text{Bit 1} = 1 \text{ se } I_{in} \geq I_{ref}/2;$$

$$\text{Bit 2} = 1 \text{ se } I_{in} + \overline{B_0} \cdot I_{ref}/4 \geq I_{ref}/2 + B_0 \cdot I_{ref}/4;$$

$$\text{Bit 3} = 1 \text{ se } I_{in} + \overline{B_0} \cdot I_{ref}/4 + \overline{B_1} \cdot I_{ref}/8 \geq I_{ref}/2 + B_0 \cdot I_{ref}/4 + B_1 \cdot I_{ref}/8;$$

$$\text{Bit n} = 1 \text{ se } I_{in} + \overline{B_0} \cdot I_{ref}/4 + \overline{B_1} \cdot I_{ref}/8 + \dots + \overline{B_{n-2}} \cdot I_{ref}/2^n \geq I_{ref}/2 + B_0 \cdot I_{ref}/4 + B_1 \cdot I_{ref}/8 + \dots + B_{n-2} I_{ref}/2^n;$$

Nesta representação matemática os B_i bits e bits complementares (1 ou 0) multiplicam-se para realizar a adição ou não das fontes de correntes em cada membro da expressão.

1.4.3 Topologia do Conversor A/D

O conversor de 8 bits é implementado usando o algoritmo exposto. Para esta apresentação considera-se o diagrama de um conversor de n bits mostrado na Figura 1.4.

No diagrama de blocos da Figura 1.4, os blocos principais são os comparadores de corrente ($Comp_1$, $Comp_2$, $Comp_3$,..., $Comp_n$), as chaves de corrente composta de dois transistores e as fontes de referência em corrente ($I_{ref}/2$, $I_{ref}/4$, $I_{ref}/8$,..., $I_{ref}/2^n$).

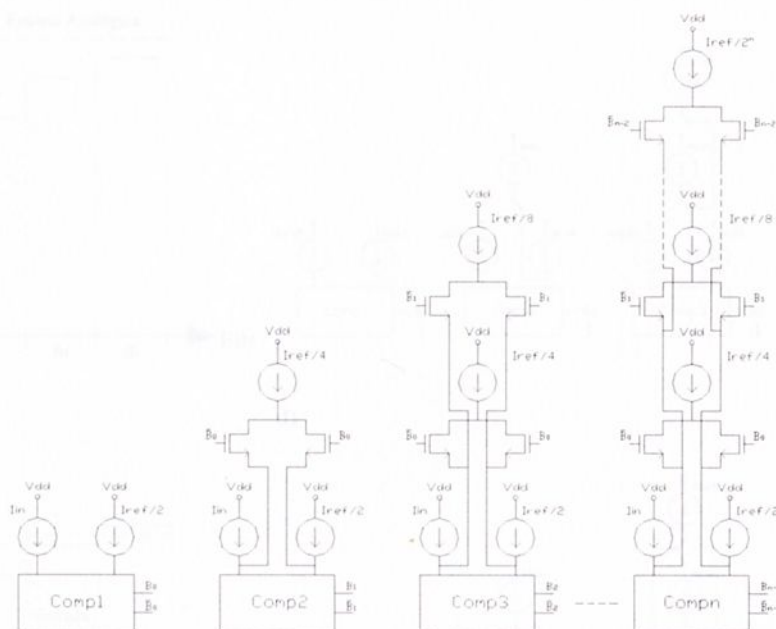


Figura1.4. Diagrama de blocos de um conversor A/D de n bits usando o algoritmo exposto.

Comparando a arquitetura na Figura 1.4 com o algoritmo descrito em 1.4.2, é possível verificar que a topologia o implementa de forma eficaz.

Para exemplificar o funcionamento da estrutura, considera-se um conversor A/D de 4 bits com corrente de escala completa de 160 μ A e os seguintes valores de correntes de referência : $I_{ref}/2=80\mu$ A, $I_{ref}/4=40\mu$ A $I_{ref}/8=20\mu$ A $I_{ref}/16=10\mu$ A. A Figura 1.5a mostra o valor da corrente na entrada I_{ref} de cada comparador (bit) durante o processo de conversão. Como a corrente de entrada é o valor de escala completa, todos os bits são nível alto e



assim, todas as correntes de referência se somam à $I_{ref}/2$. A Figura 1.5b mostra a posição das chaves. Alterando a corrente de entrada para $105\mu A$, verifica-se na Figura 1.5c que as correntes de referência $I_{ref}/4$ e $I_{ref}/16$ continuam se somando à $I_{ref}/2$. Porém, a corrente $I_{ref}/8$ soma-se à corrente de entrada I_{in} . Isso ocorre porque a corrente na entrada de referência do comparador 2 (bit 2) é maior que a corrente de entrada do mesmo, tornando o bit 2 nível baixo (o comparador do bit anterior determina a posição do fechamento da chave do bit posterior). A Figura 1.5.d mostra o novo posicionamento das chaves.

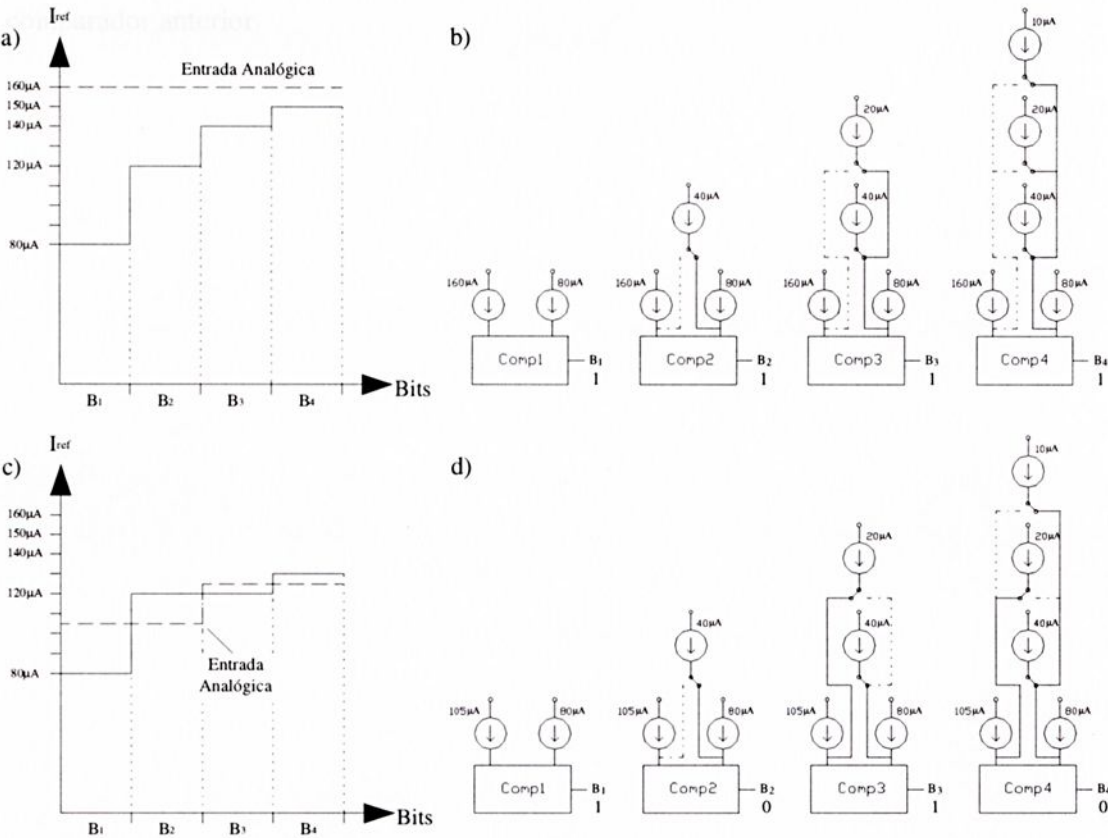


Figura 1.5. Valores das correntes I_{ref} e I_{in} para cada bit. a) As referências somam-se apenas à entrada $I_{ref}/2$. b) Posicionamento das chaves. c) As referências somam-se tanto à entrada $I_{ref}/2$, quanto ao sinal de entrada. d) Novo posicionamento das chaves.

Os comparadores são um dos principais blocos, sua precisão e velocidade determinarão a precisão e velocidade do conversor, cada comparador corresponde a um dos bits de saída que geram a palavra binária.



Outro bloco importante são as fontes de referência em corrente, que serão o padrão de comparação com a corrente de entrada. Portanto, necessitam ser estáveis e precisas para não afetarem os níveis de quantização.

As chaves de corrente não são componentes críticos e implementam a soma complementar das fontes de referência em correntes ($I_{ref}/2, I_{ref}/4, \dots, I_{ref}/2^n$), a cada nova comparação. Assim uma única fonte $I_{ref}/2, I_{ref}/4, \dots, I_{ref}/2^n$ é necessária. Estas são chaveadas entre as entradas do comparador, segundo o valor lógico do bit de saída do comparador anterior.

Implementação do Comparador de Corrente

2.1 Introdução

Como o comparador de corrente é principal bloco do conversor proposto, foi pesquisada na literatura as principais configurações existentes, em estado da arte e suas principais limitações. Para as circuitas de analogia, usando os parâmetros do processo CMOS disponível no grupo Multi-usuário da FAPESP, foi realizada pesquisa de alguns comparadores a fim de se obter conhecimentos das estruturas usadas, bem como suas características em termos de velocidade e precisão. Isso ajudou na escolha para a implementação da topologia de circuito que apresenta melhor performance para a aplicação proposta.

2.2 Conceito e Características

A função de um comparador de corrente^[12] é comparar um sinal em corrente com outro sinal também em corrente (referência), para gerar um sinal de saída (tensão ou corrente) que classifique o primeiro sinal em forma binária.

A Figura 2-1a mostra as características de transferência atual de um comparador de corrente para codificação em tensão, ou seja, nível binário em termos $V_{out} = f(I_{in})$, de acordo com valores nulos para o estado lógico de saída, ou seja, $V_{out} = 0$ para o nível maior que I_{ref} e nível baixo se for menor que I_{ref} . A Figura 2-1b mostra a relação de



Capítulo 2

Implementação do Comparador de Corrente

2.1 Introdução

Sendo o comparador de corrente o principal bloco do conversor proposto, foi pesquisado na literatura as principais configurações existentes, seu estado da arte e principais limitações. Foram efetuadas as simulações, usando os parâmetros do processo CMOS disponível no projeto Multi-usuário da FAPESP, dos principais circuitos comparadores a fim de se obter conhecimento das estruturas usuais, bem como suas características em termos de velocidade e precisão. Este estudo foi necessário para determinação da topologia de circuito que apresenta melhor performance para a aplicação proposta.

2.2 Conceito e Características

A função de um comparador de corrente^[13] é comparar um sinal em corrente com outro sinal também em corrente (referência), para prover um sinal de saída (tensão ou corrente) que classifique o primeiro sinal em forma binária.

A Figura 2.1a mostra a característica de transferência ideal de um comparador de corrente para codificação em tensão, ou seja, nível binário em tensão. E_{OH} e E_{OL} na Figura denotam os valores limites para o estado lógico de saída, ou seja, V_o será nível alto se for maior que E_{OH} , e será nível baixo se for menor que E_{OL} . A Figura 2.1b mostra a resposta de



comparador. As vantagens deste comparador são sua simplicidade, sua fácil implementação e pequena área ocupada no circuito integrado. Contudo, esta arquitetura perde em precisão e velocidade.

Um comparador com topologia semelhante dissipa $70\mu\text{W}^{[13]}$ com tempo de resposta de $50\mu\text{s}$ para o processo CMOS de $2\mu\text{m}$, utilizando amplificador cascode com alto ganho como conversor corrente-tensão, e emprega um inversor para complementar o nível lógico e isolar a carga.

Outro comparador^[13], que dissipa $260\mu\text{W}$ com tempo de resposta de $0,5\mu\text{s}$ utiliza dois inversores como conversor corrente-tensão e um terceiro inversor como isolador.

Estes comparadores apresentam as mesmas características, tais como facilidade de projeto, fácil implementação, baixo consumo, baixa velocidade.

Uma estrutura usando processo CMOS $1.6\mu\text{m}$ dissipando $1.4\text{mW}^{[14]}$ e que opera como inversor classe AB é apresentada a seguir. Esta estrutura apresenta uma melhoria em relação as descritas anteriormente com um circuito simples. O circuito é composto por um conversor corrente-tensão e vários isoladores todos usando inversores. Apesar da alta velocidade deste circuito, ele opera apenas com correntes pequenas.

Além de serem circuitos de fácil implementação e de baixo consumo de energia, os circuitos descritos não necessitam de pulsos de *clock* para forçar a comparação.

2.4 Comparadores de Corrente Regenerativos

Uma alternativa para o projeto de comparadores é o emprego da realimentação positiva. A realimentação positiva acelera o processo de comparação aumentando a transimpedância do comparador (aumentando a inclinação da característica de transferência). Isso aumenta a instabilidade na região de transição. Os comparadores que utilizam a realimentação positiva são chamados de comparadores regenerativos.

A aceleração do processo de comparação também pode ser realizada com a utilização de pulsos de *clock* para forçar a comparação.



2.4.1 Comparador de Corrente com Duplo Clock não Sobrepostos

O circuito comparador proposto é uma adaptação de um comparador de tensão^[15] que utiliza um sistema de *reset* e regeneração com dois pulsos de *clock* não sobrepostos de 65 MHz com sinal de entrada de até 32,5 MHz. Esta adaptação não traz prejuízo ao novo circuito, pois o par diferencial de entrada funciona como um conversor tensão corrente. Assim, o conversor atua no modo corrente e possui características semelhantes ao comparador de tensão. Apenas eliminou-se o par diferencial assim como a sua polarização, tornando-o um pouco mais rápido, eliminando o tempo propagação do sinal através do par diferencial.

O circuito comparador é descrito na Figura 2.2. É composto de um *latch* e um *flip-flop* S-R (*Set-Reset*). O *latch* é composto de dois *flip-flops*. O primeiro utilizando transistores NMOS (M_1, M_2), um par de chaves NMOS (M_3, M_4) como *strobing* (que funcionam como portas de transferência) e uma chave NMOS (M_9) para realizar o *reset*. O segundo *flip-flop* utiliza transistores PMOS (M_5, M_6) com um par de chaves PMOS (M_7, M_8) funcionando como pré-carregadores, levando os nós *c* e *d* à tensão de alimentação positiva (V_{DD}) quando fechadas. Ck_1 e Ck_2 são dois *clocks* não sobrepostos fazendo o chaveamento de M_7, M_8 e M_9 respectivamente.

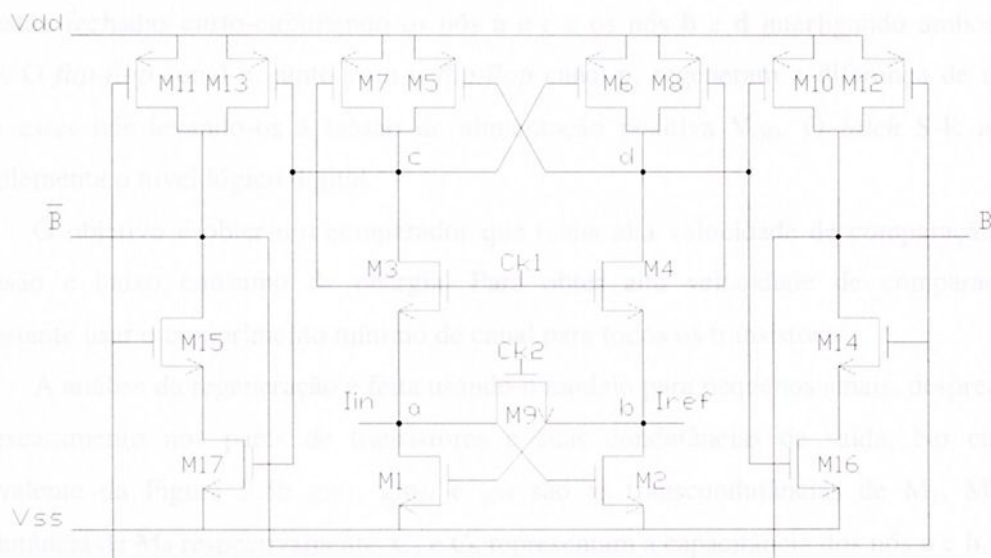


Figura 2.2. Comparador de Corrente (diagrama esquemático).

A operação dinâmica do circuito é dividida em intervalo de *reset* e intervalo de regeneração. Os dois intervalos estão aproximadamente entre t_1 e t_2 e entre t_3 e t_4 , respectivamente, como mostra a Figura 2.3c. Enquanto Ck_1 está em nível alto, o comparador está em modo *reset* e M_9 está fechado. Isso faz com que as tensões nos nós **a** e **b** sejam igualadas, pois o fechamento de M_9 curto-circuita estes nós através de sua resistência dreno-fonte. Após o estágio de entrada ajustar-se, as tensões nos nós **a** e **b** serão proporcionais às correntes de entrada e de referência respectivamente.

A tensão V_{ab} age como desequilíbrio inicial para intervalo de regeneração. Supondo o *flip-flop* canal-n no modo *reset*, o *flip-flop* canal-p também está no modo *reset* pelas chaves M_7 e M_8 que levam os nós **c** e **d** à tensão de alimentação positiva V_{DD} . Portanto, a saída do *latch* é nível lógico 1.

A regeneração se inicia pela abertura de M_9 . Ao mesmo tempo M_3 e M_4 isolam o *flip-flop* canal-n do *flip-flop* canal-p quando o sinal Ck_2 está em nível baixo.

O processo de regeneração é importante para a performance do comparador. É realizado em dois passos por meio de dois *clocks* não sobrepostos.

O primeiro passo da regeneração está dentro do curto espaço de tempo entre Ck_2 indo a nível baixo e Ck_1 indo a nível alto. Este passo eleva a velocidade da regeneração.

O segundo passo da regeneração inicia quando Ck_1 vai a nível alto e as chaves M_3 e M_4 estão fechadas curto-circuitando os nós **a** e **c** e os nós **b** e **d** interligando ambos *flip-flops*. O *flip-flop* canal-n, junto com o *flip-flop* canal-p, regeneram a diferença de tensão entre estes nós levando-os à tensão de alimentação positiva V_{DD} . O *latch* S-R apenas complementa o nível lógico digital.

O objetivo é obter um comparador que tenha alta velocidade de comparação, alta precisão e baixo consumo de energia. Para obter alta velocidade de comparação é importante usar o comprimento mínimo de canal para todos os transistores.

A análise da regeneração é feita usando o modelo para pequenos sinais, desprezando o descasamento nos pares de transistores e suas condutâncias de saída. No circuito equivalente da Figura 2.3b gm_1 , gm_2 , e g_{O9} são as transcondutâncias de M_1 , M_2 e a condutância de M_9 respectivamente. C_a e C_b representam a capacitância dos nós **a** e **b**.



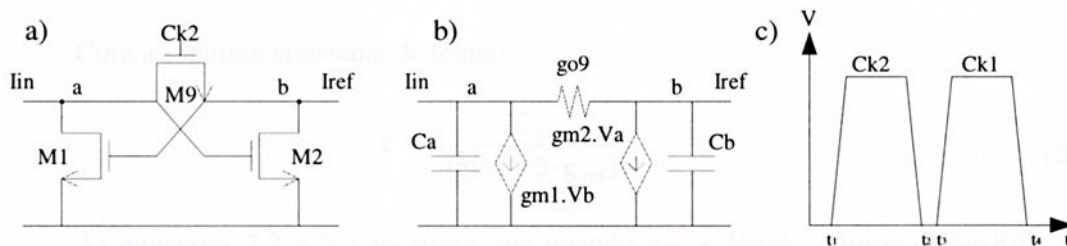


Figura 2.3.(a) flip-flop canal-n. (b) Modelo a pequenos sinais. (c) Clock.

Calculando as correntes I_a e I_b : $I_a = I_{Ca} + I_{D1} + I_{D9}$. Pela simetria do circuito e considerando os dispositivos casados, assume-se que $C_a = C_b$ e $gm_1 = gm_2$.

$$I_a = I_{in} \text{ e } I_b = I_{ref}.$$

$$I_a = C_a \frac{dV_a}{dt} + gm_1 V_b + go_9 (V_a - V_b) \quad (2.1)$$

$$I_b = C_a \frac{dV_b}{dt} + gm_2 V_a - go_9 (V_a - V_b) \quad (2.2)$$

Calcula-se V_{ab} subtraindo a equação 2.1 de 2.2, como segue:

$$I_a - I_b = C_a \frac{dV_{ab}}{dt} + gm_1 (V_b - V_a) + 2 \cdot go_9 V_{ab}$$

$$\frac{d}{dt} V_{ab} + \frac{2 \cdot go_9 - gm_1}{C_a} V_{ab} = \frac{I_a - I_b}{C_a}$$

$$V_{ab} = x \quad \frac{2 \cdot go_9 - gm_1}{C_a} = a \quad \frac{I_a - I_b}{C_a} = k$$

$$\frac{d}{dt} x + ax = k \quad x = K' e^{-at} + e^{-at} \int e^{at} k dt \quad x = K' e^{-at} + \frac{a}{k}$$

$$V_{ab} = K' e^{-\frac{2 \cdot go_9 - gm_1}{C_a} t} + \frac{I_a - I_b}{C_a}$$

Assim, obtém-se K' : V_{ab0} para $t=0$.

$$V_{ab} = \left[V_{a0} - V_{b0} - \frac{I_{in} - I_{ref}}{(2 \cdot go_9 - gm_1)} \right] e^{\left(\frac{t}{\tau}\right)} + \frac{I_{in} - I_{ref}}{(2 \cdot go_9 - gm_1)} \quad (2.3)$$

Com a seguinte constante de tempo:

$$\tau = \frac{C_a}{(gm_1 - 2 \cdot g_{O9})} \quad (2.4)$$

As equações 2.3 e 2.4 mostram que quando $g_{O9} < \frac{1}{2}gm_1$, τ torna-se positivo e o primeiro passo da regeneração se inicia. Na equação 2.3, V_{a0} e V_{b0} são incrementados no momento inicial, $V_{ab} = V_a - V_b$.

Para aumentar a velocidade do primeiro passo da regeneração, a constante de tempo deve ser minimizada. Quando M_9 está aberto, a constante de tempo depende apenas da capacitância do nó **a** e **b**, e a transcondutância de M_1 e M_2 . A capacitância está relacionada ao tamanho de M_1 , M_2 , M_3 , M_4 e M_9 . A largura W de M_9 afeta diretamente a velocidade de *reset*. Uma execução de *reset* imperfeita causará histerese.

A diferença de tensão entre os nós **a** e **b** reduz rapidamente o começo do *reset*, se a corrente através de M_9 for igual a corrente através de M_1 . Portanto as larguras de M_1 , M_2 e M_{12} devem satisfazer a inequação de $I_9 > I_1$.

Usando o modelo simplificado (região linear para M_9) tem-se:

$$I_D = \frac{W}{L} K' \left[(V_{GS} - V_T) - \frac{V_{DS}}{2} \right] V_{DS}$$

$$I_9: V_{GS9} = V_{DD} - V_b \text{ e } V_{DS9} = V_{ab}$$

$$\frac{W_9}{L_9} K' \left[((V_{DD} - V_b) - V_{T9}) - \frac{V_{ab}}{2} \right] V_{ab}$$

Usando o modelo simplificado (região de saturação para M_1) tem-se:

$$I_D = \frac{1}{2} \frac{W}{L} K' (V_{GS} - V_T)^2$$

$$I_1: V_{GS1} = V_b - V_{DD}$$

$$\frac{1}{2} \frac{W_1}{L_1} K' [(V_a - V_{SS}) - V_{T1}]^2$$

onde L é o comprimento do canal e K' o produto entre a mobilidade do elétron e a capacitância da interface MOS. (É desprezado neste calculo o efeito de modulação de canal e o efeito de corpo).

Para $I_9 > I_1$, tem-se:

$$\frac{W_9}{L_9} K' [(V_{DD} - V_b - V_{T9})(V_a - V_b) - 0.5(V_a - V_b)^2] > 0.5 \frac{W_1}{L_1} K' [(V_a - V_{SS}) - V_{T1}]^2 \quad (2.5)$$

Solucionando a equação 2.5 de acordo com os parâmetros do processo utilizado (0,8µm CMOS) obtêm-se a expressão aproximada $W_9 > \frac{1}{4} W_1$. Este valor foi inicialmente utilizado nas simulações do comparador.

Utilizando as mesmas razões de aspecto como ponto de partida, foram realizadas simulações com o software SPICE verificando diversas características, tais como:

- Precisão: verificando a mínima corrente que o comparador pode discernir e o menor diferença entre valores de corrente de entrada e de referência próximos – este valor é menor que 1µA.
- Velocidade: tanto a velocidade de *clock* quanto do sinal de entrada foram simuladas diminuindo o período de ambos.

A tensão elevada em V_{DS1} e V_{DS2} (próximo a tensão máxima para este nó - 2,5V) torna o comparador inviável para a comparação de correntes elevadas (da ordem de 500µA),

Uma corrente no nó **a** causa imediatamente uma tensão V_{DS1} proporcional a esta corrente. É fácil ver pela equação da corrente de dreno do transistor MOS que um aumento de W reduz esta tensão. Foi obtido então por simulação um novo valor de $W_1 = 30\mu\text{m}$ (mesmo valor para W_2) buscando a solução do problema.

A relação após a otimização é: $W_9 = \frac{1}{3} W_1$, $W_3 = W_9$, $W_7 = 2,5 \cdot W_9$ e $W_5 = 2,5 \cdot W_1$.

A Figura 2.4 mostra a resposta do comparador com *clock* de 166MHz, sinal de entrada de 2µA e 83MHz e corrente de referência de 1µA. A Figura 2.5 mostra a mudança de estado para uma entrada qualquer (frequência do sinal de entrada muito menor que a frequência de *clock*).

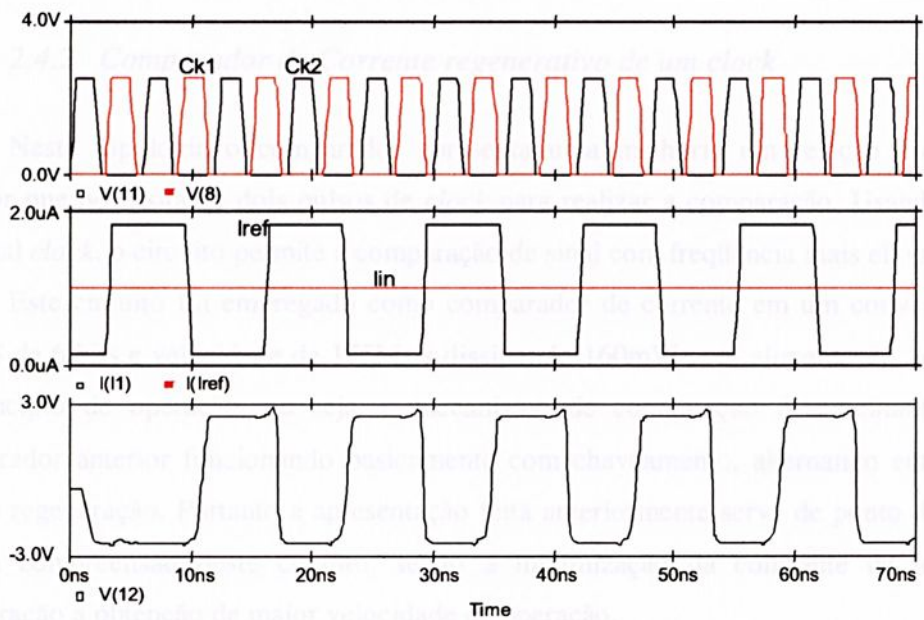


Figura 2.4. Saída do comparador. Frequência de clock 143 MHz; Sinal de entrada de $2\mu A$ a 72 MHz e fonte de referência de $1\mu A$.

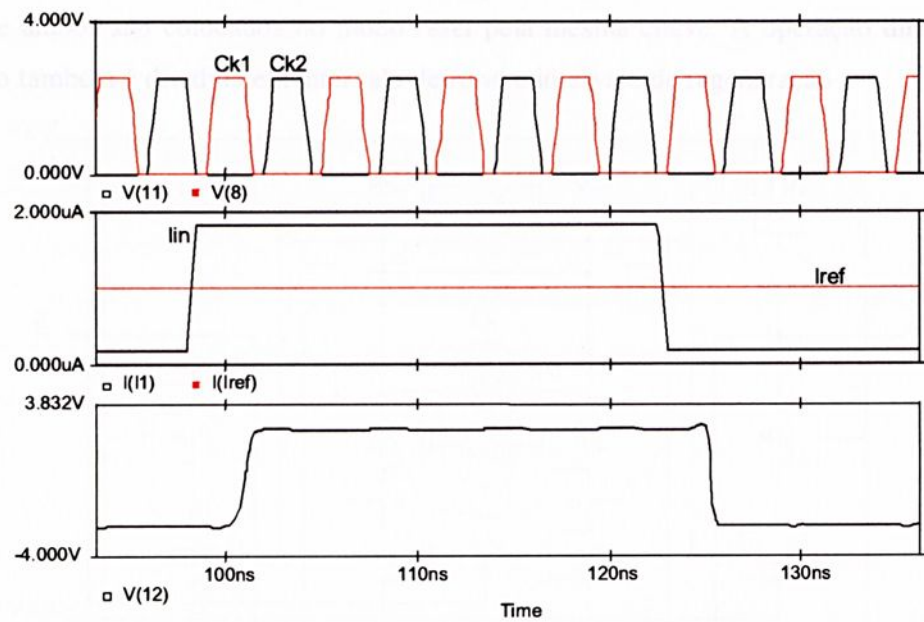


Figura 2.5. Saída do comparador. Mudança de nível lógico (entrada qualquer); Clock; e Corrente de entrada.



2.4.2 Comparador de Corrente regenerativo de um clock

Nesta topologia o comparador apresenta uma melhoria em relação ao circuito anterior que necessita de dois pulsos de *clock* para realizar a comparação. Usando apenas um sinal *clock*, o circuito permite a comparação de sinal com frequência mais elevada.

Este circuito foi empregado como comparador de corrente em um conversor A/D CMOS de 6 bits e velocidade de 175Ms/s dissipando 160mW com alimentação de 3.3V^[9]. O princípio de operação, ou seja, o mecanismo de comparação é semelhante ao do comparador anterior funcionando basicamente com chaveamento, alternando entre modo *reset* e regeneração. Portanto a apresentação feita anteriormente serve de ponto de partida para a compreensão deste circuito, sendo a minimização da constante de tempo de regeneração a obtenção de maior velocidade de operação.

O circuito comparador descrito na Figura 2.6 é composto por dois *flip-flops*, uma chave CMOS, um par de transistores NMOS na entrada e outro na saída, além de um *latch* S-R. Os *flip-flops* PMOS e NMOS são interligados, que difere da topologia apresentada em 2.4.1, e ambos são colocados no modo *reset* pela mesma chave. A operação dinâmica do circuito também é dividida em intervalo de *reset* e intervalo de regeneração .

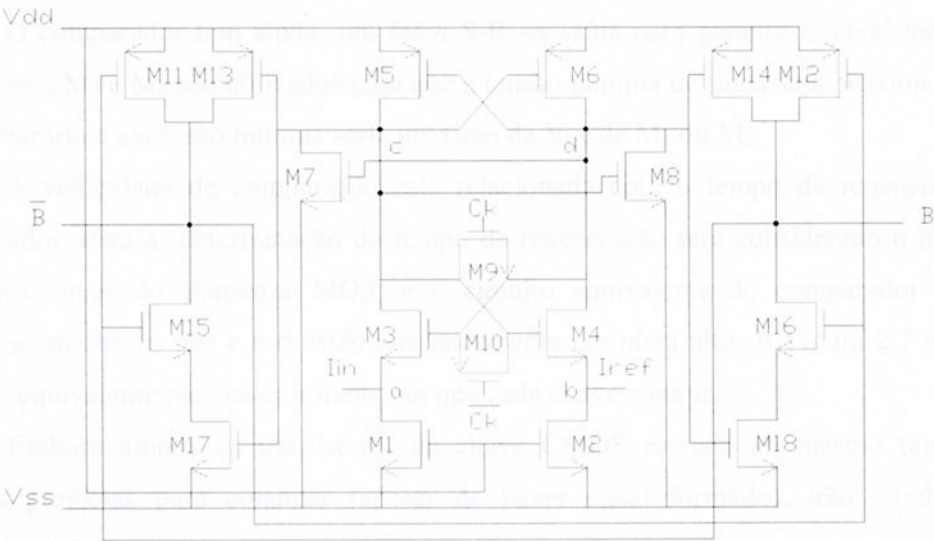


Figura 2.6. Comparador de corrente regenerativo com um sinal de clock.

O intervalo de *reset* ocorre quando o sinal de *clock* está em nível alto e a chave CMOS está fechada. Quando isso acontece, os nós *c* e *d* são curto-circuitados através da



resistência r_{DS} da chave e consequentemente todas as portas dos *flip-flops* também são curto-circuitados, e a tensão de saída é zero. Este efeito também força as tensões dos nós **a** e **b** a se igualarem. Assim que o *clock* vai a nível baixo, a tensão nos nós **a** e **b** se restabelecem de acordo com a corrente na entrada de cada nó. Então os *flip-flops* regeneram as tensões nestes nós levando a saída a nível alto ou baixo dependendo de qual corrente é maior. Quando é dito nível alto ou baixo neste circuito comparador, refere-se $HI=1,65V$ e $LO=-1,65V$. Portanto zero é ponto de transição.

Devido ao *reset* as tensões V_c e V_d se tornam iguais. A regeneração das tensões em **a** e **b** através do *flip-flop*, ditaram qual será o próximo nível lógico de saída. Assim, entrar e sair do modo de *reset* força a regeneração e, portanto, a realização da comparação. Dessa forma a comparação em alta velocidade é possível.

No circuito anterior era necessário um pulso de *clock* para *reset* e outro para regeneração. Neste circuito, a regeneração ocorre após a abertura da chave CMOS, porque os transistores M_1 e M_2 estão sempre recebendo as correntes de entrada e referência, os quais mantêm uma tensão proporcional a elas nos respectivos nós e são automaticamente colocados em *reset* ao se colocar os *flip-flops* em *reset*. Desta forma, todo processo ocorre em um ciclo de *clock*.

O comparador tem ainda, um *latch* S-R na saída para garantir o nível lógico. Os transistores M_7 e M_8 são utilizados para que a tensão mínima de saída seja próxima de V_{SS} , caso contrário a excursão mínima seria próximo de V_{DS} de M_1 ou M_2 .

A velocidade de comparação está relacionada com o tempo de regeneração do comparador. Para a determinação do tempo de regeneração será considerado o modelo a pequenos sinais do transistor MOS, e o circuito equivalente do comparador para os instantes em que os nós **c** e **d** estão alternadamente em nível alto. A Figura 2.7 mostra o circuito equivalente para cada instante em que cada chave conduz.

Embora ambos os transistores da chave CMOS estejam ao mesmo tempo sob tensões propícias para conduzir (apesar de haver canal formado), irão conduzir em intervalos diferentes.

O comparador passa sempre por três estados distintos em relação ao posicionamento da chave CMOS e do fluxo de correntes nas malhas. Estes intervalos ocorrem quando o *clock* muda de 1 para 0, permanece em zero e quando muda de 0 para 1.



Para cada vez em que o *clock* estiver em nível alto, uma das malhas ficará desligada. Quando o *clock* está em nível baixo, ambas as malhas conduzem e as saídas ficam em nível intermediário. Por isso é necessário o *latch*, enquanto o nível de tensão variar entre o estado anterior e o intermediário, a saída do *latch* permanecerá indicando a última mudança efetiva de nível lógico.

As partes em linhas contínuas representam a malha ativa, enquanto as partes tracejadas representam a malha desligada. As capacitâncias C_c e C_d são compostas da soma de todas as capacitâncias parasitas de cada malha do circuito referenciadas às saídas e somadas às respectivas cargas capacitivas.

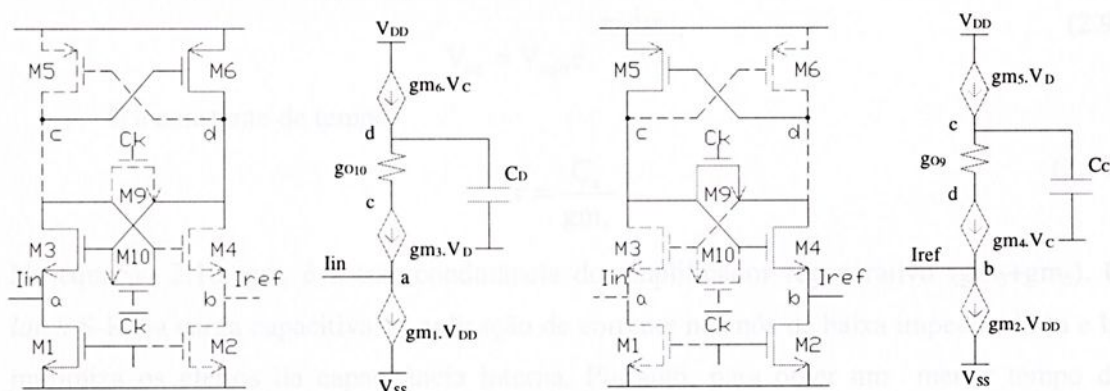


Figura 2.7. Circuito equivalente quando o nível lógico é alto em cada nó alternadamente, respectivamente nós *d* e *c*.

Da soma das corrente que saem e chegam em cada nó, tem-se: $I_6 = I_3 + I_{Cd}$ e $I_5 = I_4 + I_{Cc}$. Estas correntes podem ser escritas da seguinte forma:

$$C_c \frac{dV_c}{dt} + gm_4 V_c - gm_5 V_d = 0 \quad (2.6)$$

$$C_d \frac{dV_d}{dt} + gm_3 V_d - gm_6 V_c = 0 \quad (2.7)$$

Pela simetria do circuito e considerando os dispositivos casados, assume-se que $C_c = C_d$ e que $gm_3 = gm_4$ e $gm_5 = gm_6$. Subtraindo-se as equações 2.6 e 2.7, calcula-se a diferença de tensão entre os nós *c* e *d*:

$$C_c \frac{dV_{cd}}{dt} + (gm_3 + gm_5) V_{cd} = 0$$

$$\frac{d}{dt} V_{cd} + \frac{gm_3 + gm_5}{C_c} V_{cd} = 0 \quad (2.8)$$

Pode-se resolver a equação diferencial fazendo:

$$V_{cd} = x \quad e \quad \frac{gm_3 + gm_5}{C_c} = a$$

$$\frac{d}{dt} x + ax = 0. \text{ Assim, } x = K'e^{-at}$$

K' é o valor de V_{cd} para a condição inicial, sendo denotado por V_{cd0} .

Assim, V_{cd} é dado por:

$$V_{cd} = V_{cd0} e^{-\frac{gm_3 + gm_5}{C_c} t} \quad (2.9)$$

E a constante de tempo:

$$\tau = \frac{C_c}{gm_r} \quad (2.10)$$

Na equação 2.10, gm_r é a transcondutância do amplificador regenerativo ($gm_3 + gm_5$). O *latch* S-R é a carga capacitiva. A aplicação de corrente nos nós de baixa impedância (**a** e **b**) minimiza os efeitos da capacitância interna. Portanto, para obter um menor tempo de regeneração os transistores do *latch* devem ter tamanho mínimo, assim como os *flip-flops* e a chave CMOS.

Inicialmente o comparador foi simulado com as razões de aspecto do circuito original. O *latch* S-R e a chave CMOS complementam o circuito original. Utilizando o processo 0,8µm CMOS foram obtidos os novos valores das razões de aspecto por simulação. A alteração da razão de aspecto de alguns transistores foi feito para se ter uma excursão completa do sinal de entrada com precisão de 1µA.

O novo comparador pode trabalhar na simulação com frequência de *clock* de 166 MHz e sinal de entrada com 90 MHz. A Figura 2.8 mostra que se pode trabalhar com a precisão de 1µA na máxima frequência de *clock* e na máxima frequência de entrada. É mostrado em cada figura o pulso de *clock*, as correntes nas entradas de sinal e de referência e por último a saída do comparador.

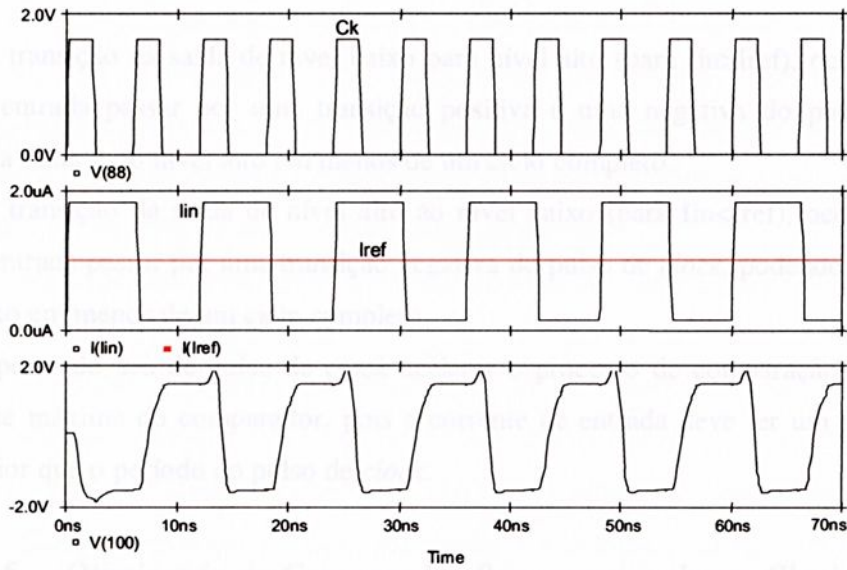


Figura 2.8. Resposta do comparador com frequência de clock de 166 MHz, sinal de entrada de $2\mu\text{A}$ à 90 MHz e fonte de referência de $1\mu\text{A}$.

A Figura 2.9 mostra a mudança de estado para uma entrada qualquer (frequência do sinal de entrada muito menor que a frequência de clock).

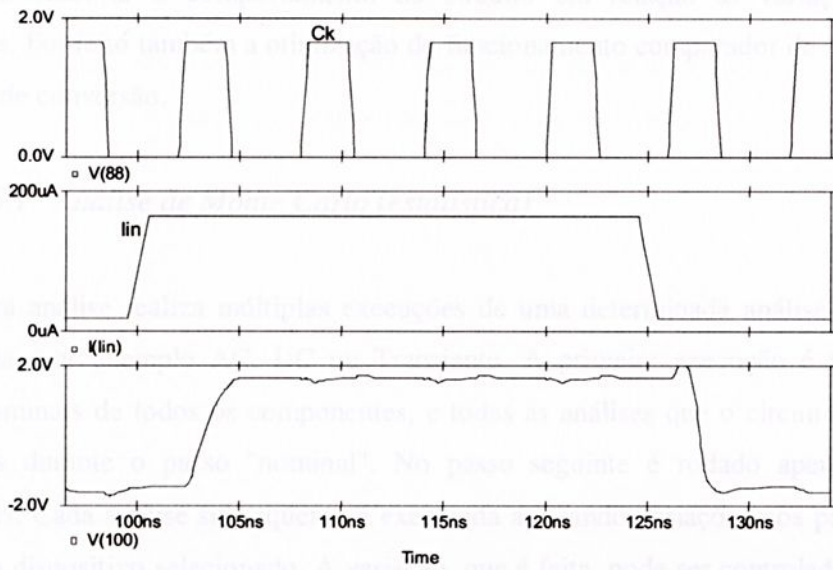


Figura 2.9. Resposta do comparador. Mudança de nível lógico para uma entrada qualquer. As formas de onda são respectivamente: Clock, corrente de entrada e saída.

A transição da saída de nível baixo para nível alto (para $I_{in} > I_{ref}$), ocorrerá após o sinal de entrada passar por uma transição positiva e uma negativa do pulso de *clock*, podendo a saída ir ao nível alto em menos de um ciclo completo.

A transição da saída de nível alto ao nível baixo (para $I_{in} < I_{ref}$), ocorrerá após o sinal de entrada passar por uma transição negativa do pulso de *clock*, podendo a saída ir ao nível baixo em menos de um ciclo completo.

Apesar do uso de pulso de *clock* acelerar o processo de comparação, ele limita a velocidade máxima do comparador, pois a corrente de entrada deve ter um período duas vezes maior que o período do pulso de *clock*.

2.5 Otimização do Comparador Regenerativo de um Clock

Para implementar um conversor A/D de baixa tensão de alimentação, baixa dissipação de potência e alta velocidade, a topologia apresentada em 2.4.2 apresenta-se mais adequada.

Para otimizar seu desempenho foram feitas simulações utilizando análise de Monte Carlo para observar o comportamento do circuito em relação às variações de seus parâmetros. Foi feito também a otimização do funcionamento comparador de acordo com o algoritmo de conversão.

2.5.1 Análise de Monte Carlo (estatística)

Esta análise realiza múltiplas execuções de uma determinada análise previamente selecionada, por exemplo AC, DC ou Transiente. A primeira execução é feita com os valores nominais de todos os componentes, e todas as análises que o circuito contém são executadas durante o passo "nominal". No passo seguinte é rodado apenas a análise selecionada. Cada análise subsequente é executada aplicando variações nos parâmetros do modelo do dispositivo selecionado. A variação, que é feita, pode ser controlada para obter-se o grau de perturbação desejada sobre o sistema e simular as condições que os circuitos estão sujeitos.

O número de análises é chamada de passo e a variação do parâmetro é feita em



porcentagem do valor nominal. Cada passo é uma simulação utilizando o valor nominal incrementado ou decrementado de uma certa porcentagem dentro da margem preestabelecida. O passo pode ser distribuído de forma uniforme, aleatória ou gaussiana. De acordo com o número de passos e a forma de distribuição utilizada, são geradas as formas de onda, que é a resposta do circuito para a situação simulada.

Foram realizadas simulações dos comparadores variando o parâmetro V_{to} (tensão de limiar) dos transistores NMOS e PMOS. Os valores de V_{to} utilizados, são os correspondentes dos parâmetros dos processos CMOS. Foram simulados comparadores utilizando processo CMOS $1,2\mu\text{m}$ e processo CMOS $0,8\mu\text{m}$. Foi aplicada uma variação de 5% sobre o valor nominal de V_{to} executando 10 passos, utilizando a distribuição aleatória. Foram efetuadas diversas simulações para ajustar o funcionamento do circuito e garantir que o comparador trabalha em toda a faixa (0 a $256\mu\text{A}$ para 8 bits e de 0 a 1mA para 10 bits).

2.5.2 Otimização Usando Processo CMOS $0,8\mu\text{m}$

De acordo com o algoritmo apresentado no capítulo 2, a menor diferença de corrente a ser comparada será $I_{ref}/2 + \text{LSB}$ e a maior diferença a ser comparada será $2 \times I_{ref}/2 + \text{FS}$. Para um conversor A/D de oito bits de precisão, a máxima corrente a ser comparada será $256\mu\text{A}$ para um comparador com $1\mu\text{A}$ de precisão. Portanto, $I_{ref}/2$ será $128\mu\text{A}$.

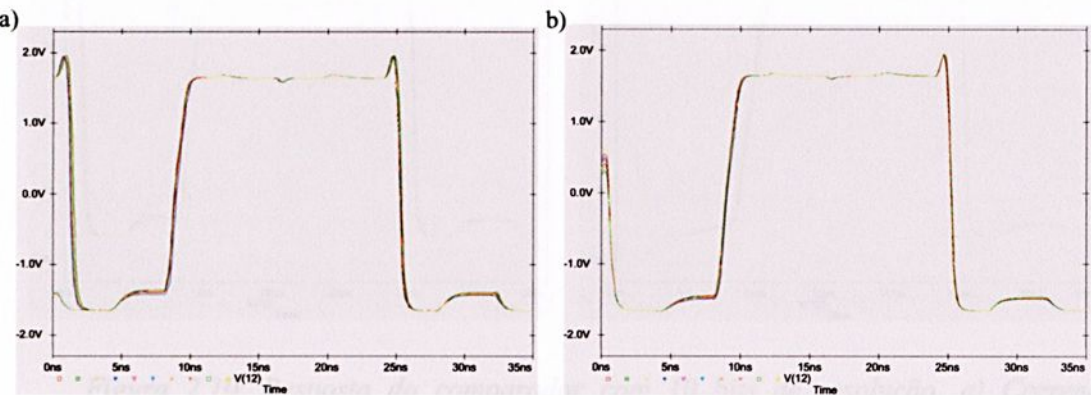


Figura 2.9. Resposta do comparador. a) Corrente mínima. b) Corrente máxima.

Tomando por base a corrente $I_{ref}/2 + 1\mu A$, fazendo-a como a mínima diferença de corrente que o comparador deverá detectar, podemos otimizar seu funcionamento para o caso requerido.

A Figura 2.9a mostra a resposta do circuito para uma corrente de entrada de $129\mu A$ (onda quadrada) comparada com uma corrente de referência de $128\mu A$ (corrente contínua).

2.5.3 Conversor A/D com 10 bits

A Figura 2.9b mostra a resposta do circuito para uma corrente de entrada de $259\mu A$ onda quadra comparada com uma corrente de referência de $258\mu A$ contínua.

Para permitir que o conversor A/D tenha uma precisão de 10 bits, a máxima corrente a ser comparada será $512\mu A$ para um comparador com $1\mu A$ de precisão. Portanto, $I_{ref}/2$ será $256\mu A$.

Tomando por base a corrente $I_{ref}/2$, fazendo-a como a mínima corrente que o comparador deverá detectar, podemos otimizar seu funcionamento para o novo caso requerido.

A Figura 2.10a mostra a resposta do circuito para uma corrente de entrada de $257\mu A$ onda quadra comparada com uma corrente de referência de $256\mu A$ contínua. A Figura 2.10b mostra a resposta do circuito para uma corrente de entrada de $513\mu A$ onda quadra comparada com uma corrente de referência de $512\mu A$ contínua.

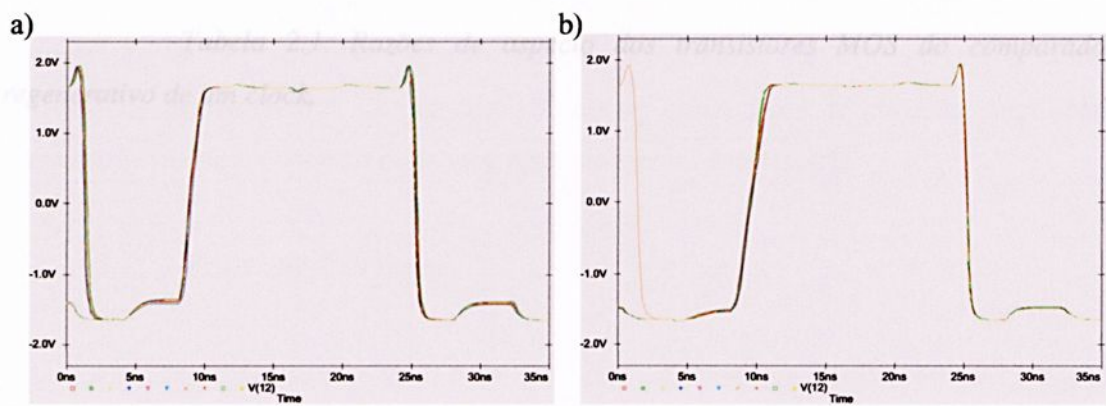


Figura 2.10. Resposta do comparador com 10 bits de resolução. a) Corrente mínima. b) Corrente máxima.

Para aumentar a precisão do conversor A/D de 8 para 10 bits, a corrente de referência $I_{ref}/2$ terá seu valor dobrado. Também, deve ser acrescentado dois comparadores, chaves e fontes de corrente.

Isso significa um aumento na área total da pastilha, e aumento da dissipação de potência. O algoritmo permite a implementação de conversores A/D de n bits, porém na prática existe uma limitação do número de bits, que está relacionado com a área ocupada na pastilha.

2.6 Comparador Otimizado

Com estas análises, as razões de aspecto dos transistores MOS foram otimizadas para obter o resultado desejado com o processo CMOS $0,8\mu\text{m}$ analógico. A Tabela 2.1 mostra os valores de W e L de cada transistor.

Transistor	W	L
M_1 a M_4 , M_9 e M_{10}	$10\mu\text{m}$	$1\mu\text{m}$
M_5 e M_6	$34\mu\text{m}$	$5\mu\text{m}$
M_7 e M_8	$2\mu\text{m}$	$2\mu\text{m}$
M_{11} a M_{18}	$2\mu\text{m}$	$2\mu\text{m}$

Tabela 2.1. Razões de aspecto dos transistores MOS do comparador regenerativo de um clock.



Capítulo 3

Correntes de Referência

3.1 Introdução

A precisão da conversão do sinal analógico de entrada em digital também depende da precisão das correntes de referência. As correntes de referência são os padrões da comparação no processo de conversão. Para uma boa implementação é necessário o emprego de técnicas que garantam fontes precisas com corrente constante. Há várias formas de se gerar correntes e algumas das técnicas existentes na literatura que apresentam melhor performance foram estudadas.

É apresentado a seguir o conceito de fonte de corrente e as formas convencionais de implementação. Por último será apresentada uma topologia de fonte de corrente utilizando o transistor bipolar lateral. O uso deste transistor, como fonte de corrente, vem sendo empregado em vários projetos onde uma corrente precisa é necessária.

3.2 Fonte de Corrente^[16]

Uma fonte de corrente ideal é um elemento cuja corrente é constante para qualquer tensão. Esta tensão depende do circuito onde a fonte está conectada, ou seja, a carga. A característica de uma fonte de corrente real é mostrada na Figura 3.1. Existe uma tensão mínima, que abaixo deste valor a fonte deixa de ser um a boa aproximação (próximo do ideal).



Mesmo na “região de operação” da fonte, onde a fonte é uma aproximação satisfatória, há uma pequena variação da corrente com a variação da tensão. Isto ocorre devido a dependência linear da fonte, ou seja, possui uma impedância finita. A impedância de uma fonte de corrente é representada como uma resistência de saída (R_o) em paralelo com a fonte, que idealmente é infinita.

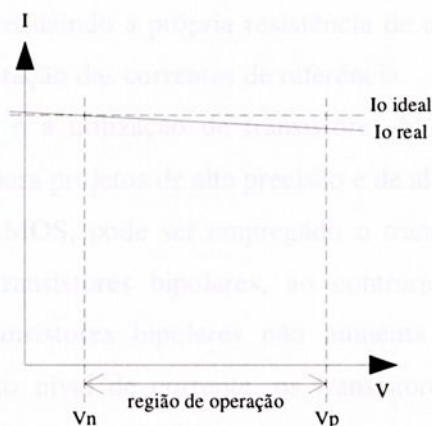


Figura 3.1. Característica de uma fonte real. Comparação com uma fonte ideal.

3.3 Topologias Convencionais

A forma mais simples de gerar correntes é usar um transistor MOS como carga ativa. Esta forma é largamente empregada em circuitos analógicos.

O transistor MOS, trabalhando na região de saturação com uma tensão fixa apropriada (V_{GS}) aplicada entre a porta (*gate*) e a fonte (*source*), produz o valor desejado de corrente de dreno (*drain*). Para aumentar a resistência de saída da fonte MOS, vários transistores podem ser ligados em série numa configuração cascode. Esta é uma fonte de corrente controlada por tensão, e para que se tenha valor estável, a tensão de controle não pode variar.

Para melhorar a performance da fonte, o uso de espelho de corrente tem sido empregado na literatura. O espelho realiza uma fonte de corrente controlada por corrente podendo obter um ganho de corrente. Um simples espelho de corrente opera da seguinte forma: se a tensão V_{GS} de dois transistores idênticos (que possuem mesmas razões de aspecto) são iguais, então suas correntes de dreno são iguais. Porém, um simples espelho não implementa uma fonte de corrente ideal. Além disso, a necessidade de transistores

MOS iguais acarreta um erro intrínseco de descasamento.

O espelho real pode ser caracterizado por seu ganho em corrente, resistência de saída e largura de banda, entre outros.

A geração de fontes de corrente usando espelhos mais elaborados é empregada num conversor A/D modo corrente^[12]. É usado neste conversor um espelho ativo para reduzir a corrente de descasamento reduzindo a própria resistência de entrada. O uso de espelhos é uma possibilidade para a geração das correntes de referência.

Outra possibilidade é a utilização de transistores MOS empregando técnicas de casamento de dispositivos para projetos de alta precisão e de alta velocidade^[17].

Além do transistor MOS, pode ser empregado o transistor bipolar na geração de fontes de corrente. Nos transistores bipolares, ao contrário dos transistores MOS, o descasamento entre os transistores bipolares não aumenta para pequenos valores de corrente. Assim, para baixo nível de corrente, os transistores bipolares podem realizar melhor casamento que os dispositivos MOS, embora ocupem uma área maior. Além disso, usando múltiplos transistores bipolares, uma fonte de corrente bem casada pode ser obtida, mesmo para correntes baixas.

3.4 *Uso de Transistores Bipolares Laterais no Processo MOS*^[18-19]

No processo MOS é possível utilizar transistores bipolares parasitas inerentes à estrutura do transistor MOS. O transistor bipolar lateral PNP (LPNP) é disponível no processo CMOS de poço n, sendo uma estrutura parasita do transistor PMOS.

Os transistores bipolares laterais tem sido usado por projetistas em amplificadores operacionais de entrada de baixo ruído^[20] e correntes de referência em conversores D/A^[19].

3.4.1 *Operação Bipolar*

O processo CMOS apresenta um transistor bipolar parasita formado entre o dreno e a fonte do transistor MOS. Assim o transistor MOS pode operar como o bipolar, quando a tensão entre a porta e a fonte for nula e o poço for polarizado, sendo chamada de ação bipolar na estrutura MOS^[18,21]. Nesta condição, a condução da fonte para o dreno é forçada



para baixo do dispositivo, e é realizado por ação bipolar. Este comportamento ocorre devido a semelhança estrutural entre o transistor MOS e o transistor bipolar lateral, onde o emissor, o coletor e a base são respectivamente a fonte, o dreno e o poço. Além do transistor bipolar lateral, outras estruturas intrínsecas, são os transistores bipolares verticais parasitas, cujo coletores estão conectados no substrato, como mostra a Figura 3.2.

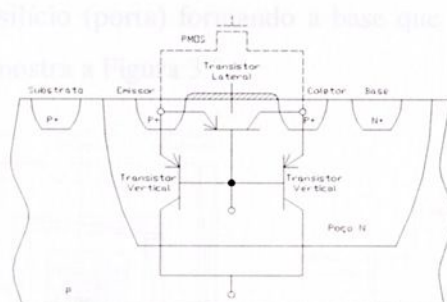


Figura 3.2. Seção transversal do transistor PMOS. Transistores bipolares parasitas verticais e lateral PNP.

A corrente que chega ao contato de emissor é dividida em duas correntes: lateral e vertical. A corrente de emissor lateral é dividida em corrente de base e corrente de coletor lateral. A corrente de emissor vertical é dividida em corrente de base e corrente de coletor vertical. Devido ao fato do coletor vertical ser o próprio substrato, a corrente de coletor vertical não é aproveitada. Como as bases dos transistores bipolares são as mesmas, considerando a toda a estrutura como um transistor lateral é necessário uma corrente de base total maior para o dispositivo trabalhar na região ativa.

3.4.2 Leiaute e Considerações acerca do Dispositivo

Para que a estrutura funcione como um bipolar normal, a porta do transistor LPNP pode ser levemente polarizada (uma polarização positiva de 250 mV é o suficiente), em relação ao emissor, para evitar a condução de sublimar do transistor PMOS.

Ativando-se o transistor lateral PNP, ativa-se também o transistor PNP vertical parasita. Este transistor tem seu coletor ligado a V_{SS} e conduz uma pequena parcela da corrente total do emissor.

O símbolo do dispositivo é mostrado da Figura 3.3b e inclui ambos os coletores, lateral e vertical. O coletor vertical é o substrato do transistor.

O leiaute do transistor LPNP^[20] é o complemento do transistor LNP de poço p. A estrutura do transistor bipolar lateral é semelhante ao transistor PMOS concêntrico normal envolvido em um poço n. O transistor é formado por uma difusão p de contato de área mínima, cercado por polissilício (porta) formando a base que é, em seguida, cercada por contatos de coletor, como mostra a Figura 3.3a.

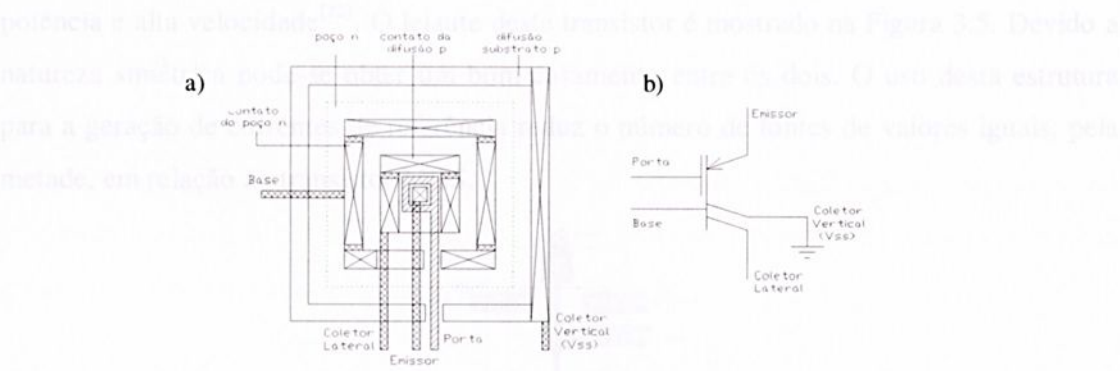


Figura 3.3. a) Leiaute de um transistor bipolar lateral PNP (LPNP). b) Símbolo do transistor LPNP.

A largura mínima da base é determinada pelo comprimento mínimo do canal do transistor PMOS e a área mínima de emissor é determinada pelo tamanho mínimo de contato. Isso melhora a eficiência do dispositivo, ou seja, reduz a relação entre a corrente de coletor lateral e a corrente de coletor vertical. Outra técnica que pode ser empregada para melhorar esta eficiência é dispor o emissor em vários pontos (multiemissores^[20]), conforme a Figura 3.4.

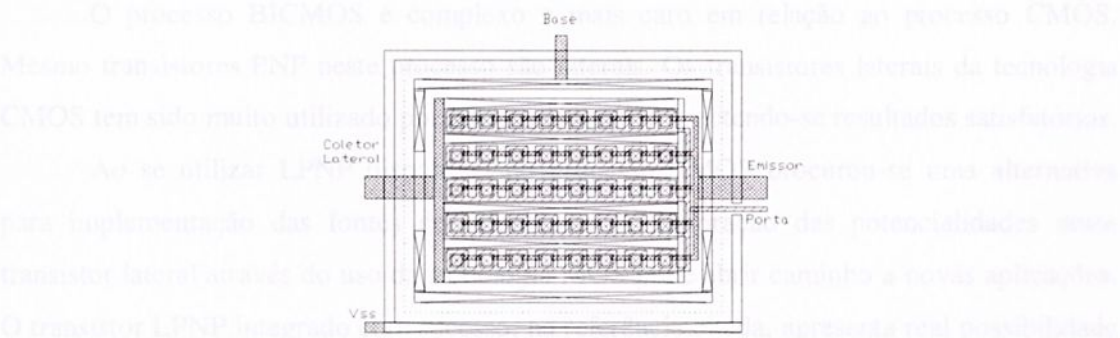


Figura 3.4. Leiaute de um transistor LPNP formado por multiemissores.

Para evitar problemas de *latch-up*, o dispositivo é cercado por um anel de guarda formado por uma difusão p^+ . Este anel de guarda previne também a fusão indevida da base (poço n) com bases de transistores de LPNP adjacentes e com poços n de transistores PMOS conectados a V_{DD} .

O polissilício pode ser usado para dividir o implante p^+ em duas regiões, formando um dispositivo com dois coletores laterais. Esta técnica foi usada para implementar fontes de referência em corrente com LPNP em um conversor D/A 10-bit CMOS de baixa potência e alta velocidade^[22]. O leiaute deste transistor é mostrado na Figura 3.5. Devido a natureza simétrica pode-se obter um bom casamento entre os dois. O uso desta estrutura para a geração de correntes de referência reduz o número de fontes de valores iguais, pela metade, em relação ao transistor MOS.

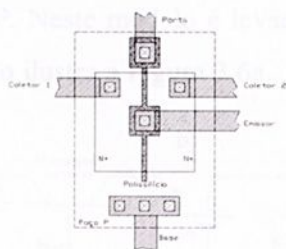


Figura 3.5. Transistor LPNP com duplo coletor.

3.4.3 Tecnologia CMOS x BICMOS.

A tecnologia BICMOS permite a utilização de transistores bipolares e CMOS em uma mesma pastilha, sendo ideal para a integração de projetos analógicos onde se utiliza amplamente ambos os tipos de transistores.

O processo BICMOS é complexo e mais caro em relação ao processo CMOS. Mesmo transistores PNP neste processo são laterais. Os transistores laterais da tecnologia CMOS tem sido muito utilizado por pesquisadores^[18-22], obtendo-se resultados satisfatórios.

Ao se utilizar LPNP disponível no processo CMOS procurou-se uma alternativa para implementação das fontes de referência. A exploração das potencialidades deste transistor lateral através do uso da tecnologia MOS pode abrir caminho a novas aplicações. O transistor LPNP integrado com sucesso, na referência citada, apresenta real possibilidade de ser implementado para gerar as fontes de correntes de referência.

A vantagem em se utilizar transistores bipolares laterais operando como fonte de corrente é que o casamento entre estes transistores é melhor que o casamento entre os transistores MOS, devido à eliminação de efeitos de superfície^[18,19].

Para a implementação das fontes de correntes de referência o uso combinado do LPNP com espelhos de correntes MOS, aumenta a sua resistência de saída, aumentando grandemente sua performance. Portanto, preferiu-se utilizar transistores bipolares laterais no processo CMOS nesta aplicação.

3.4.4 Modelo e Simulação

Os parâmetros do modelo utilizado é do processo CMOS 0,8µm disponível no projeto Multi-usuário da FAPESP. Neste modelo é levado em conta um transistor vertical parasita e o transistor lateral, como ilustra a Figura 3.6a.

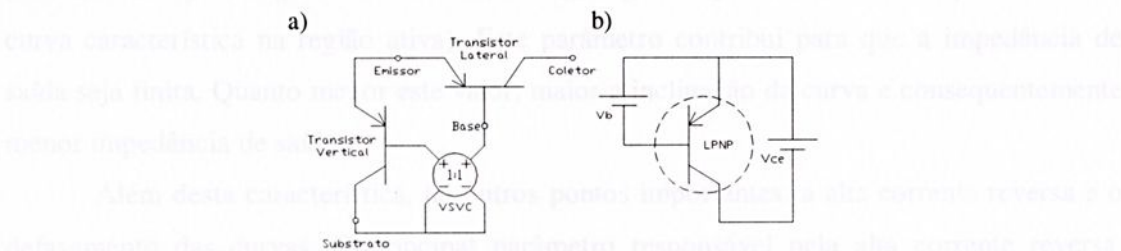


Figura 3.6. a) Modelo do transistor lateral. b) Circuito simulado.

Neste modelo as bases não estão conectadas. Assim, a corrente fornecida à base do dispositivo será igual a corrente total da base do transistor lateral. A fonte de tensão controlada por tensão com ganho unitário do modelo, permite que a mesma tensão aplicada à base do transistor lateral seja aplicada à base do transistor vertical. Este modelo não traz o contato de porta, o que impossibilita a verificação do efeito de sua presença.

A partir deste modelo, foram feitas simulações para determinar a característica do transistor lateral. O circuito simulado é mostrado na Figura 3.6b, e o resultado da simulação é mostrado na Figura 3.7a.

Para poder tirar conclusões do resultado obtido, é necessário antes conhecer as características do transistor bipolar PNP típico que é mostrada na Figura 3.7b.



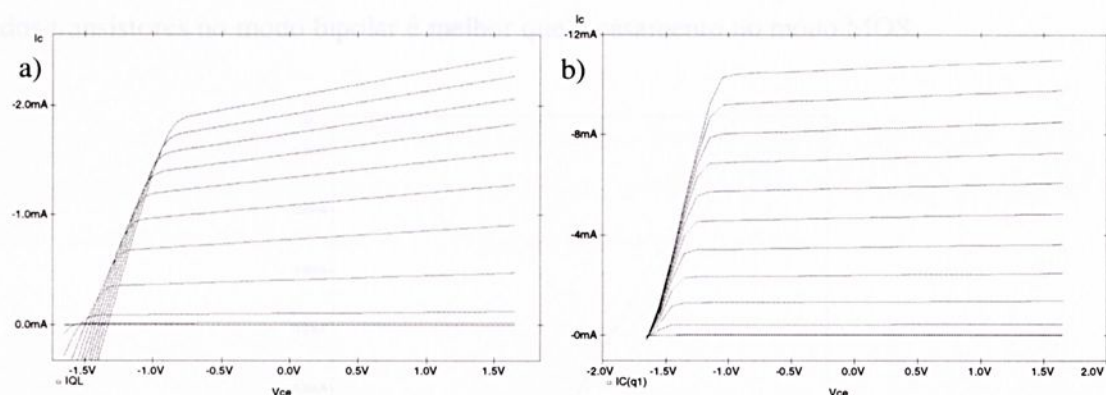


Figura 3.7. a) Curva característica do transistor bipolar lateral PNP. b) Curva característica de um transistor bipolar PNP típico.

Pode-se observar facilmente que a inclinação da curva do LPNP é maior que a da curva do PNP. Esta inclinação é devido ao efeito Early modelado pelo parâmetro VAF (*Forward Early Voltage* – valor de tensão V_{CE} negativo que define a inclinação da reta da curva característica na região ativa). Este parâmetro contribui para que a impedância de saída seja finita. Quanto menor este valor, maior a inclinação da curva e consequentemente menor impedância de saída.

Além desta característica, há outros pontos importantes: a alta corrente reversa e o defasamento das curvas. O principal parâmetro responsável pela alta corrente reversa, quando a tensão V_{CE} é inferior a $-1,3V$, é IKF (*Forward beta high-current roll-off* - valor de corrente de joelho direta de entrada em a alta injeção). O parâmetro responsável pelo defasamento é RE, resistência série do emissor, que é alta.

Para um ponto de operação fixo, no qual a fonte de referência irá trabalhar mantendo uma corrente constante, esta característica do LPNP não compromete o seu funcionamento. Já para uma operação como amplificador, devido a não linearidade do aumento da amplitude, haveria problemas de simetria. Isso pode ser observado na Figura 3.8. Esta figura, mostra a operação do LPNP para V_{CE} fixo. Nesta simulação V_b foi variado de 0 a 1.65V.

O transistor lateral possui características, tais como, impedância de saída não muito alta e alta corrente reversa que podem inviabilizar seu uso em algumas aplicações. Para operação como fonte de corrente, devido à eliminação de efeitos de superfície, o casamento

dos transistores no modo bipolar é melhor que o casamento no modo MOS.

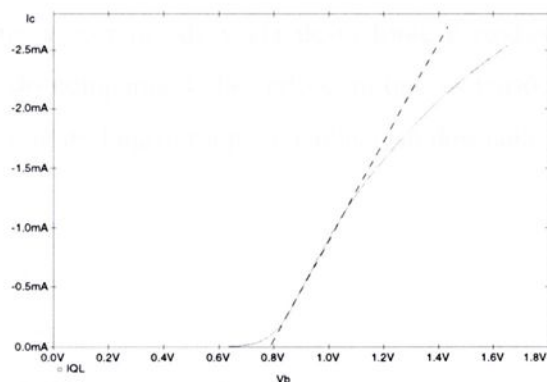


Figura 3.8. $I_C \times V_b$; Comparação com uma reta.

Tendo sido implementado com sucesso nas referências citadas, o transistor bipolar lateral pode ser usado para gerar as fontes de correntes de referência do conversor A/D.

3.5 Fonte de Corrente com Transistor LPNP

O objetivo é definir uma topologia para as fontes de corrente de referência, um dos principais blocos que compõe o conversor A/D.

Descreve-se aqui, a topologia de um circuito que utiliza o transistor LPNP como elemento gerador, ou seja, fonte de corrente. Este circuito é um regulador de corrente e deve ser utilizado para melhorar o desempenho desta fonte.

3.5.1 Fonte de Corrente Simples

Inicialmente foi realizada uma fonte de corrente simples utilizando LPNP. A Figura 3.9 mostra o resultado da simulação utilizando o circuito da Figura. 3.10.

A corrente de saída da fonte é dada por:

$$I_C \cong I_S \cdot e^{\left(\frac{V_{be}}{V_T}\right)} \quad (3.1)$$

e a impedância de saída da fonte é dada por:

$$R_O = \frac{V_{AF}}{I_C} \tag{3.2}$$

É observado que a corrente de saída desta fonte é ruidosa. Isto ocorre devido a comutação nas chaves do comparador, fazendo com que as tensões nos nós **a** e **b** variem bruscamente, tornando a fonte imprópria para a aplicação desejada.

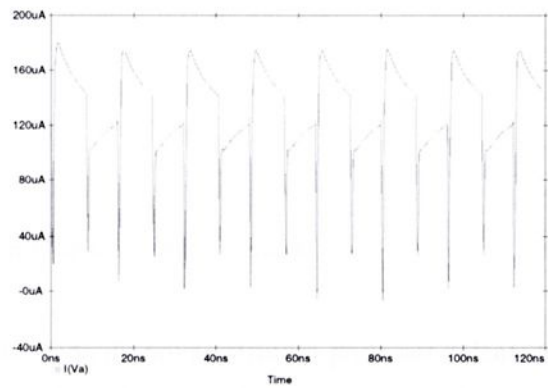


Figura 3.9. Resultado da simulação da Fonte de Corrente.

Também foi simulada a mesma situação substituindo o LPNP por PMOS, obtendo o mesmo resultado. Uma forma de contornar este problema é aumentar a impedância de saída da fonte. Portanto, o emprego de um regulador de corrente é necessário.

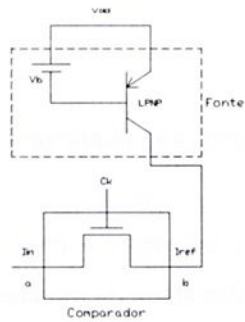


Figura 3.10. Circuito simulado. Comparador como carga.

3.5.2 Fonte de Corrente Regulada

O regulador cascode^[16] aumenta a resistência de saída do LPNP estabilizando sua tensão V_{CE}. O circuito é mostrado na Figura 3.11.



No regulador a tensão V_g de M_B é igual a tensão V_{CE} do LPNP, e é regulado por realimentação. A malha de realimentação é realizada por M_B , M_A e M_C . M_B é um amplificador fonte comum que tem M_A como carga ativa, e M_C como cascode.

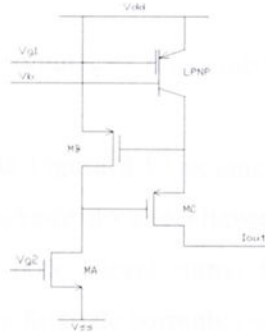


Figura 3.11. Fonte de Corrente regulada.

A impedância de saída da nova estrutura pode ser calculada abrindo-se a malha de realimentação (porta de M_C), determinado-se a impedância de malha aberta Ro_A e em seguida a impedância de malha fechada Ro_F .

$$Ro_A = gm_C r_{dsC} r_o, \quad r_o = \frac{V_{AF}}{I_{out}}$$

$$Ro_F = Ro_A (1 + \beta \cdot A), \quad \beta \cdot A = \frac{gm_B r_{dsB}}{2}$$

$$Ro_A \equiv \frac{gm_C gm_B r_{dsC} r_{dsB} V_{AF}}{2I_{out}} \quad (3.3)$$

A impedância de saída é incrementada pelo produto do ganho dos transistores M_C e M_B ($gm_C r_{dsC} \times gm_B r_{dsB}$).

Como visto anteriormente, para a operação do transistor MOS como bipolar a tensão V_{g1} deve ser nula. Sendo citada em algumas referências^[18:20] que a aplicação de uma leve polarização reversa evita a corrente de sublimiar. V_b é fixado em 0.6V para produzir uma corrente $I_{out}=1\mu A$ e a tensão V_{g2} que controla o ganho da estrutura é fixado em 0V. Assim, é necessário apenas uma tensão fixa para gerar todas as fontes de referência.

O valor de corrente de $1\mu A$ foi padrão, pois o comparador pode comparar correntes com até $0,5\mu A$ de diferença.

Dessa forma, é criada a fonte de corrente para a corrente de referência $I_{ref}/128$. Para

gerar fonte de corrente de referência $I_{ref}/2$, são usados 128 transistores LPNP em paralelo.

O circuito foi simulado tendo o comparador como carga, gerando o mesmo valor de corrente gerado pelo LPNP na simulação com fonte simples. O resultado da simulação é mostrado na Figura 3.12.

Os efeitos causados pela comutação do comparador, também são percebidos no resultado, porém são amenizados.

Os patamares do gráfico da Figura 3.12 possuem os mesmos valores de corrente, apesar do ruído produzido no fechamento das chaves. Entretanto, este ruído não afeta substancialmente a comparação, pois ocorre numa frequência muito elevada ficando “invisível” para o comparador. Esta fonte de corrente regulada tem sido usada na simulação do conversor A/D completo, que será apresentado no capítulo 5.

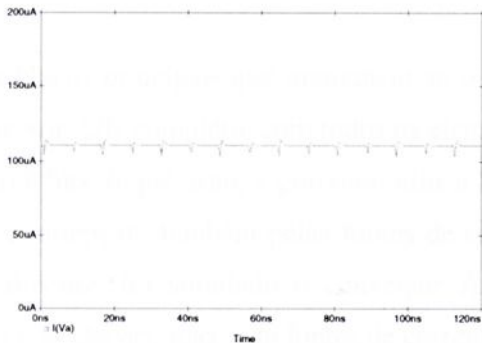


Figura 3.12. Resultado da simulação da fonte regulada.

As razões de aspecto dos transistores MOS utilizadas nesta configuração foram otimizadas com auxílio de simulação para estabilizar o valor da corrente e minimizar os *glitches*. A Tabela 3.1 mostra os valores de W e L de cada transistor.

Transistor	W	L
M_A	12μm	1.2μm
M_B	12μm	3μm
M_C	40μm	3μm

Tabela 3.1. Razões de aspecto dos transistores MOS do cascode regulado.



Capítulo 4

Conversor A/D: Simulação e Leiaute

4.1 Introdução

Tendo definido os blocos principais que implementam o algoritmo de conversão, é necessário simular o conversor A/D completo, com todos os elementos componentes.

O conversor possui 8 bits de precisão, e portanto, utiliza 8 comparadores. Além dos comparadores, o circuito é composto também pelas fontes de correntes de referência e as respectivas chaves. Inicialmente, foi simulado o conversor A/D com os comparadores (simulados anteriormente) e as chaves, mas com fontes de corrente de referência ideais.

Após verificar a funcionalidade do circuito, foi simulado o conversor com todos os dispositivos que o implementam. Foi explorada também a possibilidade de aumentar a precisão do conversor para 10 bits.

4.2 Simulação do Conversor A/D

Nas simulações que serão apresentadas foram realizadas análises de transiente. Para isso foram aplicadas nas entradas de cada comparador uma corrente de $75\mu\text{A}$ para verificar o processo de conversão. A utilização de uma corrente contínua para a simulação foi feita para a visualização da saída do conversor A/D sem a alteração dos estados de saída de cada comparador após a finalização da conversão. Assim, foi possível saber o tempo de conversão. Diversos valores de corrente foram testados para verificar o tempo de



conversão.

Devido à complexidade para descrever o conversor no Spice, por causa do grande número de nós, o comparador apresentado no item 2.4.2, do capítulo 2, foi reduzido em subcircuito. O circuito simulado é exibido na Figura 4.1.

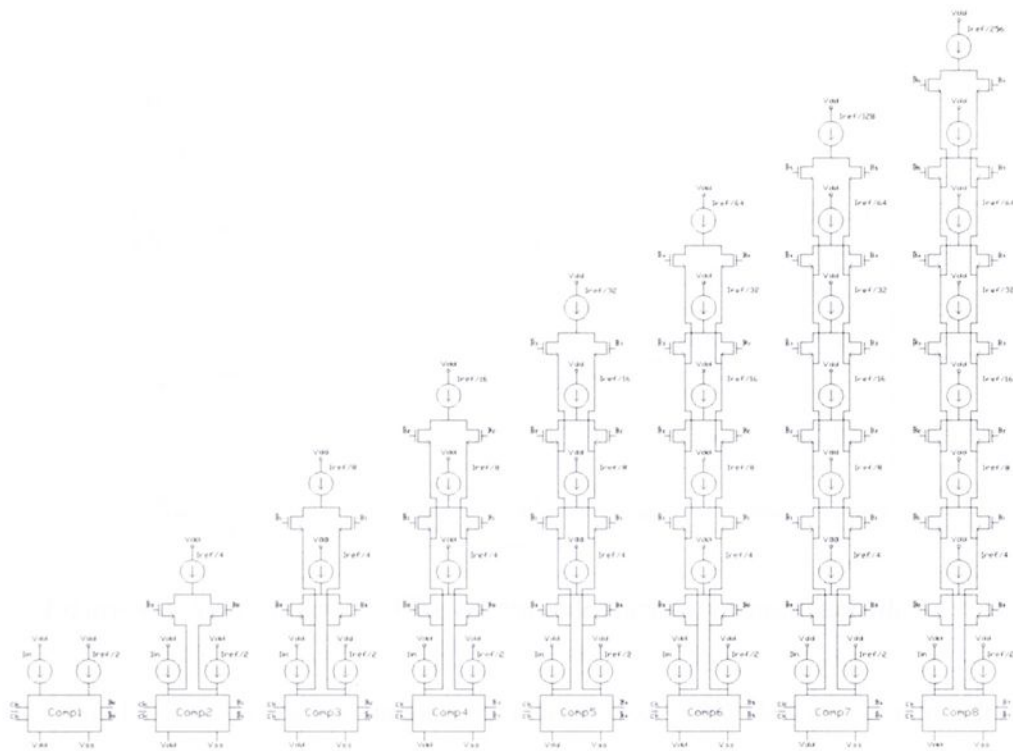


Figura 4.1. Diagrama de blocos do Conversor A/D de 8 bits.

As chaves de corrente não são componentes críticos, e efetuam a soma das fontes de referência ($I_{ref}/2$, $I_{ref}/4$, ..., $I_{ref}/256$) a cada nova comparação. São implementadas utilizando um transistor NMOS simples, com $W=L=2\mu m$. A alimentação simétrica de $\pm 1,65V$ é a mesma para todos os circuitos.

4.2.1 Simulação com Fonte de Corrente ideal

Outro bloco importante são as fontes de corrente de referência, que serão o padrão da comparação com a corrente de entrada. Portanto, necessitam ser estáveis e precisas, para não afetarem os níveis de quantização.



As fontes de corrente para o presente caso são ideais, definido as fontes de referência $I_{ref}/256=1\mu A$ e $I_{ref}/2=128\mu A$.

A Figura 4.2 mostra os sinais de *clocks* normal e complementar e a corrente de entrada utilizada na simulação.

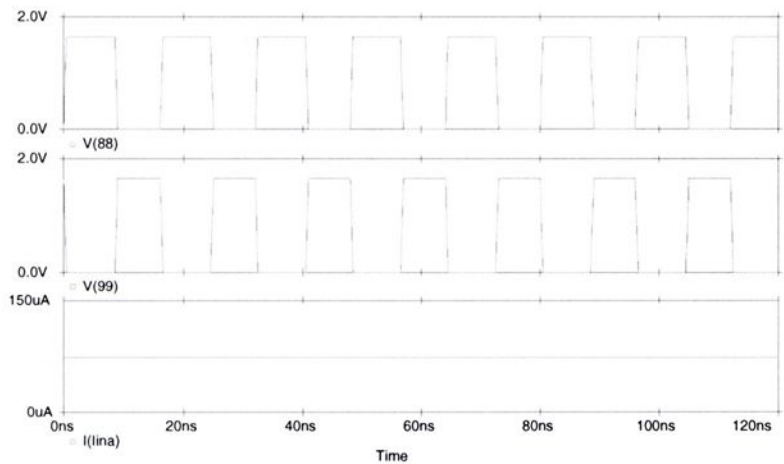


Figura 4.2. Sinais clock Ck , $\overline{Ck}$ e corrente de entrada, respectivamente.

A saída do conversor é paralela, e a tensão de saída de cada comparador ($B_0, B_1, \dots, B_7$) é mostrada separadamente.

O resultado obtido no final da conversão é: $B_0=0, B_1=1, B_2=0, B_3=0, B_4=1, B_5=0, B_6=1$ e $B_7=1$. Desta forma a palavra binária é dada pelo número binário 01001011, que corresponde ao número decimal 75. Assim, obtém-se o valor digital correspondente à corrente de entrada, que é $75\mu A$.

A Figura 4.3 mostra o resultado da simulação. A figura está dividida em oito partes, cada uma mostra a saída do respectivo bit do conversor, sendo o bit mais significativo mostrado no topo e designado por V(100), e o bit menos significativo mostrado em baixo e designado por V(800).

É possível verificar que a saída do comparador (do oitavo bit) passa por diversos estados até chegar ao final do processo de conversão. Como as somas das correntes ocorrem após às comparações dos bits anteriores, o comparador responde às entradas cada vez que as fontes de corrente de referência são somadas à entrada de referência ou à entrada



de sinal. Isso também ocorre com os bits anteriores. Assim a saída do conversor passa por vários estados até concluir a conversão.

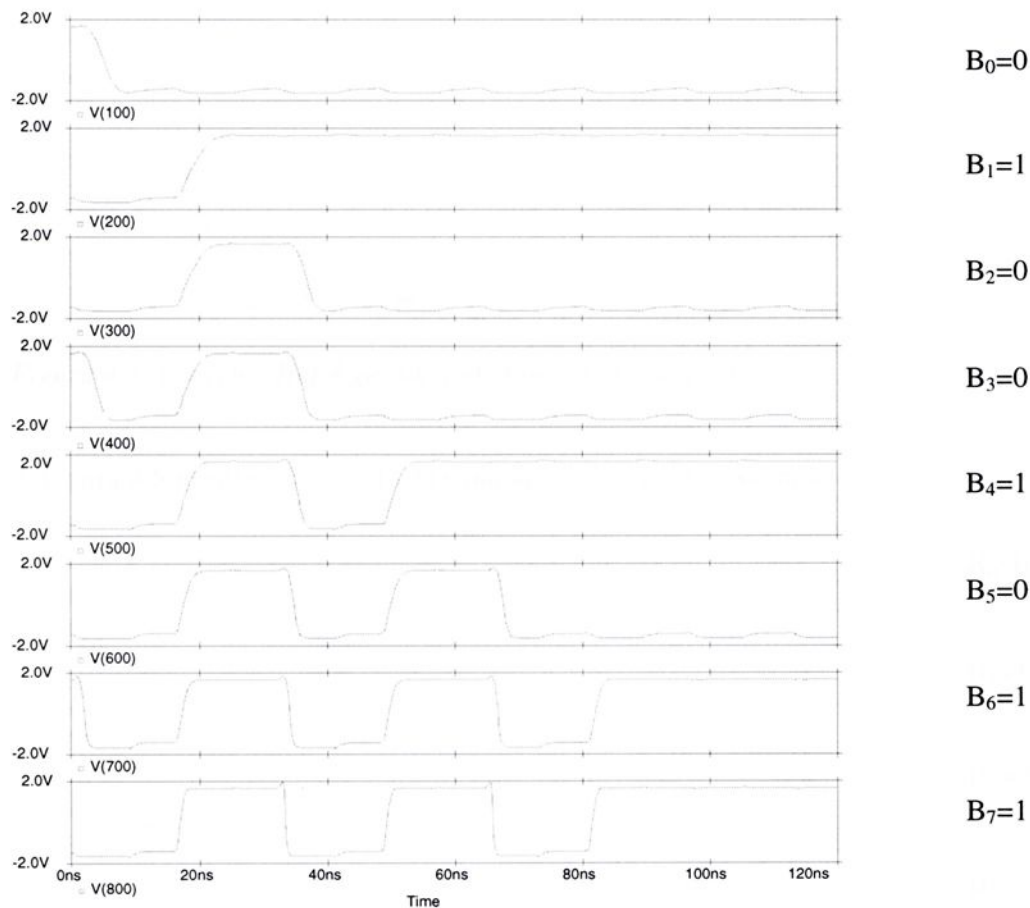


Figura 4.3. Saída do conversor A/D. $B_0, B_1, \dots, B_7$ respectivamente. $I_{ref}/256 = 1\mu A$. Fontes de referência ideais.

4.2.2 Simulação com Fonte de Corrente Real

Nesta simulação são usadas fontes de correntes reais, ou seja, um circuito que opera como fonte de corrente. Para simular o conversor, agora completo, foi empregada a fonte de corrente apresentada no capítulo 3.

As fontes de corrente de referência foram reduzidas a subcircuitos para possibilitar a realização das simulações. Um único transistor LPNP em conjunto com o circuito regulador implementam a fonte de corrente $I_{ref}/256$ com valor de $1\mu A$. A Figura 4.4 mostra a

corrente de dreno da chave que faz a soma de $I_{ref}/4=64\mu A$ com a corrente de entrada.

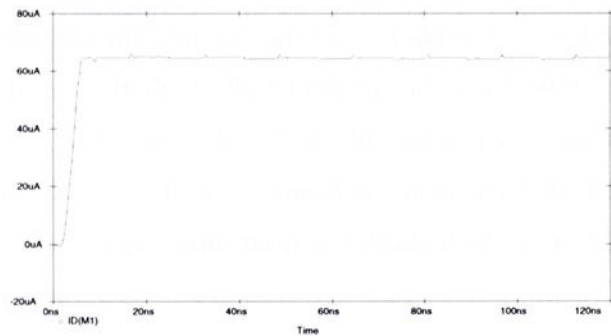


Figura 4.4. Corrente $I_{ref}/4$ gerada pela fonte da Figura 3.11.

A Figura 4.5 mostra o resultado da simulação do conversor completo.

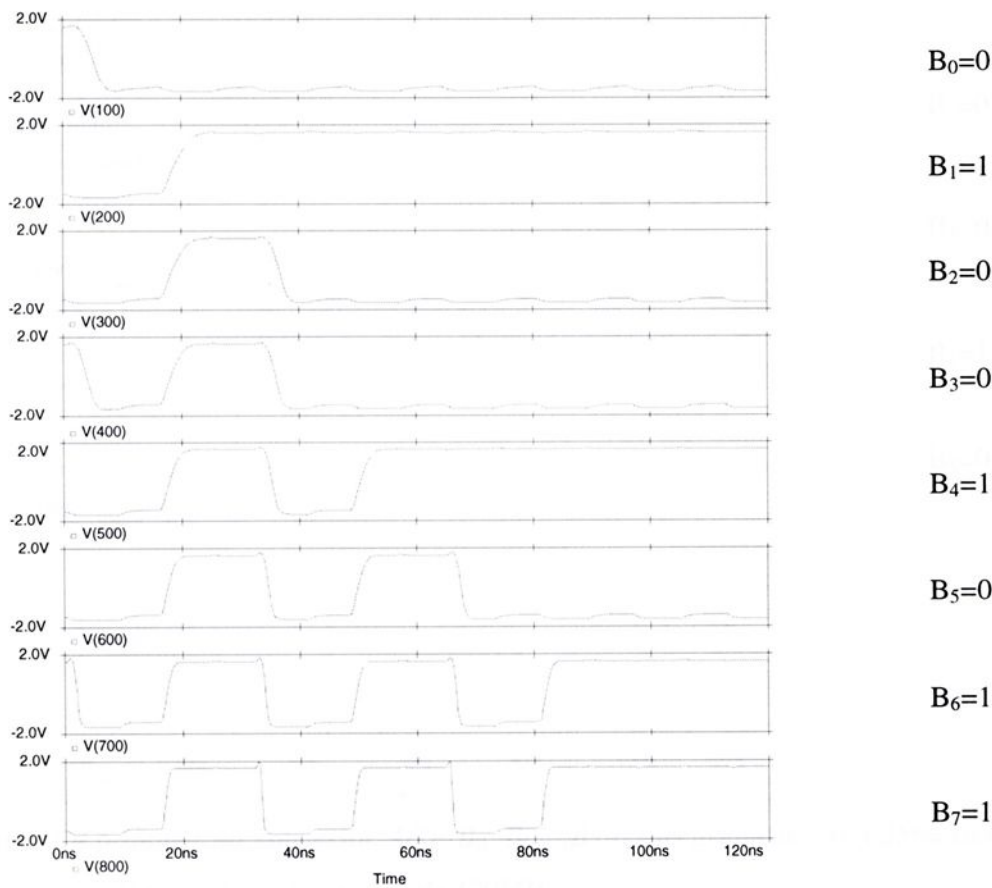


Figura 4.5. Saída do conversor A/D. $B_0, B_1, \dots, B_7$ respectivamente. $I_{ref}/256=1\mu A$. Fontes de referências reais. Corrente de entrada contínua de $75\mu A$.



A resposta apresentada na Figura 4.5 é semelhante a resposta apresentada na Figura 4.3. A figura também está dividida em oito partes, cada uma mostra a saída do respectivo bit do conversor, sendo o bit mais significativo mostrado no topo e designado por V(100), e o bit menos significativo mostrado em baixo e designado por V(800).

Para verificar a frequência limite de funcionamento, foi alterado o *clock* do conversor. O *clock* máximo obtido para bom funcionamento é de 120MHz. A Figura 4.6 mostra o resultado da simulação com mesma entrada e *clock* de 120 MHz (o dobro do utilizado na simulação anterior).

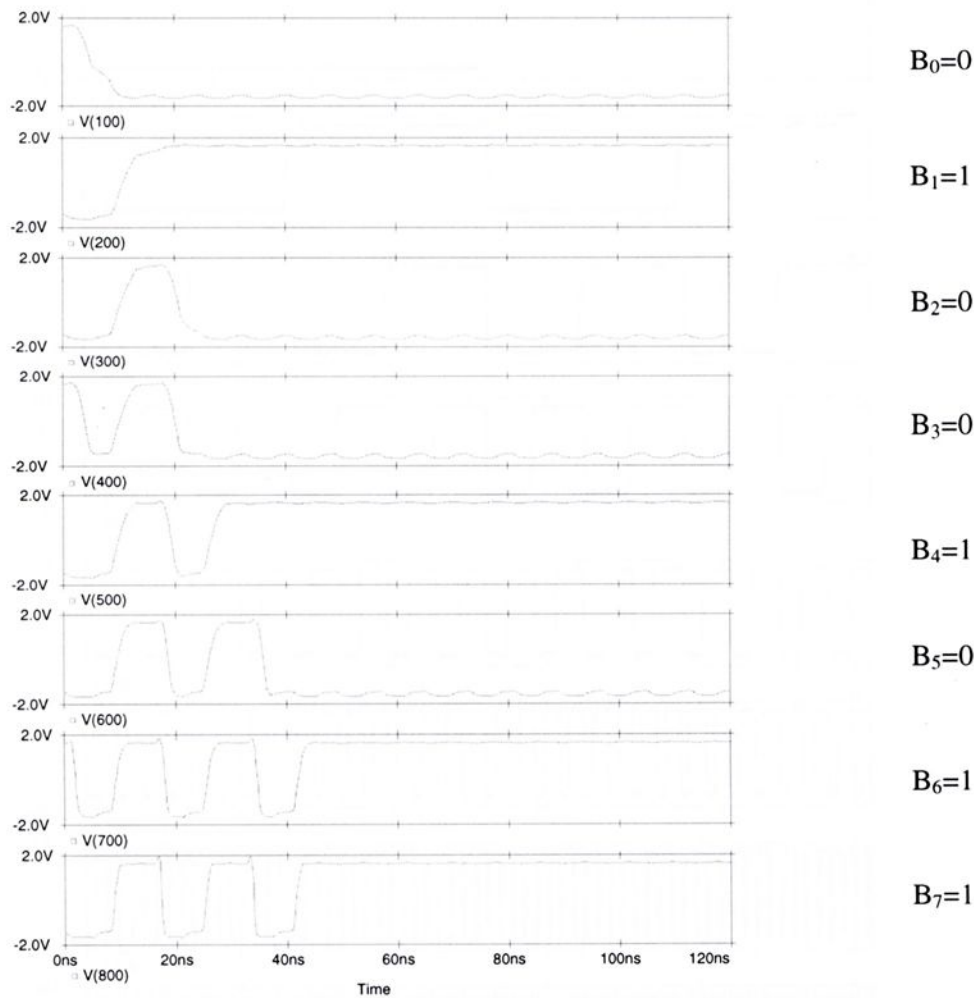


Figura 4.6. Saída do conversor A/D. $B_0, B_1, \dots, B_7$ respectivamente. $I_{ref}/256 = 1\mu A$. Fontes de referências reais e Clock de 120MHz.

A Figura 4.7 mostra a resposta de simulação para uma entrada em rampa. É



mostrada a resposta de cada bit do conversor A/D.

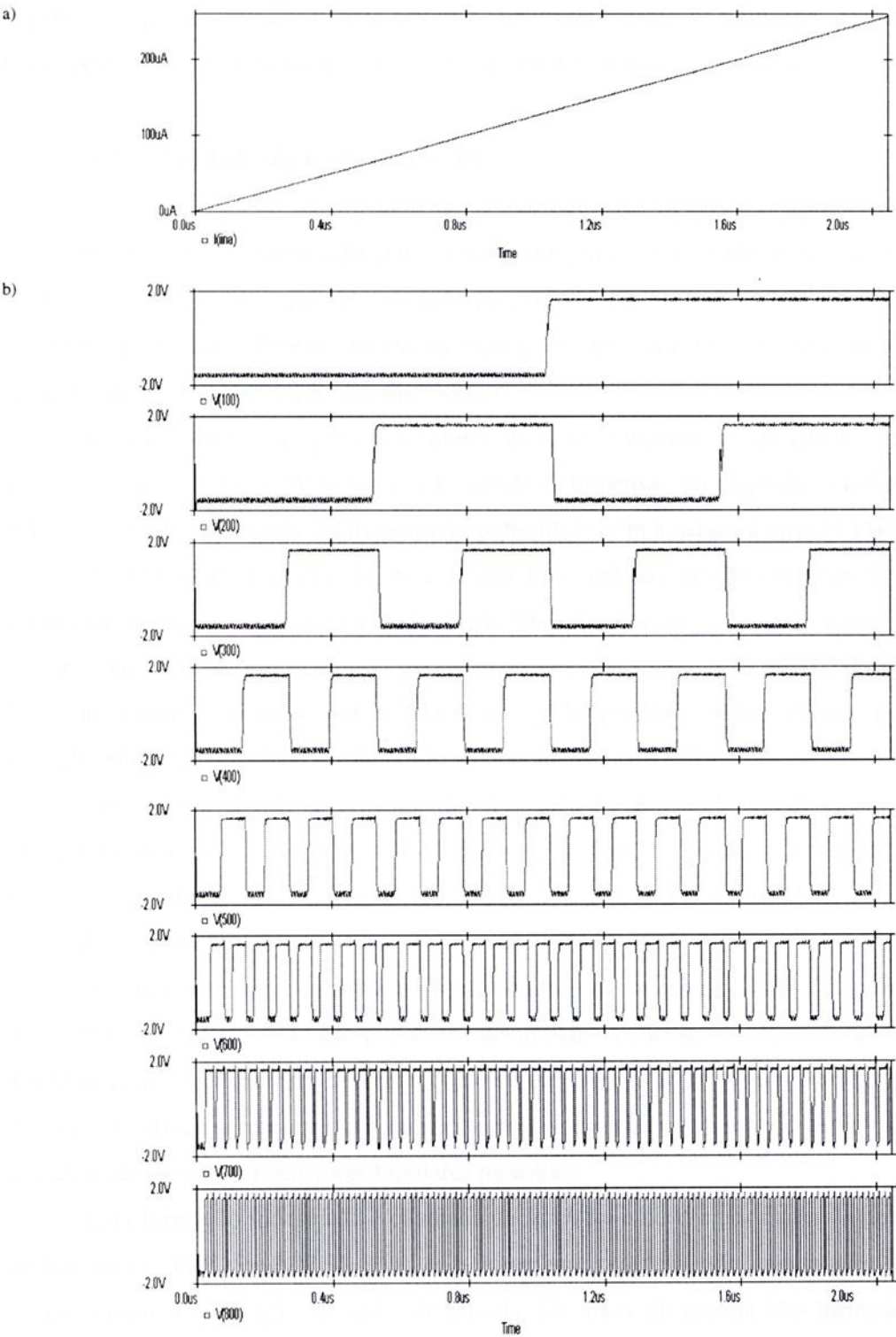


Figura 4.7 a) Entrada em rampa. b) Resposta de cada bit do conversor A/D.

Fazendo a corrente de entrada variar linearmente de 0A a 256 μ A, verifica-se na Figura 4.7 que o conversor A/D trabalha em toda escala. A limitação de alcance de frequência é causada pela demora nos comparadores e o atraso nas chaves.

4.3 Leiaute do Conversor A/D

O processo de fabricação dos circuitos integrados tem evoluído tecnologicamente numa velocidade muito grande, obtendo processos cada vez mais precisos com maior escala de integração. Porém, devido às limitações dos processos de fabricação, podem ocorrer variações na formação dos dispositivos.

Podem ocorrer variações nos valores de L (o comprimento do canal - a distância entre o dreno e a fonte) e W (a largura do canal). A dimensão do dispositivo é determinada pelo tamanho da intercessão da máscara do polissilício com a máscara ativa ($L \times W$).

Os efeitos na redução de W e L são mais críticos em dispositivos de pequena geometria, ocorrendo redução ou aumento de V_{t0} . (Aumentando para transistores de canal estreito - até $2 \times W_{\min}$; e diminuindo para transistores de canal curto - até $2,5 \times L_{\min}$). $W_{\min}$ e $L_{\min}$ são valores mínimos que a tecnologia pode produzir. Estes efeitos podem ser parcialmente compensados considerando valores maiores para W e L .

Outro efeito devido ao processo de fabricação é a difusão lateral de poço. A difusão lateral está associada com a criação de poços, e por serem profundos sofrem grande difusão lateral, ocupando grande área podendo fundir-se a poços próximos. Para evitar efeitos indesejáveis, pode-se agrupar os transistores num mesmo poço.

Também existem problemas relacionados ao leiaute. Como a formação de dispositivos de quatro camadas por causa de implantes sucessivos de materiais dopados, dando origem a retificadores controlados de silício SCR (*Silicon Controlled Rectifier*) que podem ser ativados afetando o comportamento do circuito. Pode ocorrer também a formação de diodos e transistores bipolares parasitas.

Esta formação indesejada é chamada de *latch-up* e ocorre por causa da proximidade de transistores PMOS e NMOS. Para solucionar este problema são empregadas técnica de leiaute, como a colocação de anéis de guarda. Os anéis de guarda são formados com a difusão p da mesma forma que o contato de substrato, com múltiplos contatos e conectados



a V_{SS} . São dispostos de maneira a circundar o dispositivo a ser protegido deixando uma abertura para a ligação.

Na confecção do leiaute várias medidas precisam ser tomadas para otimizar o desempenho do circuito, como por exemplo, redução do comprimento das ligações, evitar cruzamentos entre metais, que provocam capacitâncias parasitas, redução do espaçamento entre dispositivos, diminuindo assim, a área na pastilha.

Uma técnica utilizada para fazer um crescimento mais uniforme dos materiais, é o emprego de estruturas *dummy*. Estas estruturas evitam formação defeituosa na periferia dos dispositivos. Esta técnica consiste em formar estruturas idênticas ao dispositivo que é considerado crítico, e colocá-las ao seu redor. Estas estruturas geralmente não fazem parte do circuito elétrico, estando presentes apenas fisicamente.

Existem alguns métodos de leiaute que permitem melhor casamento entre dispositivos, métodos como a interdigitalização de dois transistores e divisão de transistores largos. Existem também métodos para a redução da área útil utilizada. O método utilizado para a redução de área é chamado de técnica de empilhamento^[23].

Para realizar o empilhamento dos transistores são determinadas algumas regras:

- Utilização dos transistores em uma mesma orientação.
- Minimizar a área de contato da fonte ou do dreno por empilhamento dos transistores (reduzindo a capacitância parasita do substrato).
- Respeitar a simetria que existe nas malhas do circuito bem como no leiaute (para limitar o *offset*).

A Figura 4.8 exemplifica o uso desta técnica.

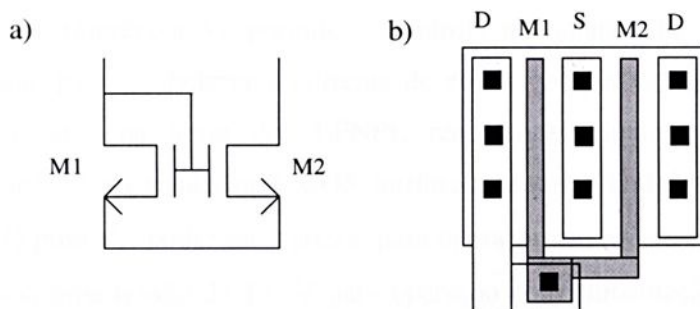


Figura 4.8. Exemplo de leiaute. a) Espelho de corrente. b) Leiaute.

Assim, um único contato de dreno ou de fonte é requerido. Os transistores devem

ter a mesma largura para serem empilhados, ou então divididos em vários transistores em paralelo.

Para a confecção do leiaute do conversor A/D foi usado o software Mentor Graphics, utilizando as regras de projeto para a tecnologia 0,8 μ m CMOS CYE da AMS, disponível no projeto Multi-usuário da FAPESP.

4.4 O Circuito Integrado

Para possibilitar os testes dos circuitos que compõem o conversor A/D, além do conversor, foi integrado isoladamente o comparador de corrente tipo 1, o comparador de corrente tipo 2, a fonte de corrente de referência $I_{ref}/8$ e um transistor LPNP.

O encapsulamento utilizado foi o DIP 48. Os comparadores e o conversor possuem alimentação em comum, mas *clocks* separados. O emissor do transistor LPNP está conectado a V_{DD} assim como os 32 emissores dos transistores que formam a fonte de referência $I_{ref}/8$. O coletor dos transistores que são ligados ao regulador de corrente, é ligado também ao terminal LPNP32. Assim é possível verificar a eficiência da estrutura formada por 32 LPNPs, bem como a eficácia do regulador. A Figura 4.9 mostra o diagrama de blocos do circuito integrado e sua pinagem.

O conversor A/D possui 8 pinos de saída, 8 pinos de saída invertida, 3 pinos de tensões de referência, 2 pinos de *clock*, 2 pinos para a alimentação e 8 pinos de entrada. Uma breve descrição dos pinos e dos blocos que compõem o circuito integrado é feita a seguir:

- O pino de referência V_b permite o controle da polarização dos LPNPs, sendo importante para estabelecer a corrente de escala completa. O pino V_{g1} controla a tensão reversa na porta dos LPNPs, recomendado para evitar condução de sublimar^[18-20] do transistor CMOS intrínseco entre o emissor e coletor de cada LPNP. O pino V_{g2} poder ser aterrado para operação em *rail-to-rail* ($\pm 1.65V$), mas é necessário uma tensão de 1.65V para operação com alimentação simples de 3.3V. No caso anterior não há ponto de terra, sendo que o nível lógico alto e o nível lógico baixo são aproximadamente V_{DD} e V_{SS} respectivamente.
- O comparador utilizado para a implementação é o tipo 1. Requer um *clock* simples e



outro invertido, pois possui uma chave CMOS. Por simplificação, o *clock* é invertido externamente, assim $\overline{CK1}=CK2$.

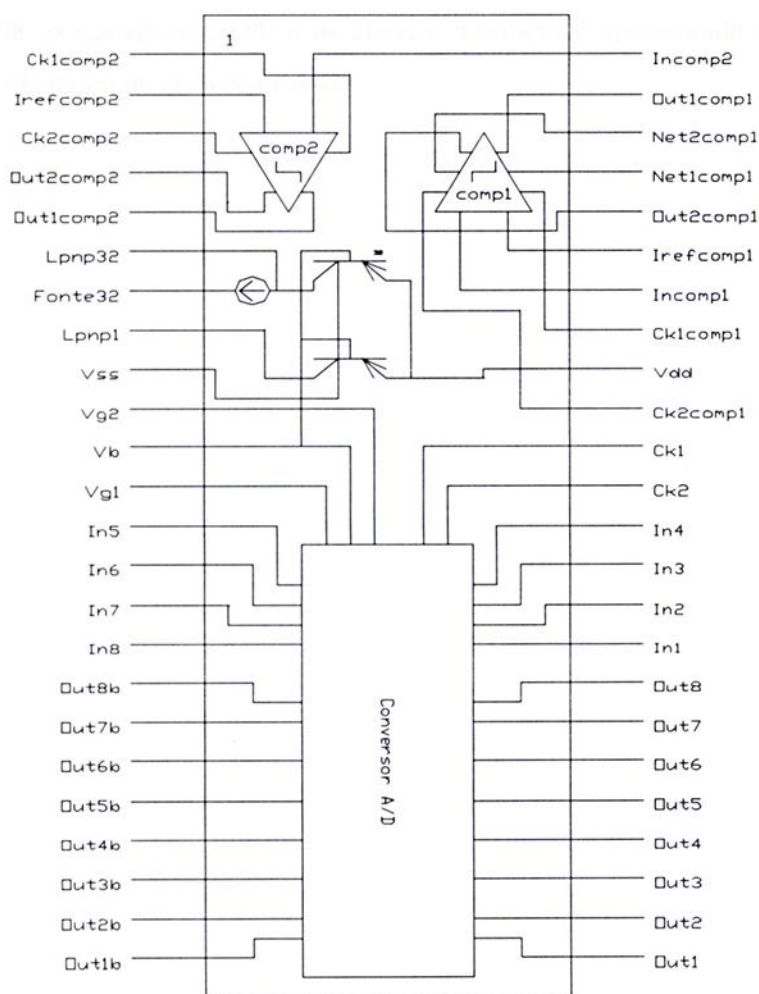


Figura 4.9. Diagrama de bloco do circuito integrado.

- A entrada do conversor A/D é aplicada a todos os comparadores simultaneamente, portanto para que a entrada fosse em tensão seria necessário um conversor tensão corrente e oito espelhos. Para a entrada em corrente bastariam oito espelhos. Devido a dificuldade encontrada no final do trabalho, foram colocadas oito entradas de corrente, sendo necessário externamente um circuito para esta finalidade. No apêndice B são apresentadas algumas estruturas de conversores V/I que poderiam ser empregadas, e espelhos de correntes CMOS para baixa tensão de alimentação.

O leiaute de cada estrutura é apresentado no apêndice A. Por ordem, o circuito integrado completo, um dos *PADs*, o comparador tipo1, o comparador tipo 2, a fonte de referência $I_{ref}/8$, o transistor LPNP e as chaves. Também é apresentada a fotografia da pastilha e de cada bloco do conversor A/D.



Capítulo 5

Resultados

5.1 Testes e Resultados

O circuito integrado (FAPESP_69) foi fabricado na rodada A99-11 de 20 de agosto de 1999 através do PMU/FAPESP, sendo implementado em tecnologia CMOS de $0,8\mu\text{m}$, duplo polissilício, duplo metal, processo AMS (Austria Mikro Systeme International AG). O circuito foi recebido em janeiro de 2000.

A micrografia do circuito integrado é apresentada no apêndice A. Foi utilizado um encapsulamento DIP de 48 pinos. A área total da pastilha é de $6,76\text{mm}^2$ ($2600\mu\text{m} \times 2600\mu\text{m}$).

Com o propósito de testar o conversor A/D, inicialmente foi testado e verificado o funcionamento dos blocos que compõem o conversor. Isto foi necessário para poder polarizar corretamente as fontes de corrente, corrigindo eventuais desvios dos valores esperados em simulação.

Foram verificadas as características estáticas do comparador de corrente regenerativo de um *clock*. Posteriormente foram testadas as fontes de corrente e o transistor bipolar lateral. Só então foi testado o conversor A/D.

5.2 Teste do Comparador Regenerativo

O circuito de teste do comparador é apresentado na Figura 5.1. Utiliza um gerador de *clock* de 100kHz, uma rampa como sinal de entrada de 1kHz e um sinal DC como referência. Os valores de *clock* destes sinais proporcionam melhor visualização da precisão do comparador.

Inicialmente foi verificado se o comparador opera em toda escala. Variando o sinal de



referência de 0 a 700µA verifica-se que a variação da largura do pulso de saída do comparador excursions totalmente. É apresentado na Figura 5.2 as formas de onda de saída do comparador. A Figura 5.2a mostra o resultado próximo à máxima excursão. A Figura 5.2b mostra um ponto intermediário e a Figura 5.2c apresenta o resultado próximo à zero.

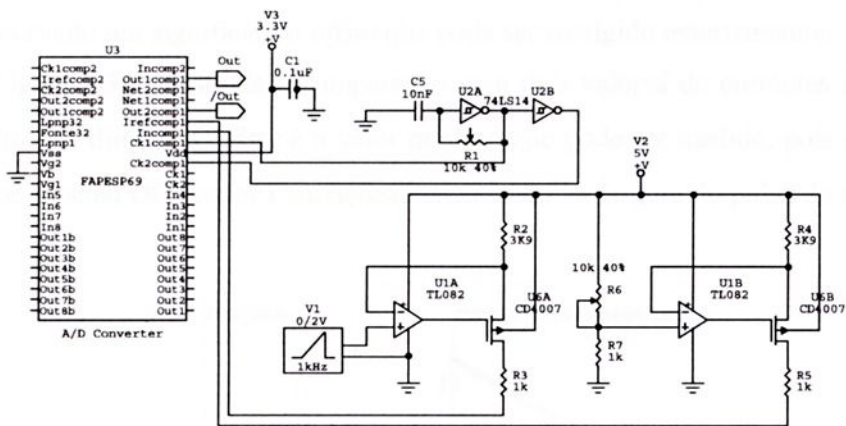


Figura 5.1. Circuito de teste do comparador regenerativo.

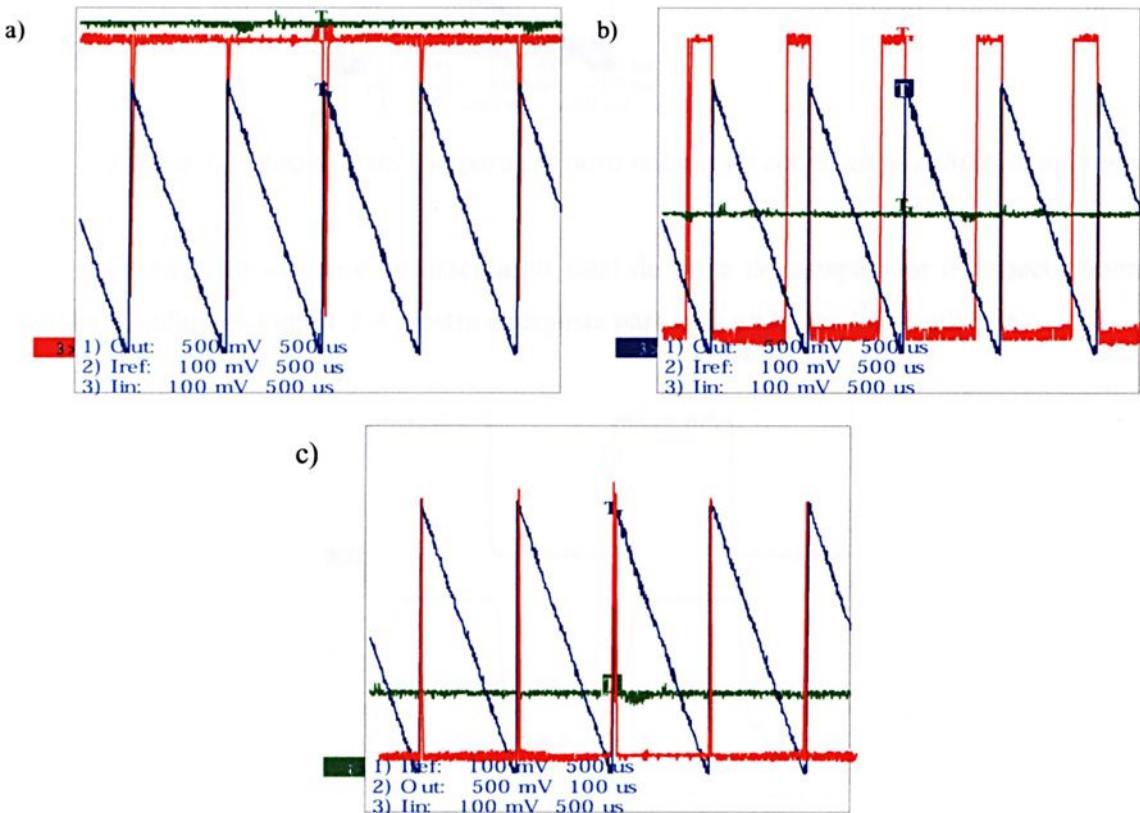


Figura 5.2. Resposta do comparador. a) Próximo à máxima excursão do sinal. b) Ponto intermediário. c) Próximo à zero.

As medições das entradas do comparador são apresentadas em mV, esta é a medição

de tensão sobre um resistor de metal filme de $1k\Omega$ (995Ω medido) que corresponde diretamente a corrente em μA que deveria ser visualizada.

O valor de pico da rampa é de $552\mu A$. Os valores de corrente para referência para as Figuras 5.2a, 5.2b e 5.2c são respectivamente $672\mu A$, $272\mu A$ e $144\mu A$.

É observado um significativo *offset* que pode ser corrigido externamente.

Na Figura 5.3 é mostrada a comparação para dois valores de correntes de referência próximas ($8\mu A$ de diferença). Este é o valor mínimo que pode ser medido, pois um *ripple* de $4\mu A$ presente no sinal DC provoca variações instantâneas na largura do pulso de saída.

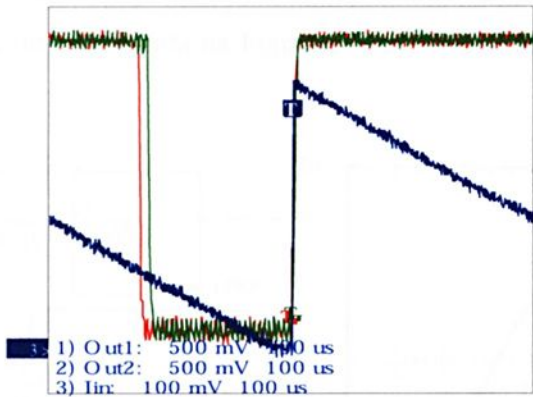


Figura 5.3. Resposta do comparador para valores de correntes com $8\mu A$ de diferença.

O tempo de subida e de descida do sinal de saída do comparador é respectivamente $8,61\mu s$ e $5,68\mu s$. A Figura 5.4 mostra a resposta para uma onda quadrada aplicada.

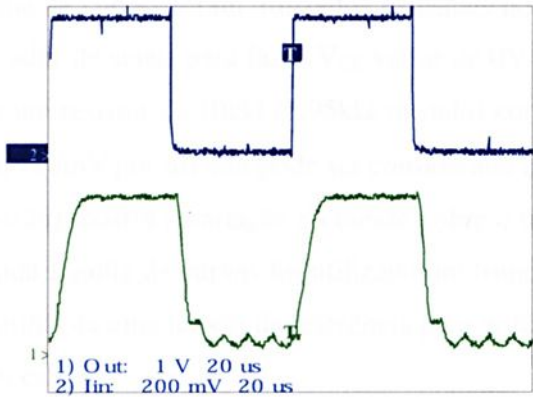


Figura 5.4. Resposta do comparador com entrada em onda quadrada.

O tempo de resposta esperado é da ordem de alguns nanossegundos ($5ns$). Não se sabe

ao certo o porque deste atraso. Alguns fatores podem afetar a resposta do circuito, como a capacitância nos *pads* e nos cruzamentos entre metais e metal com polissilício. Mas suspeita-se também do leiaute onde foi realizado o empilhamento dos transistores. Na literatura^[23] utilizada não é feita observação a cerca do comportamento em frequência utilizando empilhamento de transistores.

5.3 *Teste da Fonte de Corrente e do Transistor Bipolar Lateral PNP*

Como teste do transistor bipolar LPNP foi levantada sua curva característica V_{xI} . O circuito utilizado para teste é mostrada na Figura 5.5.a.. A família de curvas é mostrada na Figura 5.5.b.

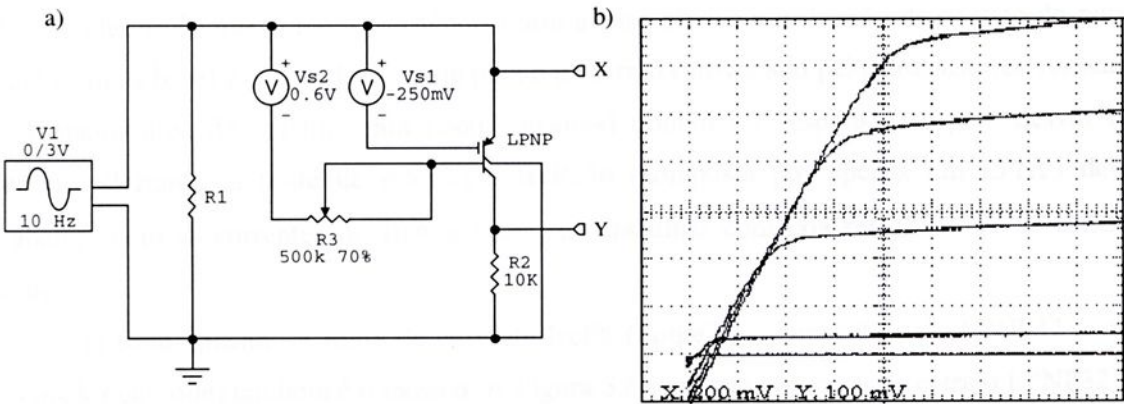


Figura 5.5. a) Circuito de teste do transistor LPNP. b) Família de curvas $I_C \times V_{CE}$.

Para gerar a família de curvas foram utilizados os canais horizontal (X) e vertical (Y) do osciloscópio e um gerador de sinais para fazer V_{CE} variar de 0V a 3V. O canal Y mostra a variação da tensão sobre um resistor de 10kΩ (9,95kΩ medido) correspondente à corrente de coletor. Assim o valor de 100mV por divisão pode ser considerado como 10μA por divisão. O canal X (200mV por divisão) mostra a variação da tensão sobre o transistor correspondente à tensão V_{CE} . Para obter uma família de curvas foi utilizado um trimpot multivoltas para variar a corrente de base. Foi utilizada uma tensão de referência para polarizar reversamente a porta para evitar a formação do canal.

O teste do transistor LPNP32 (32 transistores em paralelo) é semelhante ao teste anterior. A Tabela 5.1 mostra a relação entre o transistor LPNP e o transistor LPNP32 para alguns valores de corrente de base. Como a base de todos os transistores bipolares laterais que compõem as fontes de referência estão conectadas num mesmo ponto, não é possível medir a



eficiência do dispositivo. Assim os valores das correntes de base obtidos são a soma das correntes de todas as bases.

I_C LPNP (μA)	I_C LPNP32 (μA)	LPNP x LPNP32
36,7	1,15	31,91
78,9	2,46	32,07
124,3	4,02	30,92
161,6	5,58	28,96

Tabela 5.1. Relação entre LPNP e LPNP32. A relação diminui para correntes altas

Como mostra a tabela, a relação entre os transistores é muito próxima de 32. Mas a relação entre os transistores diminui um pouco com o aumento da corrente de coletor. Isso acontece pelo fato de ter um único poço para os 32 transistores que compõem o LPNP32. Assim, alguns fatores como a resistência entre a base efetiva e a difusão de contato do poço (que forma a base) e a fuga de corrente para o substrato (provocado pelos transistores verticais com maior área de coletor, para poços maiores) podem ser responsáveis pelo desvio da relação. Portanto, a fonte de referência $I_{ref}/256$ (composta por apenas um LPNP) deve trabalhar com as correntes de $1\mu A$ a $8\mu A$ para trabalhar com boa relação entre as demais fontes.

O teste aplicado a fonte de corrente $I_{ref}/8$ (Fonte32 - composta pelo LPNP32 e um regulador cascode) também é o mesmo. A Figura 5.6 mostra a comparação entre o LPNP32 e a Fonte32. A medição é feita com mesma corrente de base.

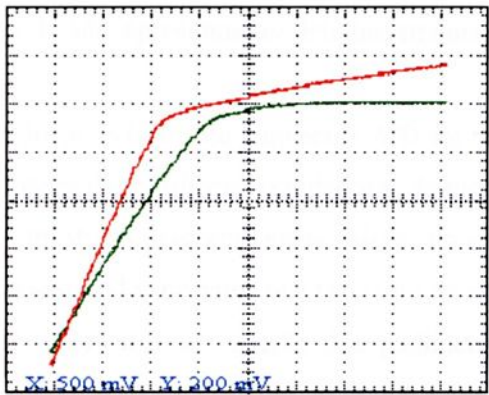


Figura 5.6. Curva $I_C \times V_{CE}$ do transistor LPNP32 comparada com a curva $I_{out} \times V_{out}$ da fonte de corrente $I_{ref}/8$ (transistor LPNP32 com o regulador cascode).

Pode ser observado na Figura 5.6 que a corrente de saída da fonte se estabiliza, ficando praticamente constante com o aumento da tensão de saída.

5.4 Teste do conversor A/D

Para a verificação de funcionamento e caracterização do conversor A/D foi utilizado um gerador de funções (equipamento adquirido com a reserva técnica da FAPESP), uma placa de aquisição de dados e o software Lab view, osciloscópio e um circuito de teste.

Para a verificação da característica de transferência, a saída do conversor A/D deve ser aplicada a entrada de um conversor D/A. Assim, aplicando-se uma rampa no conversor A/D, obtêm-se na saída do conversor D/A um sinal semelhante ao sinal da Figura B.1 (apêndice B).

O erro da conversão pode ser obtido pela subtração do sinal de entrada do conversor A/D com a saída do conversor D/A. A Figura 5.7 ilustra através de diagrama de blocos como obter a curva de característica de transferência do conversor.

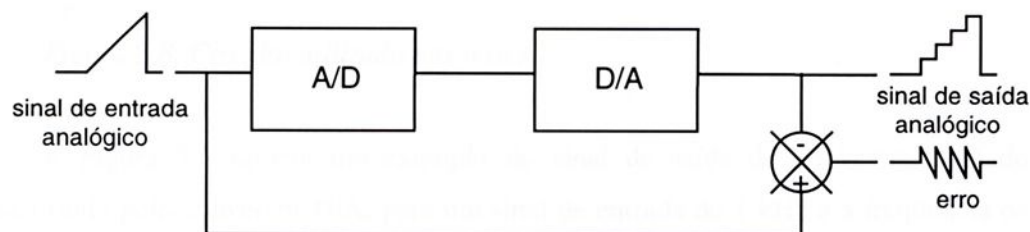


Figura 5.7. Configuração para obtenção da característica de transferência.

O desvio da linha central de códigos da curva de característica de transferência mostra o erro de conversão. O erro mais importante é o erro de linearidade, e é medido em função do número de bits (no apêndice B são apresentados detalhadamente os erros que ocorrem no processo de conversão).

Para realizar as medições e os testes no conversor A/D foi montado um circuito com o conversor tensão-corrente, tensões de referência, reguladores de tensão, gerador de *clock* e um conversor D/A. A Figura 5.8 mostra o diagrama esquemático do circuito de teste. O circuito foi ajustado de acordo com os resultados obtidos nos testes do comparador e da fonte $I_{ref}/8$.

Foram realizados testes para a determinação dos parâmetros estáticos do conversor A/D. Fazendo o sinal de entrada variar lentamente de forma linear foram feitas as medidas para observar a curva característica de transferência do conversor.

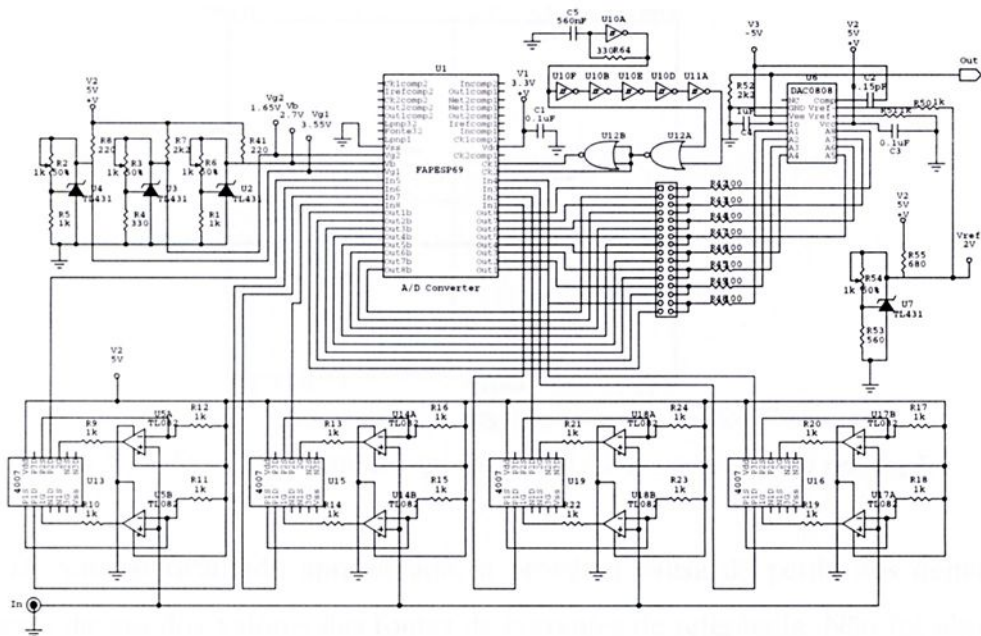


Figura 5.8. Circuito utilizado nos testes.

A Figura 5.9 mostra um exemplo do sinal de saída do conversor A/D de 8bits reconstituído pelo conversor D/A, para um sinal de entrada de 1 kHz e a frequência de *clock* de 3MHz. O sinal reconstituído mostra que apenas os 3 primeiros bits (2,25 bits) do MSB do conversor A/D apresentaram resultados.

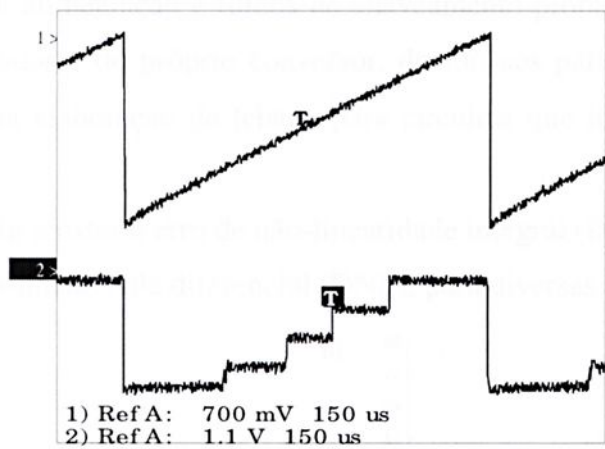


Figura 5.9. Sinal de entrada e o sinal reconstituído.

Variando a polarização das fontes de corrente observa-se que outros “degraus” aparecem na saída do conversor D/A, mas com forte distorção conforme a Figura 5.11. O novo sinal reconstituído apresenta 3 bits completos de resolução.

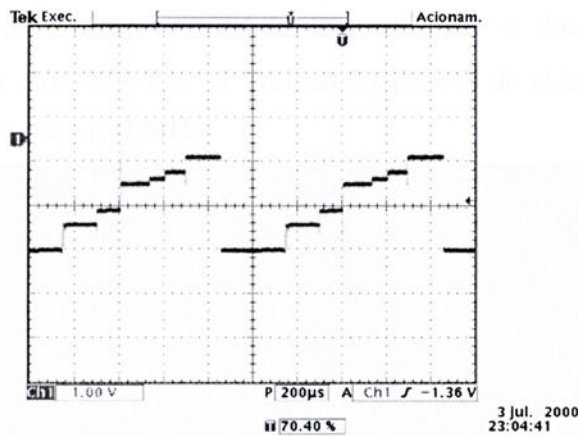


Figura 5.11. Sinal reconstituído apresentando 3 bits completos de resolução.

Devido ao resultado apresentado, a provável causa da perda dos demais bits deve ser o desvio dos valores das fontes de correntes de referência. Não foi observado problemas relativo ao leiaute ou interconecções entre fontes de referências e comparadores ou chaves.

Além de provável problema com o circuito, foi encontrada dificuldade em realizar as medições. Não podem ser desprezados os erros inerentes à medição e ao circuito de teste. Uma das dificuldades está relacionada ao fato de que a entrada do conversor A/D ser em corrente, requerendo um bom conversor V/I. Outras fontes de erros são o *ripple* da alimentação e ruídos de chaveamento propagados do circuito de *clock* e dos comparadores do próprio conversor, devido aos parasitas de leiaute e da pouca experiência na elaboração de leiaute para circuitos que trabalham frequências elevadas.

A Figura 5.11a mostra o erro de não-linearidade integral (INL) e a Figura 5.11.b mostra o erro de não-linearidade diferencial (DNL), para diversas aquisições.

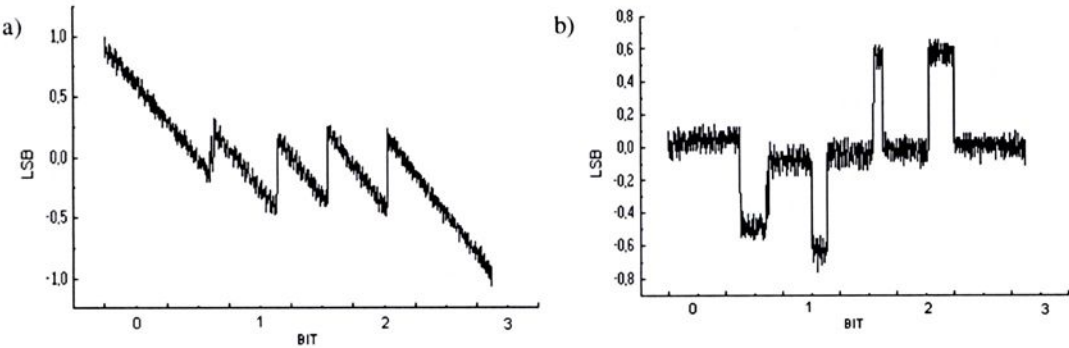


Figura 5.11. a) INL. b) DNL.

A Tabela 5.2 mostra um resumo das características e dos resultados obtidos na avaliação do conversor A/D de 8 bits. A máxima frequência de *clock* não foi obtida pois o gerador utilizado é limitado em 16MHz.

Resolução	8 bits
Nº efetivo de bits	3 bits
Sinal de entrada	0 a 256µA
DNL	0.8
INL	1.1
Tensão de alimentação	±1,65V, ou 3.3V
Consumo de potência	340mW
Área do Conversor	3,96mm ²
Área da pastilha (total)	6,76mm ²
Máxima frequência de <i>clock</i>	120MHz (simulação)

Tabela 5.2. Resultados do conversor A/D implementado.



Capítulo 6

Conclusão

6.1 Conclusão

Foi implementado o circuito integrado do conversor A/D de 8 bits usando o modo corrente. Foi mostrada também a funcionalidade do circuito, embora não tenham sido obtidos os resultados desejados.

Observou-se que o comparador possui um significativo *offset*, podendo o erro ser corrigido externamente. O comparador fora projetado para ter uma precisão de $1\mu\text{A}$, apresentando no entretanto precisão (com margem de segurança) de $8\mu\text{A}$.

Foi mostrado a possibilidade da utilização da tecnologia para implementação de fontes de corrente com transistores bipolares laterais.

Apesar do número reduzido de bits significativos, mostrou-se que a estrutura é capaz de digitalizar sinais analógicos, dentro das limitações.

A contribuição do trabalho está na exploração da potencialidade da tecnologia CMOS na implementação do algoritmo de conversão.

Como suplemento do trabalho, a implementação de espelhos de corrente e de um conversor tensão-corrente na entrada do conversor A/D eliminam a necessidade destes elementos externamente. Uma proposta de continuação deste trabalho é a implementação do conversor com tecnologia BICMOS.



Bibliografia

- [1]CARREIRA, J. P. e FRANCA, J. E. "A two-step flash ADC for digital CMOS technology" Advanced A-D and D-A conversion techniques and their applications, 6-8 July 1994, conference publication No 393, IEE, 1994, pp.48-51
- [2]MARTIN K. e JOHNS D. A. "Analog Integrated Circuit Design" John Wiley & Sons, 1997, Chapter 13, pp. 523-526
- [3]KARANICOLAS A., LEE H-S. e BACRANIA K. L. "A 15b 1Ms/s Digitally Self-Calibrated Pipeline ADC," IEEE Int. Solid-State Circuits Conf., pp. 60-61, San Francisco, february 1993.
- [4]UNBEHAUEN, R. e CICHOCKI, A. "MOS switched-capacitor and continuous-time integrated circuits and systems" Springer-Verlag, 1989, p.555-612.
- [5]LORIFERNE, B. "Analog-digital and digital-analog conversion" John Wiley & Sons, 1983, Chapter 1, pp. 7-19
- [6]FOTOHI B. e HODGES D. A. "High-Resolution A/D Conversion in MOS/LSI," IEEE J. Solid-State Circuits, vol. 14, pp. 920-925, December 1979.



- [7]VENES, A. G. W. e VAN DE PLASSCHE, R. J. "An 80-Mhz, 80-mW, 8-b CMOS folding A/D converter with distributed track-and-hold preprocessing", IEEE Journal of Solid-State Circuits, vol.. 31, No 12, Dec. 1996, pp.1846-1853.
- [8]NAUTA. B. e VENES, A. G. W. "A 70-MS/s 110-mW 8-b CMOS folding and interpolating A/D converter", IEEE Journal of Solid-State Circuits, vol.. 30, No 12, Dec. 1995, pp.1302-1308.
- [9]ROOVES, R. e STEYAERT, M. S. J. "A 175 MS/s, 6 b, 160 mW, 3.3V CMOS A/D converter", IEEE Journal of Solid-State Circuits, vol.. 31, No 7, Jul. 1996, pp. 938-944.
- [10]MENEZES, A. S. C. "Conversão Analógico-Digital Ultra-Rápida em Corrente e Tecnologia Bipolar - Nova Proposta", Tese de Doutorado - UNICAMP - Abril de 1990.
- [11]GUIMARÃES, H. L. "Conversor Analógico Digital Algorítmico de Alta Velocidade em Tecnologia Bipolar", Dissertação de Mestrado-UNICAMP, Maio de 1992.
- [12]NAIRN, D. G. e SALAMA, A. T. "Current-mode algoritmo analog-digital converter" IEEE , Journal of Solid-State Circuits, vol.. 25, No 4, Aug. 1990, pp. 997-1004.
- [13]RODRÍGEZ-VÁZQUEZ, A.; DOMÍNGUEZ-CASTRO, R.; MEDEIRO F. e DELGADO-RESTITUTO M. "High resolution CMOS current comparator: Design end applications to current-mode function generation" Analog integrated circuits and signal processing, 7, 149-165 (1995), 1995 Kluwer Academic Publisher, Boston Manufacture in The Netherlands.



- [14]TANG, A. T. K. e TOUMAZOU, C. "High performance CMOS current comparator" Electronics letters, vol.30, No 1,6th Jan. 1994, pp.5-6.
- [15]YIN, G. M.; EYNDE, O. e SANSEN, W. "A high-speed CMOS comparator with 8-b resolution" IEEE , Journal of Solid-State Circuits, vol.. 27, No 2, Feb. 1992, pp. 208-211.
- [16]GEIGER, R. L.; ALLEN, P. E.; STRADER, N. R. "VLSI Design Techniques for Analog and Digital Circuits", New York, McGraw-Hill, 1990, Cap.5: Basic Integrated Circuit Building Blocks, p. 318-332.
- [17]BASTOS, J., MARQUES, A. M., STEYAERT, M. S. J., SANSEN, W. "A 12-bit Intrinsic Accuracy High-Speed CMOS DAC", IEEE J. Solid-State Circuits, vol. 33, No 12, pp. 1959-1999, December 1998.
- [18]VITTOZ, E. A. "MOS transistors operated in the lateral bipolar mode and their application in CMOS technology", IEEE J. Solid-State Circuits, vol. SC-18, pp. 273-279, june 1983.
- [19]TOUMAZOU, C.; LIDGEY F. J.; e HAIGH D. G. "Analog IC design: the current-mode approach", IEE circuits and systems series 2, 1990, pp. 491-514.
- [20]HOLMAN, W. T. E CONNELLY, J. A. "A Compact Low Noise Operational Amplifier for a 1.2 μ m CMOS technology", IEEE J. Solid-State Circuits, vol. 30, No 7, pp. 710-714, june 1995.
- [21]MACSWEENEY, D., MCCARTHY, K. G., MATHEWSON, A. E MASON, B. "A SPICE Compatible Subcircuit Model for Lateral Bipolar Transistors in a CMOS Process" IEEE Transactions on Electron Devices, Vol. 45, No 9, September. 1998, pp. 1978-1984.



- [22]SINGOR, H. W. e SALAMA, A. T. "A low-power high-speed 10-bit CMOS-compatible D/A converter" IEEE Transactions on Circuits and Systems, Vol. 38, No 3, Mar. 1991, pp. 322-325.
- [23]ISMAIL. M.e FIEZ T., "Analog VLSI Signal and information Processing", New York, McGraw-Hill, 1994, Cap.16, p. 699-720.
- [24]ANALOG DEVICES "Analog-digital conversion handbook" Analog Devices, 1976, Part II, Chapter I, II.



Apêndice A

Leiaute do conversor A/D

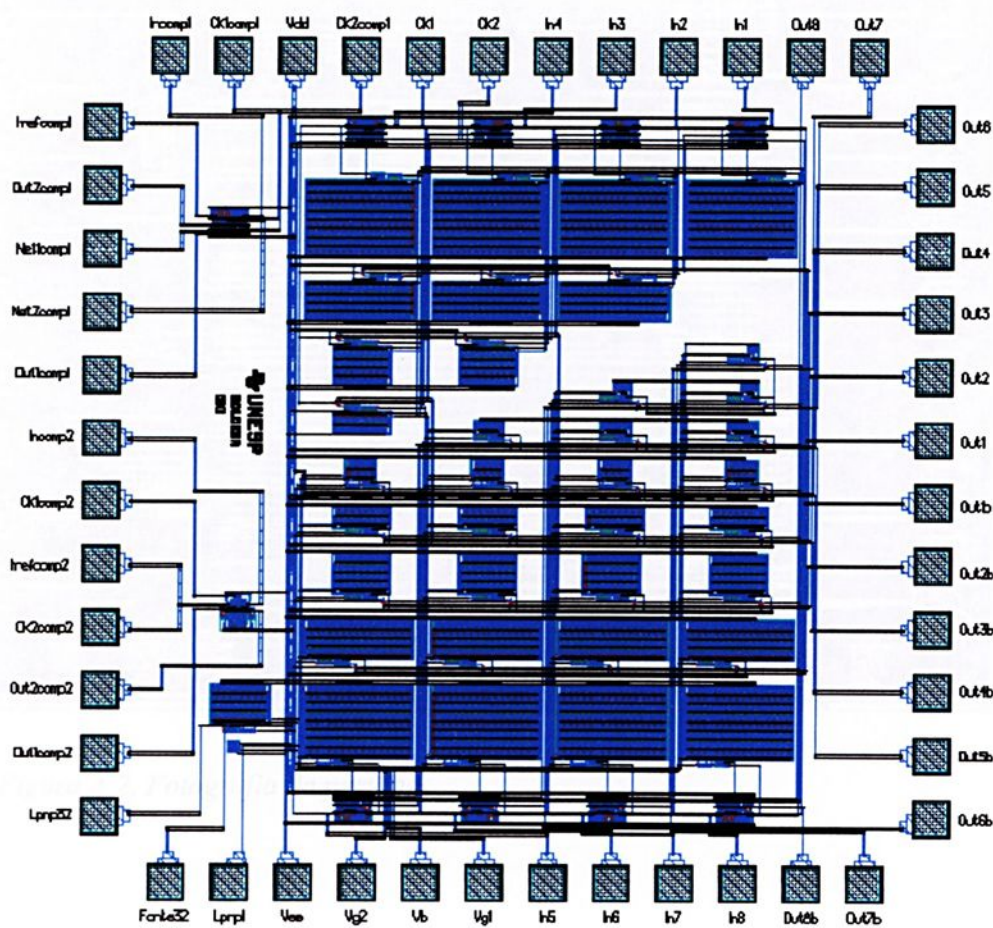


Figura A.1. Leiaute completo do conversor A/D.



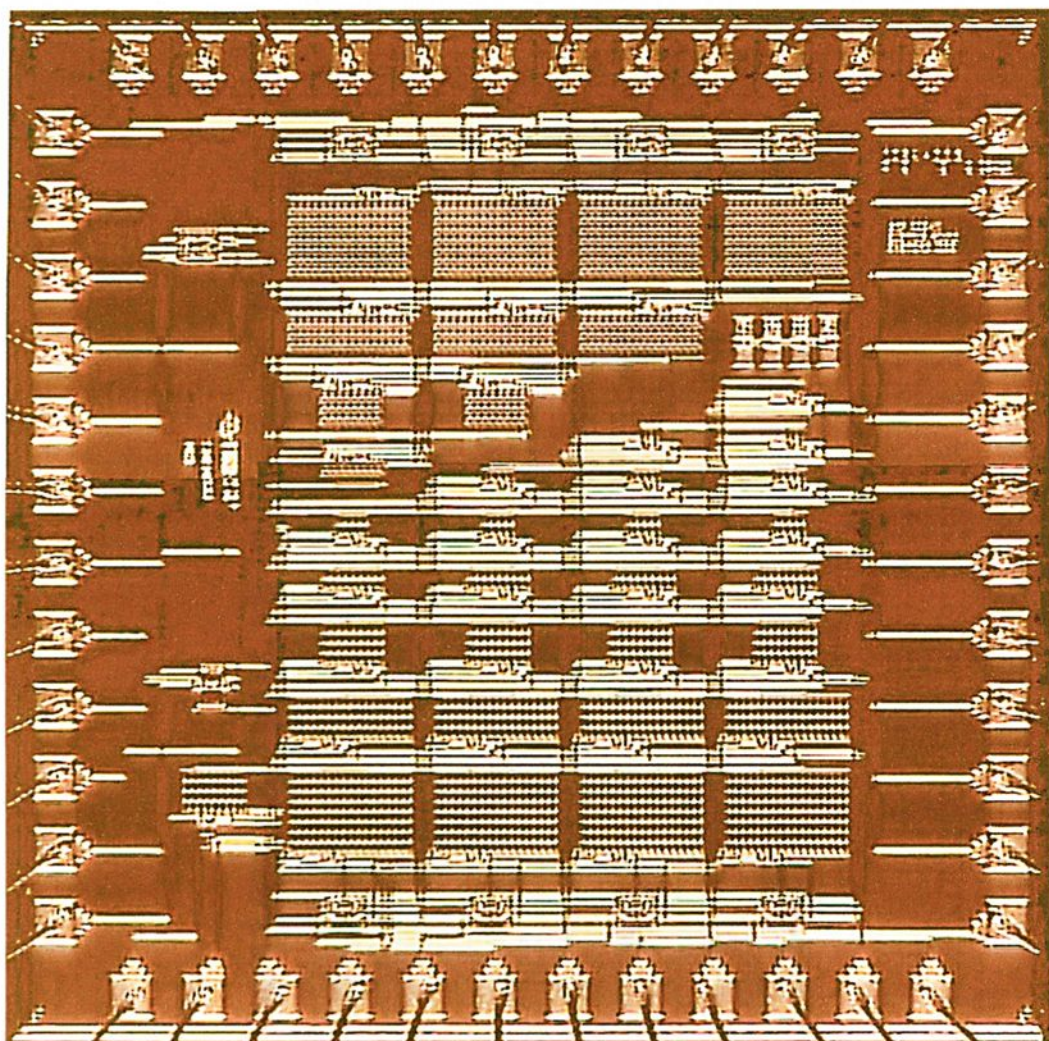


Figura A.2. Fotografia da pastilha.

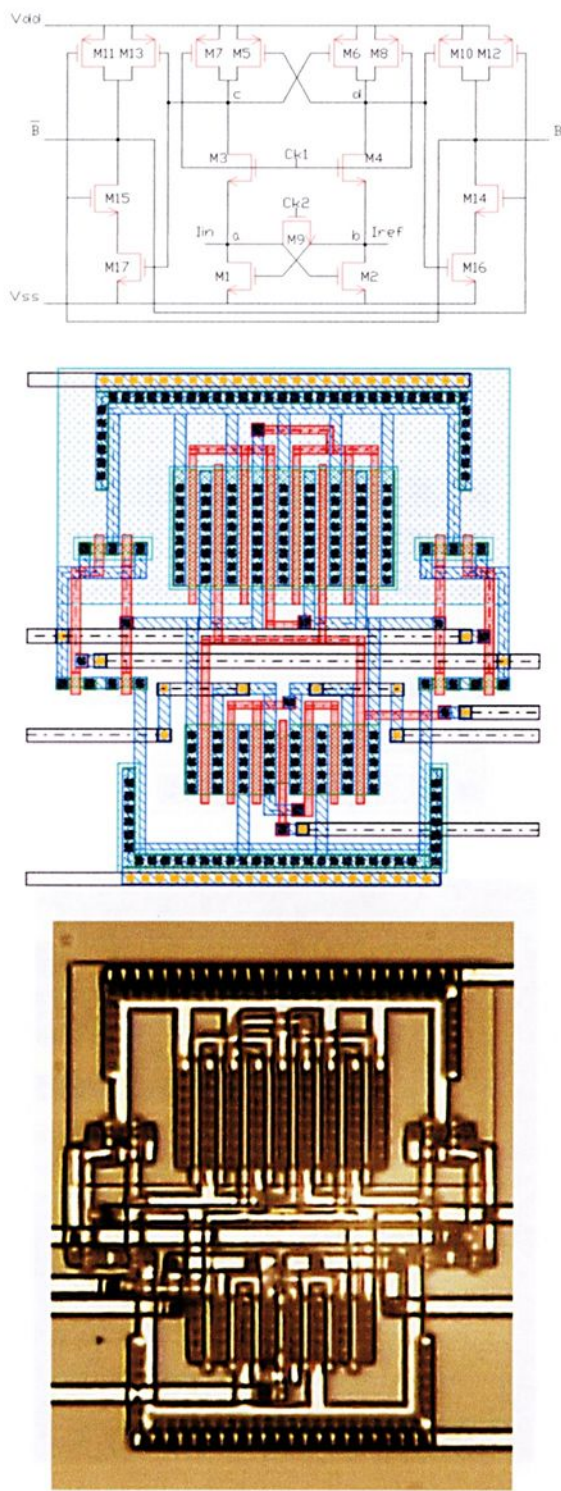


Figura A.4. Diagrama esquemático do comparador tipo 2, leiaute e fotografia.

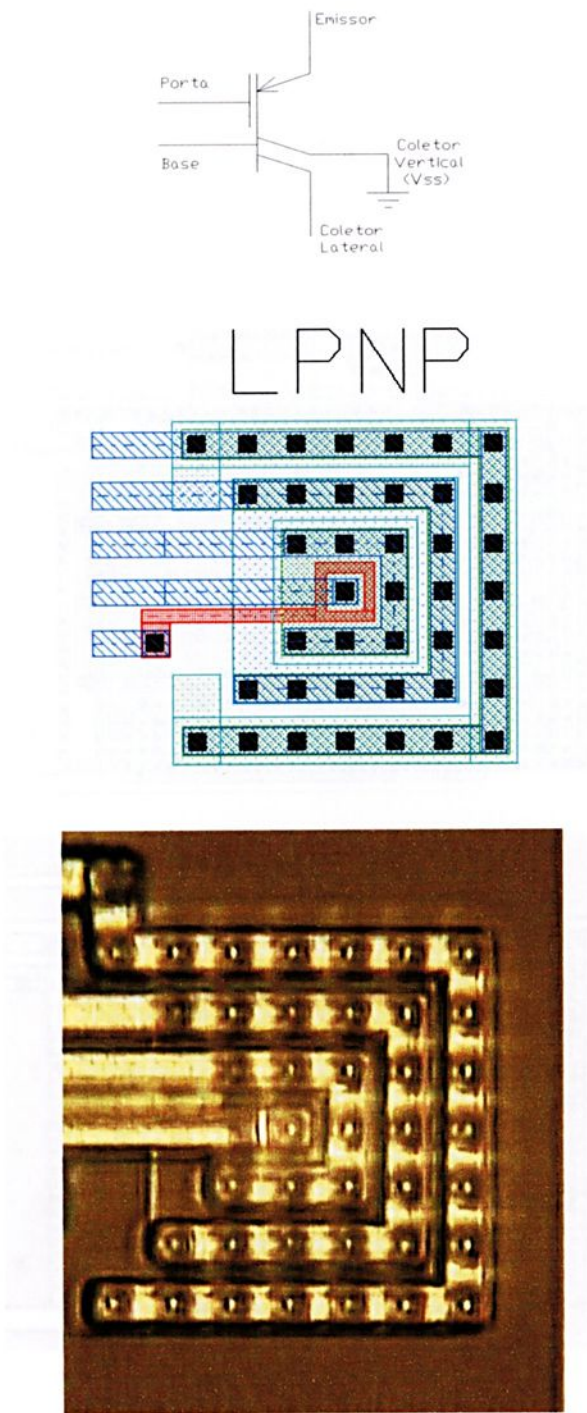


Figura A.5. Símbolo do transistor LPNP, leiaute e fotografia

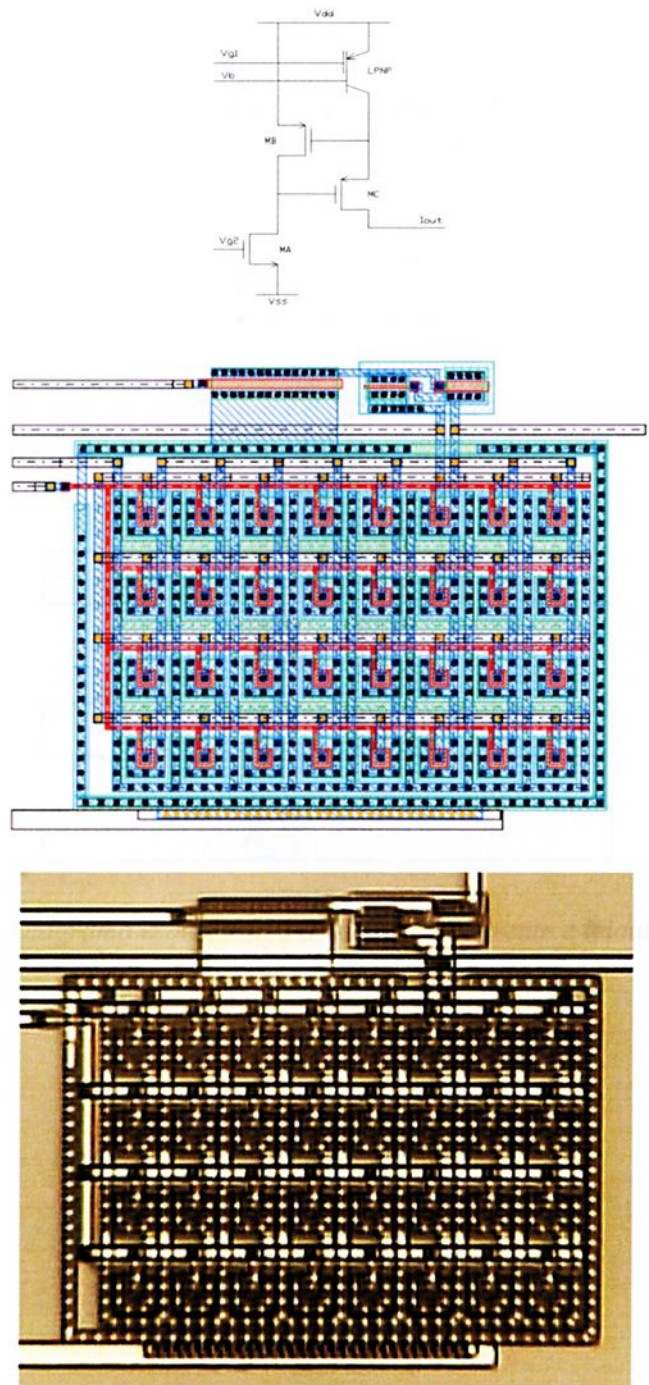


Figura A.6. Diagrama esquemático da fonte de referência $I_{ref}/8$, leiaute e fotografia.

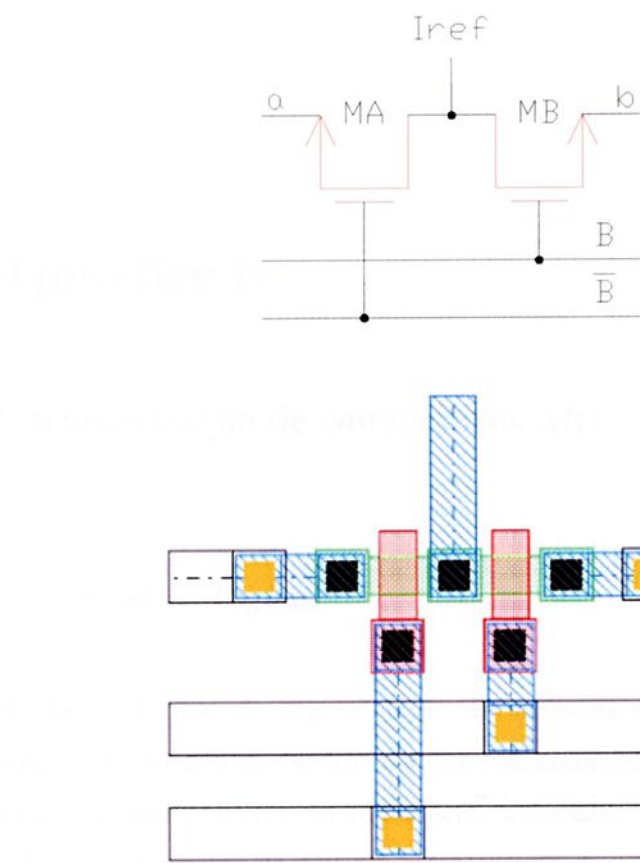


Figura A.7. Diagrama esquemático da chave de corrente e leiaute.

Apêndice B

Caracterização de conversores A/D

B.1 Códigos Digitais^[4]

Há várias formas de representação de números digitais. As formas usuais de representação são: O código binário natural e o código binário codificado em decimal (*binary coded decimal* – BCD) são amplamente utilizados, também são usados os códigos binário *offset*, complemento de dois e o complemento de um. A Tabela B.1 exemplifica os tipos de códigos digitais mais utilizados^[24].

Decimal	Binário	BCD	Decimal	Binário	Complemento	Complemento
Natural	Natural		Inteiro	offset	de 2	de 1
0	0000	0 0000	+7	1111	0111	0111
1	0001	0 0001	+6	1110	0110	0110
2	0010	0 0010	+5	1101	0101	0101
3	0011	0 0011	+4	1100	0100	0100
4	0100	0 0100	+3	1011	0011	0011
5	0101	0 0101	+2	1010	0010	0010
6	0110	0 0110	+1	1001	0001	0001
7	0111	0 0111	0+	1000	0000	0000
8	1000	0 1000	0-	(1000)	(0000)	1111
9	1001	0 1001	-1	0111	1111	1110
10	1010	1 0000	-2	0110	1110	1101
11	1011	1 0001	-3	0101	1101	1100
12	1100	1 0010	-4	0100	1100	1011
13	1101	1 0011	-5	0011	1011	1010
14	1110	1 0100	-6	0010	1010	1001
15	1111	1 0101	-7	0001	1001	1000
-	-	-	-8	(0000)	(1000)	-

Tabela B.1. Códigos digitais mais utilizados na representação de números binários.

O código BCD de quatro bits pode representar apenas dez números digitais diferentes, enquanto o código binário natural pode representar dezesseis números. Os



demais códigos geralmente são utilizados para representar números inteiros negativos e positivos.

No código binário natural, um número digital fracionário (Palavra digital – *string* de n bits $b_1, b_2, b_3, \dots, b_n$) D é representado na seguinte forma:

$$D = \sum_{i=1}^N b_i 2^{-i} \quad (\text{B.1})$$

Ou

$$D = b_1 2^{-1} + b_2 2^{-2} + \dots + b_n 2^{-n} \quad (\text{B.2})$$

Onde n é o número total de bits da palavra digital. O bit mais significativo (*Most Significant Bit* - MSB) tem um peso de 2^{-1} , e o bit menos significativo (*Least Significant Bit* - LSB) tem o peso de 2^{-n} . D pode assumir 2^n valores distintos, $0 \leq D \leq (1-2^{-n})$.

Quando todos os b_i bits são 1 no código binário, o valor é equivalente ao valor do sinal analógico de escala completa (*Full Scale* – FS) $(1-2^{-n})$, isto é, o menor sinal de entrada que gera nível lógico um em todas as saídas do conversor. O peso designado a LSB determina a resolução do conversor A/D, ou seja, o menor sinal que pode ser detectado. O espaçamento entre valores consecutivos é 2^{-n} , que é a menor variação detectável.

B.2 Caracterização de Conversores A/D^[4,24]

A caracterização de conversores A/D, assim como suas propriedades, dependem do comportamento estático e dinâmico do conversor. As características estáticas descrevem a conversão e seu desvio em relação à conversão ideal. Os erros estáticos afetam a precisão da conversão de um sinal estático. As características dinâmicas descrevem o comportamento da conversão em relação ao tempo e à frequência.

B.2.1 Parâmetros Estáticos

Um conversor A/D ideal pode ser descrito estaticamente, isto é, presumindo-se variação muito lenta no sinal analógico, por uma curva de transferência como mostrada na Figura B.1a. A curva de transferência é obtida através da reconstituição do sinal analógico



de entrada (rampa) do conversor A/D aplicando sua saída digital à entrada de um conversor Digital/Analógico (D/A).

Um código binário de n bits pode produzir apenas 2^n números digitais distintos, do mesmo modo um conversor de n bits também tem 2^n níveis de quantização. Na representação estes níveis são equidistantes. A distância q , denotado por 1 LSB (unidade do sinal analógico), refere-se ao passo da quantização. O menor passo é igual ao sinal de escala completa dividido pelo número passos, ou seja, $FS/2^n$. Portanto, o processo de conversão introduz um erro de quantização (ou ruído de quantização) igual a $\pm 1/2 \text{ LSB}$ (Figura B.1b), que é a metade do menor passo. Devido a este erro intrínseco associado ao processo de digitalização, o conversor A/D não consegue distinguir dois sinais analógicos distintos de menos de 1 LSB, que acarretará num erro de no máximo de $\pm 1/2 \text{ LSB}$. Isto significa que diferentes valores do sinal analógico de entrada são representados pelo mesmo código digital e parte da informação original é perdida.

Este erro pode claramente ser reduzido a um nível aceitável aumentando o número de bits que representará o sinal de entrada. Para uma reprodução ideal $n \rightarrow \infty$.

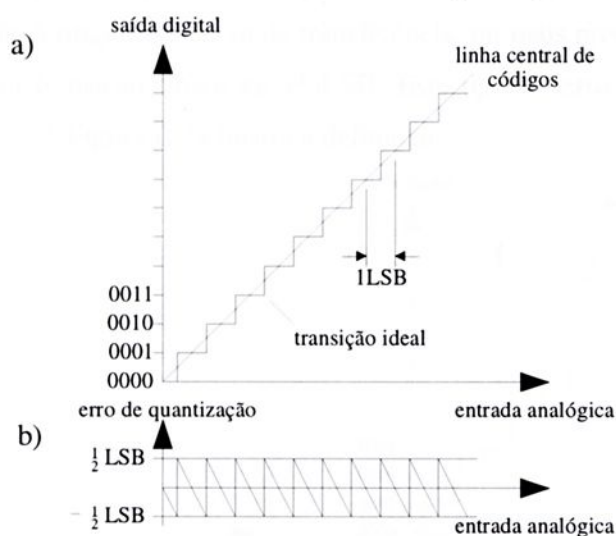


Figura B.1. a) Característica de transferência. b) Erro de quantização.

Fazendo $q = 1 \text{ LSB}$, o erro quadrático médio (energia normalizada do ruído de quantização)^[5] é dado por:

$$\overline{\epsilon^2} = \frac{1}{q} \int_{-q/2}^{q/2} \epsilon^2 d\epsilon = \frac{q^2}{12} \quad (\text{B.3})$$

Sendo 2^n o número de estados distintos N e E o valor máximo do sinal de entrada (FS), o valor da razão sinal/ruído (*Signal-to-Noise Ratio* – SNR) no sistema binário pode ser expressado como:

$$SNR = \frac{E^2}{\epsilon^2} = 12 \frac{E^2}{q^2} = 12N^2 \tag{B.4}$$

$$SNR_{dB} = 10 \cdot \log(12 \cdot 2^{2n}) = 10,79 + 6,02n \tag{B.5}$$

Desta forma, cada bit de resolução acrescentado melhora a razão sinal/ruído em aproximadamente 6dB. A curva característica de transferência diverge da ideal em um conversor real. Esta divergência deve-se às características não ideais e aos descasamentos dos dispositivos ativos. Os erros estáticos podem ser definidos como, erro de *offset*, erro de ganho e erro de linearidade. O erro de saída do conversor é expresso como uma porcentagem de FS ou em unidade de LSB.

B.2.1.1 Erro de Offset

O erro de *offset* é quantificado pelo deslocamento paralelo da linha central de códigos em relação à origem da curva de transferência, ou mais precisamente, a quantidade da qual a primeira transição difere de $\pm \frac{1}{2}LSB$. Este tipo de erro afeta todos os códigos digitais igualmente. A Figura B.2a ilustra a definição.

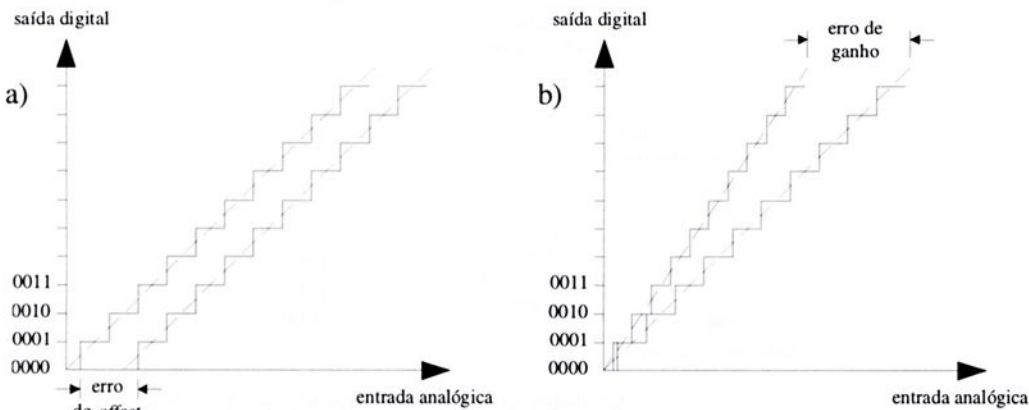


Figura B.2. a) Erro de offset. b) Erro de ganho

B.2.1.2 Erro de Ganho

O erro de ganho é mensurado pela inclinação da linha de centro de códigos em relação à ideal. Pode-se ainda definir o erro de ganho como a diferença entre a primeira e a



última transição da curva de transferência (Figura B.2b). O erro de *offset* e de ganho restringem o fundo de escala FS, incrementando a dimensão do erro de quantização. Felizmente, estes tipos de erros podem ser compensados externamente.

Outros tipos de erros que estão associados a não-linearidade da característica de transferência, não podem ser compensados por ajustes externos, podem apenas ser minimizados com o casamento dos dispositivos e um leiaute adequado. Os erros de não-linearidade são definidos em termos de não-linearidade integral e não-linearidade diferencial. Estes são os mais importantes e críticos de todos os parâmetros estáticos, especialmente para conversores rápidos.

B.2.1.3 Erro de Não-linearidade Integral

O erro de não-linearidade integral (*Integral Nonlinearity – INL*) é uma medida do máximo desvio da característica de transferência real em relação à ideal. Ou seja, é o desvio dos valores da curva de transferência real comparada a uma linha reta. Esta reta é a que melhor se ajusta à linha central de códigos da curva de transferência. A medição é realizada do ponto de transição de um degrau em relação à reta. A Figura B.3 ilustra a característica de um conversor com erro de não-linearidade integral.

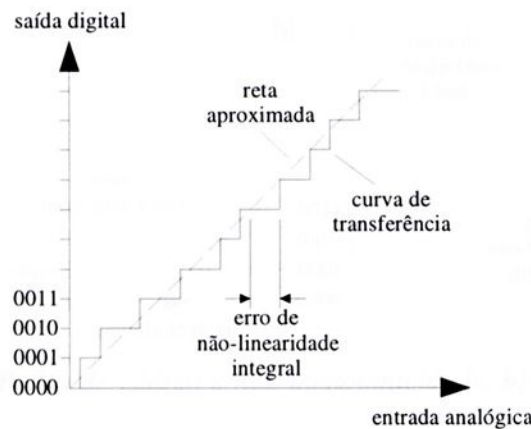


Figura B.3. Erro de não-linearidade integral.

B.2.1.4 Erro de Não-linearidade Diferencial

O erro de não-linearidade diferencial (*Differential Nonlinearity - DNL*) é a medida do desvio de qualquer passo de quantização em relação à ideal, em outras palavras, o DNL é o desvio de qualquer intervalo de quantização da medida do passo ideal 1LSB.



A DNL expressa a não uniformidade dos degraus entre transições de códigos adjacentes. Pode ser determinado por:

$$DNL_i = 1LSB - (S_{T_{i+1}} - S_{T_i}) \quad (B.6)$$

DNL_i é a não-linearidade diferencial para a i-ésima transição e S_{T_i} é o valor atual do sinal de limiar. Para um conversor A/D perfeito a diferença entre dois sinais de limiar (*Signal Threshold* - ST) sucessivos quaisquer $S_{T(i+1)} - S_{T_i}$ é igual a 1LSB. Deste modo, num conversor ideal, a DNL é igual a zero. Em conversores reais, qualquer desvio de $S_{T(i+1)} - S_{T_i}$ de 1LSB produzirá uma DNL, que introduzirá ruídos extras de quantização, que por sua vez causará uma distorção harmônica.

Quando a DNL excede 1LSB na i-ésima transição, o conversor perde a monotonicidade tornando-se não-monotônico. Também é associado a este o efeito de perda de código. A perda de código pode acarretar efeitos desastrosos à conversão, como por exemplo a perda de uma palavra inteira.

A Figura B.4a exemplifica a perda de código e não-monotonicidade e o erro de não-linearidade diferencial na Figura B.4b.

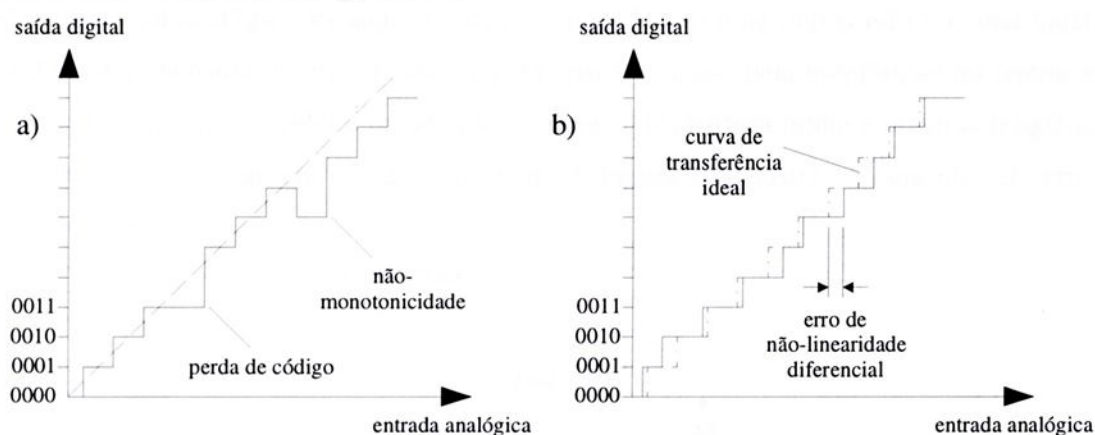


Figura B.4. a) Perda de código e não-monotonicidade. b) Erro de não-linearidade diferencial.

B.2.2 Parâmetros Dinâmicos

Os parâmetros dinâmicos caracterizam os conversores em termos de velocidade da operação de conversão, ruído, distorção harmônica e largura de banda entre outros. Estes são tratados como parâmetros no domínio da frequência e parâmetros no domínio do

tempo. A performance dinâmica no domínio frequência de um conversor A/D, revela sua limitação em frequência, tais como: Largura de banda, fase, ganho, distorção harmônica (*total harmonic distortion* – THD) e susceptibilidade ao ruído (SNR). São fatores importantes principalmente para conversores rápidos. Dos parâmetros no domínio do tempo, o tempo de conversão, a taxa de conversão e o efeito de abertura são de maior relevância, pois influenciam diretamente na velocidade de conversão.

B.2.2.1 Tempo de Conversão

O tempo de conversão é a quantidade de tempo requerido para realizar uma conversão completa. A velocidade é denotada pela taxa de conversão, que pode ser definida como o número máximo de repetições de conversões por segundo.

B.2.2.2 Tempo de Abertura

O tempo de abertura, que é o tempo necessário para completar um ciclo de conversão. Durante este intervalo o sinal analógico de entrada não deve sofrer variações. Para um sinal analógico variante no tempo é introduzido uma imprecisão no sinal binário codificado, chamada de erro de abertura. O erro é causado pela indefinição no tempo em que a amostragem (*sample*) é parada (*hold*). O erro de abertura limita a máxima frequência do sinal analógico de entrada do conversor. A Figura B.5 ilustra os conceitos de erro e tempo de abertura.

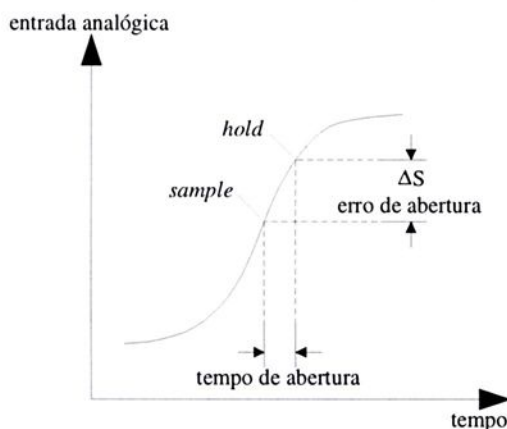


Figura B.5. Um sinal analógico S. Erro de abertura e tempo de abertura.

B.2.2.3 Número efetivo de bits

O número efetivo bits é o valor real da precisão do conversor. Para um conversor de n bits o sinal reconstituído deve ter 2^n níveis de quantização diferentes. Devido aos erros de conversão pode ocorrer perda de níveis de quantização. O número efetivo de bits n_e é dado pela equação B.7.

$$n_e = n - \log_2 \left(\frac{E_{rms}}{E'_{rms}} \right) \quad (B.7)$$

$$E'_{rms} = \frac{1}{2^{(n+1)} \cdot \sqrt{3}} \quad (B.8)$$

Onde E_{rms} é o valor quadrático médio do erro real (que inclui o ruído de quantização e todas as imperfeições do conversor A/D), que é a diferença entre o sinal real reconstituído por um conversor D/A e o sinal ideal que melhor se ajusta ao sinal real. Geralmente é utilizado um sinal senoidal, pois esta operação é equivalente a remover a frequência fundamental da transformada de Fourier do sinal reconstituído. E E'_{rms} é o valor quadrático médio do erro ideal (erro de quantização do conversor A/D ideal), que é expresso em função do número de bits segundo a equação B.8.

Para minimizar os efeitos dos erros dinâmicos na conversão, os conversores A/D são dotados de circuitos amostradores (*sample-and-hold* - S/H), filtros passa baixa e multiplexadores entre outros. Além disso, também são empregadas técnicas para melhorar o desempenho. Estas observações são fundamentais para o projeto conversores A/D de alta velocidade.





UNIVERSIDADE ESTADUAL PAULISTA
"JÚLIO DE MESQUITA FILHO"

Câmpus de Ilha Solteira
Programa de Pós-Graduação em Engenharia Elétrica
Av. Brasil Centro, 56
15385-000 Ilha Solteira - SP
www.dee.feis.unesp.br

