

UNIVERSIDADE ESTADUAL PAULISTA “JÚLIO DE MESQUITA FILHO”
FACULDADE DE ENGENHARIA – CÂMPUS DE SÃO JOÃO DA BOA VISTA
BACHARELADO EM ENGENHARIA ELETRÔNICA E DE TELECOMUNICAÇÕES

PEDRO HENRIQUE MADEIRA

TRANSISTORES SOI FINFETS: DA CARACTERIZAÇÃO ELÉTRICA AO CIRCUITO
AMPLIFICADOR DE 2 ESTÁGIOS

SÃO JOÃO DA BOA VISTA

2024

PEDRO HENRIQUE MADEIRA

TRANSISTORES SOI FINFETS: DA CARACTERIZAÇÃO ELÉTRICA AO CIRCUITO
AMPLIFICADOR DE 2 ESTÁGIOS

Trabalho de Conclusão de Curso apresentado à
Universidade Estadual Paulista “Júlio de
Mesquita Filho” como requisito para obtenção
de título de Bacharel em Engenharia Eletrônica
e de Telecomunicações

Orientadora: Prof. Dra. Paula Ghedini Der
Agopian

**This work is licensed under the Creative Commons Attribution 4.0 Internacional License.
To view a copy of this license, visit <http://creativecommons.org/licenses/by/4.0/>.**

SÃO JOÃO DA BOA VISTA

2024

M181t

Madeira, Pedro Henrique

Transistores SOI FinFETs : Da caracterização elétrica ao circuito
amplificador de 2 estágios / Pedro Henrique Madeira. -- São João da Boa
Vista, 2024

55 p. : il., tabs.

Trabalho de conclusão de curso (Bacharelado - Engenharia de
Telecomunicações) - Universidade Estadual Paulista (UNESP), Faculdade de
Engenharia, São João da Boa Vista

Orientadora: Paula Ghedini Der Agopian

1. Semicondutores. 2. Transistores de efeito de campo. 3. Circuitos
eletrônicos. 4. Circuitos integrados. 5. Nanoeletrônica. I. Título.

**UNIVERSIDADE ESTADUAL PAULISTA “JÚLIO DE MESQUITA FILHO”
FACULDADE DE ENGENHARIA - CÂMPUS DE SÃO JOÃO DA BOA VISTA
GRADUAÇÃO EM ENGENHARIA ELETRÔNICA E DE TELECOMUNICAÇÕES**

TRABALHO DE CONCLUSÃO DE CURSO

**TRANSISTORES SOI FINFETS: DA CARACTERIZAÇÃO ELÉTRICA AO CIRCUITO
AMPLIFICADOR DE 2 ESTÁGIOS**

Aluno: Pedro Henrique Madeira

Orientador: Prof.^a Dr.^a Paula Ghedini Der Agopian

Banca Examinadora:

- Paula Ghedini Der Agopian (Orientadora)
- Marlon Rodrigues Garcia (Examinador)
- Vanessa Cristina Pereira da Silva Venuto (Examinadora)

Os formulários de avaliação e a ata da defesa, na qual consta a aprovação do trabalho, devidamente assinados pela banca encontram-se no prontuário eletrônico do aluno.

São João da Boa Vista, 23 de outubro de 2024

AGRADECIMENTOS

A Deus, por tudo que me foi dado, pela saúde e proteção pelas calçadas.

Aos meus pais, Pedro e Rosa, que sempre me incentivaram e apoiaram, sempre estando presentes, não só durante a realização deste trabalho, como em todos os momentos que vivi.

Às minhas irmãs, Rosa e Lucia, pelo apoio e consideração, sempre me proporcionando momentos incríveis e memórias felizes.

A todos os meus amigos, pelas aulas e trabalhos realizados, festas, reuniões e passeios, treinos e caminhadas, por tornar a vida mais bela.

À minha orientadora, Paula, por todos os ensinamentos e lições, pelo apoio e paciência com seus alunos.

Às instituições IMEC e LSI/USP, pelas parcerias que possibilitaram a obtenção e medição dos dispositivos, bem como a elaboração deste trabalho.

O presente trabalho foi realizado com apoio ao processo nº 2022/09917-3, Fundação de Amparo à Pesquisa do Estado de São Paulo (FAPESP).

“É necessário sempre acreditar que o sonho é possível,
que o céu é o limite e você, truta, é imbatível.”

(Racionais Mc's)

RESUMO

O presente trabalho apresenta o estudo, a caracterização elétrica e a simulação de um bloco analógico utilizando transistores SOI FinFETs de porta tripla. A análise experimental da performance dos transistores SOI FinFETs com diferentes larguras de aleta (W_{Fin}) foi baseada nos principais parâmetros elétricos. Os parâmetros estudados foram tensão de limiar, redução da barreira induzida pelo dreno, transcondutância, inclinação de sublimiar, condutância de saída, tensão Early e ganho intrínseco de tensão. A redução da largura de aleta resultou em uma considerável melhoria em todos os parâmetros elétricos, devido ao maior acoplamento eletrostático entre as portas verticais, o que garante um melhor controle das cargas no canal pela tensão aplicada à porta. A partir dos resultados obtidos na caracterização elétrica, foi calibrada a simulação HSpice dos transistores SOI FinFET de canal N e de canal P para as dimensões de largura de aleta (W_{Fin}) de 20 nm e comprimento de canal (L) de 150 nm. Posteriormente foi projetado um amplificador operacional de transcondutância de dois estágios. Embora os transistores SOI FinFET atualmente sejam amplamente utilizados no projeto de processadores (digital), quando aplicados no projeto de um amplificador operacional demonstrou um grande potencial para aplicação em circuitos analógicos, atingindo um ganho de 68,1 dB e trabalhando em uma faixa de frequência de até 2,2 GHz.

Palavras-chave: semicondutores; transistores de efeito de campo; circuitos eletrônicos; circuitos integrados; nanoeletrônica; amplificadores operacionais; FinFET; *Silicon On Insulator*; caracterização elétrica; circuitos analógicos.

ABSTRACT

This work presents the study, electrical characterization, and simulation of an analog block using triple-gate SOI FinFET transistors. The experimental analysis of the performance of SOI FinFET transistors with different fin widths (W_{Fin}) was based on the main electrical parameters. The parameters studied were threshold voltage, drain-induced barrier lowering, transconductance, subthreshold slope, output conductance, Early voltage, and intrinsic voltage gain. The reduction in fin width resulted in a considerable improvement in all electrical parameters due to the greater electrostatic coupling between the vertical gates, which ensures better control of the channel charges by the gate voltage. Based on the results obtained from the electrical characterization, the HSpice simulation of N-channel and P-channel SOI FinFET transistors was calibrated for fin widths (W_{Fin}) of 20 nm and a channel length (L) of 150 nm. Subsequently, a two-stage operational transconductance amplifier was designed. Although SOI FinFET transistors are currently widely used in processor (digital) design, when applied to the design of an operational amplifier, they demonstrated great potential for application in analog circuits, achieving a gain of 68.1 dB and operating in a frequency range of up to 2.2 GHz.

Keywords: semiconductors; field-effect transistors; electronic circuits; integrated circuits; nanoelectronics; operational amplifiers; FinFET; Silicon On Insulator; electrical characterization; analog circuits.

LISTA DE FIGURAS

Figura 1 – Desenho esquemático do transistor MOSFET convencional do tipo (A) nMOS e (B) pMOS.	17
Figura 2 – Desenho esquemático de um transistor SOI MOSFET de tipo n.	17
Figura 3 – Distribuição das cargas de depleção em transistores de canal longo (esquerda) e de canal curto (direita), para transistores MOSFETs convencionais (acima) e transistores SOI MOSFETs (abaixo). Q_{porta} representa as cargas de depleção controladas pela porta.	18
Figura 4 – Estrutura esquemática de transistores de múltiplas portas do tipo FinFET, (A) de porta dupla e (B) de porta tripla.	19
Figura 5 - Ilustração da inclinação de sublimiar.	22
Figura 6 – Curva $I_{\text{DS}} \times V_{\text{DS}}$ apresentando a tensão Early para diferentes V_{GS}	23
Figura 7 - Desenho esquemático de um amplificador operacional de transcondutância para obtenção do ganho intrínseco do transistor.	23
Figura 8 – Desenho esquemático de um amplificador operacional de dois estágios utilizado neste trabalho, com destaque para cada um dos estágios.	24
Figura 9 – Exemplo de diagrama de Bode de ganho de tensão para um amplificador.	26
Figura 10 – Exemplo de diagrama de Bode de margem de fase para um amplificador.	26
Figura 11 – Desenho esquemático do SOI FinFET com suas dimensões.	27
Figura 12 – Método de extração da tensão de limiar para valores baixos de V_{DS}	29
Figura 13 – Método de extração da tensão de limiar para valores altos de V_{DS}	30
Figura 14 – Método de extração da inclinação de sublimiar.	31
Figura 15 – Método de extração de V_{EA}	31
Figura 16 – Gráfico de g_m/I_{DS} indicando a obtenção da tensão de modo comum do par diferencial do primeiro estágio do amplificador projetado, referente à condição de inversão de 8 V^{-1}	33
Figura 17 – Curva da corrente de dreno em função da tensão de porta, para transistores nMOS, com uma tensão de Dreno de (A) 50 mV e (B) 700 mV.	34
Figura 18 – Corrente de dreno em função da tensão de dreno, para transistores nMOS, com uma tensão de porta de $V_{\text{GS}} = V_{\text{Th}} + 200 \text{ mV}$	35
Figura 19 – Curva da corrente de dreno em função da tensão de porta, para transistores pMOS, com uma tensão de Dreno de (A) -50 mV e (B) -700 mV.	35
Figura 20 – Corrente de dreno em função da tensão de dreno, para transistores pMOS, com uma tensão de porta de $V_{\text{GS}} = V_{\text{Th}} - 200 \text{ mV}$	36

Figura 21 – Tensão de Limiar em módulo para diferentes larguras de aleta (W_{Fin}), com uma tensão de dreno igual a (A) 50 mV e (B) 700 mV.	36
Figura 22 – Redução da barreira induzida pelo dreno calculada para diferentes larguras de aleta (W_{Fin}).	37
Figura 23 – Valor da transcondutância dos transistores nMOS, para diferentes larguras de aleta, com uma tensão de dreno de (A) 50 mV e (B) 700 mV.	38
Figura 24 – Valor da transcondutância normalizado por (W/L) dos transistores nMOS, para diferentes larguras de aleta.	38
Figura 25 – Valor da transcondutância dos transistores pMOS, para diferentes larguras de aleta, com uma tensão de dreno de (A) -50 mV e (B) -700 mV.....	39
Figura 26 – Valor da transcondutância normalizado por (W/L) dos transistores pMOS, para diferentes larguras de aleta.	39
Figura 27 – Valores obtidos da inclinação de sublimiar para diferentes larguras de aleta, para transistores nMOS e pMOS.....	40
Figura 28 – Condutância de saída para transistores com diferentes larguras de aleta, para transistores (A) nMOS e (B) pMOS.	41
Figura 29 – Tensão Early para transistores com diferentes larguras de aleta.	42
Figura 30 – Ganho intrínseco de tensão para transistores com diferentes larguras de aleta. ...	42
Figura 31 – Parâmetros de modelagem para o SOI FinFET com modelo bsim-cmg.....	44
Figura 32 - Curvas experimental e simulada do transistor SOI FinFET tipo n, utilizadas para calibração das simulações, (A) $I_{DS} \times V_{GS}$ e (B) $I_{DS} \times V_{DS}$	45
Figura 33 - Curvas experimental e simulada do transistor SOI FinFET tipo n, utilizadas para a calibração das simulações, (A) g_m/I_{DS} e (B) g_D	45
Figura 34 - Desenho esquemático do circuito amplificador de dois estágios projetado, indicando as correntes referentes a cada ramo do circuito, usadas para dimensionamento da quantidade de aletas em paralelo dos transistores.....	46
Figura 35 – Diagrama de Bode da intensidade de ganho de tensão do amplificador com FinFETs.	48
Figura 36 - Diagrama de Bode da margem de fase do amplificador com FinFETs.	49
Figura 37 – Diagramas de Bode do amplificador com MOSFETs do (A) ganho de tensão e (B) da margem de fase.	50

LISTA DE TABELAS

Tabela 1 – Características dos dispositivos SOI FinFET estudados.....	27
Tabela 2 – Valores de largura de aleta dos dispositivos SOI FinFET utilizados.	28
Tabela 3 – Valores de tensão de porta utilizados para a extração das curvas $I_{DS} \times V_{DS}$	29
Tabela 4 - Parâmetros elétricos extraídos para transistores tipo n com diferentes larguras de aleta.....	43
Tabela 5 - Parâmetros elétricos extraídos para transistores tipo p com diferentes larguras de aleta.....	43
Tabela 6 – Parâmetros utilizados na simulação do SOI FinFET no HSpice.	44
Tabela 7 – Especificações dos transistores SOI FinFETs usados no projeto do amplificador.	47
Tabela 8 – Especificações dos transistores MOSFETs usados no projeto do amplificador.....	48

LISTA DE ABREVIATURAS E SIGLAS

BOX	<i>Buried Oxide</i> – Óxido Enterrado
CI	Circuito Integrado
DIBL	<i>Drain Induced Barrier Lowering</i> – Redução da Barreira Induzida pelo Dreno
EOT	<i>Effective Oxide Thickness</i> – Espessura Efetiva do Óxido
FDSOI	<i>Fully Depleted SOI</i> – SOI Totalmente Depletado
FET	<i>Field Effect Transistor</i> – Transistor de efeito de campo
FinFET	<i>Fin Field Effect Transistor</i> – Transistor de Efeito de Campo baseado em aleta (Fin)
GBW	<i>Gain–Bandwidth Product</i> - Produto Ganho-Banda
IBM	<i>International Business Machines</i>
IMEC	<i>Interuniversity Microelectronics Center</i>
LSI	Laboratório de Sistemas Integráveis
MOS	<i>Metal-Oxide-Semiconductor</i> – Metal-Óxido-Semicondutor
MOSFET	<i>Metal-Oxide-Semiconductor Field Effect Transistor</i> – Transistor de efeito de campo Metal-Óxido-Semicondutor
nFinFET	FinFET do tipo N
nMOS	Transistor MOSFET do tipo N
OTA	<i>Operational Transconductance Amplifier</i> – Amplificador Operacional de Transcondutância
PDSOI	<i>Partially Depleted SOI</i> – SOI Parcialmente Depletado
pMOS	Transistor MOSFET do tipo P
SOI	<i>silicon-on-insulator</i> – Silício sobre isolante
SS	<i>Subthreshold Slope</i> – Inclinação de Sublimiar
ULSI	<i>Ultra-large-scale integration</i> - circuitos de altíssima escala de integração
UNESP	Universidade Estadual Paulista “Júlio De Mesquita Filho”
USP	Universidade de São Paulo

LISTA DE SÍMBOLOS

A_v	Ganho intrínseco de tensão [V/V ou dB]
C_C	Capacitor de compensação ou capacitor Miller [F]
C_L	Capacitor de carga [F]
C_{OX}	Capacitância de porta por unidade de área [F/m ²]
g_D	Condutância de saída [S]
g_m	Transcondutância [S]
H_{Fin}	Altura de aleta do FinFET [nm]
I_{DS}	Corrente de dreno [A]
k	Constante de Boltzmann [$1,381 \cdot 10^{-23}$ J]
L	Comprimento do canal [nm]
N_A	Dopagem do canal [cm ⁻³]
q	Carga elementar do elétron [$1,6 \cdot 10^{-19}$ C]
T	Temperatura absoluta [K]
t_{BOX}	Espessura do óxido enterrado [nm]
t_{OX}	Espessura do óxido de porta [nm]
V_{DS}	Tensão entre dreno e fonte [V]
V_{EA}	Tensão Early [V]
V_{GS}	Tensão entre porta e fonte [V]
V_{Th}	Tensão de limiar [V]
W	Largura do canal [nm]
W_{eff}	Largura efetiva do canal [nm]
W_{Fin}	Largura de aleta do FinFET [nm]
μ	Mobilidade dos portadores de carga [cm ² /V.s]
μ_{eff}	Mobilidade efetiva dos portadores de carga [cm ² /V.s]
γ	Fator de corpo do transistor

Sumário

1. INTRODUÇÃO	13
1.1 OBJETIVOS	14
1.2 ORGANIZAÇÃO DO TRABALHO	14
2. REVISÃO BIBLIOGRÁFICA	16
2.1 TRANSISTORES FINFETS	19
2.2 PARÂMETROS ELÉTRICOS DOS TRANSISTORES	20
2.3 AMPLIFICADOR OPERACIONAL DE TRANSCONDUTÂNCIA	24
3. MATERIAIS E MÉTODOS	27
3.1 DISPOSITIVOS UTILIZADOS	27
3.2 MÉTODOS DE EXTRAÇÃO DE PARÂMETROS	28
3.2.1 TENSÃO DE LIMAR	29
3.2.2 REDUÇÃO DA BARREIRA INDUZIDA PELO DRENO	30
3.2.3 INCLINAÇÃO DE SUBLIMAR	30
3.2.4 TENSÃO EARLY	31
3.2.5 GANHO INTRÍNSECO DE TENSÃO	31
3.3 SIMULADOR	32
4. RESULTADOS	34
4.1 PARÂMETROS EXTRAÍDOS	34
4.2 PROJETO DO AMPLIFICADOR	43
4.3 ANÁLISE DO BLOCO ANALÓGICO	48
5. CONCLUSÕES	51
REFERÊNCIAS BIBLIOGRÁFICAS	53
APÊNDICE A – Código VerilogA da simulação do OTA com FinFETs	55

1. INTRODUÇÃO

A tecnologia do transistor de efeito de campo do tipo metal-óxido-semicondutor ou MOSFET é aplicada em larga escala em circuitos integrados devido à sua alta escalabilidade e velocidade de chaveamento. Os circuitos integrados (CIs), circuitos eletrônicos miniaturizados e fabricados em uma lâmina de material semicondutor, atualmente estão presentes em quase tudo que nos rodeia [1]. Eles são necessários para o funcionamento de equipamentos em diversas áreas, como computadores, aparelhos médicos e satélites. Os CIs são compostos de dispositivos semicondutores, em sua grande maioria transistores MOSFETs [1]. É possível então correlacionar a eficiência e capacidade de processamento desses CIs com a capacidade desses dispositivos, tornando o estudo dos transistores de grande importância para o avanço tecnológico.

Também é importante citar a Lei de Moore [2], observação feita por Gordon Moore, químico estadunidense cofundador da empresa multinacional Intel. A lei descreve como a quantidade de transistores por unidade de área (ou densidade de integração) deveria duplicar a cada 18-24 meses, o que significa que tanto a dimensão dos dispositivos quanto seus métodos de fabricação deveriam evoluir com o intuito de aumentar a quantidade de transistores por unidade de área nos circuitos integrados, aumentando assim a densidade de integração e consequentemente aumentando a capacidade de processamento dos aparelhos eletrônicos.

Com a miniaturização dos transistores, a tecnologia do MOSFET planar convencional (também chamado de *bulk*) começou a apresentar efeitos de canal curto que prejudicam seu funcionamento. Essa tecnologia foi então substituída pela tecnologia SOI (*silicon-on-insulator* ou silício sobre isolante), que apresenta uma camada espessa de óxido enterrado (*buried oxide* ou BOX) logo abaixo da região ativa dos transistores [3-8]. Para transistores dos nós tecnológicos abaixo dos 32 nm, também foram implementadas mudanças em sua geometria, surgindo assim os transistores de múltiplas portas [7-8]. Essas mudanças resultaram em melhor acoplamento eletrostático e maior capacidade de corrente [7].

A melhoria do acoplamento eletrostático do canal do transistor, obtida com a implementação da tecnologia SOI e das novas geometrias, também tornou os transistores mais robustos, ou seja, mais imunes aos efeitos de canal curto, à modulação do comprimento de canal e às correntes parasitárias [7]. Além disso, outro resultado que tem sido observado com estas novas tecnologias é a melhoria de parâmetros elétricos, como ganho intrínseco e velocidade de chaveamento [7].

Uma dessas geometrias alternativas ao MOSFET convencional é o SOI FinFET (*SOI Fin Field Effect Transistor*), objeto de estudo desse trabalho. O FinFET é um transistor de três portas baseado em aletas finas, que proporcionam maior acoplamento eletrostático no canal e tornam o transistor ainda mais robusto. Esse dispositivo foi muito utilizado em circuitos digitais na indústria eletrônica (transistor utilizado nos processadores intel, IBM, etc.), porém ainda pouco aplicado para circuitos analógicos.

Os circuitos analógicos, como reguladores de tensão, conversores, filtros, multiplicadores analógicos e amplificadores, também são de extrema importância para o desenvolvimento de novas tecnologias e por este motivo é necessário avaliar o funcionamento de dispositivos como o SOI FinFET em aplicações analógicas.

Os circuitos amplificadores são de grande importância para os aparelhos eletrônicos, sendo responsáveis por amplificar sinais fracos, geralmente na faixa de microvolts (μV) ou milivolts (mV). Esses sinais são pequenos demais para que seja possível um processamento confiável, sendo necessária uma amplificação considerável, evitando qualquer distorção ou alteração no sinal. O circuito analógico abordado neste trabalho foi o amplificador operacional de transcondutância de dois estágios, topologia muito utilizada em projetos de circuitos de altíssima escala de integração (*Ultra-large-scale integration* ou ULSI) [1].

1.1 OBJETIVOS

O primeiro objetivo deste trabalho foi avaliar o comportamento deste tipo de transistor através da caracterização elétrica dos transistores SOI FinFETs de diferentes larguras de aleta. Foram comparados os diferentes dispositivos e seus parâmetros elétricos, verificando o impacto decorrente da variação da largura de aleta no seu funcionamento.

Além da análise do comportamento dos dispositivos, também foi calibrado o simulador HSpice (Synopsys, California, EUA) com o comportamento experimental do transistor. Com o transistor escolhido e calibrado, foi projetado e simulado um amplificador operacional de transcondutância de dois estágios, a fim de verificar o potencial da tecnologia SOI FinFET aplicada em circuitos analógicos integrados.

Neste trabalho, também foi projetado e simulado um amplificador com transistores MOSFETs convencionais com dimensões equivalentes ao do FinFET escolhido, a fim de comparar o funcionamento de ambos no circuito.

1.2 ORGANIZAÇÃO DO TRABALHO

Os capítulos deste trabalho estão organizados da seguinte forma:

- Capítulo 1: Capítulo dedicado a contextualização da pesquisa e a apresentação das motivações que levaram à sua elaboração, mostrando a importância dos dispositivos SOI FinFETs para a indústria eletrônica e a sua evolução tecnológica. Além disso são apresentados os objetivos deste trabalho de conclusão de curso.
- Capítulo 2: Apresentação da revisão bibliográfica com o propósito de apresentar a tecnologia FinFET, que são MOSFETs 3D e de múltiplas portas, considerando as características e geometria do SOI FinFET, os parâmetros elétricos dos transistores e uma introdução sobre amplificadores e suas figuras de mérito.
- Capítulo 3: Apresentação dos materiais e métodos. Expõe as características físicas dos dispositivos utilizados, os métodos de extração de parâmetros e como foi feita a utilização do simulador HSpice.
- Capítulo 4: Este é o capítulo em que são expostos os parâmetros elétricos extraídos, os resultados das simulações dos amplificadores e as análises correspondentes.
- Conclusão (Capítulo 5): Finalização do trabalho com a apresentação dos principais resultados e as conclusões.

2. REVISÃO BIBLIOGRÁFICA

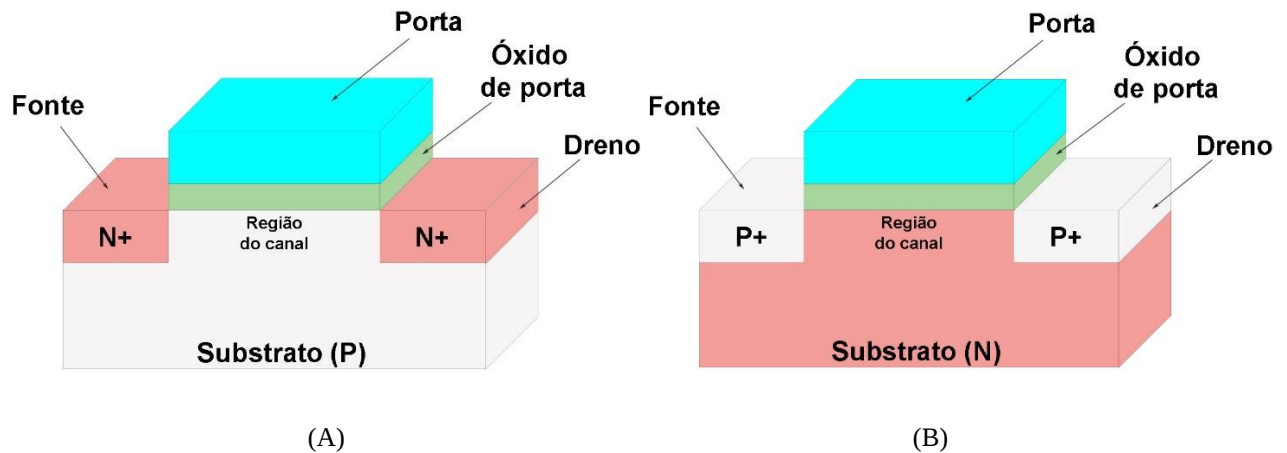
A evolução tecnológica dos dispositivos eletrônicos depende diretamente da capacidade dos circuitos integrados e dos dispositivos que os compõem. Esses CIs são circuitos eletrônicos miniaturizados fabricados sobre uma pastilha (*chip*) de semicondutor, geralmente em silício, e são compostos principalmente por transistores, dispositivos semicondutores que podem atuar como amplificadores ou chaves lógicas, além de tornarem possíveis a criação de uma infinidade de circuitos com os mais variados propósitos [1]. A recorrente necessidade de miniaturização dos transistores é causada pela busca de uma maior capacidade de processamento dos circuitos integrados, que depende da densidade de integração de seus componentes.

A densidade de integração dos transistores e sua necessidade de constante evolução também é abordada pela Lei de Moore [2], observação feita em 1965 e revisada em 1975 por Gordon Moore, químico estadunidense cofundador da empresa multinacional Intel. Esta lei descreve como a indústria de semicondutores deve duplicar a quantidade de transistores por unidade de área em seus CIs a cada 18-24 meses. Para isso, deve-se diminuir a dimensão dos dispositivos ou encontrar métodos de fabricação que permitam o aumento da densidade de integração desses circuitos, a fim de aumentar a capacidade de processamento dos aparelhos eletrônicos.

O principal componente utilizado em circuitos integrados é o transistor de efeito de campo do tipo metal-óxido-semicondutor, ou MOSFET, amplamente utilizado devido à sua capacidade de miniaturização, processo de fabricação simples, operação com baixo consumo de energia e pela grande quantidade de circuitos, tanto digitais quanto analógicos, que podem ser projetados exclusivamente com esses dispositivos [1].

Os transistores MOSFETs convencionais (também chamados de *bulk* MOSFETs) são fabricados em silício e são representados com quatro terminais: porta (*gate* - G), fonte (*source* - S), dreno (*drain* - D), e substrato (*body* - B). Esses transistores podem ser nMOSFET ou pMOSFET, que funcionam de maneira complementar. Os desenhos esquemáticos de um transistor são apresentados na Figura 1, para transistores nMOSFET (A) e pMOSFET (B).

Figura 1 – Desenho esquemático do transistor MOSFET convencional do tipo (A) nMOS e (B) pMOS.

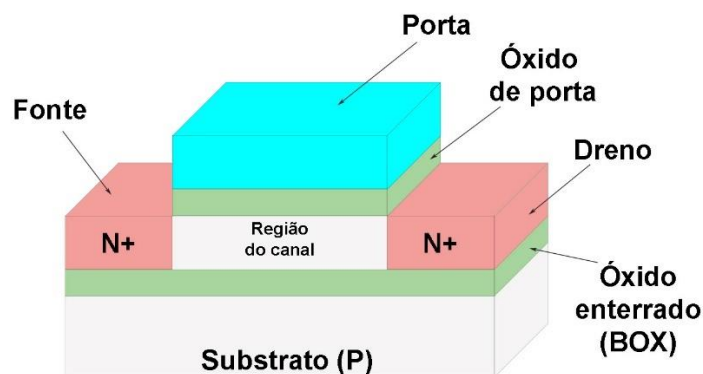


Fonte: elaborada pelo autor.

Com a necessidade de miniaturizar cada vez mais os circuitos integrados e a consequente redução das dimensões dos dispositivos, a tecnologia MOSFET de fabricação de circuitos integrados digitais em altíssima escala de integração (*ultra large-scale integration* ou ULSI) tem se tornado cada vez mais complexa. A agressiva redução dos dispositivos resultou em diversos efeitos de canal curto que ocorrem em dispositivos MOSFETs convencionais implementados em lâminas de silício, prejudicando o seu funcionamento.

A tecnologia SOI [3-8] surgiu então como uma alternativa para a tecnologia MOSFET convencional na fabricação de circuitos integrados, devido a esta tecnologia ser menos afetada por estes efeitos de canal curto decorrentes do escalamento das dimensões. Os dispositivos SOI são fabricados em uma camada de silício sobre isolante, geralmente SiO_2 , chamado de óxido enterrado. A Figura 2, apresenta o desenho esquemático de um SOI MOSFET.

Figura 2 – Desenho esquemático de um transistor SOI MOSFET de tipo n.



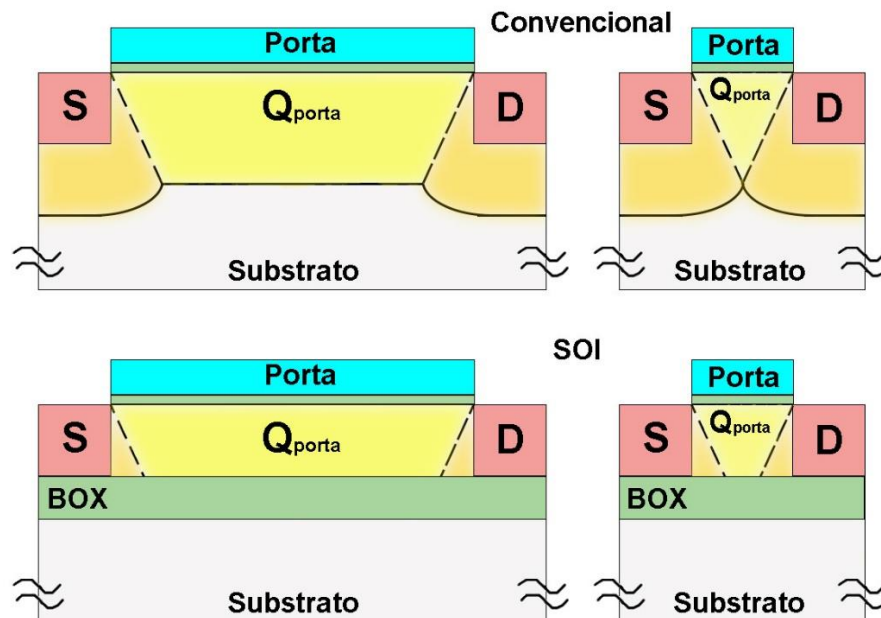
Fonte: elaborada pelo autor.

Nesta tecnologia, o óxido enterrado separa a parte ativa do transistor do restante do substrato. Os dispositivos SOI podem ser classificados como parcialmente depletados (PDSOI - *Partially depleted*), caso a espessura da região ativa do transistor seja menor que a depleção máxima do canal, ou totalmente depletados (FDSOI - *Fully depleted* SOI), caso a região ativa seja maior ou igual à depleção máxima [3].

Os dispositivos FDSOI permitem a eliminação do efeito *kink* (presente no PDSOI), maior mobilidade de portadores e menor variação da tensão de limiar. O óxido enterrado também proporciona uma menor capacitância parasitária e a supressão do efeito tiristor parasitário, além de possibilitar uma melhor isolamento dielétrica entre os dispositivos de uma mesma lâmina [3].

Os transistores FDSOI são muito mais resistentes aos efeitos de canal curto pois, diminuindo a região ativa do transistor, também são diminuídas a quantidade de cargas de depleção controladas pela tensão de dreno, como mostra a Figura 3.

Figura 3 – Distribuição das cargas de depleção em transistores de canal longo (esquerda) e de canal curto (direita), para transistores MOSFETs convencionais (acima) e transistores SOI MOSFETs (abaixo). Q_{porta} representa as cargas de depleção controladas pela porta.



Fonte: adaptado de [3].

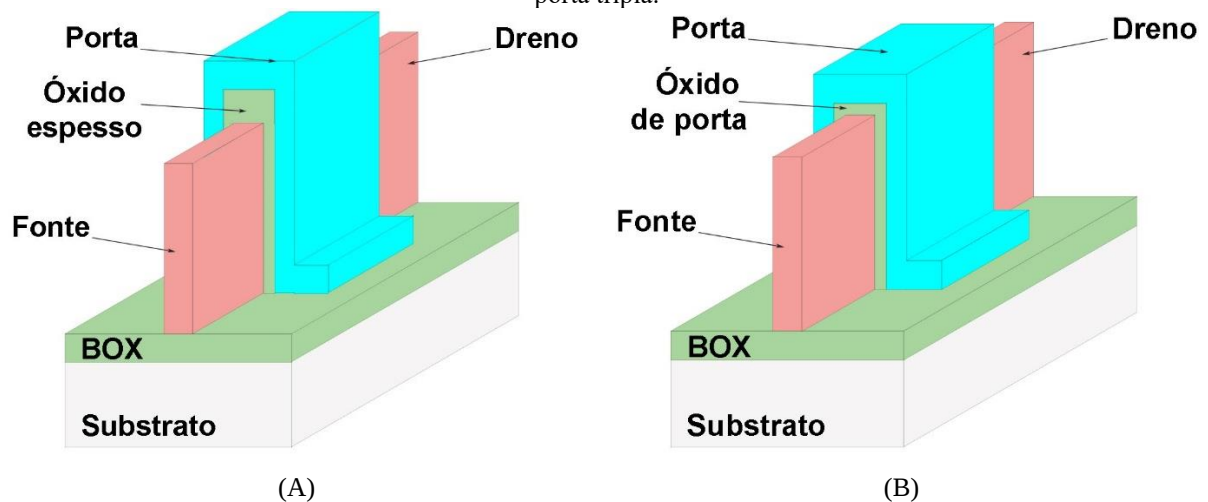
A evolução da tecnologia SOI, que vem sendo amplamente estudada nas últimas décadas, fez com que esta tecnologia também se tornasse uma realidade em empresas como IBM e a STMicroelectronics atualmente, onde a sua principal aplicação é na fabricação de processadores.

Apesar da tecnologia SOI apresentar maior imunidade aos efeitos de canal curto, a contínua evolução dos dispositivos resulta na redução cada vez mais acentuada das dimensões deles, assim, mesmo os dispositivos SOI começaram a apresentar problemas com o controle das cargas na região de canal para transistores com comprimento de canal abaixo de 22 nm. Uma das soluções encontradas para melhorar o controle destas cargas na região de canal foi a modificação da geometria dos dispositivos, até então planar, permitindo o uso de transistores tridimensionais de múltiplas portas, como o transistor SOI de múltiplas portas de canal vertical, também conhecido como SOI FinFET, apresentados na seção abaixo [7].

2.1 TRANSISTORES FINFETS

O transistor de múltiplas portas SOI FinFET [7-8], consiste em um modelo em que a porta envolve as superfícies superior e laterais do canal, todas conectadas. Os transistores FinFETs podem ser de porta dupla, apresentando uma camada espessa de óxido de porta na parte superior da aleta, ou de porta tripla, quando o transistor FinFET possui óxido de porta com a mesma espessura (óxido fino) nos três lados da aleta e, portanto, aproveitando a condução e o controle das três superfícies, como mostrado na Figura 4.

Figura 4 – Estrutura esquemática de transistores de múltiplas portas do tipo FinFET, (A) de porta dupla e (B) de porta tripla.



Fonte: elaborada pelo autor.

Essa geometria baseada em aletas finas apresenta uma melhoria significativa no desempenho do transistor em relação à sua configuração planar. Como sua porta envolve o canal pelas laterais, o dispositivo apresenta um melhor acoplamento eletrostático, resultando em um controle das cargas no canal muito mais efetivo, por parte da porta. Este controle das cargas torna o transistor mais robusto aos efeitos de modulação de comprimento de canal e possibilita um aumento em parâmetros como a transcondutância e o ganho intrínseco de tensão.

Essa proximidade entre as portas verticais também resulta em uma menor susceptibilidade aos efeitos de canal curto, minimizando a influência da tensão de dreno no canal, possibilitando maior corrente de dreno, além de inclinação de sublimiar próxima do limite teórico (60 mV/década em temperatura ambiente), e menor dissipação de energia [7].

O transistor SOI FinFET, apresenta uma melhoria significativa nos parâmetros elétricos conforme a proximidade de suas portas laterais, apresentando-se como uma alternativa muito eficiente para a substituição dos MOSFETs convencionais, tanto em circuitos digitais (amplamente aplicado pela indústria) quanto em circuitos analógicos, área pouco explorada dessa tecnologia.

2.2 PARÂMETROS ELÉTRICOS DOS TRANSISTORES

Os parâmetros elétricos dos transistores são as características que descrevem o funcionamento desses dispositivos. Neste trabalho, foram analisados os seguintes parâmetros: corrente de dreno (I_{DS}), tensão de limiar (V_{Th}), redução da barreira induzida pelo dreno (*Drain Induced Barrier Lowering* ou DIBL), transcondutância (gm), inclinação de sublimiar (*Subthreshold Slope* ou SS), condutância de saída (g_D), tensão Early (V_{EA}) e Ganho intrínseco de tensão (A_V).

A corrente de dreno é o parâmetro básico do funcionamento do transistor, definida como a corrente que atravessa o canal do dreno para a fonte, em transistores de canal N, ou da fonte para o dreno, em transistores de canal P. Essa corrente depende das tensões de porta e dreno, e pode ser descrita através das seguintes equações, para um nMOS, para as regiões de triodo ($V_{DS} < V_{GS} - V_{Th}$) e saturação ($V_{DS} \geq V_{GS} - V_{Th}$), respectivamente [1]:

$$I_{DS} = \mu C_{OX} \frac{W}{L} [(V_{GS} - V_{Th})V_{DS} - \frac{1}{2}V_{DS}^2] \quad (\text{na região de triodo}) \quad (1)$$

$$I_{DS} = \frac{1}{2} \mu C_{OX} \frac{W}{L} (V_{GS} - V_{Th})^2 (1 + \frac{V_{DS}}{V_{EA}}) \quad (\text{em saturação}) \quad (2)$$

onde μ é a mobilidade dos portadores, C_{OX} é a capacitância de porta por unidade de área, W é a largura do canal, L é o comprimento do canal, V_{GS} é a tensão aplicada entre fonte e porta, V_{Th} é a tensão de limiar do transistor e V_{DS} é a tensão aplicada entre fonte e dreno.

O parâmetro correspondente à tensão de limiar (*threshold voltage*) é definido como o valor de tensão aplicado à porta necessário para ligar o transistor, permitindo a passagem de corrente entre os terminais de dreno e fonte. Essa é a tensão em que o tamanho da região de

depleção no canal do transistor é máximo, formando uma camada de elétrons livres e permitindo a condução de corrente por ele [9]. Qualquer incremento além do valor dessa tensão aumentará a quantidade de portadores minoritários na camada de inversão, sem aumentar a região de depleção. Este parâmetro é bastante afetado pelos efeitos de canal curto, alterando seu valor conforme a mudança da tensão de dreno e fonte (e aumento das cargas de depleção controladas pelo dreno e pela fonte).

A redução da barreira induzida pelo dreno é o parâmetro que indica a degradação da tensão de limiar do transistor em função da tensão de dreno, ou seja, mostra como a tensão de limiar diminui em tensões de dreno mais elevadas, descrevendo diretamente os efeitos de canal curto. Este parâmetro pode ser calculado através da seguinte expressão [10]:

$$DIBL = \frac{|V_{Th \text{ tr\acute{o}do}} - V_{Th \text{ sat}}|}{|V_{DS \text{ sat}} - V_{DS \text{ tr\acute{o}do}}|} \quad (3)$$

onde $V_{Th \text{ tr\acute{o}do}}$ e $V_{Th \text{ sat}}$ são a tensão de limiar em tr\acute{o}do e saturação, respectivamente, e $V_{DS \text{ tr\acute{o}do}}$ e $V_{DS \text{ sat}}$ são as tensões entre fonte e dreno em cada caso.

A transcondutância é o parâmetro que relaciona a variação da corrente de dreno com a variação da tensão de porta, mostrando a eficiência do controle da corrente no canal pela tensão aplicada à porta. O cálculo desse parâmetro se refere à derivada das equações da corrente de dreno em relação à tensão de porta [1]. A transcondutância pode ser calculada através das seguintes equações, correspondentes às regiões de tr\acute{o}do e saturação, respectivamente:

$$gm = \mu C_{ox} \frac{W}{L} (V_{DS}) \quad (\text{na região de tr\acute{o}do}) \quad (4)$$

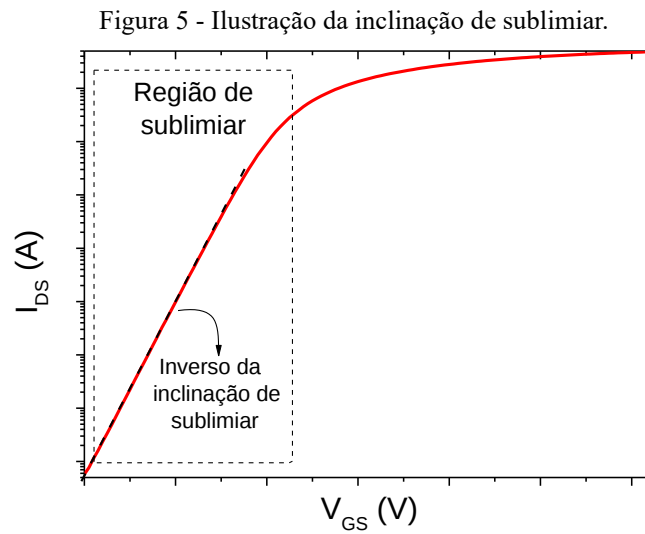
$$gm = \mu C_{ox} \frac{W}{L} (V_{GS} - V_{Th}) \quad (\text{em saturação}) \quad (5)$$

A inclinação de sublimiar é o parâmetro que define quanto de variação na tensão de porta é necessária para que a corrente de dreno aumente dez vezes (uma década) na região de sublimiar, como ilustrado na Figura 5. Esse parâmetro indica quão rápido o transistor pode alternar entre os estados desligado e ligado e está diretamente relacionado à sua velocidade de chaveamento. Este parâmetro deve ser o menor possível, a fim de possibilitar uma mudança de estado muito rápida, o que é de extrema importância para o funcionamento de circuitos digitais. A inclinação de sublimiar é limitada a aproximadamente 60 mV/década para a tecnologia feita

em silício em temperatura ambiente. Esse parâmetro pode ser calculado através da seguinte equação [3]:

$$SS = \frac{kT}{q} \ln(10)(1 + \gamma) \quad (6)$$

onde k é a constante de Boltzmann, T é a temperatura absoluta, q é a carga do elétron e γ é o fator que corresponde à associação das capacitâncias de óxido e interfaces do dispositivo.



Fonte: elaborada pelo autor.

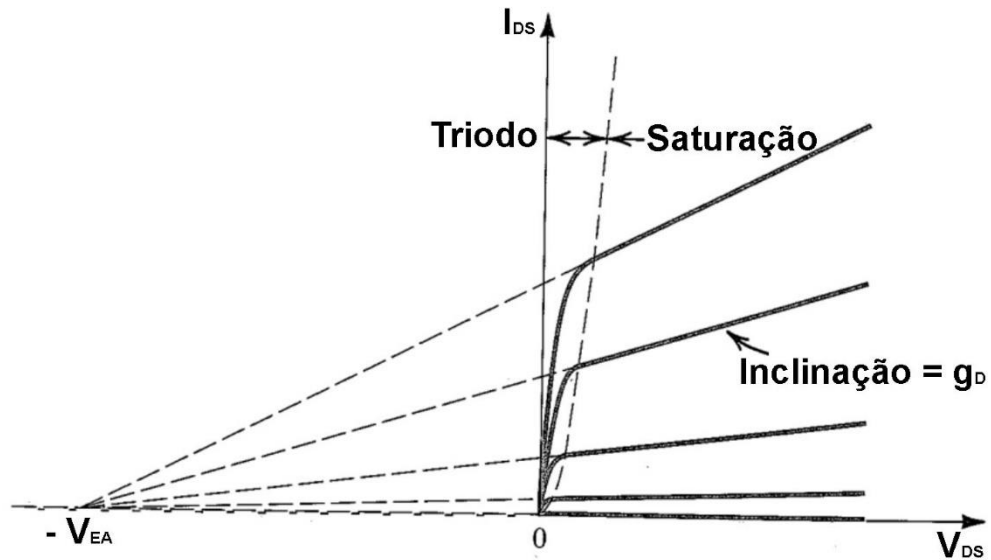
A condutância de saída corresponde à medida da influência da tensão de dreno na corrente de dreno, ou seja, como V_{DS} pode influenciar o canal. Uma condutância de saída idealmente teria valor nulo, resultando em um controle do canal apenas por parte da tensão de porta. Um baixo valor de g_D também se traduz em um baixo consumo de potência na saída do transistor e um alto ganho intrínseco de tensão, muito importantes para circuitos que necessitem de baixo consumo de energia e alto ganho. Este parâmetro pode ser calculado como a derivada da corrente de dreno em função da tensão de dreno, como mostra a seguinte equação [1]:

$$g_D = \frac{d(I_{DS})}{d(V_{DS})} \quad (7)$$

A chamada tensão Early é o parâmetro que descreve de maneira inversa os efeitos de modulação de comprimento de canal e depende tanto do valor do nível de corrente de dreno em saturação (sem modulação de canal) quanto da condutância de saída (inclinação da corrente em saturação). Idealmente, com tensão Early infinita, a corrente de dreno independe da tensão de

dreno na região de saturação do transistor, porém isso não é verificado na prática devido ao efeito de modulação de comprimento de canal, como mostra a Figura 6. O valor da tensão Early é encontrado através da extrapolação da reta da corrente na região de saturação [1].

Figura 6 – Curva $I_{DS} \times V_{DS}$ apresentando a tensão Early para diferentes V_{GS} .

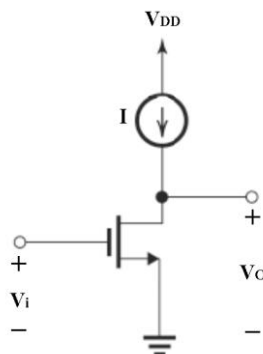


Fonte: adaptado de [1].

O ganho intrínseco de tensão do transistor apresenta a relação entre as tensões de saída e entrada, utilizando-se um único transistor como um amplificador operacional de transcondutância, como apresentado na Figura 7. O ganho máximo de tensão em malha aberta pode ser calculado ou aproximado como descrito pela seguinte equação [1]:

$$|A_V| = \frac{g_m}{g_D} \approx \frac{g_m * V_{EA}}{I_{DS}} \quad (8)$$

Figura 7 - Desenho esquemático de um amplificador operacional de transcondutância para obtenção do ganho intrínseco do transistor.



Fonte: elaborada pelo autor.

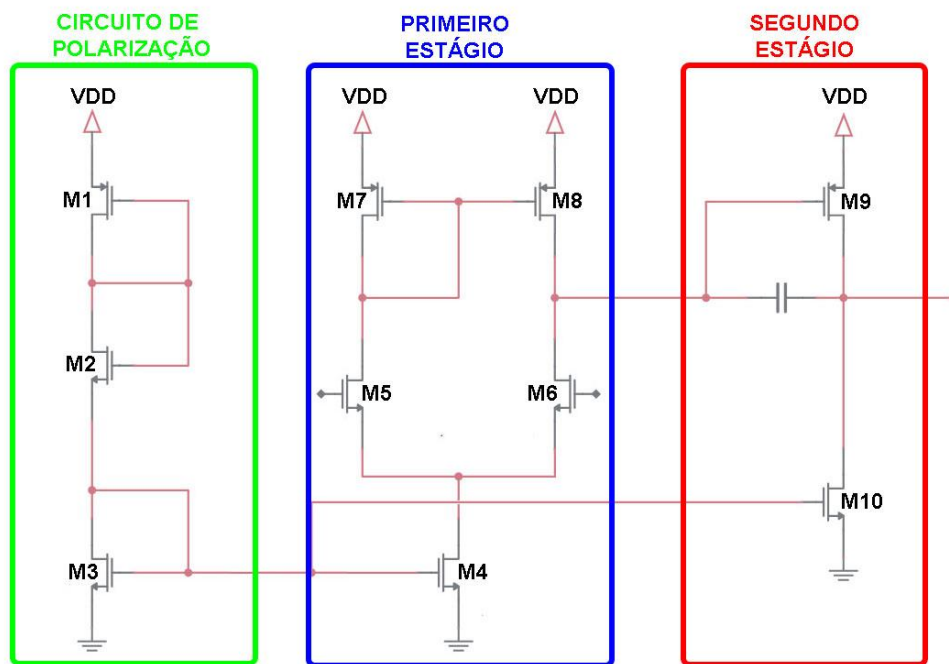
onde V_i é a tensão de entrada do circuito, V_o é a tensão de saída do circuito e I representa uma fonte de corrente constante.

2.3 AMPLIFICADOR OPERACIONAL DE TRANSCONDUTÂNCIA

Os circuitos analógicos são muito relevantes para a indústria eletrônica, sendo um exemplo clássico o amplificador operacional de transcondutância (*operational transconductance amplifier* ou OTA). Esses circuitos são responsáveis por amplificar sinais, que podem ser tão fracos quanto alguns microvolts (μV). Para esses pequenos sinais, é necessária uma grande amplificação, com o mínimo possível de distorção ou alteração.

Os circuitos amplificadores podem ser classificados de acordo com a quantidade de estágios, faixa de frequência, método de operação, tipo de carga conectada na saída ou método de acoplamento entre estágios. Amplificadores de alto ganho podem ser construídos conectando-se dois ou mais estágios em cascata, de modo que o ganho final é igual ao produto do ganho de cada um dos estágios [1]. A Figura 8 apresenta um exemplo de amplificador operacional de dois estágios, com seus estágios indicados.

Figura 8 – Desenho esquemático de um amplificador operacional de dois estágios utilizado neste trabalho, com destaque para cada um dos estágios.



Fonte: elaborada pelo autor.

O circuito de polarização é composto por M1 e M2, que formam uma fonte de corrente, e M3, que forma um espelho de corrente com os transistores M4 e M10. Esta parte do circuito

é responsável por polarizar os demais estágios, fornecendo corrente constante através dos espelhos.

O primeiro estágio é composto pelo par diferencial de M5 e M6, onde é aplicado o sinal de entrada do amplificador (entrada diferencial pela tensão de porta dos transistores), e as cargas ativas (M7 e M8), além do transistor M4 atuando como uma fonte de corrente. Este estágio com entrada diferencial e saída simples é responsável por parte da amplificação total da tensão do circuito.

Por fim, o segundo estágio é composto pelo transistor M9 operando como um amplificador, polarizado por M7 que atua como fonte de corrente. Este estágio final do circuito é responsável por parte da amplificação total, transmitindo o sinal de entrada amplificado para a saída.

O ganho teórico de tensão do primeiro e do segundo estágio, bem como o ganho total do circuito podem ser calculados fazendo uso das seguintes equações [1]:

$$A_{V1} = \frac{gm_6}{g_{D6} + g_{D8}} \quad (\text{primeiro estágio}) \quad (9)$$

$$A_{V2} = \frac{gm_9}{g_{D9} + g_{D10}} \quad (\text{segundo estágio}) \quad (10)$$

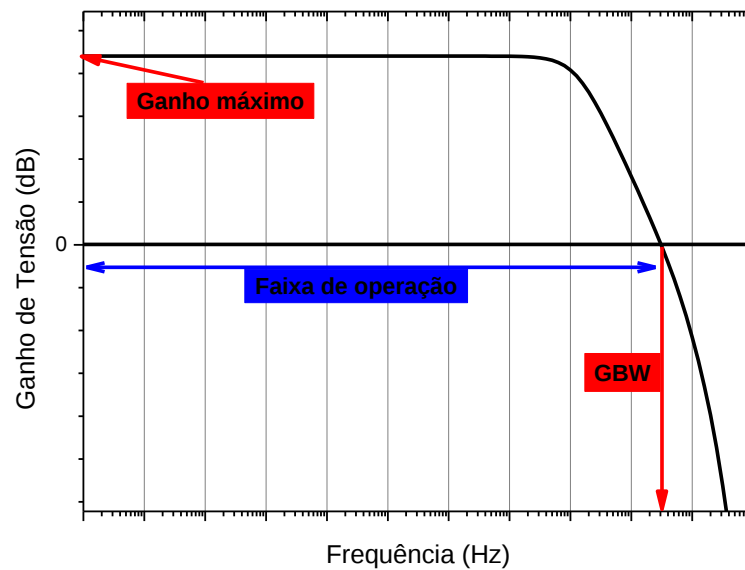
$$A_V = A_{V1} * A_{V2} \quad (\text{ganho total}) \quad (11)$$

onde gm_6 e gm_9 são as transcondutâncias dos transistores M6 e M9 e g_{D6} , g_{D8} , g_{D9} e g_{D10} são as condutâncias de saída dos transistores M6, M8, M9 e M10, respectivamente.

As principais características que definem o desempenho de um circuito amplificador com mais de um estágio são: ganho, resposta em frequência, produto ganho-banda, fase, número de estágios, distorção para grandes excursões de sinal, tipo de acoplamento entre estágios e imunidade a ruído [1]. As figuras de mérito abordadas neste trabalho se resumem aos diagramas de Bode do ganho de tensão e da margem de fase, responsáveis por definir a faixa de operação em frequência, o ganho e a estabilidade do circuito.

A Figura 9 mostra um exemplo do diagrama de Bode do ganho de tensão de um amplificador, apontando valores como ganho máximo e produto ganho-banda (*gain–bandwidth product* ou GBW). Esses valores são muito importantes para definir a capacidade de amplificação do circuito (em V/V ou em dB) e a faixa de operação em frequência.

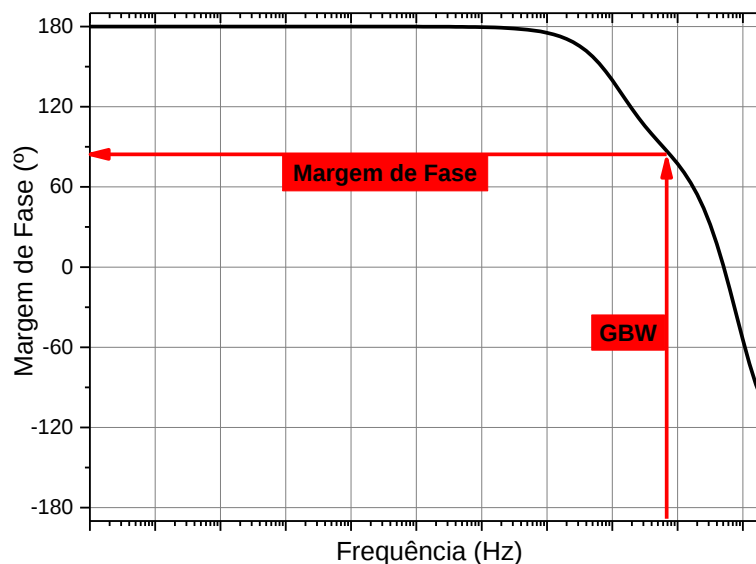
Figura 9 – Exemplo de diagrama de Bode de ganho de tensão para um amplificador.



Fonte: elaborada pelo autor.

A Figura 10 mostra um exemplo do diagrama de Bode da margem de fase, indicando o produto ganho-banda e sua respectiva margem de fase. Esse diagrama é utilizado para verificar a estabilidade do circuito, que rapidamente atinge a estabilidade caso a margem de fase seja maior que 60° (valor recomendado para projeto) [1].

Figura 10 – Exemplo de diagrama de Bode de margem de fase para um amplificador.



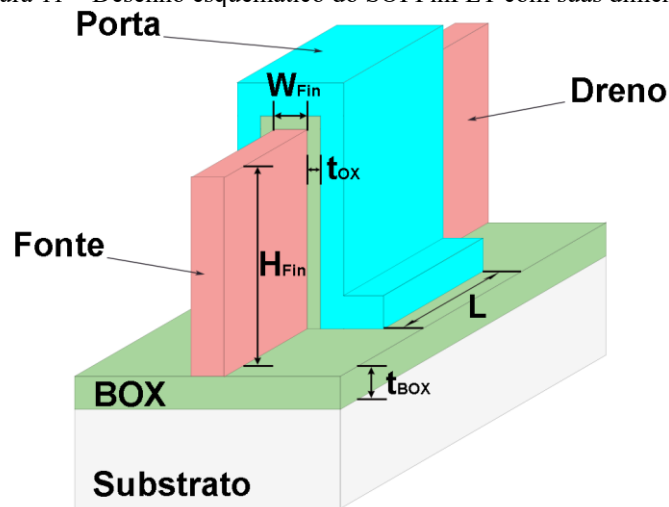
Fonte: elaborada pelo autor.

3. MATERIAIS E MÉTODOS

3.1 DISPOSITIVOS UTILIZADOS

Os transistores estudados neste trabalho são amostras de SOI FinFETs de três portas fabricados no IMEC (Leuven, Bélgica). As especificações dos dispositivos analisados são apresentadas na Figura 11 e na Tabela 1 [15].

Figura 11 – Desenho esquemático do SOI FinFET com suas dimensões.



Fonte: elaborada pelo autor.

Tabela 1 – Características dos dispositivos SOI FinFET estudados.

Parâmetro	Valor
Altura de aleta (H_{Fin})	65 nm
Composição do óxido de porta (t_{ox})	2 nm HfSiON + 1 nm SiO ₂
Espessura equivalente do óxido (EOT)	2 nm
Espessura do óxido enterrado (t_{BOX})	145 nm
Composição do eletrodo de porta	10 nm TiN + 100 nm de silício policristalino
Dopagem do canal (N_A)	10^{15} cm^{-3}

Fonte: elaborada pelo autor.

As lâminas utilizadas possuem vários transistores, divididos em cascatas de onze dispositivos. Foram utilizadas 2 cascatas de transistores do tipo *W-array* (Largura efetiva do canal variável), sendo uma do tipo nFinFET e outra do tipo pFinFET. Ambas as cascatas têm

um comprimento de canal (L) de 150 nm e largura de aleta (W_{Fin}) variável, conforme mostra a Tabela 2.

Tabela 2 – Valores de largura de aleta dos dispositivos SOI FinFET utilizados.

Dispositivo	T1	T2	T3	T4	T5	T6	T7
W_{eff} (nm)	150	170	180	250	500	700	1000
W_{Fin} (nm)	20	40	50	120	370	570	870

Fonte: elaborada pelo autor.

É importante ressaltar que a largura efetiva do transistor (W_{eff}) pode ser calculada pela seguinte equação [7], onde $H_{Fin} = 65$ nm:

$$W_{eff} = W_{Fin} + 2 * H_{Fin} \quad (12)$$

O sistema utilizado para a caracterização elétrica foi disponibilizado através de um convênio de cooperação entre a Escola Politécnica da Universidade de São Paulo e a UNESP/FESJ. Nos laboratórios da Escola Politécnica da Universidade de São Paulo (LSI/EPUSP), foi utilizado o analisador de parâmetros de semicondutores de precisão, fabricado pela Keysight, modelo B1500, em conjunto com o micromanipulador manual, da Signatone.

3.2 MÉTODOS DE EXTRAÇÃO DE PARÂMETROS

Os parâmetros elétricos de um transistor podem ser extraídos de diversas formas, a partir das curvas medidas experimentalmente $I_{DS} \times V_{GS}$ e $I_{DS} \times V_{DS}$, para cada um dos dispositivos analisados.

A curva $I_{DS} \times V_{GS}$ foi medida com valores de $V_{DS} = 50$ mV (tríodo) e $V_{DS} = 700$ mV (saturação), com passo de 10 mV. A partir dessas curvas, foram extraídos os parâmetros da tensão de limiar, redução da barreira induzida pelo dreno, transcondutância e inclinação de sublimiar.

A curva $I_{DS} \times V_{DS}$ foi medida com uma tensão de porta calculada para cada dispositivo, equivalente a $V_{Th} + 200$ mV, a fim de garantir o funcionamento do dispositivo (esta tensão de limiar foi calculada de maneira aproximada no momento das medidas). A Tabela 3 apresenta os valores de V_{GS} utilizados para a medição de cada transistor SOI FinFET, sete do tipo nMOS e seis do tipo pMOS. A partir da curva $I_{DS} \times V_{DS}$, foram extraídos os parâmetros de condutância de saída, Tensão Early e Ganho intrínseco de tensão.

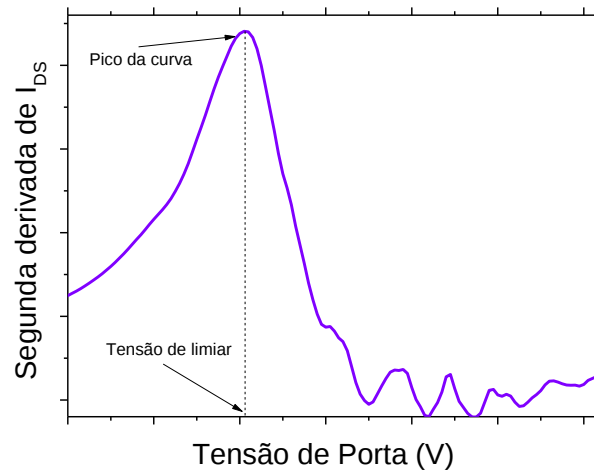
Tabela 3 – Valores de tensão de porta utilizados para a extração das curvas $I_{DS} \times V_{DS}$.

W_{Fin} (nm)	20	40	50	120	370	570	870
nMOS (mV)	630	620	630	630	590	530	560
pMOS (mV)	-660	-660	-	-660	-640	-640	-640

Fonte: elaborada pelo autor.

3.2.1 TENSÃO DE LIMIAR

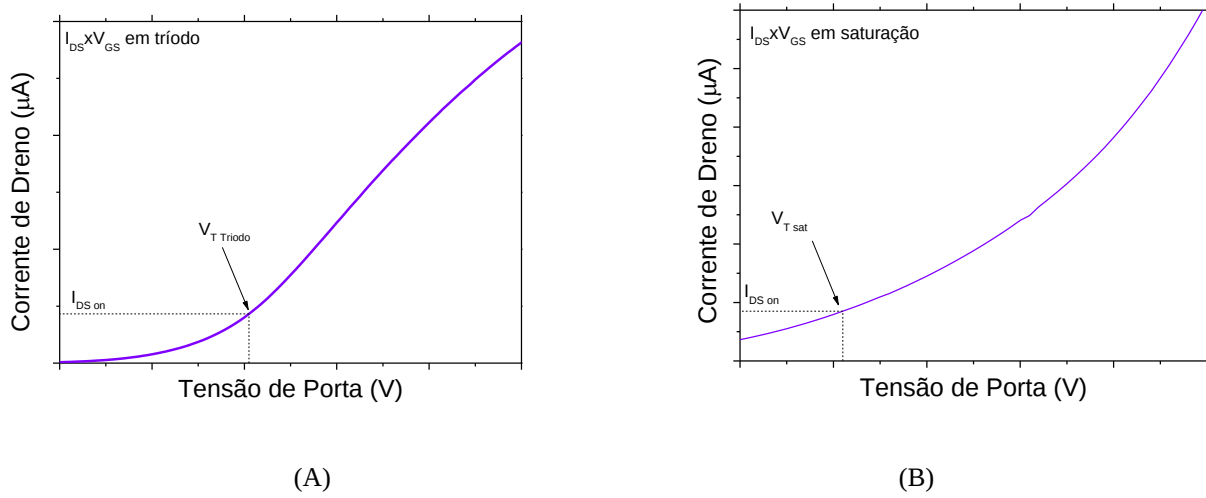
A tensão de limiar foi inicialmente extraída fazendo uso do método que consiste em observar o pico máximo (ou mínimo, no caso do pMOS) da segunda derivada da curva $I_{DS} \times V_{GS}$ [11], como exemplificado na Figura 12. Esse método é efetivo apenas para valores de V_{DS} baixos, como na curva com $V_{DS} = 50$ mV.

Figura 12 – Método de extração da tensão de limiar para valores baixos de V_{DS} .

Fonte: elaborada pelo autor.

Para valores de V_{DS} altos, o método utilizado foi o método do nível de corrente [12]. Neste caso encontramos o nível de corrente correspondente a V_{Th} em triodo (utilizando o primeiro método, como mostrado na Figura 13A), em seguida plotamos a curva de transferência para alto V_{DS} (saturação) e encontramos o valor de V_{GS} para a corrente de dreno encontrada na Figura 13A (como mostrado na Figura 13B).

Figura 13 – Método de extração da tensão de limiar para valores altos de V_{DS} .



Fonte: elaborada pelo autor.

3.2.2 REDUÇÃO DA BARREIRA INDUZIDA PELO DRENO

A redução da barreira induzida pelo dreno foi calculada a partir dos valores de V_{Th} encontrados pelos dois métodos de extração já citados, fazendo uso da seguinte equação:

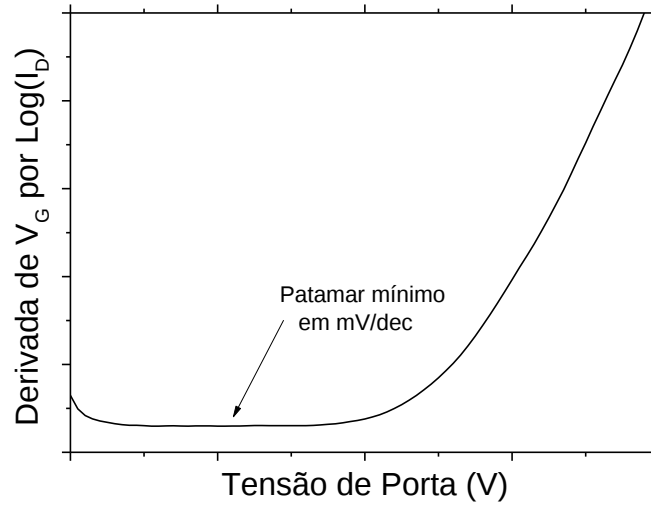
$$DIBL = \frac{|V_{T\ triodo} - V_{T\ sat}|}{|V_{DS\ sat} - V_{DS\ triodo}|} \quad (13)$$

onde $V_{T\ triodo}$ e $V_{T\ sat}$ são a tensão de limiar em triodo e em saturação, respectivamente, e $V_{DS\ sat}$ e $V_{DS\ triodo}$ são as tensões de dreno em cada caso.

3.2.3 INCLINAÇÃO DE SUBLIMIAR

A inclinação de sublimiar foi calculada através do método do patamar mínimo [13] encontrado na derivada de V_{GS} em relação ao logaritmo de base dez da corrente I_{DS} , como exemplificado pela Figura 14.

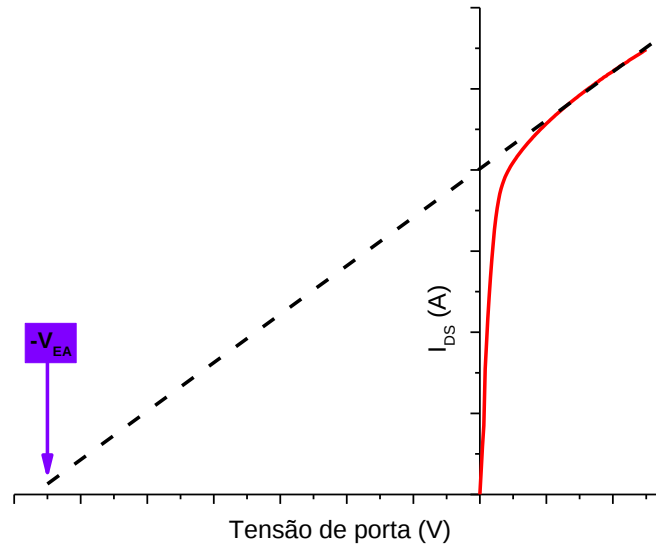
Figura 14 – Método de extração da inclinação de sublimiar.



Fonte: elaborada pelo autor.

3.2.4 TENSÃO EARLY

Para extrair esse parâmetro é necessário realizar a extrapolação da reta encontrada na região de saturação do gráfico $I_{DS} \times V_{DS}$ e encontrar o ponto que ela cruza o eixo de V_{DS} [1], como mostra a Figura 15.

Figura 15 – Método de extração de V_{EA} .

Fonte: elaborada pelo autor.

3.2.5 GANHO INTRÍNSECO DE TENSÃO

O ganho intrínseco de tensão foi calculado como sendo o máximo ganho de malha aberta (relação de tensão de saída e entrada), através da seguinte equação [1]:

$$|A_V| = \frac{gm}{g_D} \quad (14)$$

É importante ressaltar que os valores de transcondutância e condutância de saída utilizados no cálculo se referem à tensão de dreno de 700 mV e tensão de porta de $V_{Th} + 200$ mV.

3.3 SIMULADOR

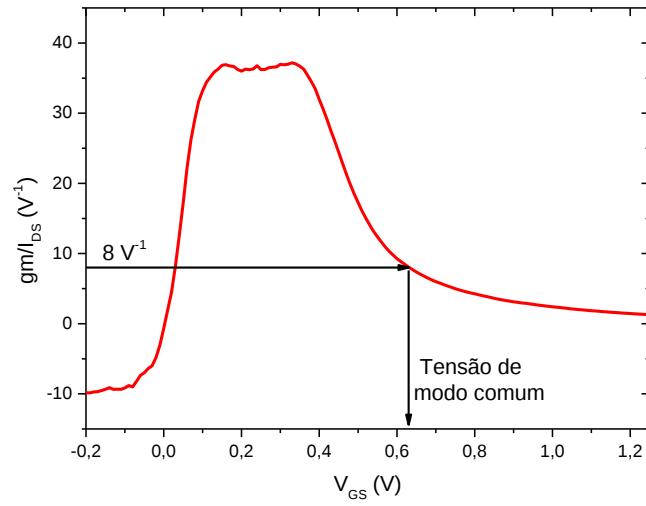
Para a simulação do transistor e do circuito analógico, foi utilizado o software HSpice, que permite a simulação e análise de circuitos descritos textualmente na linguagem VerilogA. Também foi feito uso do arquivo com o modelo de transistor MOSFET de múltiplas portas *cmg-bsim106.1.0* (*Common Multi-Gate Berkeley Short-channel IGFET Model*) e do modelo do transistor MOSFET convencional *bulk-bsim6.1.1* (*bulk Berkeley Short-channel IGFET Model*), ambos desenvolvidos e disponibilizados pela universidade de Berkeley [16].

A partir das ferramentas disponíveis, o SOI FinFET com largura de aleta de 20 nm, escolhido para o projeto com base nos parâmetros analisados, foi calibrado para que as curvas $I_{DS} \times V_{DS}$ e $I_{DS} \times V_{GS}$ simuladas fossem o mais próximo possível das extraídas experimentalmente. Essa calibração alterou, além das dimensões do dispositivo, parâmetros como o tipo do transistor, número de aletas em paralelo, mobilidade inicial, degradação da mobilidade e função trabalho da porta.

A fim de comparar o funcionamento do SOI FinFET com um transistor convencional, foi projetado de maneira análoga um amplificador idêntico, utilizando um transistor planar com $W = 150$ nm e $L = 150$ nm, mesmas dimensões que o FinFET escolhido.

O amplificador foi projetado para que o par diferencial do primeiro estágio e o transistor pMOS do segundo estágio operassem na condição de inversão de $g_m/I_{DS} = 8 \text{ V}^{-1}$, valor conhecido por operar em inversão forte e amplamente utilizado na literatura por seu alto ganho e estabilidade [14]. A Figura 16 apresenta o gráfico de g_m/I_{DS} utilizado para encontrar a tensão de modo comum para polarizar o primeiro estágio. Fazendo uso do par diferencial como referência para a corrente em cada ramo, foi dimensionada a quantidade de aletas em paralelo para cada transistor, a fim de fornecer a demanda de corrente para cada ramo.

Figura 16 – Gráfico de gm/I_{DS} indicando a obtenção da tensão de modo comum do par diferencial do primeiro estágio do amplificador projetado, referente à condição de inversão de 8 V^{-1} .



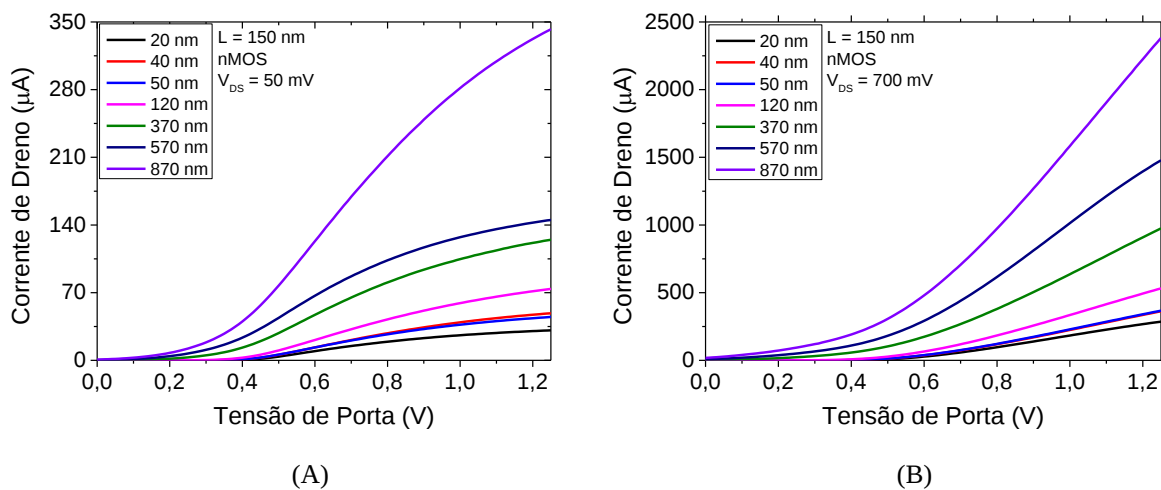
Fonte: elaborada pelo autor.

4. RESULTADOS

4.1 PARÂMETROS EXTRAÍDOS

Os dispositivos SOI FinFET foram medidos experimentalmente e plotados os gráficos correspondentes às curvas $I_{DS} \times V_{GS}$ (com $V_{DS} = 50$ e 700 mV) e $I_{DS} \times V_{DS}$. As curvas da corrente de dreno em função da tensão de porta são apresentadas na Figura 17, para cada largura de aleta (W_{Fin}), com os transistores tipo N operando com tensão de dreno de 50 mV (A) e 700 mV (B).

Figura 17 – Curva da corrente de dreno em função da tensão de porta, para transistores nMOS, com uma tensão de Dreno de (A) 50 mV e (B) 700 mV.



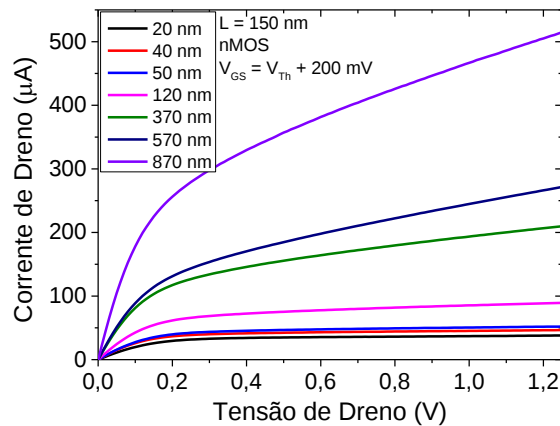
Fonte: elaborada pelo autor.

A partir de ambas as curvas, é notável a correlação entre a corrente de dreno e a largura de aleta, pois as aletas mais largas, por apresentarem maior largura efetiva (W_{eff}), tem sua corrente total aumentada. Também é possível observar que a condução de corrente acontece precocemente nas aletas mais largas (para tensões de porta mais baixas), possivelmente indicando a degradação da tensão de limiar dos dispositivos por causa dos efeitos de canal curto.

Observando as curvas da Figura 17, é possível verificar que a corrente total de dreno é composta por duas conduções independentes para aletas com W_{Fin} iguais a 370, 570 e 870 nm, esta característica fica mais evidente na Figura 17(B) onde a tensão aplicada ao dreno é alta, indicando a condução pela segunda interface (correntes de fuga). Essa anomalia (condução pela segunda interface) é indesejada pois permite a passagem de corrente entre fonte e dreno independentemente do controle da porta. Essa condução indesejada é causada pela grande distância entre as portas laterais e, portanto, pelo fraco acoplamento eletrostático entre as portas, que configuram praticamente um transistor planar com canal sem dopagem (dopagem natural da lâmina).

A Figura 18 mostra a curva da corrente de dreno em função da tensão de dreno, também para diferentes larguras de aleta.

Figura 18 – Corrente de dreno em função da tensão de dreno, para transistores nMOS, com uma tensão de porta de $V_{GS} = V_{Th} + 200$ mV.

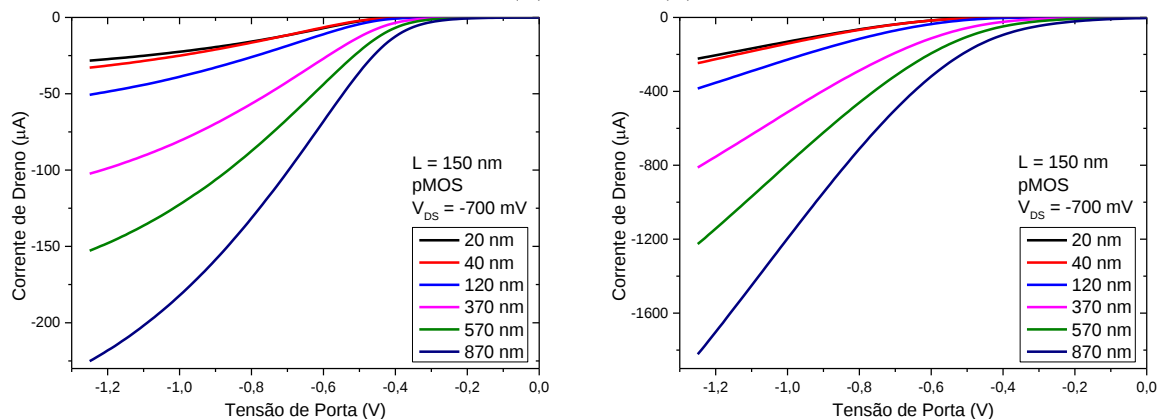


Fonte: elaborada pelo autor.

É novamente notável a influência da largura de aleta na corrente total do dispositivo, que aumenta com o aumento de W_{eff} . Também é possível observar a maior degradação da curva $I_{DS} \times V_{DS}$ na região de saturação para as aletas mais largas, devido ao efeito de canal curto, que nos transistores de porta tripla dependem da relação W/L . Nesta região de saturação, a corrente idealmente se manteria constante, porém a inclinação da curva indica uma degradação causada pela modulação do canal.

As figuras 19 e 20 apresentam as curvas das correntes de dreno em função das tensões de porta e de dreno, respectivamente, para os transistores do tipo P.

Figura 19 – Curva da corrente de dreno em função da tensão de porta, para transistores pMOS, com uma tensão de Dreno de (A) -50 mV e (B) -700 mV.

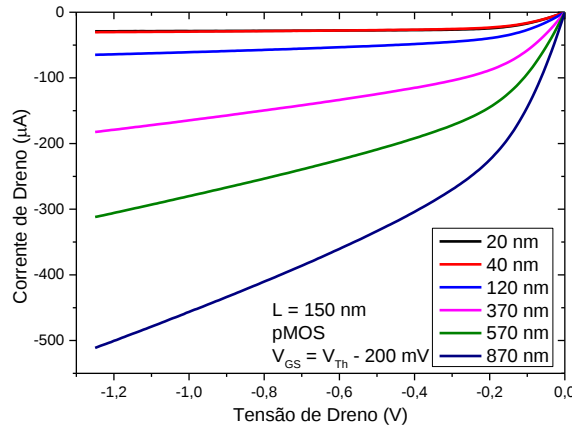


(A)

(B)

Fonte: elaborada pelo autor.

Figura 20 – Corrente de dreno em função da tensão de dreno, para transistores pMOS, com uma tensão de porta de $V_{GS} = V_{Th} - 200$ mV.

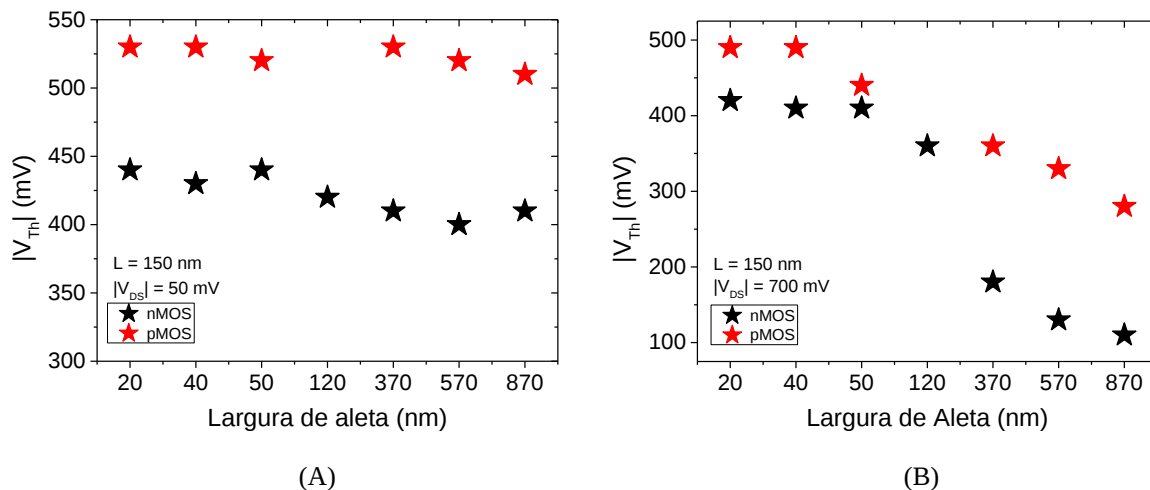


Fonte: elaborada pelo autor.

Assim como nos transistores nMOS, a corrente de dreno dos transistores pMOS também apresentam uma dependência com a largura efetiva do canal, aumentando seu valor total em módulo com o aumento de W_{eff} . Os efeitos de canal curto, a degradação da tensão de limiar e a condução pela segunda interface (nos transistores de 370, 570 e 870 nm de largura de aleta) estão igualmente presentes nessas curvas, podendo ser analisadas de maneira análoga.

A partir da curva $I_{DS} \times V_{GS}$, fazendo uso dos métodos de extração descritos anteriormente, foi obtida a tensão de limiar de cada dispositivo e comparados os valores para cada largura de aleta e entre os transistores nMOS e pMOS, para as regiões de tródo (A) e saturação (B), apresentado na Figura 21.

Figura 21 – Tensão de Limiar em módulo para diferentes larguras de aleta (W_{Fin}), com uma tensão de dreno igual a (A) 50 mV e (B) 700 mV.



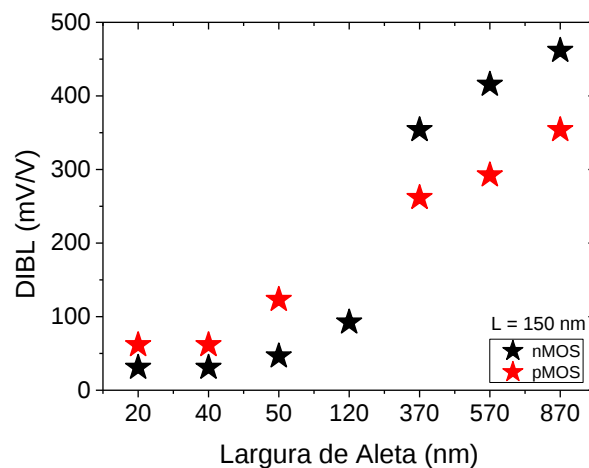
Fonte: elaborada pelo autor.

As tensões de limiar dos transistores, tanto em tr odo quanto em satura  o, apresentaram valores mais degradados conforme o aumento das larguras de aleta, mostrando a grande influ ncia que a tens o de dreno tem no canal e o baixo controle por parte da porta nos dispositivos mais largos.

Tamb m foi observado que, com o aumento na tens o de dreno, a degrada  o da tens o de limiar aumenta. Entretanto, em aletas mais finas, como a de $W_{Fin} = 20$ nm, esse efeito   minimizado, evidenciando o seu maior acoplamento eletrost tico e maior imunidade aos efeitos de canal curto. Os transistores mais finos (20-50 nm), portanto, apresentam um melhor funcionamento em ambas as regi es, enquanto os transistores mais largos (370-870 nm) apresentam uma degrada  o t o grande que dificultando o seu uso para projeto.

A redu  o de barreira induzida pelo dreno, assim como a tens o de limiar, se apresenta maior quanto mais larga a aleta do transistor, como   poss vel observar na Figura 22, que apresenta o valor calculado de DIBL para diferentes larguras de aleta, para transistores nMOS e pMOS.

Figura 22 – Redu  o da barreira induzida pelo dreno calculada para diferentes larguras de aleta (W_{Fin}).

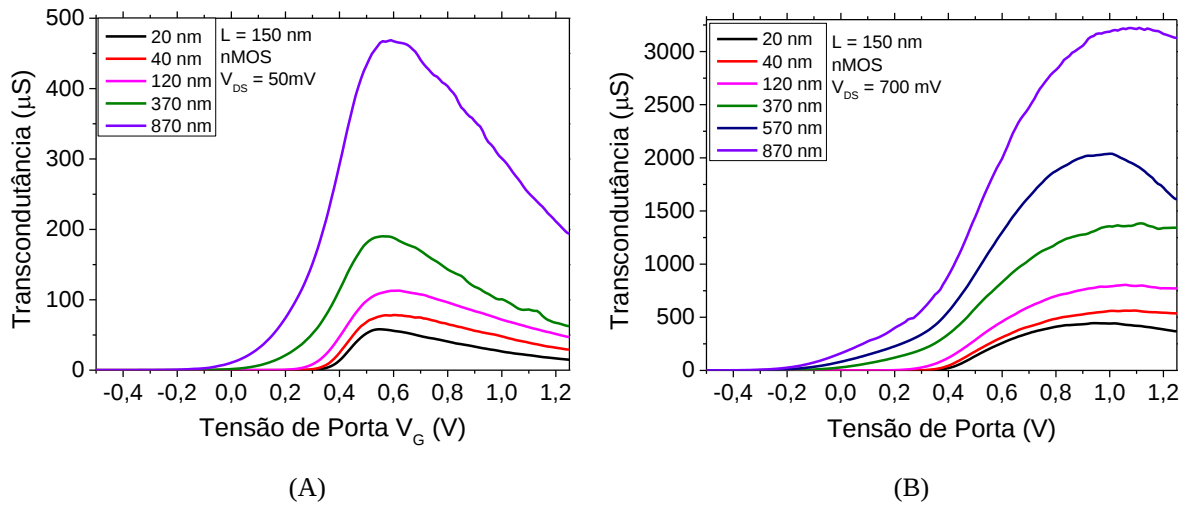


Fonte: elaborada pelo autor.

Expressando diretamente o quanto a tens o aplicada ao dreno afeta a tens o de limiar do dispositivo, o DIBL mostra como o dispositivo   afetado pelos efeitos de canal curto. Com a an lise dos dados obtidos, foi novamente observado que a degrada  o de V_{Th} aumenta com o aumento na largura de aleta. Esses valores se devem   maior imunidade aos efeitos de canal curto e maior acoplamento eletrost tico dos transistores com aletas mais finas, que diminuem os efeitos de canal curto, diminuindo a influ ncia que a tens o aplicada entre dreno e fonte tem no canal.

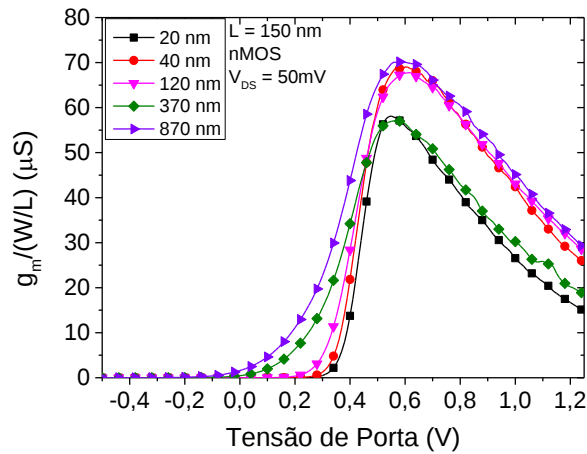
O valor da transcondutância também foi averiguado para cada transistor, verificando a diferença entre as larguras de aleta e a influência dos demais parâmetros, no gráfico de $g_m/(W/L)$ conforme mostrado nas figuras 23 e 24, para transistores nMOS, e nas figuras 25 e 26, para transistores pMOS.

Figura 23 – Valor da transcondutância dos transistores nMOS, para diferentes larguras de aleta, com uma tensão de dreno de (A) 50 mV e (B) 700 mV.



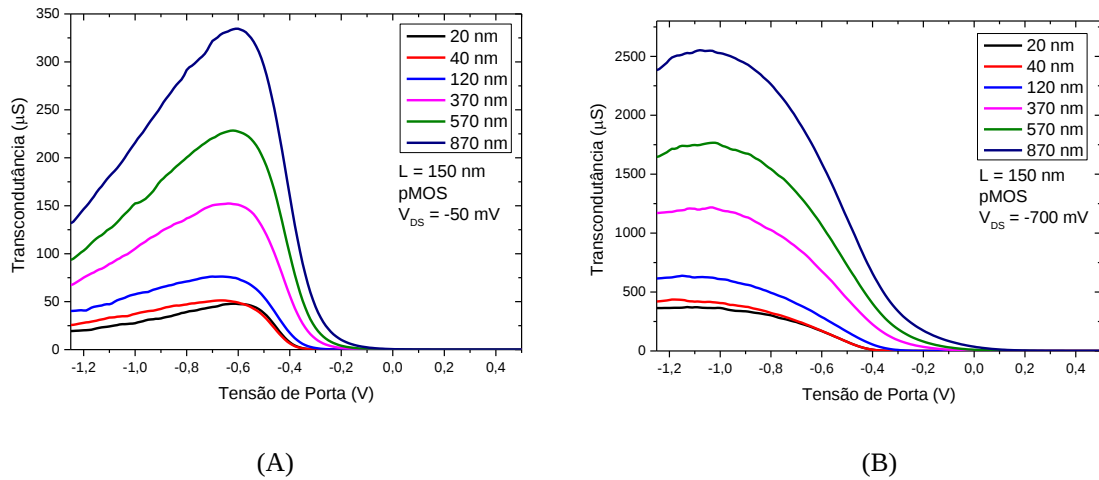
Fonte: elaborada pelo autor.

Figura 24 – Valor da transcondutância normalizado por (W/L) dos transistores nMOS, para diferentes larguras de aleta.



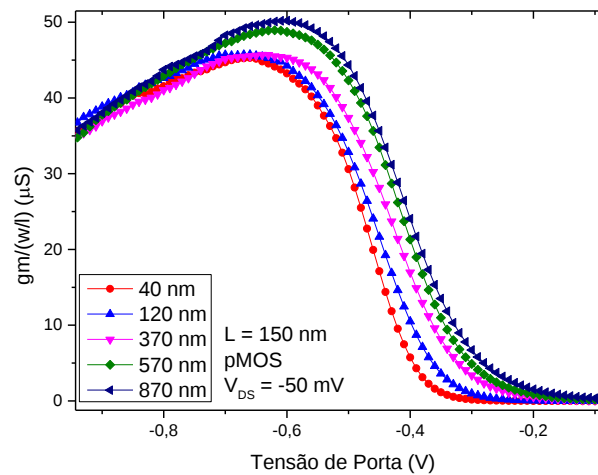
Fonte: elaborada pelo autor.

Figura 25 – Valor da transcondutância dos transistores pMOS, para diferentes larguras de aleta, com uma tensão de dreno de (A) -50 mV e (B) -700 mV.



Fonte: elaborada pelo autor.

Figura 26 – Valor da transcondutância normalizado por (W/L) dos transistores pMOS, para diferentes larguras de aleta.



Fonte: elaborada pelo autor.

Os valores de transcondutância dependem diretamente do módulo da corrente de dreno, que é proporcional à largura de aleta, como mostram as figuras 23 e 25, em que os valores de transcondutância são cada vez maiores conforme W_{eff} aumenta. Também é notável, nas aletas maiores que 370 nm, que a transcondutância começa a aumentar bem antes da tensão de limiar dos dispositivos e até para tensões de porta próximas de 0 V. Esse aumento se deve à condução pela segunda interface, a fuga de corrente que não é controlada pela porta [6].

O aumento da largura de aleta tem grande influência na transcondutância, não só pelo incremento na corrente, mas também pelo aumento da mobilidade efetiva, que é alterada com o aumento da superfície horizontal. A mobilidade nas portas laterais do transistor FinFET é menor que a da porta horizontal para transistores nMOS (que fazem uso de elétrons como

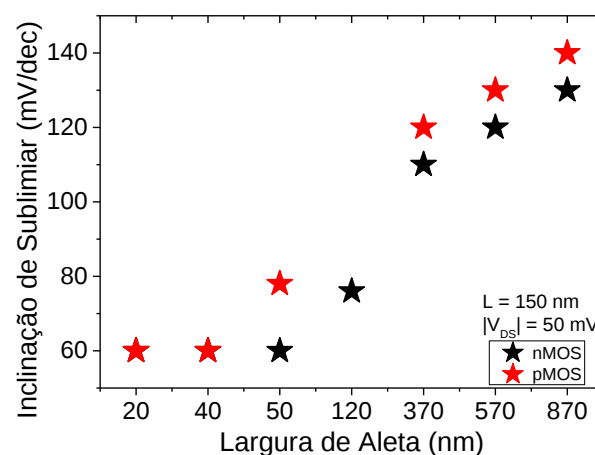
portadores livres) e maior que a da porta horizontal para transistores pMOS (lacunas como portadores livres). Como a transcondutância é diretamente proporcional à mobilidade efetiva, a largura de aleta deve ser levada em consideração na análise deste parâmetro.

O gráfico da transcondutância normalizada por (W/L) , apresentado nas figuras 24 e 26, elimina as influências de primeira ordem dessas dimensões e permite avaliar a influência da mobilidade efetiva (μ_{eff}) para os transistores em questão, bem como a degradação nesse parâmetro devido à possíveis efeitos indesejados. Outro fator que também influencia essa curva é o acoplamento eletrostático do canal, que aumenta o controle das cargas do canal por parte da tensão de porta e, conseqüentemente, a transcondutância nas aletas mais finas, possivelmente compensando a perda de mobilidade efetiva para o nMOS.

A Figura 24 apresenta uma variação do valor da transcondutância para os diferentes dispositivos nMOS que pode ser explicada pela mudança da mobilidade efetiva (que diminui gm nas aletas mais finas) e pela mudança no acoplamento eletrostático (que aumenta gm nas aletas mais finas), além das correntes de fuga, presentes nas aletas mais largas, que aumentam o valor da transcondutância. A Figura 26 mostra um aumento na transcondutância máxima conforme o aumento da largura de aleta dos dispositivos pMOS, pois além da mobilidade efetiva e o acoplamento eletrostático desses dispositivos, que aumentam com a redução da largura de aleta, as correntes de fuga causam um aumento de forma indesejada nas aletas mais largas.

A inclinação de sublimiar foi extraída para os diferentes transistores analisados e os valores encontrados são apresentados na Figura 27.

Figura 27 – Valores obtidos da inclinação de sublimiar para diferentes larguras de aleta, para transistores nMOS e pMOS.

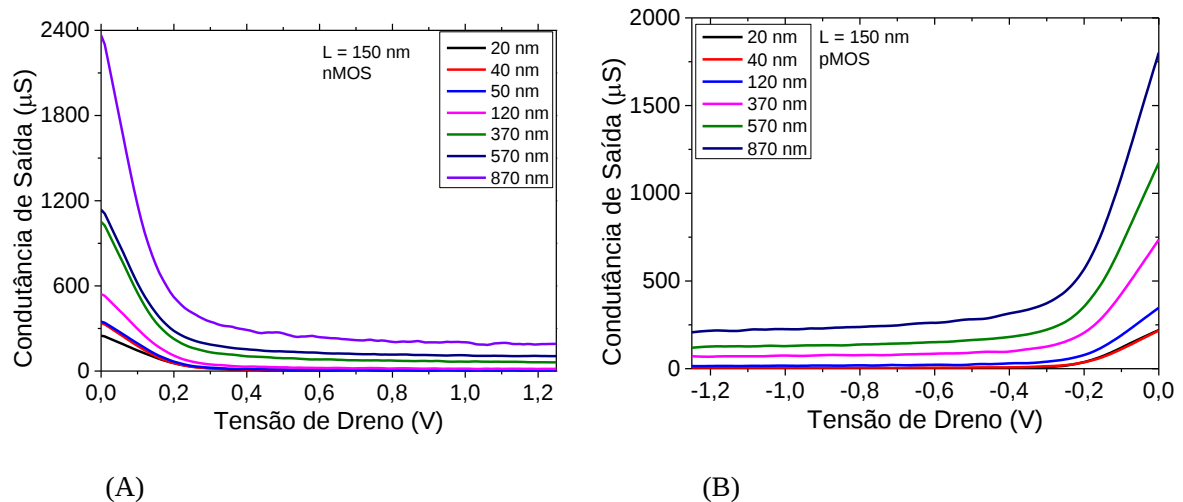


Fonte: elaborada pelo autor.

A inclinação de sublimiar apresentou valores muito maiores nas aletas mais largas, uma degradação causada por um controle pouco eficaz da corrente de dreno por parte da tensão de porta. Também é evidente o maior acoplamento eletrostático presente nas aletas mais finas, que controlam melhor as cargas no canal, apresentando uma inclinação de sublimiar igual ao limite teórico do material (60 mV/década). Esse valor ótimo apresentado pelas aletas mais finas evidencia a alta velocidade de chaveamento e o grande potencial dessa geometria para circuitos integrados.

O parâmetro de condutância de saída (g_D) é apresentado na Figura 28, extraída para diferentes larguras de aletas, para transistores nMOS (A) e pMOS (B).

Figura 28 – Condutância de saída para transistores com diferentes larguras de aleta, para transistores (A) nMOS e (B) pMOS.

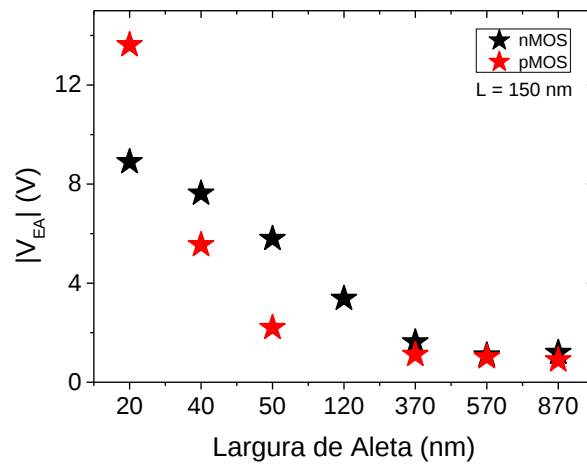


Fonte: elaborada pelo autor.

A condutância de saída é influenciada diretamente pelos efeitos de canal curto, principalmente na região de saturação, apresentando um aumento no seu valor quanto menor o acoplamento eletrostático, deixando o canal mais susceptível à tensão de dreno para aletas mais largas, ou seja, com o aumento de W_{Fin} .

Os valores correspondentes à tensão Early, extraídos através da extrapolação da reta na região de saturação do transistor, são apresentados na Figura 29.

Figura 29 – Tensão Early para transistores com diferentes larguras de aleta.

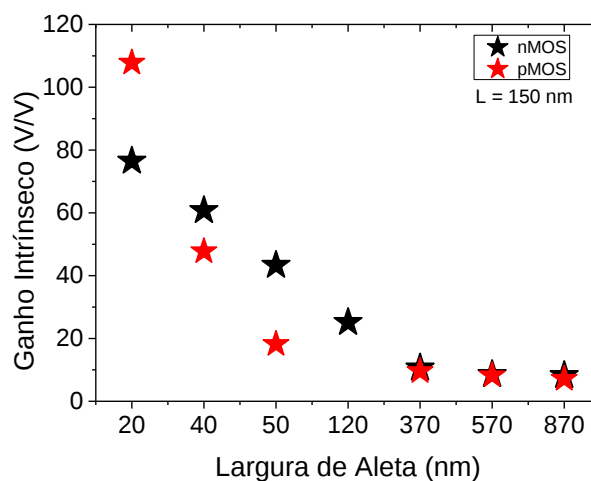


Fonte: elaborada pelo autor.

Assim como a condutância de saída, a tensão Early é afetada pelo acoplamento eletrostático do canal, traduzindo a influência dos efeitos de canal curto (maior efeito da modulação do comprimento de canal) como uma diminuição no seu valor, em módulo, quanto maior a largura de aleta considerada. Este parâmetro também demonstra como a corrente de dreno dos dispositivos mais finos se mantém mais constante em relação à tensão de dreno na região de saturação.

O ganho intrínseco de tensão foi calculado a partir dos valores de g_m e g_D para $V_{DS} = 700$ mV e $V_{GS} = (200 + V_{Th})$ mV. Os valores calculados são apresentados na Figura 30.

Figura 30 – Ganho intrínseco de tensão para transistores com diferentes larguras de aleta.



Fonte: elaborada pelo autor.

O ganho de tensão se mostrou muito maior para as aletas menores, graças à grande resistência aos efeitos de canal curto nestes dispositivos, diferentemente das aletas mais largas, onde esses efeitos são consideravelmente maiores. Também é possível justificar esse

comportamento a partir da fórmula do ganho, que é proporcional à tensão Early (que diminui com W_{Fin}) ou ao inverso da condutância de saída (que aumenta com W_{Fin}).

Os valores dos parâmetros extraídos para os transistores SOI FinFETs são apresentados na Tabela 4, para transistores tipo n, e na Tabela 5, para transistores tipo p.

Tabela 4 - Parâmetros elétricos extraídos para transistores tipo n com diferentes larguras de aleta.

W_{Fin}	20	40	50	120	370	570	870
$V_{Th \text{ triodo}} \text{ (mV)}$	440	430	440	420	410	400	410
$V_{Th \text{ sat}} \text{ (mV)}$	420	410	410	360	180	130	110
$DIBL \text{ (mV/V)}$	30,8	30,8	46,2	92,3	353,9	415,4	461,2
$SS \text{ (mV/dec)}$	60	60	60	76	110	120	130
$ V_{EA} \text{ (V)}$	8,9	7,6	5,7	3,4	1,6	1,1	1,2
$ A_v \text{ (V/V)}$	76,5	60,7	43,3	25,1	10,6	8,5	8,2

Fonte: elaborada pelo autor.

Tabela 5 - Parâmetros elétricos extraídos para transistores tipo p com diferentes larguras de aleta.

W_{Fin}	20	40	50	370	570	870
$V_{Th \text{ triodo}} \text{ (mV)}$	-530	-530	-520	-530	-520	-510
$V_{Th \text{ sat}} \text{ (mV)}$	-490	-490	-440	-360	-330	-280
$DIBL$	61,5	61,5	123,1	261,5	292,3	353,9
$SS \text{ (mV/dec)}$	60	60	78	120	130	140
$ V_{EA} \text{ (V)}$	13,6	5,5	2,2	1,1	1,0	0,9
$ A_v \text{ (V/V)}$	107,7	47,7	18,2	9,6	8,2	7,1

Fonte: elaborada pelo autor.

Todos os parâmetros elétricos analisados demonstram uma melhoria em seus valores conforme a redução da largura de aleta, mostrando que os transistores mais finos são muito robustos aos efeitos de canal curto e de modulação de comprimento de canal. Também foi possível observar que os maiores valores para tensão Early e ganho intrínseco de tensão, tanto para transistores do tipo n quanto para transistores do tipo p, são referentes ao SOI FinFET de $W_{Fin} = 20 \text{ nm}$.

4.2 PROJETO DO AMPLIFICADOR

A partir das análises feitas dos parâmetros elétricos, foi verificado que o transistor de 20 nm de largura de aleta apresentou uma melhoria em todos os parâmetros, se mostrando ideal para a simulação de um circuito e verificação do potencial do SOI FinFET para blocos

analógicos. Os parâmetros utilizados na simulação dos transistores no software HSpice, modificados para a obtenção da curva o mais próxima possível da experimental, são apresentados na Figura 31 e explicados na Tabela 6.

Figura 31 – Parâmetros de modelagem para o SOI FinFET com modelo bsim-cmg.

```
* --- Transistor ---
X1 drain gate 0 bulk nmos1 TFIN=20n HFIN=65n L=150n NF=5 NRS=1 NRD=1 BULKMOD=0 EOT=2n EOTBOX=145n U0=0.0325 PHIG=4.53 UA=0.9
```

Fonte: elaborada pelo autor.

Tabela 6 – Parâmetros utilizados na simulação do SOI FinFET no HSpice.

Parâmetro	Significado	Parâmetro	Significado
1° (X1)	Nome do transistor	NF	Número de aletas em paralelo
2° (drain)	Nó conectado ao dreno	NRS	Parâmetro de difusão de fonte
3° (gate)	Nó conectado à porta	NRD	Parâmetro de difusão de fonte
4° (source)	Nó conectado à fonte	BULKMODE	Modelo de substrato
5° (bulk)	Nó conectado ao substrato	EOT	Espessura do óxido de porta
nmos1	nmos1 = transistor tipo n pmos1 = transistor tipo p	EOTBOX	Espessura do óxido enterrado
TFIN	Largura de aleta	U0	Mobilidade de baixo campo
HFIN	Altura de aleta	PHIG	Função trabalho da porta
L	Comprimento do canal	UA	Parâmetro de rugosidade de superfície

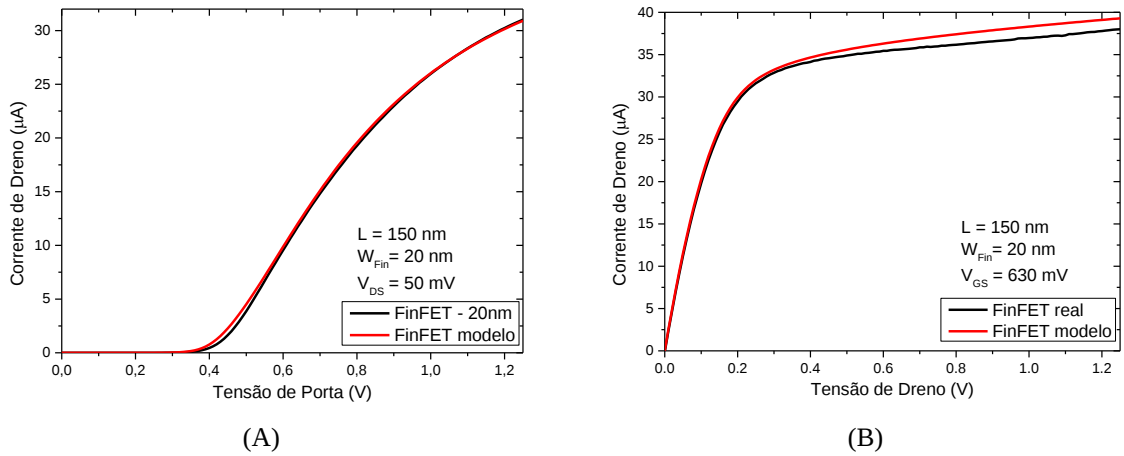
Fonte: elaborada pelo autor.

A partir das curvas obtidas experimentalmente do transistor nMOS e pMOS de 20 nm de largura de aleta, foi calibrado um transistor simulado no software HSpice. Foram analisadas, principalmente, a tensão de limiar, transcondutância e condutância de saída, todas obtidas através de diversas simulações das curvas $I_{DS} \times V_{DS}$ e $I_{DS} \times V_{GS}$.

Os parâmetros utilizados na simulação foram extraídos das medidas experimentais ou da análise direta das simulações, como a função trabalho de porta, que foi escolhida a fim de ajustar a tensão de limiar, deixando o comportamento dos transistores (experimental e simulado) o mais próximo possível um do outro.

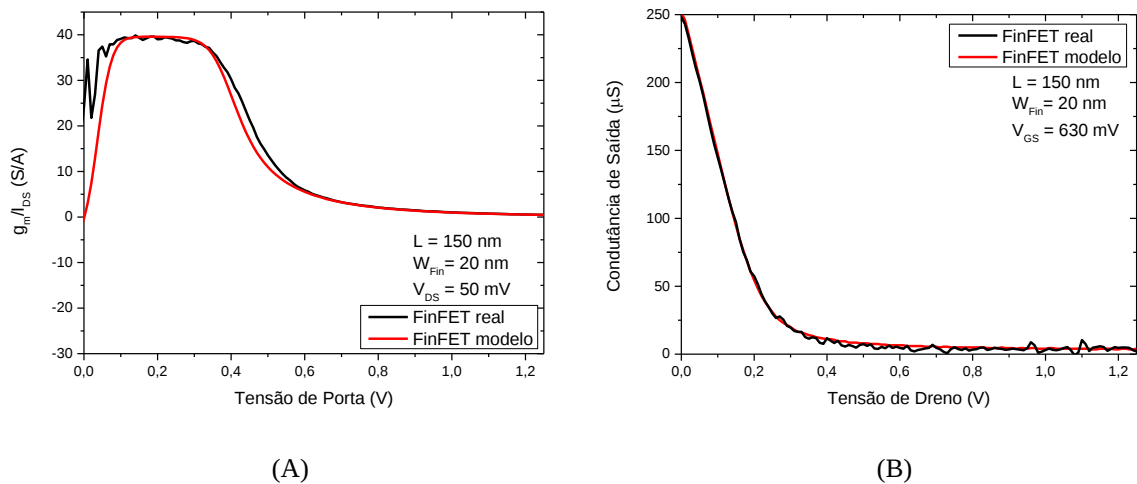
As figuras 32 e 33 apresentam as curvas experimentais e simuladas, calibradas para se comportarem de maneira mais próxima possível.

Figura 32 - Curvas experimental e simulada do transistor SOI FinFET tipo n, utilizadas para calibração das simulações, (A) $I_{DS} \times V_{GS}$ e (B) $I_{DS} \times V_{DS}$.



Fonte: elaborada pelo autor.

Figura 33 - Curvas experimental e simulada do transistor SOI FinFET tipo n, utilizadas para a calibração das simulações, (A) g_m/I_{DS} e (B) g_D .

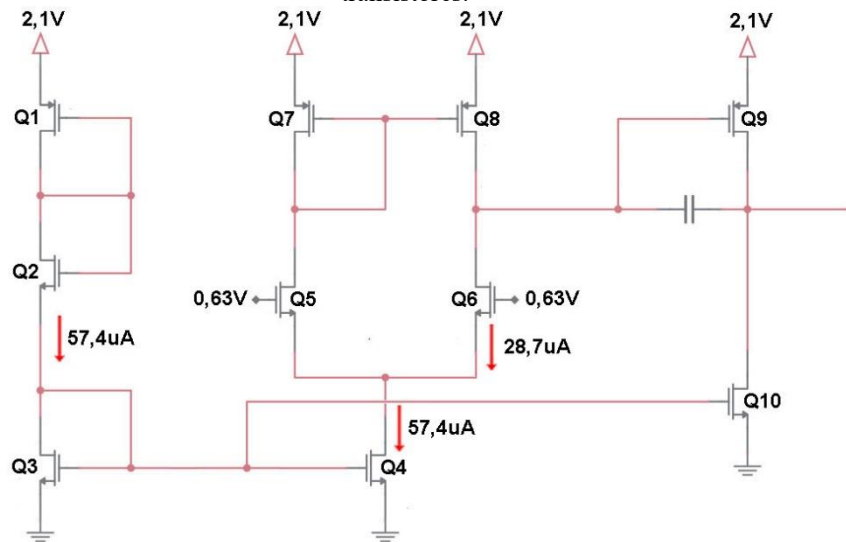


Fonte: elaborada pelo autor.

Após calibrar o transistor FinFET no software, foi realizado um estudo e projeto do amplificador, configurado com tensão de alimentação de 2,1 V, para garantir aproximadamente 0,7 V de tensão de dreno para cada transistor, garantindo seu funcionamento. O par diferencial do primeiro estágio e o transistor de entrada do segundo foram projetados para uma polarização 0,63 V de tensão de modo comum (V_{GS}), tensão responsável por apresentar um valor de g_m/I_{DS} de 8 V^{-1} (com 700 mV de V_{DS}), valor muito utilizado na literatura por representar o início da inversão forte, mas ainda com baixa sobretensão de porta, o que garante grande excursão de sinal em relação à tensão de saída. A corrente de polarização do par diferencial é de $7,18 \mu A$ por aleta, os outros transistores foram projetados para atender a essa demanda.

O amplificador foi projetado inicialmente para funcionar com as especificações apresentadas na Figura 34.

Figura 34 - Desenho esquemático do circuito amplificador de dois estágios projetado, indicando as correntes referentes a cada ramo do circuito, usadas para dimensionamento da quantidade de aletas em paralelo dos transistores.



Fonte: elaborada pelo autor.

O segundo estágio do transistor foi projetado para atender a condição descrita abaixo [1]:

$$\frac{G_{M1}}{C_C} < \frac{G_{M2}}{C_L} \quad (15)$$

onde G_{M1} e G_{M2} são as transcondutâncias do primeiro e segundo estágio, respectivamente (essas transcondutâncias são equivalentes às transcondutâncias dos transistores 6 e 9, respectivamente); C_C é o capacitor de compensação ou capacitor Miller; e C_L é a capacitância de carga.

A condição descrita em (15) é necessária para que a resposta em frequência do amplificador apresente uma queda constante de -20 dB/década até 0 dB, equivalente à chamada frequência de ganho unitário. No projeto, foi escolhido o mesmo valor para os capacitores ($C_C = C_L = 10$ fF) e a transcondutância do segundo estágio projetada para um valor entre 5 e 10 vezes maior que a do primeiro (com a mudança do número de aletas do transistor).

A Tabela 7 apresenta os dados de projeto, para cada transistor.

Tabela 7 – Especificações dos transistores SOI FinFETs usados no projeto do amplificador.

Transistor	Número de aletas	V _{DS} esperado (mV)	I _{DS} esperada (μA)	V _{GS} esperado (mV)	Tipo
1	10	700	-74,6	700	pMOS
2	6	700	70,2	700	nMOS
3	6	700	70,2	700	nMOS
4	6	700	70,2	700	nMOS
5 e 6	4	700	28,72	630	nMOS
7 e 8	4	-700	-29,84	-700	pMOS
9	56	-1050	-216,9	-588	pMOS
10	16	-1050	-216,8	-700	nMOS

Fonte: elaborada pelo autor.

O ganho teórico do primeiro estágio foi calculado utilizando a equação (9), fazendo uso dos dados coletados experimentalmente. O ganho calculado foi de 48 V/V.

$$A_{V1} = \frac{gm_6}{g_{D6} + g_{D8}} = \frac{2,9 * 10^{-4}}{3,89 * 10^{-6} + 2,2 * 10^{-6}} = 48 \text{ V/V}$$

Já o segundo estágio apresentou um ganho de tensão calculado de 57 V/V, através da equação (10).

$$A_{V2} = \frac{gm_9}{g_{D9} + g_{D10}} = \frac{2,28 * 10^{-3}}{2 * 10^{-5} + 2 * 10^{-5}} = 57 \text{ V/V}$$

A partir dos ganhos calculados de cada estágio, foi possível calcular o ganho total, multiplicando os resultados. O ganho total do amplificador foi estimado em 2736 V/V, ou 68,74 dB, um alto ganho de tensão para o circuito.

Após o projeto com FinFETs, a mesma metodologia foi aplicada para um transistor MOSFET convencional, simulando o primeiro e segundo estágio com os mesmos parâmetros: tensão de alimentação igual a 2,1 V, capacitores com valor $C_C = C_L = 10 \text{ fF}$ e condição de inversão igual a 8 V^{-1} (com 700 mV de V_{DS}), com o par diferencial polarizado com 0,42 V de tensão de modo comum (V_{GS}).

A Tabela 8 apresenta os valores dos transistores MOSFETs convencionais utilizados no projeto.

Tabela 8 – Especificações dos transistores MOSFETs usados no projeto do amplificador.

Transistor	Número de aletas	V_{DS} esperado (mV)	I_{DS} esperada (μA)	V_{GS} esperado (mV)	Tipo
1	17	-700	-209,61	-700	pMOS
2	5	700	204,4	700	nMOS
3	5	700	204,4	700	nMOS
4	5	700	204,4	700	nMOS
5 e 6	10	700	99,5	420	nMOS
7 e 8	8	-700	-98,64	-700	pMOS
9	22	-1050	-166,5	-525	pMOS
10	4	1050	163,5	700	nMOS

Fonte: elaborada pelo autor.

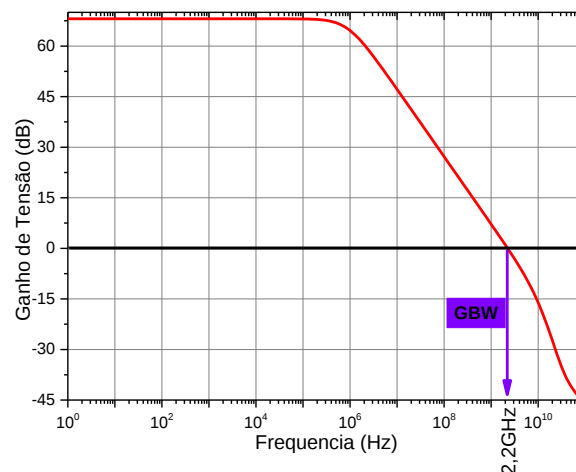
Já no projeto dos amplificadores é possível notar que a corrente esperada em cada ramo do amplificador é muito maior para os transistores MOSFETs convencionais, indicando uma maior dissipação de potência e, conseqüentemente, maior consumo de energia. Esse resultado aponta o SOI FinFET como uma alternativa mais eficiente.

4.3 ANÁLISE DO BLOCO ANALÓGICO

A simulação do amplificador operacional de dois estágios foi realizada a fim de obter os diagramas de Bode de ganho de tensão e de margem fase, a fim de analisar as suas principais figuras de mérito.

A Figura 35 apresenta o diagrama de Bode da intensidade de ganho de tensão do amplificador com FinFETs.

Figura 35 – Diagrama de Bode da intensidade de ganho de tensão do amplificador com FinFETs.

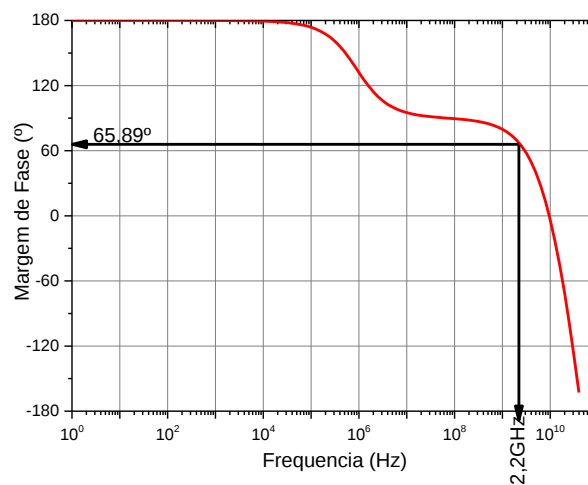


Fonte: elaborada pelo autor.

É possível observar que o ganho de tensão se mantém constante, com valor de 68 dB, até começar a cair com uma inclinação de exatamente 20 dB/década até a frequência de 2,2 GHz, correspondente ao produto ganho-banda. O amplificador apresentou alto ganho e ampla faixa de operação em frequência, mostrando ótimos valores para o circuito.

Também foi analisada a margem de fase, necessária para a verificação da estabilidade do circuito em sua faixa de operação. A Figura 36 apresenta o diagrama de Bode da margem de fase do amplificador com FinFETs.

Figura 36 - Diagrama de Bode da margem de fase do amplificador com FinFETs.

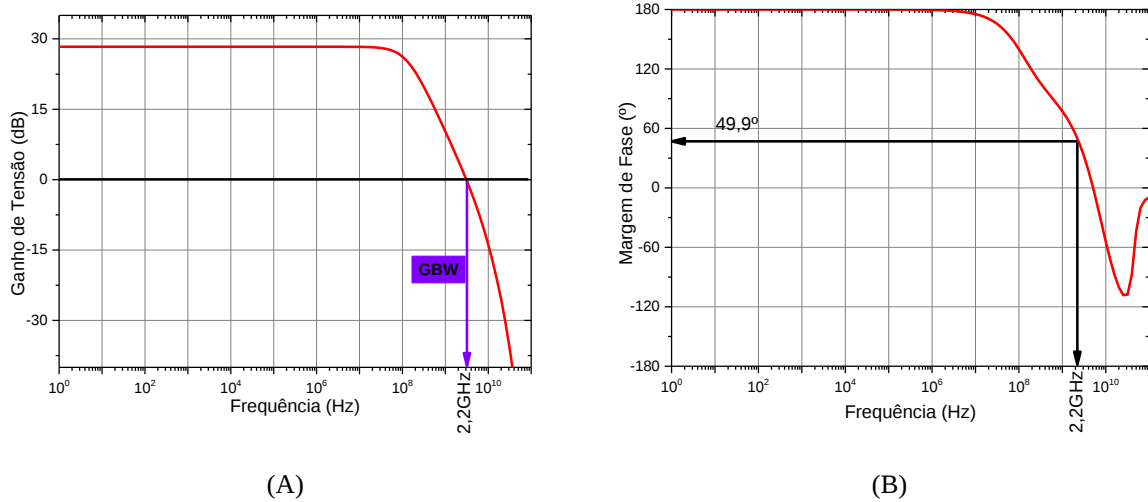


Fonte: elaborada pelo autor.

A estabilidade do circuito é verificada com a observação de que a margem de fase tem valor de 65,89° no produto ganho-banda, valor suficientemente grande e bem próximo do valor recomendado (60°).

A Figura 37 mostra os diagramas de Bode do ganho de tensão e da margem de fase do amplificador projetado com MOSFETs convencionais. O amplificador operacional de dois estágios projetado com MOSFETs convencionais apresentou um valor de ganho de tensão de 28,3 dB, faixa de operação em frequência de 2,2 GHz e margem de fase de 49,9°, abaixo do recomendado para que o circuito alcance rapidamente a estabilidade, indicando que o capacitor de compensação precisa ser redimensionado.

Figura 37 – Diagramas de Bode do amplificador com MOSFETs do (A) ganho de tensão e (B) da margem de fase.



Fonte: elaborada pelo autor.

É possível notar que a faixa de operação em frequência de ambos os circuitos projetados é a mesma, devido ao projeto ser feito com os mesmos capacitores, tanto de compensação quanto de carga. A margem de fase do amplificador com MOSFETs convencionais, porém, se mostrou abaixo do valor estipulado, o que demonstra a necessidade de aumentar o capacitor de compensação desse circuito e, conseqüentemente, reduzir o seu produto ganho-banda e a sua faixa de operação.

Uma grande diferença entre os circuitos projetados com SOI FinFETs e MOSFETs convencionais foi o ganho de tensão, que atingiu valores de 68 dB para os FinFETs enquanto para os MOSFETs foi de apenas 28,3 dB. Ou seja, o amplificador projetado com o transistor SOI FinFET, tem seu ganho de tensão cerca 40 dB (100 vezes) maior que o projetado com o MOSFET convencional, confirmando a hipótese inicial de que o transistor 3D pode ser aplicado com grande êxito em circuitos analógicos.

5. CONCLUSÕES

Foi verificado que o transistor estudado neste trabalho, o SOI FinFET de porta tripla, tem seu funcionamento diretamente ligado à sua largura de aleta. A sua geometria permite que vários parâmetros que dependiam fortemente do comprimento de canal, como tensão Early, condutância de saída e redução da barreira induzida pelo dreno, ou que dependiam do processo de fabricação, como tensão de limiar e transcondutância, passassem também a depender da largura de aleta do transistor.

A geometria baseada em aletas altas e finas permite o dimensionamento da largura efetiva dos transistores com a construção de várias aletas em paralelo. Essa característica aumenta a versatilidade da tecnologia e as possibilidades de projeto dos dispositivos.

Nessa tecnologia, os chamados efeitos de canal curto e de modulação do comprimento de canal passaram a depender também da proximidade das portas verticais. Com a diminuição da largura de aleta do FinFET, os dispositivos se tornam mais imunes a esses efeitos, apresentando grande potencial tanto para a diminuição do comprimento de canal quanto da área utilizada pelo dispositivo, devido à condução pelos três lados da aleta.

A redução da largura de aleta dos dispositivos proporciona um maior acoplamento eletrostático e permite um maior controle das cargas no canal pela tensão da porta. Essa característica proporciona uma melhoria em todos os parâmetros elétricos estudados quanto menor a largura de aleta, tornando o dispositivo ideal para a miniaturização.

Os transistores mais finos apresentaram uma maior robustez aos efeitos de canal curto, apresentando menor dependência da tensão de limiar com a tensão aplicada ao dreno. O baixo valor de redução da barreira induzida pelo dreno também demonstra essa robustez. O maior controle da porta sobre as cargas no canal, proporcionam uma inclinação de sublimiar ótima, mostrando a alta velocidade de chaveamento que o SOI FinFET pode alcançar.

As portas verticais mais próximas também proporcionaram uma tensão Early e um ganho intrínseco de tensão elevados devido ao aumento da transcondutância e à diminuição da condutância de saída, obtidos por causa do maior acoplamento eletrostático entre porta e canal e pela maior imunidade aos efeitos de canal curto e de modulação de comprimento de canal.

As simulações demonstraram o grande potencial do SOI FinFET nas aplicações analógicas. O amplificador operacional de transcondutância de dois estágios projetado e simulado resultou em uma resposta em frequência muito satisfatória, com ampla faixa de operação em frequência e operando na faixa de estabilidade recomendada. O produto ganho-

banda do circuito, com valor de 2,2 GHz, é bastante próximo à frequência utilizada em tecnologias como Wi-Fi e Bluetooth (2,4GHz), mostrando o bom funcionamento do circuito em aplicações com frequência elevada.

O circuito OTA com FinFETs também apresentou um ganho de 68 dB, valor muito alto para este tipo de circuito. O amplificador com FinFETs se mostrou ainda melhor quando comparado com o circuito com MOSFETs convencionais, que além de dissipar menos potência, consumindo menos energia, também proporcionou um aumento de 40 dB no ganho de tensão.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] SEDRA, S.; SMITH, K.. Microeletrônica. 5ª. Edição, Pearson Makron Books, São Paulo, Brasil, 2005.
- [2] Moore, G.E. (1965, abril). Cramming more components onto integrated circuits. Electronics.
- [3] COLINGE, Jean-Pierre. “Silicon-On-Insulator Technology: Materials To Vlsi”. Springer, 1991.
- [4] CAPARROZ, L. V.. Efeito da radiação em transistores 3d em baixas temperaturas. Tese (Mestrado em Ciências) – Faculdade de Politécnica, Universidade de São Paulo. São Paulo, p. 117, 2017
- [5] SANTOS, C. D. G.. Estudo da mobilidade em dispositivos SOI planares e de múltiplas portas. Tese (Doutorado em Engenharia) – Faculdade de Politécnica, Universidade de São Paulo. São Paulo, p. 208, 2010.
- [6] SILVA, V. C. P.. Estudo da região de sublimar de transistores SOI avançados. Tese (Mestrado em Ciências) – Faculdade de Politécnica, Universidade de São Paulo. São Paulo, p. 92, 2018.
- [7] COLINGE, Jean-Pierre. “FinFETs and Other Multi-Gate Transistors”. Springer, 2007.
- [8] BRAGA, T. M.. ANÁLISE DE TRANSISTORES FINFETS PARA APLICAÇÕES EM CIRCUITOS DIGITAIS BÁSICOS. Tese (bacharelado em engenharia Eletrônica e de Telecomunicações) – Faculdade de Engenharia, Universidade Estadual Paulista “Júlio De Mesquita Filho”. São João da Boa Vista, p. 62, 2021.
- [9] S. Sze e K. N. Kwok, Physics of Semiconductor Devices, Wiley-Interscience, 2007.
- [10] GHITANI, H. E. (1999). DIBL coefficient in short-channel NMOS transistors. Proceedings of the Sixteenth National Radio Science Conference. NRSC’99 (IEEE Cat. No.99EX249), (1), D4/1-D4/5. <https://doi.org/10.1109/NRSC.1999.760932>
- [11] TERAQ, A. et al. Measurement of threshold voltages of Thin-Film Accumulation-Mode SOI MOSFETs. V. 12, p. 682. New York, NY: John Wiley & Sons, 1981.
- [12] MINIMOS 4.0 Users Manual. T. U. Viena, 1989.
- [13] MARTINO, João A., PAVANELLO, Marcelo A., VERDONCK, Patrick B.; “Caracterização Elétrica de Tecnologia e Dispositivos MOS”. Thomson, 2004.

- [14] SILVEIRA, D. F. F.; JESPERS, P. A gm/ID based methodology for the design of cmos analog circuits and its application to the synthesis of a silicon-on-insulator micropower OTA. *IEEE Journal of solid-state circuits*, v. 31, n. 9, p. 1314–1319, 1996.
- [15] Collaert N et al. Performance enhancement of MUGFET devices using super critical strained-SOI (SC-SSOI) and CESL. In: Symposium on VLSI technology. Dig Tech Pap; 2006. p. 52–3.
- [16] B. J. Sheu, D. L. Scharfetter, P.-K. Ko and M.-C. Jeng, "BSIM: Berkeley short-channel IGFET model for MOS transistors", *IEEE J. Solid-State Circuits*, vol. SSC-22, no. 4, pp. 558-566, Aug. 1987.

APÊNDICE A – Código VerilogA da simulação do OTA com FinFETs

```

*Sample netlist for BSIM-MG
*Id-Vd Characteristics for NMOS (T = 27 C)

.option abstol=1e-6 reltol=1e-6 post ingold
.temp 27

.hdl "C:\Users\Pedro\Desktop\amplificador\bsim106.1.0\code\bsimcmg.va"
.include "C:\Users\Pedro\Desktop\amplificador\bsim106.1.0\benchmark_test\modelcard.nmos"
.include "C:\Users\Pedro\Desktop\amplificador\bsim106.1.0\benchmark_test\modelcard.pmos"

* --- Voltage Sources ---
v1 vdd 0 dc=2.1
vbs bulk 0 dc=0

v2 7 0 dc= 0.63 AC=0.0001 SIN(0.63 0.0001 1000)
v3 8 0 dc= 0.63

*vx 1 2 sin(offset amplitude freq)

* --- Capacitores ---
C1 5 6 10f
C2 6 0 10f

* --- Transistor ---
X1 1 1 vdd bulk pmos1 TFIN=20n HFIN=65n L=150n NF=10 NRS=1 NRD=1 BULKMOD=0 EOT=2n EOTBOX=145n U0=0.0325 PHIG=4.65 UA=0.5
X2 1 1 2 bulk nmos1 TFIN=20n HFIN=65n L=150n NF=6 NRS=1 NRD=1 BULKMOD=0 EOT=2n EOTBOX=145n U0=0.0325 PHIG=4.53 UA=0.9

X3 2 2 0 bulk nmos1 TFIN=20n HFIN=65n L=150n NF=6 NRS=1 NRD=1 BULKMOD=0 EOT=2n EOTBOX=145n U0=0.0325 PHIG=4.53 UA=0.9
X4 3 2 0 bulk nmos1 TFIN=20n HFIN=65n L=150n NF=6 NRS=1 NRD=1 BULKMOD=0 EOT=2n EOTBOX=145n U0=0.0325 PHIG=4.53 UA=0.9

X5 4 7 3 bulk nmos1 TFIN=20n HFIN=65n L=150n NF=4 NRS=1 NRD=1 BULKMOD=0 EOT=2n EOTBOX=145n U0=0.0325 PHIG=4.53 UA=0.9
X6 5 8 3 bulk nmos1 TFIN=20n HFIN=65n L=150n NF=4 NRS=1 NRD=1 BULKMOD=0 EOT=2n EOTBOX=145n U0=0.0325 PHIG=4.53 UA=0.9

X7 4 4 vdd bulk pmos1 TFIN=20n HFIN=65n L=150n NF=4 NRS=1 NRD=1 BULKMOD=0 EOT=2n EOTBOX=145n U0=0.0325 PHIG=4.65 UA=0.5
X8 5 4 vdd bulk pmos1 TFIN=20n HFIN=65n L=150n NF=4 NRS=1 NRD=1 BULKMOD=0 EOT=2n EOTBOX=145n U0=0.0325 PHIG=4.65 UA=0.5

X9 6 5 vdd bulk pmos1 TFIN=20n HFIN=65n L=150n NF=56 NRS=1 NRD=1 BULKMOD=0 EOT=2n EOTBOX=145n U0=0.0325 PHIG=4.65 UA=0.5
X10 6 2 0 bulk nmos1 TFIN=20n HFIN=65n L=150n NF=16 NRS=1 NRD=1 BULKMOD=0 EOT=2n EOTBOX=145n U0=0.0325 PHIG=4.53 UA=0.9

* --- Analysis ---
.TRAN 10u 1m
.PRINT TRAN V(5) V(6) V(7)
.AC DEC 10 1 100G
.PRINT AC VM(6) VM(7)
.print AC VP(6)

*.tran tstep tstop tstart delmax

.op
.end

```