



UNIVERSIDADE ESTADUAL PAULISTA
"JÚLIO DE MESQUITA FILHO"
Instituto de Ciência e Tecnologia
Câmpus de Sorocaba

FELIPE OLIVEIRA FERNANDES

DESENVOLVIMENTO DE UM COMPUTADOR
DE PROPÓSITO GERAL ANALÓGICO-DIGITAL

SOROCABA/SP

MAIO/2022



UNIVERSIDADE ESTADUAL PAULISTA
“JÚLIO DE MESQUITA FILHO”
Instituto de Ciência e Tecnologia
Câmpus de Sorocaba

Felipe Oliveira Fernandes

DESENVOLVIMENTO DE UM COMPUTADOR DE PROPÓSITO GERAL ANALÓGICO-DIGITAL

Dissertação apresentada ao Programa de Pós-Graduação em Engenharia Elétrica, do Instituto de Ciência e Tecnologia da Universidade Estadual Paulista “Júlio de Mesquita Filho” (UNESP), Campus de Sorocaba, como exigência para obtenção do título de Mestre em Engenharia Elétrica.

Área de concentração: Sistemas Eletrônicos

Orientadora: Profa. Dra. Maria Glória Caño de Andrade

Co-Orientador: Prof. Dr. Everson Martins

SOROCABA/SP

MAIO /2022

F363d

Fernandes, Felipe Oliveira

Desenvolvimento de um computador de propósito geral analógico-digital / Felipe Oliveira Fernandes. -- São João da Boa Vista, 2022

201 p. : il., tabs., fotos

Dissertação (mestrado) - Universidade Estadual Paulista (Unesp), Faculdade de Engenharia, São João da Boa Vista

Orientadora: Maria Glória Caño de Andrade

Coorientador: Everson Martins

1. Computadores. 2. Computadores analógicos. 3. Analog computers. I. Título.

Sistema de geração automática de fichas catalográficas da Unesp. Biblioteca da Faculdade de Engenharia, São João da Boa Vista. Dados fornecidos pelo autor(a).

Essa ficha não pode ser modificada.

CERTIFICADO DE APROVAÇÃO

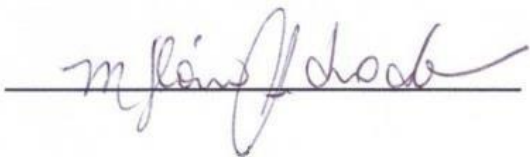
**TÍTULO DA DISSERTAÇÃO: DESENVOLVIMENTO DE UM COMPUTADOR DE PROPÓSITO GERAL
ANALÓGICO-DIGITAL**

AUTOR: FELIPE OLIVEIRA FERNANDES

ORIENTADORA: MARIA GLÓRIA CAÑO DE ANDRADE

COORDENADOR: EVERSON MARTINS

Aprovado como parte das exigências para obtenção do Título de Mestre em ENGENHARIA
ELÉTRICA, área: Sistemas Eletrônicos pela Comissão Examinadora:



Prof^ª. Dr^ª. MARIA GLÓRIA CAÑO DE ANDRADE (Participação Virtual)
Departamento de Engenharia de Controle e Automação / Instituto de Ciência e Tecnologia - UNESP - Câmpus
de Sorocaba

Prof. Dr. IVANDO SEVERINO DINIZ (Participação Virtual)
Departamento de Engenharia de Controle e Automação / Instituto de Ciência e Tecnologia / UNESP / Sorocaba

Professor Doutor RODRIGO TREVISOLI DORIA (Participação Virtual)
Engenharia Elétrica / Centro Universitário FEI

Sorocaba, 04 de maio de 2022

Dedico esse trabalho, em especial, ao meu filho Lorenzo, a minha esposa Aline, que me apoiou nessa jornada e aos meus pais Aneide e Eduardo, os meus suportes.

AGRADECIMENTOS

Agradeço a Deus por fazer o meu sonho possível. Agradeço à Professora Dra. Maria Glória Cano de Andrade, pela orientação, motivação e apoio no desenvolvimento desta dissertação. Ao Prof. Dr. Everson Martins pelos ensinamentos, direcionamentos, confiança, e principalmente pela paciência.

O Mestre Rafael Parra Ribeiro pelo companheirismo, a paciência e a ajuda dispensada. Aos meus amigos do LAPTEC, Lucas Oliveira e Thais Matiello pelos ensinamentos e conversas.

Agradeço à Unesp pela disponibilização dos equipamentos, dos laboratórios, da prototipadora de circuitos impressos, sem os quais seria muito difícil a elaboração desse trabalho.

“Cogito, ergo sum.” René Descartes

RESUMO

Processos computacionais, principalmente simulações e resoluções de equações, são indispensáveis para o desenvolvimento da tecnologia na era moderna, sendo estes utilizados desde em processos como o controle de caldeiras até em robôs de exploração espacial. Entretanto, a crescente evolução tecnológica demanda de computadores menores, mais rápidos e com menor consumo de energia. Devido a este fato, surgiram inúmeras técnicas que objetivam melhorar o desempenho da computação em geral. Dentre elas, a computação analógica-digital apresenta potencial para realizar o processamento de grandes dados com grande velocidade e com pequeno consumo de energia. O presente trabalho visa desenvolver uma topologia de computador analógico-digital de propósito geral com controle e interface digital e o processamento sendo realizado de forma analógica, operando na faixa de 1 a 10000 Hz. Foram investigados os efeitos da variação de parâmetros de configuração, a comutação de estados, a inserção de condições iniciais e a robustez do sistema implementado. Levantou-se na literatura as topologias mais utilizadas para a realização das principais funções de um computador analógico. Com isso, foi desenvolvido um circuito que realizasse cada uma das funções principais. Os circuitos foram simulados utilizando o software Multisim[®] versão 14.1 e testados em função de diferentes parâmetros, tais como a de frequência de funcionamento (1 a 10000 Hz), a comutação entre os processos analógicos, a variação do sinal de entrada e a qualidade do sinal de saída. Para isso, os circuitos foram simulados no modo iterativo para a fim de estudar o comportamento das comutações dos estados e transitório do sistema analisados no domínio da frequência para elaborar-se o diagrama de Bode. Para finalizar, foi realizada a análise de operação em corrente contínua, visando interpretar o comportamento em regime permanente do sistema. Com os dados levantados foi realizada a elaboração das topologias para a implementação física do computador. Para a integração dos dispositivos e a emulação do funcionamento do dispositivo, utilizou-se o processo de Co-simulação entre os softwares Labview[®] e Multisim[®]. Para a modelagem matemática do sistema usou-se o software Matlab[®]. O sistema analógico-digital apresentou erro menor do que 5% quando comparado à modelagem e apresentou flexibilidade de emulação de equações diferenciais.

Palavras-chave: Computação digital-analógica. GPAC. Integrador analógico.

ABSTRACT

Computational processes, mainly simulations and equation solving, are indispensable for the modern era and are used from boiler control to space exploration robots. However, the increasing technological evolution demands smaller, faster computers with low energy consumption. Due to this fact, numerous techniques have emerged aiming to improve the performance of general computing. Among them, analog-digital computing has the potential to perform a large amount of data processing at high speed and low power consumption. The present work aimed to develop a digital interface, and a general-purpose computer with digital control and interface, and the processing being performed analogously, operating in the range from 1 to 10000 Hz. The effects of configuration parameters variation, state switching, insertion of initial conditions, and robustness of the implemented system were investigated. Thus, a circuit was developed to perform each of the main functions of a general computer. The circuits were simulated using Multisim® software version 14.1 and tested according to different parameters such as operating frequency (1 to 10000 Hz), switching between analog processes, input signal variation, and signal quality. The circuits were simulated in an iterative model to study the behavior of the state and transient commutations of the system and, analyzed in the frequency domain to elaborate the Bode diagram. Finally, the operation analysis in direct current was carried out, aiming to interpret the steady-state behavior of the system. For device integration and device operation emulation, the Co-simulation process was used between Labview® and Multisim® software. For the mathematical modeling of the system, Matlab® software was used. The analog-digital system presented a mathematical error smaller than 5%.

Keywords: Hybrid Computation. GPAC. Analog Integer.

LISTA DE FIGURAS

Figura 1- Principais blocos funcionais que compõem um computador analógico de propósito geral, onde são apresentados o bloco somador, integrador e multiplicador. Além do bloco gerador de constante.	8
Figura 2- Topologias de integradores a base de capacitores e em que o tempo de integração é controlado pela transcondutância (G_m). Em (a) é apresentada a topologia mais comum, G_m -C. Em (b) e (c) são demonstradas duas variantes, na primeira é introduzido um Amp Op e na segunda um amplificador de transcondutância (do inglês <i>Operational Transconductance Amplifier</i>).....	11
Figura 3- Configuração de um integrador de Miller.....	12
Figura 4- Circuito apresentando a topologia do integrador de Miller, utilizando o modelo linear do Amp Op e as modificações para diminuir o erro DC.	13
Figura 5- Circuito modificado de Miller, onde a resistência de realimentação (R_f) e a resistência na porta não inversora R_2 foram inseridas para minimizar o erro em DC....	14
Figura 6- Circuito apresentando a topologia do integrador de Miller, utilizando o modelo linear do Amp Op e as modificações para diminuir o erro DC.	15
Figura 7- Circuito que gera condições iniciais em um integrador de Miller. A chave S1 está fechada até o momento $t = 0$ s, assim o capacitor é carregado com tensão proporcional a V_{cin} , depois de $t = 0$ s o circuito integra a tensão V_{in}	16
Figura 8- Representação do circuito de condições iniciais onde a chave S1 está fechada, $t < 0$ s. Pelo princípio de superposição a) representa a análise em corrente contínua e b) a em corrente alternada.....	18
Figura 9- Representação de C_{in1} para $t \geq 0$ s, onde a chave S1 permanece aberta.....	18
Figura 10- Circuito para gerar condições iniciais (C_{In2}) em um integrador de Miller modificado. Com essa configuração é possível realizar os procedimentos de condições iniciais, integração e colocar o sistema em modo de espera.	19
Figura 11- Representação dos três modos de operação da topologia C_{In2} . A configuração a) onde as chaves S1 e S2 estão abertas faz o sistema ficar em modo de espera. Em b) S1 está fechada e S2 aberta faz com que o sistema realize a integração do sinal de entrada. Já em c) a chave S1 está aberta e S2 fechada e corresponde ao modo de aplicação de condições iniciais.....	20
Figura 12- Topologia de um circuito somador usando Amp Op.	21

Figura 13- Topologia utilizando a configuração do integrador de Miller para realizar a soma das integrais das entradas.	22
Figura 14- Circuito de um multiplicador de variáveis, onde V_a , V_b e I_{ee} são as variáveis do sistema e V_t depende das características físicas do sistema.....	23
Figura 15- Diagrama de bloco de um sistema oscilador, onde o bloco A corresponde ao circuito de ganho e o B ao de realimentação positiva. Já X_s e X_o são as variáveis de entrada e saída, respectivamente.	25
Figura 16- Circuito de um LM555 no modo astável, onde a frequência do sinal de saída é proporcional as resistências e a capacitância ligada ao terminal de descarga e trigger do CI.	26
Figura 17- Representação de uma onda triangular feita a partir da combinação de um circuito com LM555 no modo astável e um integrador, onde A representa a amplitude do sinal da onda quadrada, R e C são as constantes do sistema de integração. A frequência da onda é igual a frequência da onda quadrada.	27
Figura 18- Circuito oscilador de Ponte de Wien, onde a saída apresenta uma onda cuja frequência está relacionada com os parâmetros C_p , R_p , C_s e R_s	28
Figura 19- Ilustração da utilização de um conversor DAC 0808. Onde a tensão de saída varia de 0 a 10 V com um passo de $1/256$ V.	29
Figura 20- Blocos funcionais da topologia T2 de integrador propostos. A forma em vermelho representa os sinais de entrada, a em azul representa o sistema de integração, a em verde o sistema de controle e a em preto sistema de alimentação dos circuitos.	33
Figura 21- Esquema dos circuitos propostos da topologia T2 de integrador propostos. A forma em vermelho representa os sinais de entrada, a em azul representa o sistema de integração e a em verde o sistema de controle.	34
Figura 22- Blocos funcionais do sistema de integração da topologia T2, onde o sub-bloco em roxo (A) é o circuito do condicionador de entrada, o bloco em azul-claro (B) corresponde ao circuito integrador, o bloco em amarelo (C) é responsável pela geração de condições iniciais e o azul-escuro (D) pelo sistema de condicionamento do sinal de saída.	35
Figura 23- Resultados da topologia de condicionamento de sinal para uma entrada senoidal multiplicado pelas constantes 0, ± 1 e ± 2	36
Figura 24- Resultados da topologia TK2 para a multiplicação de um sinal senoidal para as constantes de 5 e 0,05.....	37

Figura 25- Diagrama de Bode da topologia T2, onde a curva em preto corresponde a resposta do integrador I1 e a em vermelho de I2.....	38
Figura 26- Circuito de integração I2 como o Max4660 realizando a comutação a partir de um sinal digital.	39
Figura 27- Demonstração do processo de comutação entre as saídas da topologia T2..	40
Figura 28- Comparação entre a aplicação de condições iniciais (CIn) na topologia T2 variando a frequência do sinal senoidal de entrada (1, 10, 100, 1000 e 10000 Hz).	41
Figura 29- Resultados da inserção de condições iniciais positivas, negativas e nulas na topologia T2.....	41
Figura 30- Filtro Chesbyshev de quarta ordem implementado com a arquitetura Sallen-Key.	43
Figura 31-Diagrama de Bode do filtro Chesbyshev de 4° ordem, onde a curva em azul corresponde à resposta do filtro.....	44
Figura 32- Comparação entre o diagrama de Bode da topologia T2 e de T2 com filtro Chesbyshev de 4° ordem, onde a curva em preto corresponde a resposta do integrador I1, em vermelho a de I2, em azul a I1 com o filtro e em magenta a I2 com o filtro.....	45
Figura 33- Blocos funcionais do sistema de variáveis. A forma a) corresponde a circuito de condicionamento de entradas do circuito, a forma b) ao processo de multiplicação ($X1-X2$) ($Y1-Y2$) e a forma c) ao condicionamento do sinal de saída.	46
Figura 34- Topologia para a realização do processo $(X1-X2)(Y1-Y2)$, onde o circuito é composto pelo bloco de controle das variáveis X1 e Y1, a geração das constantes X2 e Y2 é realiza pelo bloco das constantes. O processo de multiplicação é realizado pelo CI AD33. Internamente o CI divide as variáveis por 10, assim faz necessário dar um ganho x10 no sinal. O bloco de filtro tem como função atenuar os ruídos presentes no processo.	47
Figura 35- Resposta do sistema de multiplicação a duas entradas senoidais com amplitude de $\sqrt{2}$ e frequência de 60 Hz. A saída do sistema pode ser aproximada como uma função senoidal quadrática com amplitude de 2.....	47
Figura 36- Diagrama de blocos de processo de integração do sistema proposto.	48
Figura 37-Exemplo do processo de realimentação do integrador I1.	50
Figura 38- Diagrama de bloco do sistema de integração com ganho γ não nulo.....	50
Figura 39-Circuito utilizado para emular do sistema de integração I1.....	51
Figura 40- Diagrama de Bode da estrutura I1 quando o ganho $\gamma = -1$	52
Figura 41- Diagrama de Bode da estrutura I1 quando o ganho $\gamma = +1$	52

Figura 42- Diagrama de Bode da estrutura I1 quando o ganho $\gamma = 10$	53
Figura 43- Diagrama de Bode da estrutura I1 quando o ganho $\gamma = -10$	53
Figura 44- Diagrama de Bode da estrutura I1 quando o ganho $\gamma = 100$	54
Figura 45- Diagrama de Bode da estrutura I1 quando o ganho $\gamma = -100$	54
Figura 46- Diagrama de Bode da estrutura I1 quando o ganho $\gamma \mp = 0,1$	55
Figura 47- Diagrama de Bode da estrutura I1 quando o ganho $\gamma \mp = 0,01$	56
Figura 48- Diagrama de blocos do sistema com dois integradores	57
Figura 49- Simplificação dos diagramas de blocos do sistema com dois integradores, desconsiderando β_2	57
Figura 50- Circuito simplificado do sistema de integração com dois integradores.....	58
Figura 51-Diagrama de Bode, elaborado utilizando o Matlab, da função de transferência do sistema com dois integradores $\beta_1 = \alpha_1 = \gamma_1 = \alpha_2 = \gamma_2 = 1$ e quando o ganho $\beta_2 = 0$	59
Figura 52- Bode obtido pela simulação do sistema no Multsim, com os ganhos iguais a $\beta_1 = \alpha_1 = \gamma_1 = \alpha_2 = \gamma_2 = 1$ e $\beta_2 = 0$	60
Figura 53- Ampliação da distorção do diagrama de magnitude entre as frequências de 100 mHz a 10 Hz, quando os ganhos são iguais a $\beta_1 = \alpha_1 = \gamma_1 = \alpha_2 = \gamma_2 = 1$ e $\beta_2 = 0$.	61
Figura 54-Análise do decaimento por década da função de transferência obtida com os ganhos iguais a $\beta_1 = \alpha_1 = \gamma_1 = \alpha_2 = \gamma_2 = 1$ e $\beta_2 = 0$	61
Figura 55-Diagrama de bode da função de transferência do sistema com dois integradores iguais a $\beta_1 = \alpha_1 = \gamma_1 = \gamma_2 = 1, \alpha_2 = -10$ e $\beta_2 = 0$	63
Figura 56- Bode obtido pela simulação do sistema com os ganhos iguais a $\beta_1 = \alpha_1 = \gamma_1 = \gamma_2 = 1, \alpha_2 = -10$ e $\beta_2 = 0$	64
Figura 57-Diagrama de bode da função de transferência do sistema com dois integradores iguais a $\beta_1 = \alpha_1 = \alpha_2 = 1, \gamma_1 = \gamma_2 = -1$ e $\beta_2 = 0$	65
Figura 58- Bode obtido pela simulação do sistema com os ganhos iguais a $\beta_1 = \alpha_1 = \alpha_2 = 1, \gamma_1 = \gamma_2 = -1$ e $\beta_2 = 0$	66
Figura 59-Diagrama de bode da função de transferência do sistema com dois integradores com ganhos iguais a $\beta_1 = \alpha_1 = \gamma_1 = \beta_2 = \alpha_2 = \gamma_2 = 1$	68
Figura 60- Bode obtido pela simulação do sistema com os ganhos iguais a $\beta_1 = \alpha_1 = \gamma_1 = \beta_2 = \alpha_2 = \gamma_2 = 1$	68
Figura 61-Análise do decaimento por década da função de transferência obtida com os ganhos iguais a $\beta_1 = \alpha_1 = \gamma_1 = \beta_2 = \alpha_2 = \gamma_2 = 1$	69

Figura 62-Diagrama de bode da função de transferência do sistema com dois integradores com ganhos iguais a $\beta_1 = \beta_2 = \gamma_1 = \gamma_2 = \alpha_2 = 1$ e $\alpha_1 = 0$	70
Figura 63- Bode obtido pela simulação do sistema com os ganhos iguais a $\beta_1 = \beta_2 = \gamma_1 = \gamma_2 = \alpha_2 = 1$, $\alpha_1 = 0$	71
Figura 64-Análise do decaimento por década da função de transferência obtida com os ganhos iguais a $\beta_1 = \beta_2 = \gamma_1 = \alpha_2 = 1$, $\alpha_1 = 0$ e $\gamma_2 = 1$	71
Figura 65- Diagrama de bode da função de transferência do sistema com dois integradores com ganhos iguais a $\beta_1 = \beta_2 = \gamma_1 = \alpha_2 = 1$, $\alpha_1 = 0$ e $\gamma_2 = 2$	72
Figura 66- Bode obtido pela simulação do sistema com os ganhos iguais a $\beta_1 = \beta_2 = \gamma_1 = \alpha_2 = 1$, $\alpha_1 = 0$ e $\gamma_2 = 2$	73
Figura 67-Análise do decaimento por década da função de transferência obtida com os ganhos iguais a $\beta_1 = \beta_2 = \gamma_1 = \alpha_2 = 1$, $\alpha_1 = 0$ e $\gamma_2 = 2$	73
Figura 68-Diagrama de Bode da função de transferência H_{y1s} com ganhos iguais a $\beta_1 = \beta_2 = \gamma_1 = \gamma_2 = \alpha_2 = 1$, $\alpha_1 = 0$	77
Figura 69- Interface gráfica desenvolvida no software Labview®, onde o bloco em verde claro corresponde à seleção da frequência do sinal de entrada, os blocos em azul e verde às escolhas dos parâmetros de simulação dos integradores e o em vermelho à ilustração dos resultados.	82
Figura 70- Diagrama de blocos da interface entre o software Labview® e o Multisim®, onde o bloco em verde claro corresponde aos dados inseridos pelo usuário, o bloco em azul a conversão dos dados para sinais elétricos para os integradores, o bloco em roxo aos modelos dos integradores desenvolvidos no Multisim®, o bloco em vermelho à ilustração dos resultados e o bloco em amarelo à exportação dos dados para outros formatos de arquivos.	83
Figura 71- Ilustração das seleções dos ganhos de integração α, β, γ e da frequência f	84
Figura 72- Inserção dos parâmetros de entrada com $\alpha = \beta = \gamma = 1$ e $f = 10 \text{ Hz}$	85
Figura 73- Ilustração da emulação da equação do sistema 1 no dispositivo proposto, com ganhos $a=1$, $b=0$ e $g=0$ para o integrador 1.	86
Figura 74- Comparação entre os resultados, onde a curva cinza representa o sinal de entrada, a curva em vermelho corresponde à resposta obtida pelo dispositivo proposto e a curva em azul à calculada através da análise analítica da equação do sistema 1.	88

Figura 75- Comparação entre os resultados, onde a curva em vermelho corresponde à resposta obtida pelo dispositivo proposto, a curva em azul a calculada através da análise analítica da equação do sistema 1 ao cinza o sinal de entrada.	89
Figura 76- Configuração de ganhos para a emulação do sistema 2, com ganhos $a=1$, $b=0$ e $g=0$, no primeiro integrador do sistema.	90
Figura 77- Comparação entre os resultados para um sinal senoidal com $f = 1$ Hz, onde a curva em vermelho corresponde à resposta obtida pelo dispositivo proposto, a curva em azul à calculada através da análise analítica da equação do sistema 2 e a curva em preto o sinal de entrada do sistema	91
Figura 78- Comparação entre o resultado obtido pela simulação do sistema 1 com $f = 1$ Hz, curva em vermelho, e a integral calculada da tensão de entrada, curva em azul.....	92
Figura 79- Diagrama de Bode Fase na faixa de 1 a 100 Hz para o integrador desenvolvido.	92
Figura 80- Comparação entre os resultados para um sinal senoidal com $f = 10$ Hz, onde a curva em vermelho corresponde a resposta obtida pelo dispositivo proposto e a curva em azul a calculada através da análise analítica da equação do sistema 2, e a curva preta corresponde a sinal de entrada do sistema.....	93
Figura 81- Defasagem entre o resultado obtido pela simulação do sistema 1 com $f = 10$ Hz, curva em vermelho, e a integral calculada da tensão de entrada, curva em azul.....	94
Figura 82- Comparação entre os resultados para um sinal senoidal com $f = 100$ Hz, onde a curva em vermelho corresponde a resposta obtida pelo dispositivo proposto e a em azul a calculada através da análise analítica da equação do sistema 2, e a curva preta corresponde a sinal de entrada do sistema.....	95
Figura 83- Defasagem entre o resultado obtido pela simulação do sistema 1 com $f = 100$ Hz, curva em vermelho, e a integral calculada da tensão de entrada, curva em azul.....	95
Figura 84- Diagrama de Bode Fase na faixa de 100 a 10 kHz para o integrador desenvolvido.....	96
Figura 85- Comparação entre os resultados para um sinal senoidal com $f = 1$ kHz, onde a curva em vermelho corresponde a resposta obtida pelo dispositivo proposto e a em azul a calculada através da análise analítica da equação do sistema 2, e a curva preta corresponde a sinal de entrada do sistema.	97
Figura 86- Defasagem entre o resultado obtido pela simulação do sistema 2 com $f = 1$ kHz, curva em vermelho, e a integral calculada da tensão de entrada, curva em azul...	97

Figura 87- Representação esquemática do sistema 3, um sistema massa-mola-amortecedor	98
Figura 88- Configuração de ganhos para a emulação do sistema 3, com ganhos $\alpha_1 = 0$, $\alpha_2 = \gamma_1 = \gamma_2 = b_1 = b_2 = 1$ para os integradores 1 e 2.....	99
Figura 89-Comparação entre os resultados entre a co-simulação e o resultado esperado.	100
Figura 90- Modelo de erro em DC para um integrador Miller.....	110
Figura 91- Esquema do modelo linear de um amplificador operacional.....	111
Figura 92- Representação do circuito pelo teorema do elemento extra. Onde o circuito A corresponde ao ganho quando o elemento capacitivo é infinito. Já B corresponde a representação do polo da Hs , em que a influência da entrada é zerada e coloca-se uma fonte de tensão para simular a ação do capacitor. C é o circuito utilizado para calcular o zero da Hs , em que se força a saída a ser zero e coloca-se uma fonte de tensão para simular a ação do capacitor.	112
Figura 93- Circuito modificado de Miller, onde a resistência de retroalimentação(R_f) e a resistência na porta não inversora (R_2), foram inseridas para minimizar o erro em DC.	114
Figura 94- Modelo de erro DC para o circuito de Miller modificado, onde existe a presença de resistências na malha de retroalimentação e na entrada não-inversora. ...	115
Figura 95- Representação do circuito utilizando a técnica do elemento extra. Onde A é o circuito encontrado α' da função de transferência, onde força-se a saída a ser zero e coloca-se uma fonte de tensão para simular a ação do capacitor. B representa o circuito de Z_1 , em que a influência da entrada é zerada e coloca-se uma fonte de tensão para simular a ação do capacitor.	117
Figura 96- Circuito apresentando a topologia do integrador de Miller, utilizando o modelo não-linear do Amp Op e as modificações para diminuir o erro DC.....	118
Figura 97- Representação da topologia do integrador de Miller modificado através do método EET, onde o circuito A corresponde ao ganho quando o elemento capacitivo é infinito. Já B corresponde a representação do pólo da Hs , em que a influência da entrada é zerada e coloca-se uma fonte de tensão para simular a ação do capacitor. C é o circuito utilizado para calcular o zero da Hs , em que se força a saída a ser zero e coloca-se uma fonte de tensão para simular a ação do capacitor.	120

Figura 98- Representação do diagrama de Bode de magnitude para um filtro Butterworth com ordem variada.	123
Figura 99- Representação do diagrama de Bode de magnitude para um filtro Chebyshev com ordem variada.	124
Figura 100- Comparação da resposta dos três tipos de filtros, Butterworth, Bessel e 3-dB Chesbyshev.....	125
Figura 101- Implementação da topologia biquadrática de Sallen-Key, utilizando uma combinação de resistores, capacitores e um Amp Op.	126
Figura 102- Blocos funcionais da topologia T1 de integrador propostos. A seta em vermelho representa o sinal variável de entrada, a em preto o fornecimento de energia para o sistema e a em azul a saída do integrador.....	128
Figura 103- Integrador de Miller Modificado implementado no software MultiSim®, onde as resistências R1, R2 e Rf, foram calculadas para fazer com que a frequência de corte (ω_0) seja 2 rad./s, ganho DC de 20 dB e offset de 20 mV.	130
Figura 104- Diagrama de Bode de magnitude e de fase para o sistema da topologia T1.	132
Figura 105-Ampliação na faixa de 1 Hz a 10 kHz do diagrama de bode da topologia T1.	133
Figura 106- Circuito implementado do T1 para frequências de 0.0001 a 10 kHz. O protótipo foi construído para a realização dos testes práticos do dispositivo.....	133
Figura 107- Comparação entre os resultados obtidos na simulação e o circuito implementado para um sinal senoidal de 1 Hz, onde as curvas em vermelha representam o sinal de entrada e a em preto o sinal de saída.....	134
Figura 108- Comparação entre os resultados obtidos para um sinal senoidal de 1k e 10 kHz. A análise utilizou o modo de aquisição por média do osciloscópio (128 amostras), além disso aumentou-se a amplitude do sinal de entrada para facilitar a leitura pelo equipamento. As curvas em vermelha representam o sinal de saída e a em preto o de entrada.	135
Figura 109- Comparação entre os diagramas de Bode de magnitude e fase do sistema real e o simulado, curvas em preto e vermelho respectivamente.	137
Figura 110- Sinais obtidos pelo circuito T1 para sinais dente-de-serra e um sinal distorcido, com tensão 4 Vpp e frequência de 10 Hz. A onda em vermelho representa o sinal de entrada do integrador e o sinal em preto a saída dele. A curva em azul representa o cálculo matemático da integral negativa do sinal de entrada.	138

Figura 111- Sinais obtidos pelo circuito T1 para sinais dente-de-serra e onda quadrada, com tensão 4 Vpp e frequência de 100 Hz. A onda em vermelho representa o sinal de entrada do integrador e o sinal em preto a saída dele. A curva em azul representa o cálculo matemático da integral negativa do sinal de entrada.....	139
Figura 112- Sinais obtidos pelo circuito T1 para sinais dente-de-serra e onda quadrada, com tensão 4 Vpp e frequência de 1 kHz. A onda em vermelho representa o sinal de entrada do integrador e o sinal em preto a saída dele. A curva em azul representa o cálculo matemático da integral negativa do sinal de entrada.	139
Figura 113- Análise da técnica rápida de transformada de Fourier para os sinais de entrada e saída senoidal de 1 Hz analisando a faixa 0 a 1200 kHz. As ondas em preto representam o sinal de entrada e as em vermelho o de saída, onde os gráficos da esquerda representam uma ampliação na faixa de pequenas frequências, enquanto o segundo representa um espectro mais geral.	141
Figura 114- Análise da FFT para os sinais de entrada e saída senoidal de 10 Hz analisando a faixa 0 a 1200 kHz. As ondas em preto representam o sinal de entrada e as em vermelho o de saída, onde os gráficos da esquerda representam uma ampliação na faixa de pequenas frequências, enquanto o segundo representa um espectro mais geral.	142
Figura 115- Análise da FFT para os sinais de entrada e saída senoidal de 100 Hz analisando a faixa 0 a 1200 kHz. As ondas em preto representam o sinal de entrada e as em vermelho o de saída, onde os gráficos da esquerda representam uma ampliação na faixa de pequenas frequências, enquanto o segundo representa um espectro mais geral.	143
Figura 116- Análise da técnica rápida de transformada de Fourier para os sinais de entrada e saída senoidal de 1 kHz analisando a faixa 0 a 1200 kHz. As ondas em preto representam o sinal de entrada e as em vermelho o de saída, onde os gráficos da esquerda representam uma ampliação na faixa de pequenas frequências, enquanto o segundo representa um espectro mais geral.	144
Figura 117- Representação esquemática da topologia TK1, a qual possibilita ganhos 0, ± 1 , ± 2 , ± 5 , ± 10 , ± 20 , ± 50 e ± 100	145
Figura 118- Representação esquemática de TK2 com o qual é possível a realização da multiplicação pelas seguintes constantes (0, $\pm 0,01$, $\pm 0,02$, $\pm 0,05$, $\pm 0,1$, $\pm 0,2$, $\pm 0,5$, ± 1 , ± 2 , ± 5 , ± 10 , ± 20 , ± 50 e ± 100	147

Figura 119- Configuração utilizada para inserção de condições iniciais na topologia I1, onde VC1 representa a tensão de condição inicial e R6 corresponde ao resistor de bias.	149
Figura 120- Implementação de sinal constante variando de -5 a +5 V, em que o sinal de entrada é fornecido por um conversor DAC de 8 bits.	150
Figura 121- Topologia utilizada para gerar onda quadrada nas frequências 1,10, 100 e 1000 Hz, onde a comutação dos capacitores ocorre através de chaves analógicas DG411.	151
Figura 122- Demonstração do funcionamento da topologia geradora de onda quadrada, onde é demonstrada a comutação entre as frequências possíveis do sistema.	152
Figura 123- Topologia desenvolvida para gerar ondas triangulares, onde as entradas do sistema são ondas quadradas. Cada um dos blocos é composto de um circuito integrador com 0 dB na frequência de trabalho	153
Figura 124- Circuito de integrador que produz onda quadrada. O sinal quadrado é integrado e a chave analógica controla a saída do sistema.	153
Figura 125- Funcionamento da topologia geradora de onda triangular, onde é demonstrado a comutação entre as frequências possíveis do sistema.	154
Figura 126- Circuito utilizado para gerar uma onda senoidal na frequência de 10 Hz, onde a primeira parte do circuito é responsável pela geração e manutenção da perturbação inicial e a segunda parte tem como função manter o sinal dentro de um limite de amplitude.	155
Figura 127-Topologia de seleção de saída senoidal, onde a chave analógica DG411 seleciona qual dos sinais é a saída.	156
Figura 128- Resultado da comutação entre as frequências da fonte geradora de ondas senoidais.	156
Figura 129- Esquemático do sistema de fornecimento de energia. A tensão de entrada é fornecida por meio de um transformador de ponto médio 24 Vrms ligado à rede elétrica. A retificação do sinal de entrada é realizada por uma ponte completa de diodos e filtrado por um circuito capacitivo. A regulação das tensões ± 5 e ± 12 V ocorrem dentro dos blocos SC39 e SC38, respectivamente.	157
Figura 130- Circuito responsável pela regulação dos sinais simétricos de 5 V. Utilizou-se o CI LM7805 para regular o sinal positivo e o LM7905 para a parte negativa. Os capacitores usados para filtrar os sinais de entrada e saída são recomendados pelo fabricante dos CI.	158

Figura 131- Circuito responsável pela regulação dos sinais simétricos de 12 V. Utilizou-se o CI LM7812 para regular o sinal positivo e o LM7912 para a parte negativa. Os capacitores usados para filtrar os sinais de entrada e saída são recomendados pelo fabricante dos CI.....	158
Figura 132- Ilustração em 3D do protótipo da placa do integrador que tem como função realizar a computação dos sinais do sistema. O protótipo foi construído no software Ultiboard®.....	160
Figura 133- Ilustração 3D do protótipo da placa para fixação do CI de seleção CI ADG1236. O protótipo foi construído no software Ultiboard®.	160
Figura 134- Ilustração em 3D do protótipo da placa de controle das fontes geradoras de sinais, em que o circuito realiza o gerenciamento do sinal que deve ser a saída do sistema. O protótipo foi construído no software Ultiboard®.	161
Figura 135- Ilustração em 3D do protótipo da placa geradora de sinal de onda quadrada, em que o circuito produz ondas na frequência 10, 100, 1000 e 10000 Hz. O protótipo foi construído no software Ultiboard®.	161
Figura 136- Ilustração em 3D do protótipo da placa geradora de sinal de onda senoidal, em que o circuito produz ondas nas frequências 10, 100, 1000 e 10000 Hz. O protótipo foi construído no software Ultiboard®.....	162
Figura 137- Ilustração em 3D do protótipo da placa geradora de sinal de onda triangular, em que o circuito produz ondas nas frequências 100, 1000 e 10000 Hz. O protótipo foi construído no software Ultiboard®.	162
Figura 138- Ilustração em 3D do protótipo da placa multiplicadora de variáveis, em que o circuito realiza a função $(X1-X2)(Y1-Y2)$, onde X1 e Y1 correspondem as variáveis de entrada, X2 e Y2 são constantes. O protótipo foi construído no software Ultiboard®.	163
Figura 139- Ilustração em 3D do protótipo do sistema de seleção de placas de controle de entrada, onde ocorre a decodificação do endereço de entrada. O protótipo foi construído no software Ultiboard®.	164
Figura 140- Ilustração em 3D do protótipo da placa de controle de entrada, onde as variáveis podem ser multiplicadas por constante nula, positiva ou negativa. O protótipo foi construído no software Ultiboard®.....	165
Figura 141- Ilustração em 3D do protótipo da placa de controle de ganho variável realizado através do software Ultiboard®.	165
Figura 142- Ilustração em 3D do protótipo da placa de fornecimento de energia realizado através do software Ultiboard®.....	166

LISTA DE TABELAS

Tabela 1- Representação de todos os modos de operação da estrutura CIn2.	21
Tabela 2- Comparação entre os valores obtidos com os ganhos iguais a $\beta_1 = \alpha_1 = \gamma_1 = \alpha_2 = \gamma_2 = 1$ e $\beta_2 = 0$	62
Tabela 3- Comparação entre os valores obtidos com os ganhos iguais a $\beta_1 = \alpha_1 = \gamma_1 = \gamma_2 = 1$, $\alpha_2 = -10$ e $\beta_2 = 0$	64
Tabela 4- Comparação entre os valores obtidos com os ganhos iguais a $\beta_1 = \alpha_1 = \alpha_2 = 1$, $\gamma_1 = \gamma_2 = -1$ e $\beta_2 = 0$	66
Tabela 5- Comparação entre os valores obtidos com os ganhos iguais a $\beta_1 = \alpha_1 = \alpha_2 = \gamma_1 = \gamma_2 = \beta_2 = 1$	69
Tabela 6- Comparação entre os valores obtidos com os ganhos iguais a $\beta_1 = \beta_2 = \gamma_1 = \gamma_2 = \alpha_2 = 1$, $\alpha_1 = 0$	72
Tabela 7- Comparação entre os valores obtidos com os ganhos iguais a $\beta_1 = \beta_2 = \gamma_1 = \alpha_2 = 1$, $\alpha_1 = 0$ e $\gamma_2 = 2$	74
Tabela 8- Diagrama de bode do sistema para uma variação dos ganhos β_1 , β_2 , γ_1 , e γ_2	75
Tabela 9- Funções de transferência e diagramas de bode, obtidos através da equação analítica, variação dos ganhos β_1 , β_2 , γ_1 , e γ_2	78
Tabela 10- Representações no espaço de estado e diagramas de bode com a variação dos ganhos β_1 , β_2 , γ_1 , e γ_2	81
Tabela 11- Coeficientes padrões para filtro 3-dB Chesbyshev.	127
Tabela 12- Apresentação dos dados obtidos na prática (R) e na simulação (S) para o sistema T1.	134
Tabela 13- Comparação entre os resultados obtidos na simulação da topologia T1 e os reais coletados.	136
Tabela 14- Apresentação dos dados obtidos para onda dente-de-serra (D) e distorcida/quadrada (Q) para o sistema T1.	138
Tabela 15- Relação dos sinais de controle da topologia TK1, onde são demonstradas todas as possibilidades dos sinais de controle e os ganhos de saída.	146
Tabela 16- Relação dos sinais de controle da topologia TK2, onde são demonstradas todas as possibilidades dos sinais de controle e os ganhos de saída.	148

Tabela 17- Dimensões das placas desenvolvidas para o sistema de computação.	163
Tabela 18- Dimensões das placas do sistema de interface digital-analógico.....	166

LISTA DE ABREVIATURAS E SIGLAS

A	Unidade de corrente elétrica; “ <i>Ampère</i> ”
AC	Corrente Alternada; “ <i>Alternate Current</i> ”
AI	Entrada Analógica; “ <i>Analog Input</i> ”
Amp OP	Amplificador Operacional
BJT	Transistor de Junção Bipolar; “ <i>Bipolar Junction Transistor</i> ”
C	Capacitor
CIn	Condições Iniciais
CPU	Unidade Central de Processamento; “ <i>Central Processing Unit</i> ”.
CMOS	<i>Complementary Metal-Oxide Semiconductor</i>
DC	Corrente Contínua; “ <i>Direct Current</i> ”
EDO	Equações Diferenciais Ordinárias
GPAC	Computadores de propósito geral; “ <i>General-Purpose Analog Computer</i> ”
MIT	“ <i>Massachusetts Institute of Technology</i> ”
MOS	“ <i>Metal-Oxide-Semiconductor</i> ”
MOSFET	“ <i>Metal-Oxide-Semiconductor Field Effect Transistor</i> ”
NASA	“ <i>National Aeronautics and Space Administration</i> ”
OTA	Amplificadores Operacionais de Transcondutância; “ <i>Operational Transconductance Amplifier</i> ”
TRADIC	“ <i>TRAnsistor DIgital Computer</i> ”

LISTA DE SÍMBOLOS

A_d	Ganho da tensão em malha aberta para baixas frequências (dB)
B	Coeficiente de amortecimento (Ns/m)
C_f	Capacitância de realimentação em um circuito integrador (F)
f	frequência (Hz)
f_p	frequência dos polos (rad/s)
g_m	Transcondutância do transistor (S)
G_n	Ganho da tensão em malha aberta do Amplificador Operacional (V/V)
$H_{(s)}$	Função de Transferência
I_c	Corrente de coletor do transistor bipolar parasitário (A)
k	Constante de elasticidade (N/m)
m	massa (g)
n	Fator de corpo do dispositivo
T	Temperatura (K)
τ	Constante de tempo de acomodação (s)
V_{BS}	Potencial de substrato (V)
V_c	Tensão Aplicada sobre o Capacitor (V)
V_{ie}	Tensão de offset em malha aberta do Amplificador operacional (V)
V_{in}	Tensão de entrada do circuito (V)
V_{out}	Tensão de saída do circuito (V)
μ	Ganho em Corrente Alternada do Amplificador Operacional (V/V)
θ	Coeficiente de degradação da mobilidade (1/V)
ω_0	Frequência de corte (rad/s)

SUMÁRIO

1. INTRODUÇÃO	1
1.1. Objetivo	3
1.2. Estrutura do trabalho	4
2. COMPUTAÇÃO ANALÓGICA.....	5
2.1. História da Computação Analógica.....	5
2.2. Computador de propósito geral (GPAC).....	7
3. FUNDAMENTAÇÃO TEÓRICA.....	10
3.1. Bloco Funcional: Integrador.....	10
3.1.1. Integrador de Gm-C-AmpOp.: Integrador de Miller.....	11
3.1.2. Integrador de Gm-C-AmpOp.: Integrador de Miller modificado	14
3.1.3. Condições iniciais	16
3.2. Bloco Funcional: Somador e Multiplicador por Constante	21
3.3. Bloco Funcional: Multiplicador de Variáveis	22
3.4. Circuito Osciladores Eletrônicos	24
3.4.1. Gerador de onda quadrada e triangular	25
3.4.2. Gerador de onda senoidal.....	27
3.5. Geração de Sinal Constante: Conversor analógico-digital.....	28
4. EXPERIMENTAL.....	31
4.1. Integrador Adaptativo.....	31
4.2. Estudo da dinâmica do sistema.....	31
4.3. Emulações de equações diferenciais utilizando o sistema desenvolvido	32
5. RESULTADOS	33
5.1. Integrador Adaptativo.....	33
5.1.1. Sistema de integração.....	34
5.1.1.1. Seleção de entradas e condicionamento dos sinais	35

5.1.1.2.	Integrador somador	37
5.1.1.3.	Comutação dos integradores e geração de condições iniciais	39
5.1.1.4.	Condicionamento da saída do circuito	42
5.1.2.	Demais estruturas	45
5.1.3.	Sistema de Multiplicação por Variável	45
5.2.	Estudo da dinâmica do sistema de integração	48
5.2.1.	Integração pura.....	49
5.2.2.	Integração com realimentação.....	49
5.2.3.	Análise sistema com dois integradores	56
5.2.4.	Cálculo analítico das funções de transferência do sistema	75
5.2.5.	Representação da função de transferência no espaço de estados.	79
5.3.	Interface gráfica e programação do computador híbrido.....	82
5.3.1.	Simulação de equações utilizando espaço de estados	83
5.3.2.	Simulação de sistemas utilizando o integrador desenvolvido.....	86
5.3.2.1.	Sistema 1.....	86
5.3.2.2.	Sistema 2.....	90
5.3.2.3.	Sistema 3.....	98
6.	CONSIDERAÇÕES FINAIS	101
6.1.	Sugestões de Melhorias	102
7.	REFERÊNCIAS.....	103
	PUBLICAÇÕES GERADAS DURANTE O TRABALHO	107
	APÊNDICE I – MODELO IDEAL DO INTEGRADOR DE MILLER.....	108
	APÊNDICE II – MODELO DO INTEGRADOR DE MILLER MODIFICADO	114
	APÊNDICE III- DESENVOLVIMENTO DE FILTROS ATIVOS	123
	APÊNDICE IV- INTEGRADOR MILLER MODIFICADO	128
	APÊNDICE V- ANÁLISE DE TRANSFORMADA RÁPIDA DE FOURIER FFT ..	141

APÊNDICE VI- DESENVOLVIMENTO DO CIRCUITO DE SELEÇÃO DE ENTRADA E DE CONDICIONAMENTO DE SINAIS	145
APÊNDICE VII- DESENVOLVIMENTO DO CIRCUITO DE CONDIÇÕES INICIAIS	149
APÊNDICE VIII- DESENVOLVIMENTO DE FONTE GERADORA DE ONDAS	151
APÊNDICE IX- SISTEMA DE FORNECIMENTO DE ENERGIA	157
APÊNDICE X- IMPLEMENTAÇÃO DO HARDWARE.....	159
APÊNDICE XI- ALGORITMO CÁLCULO DAS FUNÇÕES DE TRANSFERÊNCIA	167

1. INTRODUÇÃO

A ciência de desenvolvimento de modelos e simulações se tornou indispensável para a resolução de problemas complexos nas áreas que envolvem conhecimento físico, químico, biológico, controle de sistema e de engenharia em geral. Por esse motivo há uma incessante busca por alternativas com o propósito de fazer com que seja possível a emulação de sistemas de forma rápida e precisa. A computação vem se demonstrando uma forma eficiente na arte de emular os modelos de alta complexidade e fornecer a resolução de problemas com velocidade impressionante [1], [2].

A utilização de máquinas computacionais para a solução de problemas físicos vem sendo desenvolvida desde a época de Lorde Kelvin e sofreu uma revolução no último século, passando pelo desenvolvimento dos computadores mecânicos, analisadores diferenciais, a evolução na fabricação dos dispositivos eletrônicos e o surgimento das máquinas de Turing. Assim, foram desenvolvidos dispositivos de computação eletrônicos analógicos, digitais e analógico-digitais (híbridos) [3], [4].

A computação analógica foi imensamente difundida até a década de 70, sendo utilizada para a resolução de problemas diferenciais, para procedimentos de refinamentos de controle, simuladores de aviões, *softwares* aeroespaciais (incluindo os projetos *Mercury*, *Gemini*, e *Apollo* da NASA), etc. [3], [5]–[7]. Um dos maiores problemas na utilização de computadores analógicos era sua programação difícil e trabalhosa, que era feita através da troca de fios entre as partes que compunham o dispositivo, além da impossibilidade de armazenar grandes quantidades de dados. Entrementes, uma das soluções encontradas para sanar esses problemas foi o desenvolvimento de formas híbridas de computação (computadores analógicos-digitais), visando unir a velocidade e o pequeno consumo de energia dos computadores analógicos à facilidade de programação e à capacidade de armazenamento dos dados dos computadores digitais [8], [9].

Em 1965, Gordon E. Moore disse que aproximadamente a cada dois anos a densidade de transistores em um chip dobraria, enquanto o tamanho deste diminuiria pela metade, sendo que este conceito foi denominado Lei de Moore. O desenvolvimento de processadores digitais com capacidade de processamento cada vez maiores, concomitante com a facilidade de programação e a capacidade de armazenar uma grande quantidade de dados beneficiaram o crescimento da computação digital [7], [10].

Desse modo, os computadores digitais, cuja arquitetura é baseada naquela desenvolvida por von Neumann, ganharam espaço e se tornaram, praticamente, a forma dominante. Como resultado da era digital, foram produzidos processadores com poder de processamento na ordem de giga-hertz compostos por transistores com tamanho na escala dos nanômetros.

Em contrapartida, os dispositivos analógicos e digitais-analógicos foram relegados como aparatos de museus, principalmente pelos seguintes motivos: a tecnologia para a fabricação e *design* dos circuitos analógicos não acompanhou a revolução da miniaturização, a operação dos computadores analógicos era demasiada complexa e o custo de manutenção e operação eram elevados [4], [5], [11].

Entretanto o postulado de Moore vem sendo questionado nos últimos anos, pois a tecnologia de fabricação vem encontrando os limites físicos para manter a veracidade dessa lei. Aliado a isso, há alguns fatores que vem pesando contra o processamento digital (no cenário acadêmico, militar e industrial): o consumo energético dessas máquinas, onde é exigido grande processamento de dados, a incapacidade de captar todos os eventos que ocorrem na natureza e a necessidade de simulação em tempo real de sistemas físicos complexos [4], [12], [13].

Nesse contexto e com a evolução da tecnologia de miniaturização de dispositivos analógicos, conceitos que foram tratados como obsoletos voltam à tona. Assim, o processamento analógico vem ganhando espaço, visando aliviar as ineficiências do processamento digital [1], [4], [11]–[15]. Os computadores analógicos realizam processamento paralelo de dados, isto é, as operações são realizadas simultaneamente e não há atraso no processamento, diferentemente das máquinas de von Neumann [7], [16].

A *performance* de velocidade e de consumo de energia dos computadores analógicos pode ser melhor do que sua contraparte digital para certos processos computacionais [4], [12]. Como os sistemas analógicos estão expostos as mesmas dinâmicas físicas do sistema a ser emulado o há uma maior correspondência entre o dinâmica física do processamento analógico e o sistema físico, o que significa uma simulação mais fiel ao comportamento real do sistema [17].

Além de que, para o processamento de dados de pequena resolução, isto é menor do que 10 bits, a computação analógica torna-se mais vantajosa financeiramente do que a digital. Logo a implementação analógica é extremamente vantajosa para o processamento e controle de sinais de sensores em tempo real [11].

Outro fator importante é que estudos demonstram que é possível reduzir em pelo menos 8 vezes o consumo de energia utilizando processamento analógico ao invés de digital [4], [12]. Somando esse fato com o conceito da Lei de Koomey, que diz que a necessidade energética para a computação cai pela metade a cada 18 meses. Segundo Pyle (2015), é possível assegurar que a utilização da computação analógica, onde aplicável, pode provocar um avanço de pelo menos uma década na relação entre computação/consumo energético, se comparado ao processamento digital [12].

Concomitantemente com o aumento no interesse pela computação analógica, houve um avanço na tecnologia digital-analógica, como, por exemplo, o desenvolvimento de compiladores para essa nova geração de computadores; a fabricação, utilizando a tecnologia CMOS, de processadores analógicos para computação híbrida; o desenvolvimento de processadores analógicos-digitais de baixo consumo energético e boa precisão para reconhecimento facial [4], [5], [18].

Também se destaca o desenvolvimento de arquiteturas analógicas-digitais para aplicações em aprendizado de máquina, como o hardware de multiplicação e acumulação para redes neurais artificiais e topologia analógica de memristores para sistemas de redes neurais de aprendizado profundo [19], [20].

Tem-se estudado e desenvolvido computadores híbridos para descrever o comportamento de sistemas caóticos, onde o processamento do sinal é realizado através de um circuito analógico e o controle e a inserção de parâmetros ocorrem de forma digital [21]. Além disso, computadores analógicos-digitais podem ser usados na produção de músicas eletrônicas [22].

1.1. Objetivo

O objetivo principal deste trabalho é objetivo o desenvolvimento de um protótipo de computador analógico-digital de propósito geral, visando aliar as boas características de velocidade e pequeno consumo de energia dos computadores analógicos com a facilidade de programação e armazenamento de dados do processamento digital.

A faixa de operação escolhida é de baixas e médias frequências (1 a 10000 Hz), faixa essa que é a de operação dos principais modelos utilizadas como parâmetro dos trabalhos anteriores [23].

Para validação do computador híbrido, investigou-se a presença de erros na saída do sinal e os efeitos da variação dos parâmetros no processamento dos dados. Além disso desenvolveu-se uma interface gráfica para o protótipo de computador analógico-digital de propósito geral, utilizando uma ferramenta comercial para aplicação, para verificar a usabilidade e precisão dos resultados obtidos.

1.2. Estrutura do trabalho

Este trabalho está dividido em 6 capítulos, onde, no capítulo 2 é apresentada uma breve história sobre computação analógica. No capítulo 3 são descritas as ferramentas básicas necessárias para a implementação de um computador analógico e uma descrição experimental do trabalho é apresentada no capítulo 4.

O capítulo 5 apresenta os resultados obtidos neste trabalho. E finalizando, no capítulo 6 são apresentadas as considerações finais e ideias de melhorias futuras para o projeto.

2. COMPUTAÇÃO ANALÓGICA

Neste capítulo, são apresentadas algumas formas de definição da computação analógica e da emulação de sistemas físicos, uma breve história da computação analógica e a apresentação do conceito de computação de propósito geral.

2.1. História da Computação Analógica

Na computação analógica, os dados são quantidades físicas das operações que estão sendo processadas e estas variam continuamente no tempo. Sendo assim, a característica básica que diferencia um sistema digital de um analógico é que o último utiliza valores de constantes reais, isto é, não existe arredondamento dos valores utilizados nesse tipo de processamento, em contraste com o modelo de Turing, onde todas as constantes são formadas por números finitos [7], [13], [16].

A forma de representação das variáveis nos computadores analógicos faz com que o processo obedeça a mesma relação matemática do sistema em investigação, isto é, a computação analógica é usualmente definida como a correspondência entre a quantidade física dentro do computador e a quantidade do sistema real primário (a relação entre o sistema primário e o dado processado seria basicamente uma simples proporção) [14]. Entretanto, um modo mais específico de definir computação analógica é um sistema computacional que utiliza representação contínua no tempo, em oposição a computação digital, que utiliza representação quantizada [14], [16].

A utilização de dispositivos analógicos ocorre desde os tempos antigos, onde foram feitos aparelhos utilizando diversas formas de processamento (hidráulicos, mecânicos etc.) para a resolução dos problemas. Como dispositivos antigos pode-se citar o relógio de sol e o astrolábio [7].

No século 19, alguns cientistas se interessaram pelos procedimentos de análise e predição de comportamentos físicos. Nomes como James C. Maxwell, Hannibal Ford, Sir Charles V. Boys e Bruno Abdank-Abakanowicz desenvolveram dispositivos analógicos que podiam solucionar algumas operações complexas de cálculo, como por exemplo: o planímetro e o *integrator* [4].

Nesse período, Lord Kelvin e seu irmão James Thomson desenvolveram um dispositivo para analisar e sintetizar o comportamento das marés, o que viria a ser a ideia precursora do analisador diferencial [4], [7], [15].

Grande parte desses dispositivos analógicos era idealizada para a resolução de um problema específico. Entretanto, esse pensamento começou a mudar no século 20, onde foram desenvolvidos aparelhos genéricos para a resolução de uma gama de problemas, como por exemplo, o analisador de redes e o analisador diferencial [7].

O processo de desenvolvimento de um analisador diferencial funcional remete ao período anterior a Segunda Guerra Mundial, onde destacam-se os trabalhos de Nyquist e Black sobre válvulas termiônicas, *design* de amplificadores e o desenvolvimento da retroalimentação, e tem seu auge em 1931, com o desenvolvimento de um dispositivo mecânico pela equipe do Professor Vannevar Bush do MIT (do inglês *Massachusetts Institute of Technology*) que solucionava algumas equações ordinárias. A contribuição da equipe de Bush assegurou 30 anos de supremacia do processamento de dados analógicos nos campos científicos e de engenharia [4], [7], [15].

No período da Segunda Guerra Mundial, houve o desenvolvimento de inúmeros clones do analisador de Bush, além de simuladores de voo, como o US Navy PBM-3 de 1943. Nessa década, houve a transição no tipo de processamento desses dispositivos, passando do mecânico para o eletromecânico e, depois, para os puramente eletrônicos, devido à necessidade de maior velocidade de processamento e redução do tamanho e peso dos aparelhos. Essa transição para os circuitos eletrônicos começou a partir do desenvolvimento dos amplificadores, tanto de corrente contínua (DC) como corrente alternada (CA), pois esses dispositivos podem ser configurados para realizar operações matemáticas.

A soma de duas variáveis podia ser obtida através da corrente que flui pelo nó que une dois circuitos paralelos, a multiplicação era implementada por circuitos contendo amplificadores, enquanto o processo de integração era realizado medindo a carga armazenada em capacitores [7], [15].

Em 1947, o time de John Ragazzin da universidade de Columbia desenvolveu uma máquina, que incorporava o conceito dos circuitos amplificadores, capaz de resolver problemas dinâmicos [15].

Entrementes, a invenção dos amplificadores operacionais (dispositivos com alto ganho em DC, alta impedância de entrada, grande largura de banda (*bandwidth*), baixa impedância de saída e com uma grande versatilidade de topologias) e, posteriormente, o desenvolvimento da tecnologia de circuitos integrados, proporcionaram um grande salto no desenvolvimento dos computadores analógicos.

A incorporação desses componentes contribuiu para o desenvolvimento da computação analógica até a década de 70, onde foram desenvolvidos computadores capazes de solucionar problemas aeroespaciais complexos, como os utilizados pela NASA em várias missões, os simuladores de voo (principalmente o TRADIC, 1955), etc. [4], [7], [10], [15], [16].

Dentre as principais classes de dispositivos de computação analógica destacam-se os analisadores diferenciais, os simuladores de sistemas aeroespaciais, mecânicos e químicos. [7] No primeiro, o computador é utilizado para a resolução numérica de equações diferenciais ordinárias (EDO). Já o segundo, corresponde a um circuito eletrônico utilizado para representar o modelo dinâmico de um sistema físico de interesse, visando averiguar as mudanças do comportamento deste no tempo [4], [7], [24].

No que concerne a diferença entre os tipos de dispositivos analógicos, pode-se dizer que o analisador é uma ferramenta matemática, enquanto o simulador é um analisador da dinâmica de modelos físicos. O termo computação analógico ficou associado aos analisadores diferenciais [8]. Na prática, o propósito dos dispositivos de computação analógica foi intrinsecamente ligado a representação de sistemas físicos reais, devido a especificidade dos analisadores e sua aplicação voltada para a resolução de problemas de caráter acadêmico [7].

2.2. Computador de propósito geral (GPAC)

Os analisadores diferenciais ou computadores de propósito geral, GPAC, (do inglês *General-Purpose Analog Computer*) utilizam uma arquitetura baseada na interligação de blocos funcionais para criar a equação diferencial desejada. Podem ser caracterizados como modelos matemáticos em que a ideia central é resolver EDOs usando combinações dos blocos de integradores e somadores [1], [3], [8], [15].

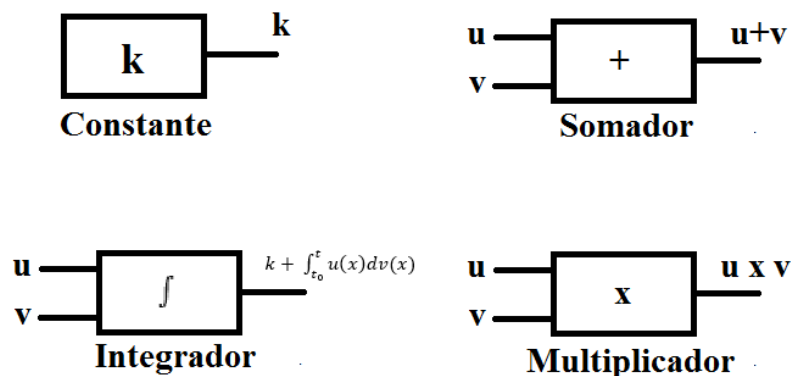
São dispositivos altamente interativos, devido a possibilidade de alteração dos parâmetros durante o ciclo de execução, que apresentam alta *performance* na velocidade de resolução e certo grau de precisão dos resultados [2].

As operações básicas que compõem os blocos básicos do GPAC são: integrar, somar e multiplicar por constante. Além dessas operações o dispositivo deve ser capaz de gerar constantes e as principais funções simples, como as polinomiais. A Figura 1 apresenta os blocos essenciais para o GPAC.

Na prática, os GPACs realizados através de circuitos eletrônicos são constituídos por circuitos a base de amplificadores operacionais (Amp OP.), sendo que estes apresentam topologias capazes de realizar as operações de integração, soma e multiplicação [8], [10].

Figura 1- Principais blocos funcionais que compõem um computador analógico de propósito geral, onde são apresentados o bloco somador, integrador e multiplicador. Além do bloco gerador de constante.

Blocos funcionais do GPAC



Fonte: Adaptado [1].

Para garantir a fidelidade dos resultados gerados pelo computador é necessário atender aos seguintes pré-requisitos [1], [3]:

- A EDO deve ser linear, isto é, pode ser escrita na forma de $\frac{dy_k}{dy_1} = \sum_{i,j=0}^n a_{ij} y_{ij} \frac{dy_j}{dy_1}$, em que a_{ij} corresponde a uma constante, y_0 é unitário, y_1 é a variável independente, y_2 a y_n são as variáveis dependentes.

- A saída de um integrador ou somador deve ser ligada a somente uma entrada de bloco;
- A variável dependente deve ser uma saída de um somador ou de um integrador;

As afirmações acima indicam que o GPAC apresenta limitações, como exemplo, é impossível simular equações transcendentais como as funções Gamma $((n) = \int_0^\infty x^{n-1} e^{-x} dx)$ e a Zeta de Riemann $((s) = \sum_{k=0}^\infty \frac{1}{k^s})$ ou realizar a derivação parcial das variáveis [1], [25].

3. FUNDAMENTAÇÃO TEÓRICA

Neste capítulo, são apresentados os blocos funcionais básicos que compõem um computador de propósito geral. Serão abordados a modelagem matemática desses blocos e a ideia básica para a implementação destes através de circuitos eletrônicos.

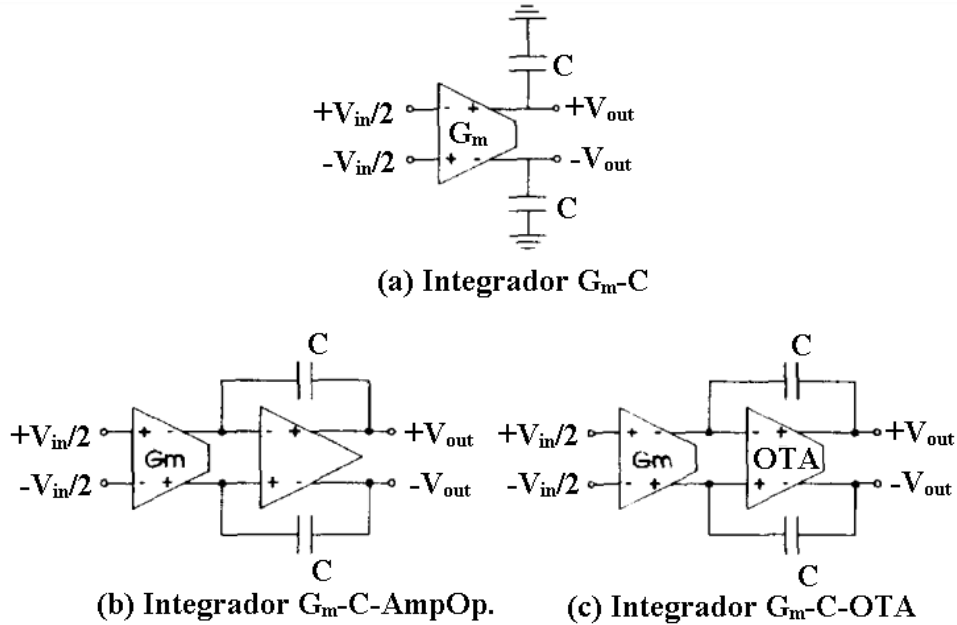
3.1. Bloco Funcional: Integrador

A principal função de um circuito integrador no processo de computação é a análise detalhada da dependência do tempo de uma variável. Assim, para a construção de um sistema que visa a simulação de fenômenos físicos, esse elemento é essencial para a estimativa das variáveis envolvidas [1], [7].

A utilização de circuito eletrônicos para a implementação de circuito integradores vem sendo desenvolvida desde meados da década de 60. Dentre as formas mais comuns para implementação desses circuitos, estão as configurações baseadas em elementos de transcondutância (G_m) e capacitores [6]. A utilização dos capacitores é devido à sua natureza física de armazenador de energia, sendo este um processo que pode ser descrito matematicamente pela operação de integração. O elemento G_m (conversão de tensão em corrente) é introduzido para o controle do tempo de integração. Os Amp Op também são bastante utilizados em integradores devido a suas características de alto valor de ganho e impedância de entrada, boa largura de banda, controlabilidade do erro DC de saída, baixa impedância de saída e pequeno tempo de resposta. E, por motivos como: versatilidade das topologias e a possibilidade de cascadeamento de circuitos [26], [27].

A Figura 2 apresenta algumas topologias de integradores baseadas em capacitores [6].

Figura 2- Topologias de integradores a base de capacitores e em que o tempo de integração é controlado pela transcondutância (G_m). Em (a) é apresentada a topologia mais comum, G_m -C. Em (b) e (c) são demonstradas duas variantes, na primeira é introduzido um Amp Op e na segunda um amplificador de transcondutância (do inglês *Operational Transconductance Amplifier*).

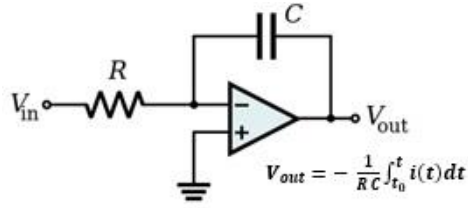


Fonte: Adaptado [6].

3.1.1. Integrador de G_m -C-AmpOp.: Integrador de Miller

Uma forma relativamente simples e barata de construir um integrador é utilizar a topologia de Miller. Esta consiste na utilização de um capacitor como elemento de realimentação negativa, em uma configuração inversora de um Amp Op., como ilustrado na Figura 3. Com essa configuração, é possível realizar a operação matemática de integração, pois a corrente que flui pela malha de realimentação armazena carga nas placas do capacitor e esse acúmulo de carga com o tempo pode ser medido através da tensão entre as placas do capacitor e o terra do circuito [26]–[28].

Figura 3- Configuração de um integrador de Miller.



Fonte: Adaptado [27].

A função de transferência do integrador de Miller ideal é ilustrada na equação (1). A demonstração detalhada da obtenção da função de transferência é a apresentada no Apêndice I.

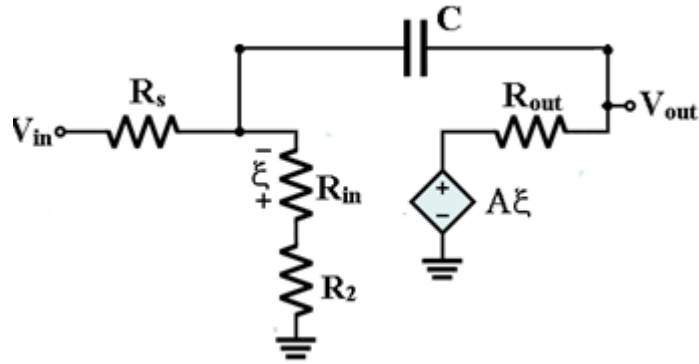
(1)

$$H(s) = - \frac{1}{R C} \frac{V_{in(s)} - 0}{s} \rightarrow A_d = \frac{1}{R C}$$

$$\therefore \frac{V_{out(s)}}{V_{in(s)}} = H(s) = -A_d * \frac{1}{s}$$

Considerando o modelo linear do Amp Op, ilustrado na Figura 4, é possível obter a função de transferência, ilustrada na equação (2) e o erro DC em regime permanente do integrador (3). O desenvolvimento matemático desses dois modelos é apresentado no Apêndice II.

Figura 4- Circuito apresentando a topologia do integrador de Miller, utilizando o modelo linear do Amp Op e as modificações para diminuir o erro DC.



Elaborado pelo próprio autor.

Onde R_s corresponde à resistência ligada ao terminal não inversor do Amp Op, R_{in} à resistência interna de entrada do Amp Op e R_{out} a de saída, C o capacitor, A o ganho em malha aberta do sistema, V_{os} a tensão interna (offset interno) e I_{IB1} a corrente de polarização interna do Amp Op. e $G_n V_{ie}$ que corresponde ao erro de offset em DC.

$$H(s) = -A_d * \frac{1 - \frac{s}{\omega_1}}{1 + \frac{s}{\omega_0}} \quad (2)$$

$$\rightarrow \omega_0 = \frac{1}{C[R_{out} + R_s || R_{in}(A + 1)]}, \omega_1 = \frac{1}{C \left[\frac{R_{out}}{A} \right]} e A_d \quad (3)$$

$$= \frac{A}{1 + \frac{R_s}{R_{in}}}$$

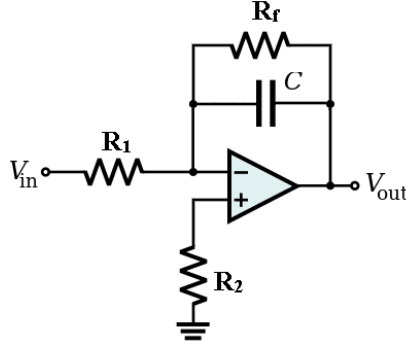
$$G_n V_{ie} = A(V_{os} + R * I_{IB1}) \quad (4)$$

3.1.2. Integrador de Gm-C-AmpOp.: Integrador de Miller modificado

Como ilustrado na equação (4) o erro em CC da configuração de Miller é muito alto, pois o ganho de malha aberta A , normalmente, é um valor $>10^5$. Na prática, o offset DC será bem próximo do valor de alimentação do Amp Op., pois esta limita a tensão máxima de saída do sistema. Por esse motivo, são recomendadas algumas alterações na topologia do integrador de Miller como ilustrado na Figura 5.

A adição de um resistor de feedback, em paralelo com o capacitor na malha de realimentação reduz o ganho em DC da topologia e altera a função de transferência do circuito como ilustrado na equação (5), enquanto a presença de uma resistência no terminal não-inversor diminui o offset DC, como mostrado na equação (7) a seguir [26], [27]. A obtenção das equações é apresentada no Apêndice II.

Figura 5- Circuito modificado de Miller, onde a resistência de realimentação (R_f) e a resistência na porta não inversora R_2 foram inseridas para minimizar o erro em DC.



Elaborado pelo próprio autor.

$$H_{(s)} = -A_d * \frac{1}{1 + \frac{s}{\omega_0}} \quad (5)$$

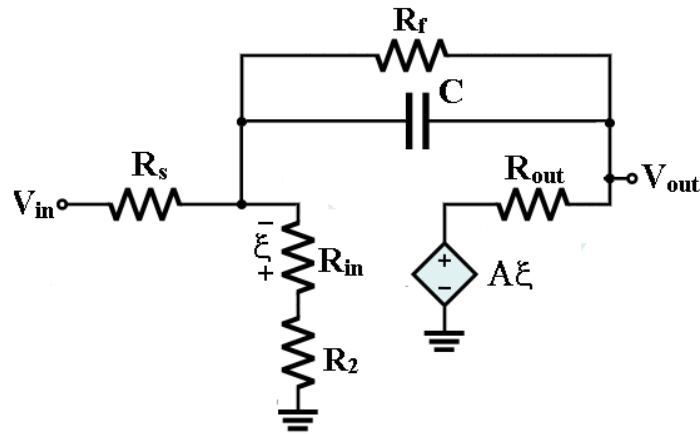
$$A_d = \frac{R_f}{R_1} \text{ e } \omega_0 = \frac{1}{CR_f} \quad (6)$$

$$G_n V_{ie} = \frac{R_f}{R_1} * \left[V_{os} + I_b \left[R_f - R_2 \left(1 + \frac{R_f}{R_1} \right) \right] \right] \quad (7)$$

O modelo linear do circuito do integrador de Miller modificado é apresentado na Figura 6. A função de transferência do mesmo é apresentada na equação (8).

$$H_{(\infty)} = -\frac{R_f}{R_s} * \left[\frac{1}{1 - \frac{A * R_f * R_{in}}{R_{out} * (R_{in} + R_2)} (R_{out} \parallel R_f) (R_s \parallel R_f \parallel -(R_{in} + R_2))} \right] \quad (8)$$

Figura 6- Circuito apresentando a topologia do integrador de Miller, utilizando o modelo linear do Amp Op e as modificações para diminuir o erro DC.

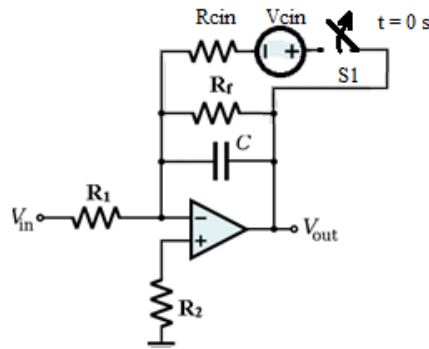


Elaborado pelo próprio autor.

3.1.3. Condições iniciais

Um circuito simples para gerar condições iniciais (CIn1) em um integrador de Miller é ilustrado na Figura 7. Para realizar o procedimento de inserção de condições iniciais adiciona-se um resistor, R_{cin} , e uma fonte de tensão, V_{cin} . O comportamento do circuito pode ser analisado em dois tempos distintos, antes de $t = 0$ s, em que a chave S1 está fechada e $t \geq 0$ s, onde S1 está aberta.

Figura 7- Circuito que gera condições iniciais em um integrador de Miller. A chave S1 está fechada até o momento $t = 0$ s, assim o capacitor é carregado com tensão proporcional a V_{cin} , depois de $t = 0$ s o circuito integra a tensão V_{in} .



Elaborado pelo próprio autor.

O circuito para $t < 0$ s é igual ao da Figura 8. Considerando o modelo ideal do Amp Op e que o sistema esteja em regime permanente, pelo princípio da superposição pode-se dividir a análise em duas partes. Analisando inicialmente a configuração em DC, tem-se o circuito a) da Figura 8. A tensão V_c pode ser descrita como:

$$V_c = R_{in} // R_f // R_{cin} * \left(\frac{1}{R_{cin}} - \frac{1}{R_f} \right) * V_{cin} \quad (9)$$

Mas considerando que R_{cin} é muito menor que R_f , pode-se simplificar a equação para:

$$V_c = R_{cin} * \left(\frac{1}{R_{cin}} - \frac{1}{R_f} \right) * V_{cin} \rightarrow V_c = \left(1 - \frac{R_{cin}}{R_f} \right) * V_{cin} \rightarrow V_c \approx V_{cin} \quad (10)$$

Assim, nota-se que a tensão V_c é praticamente igual a tensão aplicada V_{cin} . Já em relação a análise em CA, b) da Figura 8. Nota-se que o circuito é bem semelhante ao integrador de Miller. Logo a tensão aplicada ao capacitor é igual a:

$$\begin{aligned} V_{out}(t) &= V_{cin} + \frac{1}{R_f // R_{cin} * C} \int V_{in}(t) dt \rightarrow V_{out}(t) \\ &= V_{cin} + \frac{1}{R_{cin} * C} \int V_{in}(t) dt \end{aligned} \quad (11)$$

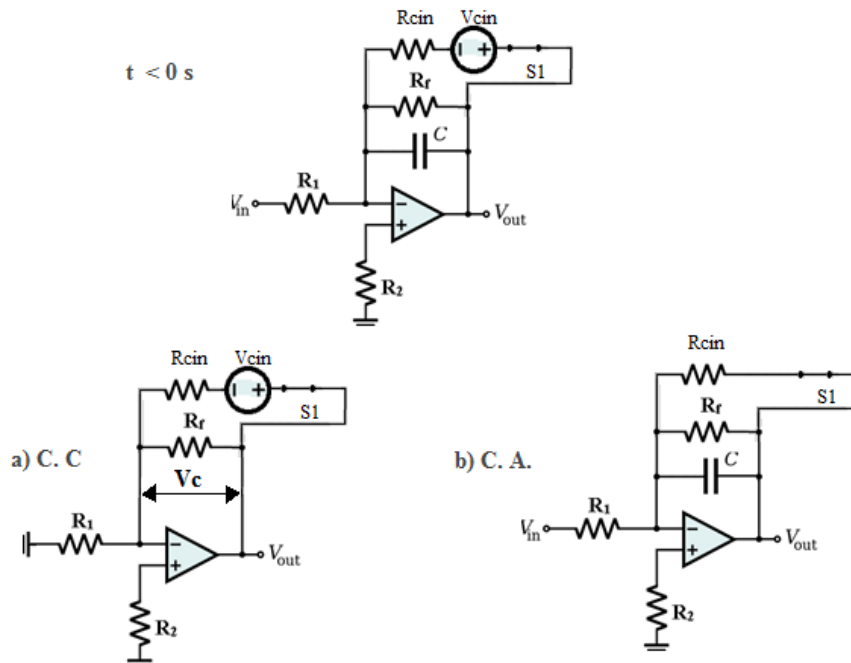
Nota-se que a inserção da resistência R_{cin} modifica a constante de tempo do capacitor, fazendo com que o tempo de integração seja controlado pela resistência inserida.

No instante $t \geq 0$ s o circuito fica igual ao da Figura 9. A tensão aplicada sobre os terminais do capacitor pode ser escrita como:

$$V_{out}(t) = -V_{cin} * e^{-\frac{t}{CR_f}} + \frac{1}{R_f * C} \int V_{in}(t) dt \quad (12)$$

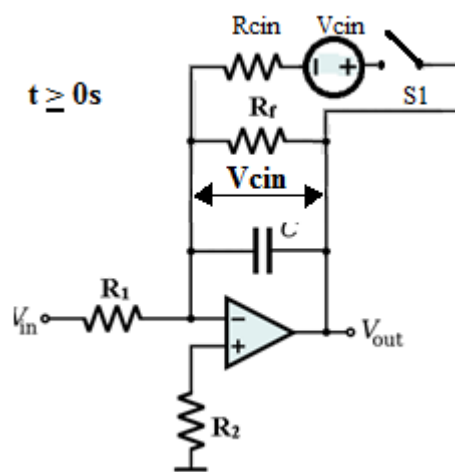
Observa-se que o comportamento da tensão no sistema quando $t \geq 0$ (quando chave S1 é aberta) apresenta, também, uma componente exponencial e dependente da relação entre o capacitor e a resistência de realimentação.

Figura 8- Representação do circuito de condições iniciais onde a chave S1 está fechada, $t < 0$ s. Pelo princípio de superposição a) representa a análise em corrente contínua e b) a em corrente alternada.



Elaborado pelo próprio autor.

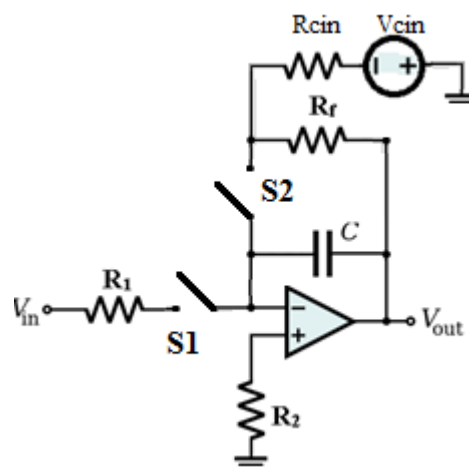
Figura 9- Representação de Cin1 para $t \geq 0$ s, onde a chave S1 permanece aberta.



Elaborado pelo próprio autor.

Outro circuito, gerador de condições iniciais (CIn2) é ilustrado na Figura 10. Este circuito é mais complexo que o anterior por usar duas chaves para realizar os processos de comutação. Outra diferença é que com essa topologia é possível integrar, inserir condições iniciais e fazer com que o circuito fique em modo de espera.

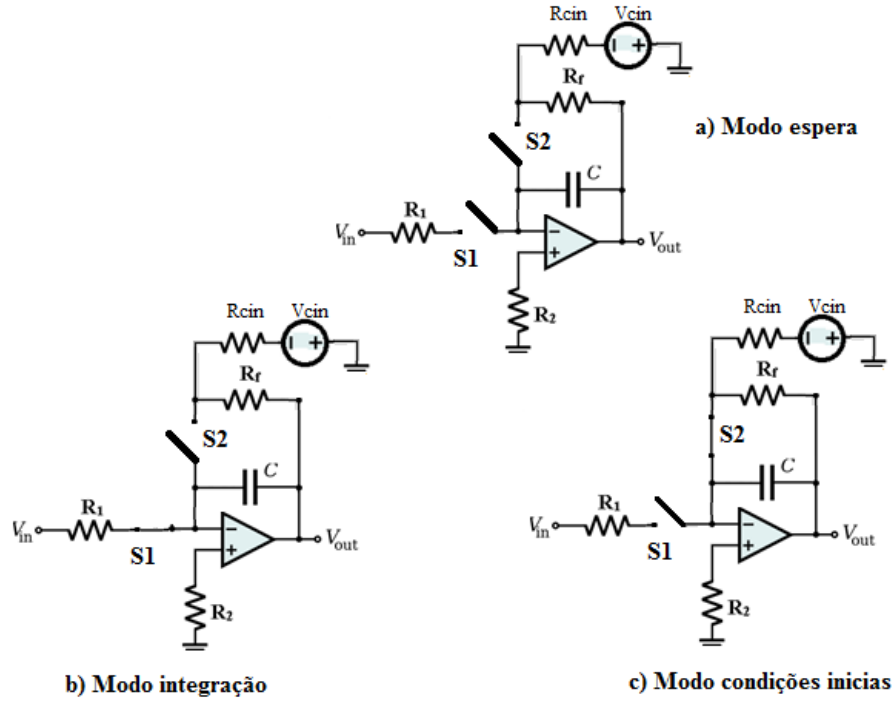
Figura 10- Circuito para gerar condições iniciais (CIn2) em um integrador de Miller modificado. Com essa configuração é possível realizar os procedimentos de condições iniciais, integração e colocar o sistema em modo de espera.



Elaborado pelo próprio autor.

A Figura 11 apresenta as configurações possíveis para o circuito CIn2. Nota-se que a topologia CIn2 apresenta três modos de operação.

Figura 11- Representação dos três modos de operação da topologia CIn2. A configuração a) onde as chaves S1 e S2 estão abertas faz o sistema ficar em modo de espera. Em b) S1 está fechada e S2 aberta faz com que o sistema realize a integração do sinal de entrada. Já em c) a chave S1 está aberta e S2 fechada e corresponde ao modo de aplicação de condições iniciais.



Elaborado pelo próprio autor.

No circuito a) da Figura 11 o capacitor é desacoplado do sistema fazendo com que seja mantida a tensão aplicada anteriormente nele. Já no circuito b) quando a chave S1 é fechada o circuito torna-se um integrador de Miller e a tensão no capacitor é a integral do sinal de entrada mais o offset do sistema. No circuito c) o sinal de entrada é desacoplado do sistema e a fonte de condição inicial é acoplada fazendo com que a tensão no capacitor seja igual a:

$$V_c = \left(\frac{R_f}{R_{cin} + R_f} \right) * V_{cin} \rightarrow R_{cin} \ll R_f \rightarrow V_c \approx V_{cin} \quad (13)$$

A Tabela 1 apresenta o modo de operação do circuito ilustrando as posições das chaves, onde 0 corresponde a chave aberta e 1 a chave fechada.

Tabela 1- Representação de todos os modos de operação da estrutura CIn2.

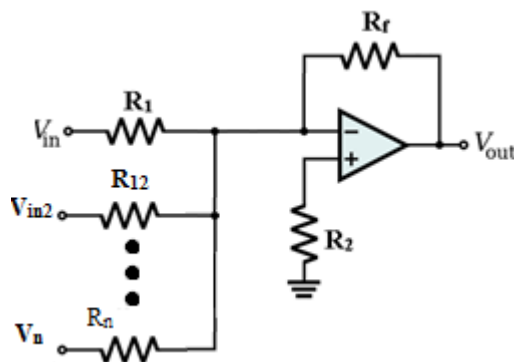
S1	S2	Modo
0	0	Espera
0	1	Condições iniciais
1	0	Integração
1	1	Não aplicado

3.2. Bloco Funcional: Somador e Multiplicador por Constante

Uma topologia a base de Amp Op muito utilizada para somar é apresentada na Figura 12 [26]–[28]. Considerando o modelo ideal do Amp Op e pelo princípio de superposição, pode-se analisar a influência de cada uma das entradas separadamente. Com isso, conclui-se que a tensão de saída do sistema é igual à soma ponderada das entradas. Nota-se também que essa configuração multiplica a tensão de entrada pela razão entre a resistência de entrada e a realimentação.

$$V_{out} = \left(\frac{R_f}{R_1}\right) * V_{in} + \left(\frac{R_f}{R_{12}}\right) * V_{in2} + \dots \left(\frac{R_f}{R_n}\right) * V_n \quad (14)$$

Figura 12- Topologia de um circuito somador usando Amp Op.



Elaborado pelo próprio autor.

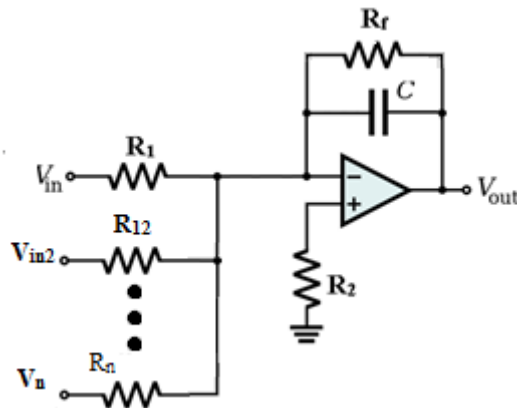
Assim, observa-se que topologia de somador pode ser utilizada tanto para multiplicar por uma constante como para somar as tensões de entrada.

A topologia do integrador de Miller pode ser adaptada para realizar somas, fazendo com que a nova topologia seja um integrador somador, como ilustrado na Figura 13. A tensão de saída desse circuito é igual a:

$$V_{out} = \frac{1}{R_1 * C} * \int V_{in}(t)dt + \frac{1}{R_2 * C} \int V_{in2}(t)dt \quad (15)$$

$$+ \dots \frac{1}{R_n * C} * \int V_n(t)dt$$

Figura 13- Topologia utilizando a configuração do integrador de Miller para realizar a soma das integrais das entradas.

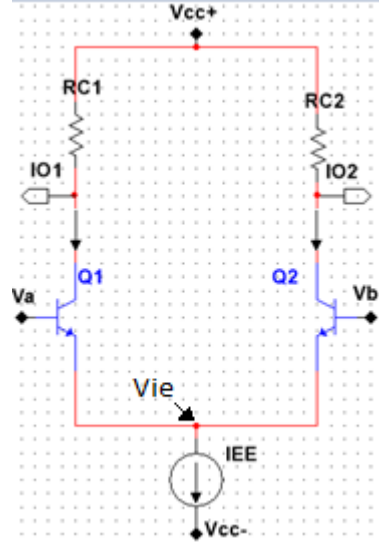


Elaborado pelo próprio autor.

3.3. Bloco Funcional: Multiplicador de Variáveis

Uma topologia simples que realiza a multiplicação de duas variáveis é o circuito amplificador diferencial simétrico, ilustrado na Figura 14. Considerando que os transistores Q1 e Q2 sejam casados e tenham $\beta > 100$ e que os resistores R_{c1} e R_{c2} sejam iguais, a corrente nos transistores pode ser expressa como ilustrada na Equação (16) [29].

Figura 14- Circuito de um multiplicador de variáveis, onde V_a , V_b e I_{ee} são as variáveis do sistema e V_t depende das características físicas do sistema.



Elaborado pelo próprio autor.

$$I_{c(Q1)} \cong I_s * e^{\left(\frac{V_a - V_{iee}}{V_t}\right)}, I_{c(Q2)} \cong I_s * e^{\left(\frac{V_b - V_{iee}}{V_t}\right)} \quad (16)$$

Onde I_s corresponde a corrente de saturação da junção do transistor e V_t depende da temperatura ambiente e a 25° C, é igual a 25 mV. A corrente de saída pode ser expressa como:

$$I_{out} = I_{c(Q1)} - I_{c(Q2)} \rightarrow I_{out} = \quad (17)$$

$$\cong I_s * \left(e^{\left(\frac{V_a - V_{iee}}{V_t}\right)} - e^{\left(\frac{V_b - V_{iee}}{V_t}\right)} \right)$$

A corrente I_{ee} pode ser expressa como:

$$I_{ee} = I_{c(Q1)} + I_{c(Q2)} \rightarrow I_{ee} = \quad (18)$$

$$\cong I_s * \left(e^{\left(\frac{V_a - V_{iee}}{V_t}\right)} + e^{\left(\frac{V_b - V_{iee}}{V_t}\right)} \right)$$

Isolando o termo I_s em (17) e (18) e igualando as duas tem-se:

$$I_{out} = \frac{\left(e^{\left(\frac{V_a - V_{iee}}{V_t} \right)} - e^{\left(\frac{V_b - V_{iee}}{V_t} \right)} \right)}{\left(e^{\left(\frac{V_a - V_{iee}}{V_t} \right)} + e^{\left(\frac{V_b - V_{iee}}{V_t} \right)} \right)} * I_{ee} \rightarrow I_{out} \quad (19)$$

$$= I_{ee} * \tanh \frac{V_a - V_b}{2V_t}$$

Considerando que o termo $\frac{V_a - V_b}{2V_t}$ seja bem pequeno a ponto de o circuito esteja operando em uma região linear ($\|V_a - V_b\| \ll V_t$) pode-se aproximar (19) para:

$$I_{out} = I_{ee} * \frac{V_a - V_b}{2V_t} \quad (20)$$

3.4. Circuito Osciladores Eletrônicos

Osciladores eletrônicos são circuitos que têm como saída sinais, geralmente ondas senoidais ou quadradas, que se repetem no tempo em uma frequência que depende das características físicas do circuito gerador.

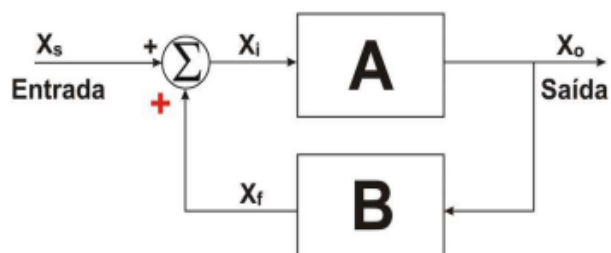
O circuito oscilador pode ser representado como o ilustrado na Figura 15. O bloco A corresponde a um circuito amplificador (idealmente com ganho infinito), enquanto o bloco B é o circuito de realimentação. A variável X_s não é necessária para a manutenção do funcionamento do sistema e normalmente corresponde a um ruído branco presente no sistema. Observa-se que a realimentação deve ser positiva e a equação matemática que descreve a relação entre a entrada e a saída é igual a:

$$H_f(s) = \frac{A(s)}{1 - A(s) * B(s)} \quad (21)$$

Para que o sinal de entrada oscile até o infinito, tem-se:

$$1 - A(s) * B(s) = 0 \rightarrow A(s) * B(s) = 1 \quad (22)$$

Figura 15- Diagrama de bloco de um sistema oscilador, onde o bloco A corresponde ao circuito de ganho e o B ao de realimentação positiva. Já X_s e X_o são as variáveis de entrada e saída, respectivamente.



Adaptado de [27].

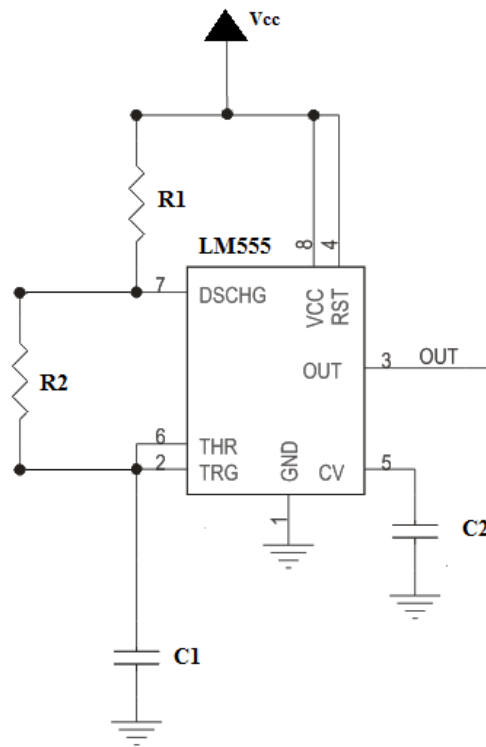
A igualdade de (22) é conhecida como critério de Barkhausen. [27] Assim para que o sistema oscile é necessário respeitar esse critério.

Na prática, devido às alterações ambientais, como por exemplo, mudanças na temperatura, $A(s) * B(s)$ pode variar. Assim, adiciona-se um circuito que torne o sistema mais robusto contra as alterações dos parâmetros, fazendo com que o ganho de realimentação seja ligeiramente maior do que 1 e, depois que a oscilação aconteça, ele fique menor do que 1 para que o sinal não sature.

3.4.1. Gerador de onda quadrada e triangular

Para gerar uma onda quadrada pode se utilizar o CI LM555 no modo multivibrador astável, como ilustrado na Figura 16. Nesse modo, o terminal de trigger (TRG) e o de threshold (THR) são interligados fazendo com que o sistema fique auto excitado, sendo que a frequência do sinal de saída é proporcional aos valores das resistências e do capacitor acoplado aos terminais de descargas e de trigger [30].

Figura 16- Circuito de um LM555 no modo astável, onde a frequência do sinal de saída é proporcional as resistências e a capacitância ligada ao terminal de descarga e trigger do CI.



Adaptado [30].

O tempo de carga do circuito pode ser descrito por:

$$t_1 = 0,693 * (R_1 + R_2) * C_1 \quad (23)$$

Já o tempo descarga é igual a:

$$t_2 = 0,693 * (R_2) * C_1 \quad (24)$$

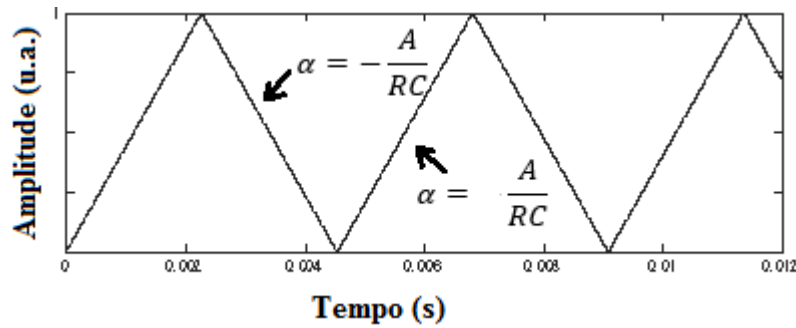
Assim, o período é igual a:

$$t_1 + t_2 = T = 0,693 * (R_1 + 2R_2) * C_1 \quad (25)$$

$$f = \frac{1}{T} = \frac{1,44}{(R_1 + 2R_2) * C_1} \quad (26)$$

A forma de onda gerada pelo circuito astável pode ser utilizada como alimentação de um circuito integrador, onde a carga e descarga no capacitor do circuito faz com que a onda tenha um aspecto linear, produzindo uma onda triangular. O coeficiente angular da onda triangular é proporcional à amplitude do sinal de alimentação (A) e da constante de tempo do circuito (1/RC), como ilustrado na Figura 17.

Figura 17- Representação de uma onda triangular feita a partir da combinação de um circuito com LM555 no modo astável e um integrador, onde A representa a amplitude do sinal da onda quadrada, R e C são as constantes do sistema de integração. A frequência da onda é igual a frequência da onda quadrada.



Elaborado pelo próprio autor.

3.4.2. Gerador de onda senoidal

Um circuito que gera uma onda senoidal é ilustrado na Figura 18. A função de transferência do sistema é igual a:

$$H_f(s) = \left(1 + \frac{R_f}{R_1}\right) \frac{Z_p}{Z_p + Z_s} \quad (27)$$

Considerando $C_p = C_s$, $R_s = R_p$ e $s = \omega j$, a equação (27) pode ser reescrita como:

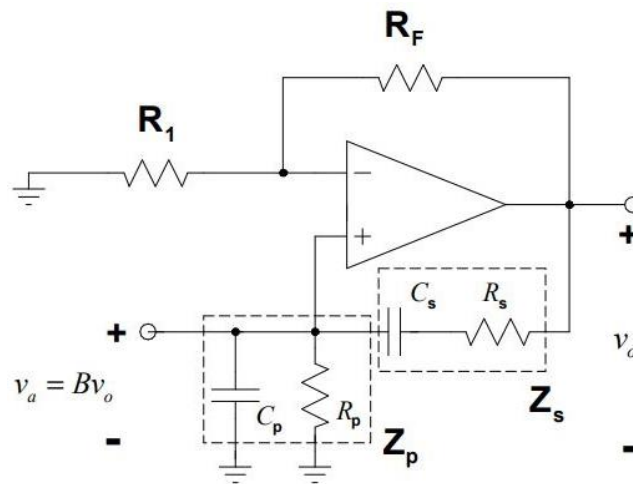
$$H_f(s) = \left(1 + \frac{R_f}{R_1}\right) \frac{1}{3 + j(\omega RC - \frac{1}{\omega RC})} \rightarrow \quad (28)$$

Para que o critério de Barkhausen seja atendido $H_f(s) = 1$, então:

$$\left(\frac{R_f}{R_1}\right) = 2, \quad \omega = \frac{1}{RC} \quad (29)$$

Pois o ganho de malha será um número real na frequência ω .

Figura 18- Circuito oscilador de Ponte de Wien, onde a saída apresenta uma onda cuja frequência está relacionada com os parâmetros C_p , R_p , C_s e R_s .



Adaptado [27].

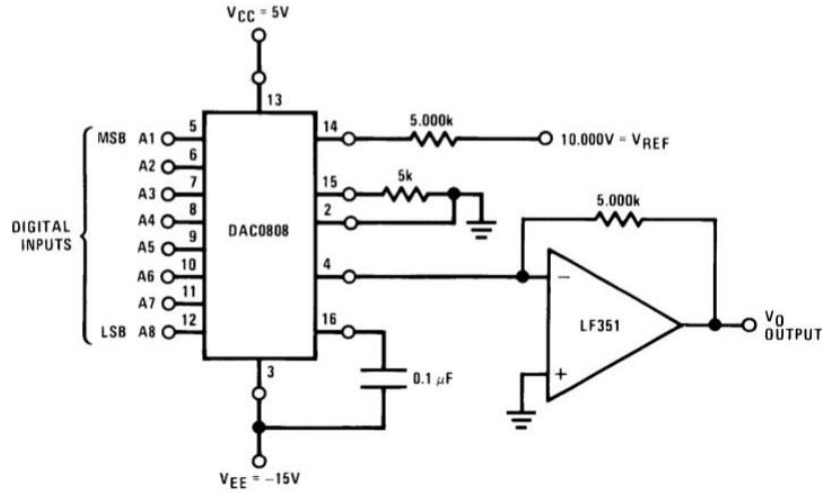
3.5. Geração de Sinal Constante: Conversor analógico-digital

Como os sinais do mundo físico, em sua maioria, são representações analógicas para realizar o processamento em circuitos digitais e/ou interação entre circuitos digitais e analógicos, é necessário um processo de conversão dos sinais envolvidos [27].

Assim, a conversão digital-analógica (D/A) ocorre quando um sinal digital, geralmente um código binário, é convertido em um valor de tensão ou corrente, sendo que este valor é proporcional ao valor digital.

Um parâmetro importante de um D/A é o menor valor que sua saída pode assumir, ou seja, a menor modificação que pode ocorrer na saída analógica, provocada pela alteração na entrada digital. A esse parâmetro é dado o nome de resolução e este corresponde ao peso do dígito menos significativo do sinal digital.

Figura 19- Ilustração da utilização de um conversor DAC 0808. Onde a tensão de saída varia de 0 a 10 V com um passo de 1/256 V.



Retirado [31].

A topologia mostrada na Figura 19 apresenta um circuito utilizando um D/A de 8 bits para gerar sinais analógicos positivos [31]. A tensão de saída pode ser escrita como:

$$V_{out} = 10 \left(\frac{A_1}{2} + \frac{A_2}{4} + \frac{A_3}{8} \dots \frac{A_8}{256} \right) V \quad (30)$$

A equação (30) demonstra que a resolução do de 8 bits sistema é de $\frac{1}{256}$ V. Observa-se que essa topologia não é capaz de gerar tensões negativas. Entretanto, a topologia ilustrada na Figura 19, apresenta uma configuração não-inversora do Amp Op onde a referência do terminal inversor, V_{-ref} , é diferente do valor nulo, fazendo com que a tensão V_{out} do sistema seja descrita como:

$$V_{out} = V_{in} \frac{R_{20} + R_{21}}{R_{20}} + V_{-ref} \frac{R_{21}}{R_{20}} \quad (31)$$

Onde V_{in} , representa a tensão de saída do DAC. Assim, para um circuito com $V_{-ref} = -5V$ e $R_{20} = R_{21}$, a tensão de saída pode ser reescrita como:

$$V_{out} = 2V_{in} - 5 \text{ V} \quad (32)$$

Entretanto, com esse procedimento o erro introduzido na tensão de saída do circuito fica igual a:

$$V_{outerro} = \frac{V_{ref}}{128} \quad (33)$$

4. EXPERIMENTAL

Os sistemas foram simulados no software MultiSim® versão 14, sendo realizadas simulações do comportamento da topologia no espectro de frequências de trabalho (1 a 10000 Hz). Para o cálculo da integral do sinal de entrada utilizou-se o software Origin® versão 8,6 e, posteriormente, comparou-se o sinal de saída dos integradores e o valor calculado da integral do sinal de entrada. A co-simulação e a interface gráfica foram desenvolvidas no software Labview® versão 19. Para a modelagem matemática, o levantamento de diagrama de bode e a resolução numérica das funções de transferência, utilizou-se o software Matlab R2021b.

4.1. Integrador Adaptativo

Os blocos do circuito do integrador adaptativo foram simulados e analisou-se o seu comportamento em relação a comutação de estados, mudança nos valores das variáveis de inicialização e os sinais variando a frequência (1 a 10000 Hz).

O projeto das placas do circuito integrador adaptativo foi desenvolvido no software Ultiboard® versão 14 e foram implementadas em placas de cobre de face dupla no equipamento de prototipagem de circuitos impressos localizado no Laboratório de Automação 2 do Instituto de Ciência e Tecnologia - UNESP Campus de Sorocaba.

4.2. Estudo da dinâmica do sistema

Inicialmente, desenvolveu-se um circuito simplificado do sistema visando à obtenção do diagrama de bode e da dinâmica de transiente do circuito. A dinâmica do integrador foi estudada nos seguintes casos: 1) Processo de integração pura, 2) Integração com realimentação, e 3) Sistema com dois integradores.

Para cada um dos passos elaborou-se um diagrama de blocos do fluxo do processo de integração. Com isso, foi possível modelar matematicamente uma função de transferência para os circuitos.

Posteriormente, com as funções de transferências foram calculadas numericamente as equações, substituindo valores reais dos integradores e realizada a comparação entre o diagrama de bode obtido pela simulação do circuito e o calculado numericamente. Nessa parte do estudo, observou-se os limites da variação dos parâmetros e do ganho em DC, rotação de fase e posição dos polos, para cada um dos casos estudo.

4.3. Emulações de equações diferenciais utilizando o sistema desenvolvido

Foi desenvolvida uma interface gráfica para facilitar a escolha dos ganhos para a emulação de equações diferenciais. Dessa forma, elaborou-se uma estrutura digital para a conexão com o circuito de integração. Escolheu-se algumas equações diferenciais para observar o comportamento do sistema em três casos: 1) Integração de onda quadrada, 2) Integração senoidal com realimentação de estado, e 3) Integração de segunda ordem. Com isso foi possível observar características como: distorção no sinal de saída, erro de fase na saída, ganho de saída, e qualidade do sinal de saída.

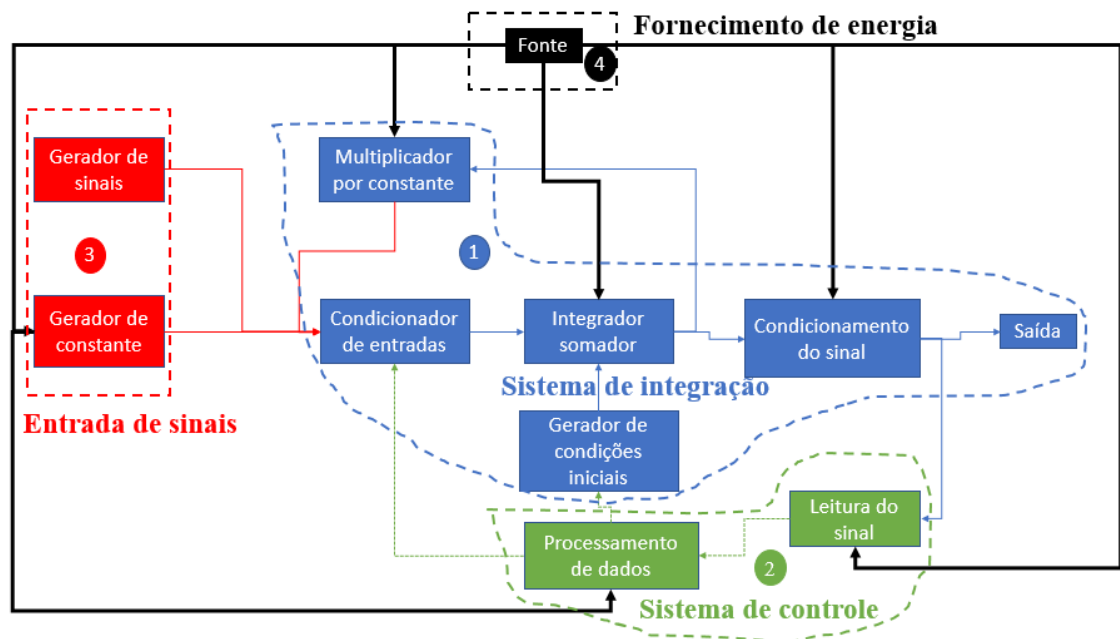
5. RESULTADOS

Os resultados deste trabalho são apresentados divididos em três grandes partes: Integrador adaptativo; Estudo da dinâmica do sistema de integração e Interface gráfica e programação do computador híbrido.

5.1. Integrador Adaptativo

Desenvolveu-se uma topologia de integrador, T2, com circuitos de seleção de ganho, filtros e condições iniciais, baseada nos resultados obtidos em trabalhos anteriores e da estrutura descrita no Apêndice IV [23] . Os blocos funcionais da topologia são apresentados na Figura 20. Observa-se que T2 apresenta 4 grupos de blocos funcionais: Entrada de sinais, sistema de integração, sistema de controle e fornecimento de energia.

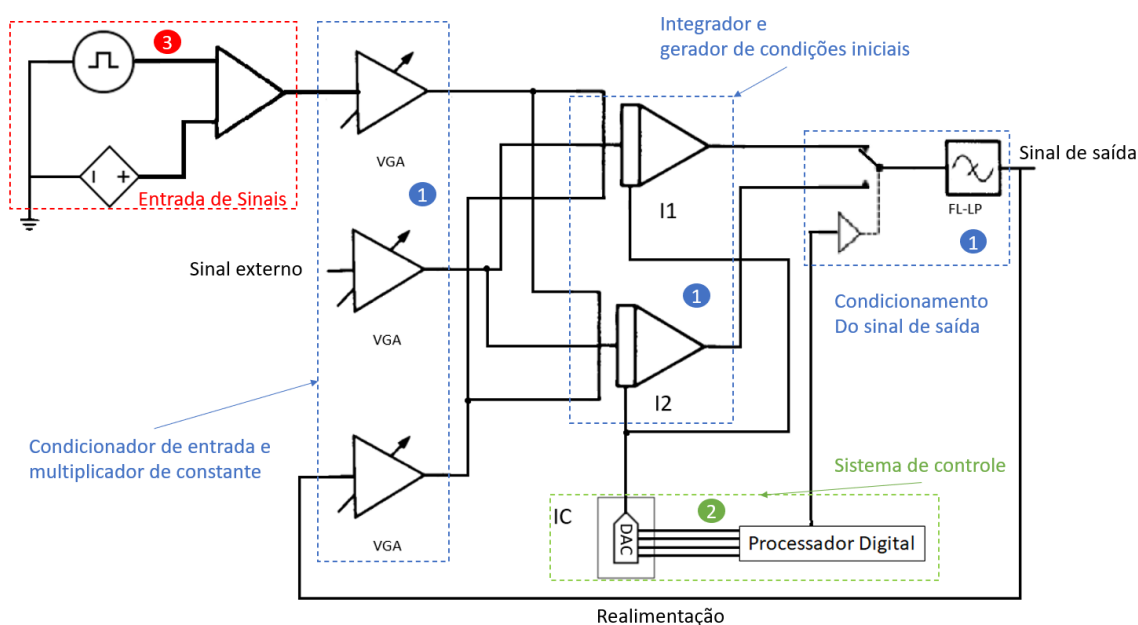
Figura 20- Blocos funcionais da topologia T2 de integrador propostos. A forma em vermelho representa os sinais de entrada, a em azul representa o sistema de integração, a em verde o sistema de controle e a em preto sistema de alimentação dos circuitos.



Elaborado pelo próprio autor.

A Figura 21 apresenta um esquema simplificado dos circuitos eletrônicos que compõe cada um dos blocos funcionais do sistema. O fornecimento de energia foi omitido na figura para facilitar a visualização dela.

Figura 21- Esquema dos circuitos propostos da topologia T2 de integrador propostos. A forma em vermelho representa os sinais de entrada, a em azul representa o sistema de integração e a em verde o sistema de controle.



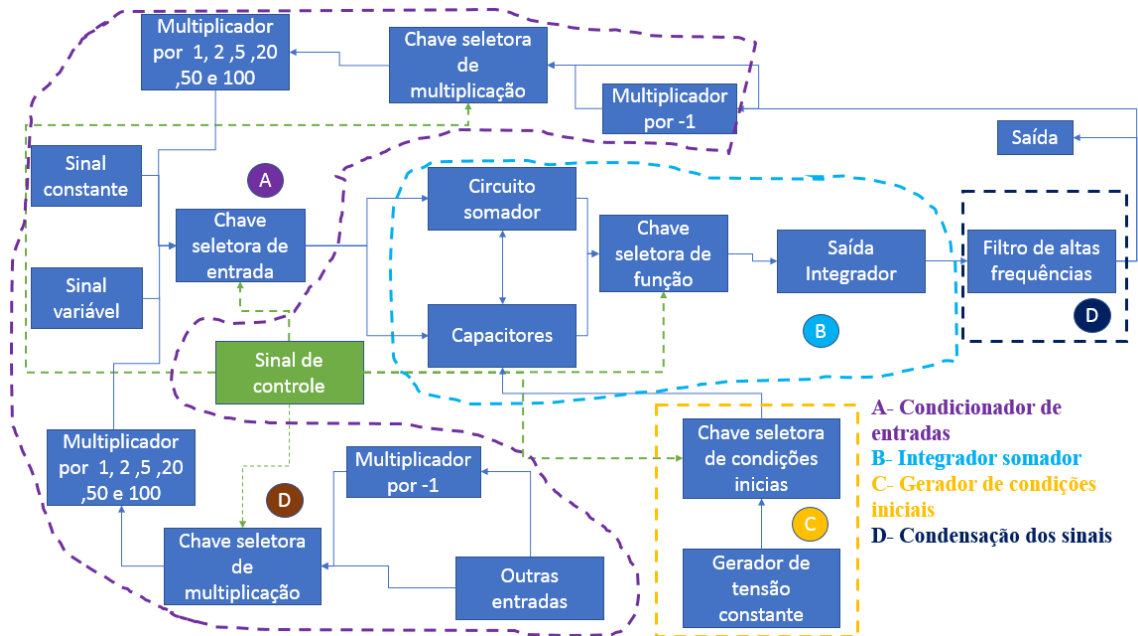
Elaborado pelo próprio autor.

5.1.1. Sistema de integração

A Figura 22 apresenta os sub-blocos que compõem o sistema de integração. As funções desse sistema são: realizar a função matemática de integração, fazer controle das variáveis de entrada (sendo possível solucionar uma equação diferencial de primeira ordem ou essa célula ser o sinal externo de outro integrador para formar uma equação diferencial de ordem superior), colocar condições iniciais nos capacitores, possibilitar a escolha do melhor ganho do sistema para que a saída possa ser visualizada e filtrar o ruído na entrada e na saída do sistema.

Assim, o sistema de integração visa resolver, principalmente, os seguintes problemas: baixa magnitude do sinal em frequências acima de 100 Hz até 10 kHz e o ruído frequências superiores a 100 kHz.

Figura 22- Blocos funcionais do sistema de integração da topologia T2, onde o sub-bloco em roxo (A) é o circuito do condicionador de entrada, o bloco em azul-claro (B) corresponde ao circuito integrador, o bloco em amarelo (C) é responsável pela geração de condições iniciais e o azul-escuro (D) pelo sistema de condicionamento do sinal de saída.



Elaborado pelo próprio autor.

5.1.1.1. Seleção de entradas e condicionamento dos sinais

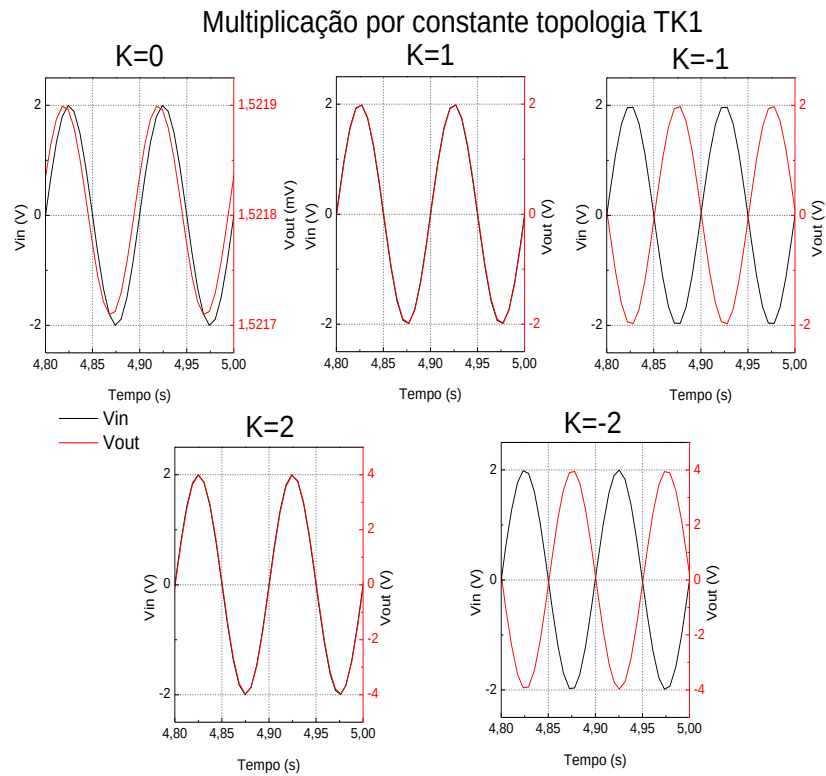
O integrador pode ter as seguintes entradas: realimentação e um sinal de entrada. Além disso, esses sinais podem ser multiplicados por constantes positivas ou negativas.

A topologia desenvolvida e o detalhamento do circuito são apresentados no Apêndice VI. A seleção de entrada tem a possibilidade de multiplicar o sinal por 0, $\pm 0,01$, $\pm 0,02$, $\pm 0,05$, $\pm 0,1$, $\pm 0,2$, $\pm 0,5$, ± 1 , ± 2 , ± 5 , ± 10 , ± 20 , ± 50 e ± 100 . Nessa topologia usa-se dois pares de Amp Op cascateados nas configurações inversoras, o primeiro par gera o sinal positivo e negativo, enquanto o segundo par permite dividir o sinal por 100 vezes ou 1 x. O ADG1236 é utilizado para escolher qual dos quatro sinais será utilizado para compor a próxima etapa do sistema. Posteriormente o sinal passa por um amplificador de ganho variável (LTC6910) que realiza a amplificação desejada do sistema.

A Figura 23, apresenta o resultado da topologia para uma entrada senoidal, onde esse sinal é multiplicado por 0, ± 1 e ± 2 . Nota-se que há a correta multiplicação do sinal

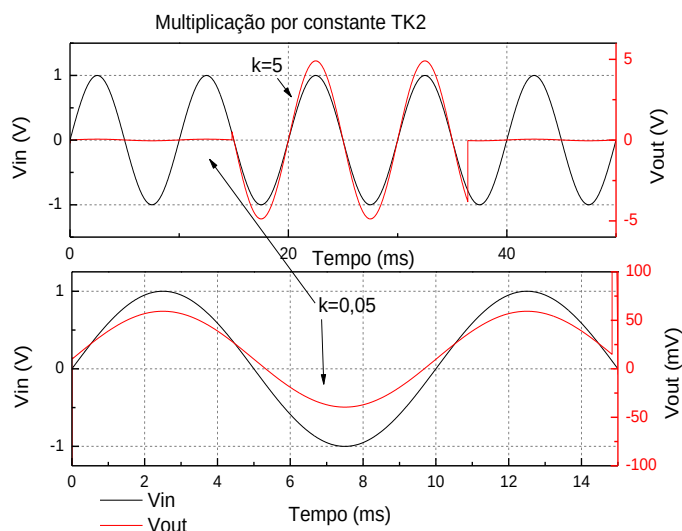
pelos valores da constante. Para o sinal multiplicado $K=0$ há uma atenuação de 1000 vezes na amplitude. Para os fins do trabalho esse valor será considerado como nulo para o funcionamento do sistema.

Figura 23- Resultados da topologia de condicionamento de sinal para uma entrada senoidal multiplicado pelas constantes 0, ± 1 e ± 2 .



Já, a Figura 24 apresenta o resultado da topologia utilizando o processo de divisão pela constante 1 ou 100, onde é possível observar o comportamento do sistema com a comutação entre os ganhos.

Figura 24- Resultados da topologia TK2 para a multiplicação de um sinal senoidal para as constantes de 5 e 0,05.



5.1.1.2. Integrador somador

Pelos resultados obtidos anteriormente, descritos no Apêndice VI, decidiu-se pela utilização de dois circuitos integradores, um para realizar as operações em frequências de 1 a 99 Hz (I1) e outro para as operações em 0.1 a 10 kHz (I2). Observou-se que a grande faixa de operação do sistema faz com que um único integrador tenha sinal de saída abaixo de mV nas frequências acima 100 Hz.

A estrutura I1 apresenta um ganho 0 dB na frequência de 1 Hz e I2 em 100 Hz. Isso faz com que a menor atenuação do sinal fique em 100 vezes, facilitando o processo de leitura e integração do sistema com outros blocos funcionais como, por exemplo, o multiplicador.

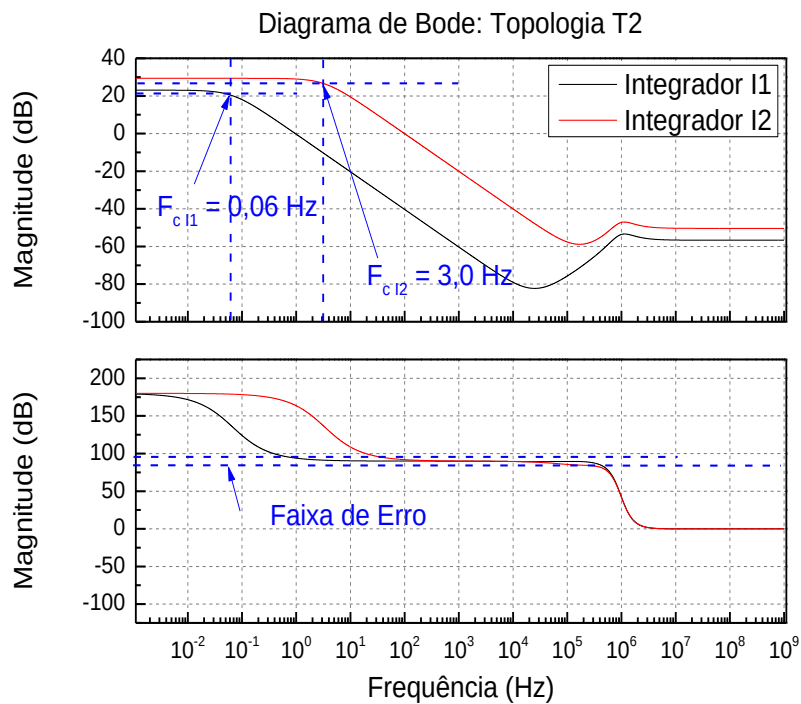
Em relação ao capacitor de realimentação, I1 tem um capacitor de 5 μf e I2 um de 100 nF e a resistência de retroalimentação em foi fixada em 470 k Ω . Isso faz com que a fase dos dois integradores fique dentro da faixa admissível no espectro de trabalho de cada dos integradores. Assim, a frequência de corte de I2 ocorre, aproximadamente, duas décadas depois da I1. A $H(s)$ dos dois integradores ficou igual a:

$$H_{I1(s)} = -14,24 * \frac{1}{1 + 2,35s} \quad (34)$$

$$H_{I2(s)} = -29,38 * \frac{1}{1 + 0,05s} \quad (35)$$

Na Figura 25, é apresentado o diagrama de Bode das duas estruturas. No diagrama de magnitude observa-se que I1 apresenta uma atenuação de -40 dB em 100 Hz e 20 dB de ganho em DC e em todo o espectro de atuação desse integrador a fase fica dentro da faixa de 84,4 a 95,6 °. Já para I2 tem-se um ganho de 0 dB na frequência de 100 Hz e ganho DC de, aproximadamente, 30 dB e nota-se que a fase do sistema fica dentro da faixa de erro esperada pelo integrador. Observa-se que após a frequência de corte a curva dos integradores I1 e I2 são semelhantes, com a segunda sendo deslocada de aproximadamente 2 décadas da primeira.

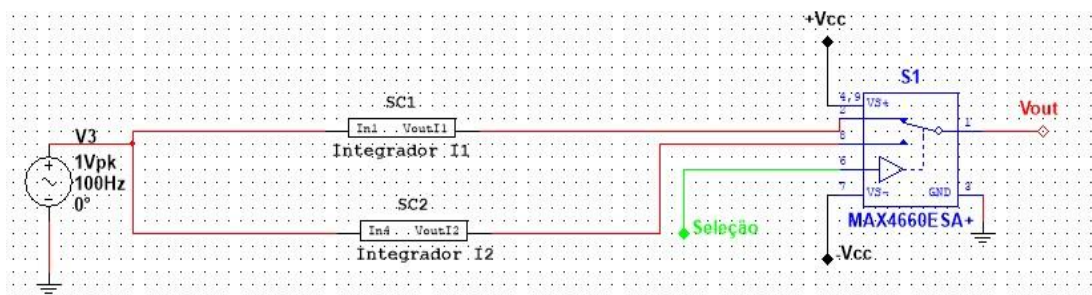
Figura 25- Diagrama de Bode da topologia T2, onde a curva em preto corresponde a resposta do integrador I1 e a em vermelho de I2.



5.1.1.3. Comutação dos integradores e geração de condições iniciais

Para realizar a comutação entre os integradores I1 e I2 da estrutura T2, utilizou-se o CI MAX4660 como ilustrado na Figura 26. Quando a entrada digital do CI é exposta à um nível lógico baixo, a saída da topologia é igual à resposta do integrador I1 e para um nível lógico alto a saída é igual à de I2. Assim, o sistema de controle manda um sinal alto para tensões de entrada nas frequências de 1 a 99 Hz e um sinal baixo para 0,1 a 10 kHz.

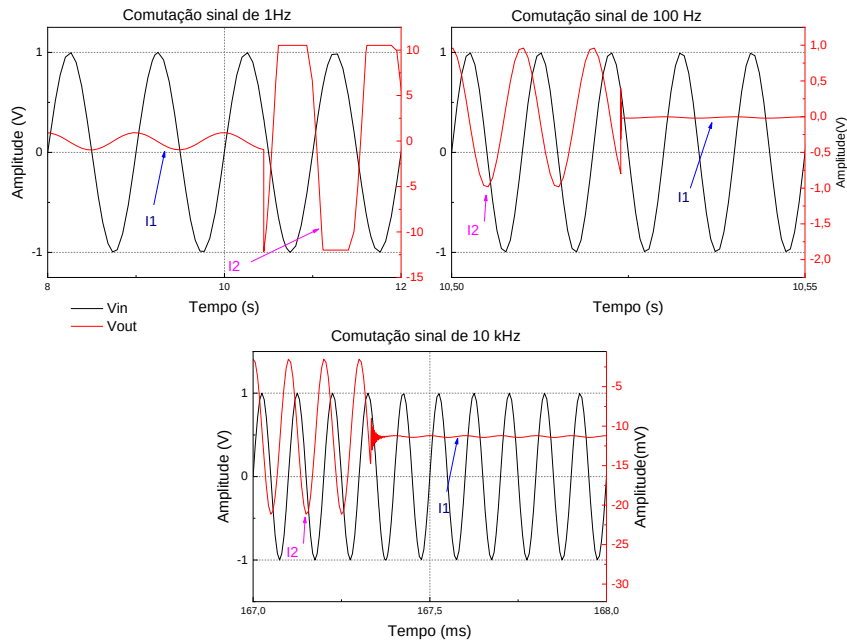
Figura 26- Circuito de integração I2 como o Max4660 realizando a comutação a partir de um sinal digital.



Elaborado pelo próprio autor.

A Figura 27 apresenta um exemplo de comutação de estado entre a saída da topologia. Observa-se que, para todas as frequências, há a comutação entre os integradores.

Figura 27- Demonstração do processo de comutação entre as saídas da topologia T2.



Para a inserção de condições iniciais (CIn) utilizou-se uma adaptação das topologias da literatura. Esta é apresentada com maiores detalhes no Apêndice VII. Os resultados da topologia são apresentados na Figura 28.

Para o cálculo da variação do tempo, considerou-se que o sistema atinge regime permanente quando a tensão chega a 95% do valor aplicado. Observa-se que a topologia I1 tem um tempo de acomodação de 7 s. Isso condiz com a teoria, pois esse valor é aproximadamente igual a 3 vezes a constante de tempo do circuito ($\tau_1 = 2,35$ s). Já para a topologia I2, que tem uma constante $\tau_2 = 47$ ms, o tempo de acomodação é na ordem de 140 ms. A Figura 29 apresenta a inserção de condições iniciais positivas e negativas.

Figura 28- Comparação entre a aplicação de condições iniciais (CIn) na topologia T2 variando a frequência do sinal senoidal de entrada (1, 10, 100, 1000 e 10000 Hz).

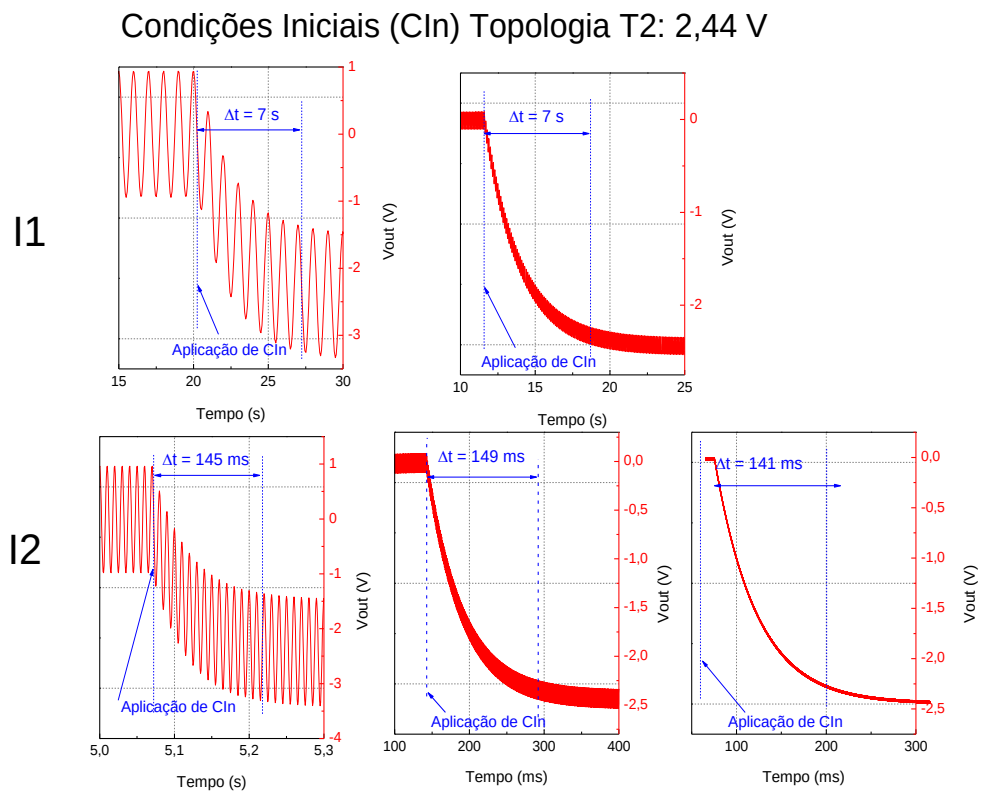
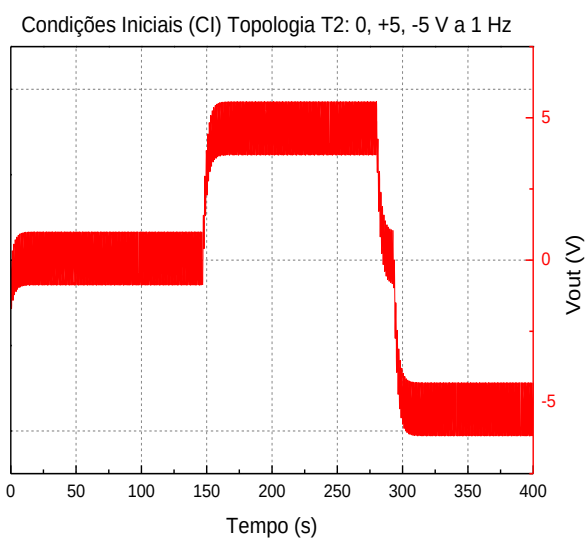


Figura 29- Resultados da inserção de condições iniciais positivas, negativas e nulas na topologia T2.



Note-se que a topologia proposta apresenta resultados satisfatórios para a inserção de condições iniciais no sistema.

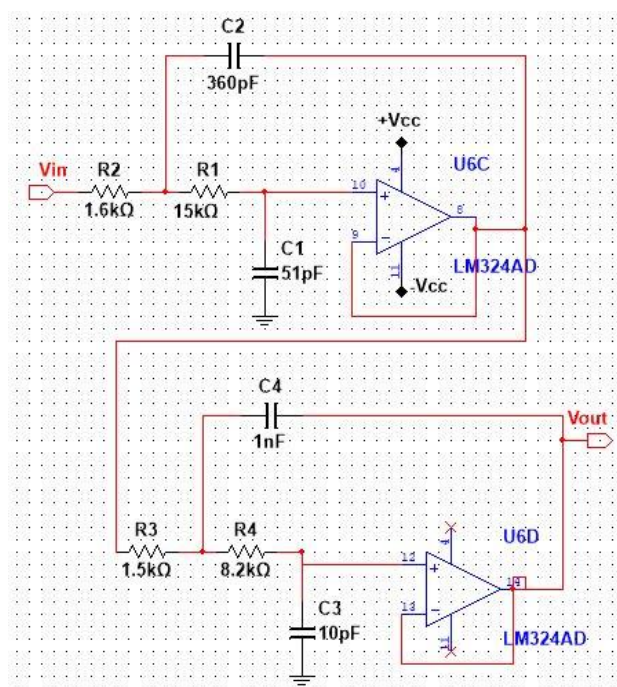
5.1.1.4. Condicionamento da saída do circuito

É interessante observar no diagrama de Bode, Figura 25, que tanto em I1 quanto na estrutura I2 há um pico de magnitude centrado em 1 MHz. Os resultados de trabalhos anteriores, Apêndice IV e V, mostram a presença de ruído nas frequências acima de 100 kHz. Assim, visando filtrar esses ruídos que acontecem após uma década da frequência de trabalho do sistema optou-se pela utilização de um filtro tipo Chebyshev. Além disso, para acentuar a queda de magnitude e minimizar a distorção na fase do sistema utilizou-se um filtro de quarta ordem. Para facilitar a implementação do filtro Chebyshev usou-se uma topologia Sallen-Key de ganho unitário. No Apêndice III é apresentado o modelo matemático para a implementação do filtro utilizado. A Figura 30 apresenta uma ilustração do filtro utilizado e a $H(s)$ do mesmo é apresentada a seguir:

$$H(s) = \left(\frac{1}{s^2[4,40 \cdot 10^{-13}] + s[8,46 \cdot 10^{-7}] + 1} \right) * \left(\frac{1}{s^2[1,23 \cdot 10^{-13}] + s[0,97 \cdot 10^{-7}] + 1} \right) \quad (36)$$

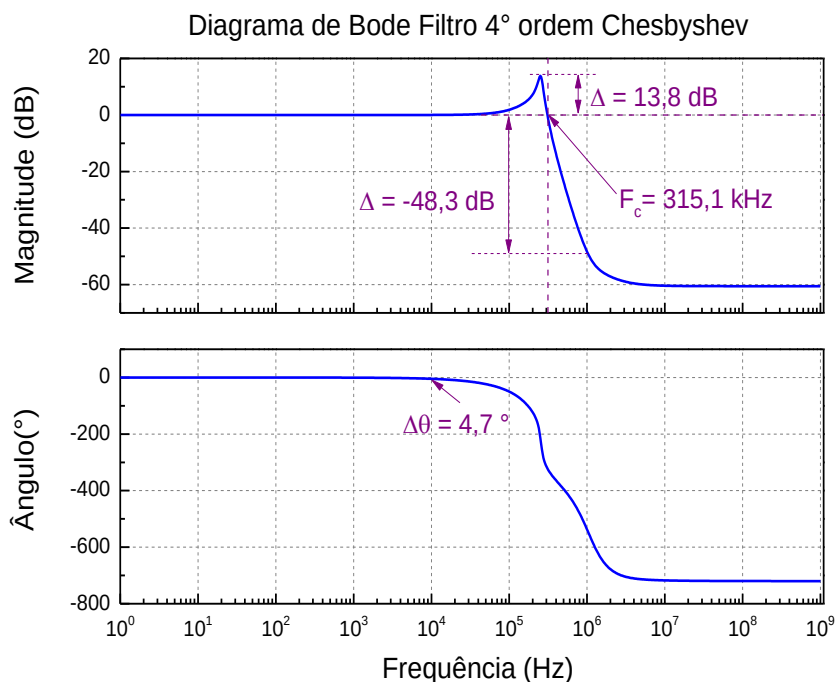
Já a Figura 31 apresenta o diagrama de Bode do filtro Chebyshev de 4º ordem implementado. O filtro foi projetado para uma frequência de corte de 315 kHz, visando distorcer o mínimo possível a fase na região próxima de 10 kHz, além de apresentar uma atenuação superior, em módulo, do que -40 dB em altas frequências. Assim, observa-se que em 1 MHz a magnitude é de -48,8 dB, entretanto há uma inversão do ângulo de fase do sistema. Há uma variação de 4,7° no ângulo na frequência de 10 kHz. Assim, para visualizar a influência do filtro na dinâmica de I1 e I2 acoplou-se o filtro na saída dos integradores.

Figura 30- Filtro Chesbyshev de quarta ordem implementado com a arquitetura Sallen-Key.



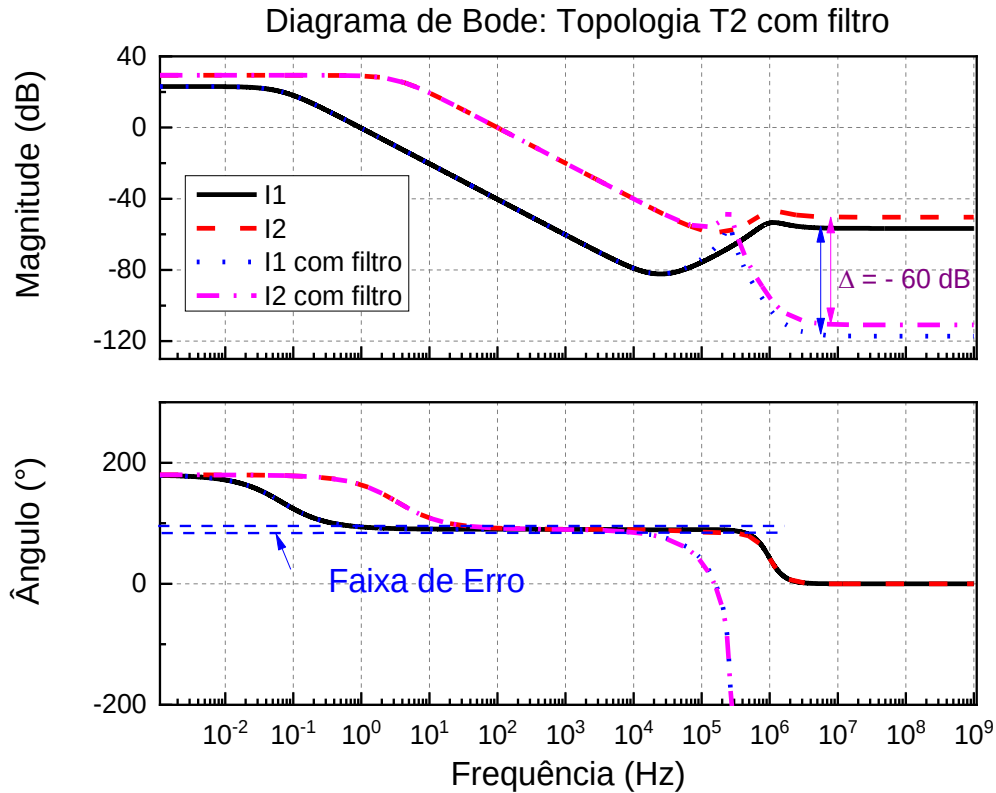
Elaborado pelo próprio autor.

Figura 31-Diagrama de Bode do filtro Chesbyshev de 4º ordem, onde a curva em azul corresponde à resposta do filtro.



A Figura 32 mostra a comparação entre os diagramas de Bode da estrutura desenvolvida (T2) com e sem filtro, onde as curvas em preto e vermelho correspondem a estrutura T2 sem o filtro, I1 e I2, respectivamente. Já, as curvas em azul e magenta representam a estrutura T2 com filtro, I1 e I2, respectivamente. Nota-se que o comportamento das duas estruturas é semelhante na frequência de trabalho do sistema (10^0 até 10^4 Hz). Já em relação à magnitude, há um pico centrado ± 200 kHz de 13 dB no diagrama da estrutura T2 com e, após a frequência de corte, a magnitude do sinal cai a, aproximadamente, -100 dB em altas frequências, diferentemente da estrutura sem o filtro que, em altas frequências apresenta um ganho na ordem de -50 dB. Já em relação a fase, T2 com o filtro apresenta uma distorção de fase para frequências mais elevadas, na prática, devido à pequena amplitude desses sinais (atenuação na ordem de -50 dB), a influência dessa rotação de fase será baixa. Entretanto, observa-se que apesar das pequenas distorções no sinal a presença do filtro cumpre o objetivo de reduzir a intensidade dos sinais de altas frequências (cerca de 60 dB se comparado à estrutura sem filtro), sem apresentar grandes distorções no sinal dentro da faixa de operação.

Figura 32- Comparação entre o diagrama de Bode da topologia T2 e de T2 com filtro Chesbyshev de 4° ordem, onde a curva em preto corresponde a resposta do integrador I1, em vermelho a de I2, em azul a I1 com o filtro e em magenta a I2 com o filtro.



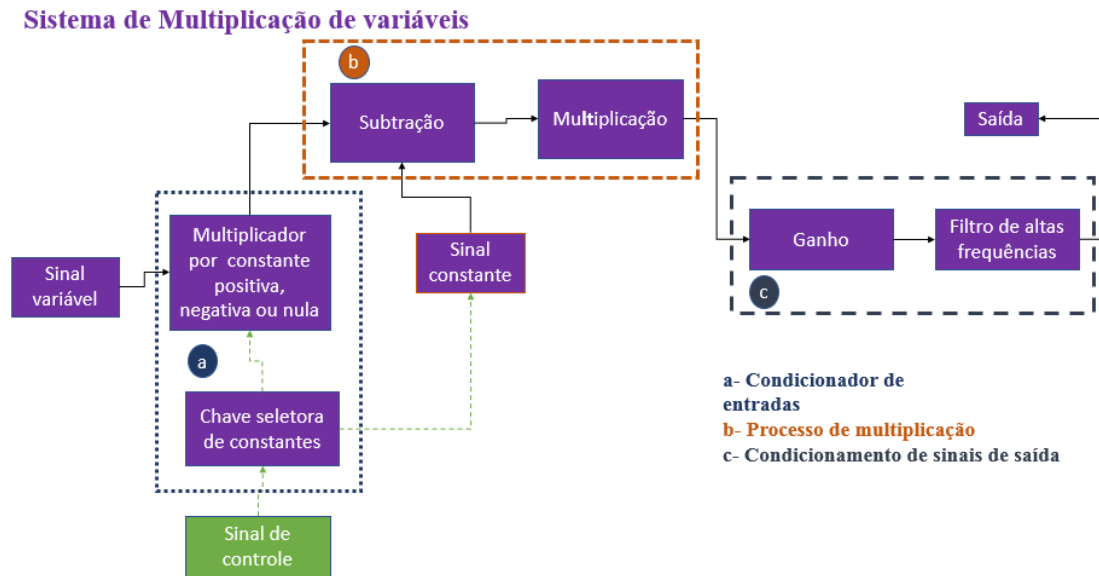
5.1.2. Demais estruturas

A fonte de geração de ondas quadradas, triangulares e senoidais é ilustrada no Apêndice VIII. O detalhamento dos circuitos desenvolvido para o fornecimento de energia pode ser encontrado no Apêndice IX. Já o desenvolvimento do sistema do hardware de controle é ilustrado no Apêndice X.

5.1.3. Sistema de Multiplicação por Variável

O fluxo de informações do processo de multiplicação de variáveis é apresentado na Figura 33. O sinal de entrada é multiplicado por uma constante, que pode ser nula, positiva ou negativa. Em seguida, ocorre o processo de multiplicação das variáveis. Posteriormente, há a necessidade de aplicação de um ganho e a filtragem do sinal na saída do processo, devido as perdas internas dos componentes e à presença de ruídos.

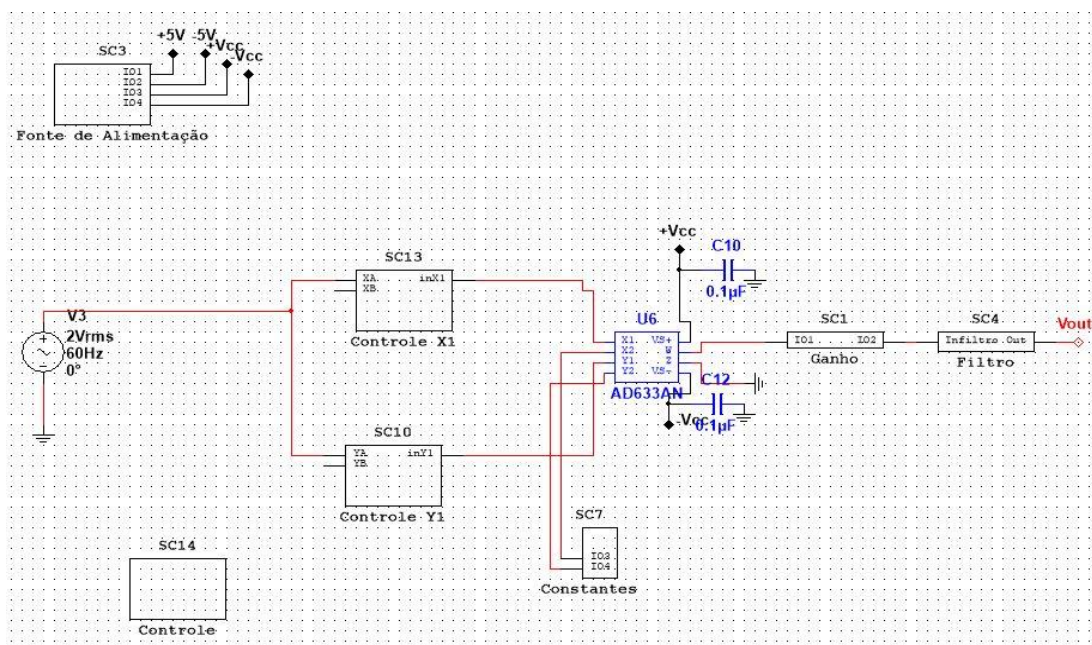
Figura 33- Blocos funcionais do sistema de variáveis. A forma a) corresponde a circuito de condicionamento de entradas do circuito, a forma b) ao processo de multiplicação ($X1 - X2$) ($Y1 - Y2$) e a forma c) ao condicionamento do sinal de saída.



Elaborado pelo próprio autor.

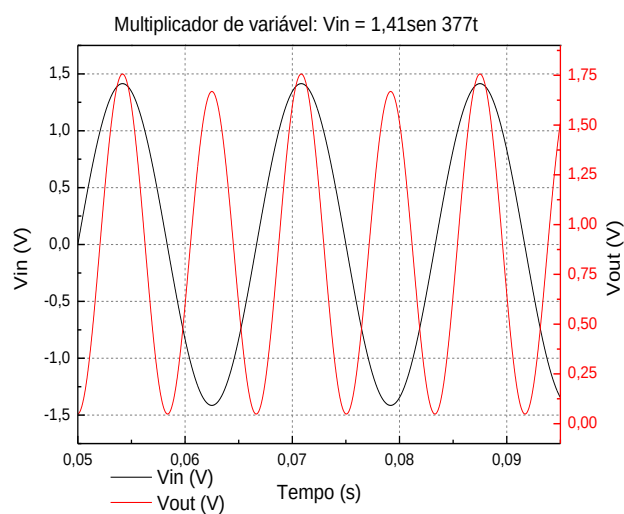
O circuito de condicionador de entrada é uma adaptação do circuito de controle de entrada do sistema de integração. O CI AD633 é responsável pelo processo de multiplicação ($X1 - X2$)($Y1 - Y2$)**10**, onde as variáveis $X1$, $X2$, $Y1$ e $Y2$ são os sinais de entrada ligados ao terminal do circuito. Após a saída do CI, utiliza-se um circuito de ganho com Amp Op para que ocorra um aumento do sinal em 10 vezes, pois internamente o AD633 multiplica os sinais por 0,1 para realizar as operações. Além disso, para filtrar os ruídos usou-se o filtro implementado no sistema de integração. Os resultados para as duas entradas, $X1$ e $Y1$ são iguais a $V_{in} = \sqrt{2} \sin(2\pi 60t)$ e com constantes $X2$ e $Y2$ nulas, é apresentado na Figura 35.

Figura 34- Topologia para a realização do processo $(X1-X2)(Y1-Y2)$, onde o circuito é composto pelo bloco de controle das variáveis $X1$ e $Y1$, a geração das constantes $X2$ e $Y2$ é realizada pelo bloco das constantes. O processo de multiplicação é realizado pelo CI AD33. Internamente o CI divide as variáveis por 10, assim faz necessário dar um ganho $\times 10$ no sinal. O bloco de filtro tem como função atenuar os ruídos presentes no processo.



Elaborado pelo próprio autor.

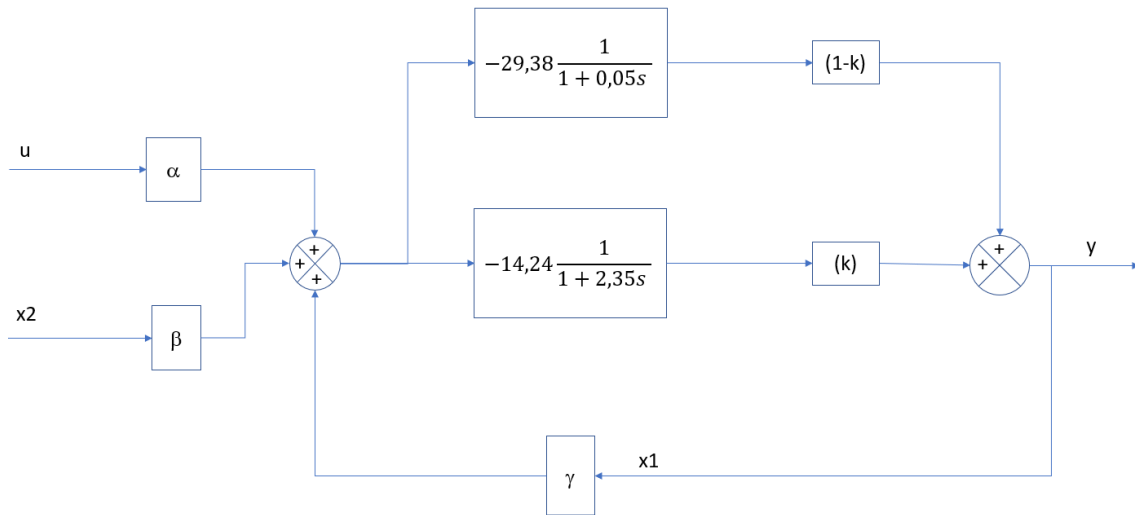
Figura 35- Resposta do sistema de multiplicação a duas entradas senoidais com amplitude de $\sqrt{2}$ e frequência de 60 Hz. A saída do sistema pode ser aproximada como uma função senoidal quadrática com amplitude de 2.



5.2. Estudo da dinâmica do sistema de integração

O sistema de integração proposto pode ser representado pelo diagrama de blocos abaixo:

Figura 36- Diagrama de blocos de processo de integração do sistema proposto.



Elaborado pelo próprio autor.

A variável u representa o sinal de entrada, $x1$ e y o sinal de saída do processo, e $x2$ a entrada de um sinal externo. Assim, a , b e γ são os ganhos de controle de variáveis, escolhidos pelo usuário do sistema, e k é o ganho que seleciona a saída do integrador dependendo da frequência de sinal escolhida para integração, para $f < 100$ Hz $k = 1$ e $f \geq 100$ $k = 0$.

O estudo da dinâmica do sistema de integração pode ser dividido em três casos principais, os quais dependem diretamente dos valores dos ganhos escolhidos:

- A. Integração pura: $\alpha \neq 0, \beta = \gamma = 0$;
- B. Integração com realimentação: $\alpha \neq 0, \gamma \neq 0$ e $\beta = 0$;
- C. Integração com 2 integradores: $\alpha \neq 0, \gamma \neq 0$ e $\beta \neq 0$.

O Apêndice XI apresenta um algoritmo elaborado para o estudo da dinâmica do sistema.

5.2.1. Integração pura

Para o caso de integração pura, a dinâmica do sistema pode ser aproximada de um integrador ideal para as frequências de trabalho de cada um dos integradores. Para as duas dinâmicas, a frequência dos polos (fp) do integrador é quase duas décadas menores do que o as frequências de trabalho de cada integrador escolhido. Sinal com $f < 100$ Hz, a fp é igual a 67,7 mHz, e no caso de $f \geq 100$ Hz, fp é igual a 3,18 Hz.

Por esse motivo, a equação matemática que representa o sistema de integração pode ser aproximada por:

$$y \cong -\frac{1}{0,165} \left(\alpha \int u dt \right) * (k) - \frac{1}{0,0016} \left(\alpha \int u dt \right) * (1 - k) \quad (37)$$

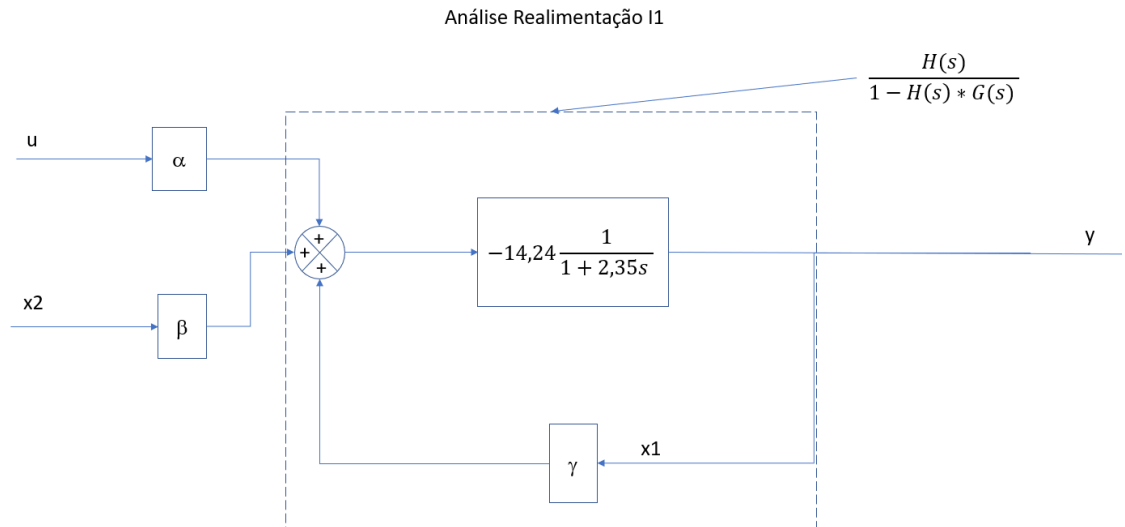
Em (37), observa-se que para frequências abaixo de 100 Hz o sistema dá um ganho na resposta y de $\frac{1}{0,165} V/V$ ou $\sim 6,06 V/V$, enquanto para sinais acima de 100 Hz o ganho é de $\frac{1}{0,0016}$ ou $\sim 625 V/V$

5.2.2. Integração com realimentação

Uma coisa a se levar em consideração é o comportamento com a realimentação de sinal, pois em malha fechada a dinâmica dos polos se altera. Matematicamente a equação que rege o a dinâmica do sistema pode ser aproximada por:

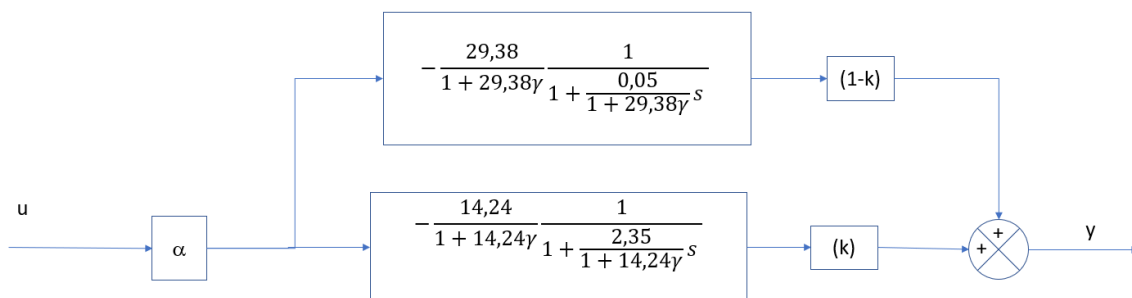
$$\frac{H(s)}{1 - H(s) * G(s)} \quad (38)$$

Figura 37-Exemplo do processo de realimentação do integrador I1.



Elaborado pelo próprio autor.

Figura 38- Diagrama de bloco do sistema de integração com ganho γ não nulo



Elaborado pelo próprio autor.

Aqui, pode-se observar que o processo de realimentação introduz um fator que depende do ganho DC do sistema de integração (14,24 para I1 e 29,38 para I2) e γ , denominado de fator de realimentação (fr).

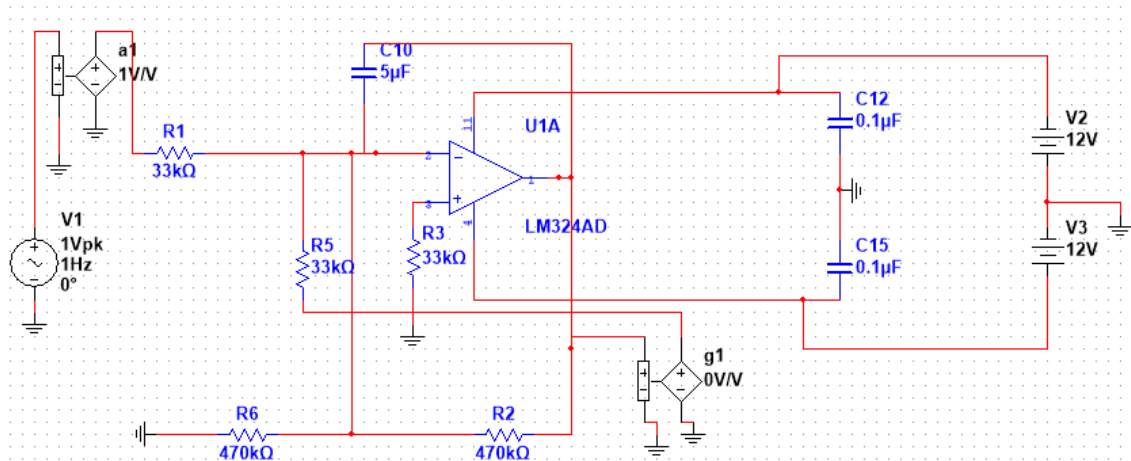
A equação matemática que representa o sistema de integração pode ser aproximada por:

$$y \cong -6,05 * e^{-\frac{1-14,24\gamma}{2,35}t} \left(\alpha \int u dt \right) * (1 - k) \quad (39)$$

$$-587,6 * e^{-\frac{1-29,38\gamma}{0,05}t} * \left(\alpha \int u dt \right) * (k)$$

Para ilustrar a variação que o ganho gama provoca na dinâmica do sistema, utilizou-se o circuito do integrador I1. Considerando que o circuito de controle de ganho possa ser simplificado como uma fonte de tensão controlada por tensão, como ilustrado na Figura 39.

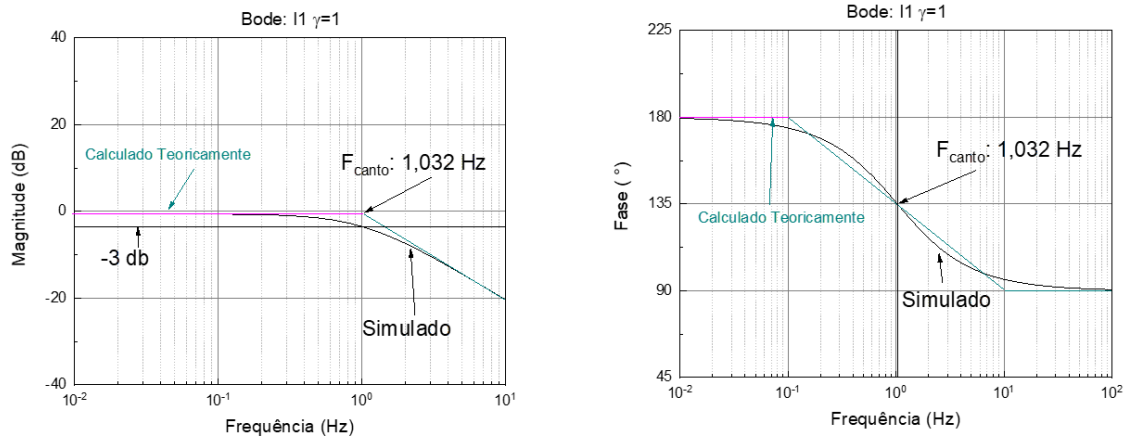
Figura 39-Circuito utilizado para emular do sistema de integração I1.



Elaborado pelo próprio autor.

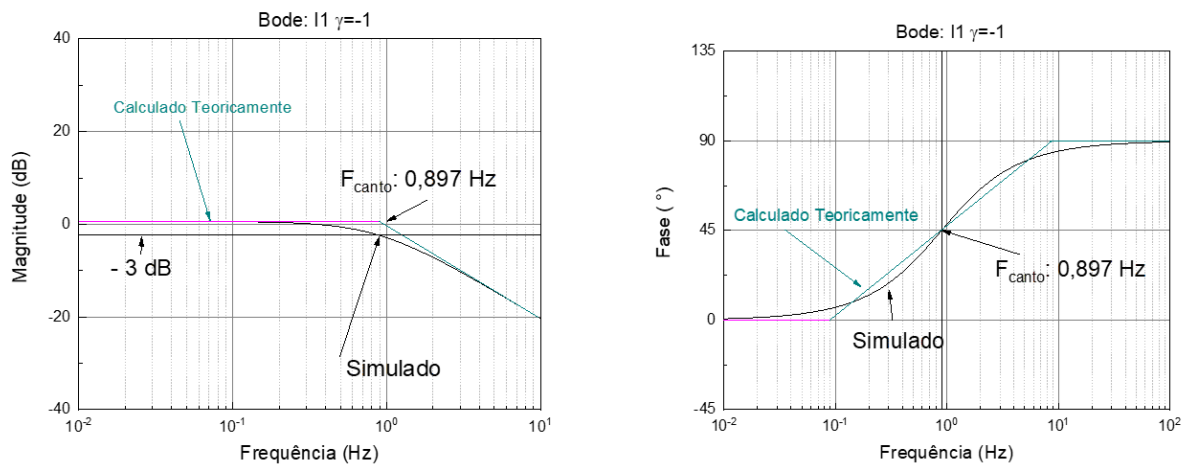
As figuras abaixo, ilustram a comparação entre os diagramas de Bode traçados utilizando a função de transferência e dos valores simulados através do circuito ilustrado na acima.

Figura 40- Diagrama de Bode da estrutura I1 quando o ganho $\gamma = -1$



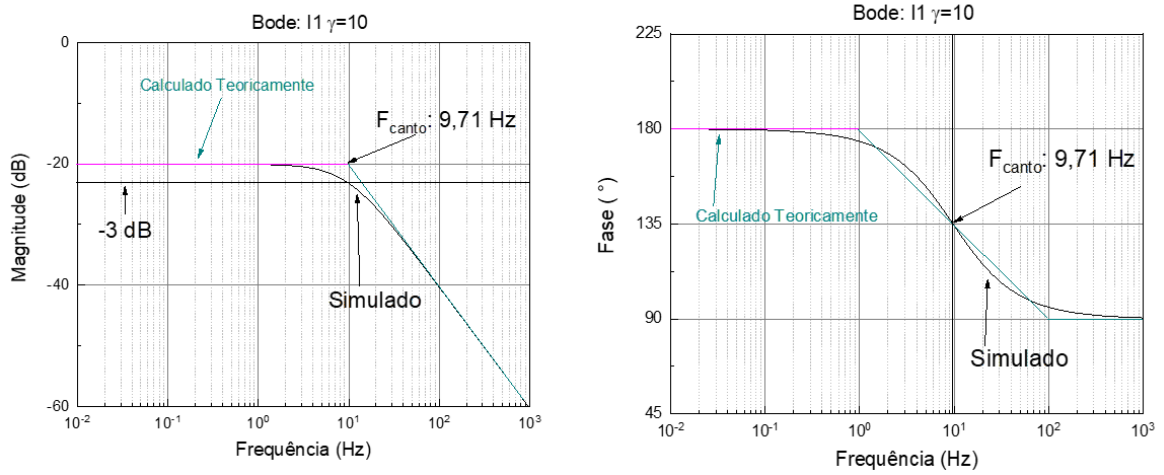
$$H(s) = -a * 0,934 \frac{1}{1 + 0,154s}$$

Figura 41- Diagrama de Bode da estrutura I1 quando o ganho $\gamma = +1$.



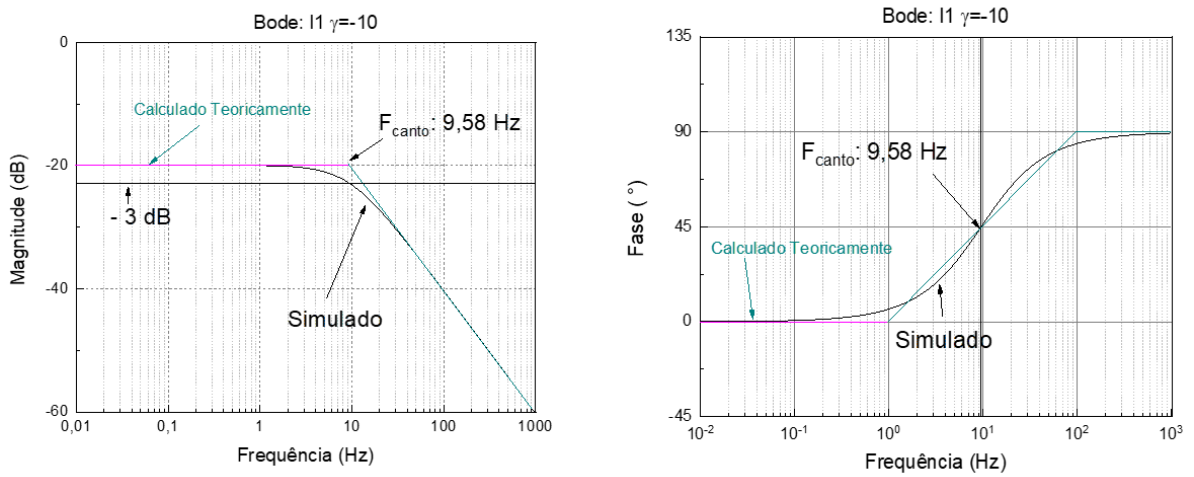
$$H(s) = a * 1,07 \frac{1}{1 - 0,177s}$$

Figura 42- Diagrama de Bode da estrutura I1 quando o ganho $\gamma = 10$.



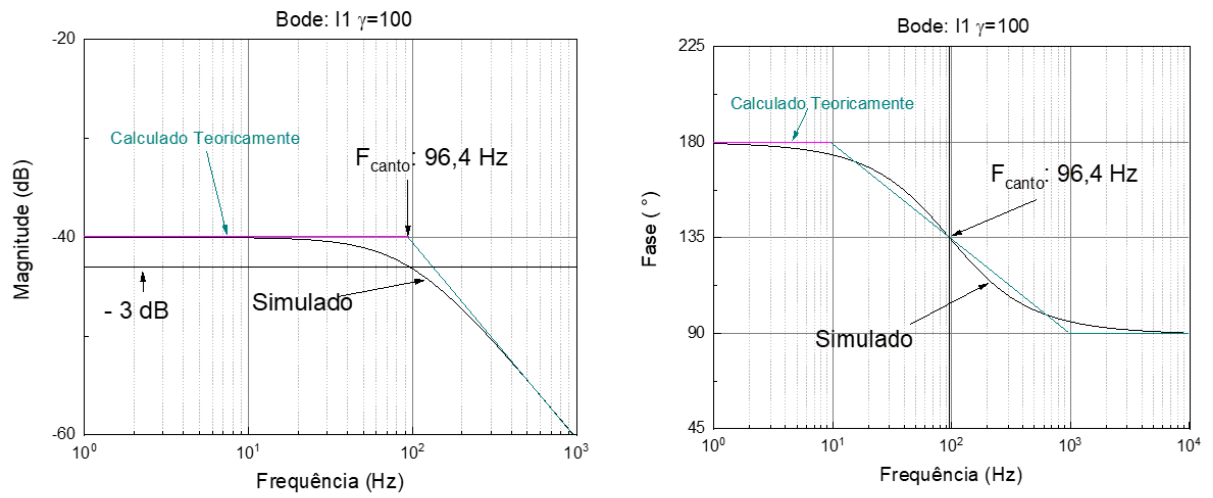
$$H(s) = -a * 0,10 \frac{1}{1 + 0,0164s}$$

Figura 43- Diagrama de Bode da estrutura I1 quando o ganho $\gamma = -10$.



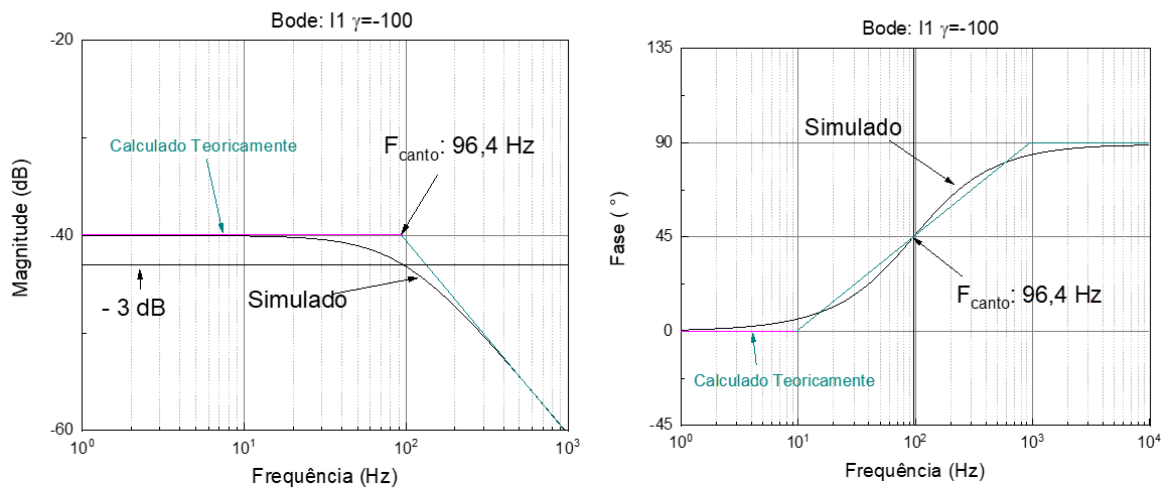
$$H(s) = a * 0,10 \frac{1}{1 - 0,0166s}$$

Figura 44- Diagrama de Bode da estrutura I1 quando o ganho $\gamma = 100$.



$$H(s) = -a * 0,01 \frac{1}{1 + 1,65 * 10^{-3} s}$$

Figura 45- Diagrama de Bode da estrutura I1 quando o ganho $\gamma = -100$.



$$H(s) = a * 0,01 \frac{1}{1 - 1,65 * 10^{-3} s}$$

A variação do γ pode provocar:

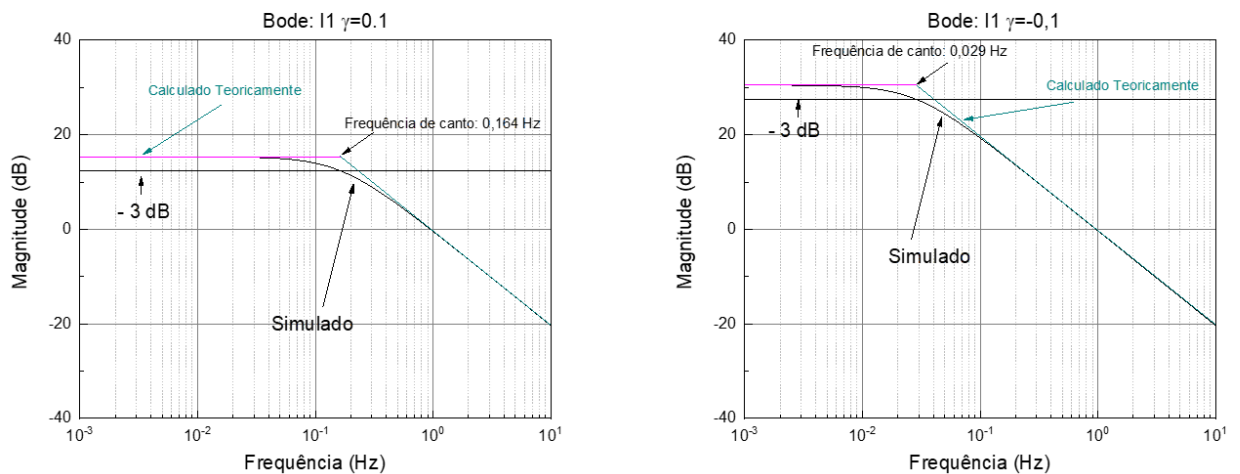
- Deslocamento na frequência do polo da equação de transferência,
- Alteração do ganho DC do sistema
- Rotação de fase.

Com a variação de γ é possível obter-se um polo entre 0,897 Hz até 96,4 Hz. Também é possível, obter-se ganho DC entre 0 a -40 dB.

Como observado nos diagramas de bode de fase acima, a variação de γ entre positivo e negativo ocasiona apenas uma rotação da fase.

Para emular o sistema com realimentação com polo próximo de 1 Hz é necessário que o ganho seja igual a: $0 < \gamma < 1$. Os diagramas de bode de magnitude abaixo ilustram a dinâmica do sistema nas possibilidades de variação de ganho da estrutura desenvolvida.

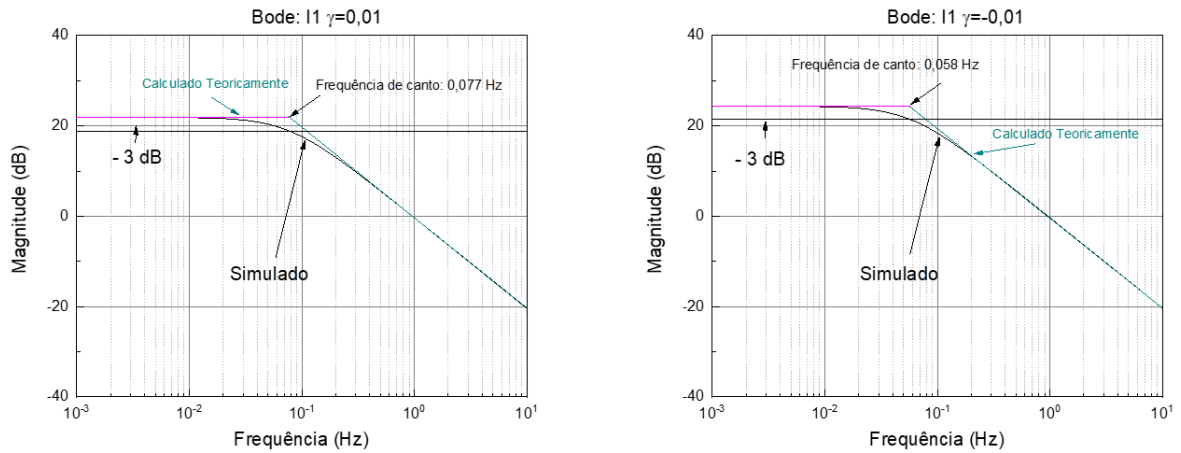
Figura 46- Diagrama de Bode da estrutura I1 quando o ganho $\gamma \mp = 0, 1$



$$H(s) = -a * 5,88 \frac{1}{1 + 0,969s}$$

$$H(s) = a * 33,6 \frac{1}{1 - 5,54s}$$

Figura 47- Diagrama de Bode da estrutura I1 quando o ganho $\gamma \mp = 0,01$



$$H(s) = -a * 12,5 \frac{1}{1 + 2,06s}$$

$$H(s) = -a * 16,6 \frac{1}{1 + 2,74s}$$

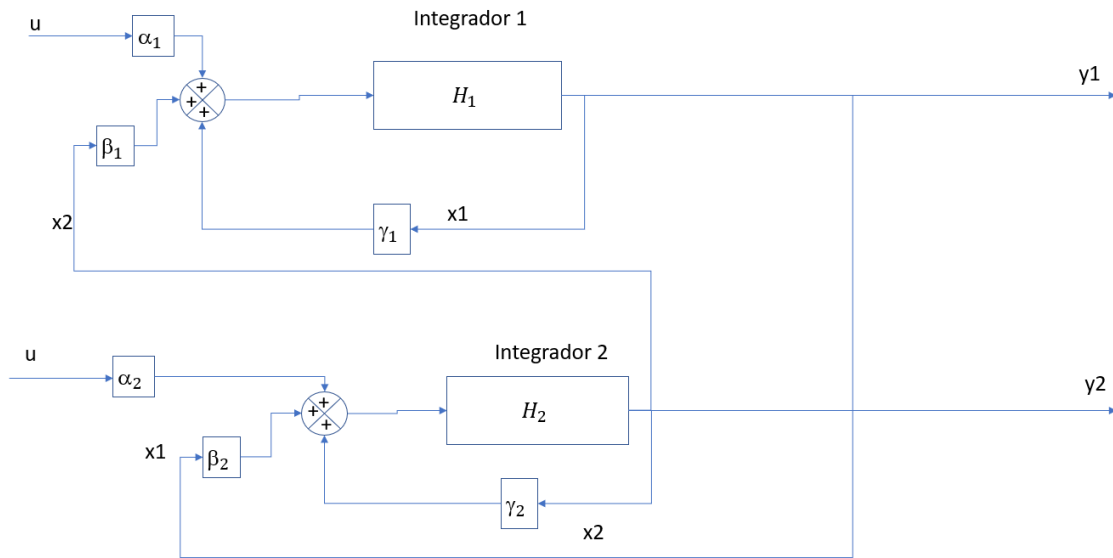
Com a possibilidade de um ganho γ variável a estrutura se torna mais flexível, sendo possível emular sistemas próximos da frequência de trabalho dentro da faixa de erro aceitável mesmo quando há realimentação na equação a ser emulada.

Em geral, observa-se que a alteração dos γ provoca alteração da frequência de canto e rotação da fase. Assim é possível emular outros comportamentos através da variação do ganho de realimentação, tornando o sistema desenvolvido mais versátil para emular uma gama maior de dinâmicas.

5.2.3. Análise sistema com dois integradores

Para aumentar a gama de equações que o sistema pode emular faz-se necessário a utilização de dois sistemas de integradores. A Figura 48 ilustra o diagrama de blocos do sistema com dois integradores.

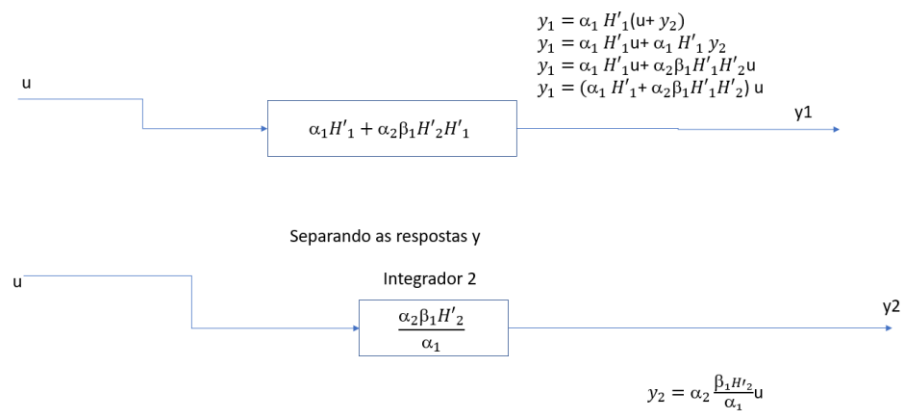
Figura 48- Diagrama de blocos do sistema com dois integradores



Elaborado pelo próprio autor.

Nesse caso, observa-se que o acoplamento do sistema é dependente dos ganhos β . Em uma primeira análise, pode-se considerar $\beta_2 = 0$. Utilizando o princípio de superposição, é possível simplificar o diagrama de blocos, como ilustrado na Figura 49.

Figura 49- Simplificação dos diagramas de blocos do sistema com dois integradores, desconsiderando β_2



Elaborado pelo próprio autor.

Onde:

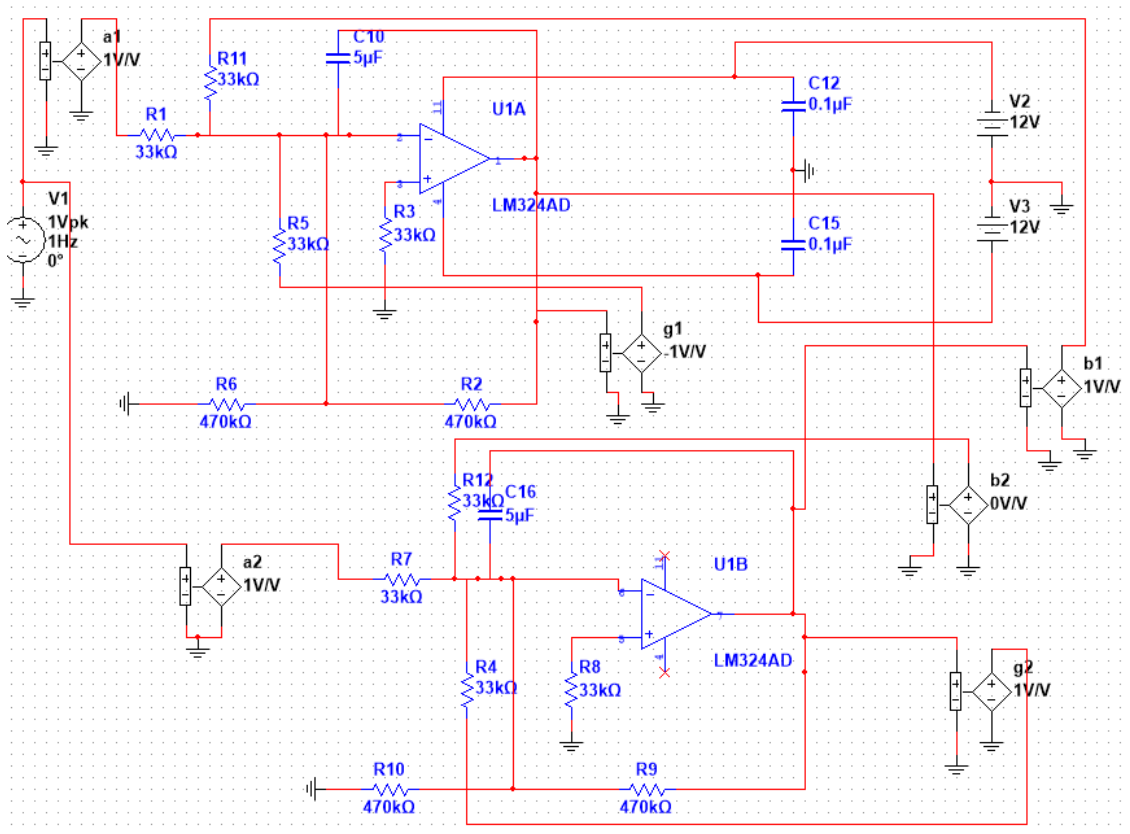
$$H'_1 = \frac{H_1}{1 - \gamma_1 H_1} \quad (40)$$

$$H'_2 = \frac{H_2}{1 - \gamma_2 H_2} \quad (41)$$

As funções H'_x correspondem ad funções transferência de realimentação dos integradores calculadas anteriormente.

Para comparar a equação obtida com a dinâmica do sistema, utilizou-se o circuito ilustrado na Figura 50, para simular a estrutura.

Figura 50- Circuito simplificado do sistema de integração com dois integradores.



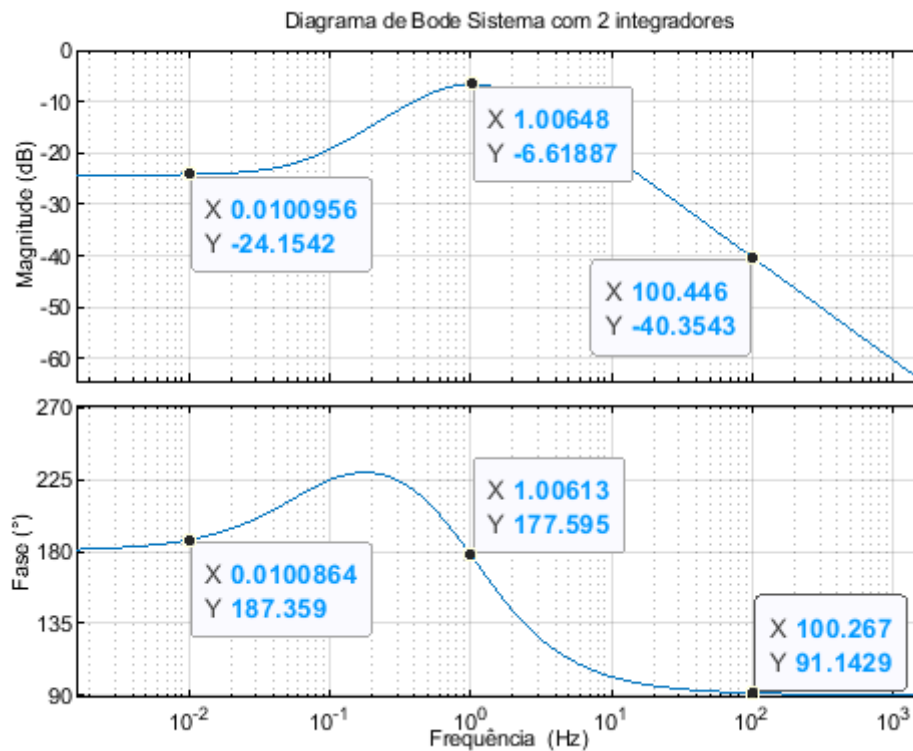
Elaborado pelo próprio autor.

Para a comparação entre os resultados obtidos pelo diagrama de blocos e a simulação do circuito, utilizou-se se $\beta_1 = \alpha_1 = \gamma_1 = \alpha_2 = \gamma_2 = 1$, a função de transferência obtida para o integrador I1 e o software Matlab® para calcular os valores numéricos da função de transferência e plotar os diagramas de bode. A função de transferência obtida é igual a:

$$H(s) = \frac{0,03388s^2 + 0,5871s - 2,232}{0.005592s^3 - 0.09451s^2 + 0.5325s - 1} \quad (42)$$

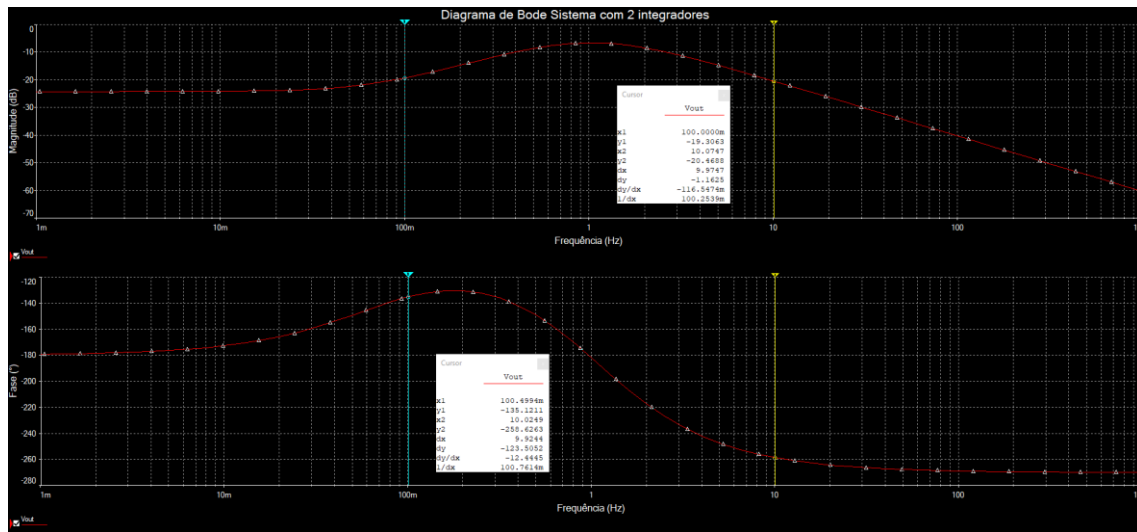
Na Figura 51, é apresentando o digrama de bode dessa função de transferência.

Figura 51-Diagrama de Bode, elaborado utilizando o Matlab, da função de transferência do sistema com dois integradores $\beta_1 = \alpha_1 = \gamma_1 = \alpha_2 = \gamma_2 = 1$ e quando o ganho $\beta_2 = 0$



Já a Figura 52 apresenta o bode obtido através da simulação dos parâmetros.

Figura 52- Bode obtido pela simulação do sistema no Multsim, com os ganhos iguais a $\beta_1 = \alpha_1 = \gamma_1 = \alpha_2 = \gamma_2 = 1$ e $\beta_2 = 0$.



Um ponto a se levar em consideração na função de transferência é que o sistema apresenta dois zeros e três polos e que há uma anulação de polos e zeros, o que explica a ondulação apresentada entre 100 mHz até 10 Hz, como ilustrado na Figura 53, e após isso o sistema apresenta um decaimento de -20 dB/década, similar ao comportamento de um integrador de primeira ordem, Figura 54.

Figura 53- Ampliação da distorção do diagrama de magnitude entre as frequências de 100 mHz a 10 Hz, quando os ganhos são iguais a $\beta_1 = \alpha_1 = \gamma_1 = \alpha_2 = \gamma_2 = 1$ e $\beta_2 = 0$

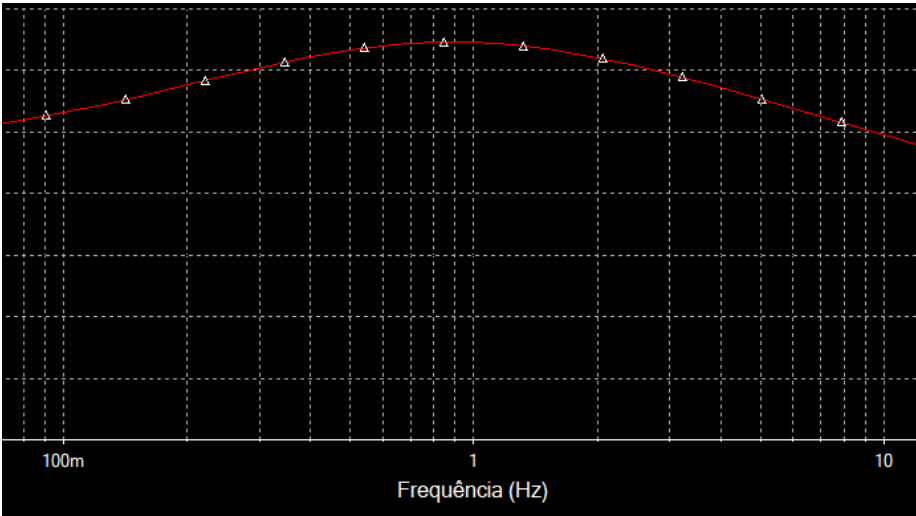
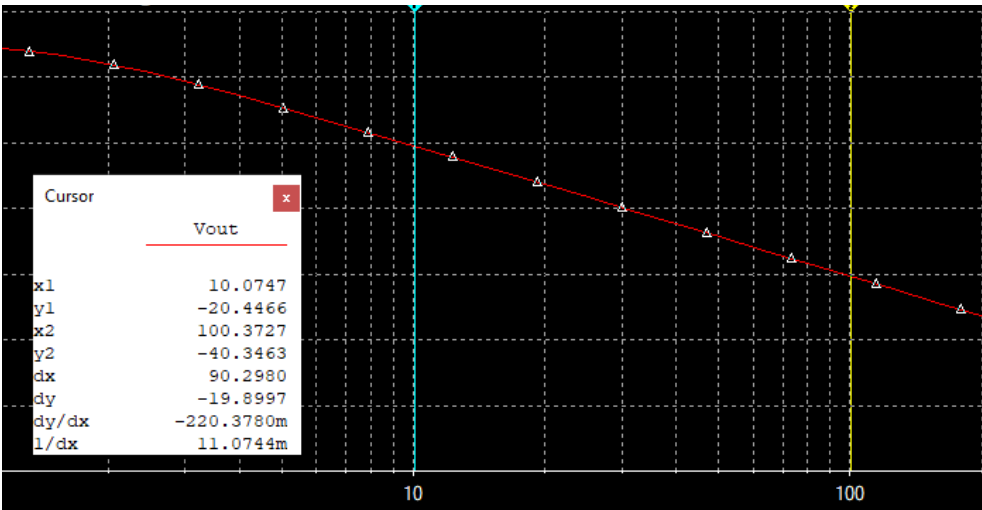


Figura 54-Análise do decaimento por década da função de transferência obtida com os ganhos iguais a $\beta_1 = \alpha_1 = \gamma_1 = \alpha_2 = \gamma_2 = 1$ e $\beta_2 = 0$.



A Tabela 2 apresenta os valores da comparação entre a simulação do circuito e os dados obtidos através da função de transferência calculada.

Tabela 2- Comparação entre os valores obtidos com os ganhos iguais a $\beta_1 = \alpha_1 = \gamma_1 = \alpha_2 = \gamma_2 = 1$ e $\beta_2 = 0$

Matlab			Multisim	
Frequência (Hz)	Magnitude (dB)	Fase (°)	Magnitude (dB)	Fase (°)
0,01	-24,15	187,36	-24,15	-172,66 (+187)
1	-6,62	177,59	-6,60	-182,25 (+ 177)
100	-40,35	91,14	-40,34	-268,86 (+91,14)

Nesse caso, vale destacar que os ângulos de fase obtidos pelo Multisim apresentam rotação de fase, assim o ângulo θ a ser considerado é igual a $360 + \theta$. Para os ganhos utilizados houve um erro pequeno entre o simulado e o obtido através da função de transferência.

Variou-se os ganhos dos sistemas para verificar a validade da $H(s)$ calculada. As figuras abaixo apresentam os diagramas de bode obtidos através de $H(s)$ e da simulação, respectivamente. As comparações entre os valores numéricos adquiridos são apresentadas nas tabelas abaixo.

Figura 55-Diagrama de bode da função de transferência do sistema com dois integradores iguais a

$$\beta_1 = \alpha_1 = \gamma_1 = \gamma_2 = 1, \alpha_2 = -10 \text{ e } \beta_2 = 0.$$

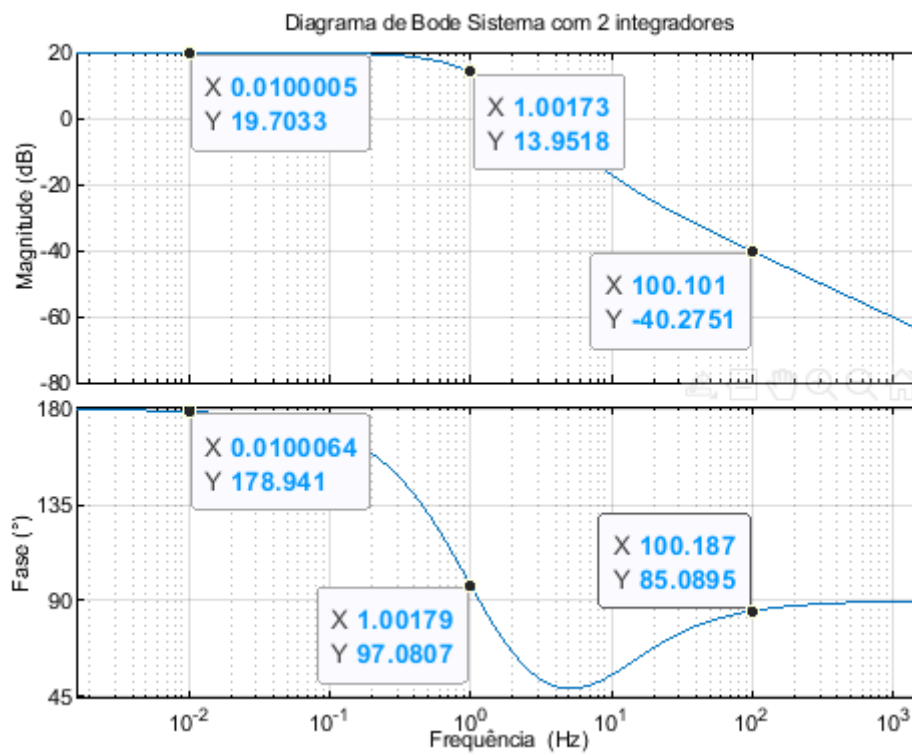


Figura 56- Bode obtido pela simulação do sistema com os ganhos iguais a $\beta_1 = \alpha_1 = \gamma_1 = \gamma_2 = 1$,
 $\alpha_2 = -10$ e $\beta_2 = 0$.

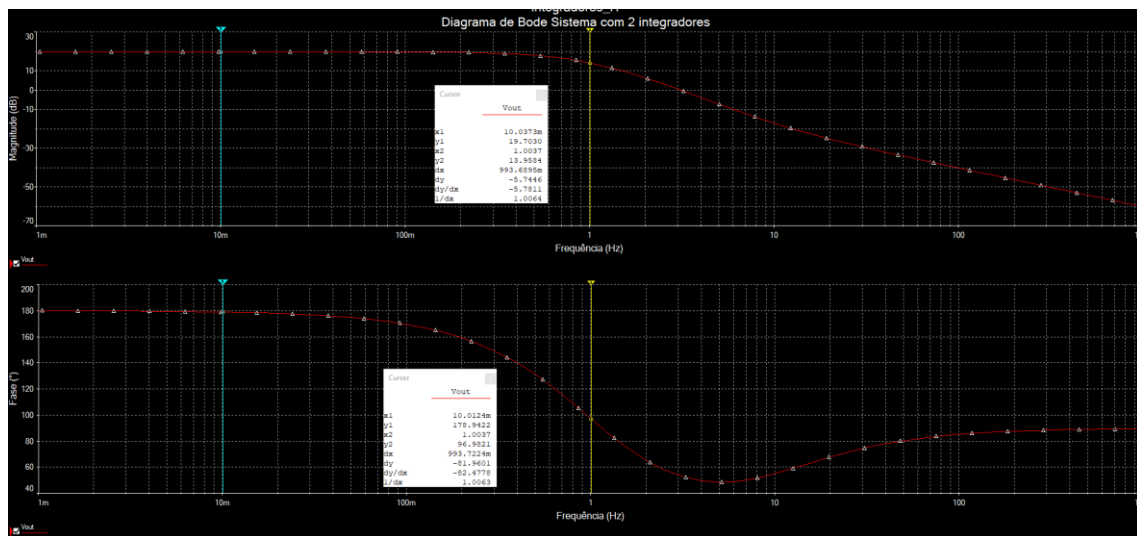


Tabela 3- Comparação entre os valores obtidos com os ganhos iguais a $\beta_1 = \alpha_1 = \gamma_1 = \gamma_2 = 1$, $\alpha_2 = -10$ e $\beta_2 = 0$

	Matlab		Multisim	
Frequência (Hz)	Magnitude (dB)	Fase (°)	Magnitude (dB)	Fase (°)
0,01	19,70	178,94	19,70	178,94
1	13,95	97,1	13,95	96,98
100	-40,28	85,10	-40,30	85,11

Figura 57-Diagrama de bode da função de transferência do sistema com dois integradores iguais a

$$\beta_1 = \alpha_1 = \alpha_2 = 1, \gamma_1 = \gamma_2 = -1 \text{ e } \beta_2 = 0$$

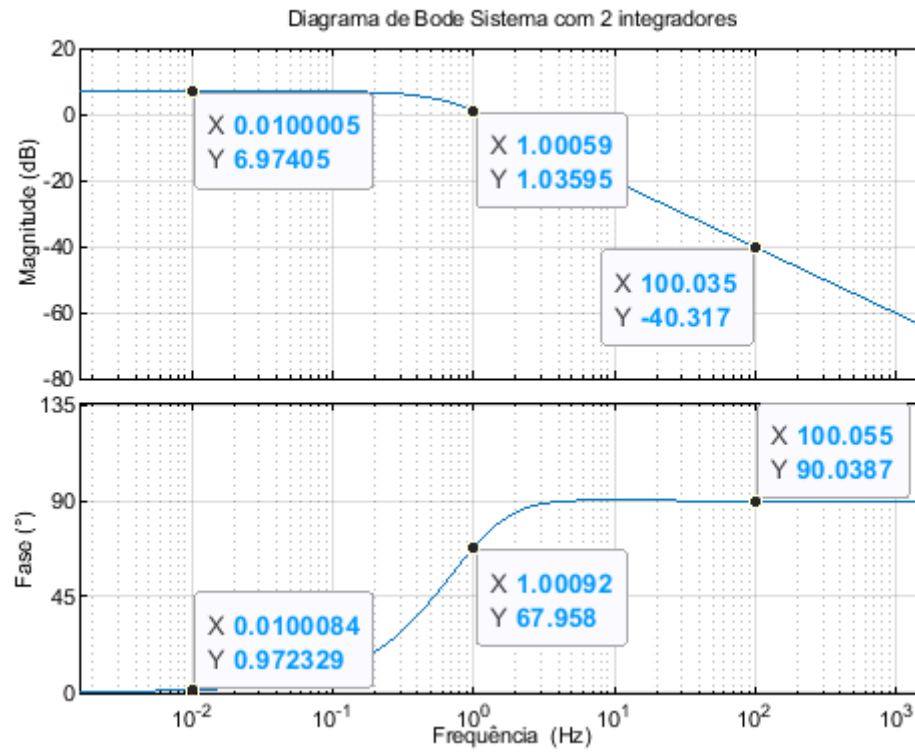


Figura 58- Bode obtido pela simulação do sistema com os ganhos iguais a $\beta_1 = \alpha_1 = \alpha_2 = 1$, $\gamma_1 = \gamma_2 = -1$ e $\beta_2 = 0$

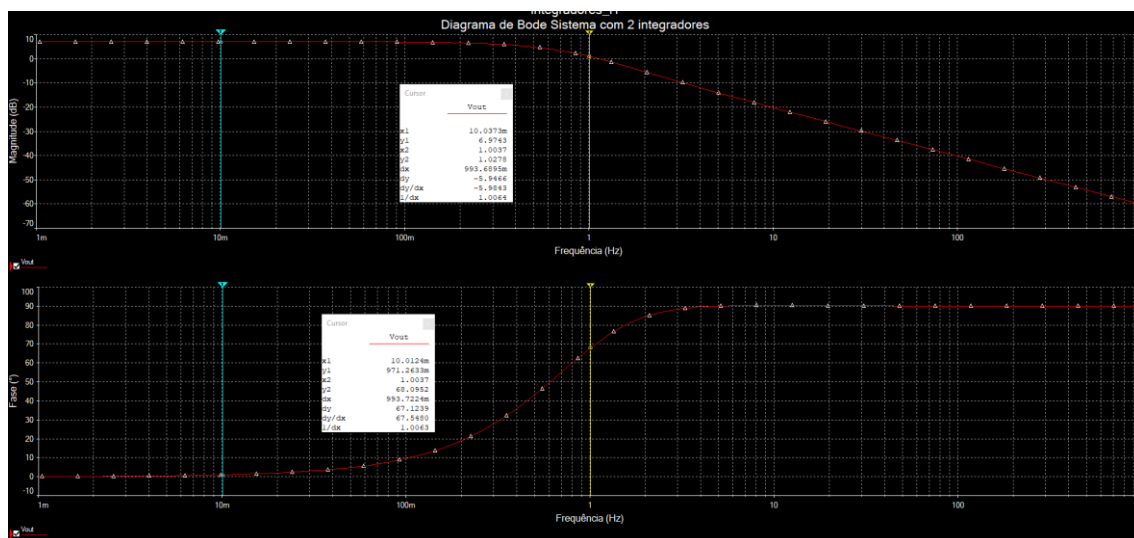


Tabela 4- Comparação entre os valores obtidos com os ganhos iguais a $\beta_1 = \alpha_1 = \alpha_2 = 1$, $\gamma_1 = \gamma_2 = -1$ e $\beta_2 = 0$.

Matlab			Multisim	
Frequência (Hz)	Magnitude (dB)	Fase (°)	Magnitude (dB)	Fase (°)
0,01	6,97	0,97	6,97	0,97
1	1,04	68,0	1,02	68,1
100	-40,32	90,04	-40,34	90,03

Assim, pode-se considerar que a equação de transferência obtida através da simplificação do diagrama de bode tem um comportamento bem semelhante à do circuito simulado, quando não há influência de β_2 .

Agora, considerando que β_2 possa assumir qualquer valor, as saídas dos integradores podem ser descritas como:

$$y_1 = \alpha_1 H'_1 u + \beta_1 H'_1 y_2 \quad (43)$$

$$y_2 = \alpha_2 H'_2 u + \beta_2 H'_2 y_1 \quad (44)$$

Analisando y_1

$$y_1 = \alpha_1 H'_1 u + \beta_1 H'_1 y_2 \quad (45)$$

$$y_1 = \alpha_1 H'_1 u + \beta_1 H'_1 (\alpha_2 H'_2 u + \beta_2 H'_2 y_1)$$

$$y_1 = \alpha_1 H'_1 u + \alpha_2 \beta_1 H'_1 H'_2 u + \beta_1 \beta_2 H'_1 H'_2 y_1$$

$$y_1 - \beta_1 \beta_2 H'_1 H'_2 y_1 = (\alpha_1 H'_1 + \alpha_2 \beta_1 H'_1 H'_2) u$$

$$(1 - \beta_1 \beta_2 H'_1 H'_2) y_1 = (\alpha_1 H'_1 + \alpha_2 \beta_1 H'_1 H'_2) u$$

$$H_{y1}(s) = \frac{y_1}{u} = \frac{\alpha_1 H'_1 + \alpha_2 \beta_1 H'_1 H'_2}{1 - \beta_1 \beta_2 H'_1 H'_2}$$

Já para y_2 :

$$y_2 = \alpha_2 H'_2 u + \beta_2 H'_2 (\alpha_1 H'_1 u + \beta_1 H'_1 y_2) \quad (46)$$

$$y_2 = \alpha_2 H'_2 u + \alpha_1 \beta_2 H'_2 H'_1 u + \beta_1 \beta_2 H'_1 H'_2 y_2$$

$$y_2 = (\alpha_2 H'_2 + \alpha_1 \beta_2 H'_2 H'_1) u + \beta_1 \beta_2 H'_1 H'_2 y_2$$

$$(1 - \beta_1 \beta_2 H'_1 H'_2) y_2 = (\alpha_2 H'_2 + \alpha_1 \beta_2 H'_2 H'_1) u$$

$$H_{y2}(s) = \frac{y_2}{u} = \frac{\alpha_2 H'_2 + \alpha_1 \beta_2 H'_2 H'_1}{1 - \beta_1 \beta_2 H'_1 H'_2}$$

Considerado se $\beta_1 = \alpha_1 = \gamma_1 = \beta_2 = \alpha_2 = \gamma_2 = 1$, substituindo os valores em $H_{y1}(s)$, e utilizando o software Matlab® para encontrar uma solução numérica, tem-se:

$$H_{y1}(s) = \frac{-0,00052s^4 + 0,0105s^3 - 0,071s^2 + 0,1724s + 0,06131}{0,00008s^5 - 0,002827s^4 + 0,033246s^3 - 0,1755s^2 + 0,3671s + 0,1269} \quad (47)$$

Figura 59-Diagrama de bode da função de transferência do sistema com dois integradores com ganhos iguais a $\beta_1 = \alpha_1 = \gamma_1 = \beta_2 = \alpha_2 = \gamma_2 = 1$.

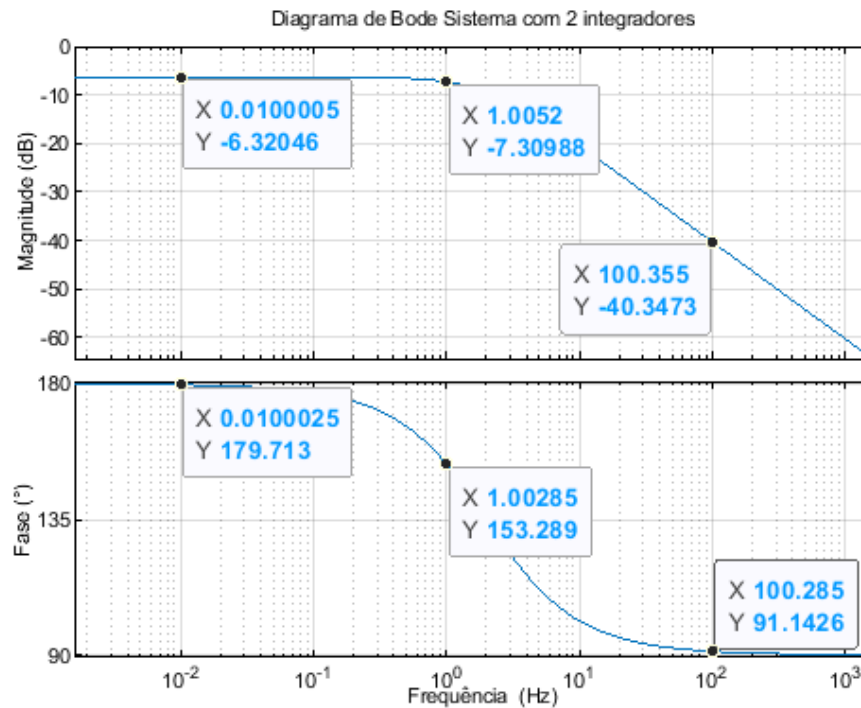


Figura 60- Bode obtido pela simulação do sistema com os ganhos iguais a $\beta_1 = \alpha_1 = \gamma_1 = \beta_2 = \alpha_2 = \gamma_2 = 1$.

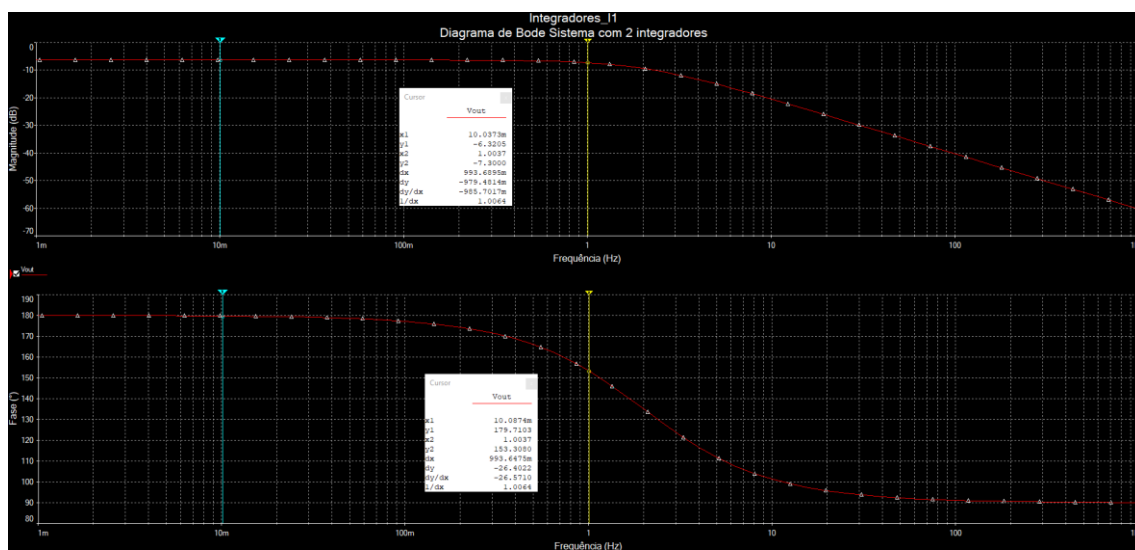
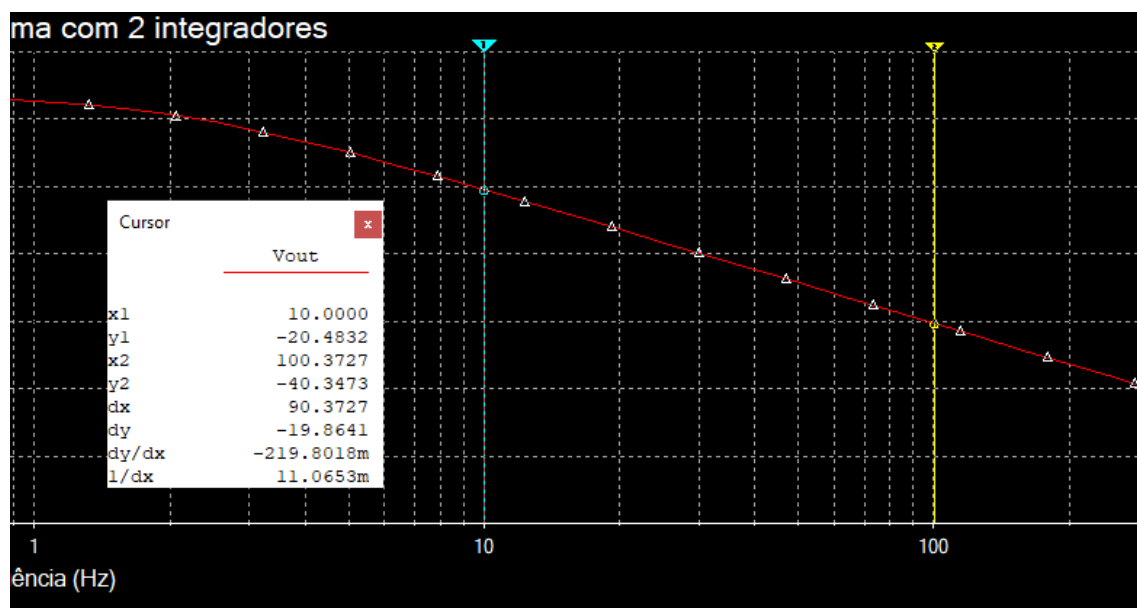


Tabela 5- Comparação entre os valores obtidos com os ganhos iguais a $\beta_1 = \alpha_1 = \alpha_2 = \gamma_1 = \gamma_2 = \beta_2 = 1$.

	Matlab	Multisim
Frequência (Hz)	Magnitude (dB)	Fase (°)
0,01	-6,32	179,71
1	-7,31	153,29
100	-40,35	91,14

Com a comparação entre o resultado calculado e o simulado, pode-se considerar que a função de transferência representa o sistema com certa fidelidade. Ao observar a faixa linear do sistema (Figura 61), nota-se que há um decaimento de 20 dB/década e na um decaimento de 90° (Figura 59) no ângulo de fase, comportamento típico de um único integrador. Novamente há o cancelamento dos polos pelos zeros introduzidos ao sistema.

Figura 61-Análise do decaimento por década da função de transferência obtida com os ganhos iguais a $\beta_1 = \alpha_1 = \gamma_1 = \beta_2 = \alpha_2 = \gamma_2 = 1$.



As figuras abaixo apresentam o comportamento do sistema com uma resposta de integração de segunda ordem. Onde testou-se γ_2 com valores de 1 e 2, para analisar a influência desse ganho na resposta do sistema.

Figura 62-Diagrama de bode da função de transferência do sistema com dois integradores com ganhos iguais a $\beta_1 = \beta_2 = \gamma_1 = \gamma_2 = \alpha_2 = 1$ e $\alpha_1 = 0$.

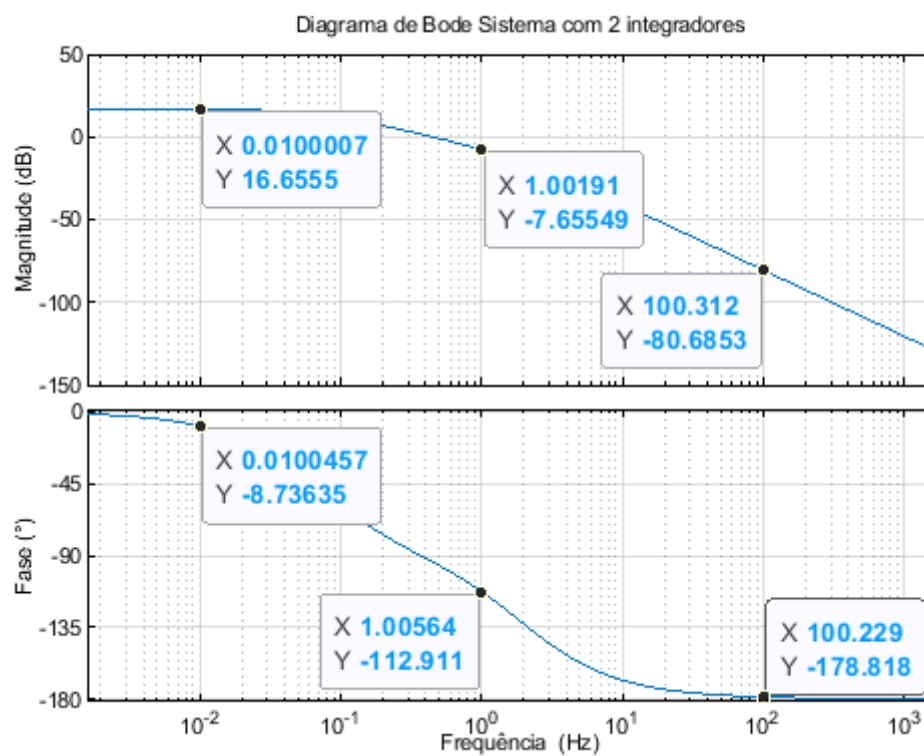


Figura 63- Bode obtido pela simulação do sistema com os ganhos iguais a $\beta_1 = \beta_2 = \gamma_1 = \gamma_2 = \alpha_2 = 1, \alpha_1 = 0$.

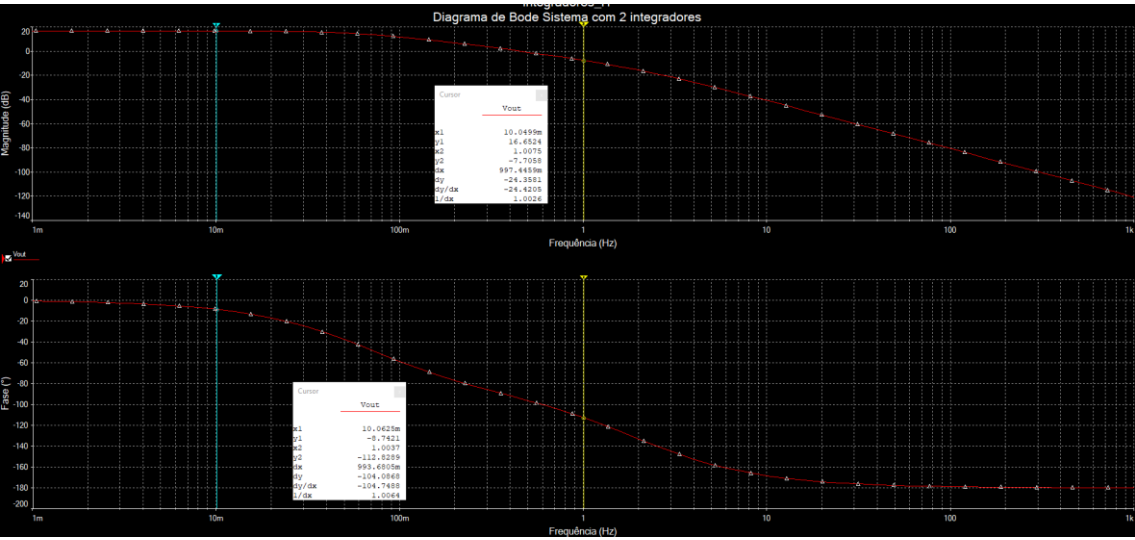


Figura 64-Análise do decaimento por década da função de transferência obtida com os ganhos iguais a $\beta_1 = \beta_2 = \gamma_1 = \alpha_2 = 1, \alpha_1 = 0$ e $\gamma_2 = 1$.

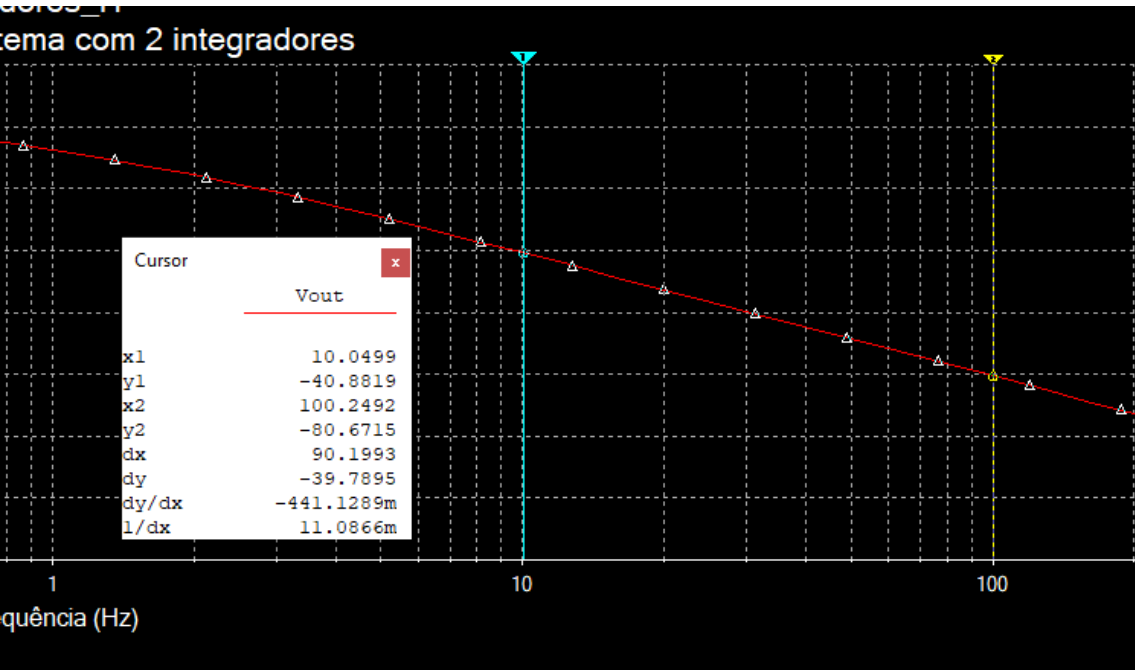


Tabela 6- Comparação entre os valores obtidos com os ganhos iguais a $\beta_1 = \beta_2 = \gamma_1 = \gamma_2 = \alpha_2 = 1$, $\alpha_1 = 0$.

	Matlab		Multisim	
Frequência (Hz)	Magnitude (dB)	Fase (°)	Magnitude (dB)	Fase (°)
0,01	16,66	-8,73	16,65	-8,74
1	-7,66	-112,91	-7,63	-112,83
100	-80,69	-178,81	-80,67	-178,10

Figura 65- Diagrama de bode da função de transferência do sistema com dois integradores com ganhos iguais a $\beta_1 = \beta_2 = \gamma_1 = \alpha_2 = 1$, $\alpha_1 = 0$ e $\gamma_2 = 2$.

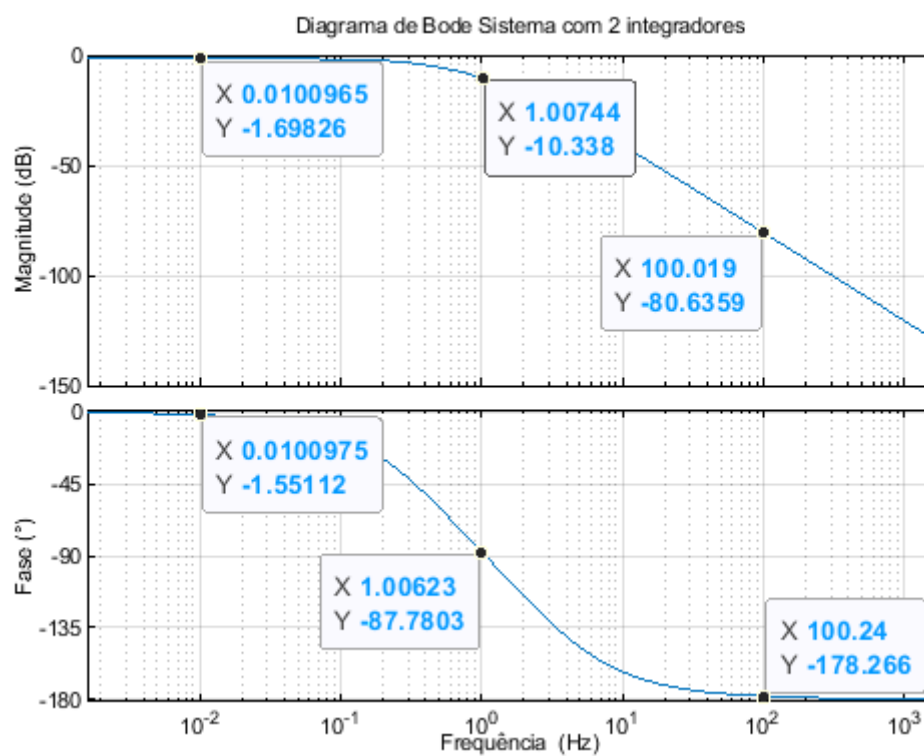


Figura 66- Bode obtido pela simulação do sistema com os ganhos iguais a $\beta_1 = \beta_2 = \gamma_1 = \alpha_2 = 1$, $\alpha_1 = 0$ e $\gamma_2 = 2$.

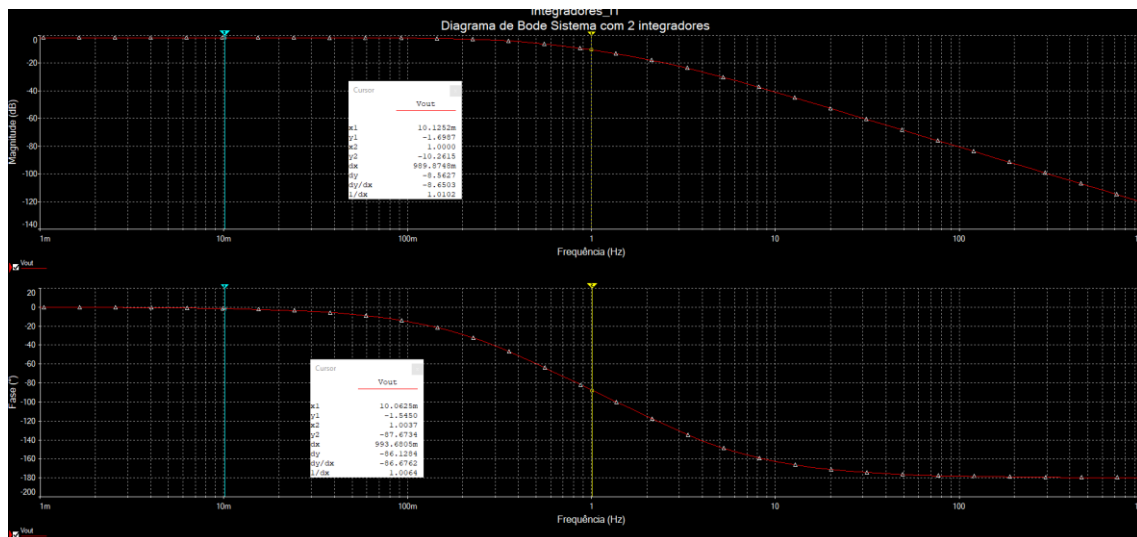


Figura 67-Análise do decaimento por década da função de transferência obtida com os ganhos iguais a $\beta_1 = \beta_2 = \gamma_1 = \alpha_2 = 1$, $\alpha_1 = 0$ e $\gamma_2 = 2$.

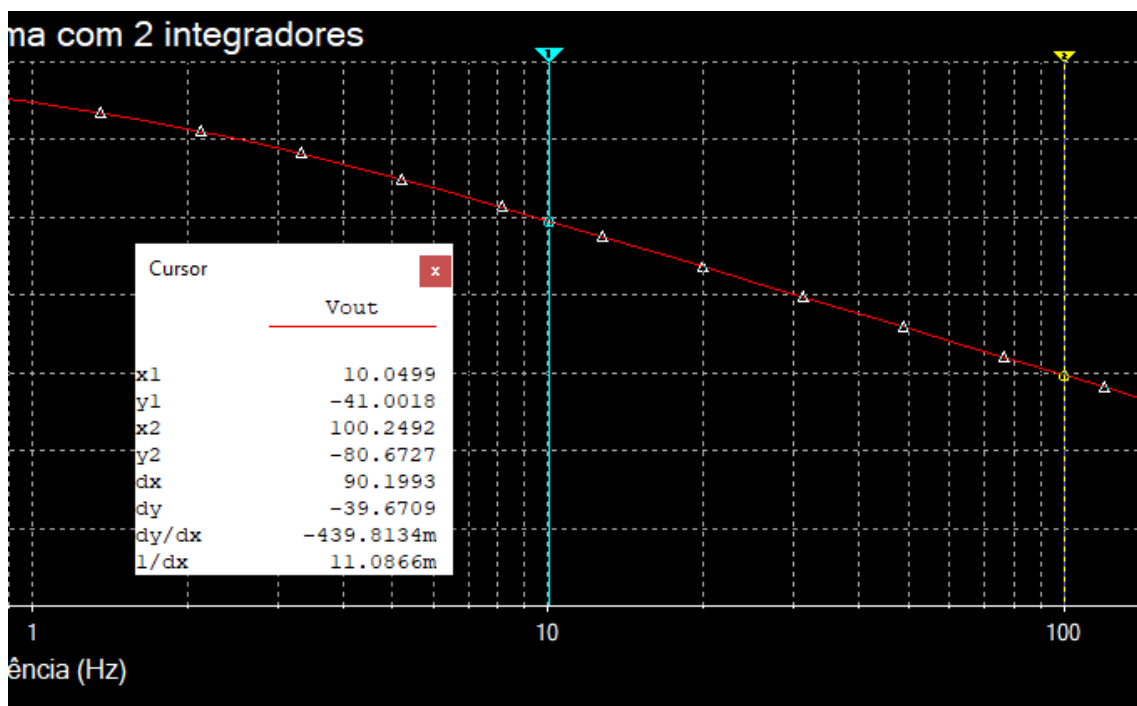


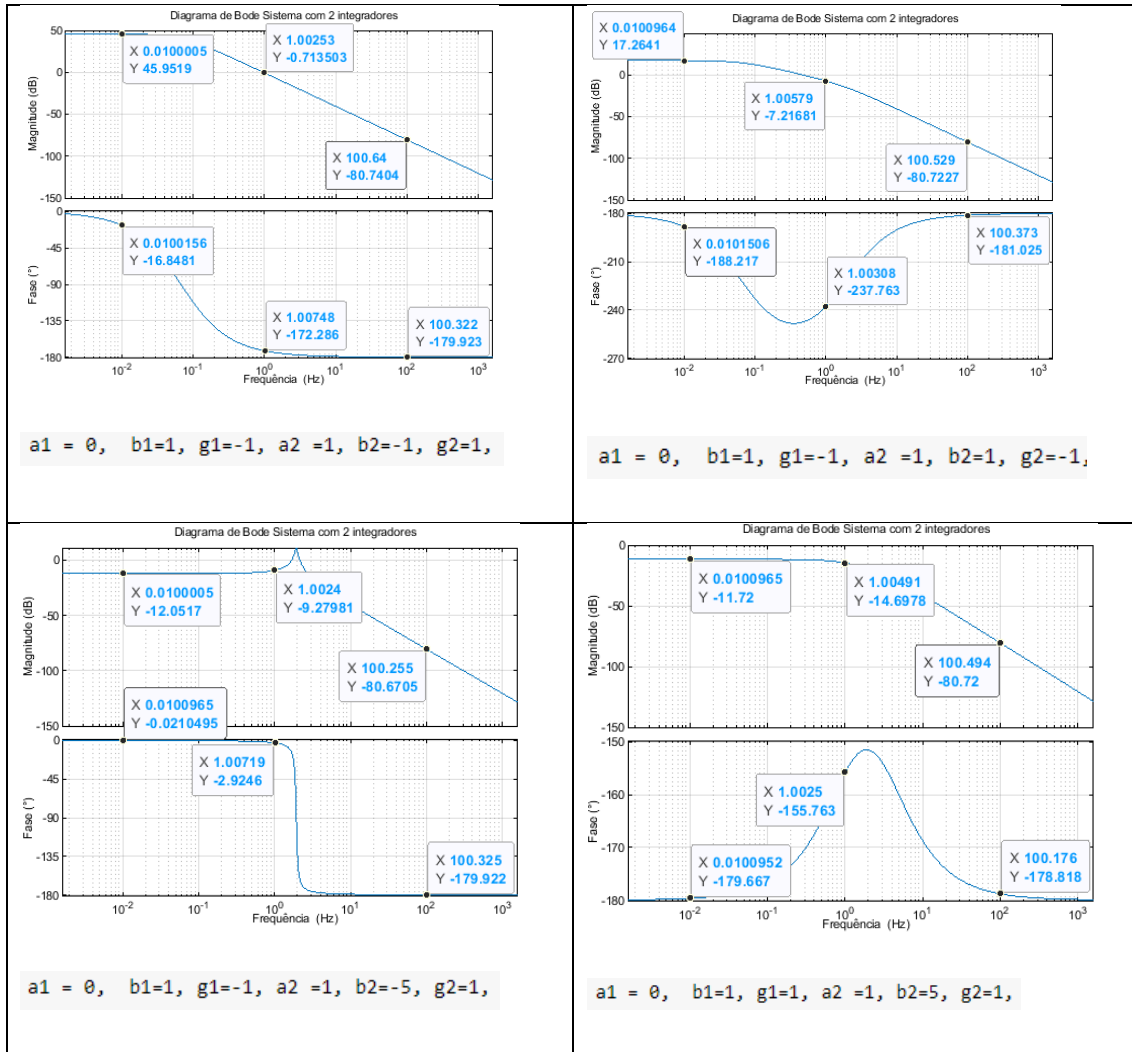
Tabela 7- Comparação entre os valores obtidos com os ganhos iguais a $\beta_1 = \beta_2 = \gamma_1 = \alpha_2 = 1$, $\alpha_1 = 0$ e $\gamma_2 = 2$.

Matlab			Multisim	
Frequência (Hz)	Magnitude (dB)	Fase (°)	Magnitude (dB)	Fase (°)
0,01	-1,70	-1,55	-1,70	-1,51
1	-10,34	-87,78	-10,26	-87,67
100	-80,64	-178,27	-80,67	-178,28

Pelas figuras acima, é possível notar que o decaimento do sistema é de 40 dB/década e tendência de decaimento de 180 ° no ângulo de fase, comportamento esperado para um sistema de integradores de segunda ordem. Nota-se que a topologia desenvolvida consegue realizar a integração utilizando dois integradores acoplados e que o modelo matemático proposto apresenta fidelidade com os resultados obtidos.

A Tabela 8 apresenta situações com as variações dos ganhos do sistema para demonstrar a flexibilidade obtida pela topologia.

Tabela 8- Diagrama de bode do sistema para uma variação dos ganhos β_1 , β_2 , γ_1 , e γ_2 .



5.2.4. Cálculo analítico das funções de transferência do sistema

Manipulando a função de transferência H_{y_1} , temos:

$$(s) = \frac{\alpha_1 H'_1 + \alpha_2 b_1 H'_1 H'_2}{1 - \beta_1 \beta_2 H'_1 H'_2} \rightarrow \frac{(H'_1 H'_2) \left(\frac{\alpha_1}{H'_2} + \alpha_2 b_1 \right)}{(H'_1 H'_2) \left(\frac{1}{H'_1 H'_2} - \beta_1 \beta_2 \right)} \quad (48)$$

$$\therefore H_{y_1}(s) = \frac{\frac{\alpha_1}{H'_2} + \alpha_2 b_1}{\frac{1}{H'_1 H'_2} - \beta_1 \beta_2}$$

H_{y_1} Substituindo os valores de H'_1 , H'_2 , temos:

$$H_{y_1}(s) \quad (49)$$

$$= \frac{-\alpha_1 \frac{\omega_c (1 + \gamma_2 k)}{k + \gamma_2 k^2} s + \alpha_2 \beta_1 - \alpha_1 \frac{1 + \gamma_2 k}{k}}{\frac{\omega_c^2}{k^2} s^2 + \frac{\omega_c (2 + k(\gamma_1 + \gamma_2))}{k^2} s - \beta_1 \beta_2 + \frac{1 + k(\gamma_1 + \gamma_2) + \gamma_1 \gamma_2 k^2}{k^2}}$$

Onde, ω_c corresponde à frequência do polo do integrador e k ao ganho em corrente contínua.

Para um sinal com $f < 100$ Hz, temos:

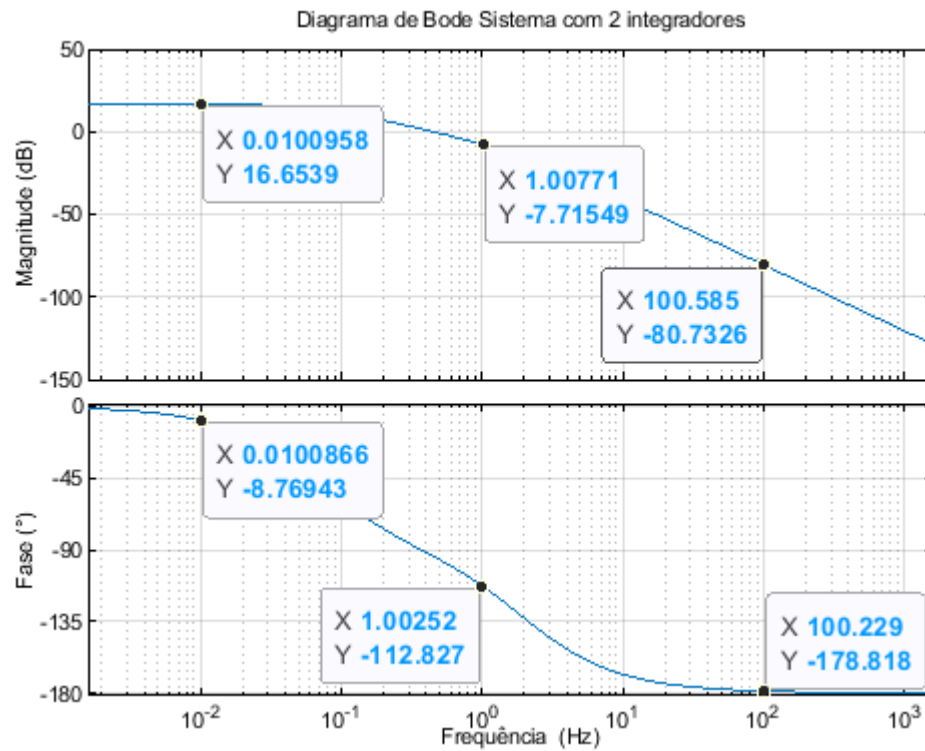
$$H_{y_1}(s) \quad (50)$$

$$= \frac{-\alpha_1 \frac{2,35(1 + 14,24\gamma_2)}{14,24 + 202,78\gamma_2} s + \alpha_2 \beta_1 - \alpha_1 \frac{(1 + 14,24\gamma_2)}{14,24}}{0,027s^2 + \frac{2,35(2 + 14,24(\gamma_1 + \gamma_2))}{202,78} s - \beta_1 \beta_2 + \frac{1 + 14,24(\gamma_1 + \gamma_2) + 202,78\gamma_1 \gamma_2}{202,78}}$$

Considerando $\beta_1 = \gamma_1 = \beta_2 = \alpha_2 = \gamma_2 = 1$ e $\alpha_1 = 0$ e analisando o digrama de Bode obtido pela função de transferência:

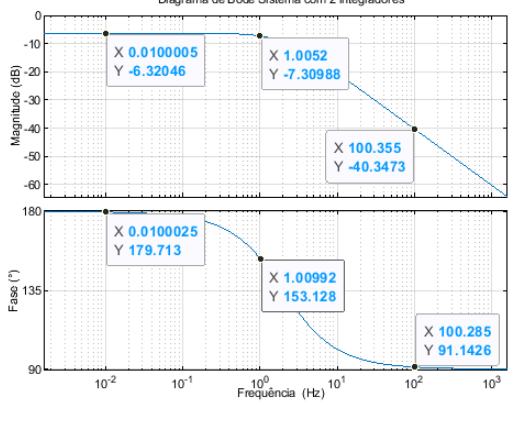
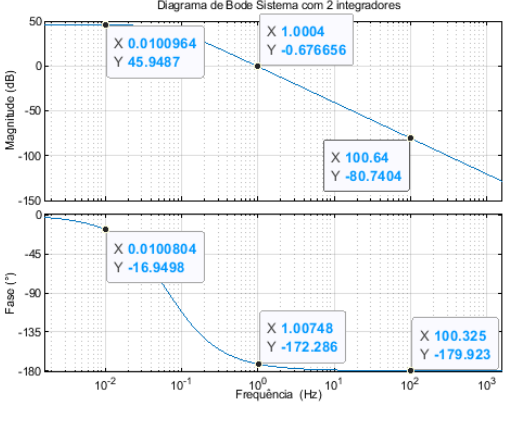
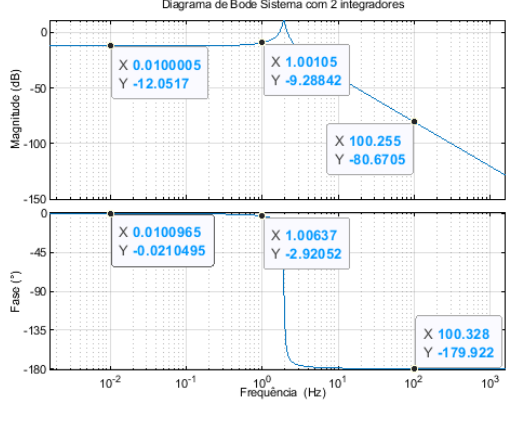
$$H_{y_1}(s) = \frac{1}{0,027s^2 + 0,353s + 0,145} \quad (51)$$

Figura 68-Diagrama de Bode da função de transferência $H_{y_1}(s)$ com ganhos iguais a $\beta_1 = \beta_2 = \gamma_1 = \gamma_2 = \alpha_2 = 1, \alpha_1 = 0$.



Observa-se que a Figura 68 apresenta resultados semelhantes obtidos anteriormente. Além disso, a equação evidencia que a presença do ganho α_1 introduz um zero no sistema ($\frac{2,35(1+14,24\gamma_2)}{14,24+202,78\gamma_2} s$), o que corrobora com os resultados obtidos.

Tabela 9- Funções de transferência e diagramas de bode, obtidos através da equação analítica, variação dos ganhos β_1 , β_2 , γ_1 , e γ_2 .

$a1 = 1, \quad b1=1, \quad g1=1, \quad a2 =1, \quad b2=1, \quad g2=1,$ $H_{y_1}(s) = \frac{-0,165s - 0,070}{0,027s^2 + 0,353s + 0,145}$	Diagrama de Bode Sistema com 2 integradores  Magnitude (dB) Fase (°) Frequência (Hz)
$a1 = 0, \quad b1=1, \quad g1=-1, \quad a2 =1, \quad b2=-1, \quad g2=1,$ $H_{y_1}(s) = \frac{1}{0,027s^2 + 0,023s + 0,005}$	Diagrama de Bode Sistema com 2 integradores  Magnitude (dB) Fase (°) Frequência (Hz)
$a1 = 0, \quad b1=1, \quad g1=-1, \quad a2 =1, \quad b2=-5, \quad g2=1,$ $H_{y_1}(s) = \frac{1}{0,027s^2 + 0,023s + 4,00}$	Diagrama de Bode Sistema com 2 integradores  Magnitude (dB) Fase (°) Frequência (Hz)

A Tabela 9 mostra o resultado das funções de transferência utilizando os ganhos apresentados anteriormente. Nota-se que a equação obtida ilustra o comportamento do sistema de uma maneira menos complexa, isto é, com menor número de polos e zeros, do que o resultado obtido numericamente.

5.2.5. Representação da função de transferência no espaço de estados.

Reorganizando a função de transferência do sistema para encontrar uma representação no espaço de estados, conforme a equação abaixo [32].

$$H_{y_1}(s) = \frac{b_0 s^2 + b_1 s + b_2}{s^2 + a_1 s + a_2} \quad (52)$$

Assim, a função de transferência do sistema pode ser representada como:

$$\begin{aligned} H_{y_1}(s) &= \frac{-\alpha_1 \frac{\omega_c (1 + \gamma_2 k)}{k + \gamma_2 k^2} s + \alpha_2 \beta_1 - \alpha_1 \frac{1 + \gamma_2 k}{k}}{\frac{\omega_c^2}{k^2} s^2 + \frac{\omega_c (2 + k(\gamma_1 + \gamma_2))}{k^2} s - \beta_1 \beta_2 + \frac{1 + k(\gamma_1 + \gamma_2) + \gamma_1 \gamma_2 k^2}{k^2}} \\ &\rightarrow = \frac{-\alpha_1 \frac{k}{\omega_c} s + \frac{k^2 (\alpha_2 b_1 - \alpha_1 \gamma_2) - \alpha_1 k}{\omega_c^2}}{s^2 + \frac{(2 + k(\gamma_1 + \gamma_2))}{\omega_c} s + \frac{1 + k(\gamma_1 + \gamma_2) + k^2 (\gamma_1 \gamma_2 - b_1 b_2)}{\omega_c^2}} \end{aligned} \quad (53)$$

Onde:

$$b_0 = 0; \quad (54)$$

$$b_1 = -\alpha_1 \frac{k}{\omega_c}; \quad (55)$$

$$b_2 = \frac{k^2 (\alpha_2 b_1 - \alpha_1 \gamma_2) - \alpha_1 k}{\omega_c^2}; \quad (56)$$

$$a_1 = \frac{(2 + k(\gamma_1 + \gamma_2))}{\omega_c}; \quad (57)$$

$$a_2 = \frac{1 + k(\gamma_1 + \gamma_2) + k^2 (\gamma_1 \gamma_2 - b_1 b_2)}{\omega_c^2} \quad (58)$$

Pela matriz na forma canônica controlável [32]:

$$\begin{bmatrix} \dot{x}_1 \\ \dot{x}_2 \end{bmatrix} = \begin{bmatrix} 0 & 1 \\ -a_2 & -a_1 \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \end{bmatrix} + \begin{bmatrix} 0 \\ 1 \end{bmatrix} u \quad (59)$$

$$y = [b_2 - a_2 b_0 \quad b_1 - a_1 b_0] \begin{bmatrix} x_1 \\ x_2 \end{bmatrix} + b_0 u \quad (60)$$

Uma representação no espaço de estados do sistema dos integradores é igual a:

$$\begin{bmatrix} \dot{x}_1 \\ \dot{x}_2 \end{bmatrix} \quad (61)$$

$$= \begin{bmatrix} 0 & 1 \\ -\frac{1 + k(\gamma_1 + \gamma_2) + k^2(\gamma_1 \gamma_2 - b_1 b_2)}{\omega_c^2} & -\frac{(2 + k(\gamma_1 + \gamma_2))}{\omega_c} \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \end{bmatrix}$$

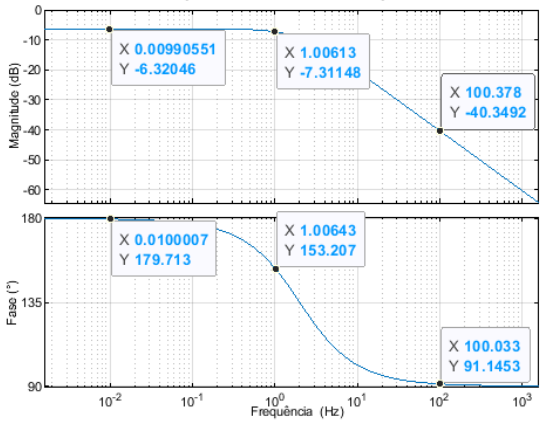
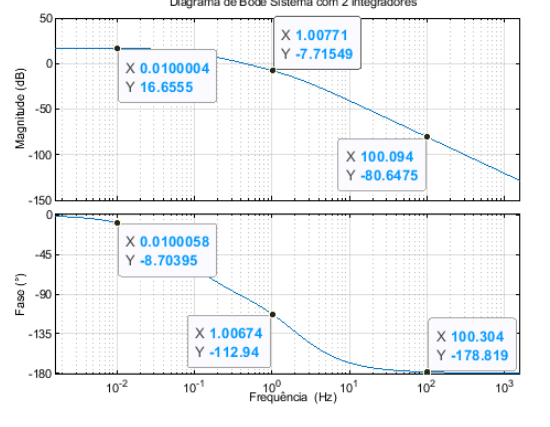
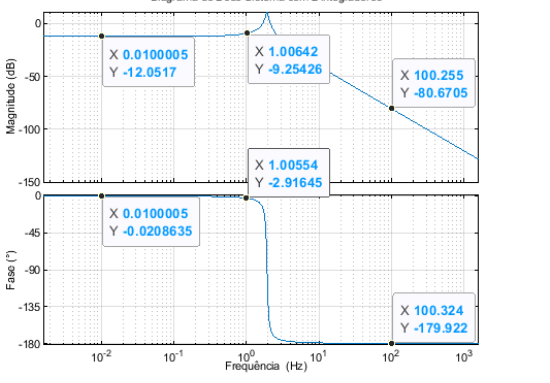
$$+ \begin{bmatrix} 0 \\ 1 \end{bmatrix} u$$

$$y = \begin{bmatrix} \frac{k^2(\alpha_2 b_1 - \alpha_1 \gamma_2) - \alpha_1 k}{\omega_c^2} & -\alpha_1 \frac{k}{\omega_c} \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \end{bmatrix} \quad (62)$$

A Tabela 10 apresenta a matriz de espaço de estado e o diagrama de Bode para três casos conhecidos de ganhos $\alpha_1, \alpha_2, \beta_1, \beta_2, \gamma_1, \gamma_2$.

Observa-se que a matriz de espaço de estado representa com fidelidade o comportamento do sistema e de uma forma mais simples. Além disso, se torna mais fácil compor os coeficientes relacionados à entrada e saída do sistema. Para facilitar o processo de ajuste dos ganhos do integrador e facilitar a visualização dos coeficientes de entrada e de saída se escolheu essa forma de espaço de estados para realizar a programação dos ganhos nos integradores.

Tabela 10- Representações no espaço de estado e diagramas de bode com a variação dos ganhos β_1 , β_2 , γ_1 , e γ_2 .

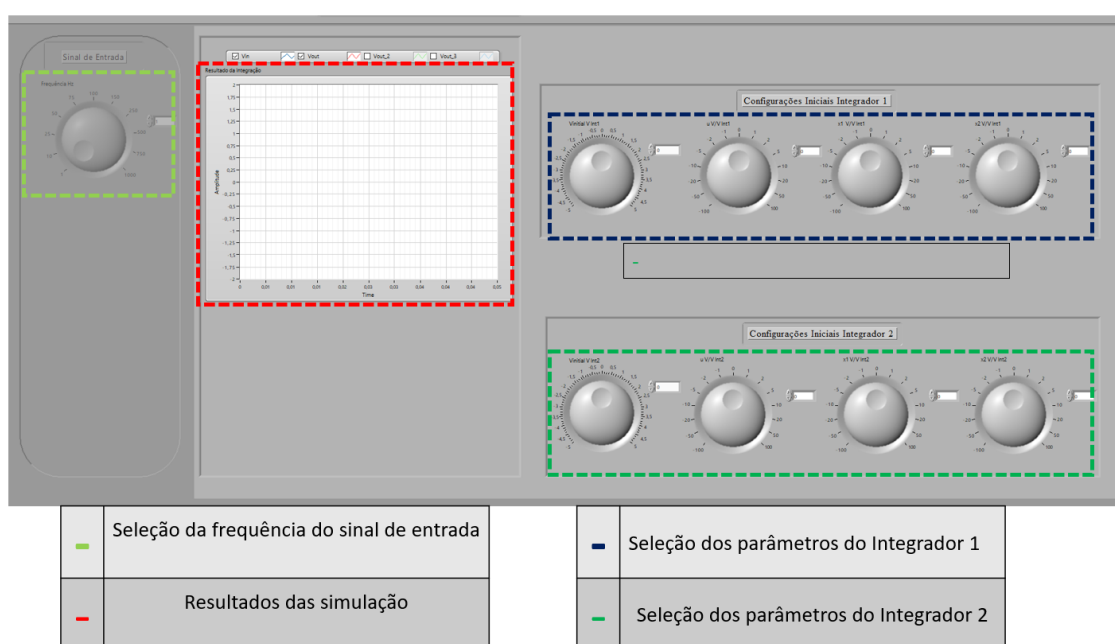
$a_1 = 1, \quad b_1=1, \quad g_1=1, \quad a_2=1, \quad b_2=1, \quad g_2=1,$ $k = 14.24;$ $wc = 2.35;$ $\begin{bmatrix} \dot{x}_1 \\ \dot{x}_2 \end{bmatrix} = \begin{bmatrix} 0 & 1 \\ -5,34 & -12,97 \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \end{bmatrix} + \begin{bmatrix} 0 \\ 1 \end{bmatrix} u$ $y = \begin{bmatrix} -2,58 & -6,06 \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \end{bmatrix}$	Diagrama de Bode Sistema com 2 integradores  <table border="1"> <caption>Magnitude Data</caption> <thead> <tr> <th>Frequência (Hz)</th> <th>Magnitude (dB)</th> </tr> </thead> <tbody> <tr> <td>0.00990551</td> <td>-6.32046</td> </tr> <tr> <td>1.00613</td> <td>-7.31148</td> </tr> <tr> <td>100.378</td> <td>-40.3492</td> </tr> </tbody> </table> <table border="1"> <caption>Phase Data</caption> <thead> <tr> <th>Frequência (Hz)</th> <th>Phase (°)</th> </tr> </thead> <tbody> <tr> <td>0.0100007</td> <td>179.713</td> </tr> <tr> <td>1.00643</td> <td>153.207</td> </tr> <tr> <td>100.033</td> <td>91.1453</td> </tr> </tbody> </table>	Frequência (Hz)	Magnitude (dB)	0.00990551	-6.32046	1.00613	-7.31148	100.378	-40.3492	Frequência (Hz)	Phase (°)	0.0100007	179.713	1.00643	153.207	100.033	91.1453
Frequência (Hz)	Magnitude (dB)																
0.00990551	-6.32046																
1.00613	-7.31148																
100.378	-40.3492																
Frequência (Hz)	Phase (°)																
0.0100007	179.713																
1.00643	153.207																
100.033	91.1453																
$a_1 = 0, \quad b_1=1, \quad g_1=1, \quad a_2=1, \quad b_2=1, \quad g_2=1,$ $k = 14.24;$ $wc = 2.35;$ $\begin{bmatrix} \dot{x}_1 \\ \dot{x}_2 \end{bmatrix} = \begin{bmatrix} 0 & 1 \\ -5,34 & -12,97 \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \end{bmatrix} + \begin{bmatrix} 0 \\ 1 \end{bmatrix} u$ $y = \begin{bmatrix} 36,72 & 0 \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \end{bmatrix}$	Diagrama de Bode Sistema com 2 integradores  <table border="1"> <caption>Magnitude Data</caption> <thead> <tr> <th>Frequência (Hz)</th> <th>Magnitude (dB)</th> </tr> </thead> <tbody> <tr> <td>0.0100004</td> <td>16.6555</td> </tr> <tr> <td>1.00771</td> <td>-7.71549</td> </tr> <tr> <td>100.094</td> <td>-80.6475</td> </tr> </tbody> </table> <table border="1"> <caption>Phase Data</caption> <thead> <tr> <th>Frequência (Hz)</th> <th>Phase (°)</th> </tr> </thead> <tbody> <tr> <td>0.0100058</td> <td>-8.70395</td> </tr> <tr> <td>1.00674</td> <td>-112.94</td> </tr> <tr> <td>100.304</td> <td>-178.819</td> </tr> </tbody> </table>	Frequência (Hz)	Magnitude (dB)	0.0100004	16.6555	1.00771	-7.71549	100.094	-80.6475	Frequência (Hz)	Phase (°)	0.0100058	-8.70395	1.00674	-112.94	100.304	-178.819
Frequência (Hz)	Magnitude (dB)																
0.0100004	16.6555																
1.00771	-7.71549																
100.094	-80.6475																
Frequência (Hz)	Phase (°)																
0.0100058	-8.70395																
1.00674	-112.94																
100.304	-178.819																
$a_1 = 0, \quad b_1=1, \quad g_1=-1, \quad a_2=1, \quad b_2=-5, \quad g_2=1,$ $k = 14.24;$ $wc = 2.35;$ $\begin{bmatrix} \dot{x}_1 \\ \dot{x}_2 \end{bmatrix} = \begin{bmatrix} 0 & 1 \\ -147 & -0,85 \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \end{bmatrix} + \begin{bmatrix} 0 \\ 1 \end{bmatrix} u$ $y = \begin{bmatrix} 36,72 & 0 \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \end{bmatrix}$	Diagrama de Bode Sistema com 2 integradores  <table border="1"> <caption>Magnitude Data</caption> <thead> <tr> <th>Frequência (Hz)</th> <th>Magnitude (dB)</th> </tr> </thead> <tbody> <tr> <td>0.0100005</td> <td>-12.0517</td> </tr> <tr> <td>1.00642</td> <td>-9.25426</td> </tr> <tr> <td>100.255</td> <td>-80.6705</td> </tr> </tbody> </table> <table border="1"> <caption>Phase Data</caption> <thead> <tr> <th>Frequência (Hz)</th> <th>Phase (°)</th> </tr> </thead> <tbody> <tr> <td>0.0100005</td> <td>-0.0208635</td> </tr> <tr> <td>1.00554</td> <td>-2.91645</td> </tr> <tr> <td>100.324</td> <td>-179.922</td> </tr> </tbody> </table>	Frequência (Hz)	Magnitude (dB)	0.0100005	-12.0517	1.00642	-9.25426	100.255	-80.6705	Frequência (Hz)	Phase (°)	0.0100005	-0.0208635	1.00554	-2.91645	100.324	-179.922
Frequência (Hz)	Magnitude (dB)																
0.0100005	-12.0517																
1.00642	-9.25426																
100.255	-80.6705																
Frequência (Hz)	Phase (°)																
0.0100005	-0.0208635																
1.00554	-2.91645																
100.324	-179.922																

5.3. Interface gráfica e programação do computador híbrido

Para construir uma interface de usuário e simular o comportamento do integrador desenvolvido em diversos cenários, optou-se pela co-simulação entre o software LabView® 19 e o Multisim® 14. A escolha do Labview se deu pela facilidade de integração dos modelos feitos no Multisim®, além da facilidade para construir uma interface gráfica, da possibilidade de salvar os resultados das simulações em um banco de dados, e da maior confiabilidade na inserção dos sinais de controle do sistema integrador.

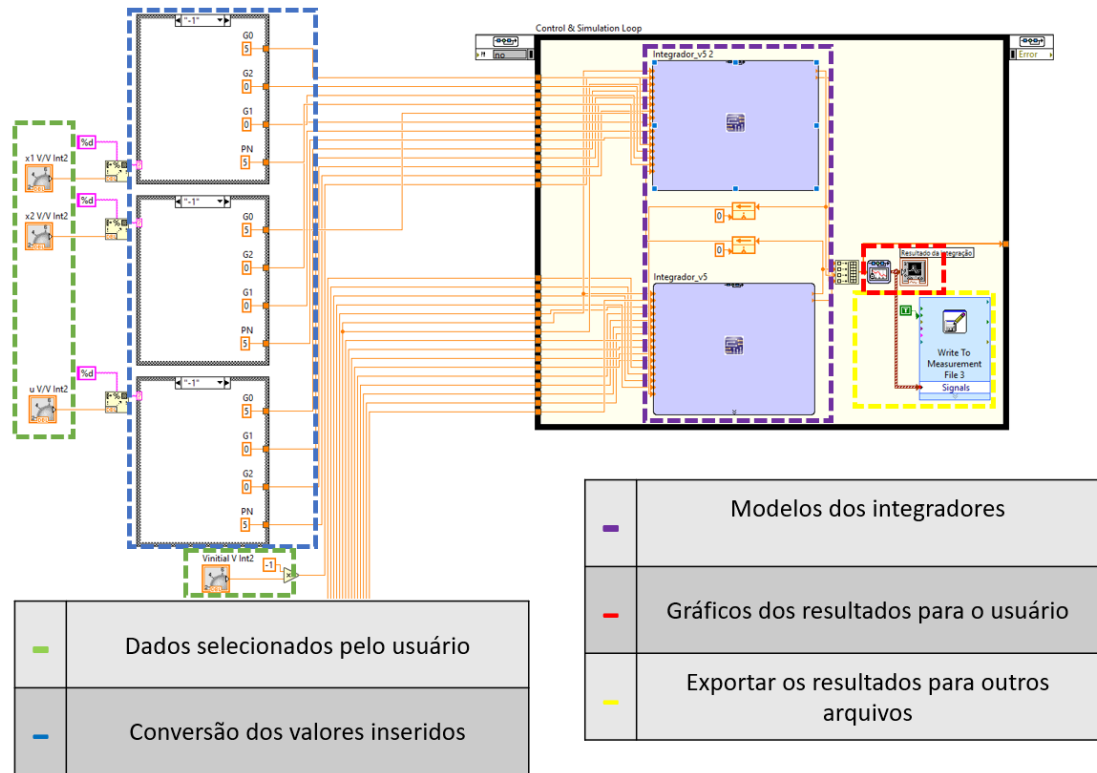
A interface gráfica desenvolvida é ilustrada na Figura 69, onde o bloco em verde claro corresponde à seleção da frequência do sinal de entrada nos integradores, nos blocos azul e verde escuros, o usuário pode inserir os parâmetros (sinal de entrada, condições iniciais e os ganhos a, b, e g) de simulação nos integradores e, no bloco vermelho, é apresentado o resultado da simulação.

Figura 69- Interface gráfica desenvolvida no software Labview®, onde o bloco em verde claro corresponde à seleção da frequência do sinal de entrada, os blocos em azul e verde às escolhas dos parâmetros de simulação dos integradores e o em vermelho à ilustração dos resultados.



Já o digrama de blocos para a co-simulação entre os softwares é apresentado na Figura 70, em que o bloco em verde corresponde aos dados inseridos pelo usuário, o bloco em azul à conversão desses dados em sinais de entrada para o sistema de integração, o bloco em roxo aos modelos dos integradores no software Multisim®, o bloco em vermelho à montagem dos resultados em forma gráfica para o usuário e o bloco em amarelo à exportação dos dados para outras formas de arquivos.

Figura 70- Diagrama de blocos da interface entre o software Labview® e o Multisim®, onde o bloco em verde claro corresponde aos dados inseridos pelo usuário, o bloco em azul a conversão dos dados para sinais elétricos para os integradores, o bloco em roxo aos modelos dos integradores desenvolvidos no Multisim®, o bloco em vermelho à ilustração dos resultados e o bloco em amarelo à exportação dos dados para outros formatos de arquivos.



5.3.1. Simulação de equações utilizando espaço de estados

Uma vez que os integradores, em um sistema de controle de tempo contínuo, servem como dispositivos de memória, as saídas desses integradores podem ser consideradas variáveis que definem o estado interno do sistema dinâmico.

O sistema desenvolvido foi pensado para simular as equações utilizando espaço de estados. Para o usuário simular uma equação na interface desenvolvida ele deve selecionar os parâmetros α, β, γ e a frequência f . A Figura 71 ilustra o processo de escolha dos parâmetros de um integrador.

Assim, para simular uma equação é necessário realizar a conversão dos ganhos das equações (61) e (62).

Por exemplo, para $\alpha_1 = \beta_1 = \gamma_1 = 1, \alpha_2 = \beta_2 = \gamma_2 = 0$ e $f = 10 \text{ Hz}$, semelhante a Figura 72, tem-se a seguinte matriz de estado:

$$\begin{bmatrix} \dot{x}_1 \\ \dot{x}_2 \end{bmatrix} = \begin{bmatrix} 0 & 1 \\ -2,76 & -6,91 \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \end{bmatrix} + \begin{bmatrix} 0 \\ 1 \end{bmatrix} u \quad (63)$$

$$y = \begin{bmatrix} -2,58 & -6,06 \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \end{bmatrix} \quad (64)$$

Figura 71- Ilustração das seleções dos ganhos de integração α, β, γ e da frequência f .

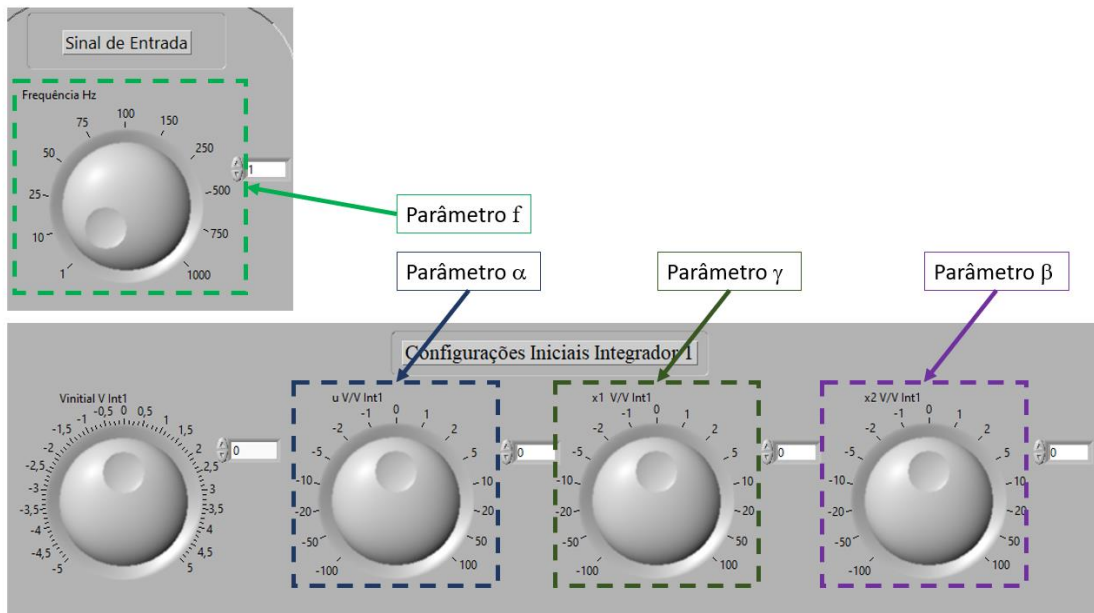
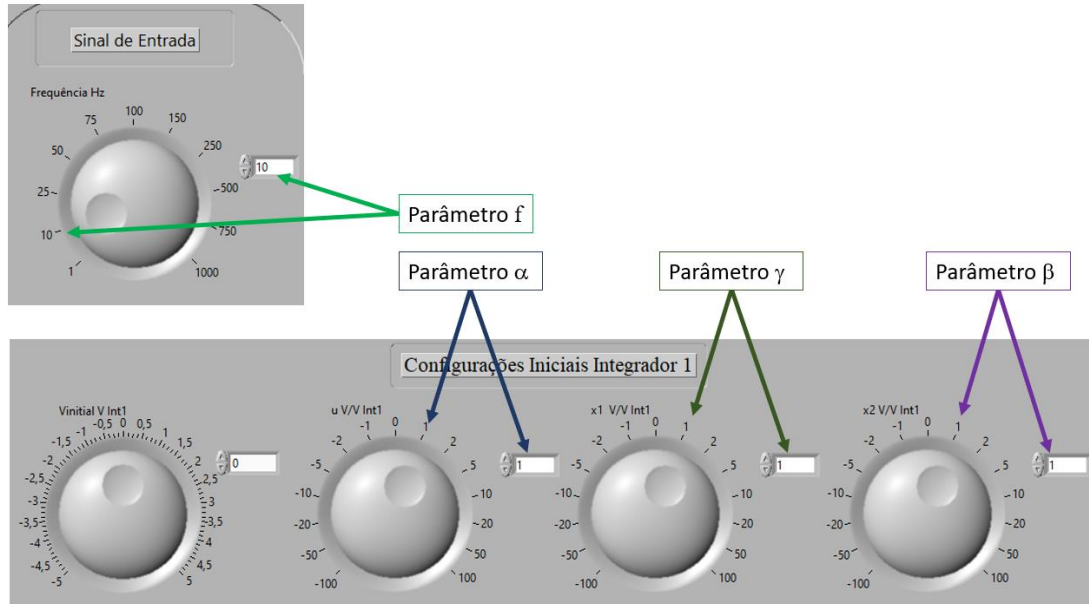


Figura 72- Inserção dos parâmetros de entrada com $\alpha = \beta = \gamma = 1$ e $f = 10$ Hz.



Para encontrar os ganhos que correspondem aos valores da matriz de estado de espaço é necessário utilizar as equações abaixo. Com isso, os ganhos podem ser aproximados aos possíveis para o sistema.

$$\gamma_1 + \gamma_2 = \frac{a_1 \omega_c - 2}{k} \quad (65)$$

$$\alpha_1 = -b_1 \frac{\omega_c}{k} \quad (66)$$

$$\gamma_1 \gamma_2 - \beta_1 \beta_2 = \frac{a_2 \omega_c^2 - a_1 \omega_c + 1}{k^2} \quad (67)$$

$$\alpha_2 \beta_1 - \alpha_1 \gamma_2 = \frac{b_2 \omega_c^2 - b_1 \omega_c}{k^2} \quad (68)$$

Como são seis variáveis para quatro equações é necessário fixar pelo menos dois ganhos para a resolução das equações.

5.3.2. Simulação de sistemas utilizando o integrador desenvolvido

Os sistemas 1 e 2 são usados para mostrar a dinâmica de integração direta, isto é, sem realimentação no sistema. O sistema 3 é usado para mostrar a dinâmica de sistemas mais complexos

5.3.2.1. Sistema 1

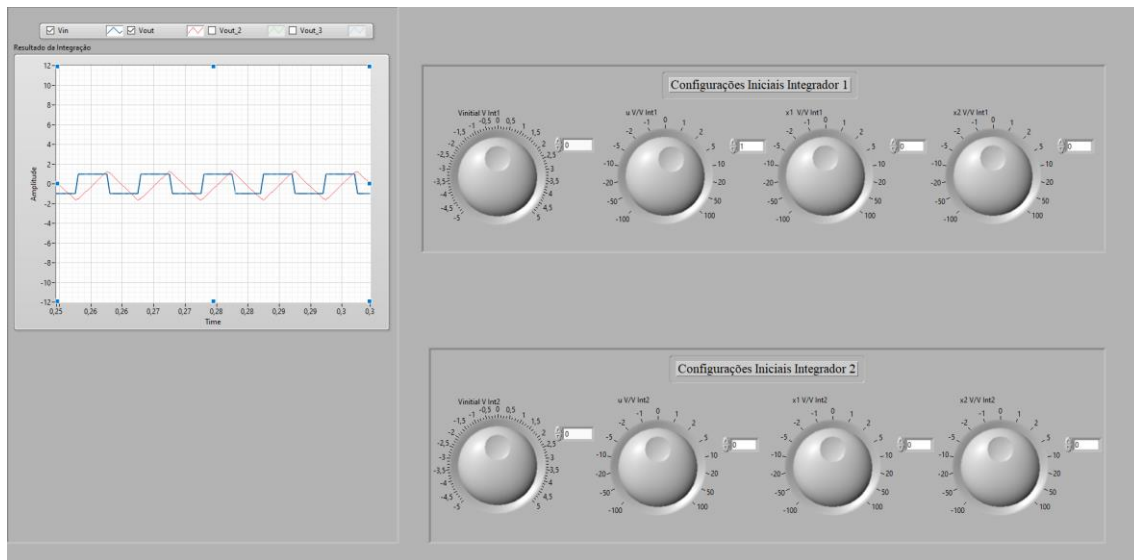
Considerando uma entrada:

$$u = \begin{cases} -1 & \text{para } |t| t_1 \leq \frac{1}{2\omega} t \\ 1 & \text{para } |t| \frac{1}{2\omega} t < t_2 \leq \frac{1}{\omega} t \end{cases} \quad (69)$$

Assim, para emular o comportamento do sistema os ganhos devem ser:

$$\alpha = 1 \frac{V}{V}, \quad \beta = 0 \frac{V}{V}, \quad \gamma = 0 \frac{V}{V} \quad k = 1$$

Figura 73- Ilustração da emulação da equação do sistema 1 no dispositivo proposto, com ganhos $a=1$, $b=0$ e $g=0$ para o integrador 1.



Decompondo a onda quadrada e utilizando a transformada de Fourier, pode-se aproximar a função dela para:

$$u \cong \left(-\frac{4}{\pi}\right) * \left(\sin \omega t + \frac{1}{3} \sin 3\omega t + \frac{1}{5} \sin 5\omega t + \frac{1}{7} \sin 7\omega t + \frac{1}{9} \sin 9\omega t + \dots\right) \quad (70)$$

A resposta do integrador é igual à:

$$\begin{aligned} y \cong \frac{1}{0,165} & \left(1 \left(\int \left(-\frac{4}{\pi} \right) * \left(\sin \omega t + \frac{1}{3} \sin 3\omega t + \frac{1}{5} \sin 5\omega t + \frac{1}{7} \sin 7\omega t + \frac{1}{9} \sin 9\omega t + \dots \right) dt + 0 \int x_2 dt + 0 \int x_1 dt \right) * (k) \right. \\ & + \frac{1}{0,0016} \left(1 \left(\int \left(-\frac{4}{\pi} \right) * \left(\sin \omega t + \frac{1}{3} \sin 3\omega t + \frac{1}{5} \sin 5\omega t + \frac{1}{7} \sin 7\omega t + \frac{1}{9} \sin 9\omega t + \dots \right) dt \right. \right. \\ & \left. \left. + 0 \int x_2 dt + 0 \int x_1 dt \right) * (1 - k) \right) \end{aligned} \quad (71)$$

$$\begin{aligned} y \cong \frac{1}{0,165} * \frac{4}{\pi} & \left(\frac{1}{\omega} \cos \omega t + \frac{1}{9\omega} \cos 3\omega t + \frac{1}{25\omega} \cos 5\omega t + \frac{1}{49\omega} \cos 7\omega t + \frac{1}{81\omega} \cos 9\omega t + \dots \right) * (k) + \frac{1}{0,0016} \\ & * \frac{4}{\pi} \left(\frac{1}{\omega} \cos \omega t + \frac{1}{9\omega} \cos 3\omega t + \frac{1}{25\omega} \cos 5\omega t + \frac{1}{49\omega} \cos 7\omega t + \frac{1}{81\omega} \cos 9\omega t + \dots \right) * (1 - k) + C \end{aligned}$$

Para o sinal de entrada com uma frequência de $2\pi * 1 \frac{rad}{s}$ e uma amplitude de $\pm 1 V$, tem-se:

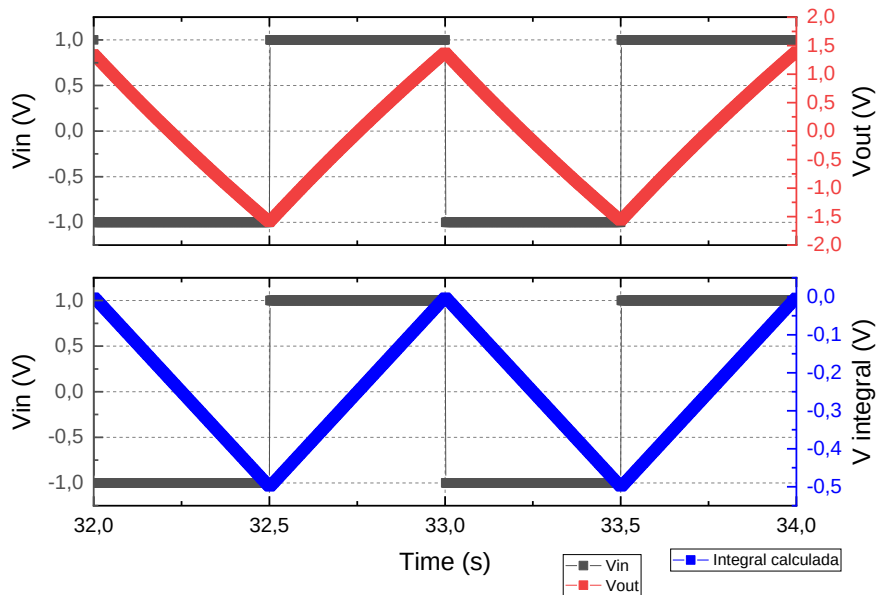
$$\begin{aligned} y \cong \frac{1}{0,165} * \frac{4}{\pi} & \left(\frac{1}{2\pi} \cos 2\pi t + \frac{1}{18\pi} \cos 6\pi t + \frac{1}{50\pi} \cos 10\pi t + \frac{1}{98\pi} \cos 14\pi t + \frac{1}{162\pi} \cos 18\pi t + \dots \right) + 0 + C \end{aligned} \quad (72)$$

$$\therefore y \cong 7,717 \left(\frac{1}{2\pi} \cos 2\pi t + \frac{1}{6\pi} \cos 6\pi t + \frac{1}{50\pi} \cos 10\pi t + \frac{1}{98\pi} \cos 14\pi t + \frac{1}{162\pi} \cos 18\pi t + \dots \right) + 0 + C$$

A Figura 74 apresenta os resultados obtidos pela simulação do sistema de integração, em que a curva em cinza representa o sinal de entrada, a curva em vermelho a resposta do sistema de integração e a curva em azul a integral do sinal de entrada utilizando o software Origin® para realizar os cálculos.

Observa-se, pelo gráfico, que a diferença entre o sinal de saída do integrador e o calculado diferem apenas pela constante de multiplicação do integrador I1.

Figura 74- Comparação entre os resultados, onde a curva cinza representa o sinal de entrada, a curva em vermelho corresponde à resposta obtida pelo dispositivo proposto e a curva em azul à calculada através da análise analítica da equação do sistema 1.

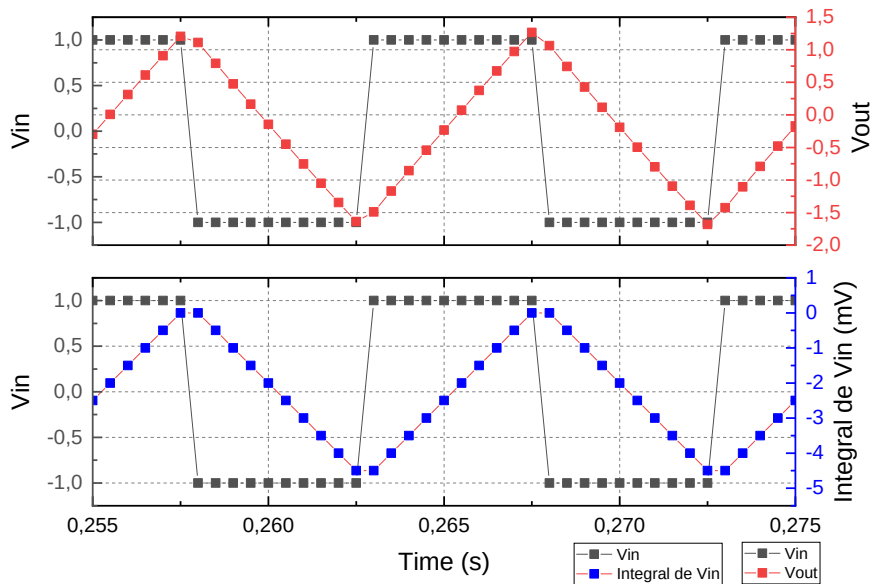


Para o sinal de entrada com uma frequência de $2\pi * 100 \frac{rad}{s}$ e uma amplitude de $\pm 1 V$, tem-se:

$$\begin{aligned}
y &\cong + \frac{1}{0,0016} * \frac{4}{\pi} \left(\frac{1}{200\pi} \cos 200\pi t + \frac{1}{1800\pi} \cos 600\pi t \right. \\
&\quad + \frac{1}{5000\pi} \cos 1000\pi t + \frac{1}{9800\pi} \cos 1400\pi t \\
&\quad \left. + \frac{1}{16200\pi} \cos 1800\pi t + \dots \right) + 0 + C \\
\therefore y &\cong +795,8 \left(\frac{1}{200\pi} \cos 200\pi t + \frac{1}{1800\pi} \cos 600\pi t \right. \\
&\quad + \frac{1}{5000\pi} \cos 1000\pi t + \frac{1}{9800\pi} \cos 1400\pi t \\
&\quad \left. + \frac{1}{16200\pi} \cos 1800\pi t + \dots \right) + 0 + C
\end{aligned} \tag{73}$$

A Figura 75 apresenta os resultados obtidos pela simulação do sistema de integração, em que a curva em cinza representa o sinal de entrada, a curva em vermelho a resposta do sistema de integração e a curva em azul a integral do sinal de entrada utilizando o software Origin® para realizar os cálculos.

Figura 75- Comparação entre os resultados, onde a curva em vermelho corresponde à resposta obtida pelo dispositivo proposto, a curva em azul a calculada através da análise analítica da equação do sistema 1 ao cinza o sinal de entrada.



Assim, observa-se que o sistema realiza um bom processo de integração para uma onda quadrada, apresentando pequena distorção no sinal de saída e um offset na casa das centenas de mV nos dois casos apresentados.

5.3.2.2. Sistema 2

Na análise do comportamento de integração pela faixa de operação do integrador, optou-se pela utilização de uma onda senoidal.

Para análise do comportamento do integrador utilizou-se ondas senoidais nas seguintes frequências:

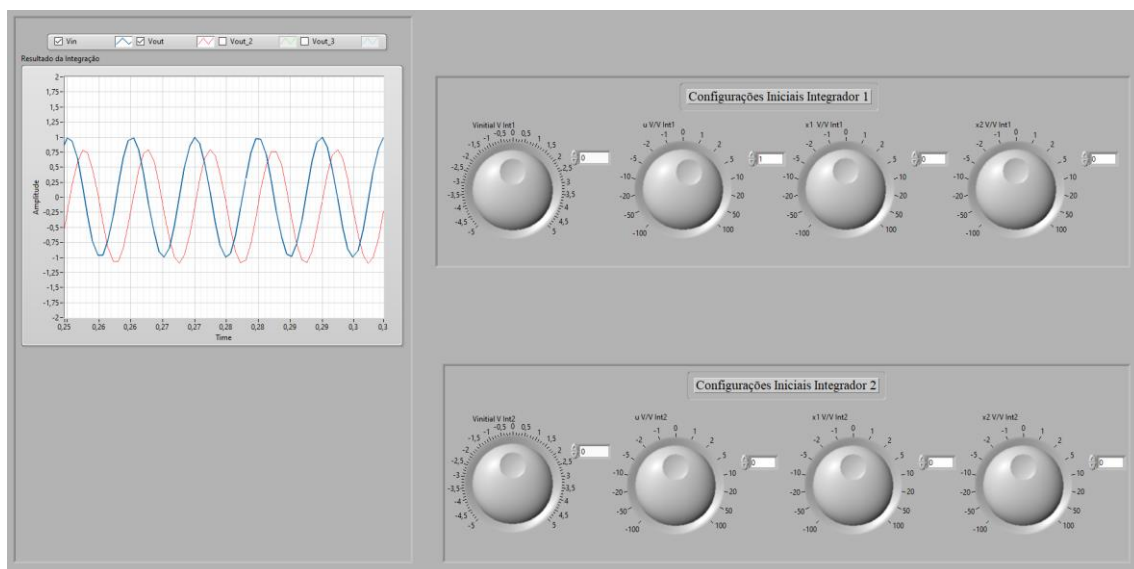
$$f = \begin{cases} 1 \text{ Hz} \\ 10 \text{ Hz} \\ 100 \text{ Hz} \\ 1000 \text{ kHz} \end{cases} \quad (74)$$

Considerou-se uma entrada:

$$u = \sin \omega t \text{ para } \omega = 2\pi * f \text{ rad/s} \quad (75)$$

Os ganhos $\alpha = 1 \frac{V}{V}$, $\beta = 0 \frac{V}{V}$, $\gamma = 0 \frac{V}{V}$, como ilustrados na Figura 76.

Figura 76- Configuração de ganhos para a emulação do sistema 2, com ganhos a=1, b=0 e g=0, no primeiro integrador do sistema.



Para $f = 1 \text{ Hz}$ a equação do integrador é igual a:

$$\begin{aligned}
 y &\cong \frac{1}{0,165} \left(1 \int \sin 2\pi t \, dt + 0 \int x_2 \, dt + 0 \int x_1 \, dt \right) * (1) \\
 &\quad + \frac{1}{0,0016} \left(1 \int \sin 2\pi t \, dt + 0 \int x_2 \, dt + 0 \int x_1 \, dt \right) \\
 &\quad * (1 - 1) \\
 \therefore y &\cong -\frac{1}{0,165} * \frac{1}{2\pi} * \cos 2\pi t + C + 0 \rightarrow y \\
 &\cong -0,964 * \cos 2\pi t + C + 0
 \end{aligned} \tag{76}$$

O resultado da simulação é ilustrado na Figura 77. Observa-se que o processo de integração apresenta um resultado bem semelhante ao esperado apresentando uma pequena distorção, de $\cong 3,6^\circ$, como apresentando na Figura 78. Esse resultado está dentro do esperado de distorção de fase para o sistema (Figura 79).

Figura 77- Comparação entre os resultados para um sinal senoidal com $f = 1 \text{ Hz}$, onde a curva em vermelho corresponde à resposta obtida pelo dispositivo proposto, a curva em azul à calculada através da análise analítica da equação do sistema 2 e a curva em preto o sinal de entrada do sistema.

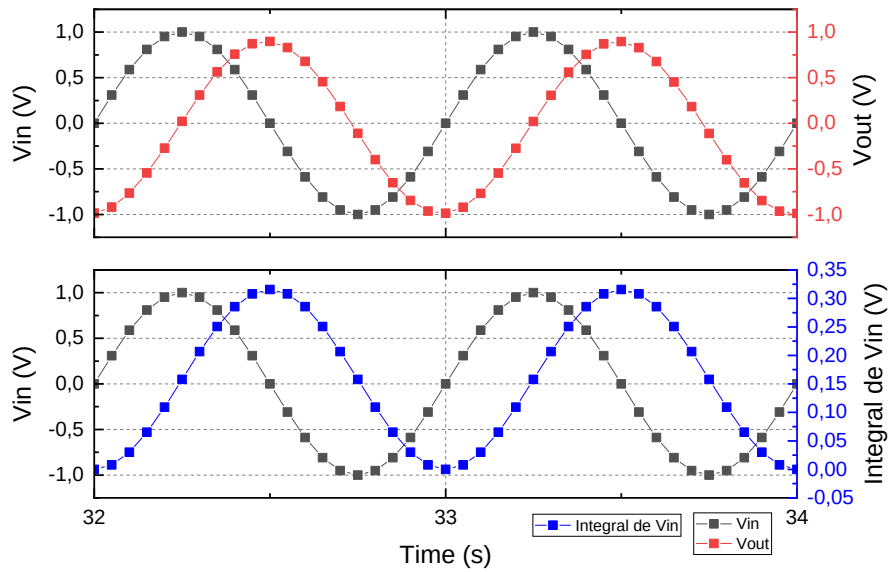


Figura 78- Comparação entre o resultado obtido pela simulação do sistema 1 com $f = 1$ Hz, curva em vermelho, e a integral calculada da tensão de entrada, curva em azul.

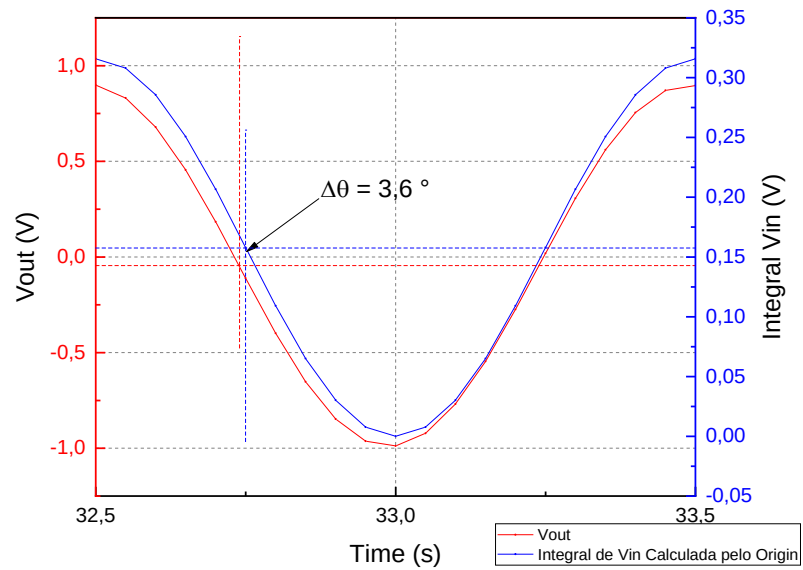
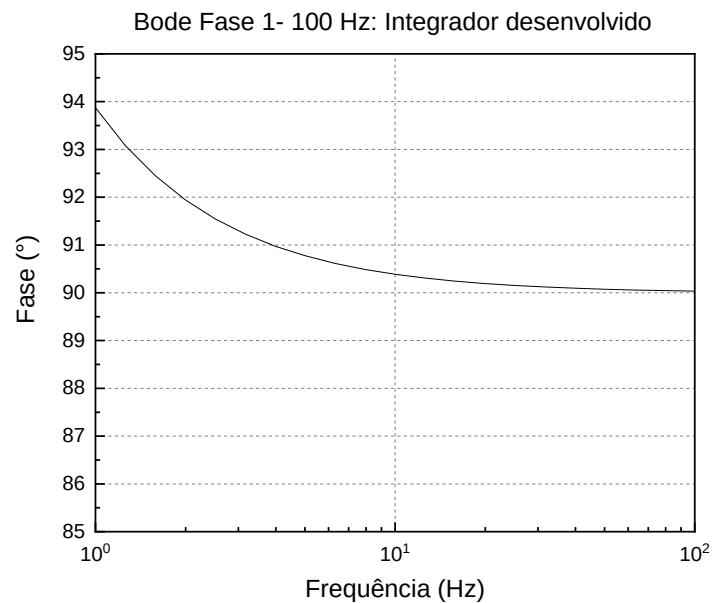


Figura 79- Diagrama de Bode Fase na faixa de 1 a 100 Hz para o integrador desenvolvido.



Para $f = 10$ Hz a equação do integrador é igual a:

$$\begin{aligned}
y &\cong \frac{1}{0,165} \left(1 \int \sin 20\pi t \, dt + 0 \int x_2 \, dt + 0 \int x_1 \, dt \right) * (1) \\
&\quad - \frac{1}{0,0016} \left(1 \int \sin 20\pi t \, dt + 0 \int x_2 \, dt + 0 \int x_1 \, dt \right) \\
&\quad * (1 - 1) \\
\therefore y &\cong -\frac{1}{0,165} * \frac{1}{20\pi} * \cos 20\pi t + C + 0 \rightarrow y \\
&\cong -0,096 * \cos 200\pi t + C + 0
\end{aligned} \tag{76}$$

Os resultados da integração são apresentados na Figura 80. Nota-se que o processo de integração ocorre normalmente. A diferença entre a integral calculada e a simulada é devido ao ganho do integrador e um offset de centenas de mV. A Figura 81 mostra a defasagem entre o sinal de saída e o da integral de V_{in} calculada. Nesse caso, a defasagem ficou um pouco acima do valor calculado, em torno de $0,4^\circ$.

Figura 80- Comparação entre os resultados para um sinal senoidal com $f = 10$ Hz, onde a curva em vermelho corresponde a resposta obtida pelo dispositivo proposto e a curva em azul a calculada através da análise analítica da equação do sistema 2, e a curva preta corresponde a sinal de entrada do sistema.

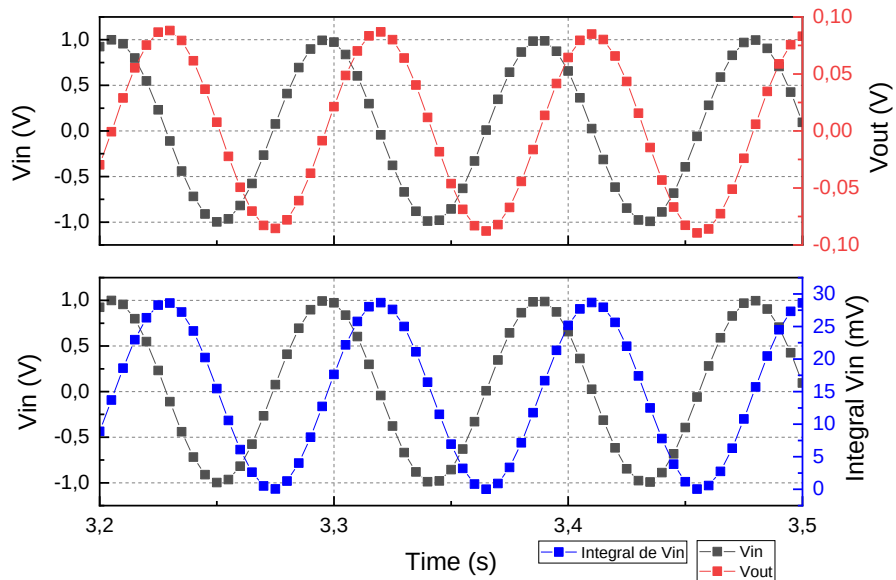
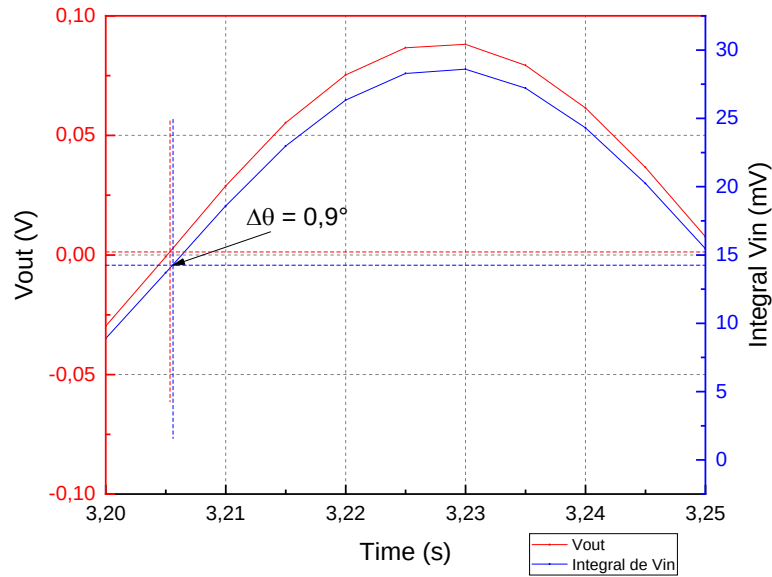


Figura 81- Defasagem entre o resultado obtido pela simulação do sistema 1 com $f = 10$ Hz, curva em vermelho, e a integral calculada da tensão de entrada, curva em azul.



A frequência de 100 Hz é onde ocorre a comutação entre a saída dos integradores, pois $k = 1$. Por esse motivo há uma mudança na dinâmica do ganho. Assim, para $f = 100$ Hz a equação do integrador é igual a:

$$\begin{aligned}
 y &\cong -\frac{1}{0,165} \left(1 \int \sin 200\pi t \, dt + 0 \int x_2 \, dt + 0 \int x_1 \, dt \right) * (0) & (77) \\
 &\quad - \frac{1}{0,0016} \left(1 \int \sin 200\pi t \, dt + 0 \int x_2 \, dt + 0 \int x_1 \, dt \right) \\
 &\quad * (1 - 0) \\
 \therefore y &\cong \frac{1}{0,0016} * \frac{1}{200\pi} * \cos 200\pi t + C + 0 \rightarrow y \\
 &\cong 0,995 * \cos 200\pi t + C + 0
 \end{aligned}$$

Os resultados para esse sistema são apresentados nas figuras abaixo. Observa-se que ocorreu o processo de integração do sinal de entrada e que o resultado apresenta margem de erro dentro do resultado esperado, de acordo com o diagrama de Bode, Figura 84.

Figura 82- Comparação entre os resultados para um sinal senoidal com $f = 100$ Hz, onde a curva em vermelho corresponde a resposta obtida pelo dispositivo proposto e a em azul a calculada através da análise analítica da equação do sistema 2, e a curva preta corresponde a sinal de entrada do sistema.

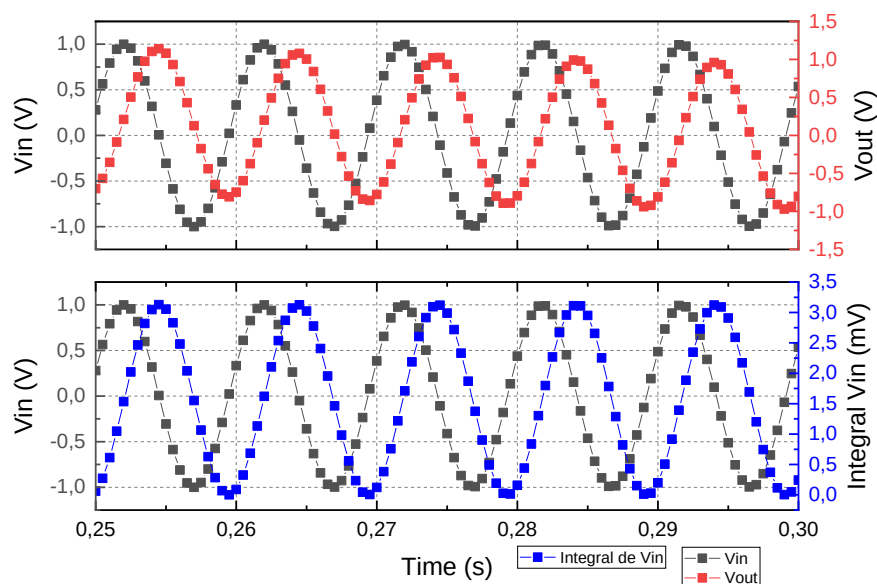


Figura 83- Defasagem entre o resultado obtido pela simulação do sistema 1 com $f = 100$ Hz, curva em vermelho, e a integral calculada da tensão de entrada, curva em azul.

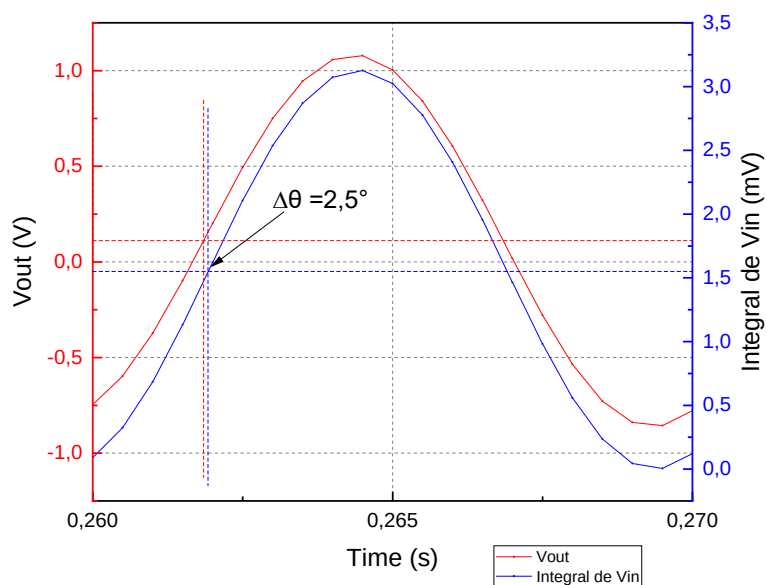
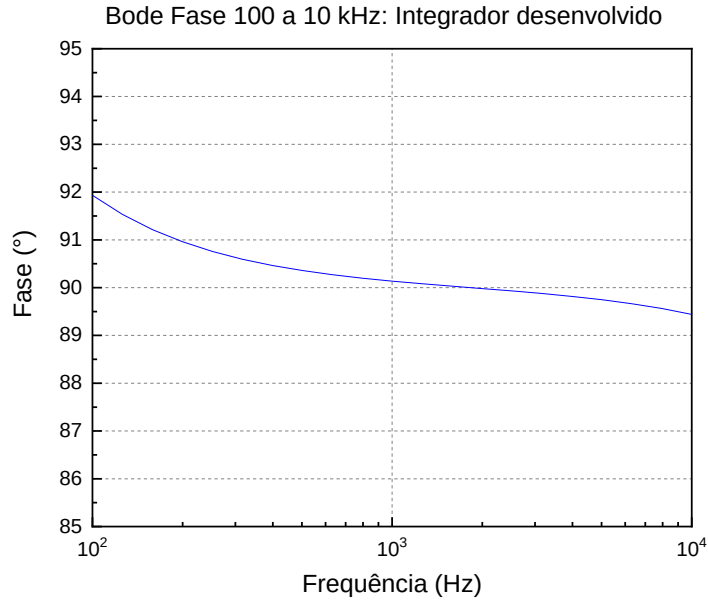


Figura 84- Diagrama de Bode Fase na faixa de 100 a 10 kHz para o integrador desenvolvido.



Para $f = 1 \text{ kHz}$ a equação do integrador é igual a:

$$y \cong -\frac{1}{0,165} \left(1 \int \sin 2000\pi t \, dt + 0 \int x_2 \, dt + 0 \int x_1 \, dt \right) * (0) \quad (78)$$

$$- \frac{1}{0,0016} \left(1 \int \sin 2000\pi t \, dt + 0 \int x_2 \, dt + 0 \int x_1 \, dt \right) * (1 - 0)$$

$$y \cong \frac{1}{0,0016} * \frac{1}{2000\pi} * \cos 2000\pi t + C + 0 \rightarrow y \cong 0,099 * \quad (79)$$

$$y \cong \frac{1}{0,0016} * \frac{1}{2000\pi} * \cos 2000\pi t + C + 0 \rightarrow y$$

$$\cong 0,099 * \cos 2000\pi t + C + 0$$

Os resultados da integração são apresentados na Figura 85. Novamente há o processo de integração do sinal de entrada. A Figura 86 mostra a defasagem entre o sinal de saída e o a integral de V_{in} calculada.

Figura 85- Comparação entre os resultados para um sinal senoidal com $f = 1$ kHz, onde a curva em vermelho corresponde a resposta obtida pelo dispositivo proposto e a em azul a calculada através da análise analítica da equação do sistema 2, e a curva preta corresponde a sinal de entrada do sistema.

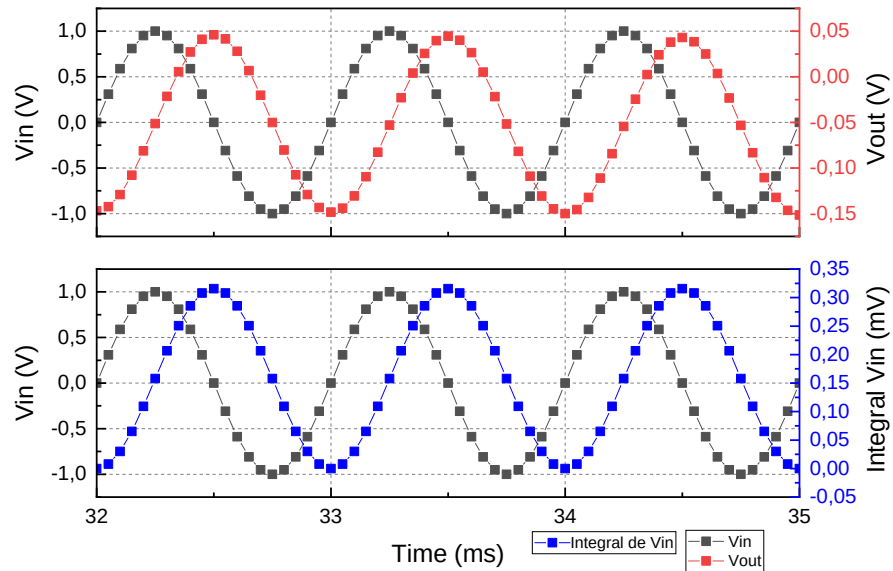
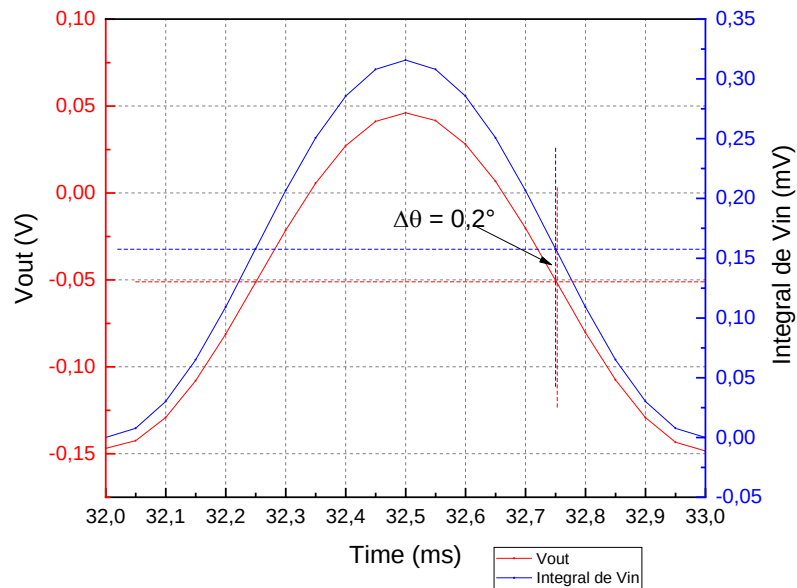


Figura 86- Defasagem entre o resultado obtido pela simulação do sistema 2 com $f = 1$ kHz, curva em vermelho, e a integral calculada da tensão de entrada, curva em azul.

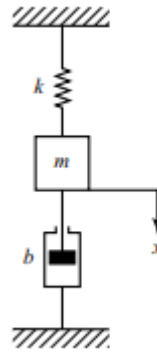


Com os resultados de integração na faixa de 1 a 1000 Hz, observa-se que o sistema desenvolvido consegue realizar a integração de um sinal de entrada na faixa de operação e com o erro dentro da faixa de tolerância.

5.3.2.3. Sistema 3

Para demonstrar a capacidade do sistema de emular equações diferenciais ordinárias, escolheu-se o conjunto massa-mola-amortecedor, ilustrado na Figura 87, modelo amplamente usado como exemplo nas áreas de controle e mecânica.

Figura 87- Representação esquemática do sistema 3, um sistema massa-mola-amortecedor



Retirado [32].

Onde k , corresponde a constante de mola em N/m, m a massa em kg e b o coeficiente de amortecimento em Ns/m. Adotando, $m = 1$ kg, $k = 5,34$ N/m e $b = 12,97$ Ns/m e que o sistema apresente condições iniciais iguais $\dot{x}(0) = 0 \frac{m}{s}$ e $x(0) = 1$ m .

$$\begin{bmatrix} \dot{x}_1 \\ \dot{x}_2 \end{bmatrix} = \begin{bmatrix} 0 & 1 \\ -5,34 & -12,97 \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \end{bmatrix} + \begin{bmatrix} 0 \\ 1 \end{bmatrix} u \quad (80)$$

(81)

$$y = 36,72 * \begin{bmatrix} 1 & 0 \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \end{bmatrix}$$

Igualando a equação com a de estados do sistema com dois integradores, temos:

$$\gamma_1 + \gamma_2 = \frac{-12,97 * \omega_c - 2}{k} \quad (82)$$

$$(83)$$

$$\alpha_1 = 0 * \frac{\omega_c}{k}$$

$$\gamma_1 \gamma_2 - \beta_1 \beta_2 = \frac{-5,34 * \omega_c^2 - (-12,97) * \omega_c + 1}{k^2} \quad (84)$$

$$\alpha_2 \beta_1 - \alpha_1 \gamma_2 = \frac{1 * \omega_c^2 - 0 \omega_c}{k^2} \quad (85)$$

Considerando, $k = 14,24$, $\gamma_1 = 1$, $\omega_c = 2,35$, $\alpha_1 = 0$ e $b_1 = 1$, então:

$$\alpha_2 = 1 \quad (86)$$

$$\gamma_2 = 1 \quad (87)$$

$$b_2 = 1 \quad (88)$$

A Figura 88 ilustra a seleção dos ganhos no sistema desenvolvido.

Figura 88- Configuração de ganhos para a emulação do sistema 3, com ganhos $\alpha_1 = 0$, $\alpha_2 = \gamma_1 = \gamma_2 = b_1 = b_2 = 1$ para os integradores 1 e 2.

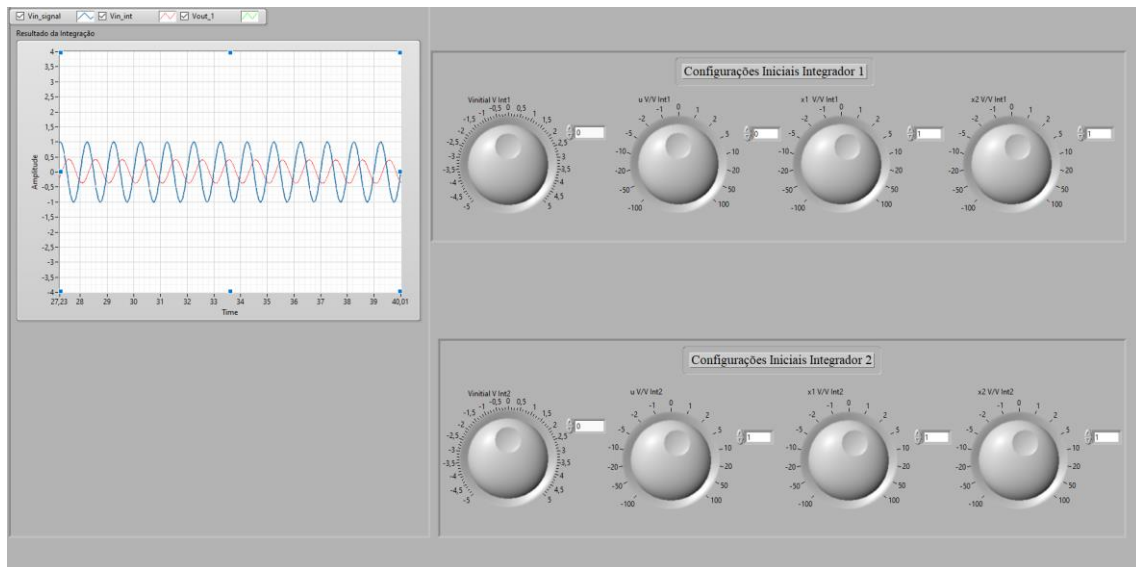
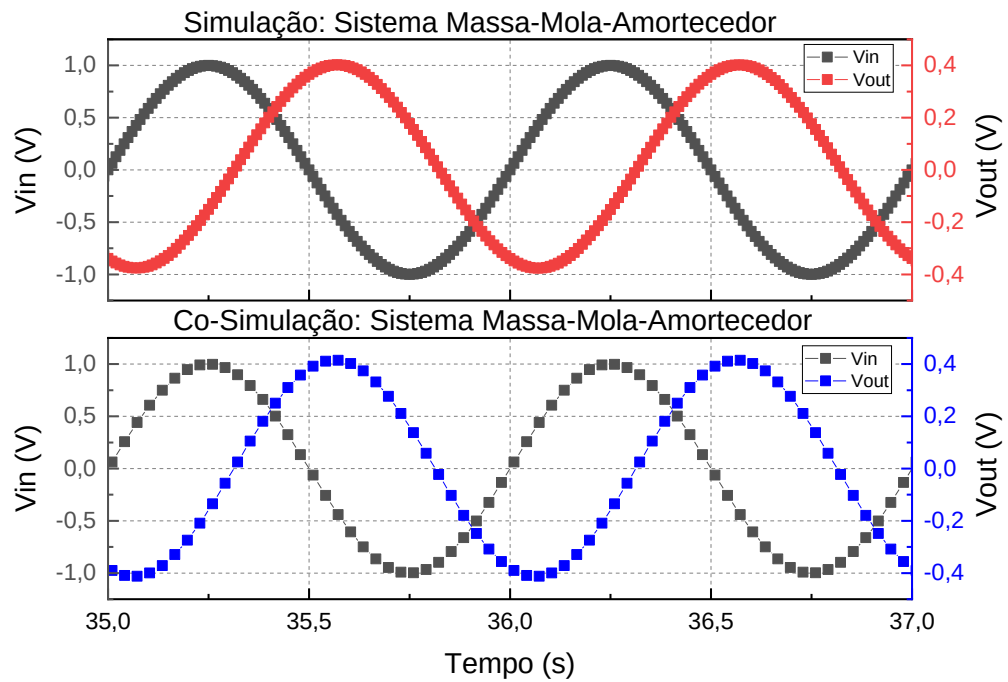


Figura 89-Comparação entre os resultados entre a co-simulação e o resultado esperado.



Assim, nota-se que os resultados obtidos são condizentes com os esperados e que o sistema apresenta um grau de fidelidade na co-simulação.

6. CONSIDERAÇÕES FINAIS

Nesta dissertação de mestrado foi possível o desenvolvimento de circuitos analógicos capazes de realizar funções como integração, soma, multiplicação por constante e de variáveis. Observou-se que é possível realizar a simulação de processos de comutação e troca de variáveis desses circuitos em um sistema digital. Fator esse que não é um empecilho na utilização do circuito analógico físico.

O desenvolvimento do sistema em placas modulares contribuiu para a diminuição do tamanho total das placas e possibilitando uma melhoria das características do sistema através da troca dos componentes principais. Porém, isso acarretou um aumento no custo de implementação do projeto, pois aumentou o número de componentes utilizados nos circuitos e a quantidade de placas a serem construídas. No entanto, devido à simplicidade dos circuitos montados nas placas, foi possível utilizar apenas duas camadas de cobre para realizar as trilhas dos circuitos, o que diminui a complexidade da prototipagem das placas.

É interessante notar que, como o sistema analógico-digital foi implementado com componentes discretos, ele tem algumas limitações em relação aos parâmetros dos componentes e ao tamanho deles. Logo, uma forma de melhorar o projeto seria o desenvolvimento dos componentes de forma integrada o que poderia diminuir o consumo energético, o tamanho das placas e o preço final do computador.

A modelagem matemática desenvolvida do dispositivo apresentou bons resultados independente dos métodos numéricos utilizados nas simulações do MultSim, do Matlab e da Co-simulação. A representação em matriz de espaço de estados traz menor complexidade para a utilização do processo de integração. Entretanto, é necessário converter a equação diferencial nesse padrão para simular equações mais complexas no sistema.

A utilização da co-simulação foi eficaz para análise do comportamento da interconexão entre os dispositivos do sistema desenvolvido e importante para constatar como a dinâmica do sistema é alterada quando ocorre o acoplamento dos integradores. Assim, observou-se que a modelagem matemática do sistema desenvolvido é robusta o suficiente para a fidelidade dos resultados simulados.

6.1. Sugestões de Melhorias

Apesar das possibilidades de ganho do controle de entrada, a utilização de ganhos discretos faz com que o sistema não consiga emular uma gama maior de equações diferenciais. O ideal seria utilizar um outro circuito integrado que tenha ganhos analógicos, como por exemplo o LTC6412.

O desenvolvimento de um algoritmo que faça a conversão automática dos ganhos selecionados para o sistema de equações no espaço de estados, isso é automatizar os processos de iteração numérica das equações 65 à 68.

Uma ideia de trabalhos futuros é o estudo das implicações de como o controle de ganho vai influenciar na dinâmica do sistema e analisar as vantagens e desvantagens em relação a integradores que utilizam o processo de comutação por chaves.

Como perspectivas de futuros trabalhos, seria interessante um estudo sobre o desenvolvimento dos integradores com tecnologia integrada.

7. REFERÊNCIAS

- [1] D. S. Graça, “Some recent developments on Shannon’s General Purpose Analog Computer,” *Mathematical Logic Quarterly*, vol. 50, no. 4–5, pp. 473–485, 2004.
- [2] H. E. S. M. Karl Johan Åström, “Evolution of Continuous-Time Modeling and Simulation.,” *Esm*, pp. 1–10, 1998, [Online]. Available: http://www.modelica.org/publications/index_html/papers/esm98his.pdf
- [3] C. E. Shannon, “Mathematical Theory of the differential analyzer,” *Journal of Mathematics and Physics*, vol. XX, no. 4, pp. 496–513, 1941.
- [4] Y. Tsvividis, “Not your Father’s analog computer,” *IEEE Spectrum*, vol. 55, no. 2, pp. 38–43, 2018.
- [5] R. Davis, “Analog Computers,” in *IEEE Instrumentation & Measurement Magazine*, vol. 6, no. June, 2018, pp. 65–138.
- [6] Y. T. Georgantas, T; Papananos, “A comparative study of five integrator Structures for monolithic continuous-time filters -A tutorial-,” pp. 3–6, 1993.
- [7] J. S. Small, *The Analogue Alternative: The Electronic Analogue Computer in Britain and the USA, 1930-1975*, 1st ed. London: Routledge, 2001.
- [8] J. W. Mills *et al.*, “Extended Analog Computers : A Unifying Paradigm for VLSI , Plastic and Colloidal Computing Systems,” 2000.
- [9] N. Guo *et al.*, “Energy-Efficient Hybrid Analog/Digital Approximate Computation in Continuous Time,” *IEEE Journal of Solid-State Circuits*, vol. 51, no. 7, pp. 1514–1524, 2016.
- [10] B. Ulmann, *Analog and Hybrid Computer Programming*, 1st editio. Oldenbourg: De Gruyter Oldenbourg, 2020.
- [11] P. Hasler and D. v. Anderson, “Cooperative analog-digital signal processing,” *IEEE International Conference on Acoustics Speech and Signal Processing*, pp. IV-3972-IV–3975, 2002.

- [12] S. D. Pyle, V. Thangavel, S. M. Williams and R. F. DeMara, "Self-Scaling Evolution of analog computation circuits with digital accuracy refinement," 2015 NASA/ESA Conference on Adaptive Hardware and Systems (AHS), 2015, pp. 1-8.
- [13] H. T. Siegelmann, "The simple dynamics of super Turing theories," *Theoretical Computer Science*, vol. 168, no. 2, pp. 461–472, 1996.
- [14] B. J. MacLennan, "The promise of analog computation," *International Journal of General Systems*, vol. 43, no. 7, pp. 682–696, 2014.
- [15] H. M. Paynter, "The Differential Analyzer as an Active Mathematical Instrument Keynote Speech to the 1989 American Control Conference," *IEEE Control Systems Magazine*, vol. 9, no. 7, pp. 3–8, 1989.
- [16] L. Moody, "The History and Future of Flight Control Simulation," *AIAA Modeling and Simulation Technologies Conference and Exhibit*, no. August, pp. 1–10, 2004.
- [17] R. Chiu, D. López-Mancilla, C. E. Castañeda, O. Orozco-López, E. Villafaña-Rauda, and R. Sevilla-Escoboza, "Design and implementation of a jerk circuit using a hybrid analog–digital system," *Chaos, Solitons and Fractals*, vol. 119, pp. 255–262, 2019.
- [18] J. H. Kim, C. Kim, K. Kim, and H. J. Yoo, "An ultra-low-power analog-digital hybrid CNN face recognition processor integrated with a ciS for always-on mobile devices," *Proceedings - IEEE International Symposium on Circuits and Systems*, vol. 2019-May, pp. 1–5, 2019.
- [19] J. PARK, K.; CHO, M.; JEON, Y, LEE, "Design of Analog and Digital Hybrid MAC Circuit for Artificial Neural Networks," *2019 International Conference on Electronics, Information, and Communication (ICEIC)*, no. 06 May 2019, pp. 97–98, 2019.
- [20] Z. Wang *et al.*, "Reinforcement learning with analogue memristor arrays," *Nature Electronics*, vol. 2, no. 3, pp. 115–124, 2019.
- [21] R. Chiu, D. López-Mancilla, C. E. Castañeda, O. Orozco-López, E. Villafaña-Rauda, and R. Sevilla-Escoboza, "Design and implementation of a jerk circuit using a hybrid analog–digital system," *Chaos, Solitons and Fractals*, vol. 119, pp. 255–262, 2019.
- [22] V. Lazzarini and J. Timoney, "The Analogue Computer as a Voltage-Controlled Synthesiser," 2019, [Online]. Available: <http://arxiv.org/abs/1904.10763>

- [23] E. FERNANDES, F. O.; MARTINS, “Estudo, otimização e comparação entre diferentes topologias de integradores para processamento analógico,” 2017. In: XXIX CIC - Congresso de Iniciação Científica da UNESP, 2017, Bauru - SP. XXIX Congresso de Iniciação Científica da UNESP - ISSN 2178-860X, 2017
- [24] B. N. Chatterji, “Analog Computer Simulation,” *IETE Journal of Education*, vol. 34, no. 1, pp. 27–38, 1993, doi: 10.1080/09747338.1993.11436397.
- [25] D. Silva Graça and J. F. Costa, “Analog computers and recursive functions over the reals,” *Journal of Complexity*, vol. 19, no. 5, pp. 644–664, 2003.
- [26] B. Carter and T. Brown, “Handbook of operational amplifier applications,” *Texas Instruments Application Report*, vol. 86, no. October, pp. 1–94, 2001, [Online]. Available: http://seniordesignlab.com/sd_docs/Links/sboa092a.pdf%5Cnhttp://focus.ti.com/lit/an/sboa092a/sboa092a.pdf%5Cnhttp://www.smesfair.com/pdf/electrical%5Cneng/smesfair24.pdf
- [27] K. C. Sedra, Adel S.; Smith, *Microeletrônica*, 5 ed. São Paulo: Pearson Prentice Hall, 2007.
- [28] V. Vorpérian, *Fast Analytical techniques for Electric and Electronic Circuits*, 1 ed. Cambridge: Cambridge University Press, 2002.
- [29] P. R. Veronese, “Introdução a Amplificadores Operacionais Integrados”, SEL-EESC-USP, 2009, Capítulo 4.
- [30] F. SEMICONDUCTOR, “LM555 / NE555 / SA555 Single Timer,” 2002.
- [31] T. Instruments, “DAC0808 8-Bit D/A Converter Literature Number: SNAS539A,” 1999. [Online]. Available: www.national.com
- [32] K. OGata, *Engenharia de controle moderno*, 4rd ed., 2003, Prentice-Hall.
- [33] K. Blake, “Op Amp Precision Design: DC Errors,” *Technology (Singap World Sci)*, pp. 1–14, 2008.
- [34] J. Karki, “Application Report Active Low-Pass Filter Design,” *Texas Instruments, Inc*, no. September, pp. 1–24, 2002, [Online]. Available: <http://www.ti.com/lit/an/sloa049b/sloa049b.pdf>

- [35] R. Fernandez, G. Evans, J. Augusto, L. Gurriana, A. Gomes, "Low Noise Power Supply Board" in 3rd Doctoral Congress in Engineering, Symposium on Engineering Physics, FEUP, Porto, Portugal, 2019, pp.
- [36] ALMEIDA, Douglas de Florio Ubeda. Análise da qualidade de energia no sistema elétrico da Universidade Tecnológica Federal do Paraná - Câmpus Pato Branco. 2017. 99 f. Trabalho de Conclusão de Curso (Graduação) - Universidade Tecnológica Federal do Paraná, Pato Branco, 2017.
- [37] J. Karki, "Application Report Active Low-Pass Filter Design," *Texas Instruments, Inc*, no. September, pp. 1–24, 2002, [Online]. Available: <http://www.ti.com/lit/an/sloa049b/sloa049b.pdf>
- [38] Fairchild, *LM741 Single Operational Amplifier*. 2001.

PUBLICAÇÕES GERADAS DURANTE O TRABALHO

- **FERNANDES, F. O.; MARTINS, EVERSON. Estudo, otimização e comparação entre diferentes topologias de integradores para processamento analógico.** In: XXIX CIC - Congresso de Iniciação Científica da UNESP, 2017, Bauru - SP. XXIX Congresso de Iniciação Científica da UNESP - ISSN 2178-860X, 2017.
- **FERNANDES, F. O.; ANDRADE, M. G. C.; RIBEIRO, R.; MARTINS, E.; BORTOLETO, J. R. R. Hybrid Integrator Topology Development for General-Purpose Analog-Digital Computers.** In: SEMINATEC 2021 (XV Workshop on Semiconductors and Micro & Nano Technology), 2021, São Paulo. SEMINATEC 2021, 2021.
- **FERNANDES, F. O.; MARTINS, E.; ANDRADE, M. G. C. Hybrid Integrator Topology with Digital Input Control and Analog Signal Processing.** Chip in the Minuano in: 6th International Symposium on Instrumentation Systems, Circuits and Transducers, 2022.
- **FERNANDES, F. O.; RIBEIRO, R.; MARTINS, E.; ANDRADE, M. G. C. Analog-Digital Integrator topology with selecting the input by gain control.** Authorea. April 04, 2022. DOI: 10.22541/au.164910456.60575932/v1

APÊNDICE I – MODELO IDEAL DO INTEGRADOR DE MILLER

Considerando o comportamento ideal do Amp Op (ganho e impedância de entrada infinitos e impedância de saída nula), pode-se ter uma primeira aproximação da função de transferência ($H_{(s)}$) do sistema.

A tensão no capacitor pode ser definida como:

$$V_c = V_{out} = \frac{1}{c} \int i_c dt \quad (I.1)$$

Onde i_c é a corrente que flui pela realimentação e através do curto-virtual da entrada não-inversora a corrente i_c pode ser definida como:

$$i_c = - \frac{V_{in}}{R} \quad (I.2)$$

Substituindo I.2 em I.1, tem-se:

$$V_{out} = - \frac{1}{R c} \int V_{in} dt \quad (I.3)$$

A Equação (I.3) mostra que a tensão sobre os terminais do capacitor é proporcional à integral do sinal de entrada multiplicado por uma constante, denominada de constante de tempo do sistema, sendo que esta é relacionada aos valores físicos do resistor e do capacitor [27], [28].

Aplicando a transformada de Laplace na Equação (I.3) e considerando condições iniciais nulas, obtém-se a $H_{(s)}$ do integrador de Miller, como ilustrado abaixo:

$$V_{out(s)} = - \frac{1}{R c} \frac{V_{in(s)} - V_{in(0)}}{s} \rightarrow A_d = \frac{1}{R c} \quad (I.4)$$

$$\therefore \frac{V_{out(s)}}{V_{in(s)}} = H_{(s)} = -A_d * \frac{1}{s}$$

Na Equação (I.4), observa-se que a constante de tempo (A_d) representa um ganho para o sistema e que apresenta um polo na origem, isto é, a saída do sistema tende ao infinito quando a frequência de excitação é nula (sinal DC).

I. MODELO LINEAR DO INTEGRADOR DE MILLER

Para encontrar a relação entre o sinal de saída e o de entrada, $H_{(s)}$, do integrador, pode-se utilizar o princípio de superposição, isto é calcular separadamente as respostas do sistema para sinais alternados e contínuos [27], [33]. A Equação (I.5) ilustra matematicamente a relação do sinal de saída (V_{out}) com a entrada (V_{in}) e o valor do *offset* de corrente contínua (DC) do Amp Op (V_{ie}), onde μ corresponde ao ganho da topologia em CA e G_n ao ganho em DC.

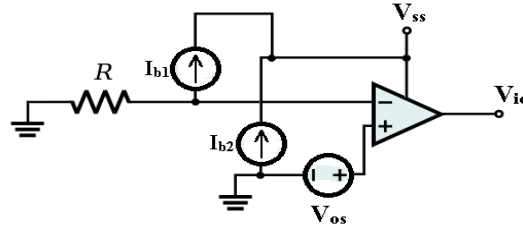
$$V_{out} = \mu V_{in} + G_n V_{ie} \quad (I.5)$$

Assim, para o cálculo de V_{ie} é necessário levar em consideração a tensão de offset (V_{os}) do Amp Op e as correntes de polarização, I_{B1} e I_{B2} , e desprezar a ação do sinal de entrada V_{in} e do capacitor C. O modelo de erro em DC é apresentado na Figura 90.

A tensão de saída DC (V_{ie}) é descrita como:

$$V_{ie} = V_{os} + V_{iB1} \quad (I.6)$$

Figura 90- Modelo de erro em DC para um integrador Miller.



Adaptado [33].

As quedas de tensão provocadas pelas fontes de correntes I_{IB1} e I_{IB2} são iguais a: [27], [33], [34].

$$V_{IB1} = (I_{ib1}) * R_{ib1} \text{ e } V_{IB2} = (I_{ib2}) * R_{ib2} \quad (I.7)$$

Em que R_{ib1} corresponde à resistência equivalente vista pelos terminais da fonte de corrente I_{ib1} e R_{ib2} a vista pelos terminais de I_{ib2} . Como $R_{ib2} \cong 0$, considera-se que não há queda de tensão.

Logo, a tensão V_{ie} para essa topologia é igual a:

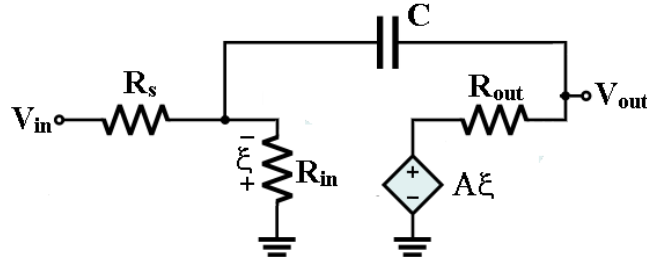
$$V_{ie} = V_{os} + R * I_{IB1} \quad (I.8)$$

Pela Figura 91 observa-se que o ganho em DC é o ganho em malha aberta (A) do Amp Op. Então o sinal de erro em DC dessa topologia pode ser descrito como:

$$G_n V_{ie} = A(V_{os} + R * I_{IB1}) \quad (I.9)$$

O modelo linear do Amp Op, ilustrado na Figura 91, leva em consideração a resistência de entrada do Amp Op (R_{in}), a resistência de saída R_{out} e introduz uma fonte de tensão dependente com um ganho A , que representa o ganho em malha aberta. Assim para analisar a influência desses parâmetros é necessário calcular a função de transferência.

Figura 91- Esquema do modelo linear de um amplificador operacional



Elaborado pelo próprio autor.

Utilizando o EET (do inglês *Extra Element Theorem*) [28], onde retira-se o elemento capacitivo, a função de transferência é composta por:

$$H(s) = A_{(\infty)} * \frac{1 + \frac{\alpha'}{Z}}{1 + \frac{Z^{(1)}}{Z}} \quad (\text{I.10})$$

Onde Z corresponde a impedância do elemento ativo do sistema, $Z^{(1)}$ a impedância quando a entrada é nula, α' a impedância do sistema quando a saída é nula e $A_{(\infty)}$ o ganho do sistema quando o elemento Z tende ao infinito [28].

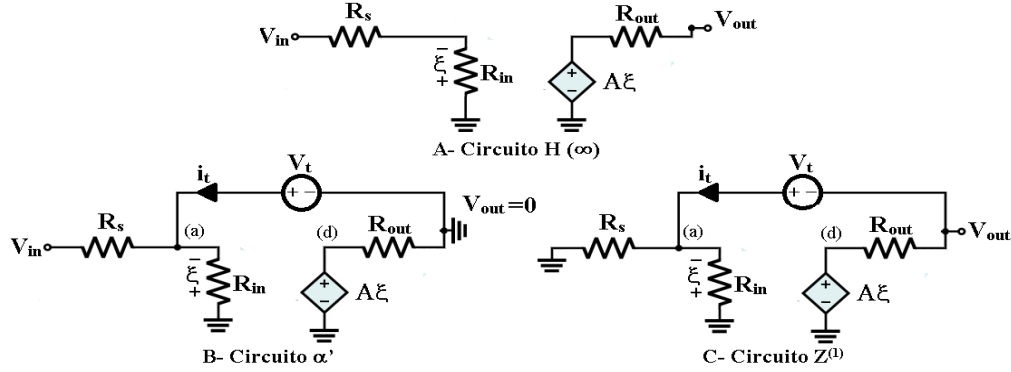
O Circuito A da Figura 92 representa o circuito equivalente para o cálculo de $A_{(\infty)}$, então:

$$A_{(\infty)} = \frac{V_{out}}{V_{in}} = -A \frac{R_{in}}{R_s + R_{in}} \rightarrow A_{(\infty)} = -A \frac{1}{1 + \frac{R_s}{R_{in}}} \quad (\text{I.11})$$

O Circuito B da Figura 92 ilustra o modelo para encontrar o polo de um sistema com um elemento capacitivo, onde o sinal de entrada é zerado e adiciona-se uma fonte de tensão para simular o comportamento do elemento capacitivo. Assim para calcular a $Z^{(1)}$, tem-se:

$$Z^{(1)} = \frac{V_t}{i_t} = R_{out} + R_s \parallel R_{in} (A + 1) \quad (\text{I.12})$$

Figura 92- Representação do circuito pelo teorema do elemento extra. Onde o circuito A corresponde ao ganho quando o elemento capacitivo é infinito. Já B corresponde a representação do polo da $H(s)$, em que a influência da entrada é zerada e coloca-se uma fonte de tensão para simular a ação do capacitor. C é o circuito utilizado para calcular o zero da $H(s)$, em que se força a saída a ser zero e coloca-se uma fonte de tensão para simular a ação do capacitor.



Elaborada pelo próprio autor.

O Circuito C da Figura 92 representa o modelo para encontrar o zero de um sistema com um elemento, onde a saída é zerada e adiciona-se uma fonte de tensão para simular o comportamento do elemento capacitivo. Para o cálculo de α' , tem-se:

$$\alpha' = \frac{V_t}{i_t} = \frac{-R_{out}}{A} \quad (I.13)$$

Substituindo I.11, I.12 e I.13 em I.10 tem-se:

$$H(s) = -A_d * \frac{1 - \frac{s}{\omega_1}}{1 + \frac{s}{\omega_0}} \quad (I.14)$$

$$\rightarrow \omega_0 = \frac{1}{C[R_{out} + R_s \parallel R_{in}(A + 1)]}, \omega_1 = \frac{1}{C \left[\frac{R_{out}}{A} \right]} \text{ e } A_d = \frac{A}{1 + \frac{R_s}{R_{in}}}$$

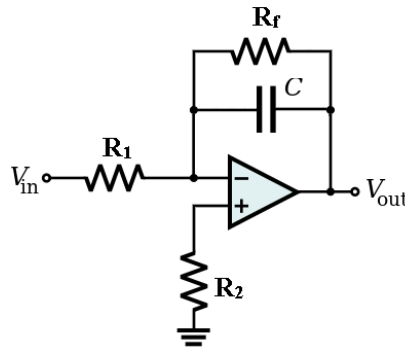
A Equação (I.14) demonstra que o modelo linear do Amp Op introduz um zero na função de transferência e que a frequência (ω_1) deste está diretamente ligada a R_{out} e o A . A frequência de corte (ω_0) (frequência onde o ganho de potência é igual a metade) da equação é modificada passando de $0 \frac{\text{rad}}{\text{s}}$, no modelo ideal, para ω_0 , que é dependente

dos valores de R_{out} , R_s , R_{in} e A . Já o ganho A_d torna-se dependente das características físicas do Amp Op e da resistência R_s .

APÊNDICE II – MODELO DO INTEGRADOR DE MILLER MODIFICADO

Topologia do integrador de Miller como ilustrado Figura 93. A adição de um resistor de feedback, em paralelo com o capacitor na malha de retroalimentação reduz o ganho em DC da topologia, enquanto a presença de uma resistência no terminal não-inversor diminui o offset DC, como demonstrado a seguir [26], [27].

Figura 93- Circuito modificado de Miller, onde a resistência de retroalimentação (R_f) e a resistência na porta não inversora (R_2), foram inseridas para minimizar o erro em DC.



Elaborado pelo próprio autor.

Utilizando o princípio da superposição para encontrar a $H(s)$ do integrador de Miller modificado. A tensão de saída do circuito pode ser encontrada como ilustrado na Equação II.1.

Para o cálculo de $G_n V_{ie}$ deve se levar em conta a introdução das resistências R_f e R_2 , como ilustrado na Figura 94. A presença das resistências faz com que Equação 2 seja igual a:

$$V_{ie} = V_{os} + V_f + V_2 \quad (\text{II.1})$$

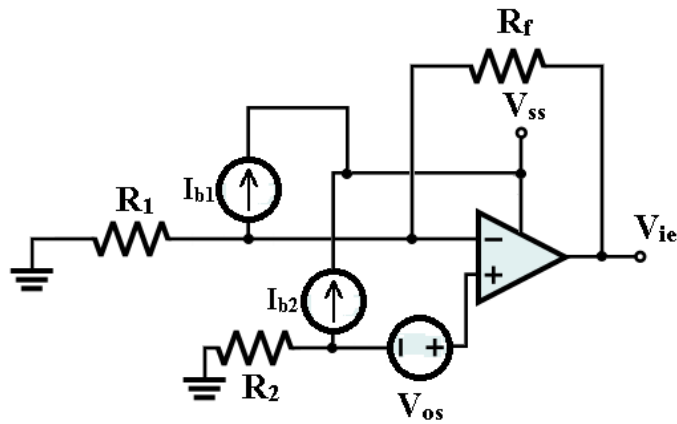
Em que as tensões V_f e V_2 são iguais a [27], [33]:

$$V_2 = -I_{ib2} * R_2 \text{ e } V_f = R_f \left(I_{ib1} - I_{ib2} * \frac{R_2}{R_1} \right) \quad (\text{II.2})$$

Substituindo a II.2 em II.1, tem-se:

$$V_{ie} = V_{os} + R_f \left(I_{ib1} - I_{ib2} * \frac{R_2}{R_1} \right) - I_{ib2} * R_2 \quad (\text{II.3})$$

Figura 94- Modelo de erro DC para o circuito de Miller modificado, onde existe a presença de resistências na malha de retroalimentação e na entrada não-inversora.



Elaborado pelo próprio autor.

A corrente de *offset* de entrada, $I_b = \frac{I_{ib1} + I_{ib2}}{2}$, é um valor bem pequeno. Assim pode se considerar que $I_b \cong I_{ib1} \cong I_{ib2}$. Nesse caso a Equação (II.3) pode ser reescrita como:

$$V_{ie} = V_{os} + I_b \left[R_f - R_2 \left(1 + \frac{R_f}{R_1} \right) \right] \quad (\text{II.4})$$

Com é desejado que a tensão DC da saída do circuito seja nula, a relação entre as resistências é igual a:

$$\frac{V_{os}}{I_b} = R_2 \left(1 + \frac{R_f}{R_1} \right) - R_f \quad (\text{II.5})$$

O ganho DC do sistema é:

$$G_n = \frac{R_f}{R_1} \quad (\text{II.6})$$

Logo, o erro de *offset* em DC para o integrador modificado é igual a:

$$G_n V_{ie} = \frac{R_f}{R_1} * \left[V_{os} + I_b \left[R_f - R_2 \left(1 + \frac{R_f}{R_1} \right) \right] \right] \quad (\text{II.7})$$

Aqui é possível notar que a introdução do resistor na porta não- inversora faz com que o erro DC seja minimizado. Para que o processo de diminuição do erro DC seja o máximo, é ideal que a resistência R_2 tenha o mesmo valor ôhmico do que a resistência equivalente vista pelo terminal inversor [26], [27].

II. MODELO LINEAR DO INTEGRADOR DE MILLER MODIFICADO

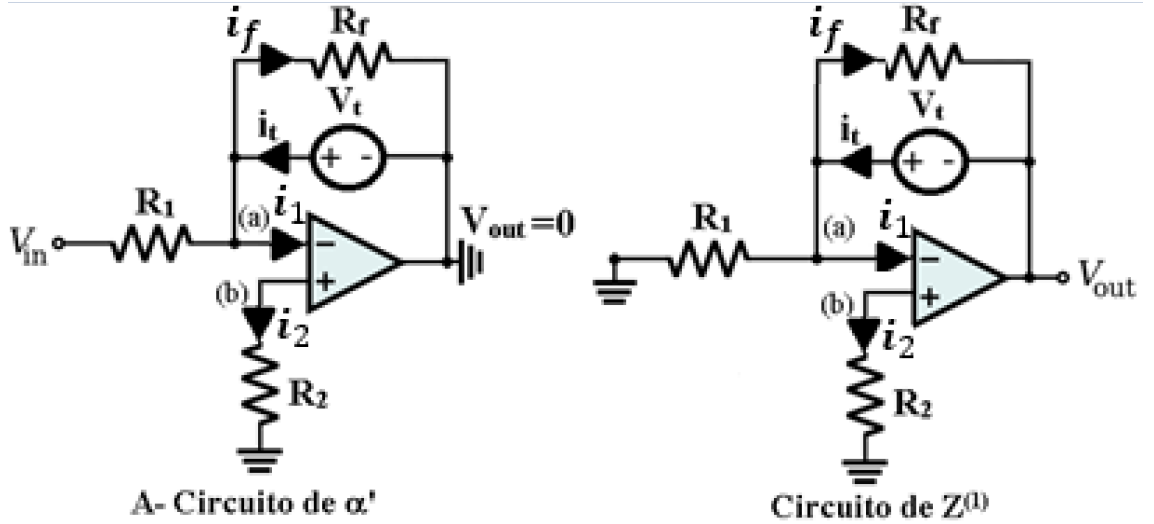
Utilizando o método EET na topologia de Miller modificado para o cálculo da função de transferência e sendo $Z_c = \frac{1}{sC}$, obtém-se os circuitos da Figura 95. Realizando a técnica de análise nodal em (b) do Circuito A, e usando a propriedade ideal do Amp Op tem-se:

$$\frac{V_b}{R_2} = 0 \rightarrow V_b = V_a = 0 \quad (\text{II.8})$$

Pelo curto virtual observa-se que a tensão no nó (a) é igual à do (b), logo:

$$V_a = V_t = 0 \rightarrow \frac{V_t}{i_t} = 0 = \alpha' \quad (\text{II.9})$$

Figura 95- Representação do circuito utilizando a técnica do elemento extra. Onde A é o circuito encontrado α' da função de transferência, onde força-se a saída a ser zero e coloca-se uma fonte de tensão para simular a ação do capacitor. B representa o circuito de $Z^{(1)}$, em que a influência da entrada é zerada e coloca-se uma fonte de tensão para simular a ação do capacitor.



Elaborado pelo próprio autor.

O circuito B da Figura 95 representa o sistema utilizado para cálculo de $Z^{(1)}$. A Equação (II.10) ilustra a corrente que flui pelo nó (a). Aplicando a análise nodal em (b) e (a), observando que idealmente não há corrente fluindo pelo terminal não-inversor, obtém-se:

$$i_t = i_2 + i_1 + i_f \quad (II.10)$$

$$V_b = R_2 i_2 \rightarrow V_b = 0 \rightarrow V_b = V_a \rightarrow i_1 = 0, i_f = \frac{V_t}{R_f} \quad (II.11)$$

Substituindo (II.11) em (II.10), tem-se:

$$i_t = \frac{V_t}{R_f} \rightarrow \frac{V_t}{i_t} = Z^{(1)} = R_f \quad (II.12)$$

O ganho $H_{(\infty)}$ é igual ao valor negativo do calculado na Equação (II.12), assim $H_{(s)}$ do integrador de Miller modificado pode ser escrito como:

$$H_{(s)} = -A_d * \frac{1}{1 + \frac{s}{\omega_0}} \quad (\text{II.13})$$

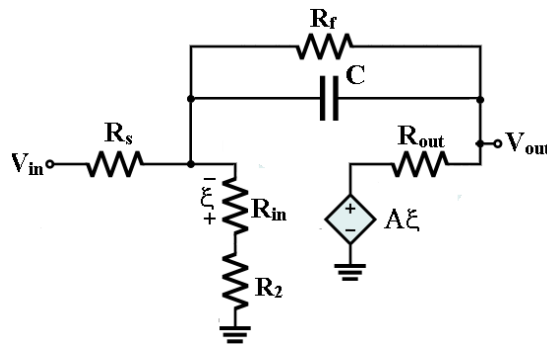
$$A_d = \frac{R_f}{R_1} \text{ e } \omega_0 = \frac{1}{CR_f}$$

A Equação (II.13) ratifica a utilização do resistor de retroalimentação, pois com a sua introdução é possível realizar o controle do ganho A_d e da frequência de corte.

II.1. MODELO NÃO-LINEAR DO INTEGRADOR DE MILLER MODIFICADO

A Figura 96 apresenta o circuito do integrador de Miller modificado contendo o modelo não-linear do Amp Op.

Figura 96- Circuito apresentando a topologia do integrador de Miller, utilizando o modelo não-linear do Amp Op e as modificações para diminuir o erro DC.



Elaborado pelo próprio autor.

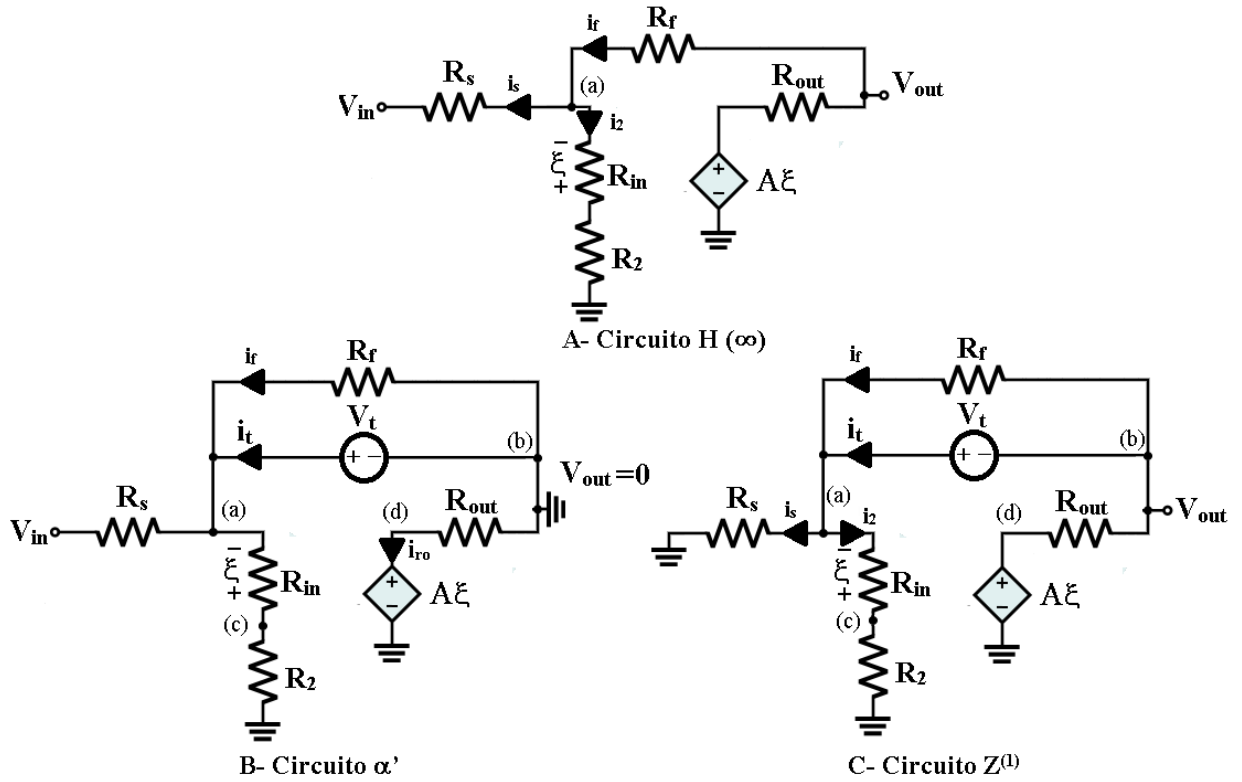
Utilizando o método EET e fazendo $Z_c = sC$, aplicando a análise nodal no Circuito A, tem-se:

$$\begin{bmatrix} \frac{1}{R_s \| R_{in} \| R_f} & -\frac{1}{R_{in}} & -\frac{1}{R_f} \\ -\frac{1}{R_{in}} & \frac{1}{R_2} & 0 \\ -\frac{1}{R_f} + \frac{A}{R_{out}} & -\frac{A}{R_{out}} & \frac{1}{R_f \| R_{out}} \end{bmatrix} * \begin{bmatrix} V_a \\ V_c \\ V_{out} \end{bmatrix} = \begin{bmatrix} V_{in} \\ R_s \\ 0 \\ 0 \end{bmatrix} \quad (\text{II.14})$$

A Equação (II.15) mostra a ganho $H_{(\infty)}$, que é encontrado através da solução da Equação (II.14).

$$\begin{aligned} & H_{(\infty)} \\ &= -\frac{R_f}{R_s} \\ & * \left[\frac{1}{1 - \frac{R_f^2}{\left(1 - \frac{A * R_f * R_{in}}{R_{out} * (R_{in} + R_2)}\right) (R_{out} \| R_f) (R_s \| R_f \| (-(R_{in} + R_2)))}} \right] \end{aligned} \quad (\text{II.15})$$

Figura 97- Representação da topologia do integrador de Miller modificado através do método EET, onde o circuito A corresponde ao ganho quando o elemento capacitivo é infinito. Já B corresponde a representação do pólo da $H(s)$, em que a influência da entrada é zerada e coloca-se uma fonte de tensão para simular a ação do capacitor. C é o circuito utilizado para calcular o zero da $H(s)$, em que se força a saída a ser zero e coloca-se uma fonte de tensão para simular a ação do capacitor.



Elaborado pelo próprio autor.

O equacionamento das correntes que fluem pelo nó (a) do circuito B é apresentado abaixo:

$$i_t = i_f + i_{ro} \quad (\text{II.16})$$

$$\rightarrow i_f = \frac{V_t}{R_f}, i_{ro} = -\frac{A}{R_{out}} * \frac{R_{in}}{R_{in} + R_2} * V_t$$

Assim, α' pode ser equacionado como:

$$\alpha' = \frac{1}{\frac{1}{R_f} + \frac{R_{in}}{R_{out} * (R_{in} + R_2)}} \quad (\text{II.17})$$

A matriz abaixo representa a análise nodal do Circuito C da Figura 97.

$$\begin{bmatrix} \frac{1}{R_s \parallel (R_{in} + R_2)} + \left(\frac{A * R_{in}}{R_{out}(R_{in} + R_2)} \right) & \frac{1}{R_{out}} \\ 1 & -1 \end{bmatrix} * \begin{bmatrix} V_a \\ V_b \end{bmatrix} = \begin{bmatrix} 0 \\ V_t \end{bmatrix} \quad (\text{II.18})$$

$$\rightarrow V_a = \frac{\frac{1}{R_{out}}}{\frac{1}{R_s \parallel (R_{in} + R_2)} + \left(\frac{A * R_{in}}{R_{out}(R_{in} + R_2)} \right)} * V_t$$

Aplicando a lei dos nós de Kirchhoff no nó (a) do Circuito C, tem-se:

$$i_t = i_f + i_s + i_{in} \quad (\text{II.19})$$

$$\rightarrow i_f = \frac{V_t}{R_f}, i_s = \frac{V_a}{R_s} \text{ e } i_{in} = \frac{V_a}{R_{in} + R_2}$$

Substituindo o valor de V_a , encontrado em (II.18), na equação (II.19) e reorganizando os termos comuns:

$$i_t = \left[\frac{1}{R_f} + \frac{\frac{1}{R_{out}}}{\frac{1}{R_s \parallel (R_{in} + R_2)} + \left(\frac{A * R_{in}}{R_{out}(R_{in} + R_2)} \right)} * \left(\frac{1}{R_s \parallel (R_{in} + R_2)} \right) \right] V_t \quad (\text{II.20})$$

Assim, $Z^{(1)}$ pode ser escrito como:

$$Z^{(1)} = \frac{1}{\left[\frac{1}{R_f} + \frac{\frac{1}{R_{out}}}{\frac{1}{R_s \parallel (R_{in} + R_2)} + \left(\frac{A * R_{in}}{R_{out}(R_{in} + R_2)} \right)} * \left(\frac{1}{R_s \parallel (R_{in} + R_2)} \right) \right]} \quad (\text{II.21})$$

A $H_{(s)}$ do integrador de Miller modificado é apresentada abaixo:

$$H_{(s)} = -A_d * \frac{1 + \frac{s}{\omega_1}}{1 + \frac{s}{\omega_0}} \quad (\text{II.22})$$

$$\omega_0 = \left[\frac{C}{\left[\frac{1}{R_f} + \frac{\frac{1}{R_{out}}}{\frac{1}{R_s} \parallel (R_{in} + R_2) + \left(\frac{A * R_{in}}{R_{out}(R_{in} + R_2)} \right) * \left(\frac{1}{R_s \parallel (R_{in} + R_2)} \right)} \right]} \right]^{-1},$$

$$\omega_1 = \left(\frac{C}{\frac{1}{R_f} + \frac{R_{in}}{R_{out} * (R_{in} + R_2)}} \right)^{-1}$$

$$e A_d = \frac{R_f}{R_s} * \left[\frac{1}{R_f^2} \right] \left[1 - \frac{\left(\frac{A * R_f * R_{in}}{R_{out} * (R_{in} + R_2)} \right) (R_{out} \parallel R_f) (R_s \parallel R_f \parallel (-R_{in} + R_2))}{1} \right]$$

A Equação (II.22) mostra que a $H(s)$ do integrador de Miller modificado apresenta um zero em ω_1 , que está diretamente ligado aos parâmetros físicos do Amp Op e com a resistência de retroalimentação. A frequência ω_0 é influenciada principalmente por R_f e por A, R_{in} e R_{out} . Já o ganho A_d torna-se dependente das características físicas do Amp Op e da razão entre as R_f e R_s .

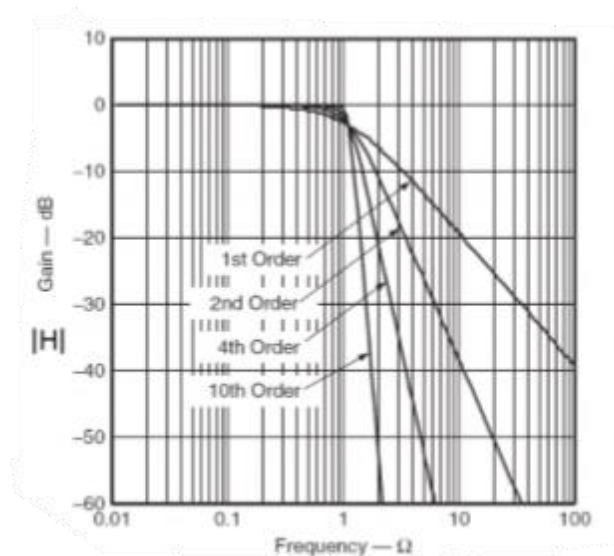
Interessante ressaltar que a inserção da resistência R_2 apresenta pouca influência na dinâmica do sistema, assim é possível minimizar o erro em DC e modificar ao mínimo a função de transferência do sistema [26], [27].

APÊNDICE III- DESENVOLVIMENTO DE FILTROS ATIVOS

Há diversas topologias de filtros, como por exemplo, Butterworth, Chebyshev, Bessel-Thomson, Cauer-elíptico, filtros digitais etc. Dentre as topologias, as três mais usadas são o Butterworth, o Bessel e Chebyshev. Essas três famílias de filtros apresentam semelhanças em suas topologias, porém apresentam os coeficientes dos polinômios diferentes o que faz com que a função de transferência de cada um seja diferente [34], [35]

Os filtros Butterworth são desenvolvidos para a maior planicidade na banda passante. A frequência de corte ocorre no ponto de -3 dB no diagrama de Bode de magnitude. Depois disso, o filtro apresenta uma atenuação de -20 dB por década (dependendo da ordem do filtro), como ilustrado na Figura 98. Essa configuração apresenta moderado sobressinal de transição do sinal de entrada.

Figura 98- Representação do diagrama de Bode de magnitude para um filtro Butterworth com ordem variada.



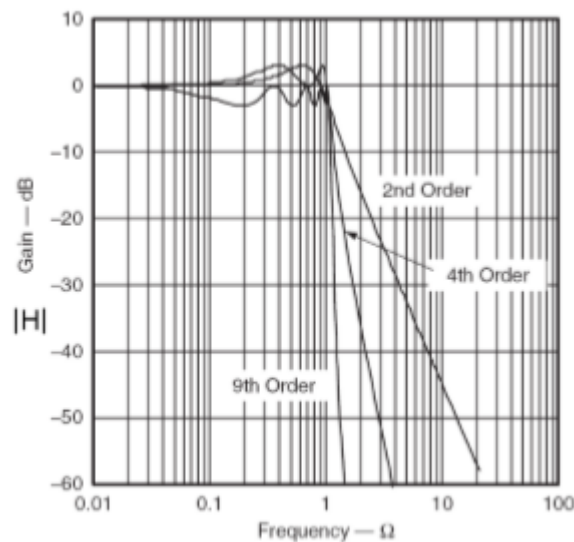
Adaptado [35].

Os filtros Bessel apresentam resposta linear de fase, ótima resposta ao transiente da entrada e a frequência de corte ocorre próximo ao ponto de -3 dB [34]. São filtros que maximizam a planicidade da fase do sistema, entretanto isso faz com que a resposta do ganho e da banda passante sejam sacrificadas.

No quesito de atenuação esses filtros têm pior desempenho do que os outros dois tipos, entretanto apresentam grande desempenho para filtrar sinais com forma retangular, pois distorcem menos a forma de onda [35].

Os filtros Chebyshev são projetados para ter ondulações na banda passante, mas apresentam uma acentuada atenuação, como ilustrado na Figura 99. No geral apresentam atenuação de $-6(n-1)$ dB por década a mais se comparada aos outros dois filtros de ordem n [35]. Assim, esses filtros apresentam atenuação mais íngremes do que os outros dois tipos. A frequência de corte é definida como a frequência onde acaba a banda de oscilação. Este tipo de filtro apresenta um grande overshoot, se comparado ao filtro de Butterworth [34]–[36].

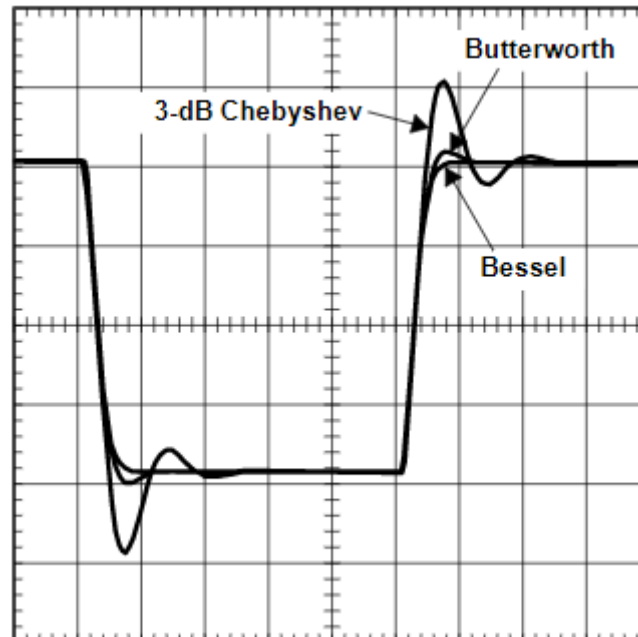
Figura 99- Representação do diagrama de Bode de magnitude para um filtro Chebyshev com ordem variada.



Adaptado [35].

A Figura 100 apresenta uma comparação entre as respostas dos filtros para a mesma condição. Para casos em que se necessita de uma rápida atenuação da magnitude do sinal para faixas pequenas entre a frequência de corte e a frequência a ser filtrada, utiliza-se os filtros Chebyshev.

Figura 100- Comparação da resposta dos três tipos de filtros, Butterworth, Bessel e 3-dB Chebyshev.



Retirado [37].

Uma forma padronizada de escrever a função de transferência dos filtros ($H(f)$) é apresentada na equação abaixo.

$$H(f) = - \frac{K}{\left(\frac{f}{FSF + f_c}\right)^2 + \frac{1}{Q} \left(\frac{jf}{FSF + f_c}\right) + 1} \quad (\text{III.1})$$

Onde K corresponde ao ganho em DC do filtro, Q ao fator de qualidade do filtro, FSF ao fator de escalonamento da frequência e f_c à frequência de corte. Observa-se pela $H(f)$ que para frequências menores que a de corte, a resposta do filtro é multiplicada pelo fator K . Já quando a frequência é igual a f_c , ocorre uma inversão de fase (90°) do sinal e este é alterado pelo fator de qualidade.

Para frequências maiores do que f_c o sinal apresenta uma defasagem de 180° e uma atenuação correspondente à raiz quadrada da razão quadrada da frequência.

Para o cálculo da ordem n do filtro Chesbyshev, utiliza-se a seguinte fórmula:

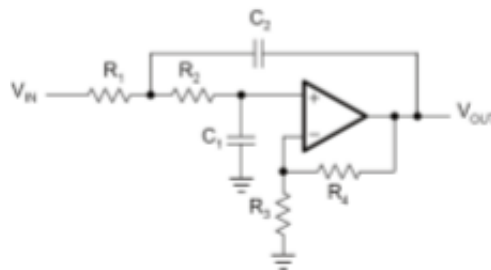
$$f_s = \frac{f_s}{f_p} \quad M = \sqrt{\frac{10^{0,1*A_{min}} - 1}{10^{0,1*A_{max}} - 1}} \quad (\text{III.2})$$

$$n = \left\lceil \frac{\cosh^{-1} M}{\cosh^{-1} f_s} \right\rceil$$

Onde f_p e f_s correspondem, respectivamente, à frequência de corte e à frequência que atinge atenuação desejada. A_{max} é o máximo valor que o ganho atinge e A_{min} é o valor de atenuação.

Para a implementação prática da topologia Chesbyshev pode utilizar a configuração biquadrática de Sallen-Key, como ilustrada na Figura 101 [34]–[36]. Nessa configuração, são usados dois elementos capacitivos, um capacitor no terminal não inversor do Amp Op e outro fazendo uma realimentação no terminal central de um divisor de tensão resistivo.

Figura 101- Implementação da topologia biquadrática de Sallen-Key, utilizando uma combinação de resistores, capacitores e um Amp Op.



Retirado [37].

A $H(f)$ desse circuito pode ser descrita como:

$$H(f) = - \frac{\frac{R_3 + R_4}{R_3}}{(j2\pi f)^2(R_1 R_2 C_1 C_2) + j2\pi f \left(R_1 C_1 + R_2 C_1 \left(-\frac{R_4}{R_3} \right) \right) + 1} \quad (\text{III.3})$$

Considerando $K = \frac{R_3 + R_4}{R_3}$, $Q = \frac{\sqrt{R_1 R_2 C_1 C_2}}{R_1 C_1 + R_2 C_1 + R_1 C_2 (1-K)}$ e $FSF \times f_c = \frac{1}{2\pi \sqrt{R_1 R_2 C_1 C_2}}$, a

$H(f)$ fica igual à função de transferência padrão de filtros de segunda ordem. Para a realização de filtros de ordem superior é necessário cascatear circuitos biquadráticos Sallen-Key.

Para o cálculo dos componentes do filtro a ser utilizado, pode-se utilizar a tabela padronizada dos coeficientes, como ilustrado na Tabela 11. Assim, iguala-se os valores encontrados na tabela com os da função de transferência e encontra-se os valores dos componentes necessários para a implementação do filtro.

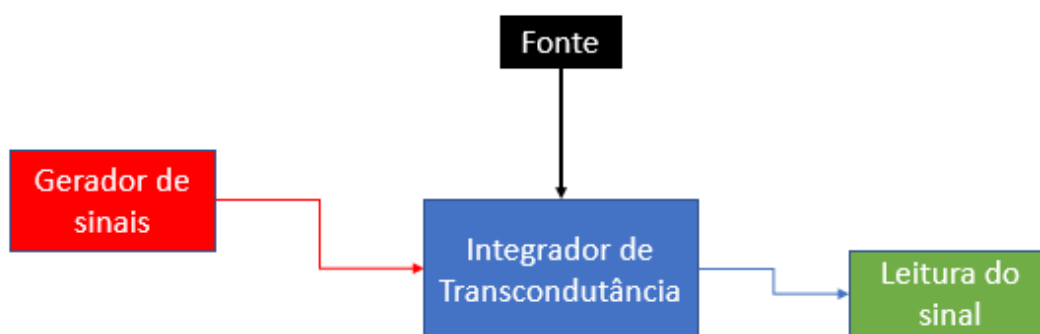
Tabela 11- Coeficientes padrões para filtro 3-dB Chesbyshev.

FILTER ORDER	Stage 1		Stage 2		Stage 3		Stage 4		Stage 5	
	FSF	Q	FSF	Q	FSF	Q	FSF	Q	FSF	Q
2	0.8414	1.3049								
3	0.9160	3.0678	0.2986							
4	0.4426	1.0765	0.9503	5.5770						
5	0.6140	2.1380	0.9675	8.8111	0.1775					
6	0.2980	1.0441	0.7224	3.4597	0.9771	12.7899				
7	0.4519	1.9821	0.7920	5.0193	0.9831	17.4929	0.1265			
8	0.2228	1.0558	0.5665	3.0789	0.8388	6.8302	0.9870	22.8481		
9	0.3559	1.9278	0.6503	4.3179	0.8716	8.8756	0.9897	28.9400	0.0983	
10	0.1796	1.0289	0.4626	2.9350	0.7126	5.7012	0.8954	11.1646	0.9916	35.9274

APÊNDICE IV- INTEGRADOR MILLER MODIFICADO

A ideia para a realização da célula de integração é apresentada Figura 102. Onde são apresentados os principais elementos que compõe essa topologia (T1). Onde a fonte de energia, a geração do sinal e a leitura do sinal são feitos de modo externo.

Figura 102- Blocos funcionais da topologia T1 de integrador propostos. A seta em vermelho representa o sinal variável de entrada, a em preto o fornecimento de energia para o sistema e a em azul a saída do integrador.



Elaborado pelo próprio autor.

Para o desenvolvimento do sistema observou-se a largura de banda desejada para a operação do computador (1 Hz a 10 kHz), utilizou-se um capacitor de poliéster de $1\mu\text{F}$, devido à suas pequenas dimensões físicas e pelo pequeno custo, além de ser facilmente encontrado no mercado. Decidiu-se por uma frequência de corte frequência de $\omega_0 = 2 \frac{\text{rad}}{\text{s}}$, um ganho DC de $\leq 20 \text{ dB}$, e uma alimentação simétrica de $\pm 12 \text{ V}$ para os Amp Op, para aumentar a excursão do sinal e a flexibilidade de condicionamento dele.

IV. INTEGRADOR DE TRANSCONDUTÂNCIA: INTEGRADOR DE MILLER MODIFICADO

Para o integrador de Miller modificado com um capacitor $1\mu\text{F}$ e $\omega_0 = 2 \frac{\text{rad}}{\text{s}}$ é necessário que $R_f = 500 \text{ k}\Omega$. Para um ganho de 20 dB a razão deve ser $\frac{R_f}{R_1} = 10$, então $R_1 = 50 \text{ k}\Omega$. Logo, a $H(s)$ ideal fica igual a:

$$H(s) = -10 * \frac{1}{1 + 2s} \quad (\text{IV.1})$$

Como R_2 deve ser igual à resistência vista pelo terminal inversor, essa deve ser igual a:

$$R_2 = R_1 \parallel R_f \rightarrow R_2 = R_1 \quad (\text{IV.2})$$

Logo, o erro em DC deve ser igual a:

$$G_n V_{ie} \cong 10 * [V_{os} + I_b [-50 * 10^3]] \quad (\text{IV.3})$$

Para implementação do circuito, decidiu-se pela utilização do Amp Op LM741, pelo seu baixo custo, impedância de entrada na ordem de 10^6 e ganho de malha aberta 200 V/mV. Segundo o datasheet desse componente $V_{os} \cong 6 \text{ mV}$ e $I_b = 80 \text{ nA}$. O erro de DC para esse dispositivo é igual a:

$$G_n V_{ie} \cong 20 \text{ mV} \quad (\text{IV.4})$$

Para o cálculo de $H(s)$ linear foram utilizados os seguintes dados $R_{in} = 2 \text{ M}\Omega$, $R_{out} = 100 \Omega$ e $A = 200 * 10^3 \text{ V/V}$.

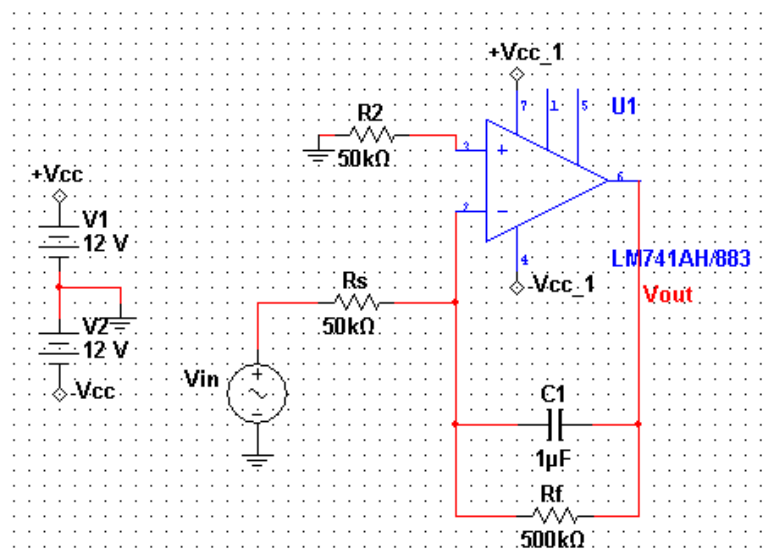
$$H(s) = -9,9994 * \frac{1 + s[1,02 * 10^{-4}]}{1 + s[2,0001]} \quad (\text{IV.5})$$

Observa-se que as duas funções de transferência, tanto a ideal quanto a linear, apresentaram resultados semelhantes. Então, pode-se afirmar que para os propósitos desse trabalho a aproximação simplificada é suficiente para estimar o funcionamento do sistema.

O circuito do Integrador de Miller Modificado implementado no software MultiSim® é mostrado na Figura 103. Observa-se que, pelo diagrama de Bode, Figura 104, que o circuito projetado apresenta um ângulo de 180° em frequências menores do que 10^{-2} (ao invés de 0°). Isto ocorre devido à inversão de fase da configuração da topologia. Além disso, ocorre um decréscimo da fase, iniciando em uma década antes da frequência de corte ($f_0 = 0,318$ Hz), caindo aproximadamente 45° em f_0 e terminando uma década depois no ângulo 90° , comportamento de sistema lineares [32].

Nota-se também que o ganho em corrente contínua corresponde a 20 dB, (razão entre a resistência de feedback e a de entrada) e, próximo de 0,3 Hz há o decrescimento da magnitude do ganho do sistema, isso acontece de forma linear com um coeficiente angular de 20 dB.

Figura 103- Integrador de Miller Modificado implementado no software MultiSim®, onde as resistências R1, R2 e Rf, foram calculadas para fazer com que a frequência de corte (ω_0) seja 2 rad./s, ganho DC de 20 dB e offset de 20 mV.



Elaborado pelo próprio autor.

A partir de 20 kHz há início de um comportamento não-linear do sistema, fazendo com que a magnitude aumente para maiores frequências. Esse fato se dá devido, principalmente, as alterações na resistência de entrada e de saída do LM741 com o aumento da frequência, que introduz zero e polo ao circuito [38].

A Figura 105 apresenta uma ampliação do diagrama Bode na frequência de operação do sistema. Nessa faixa, o circuito tem o comportamento de um integrador negativo, com uma defasagem próxima de 90° e a queda de 20 dB por década da magnitude do sinal. A magnitude do ganho começa em 9,51 dB e termina em -69,48, sendo assim considera-se que houve uma queda de 80 dB em 4 décadas. Entretanto, com relação à fase em frequências mais baixas que 3 Hz há uma distorção da defasagem acima do limite de $\pm 5, 4^\circ$ [27]. Esse fato é esperado devido à proximidade de uma década da frequência de corte, onde há grande distorção do sinal devido à faixa de transição do sistema.

Com a análise dos resultados da simulação, montou-se um protótipo do circuito proposto, como ilustrado na Figura 106. O circuito foi implementado utilizando um LM741, três entradas com resistores de 47 k Ω , resistor de feedback de 470 k Ω , capacitor de *feedback* de poliéster de 1 μ F e capacitores eletrolíticos de 1 μ F para a filtragem de ruídos no circuito de alimentação do sistema. A alteração dos valores das resistências se deu pela disponibilidade dos componentes e pelas pequenas alterações na função de transferência do sistema.

Com a implementação da topologia foi possível comparar os resultados obtidos entre a simulação e a prática. Para a análise da defasagem do sinal, frequência e magnificação do sinal, utilizou-se um sinal senoidal com 2 V de pico com frequência variável. Entretanto, para sinais de frequência menores que 10 Hz, o equipamento não conseguia manter a tensão de pico, mas esse fato não alterou as proporções dos sinais analisados.

A Tabela 12 apresenta os dados obtidos na prática e na simulação e mostra o erro relativo entre eles.

Nota-se que o sistema T1 realiza o processo de integração do sinal senoidal para todas as frequências utilizadas com a forma de onda igual a $\cos\left(2\pi t + \theta - \frac{\pi}{2}\right)$, com um erro máximo de defasagem de 4 %. Nos sinais coletados na prática não se observa assimetria entre os valores de picos como os presentes na simulação.

Figura 104- Diagrama de Bode de magnitude e de fase para o sistema da topologia T1.

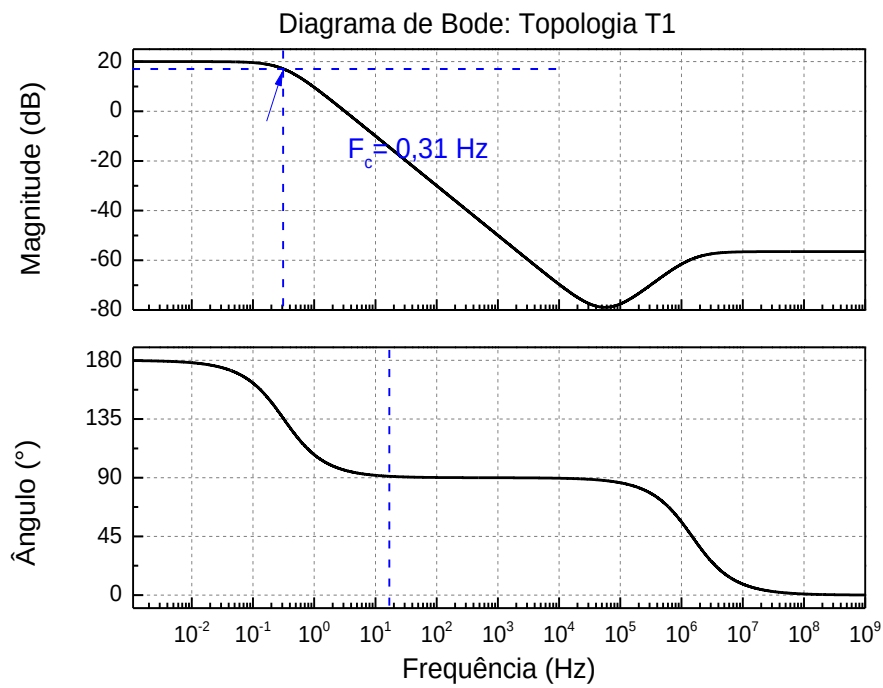


Figura 105-Ampliação na faixa de 1 Hz a 10 kHz do diagrama de bode da topologia T1.

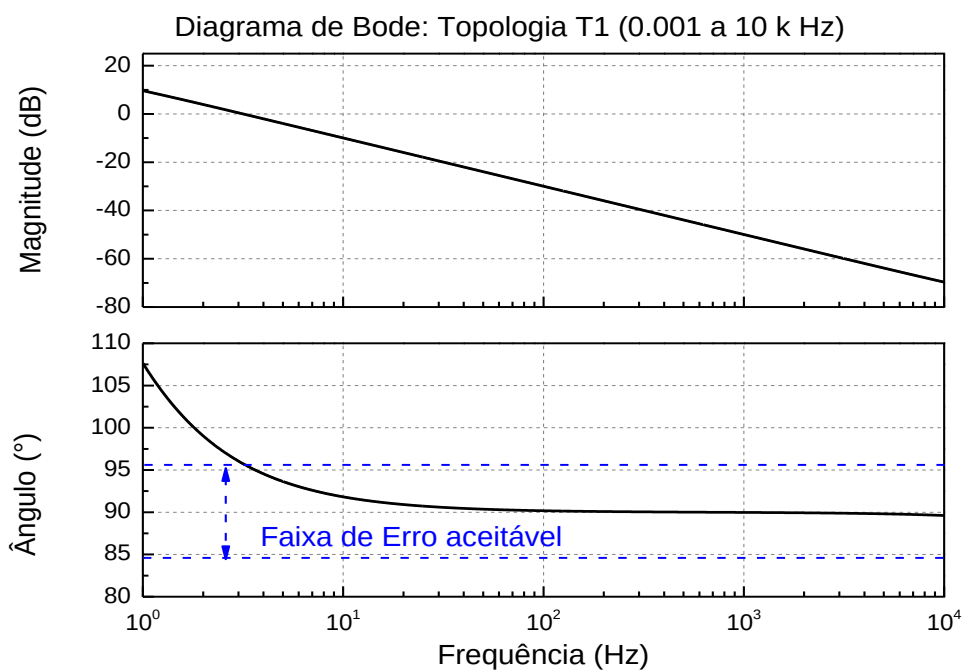
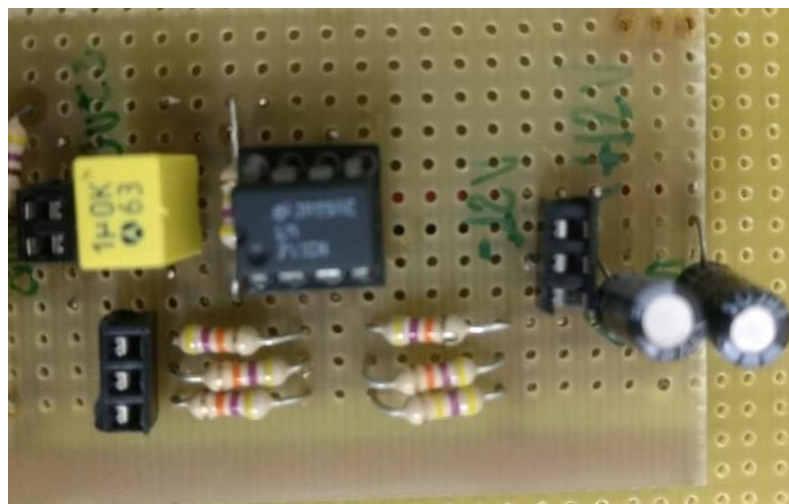


Figura 106- Circuito implementado do T1 para frequências de 0.0001 a 10 kHz. O protótipo foi construído para a realização dos testes práticos do dispositivo.

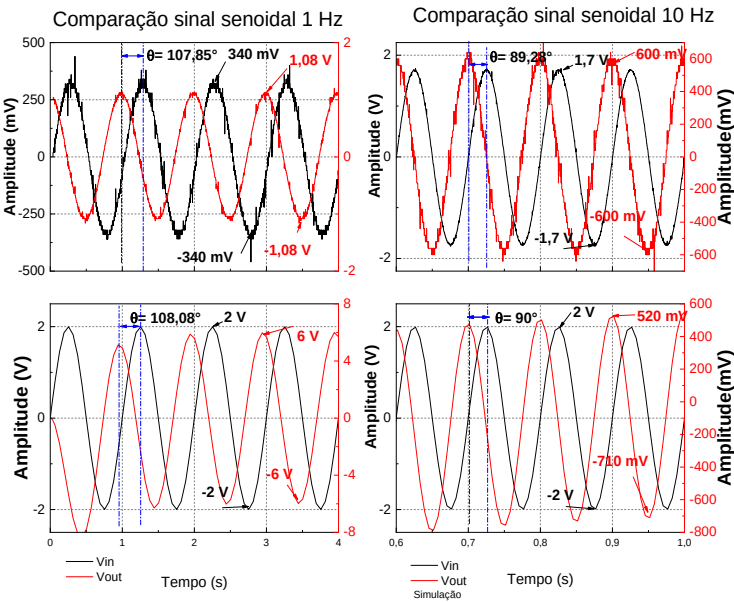


Elaborado pelo próprio autor.

Tabela 12- Apresentação dos dados obtidos na prática (R) e na simulação (S) para o sistema T1.

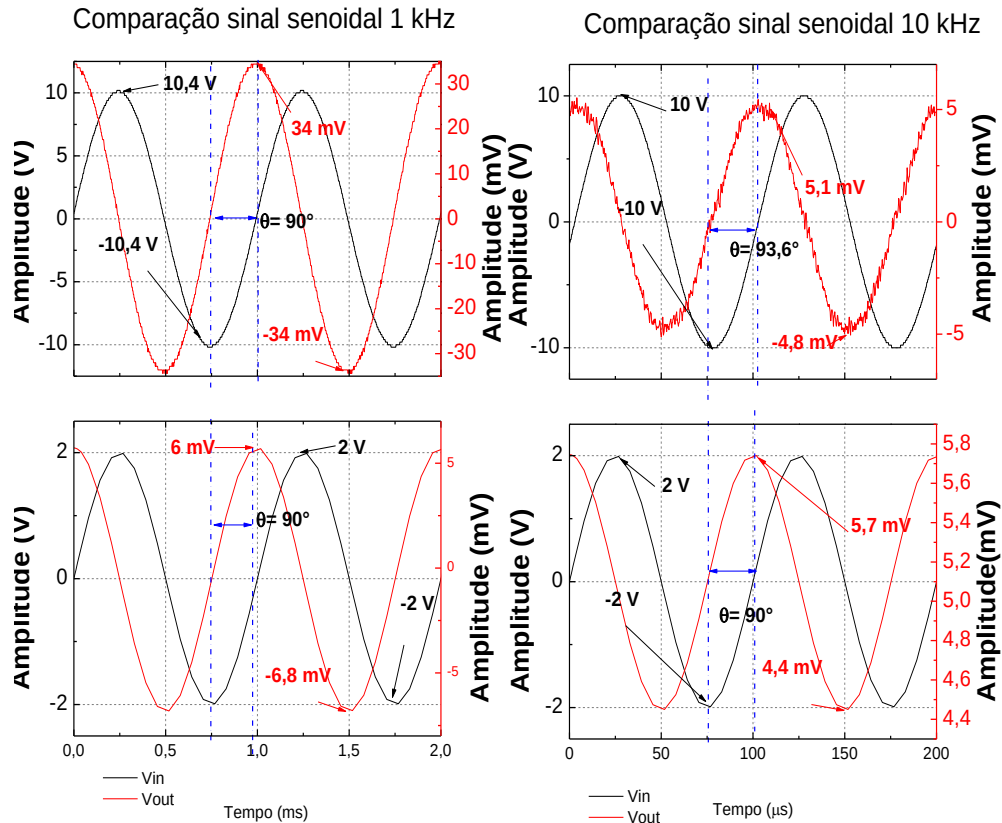
Frequência (Hz)	Fase (°)		Ganho (V/V)	
	R	S	R	S
1	107,9	108,8	3,2	3,0
10	89,3	90	$3,5 \times 10^{-1}$	$3,1 \times 10^{-1}$
100	90,7	90	$3,4 \times 10^{-2}$	$3,2 \times 10^{-2}$
1000	90,7	90	$3,3 \times 10^{-3}$	$3,2 \times 10^{-3}$
10000	90,3	90	$0,5 \times 10^{-3}$	$0,3 \times 10^{-3}$

Figura 107- Comparação entre os resultados obtidos na simulação e o circuito implementado para um sinal senoidal de 1 Hz, onde as curvas em vermelha representam o sinal de entrada e a em preto o sinal de saída.



No caso da magnitude ocorre uma distorção entre os sinais simulados e os práticos. Esse fato pode ser explicado pela grande presença de ruídos no sistema.

Figura 108- Comparação entre os resultados obtidos para um sinal senoidal de 1k e 10 kHz. A análise utilizou o modo de aquisição por média do osciloscópio (128 amostras), além disso aumentou-se a amplitude do sinal de entrada para facilitar a leitura pelo equipamento. As curvas em vermelha representam o sinal de saída e a em preto o de entrada.



Para realizar a análise dos ruídos presentes no sinal, realizou-se a técnica rápida de transformada de Fourier (FFT do inglês *Fast Fourier Transform*) que é apresentado no Apêndice IV.

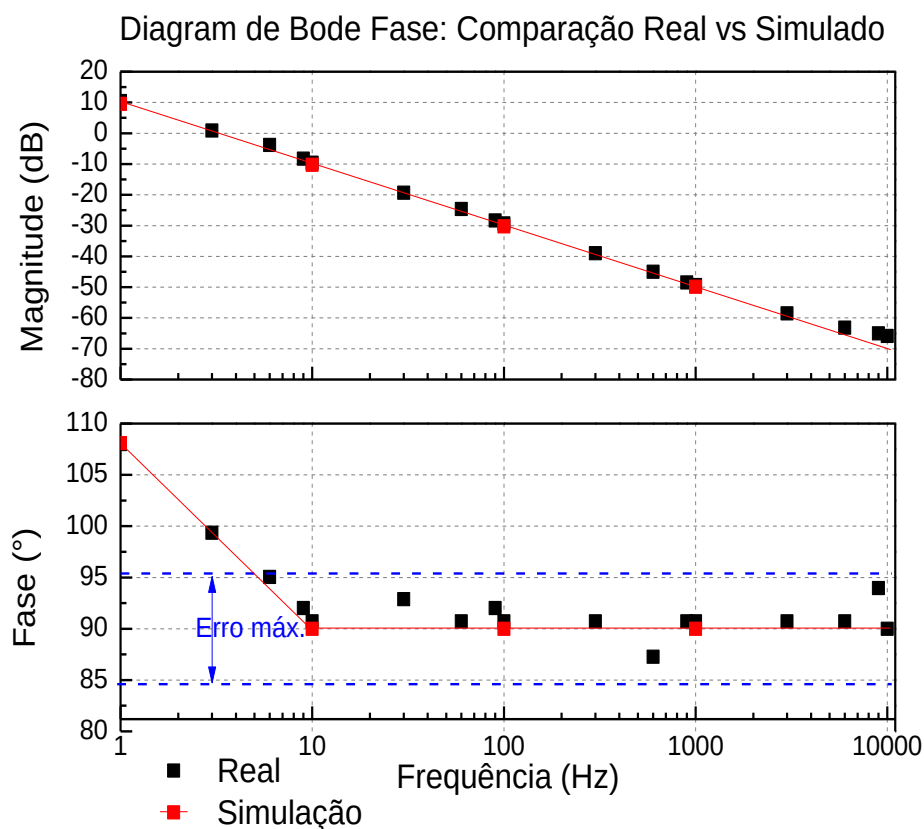
A Tabela 13 apresenta os dados da tensão de entrada, saída, variação de tempo entre os sinais, magnitude e defasagem dos dados coletados no circuito real. Com esses dados elaborou-se o diagrama de Bode do sistema real e comparou-se com o simulado, como ilustrado Figura 109. Observa-se que o Bode do sistema real é bastante fiel ao simulado. Entretanto, nota-se que com o aumento da frequência ocorre um acréscimo no erro relativo entre os valores reais e simulados, fato ocorrido pela menor amplitude do sinal e a maior relevância do erro na composição do sinal.

É importante notar que apesar disso, a maior variação da fase no sistema real está dentro da faixa de erro aceitável para as frequências maiores do que 3 Hz.

Tabela 13- Comparação entre os resultados obtidos na simulação da topologia T1 e os reais coletados.

Frequência (Hz)	V_{in} (V)	V_{out} (V)	Δt (s)	Magnitude (dB)	Fase (°)
1	6.72E-01	2.24	3.00E-01	10.46	108
3	1.76	4.4E+00	9.2E-02	7.96	99.36
6	2.88	1.9E+00	4.4E-02	-3.80	95.04
9	3.42	1.3E+00	2.8E-02	-8.27	92.016
10	3.52	1.2E+00	2.5E-02	-9.57	90.72
30	4.16	4.5E-01	8.6E-03	-19.36	92.88
60	4.08	2.4E-01	4.2E-03	-24.61	90.72
90	4.08	1.6E-01	2.8E-03	-28.35	92.016
100	4.08	1.4E-01	2.5E-03	-29.29	90.72
300	20.8	2.3E-01	8.4E-04	-38.98	90.72
600	20.6	1.2E-01	4.0E-04	-44.99	87.264
900	20.8	7.8E-02	2.8E-04	-48.47	90.72
1000	20.8	7.1E-02	2.5E-04	-49.31	90.72
3000	20.4	2.4E-02	8.4E-05	-58.52	90.72
6000	20.4	1.4E-02	4.2E-05	-63.15	90.72
9000	20.4	1.1E-02	2.9E-05	-65.05	93.96
10000	20.4	1.0E-02	2.5E-05	-65.85	90

Figura 109- Comparação entre os diagramas de Bode de magnitude e fase do sistema real e o simulado, curvas em preto e vermelho respectivamente.



Após a coleta dos dados senoidais, realizou-se a análise do sistema a outros tipos de formas de onda (quadrada e dente-de-serra). Optou-se pela faixa de frequência de 10 Hz a 1 kHz, pois a fonte geradora de sinal apresenta grandes distorções do sinal para frequências mais baixas do que 10 Hz, para os sinais maiores do que 1 kHz, há grande presença de ruído na saída, o que impossibilita a leitura do sinal. Os resultados obtidos para os sinais com formas variadas, amplitude fixa de 4 V_{pp} e frequência variando de 0.01 a 1 kHz são apresentados nas figuras abaixo, onde as ondas em vermelho representam o sinal de entrada de T1 e as em preto, os sinais de saída de T1. A curva em azul representa a integral calculada, através do software Origin®, do sinal de entrada.

A Tabela 14 apresenta a comparação entre os valores de ampliação real e o esperado do sistema para as formas de uma onda distorcida e dente-de-serra. Observa-se que a maior presença de erros de magnificação ocorre quando o sistema é submetido a forma de onda distorcida. Para essa onda, há maior presença de ruído de entrada.

Figura 110- Sinais obtidos pelo circuito T1 para sinais dente-de-serra e um sinal distorcido, com tensão 4 Vpp e frequência de 10 Hz. A onda em vermelho representa o sinal de entrada do integrador e o sinal em preto a saída dele. A curva em azul representa o cálculo matemático da integral negativa do sinal de entrada.

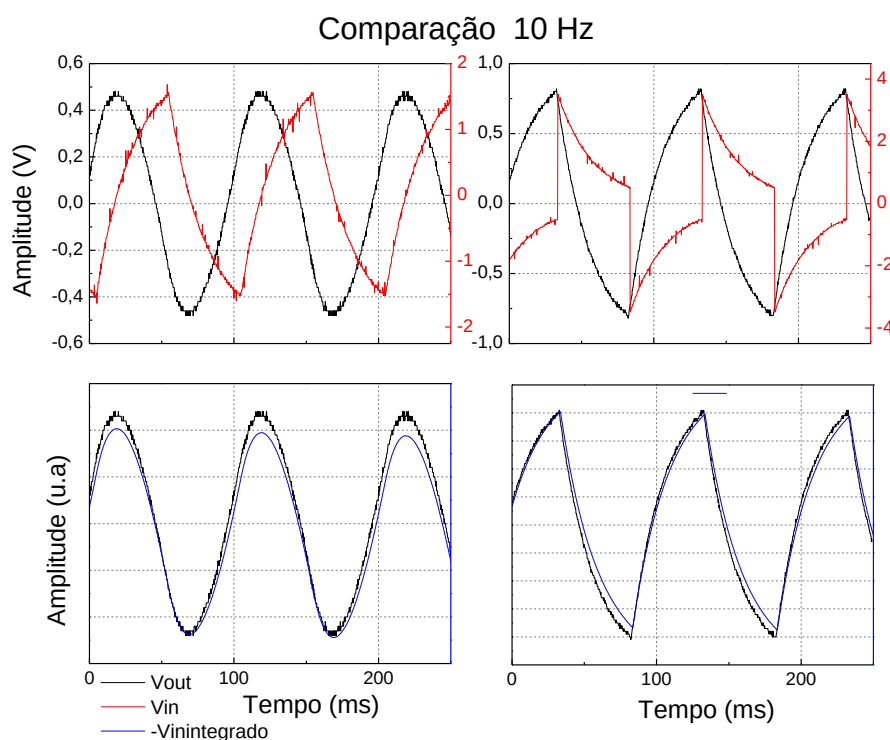


Tabela 14- Apresentação dos dados obtidos para onda dente-de-serra (D) e distorcida/quadrada (Q) para o sistema T1.

Frequência (Hz)	Ganho (V/V)	
	D	Q
10	$3,0 \times 10^{-1}$	$2,3 \times 10^{-1}$
100	$2,8 \times 10^{-2}$	$4,8 \times 10^{-2}$
1000	$3,2 \times 10^{-3}$	$5,5 \times 10^{-3}$

Figura 111- Sinais obtidos pelo circuito T1 para sinais dente-de-serra e onda quadrada, com tensão 4 Vpp e frequência de 100 Hz. A onda em vermelho representa o sinal de entrada do integrador e o sinal em preto a saída dele. A curva em azul representa o cálculo matemático da integral negativa do sinal de entrada

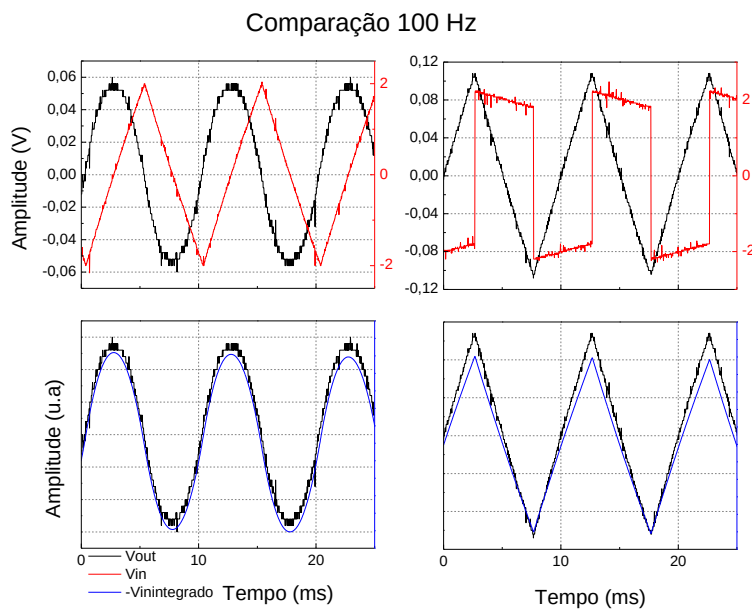
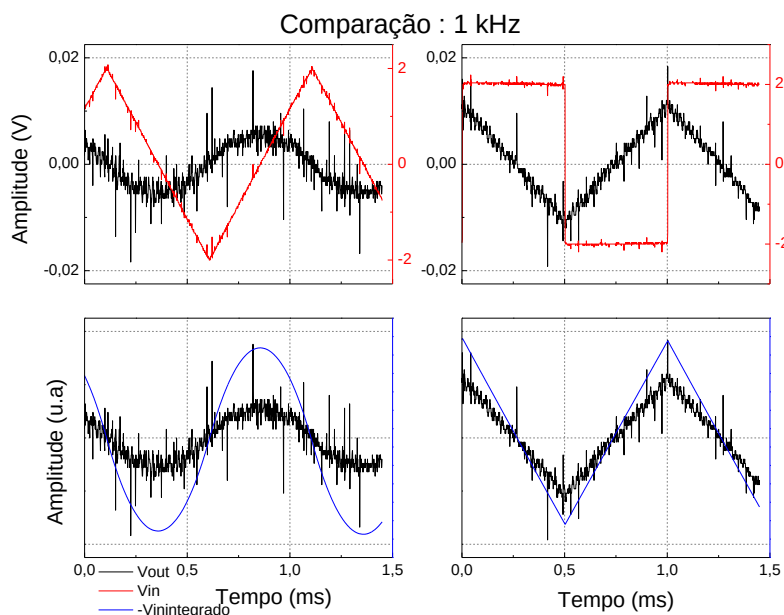


Figura 112- Sinais obtidos pelo circuito T1 para sinais dente-de-serra e onda quadrada, com tensão 4 Vpp e frequência de 1 kHz. A onda em vermelho representa o sinal de entrada do integrador e o sinal em preto a saída dele. A curva em azul representa o cálculo matemático da integral negativa do sinal de entrada.



Como pode-se observar pelas figuras acima, nota-se a realização do processo de integralização de todos os sinais de entrada. Entretanto com a maior presença de ruídos no sinal há uma perda da qualidade do processo.

Os dados apresentados demonstram que a topologia proposta tem comportamento satisfatório como integrador para as frequências 1 a 100 Hz. Para frequências maiores de 1 kHz, a presença de ruídos atrapalha o desempenho da topologia. Assim, a presença de ruídos no sistema e a pequena intensidade do sinal de saída fazem com que T1, integrador Miller, não seja a topologia mais adequada para a utilização em um computador analógico-digital com uma largura de banda de 4 décadas. Além disso, a ausência de um sistema para aplicar condições iniciais e a de um sistema para pausar o estado do sistema torna essa topologia limitada na resolução de equações diferenciais.

APÊNDICE V- ANÁLISE DE TRANSFORMADA RÁPIDA DE FOURIER FFT

As figuras abaixo apresentam os FFT dos sinais de 1, 10, 100 e 1000 Hz. Nota-se que para todas as frequências tanto o sinal de entrada quanto o de saída apresentam maior magnitude na frequência fundamental.

Além disso, visualiza-se que a presença do ruído em altas frequências tem uma influência acentuada na composição dos sinais, chegando a ser em alguns casos, 10 vezes menor do que a frequência fundamental, prejudicando a análise do sinal.

Figura 113- Análise da técnica rápida de transformada de Fourier para os sinais de entrada e saída senoidal de 1 Hz analisando a faixa 0 a 1200 kHz. As ondas em preto representam o sinal de entrada e as em vermelho o de saída, onde os gráficos da esquerda representam uma ampliação na faixa de pequenas frequências, enquanto o segundo representa um espectro mais geral.

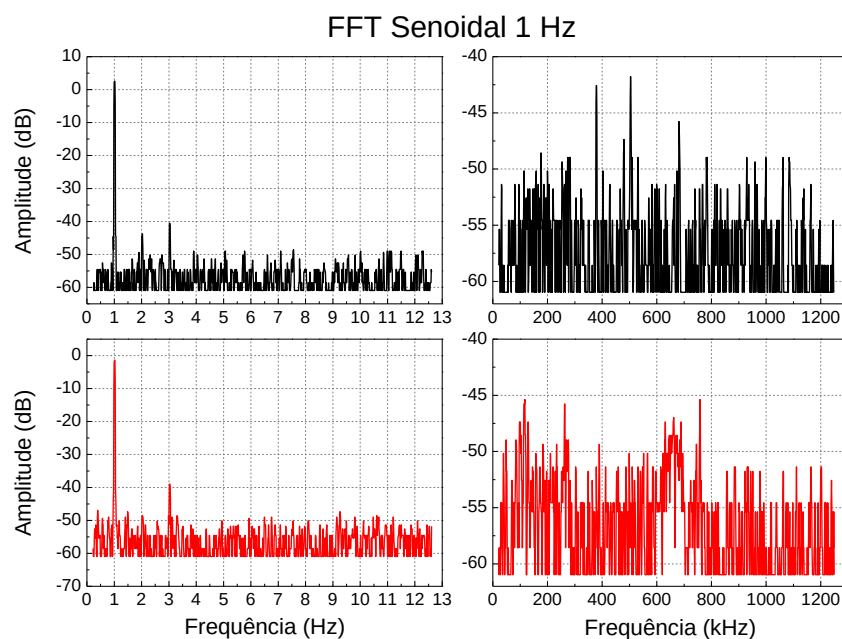


Figura 114- Análise da FFT para os sinais de entrada e saída senoidal de 10 Hz analisando a faixa 0 a 1200 kHz. As ondas em preto representam o sinal de entrada e as em vermelho o de saída, onde os gráficos da esquerda representam uma ampliação na faixa de pequenas frequências, enquanto o segundo representa um espectro mais geral.

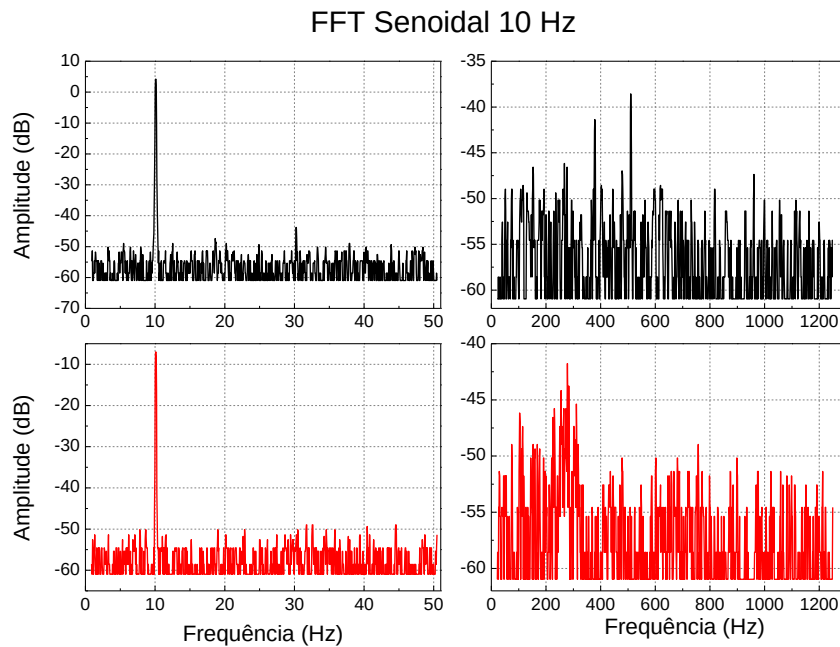


Figura 115- Análise da FFT para os sinais de entrada e saída senoidal de 100 Hz analisando a faixa 0 a 1200 kHz. As ondas em preto representam o sinal de entrada e as em vermelho o de saída, onde os gráficos da esquerda representam uma ampliação na faixa de pequenas frequências, enquanto o segundo representa um espectro mais geral.

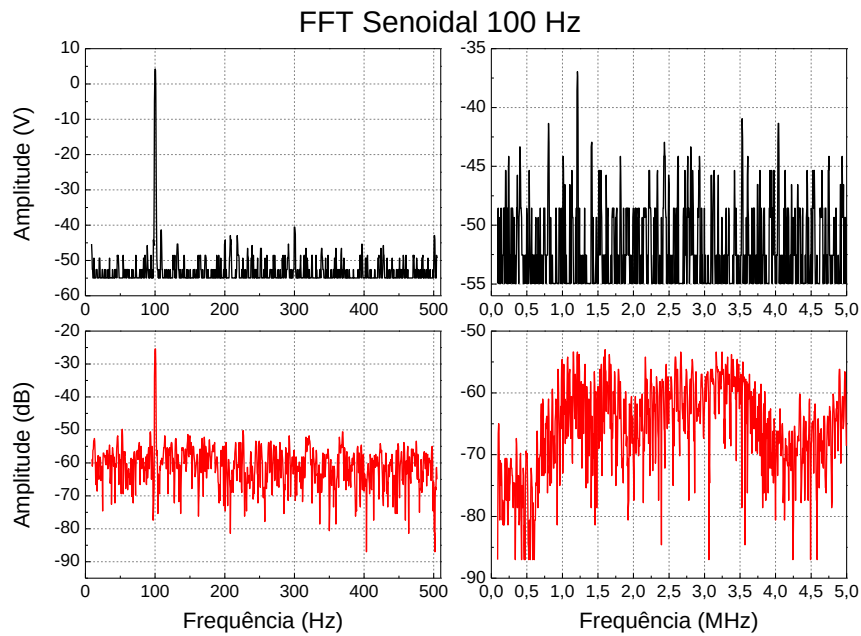
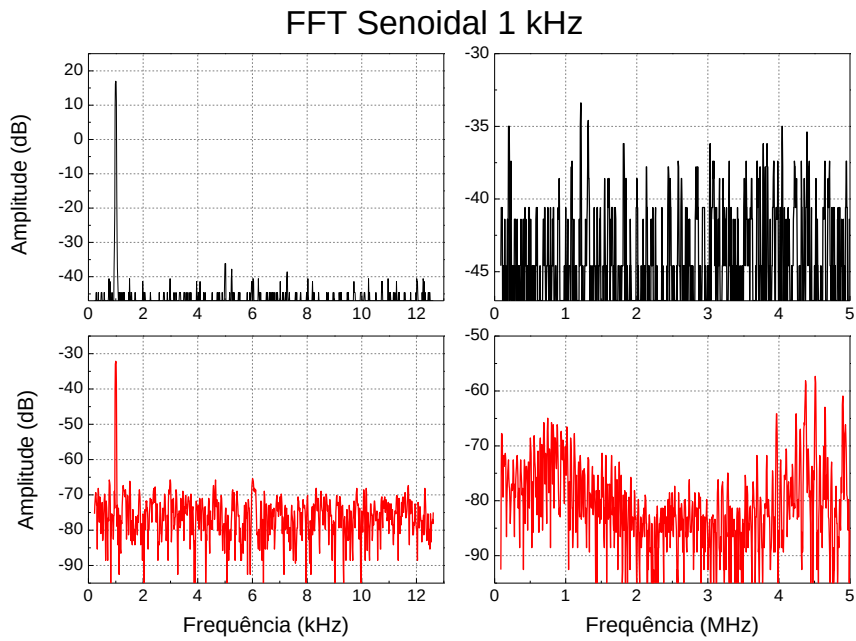


Figura 116- Análise da técnica rápida de transformada de Fourier para os sinais de entrada e saída senoidal de 1 kHz analisando a faixa 0 a 1200 kHz. As ondas em preto representam o sinal de entrada e as em vermelho o de saída, onde os gráficos da esquerda representam uma ampliação na faixa de pequenas frequências, enquanto o segundo representa um espectro mais geral.

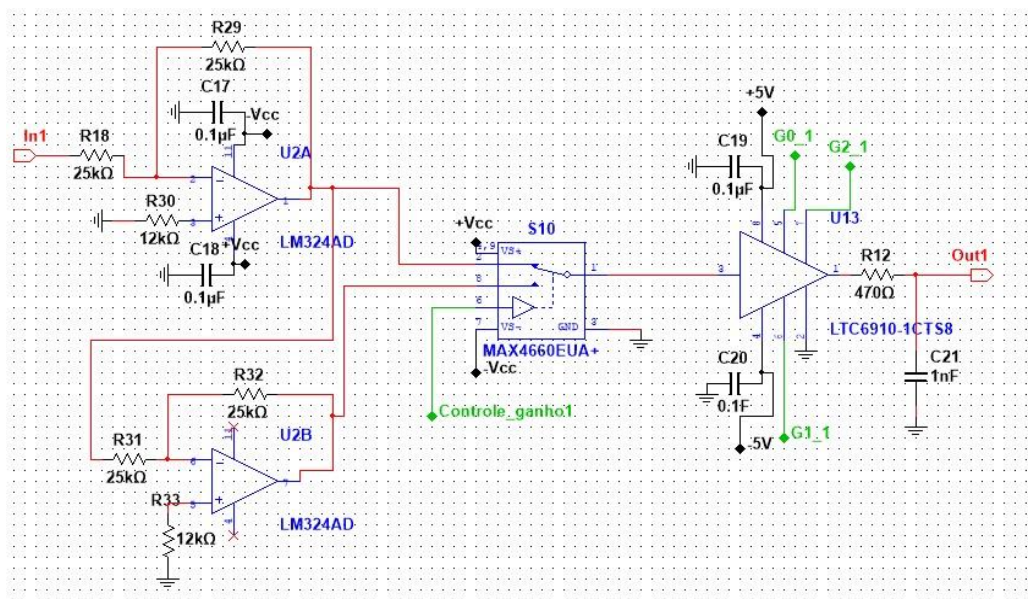


APÊNDICE VI- DESENVOLVIMENTO DO CIRCUITO DE SELEÇÃO DE ENTRADA E DE CONDICIONAMENTO DE SINAIS

Para o condicionamento e a seleção dos sinais elaborou-se a topologia (TK1) mostrada na Figura 117, onde há a possibilidade de realizar a multiplicação dos sinais pelas seguintes constantes -100, -50, -20, -10, -5, -2, -1, 0, 1, 2, 5, 10, 20, 50 e 100. Nessa topologia usa-se dois Amp Op cascateados nas configurações inversoras, o primeiro gera o sinal positivo, enquanto o último o negativo. O CI MAX4660 é utilizado para escolher qual dos dois sinais vai ser usado para compor a próxima etapa do sistema. Posteriormente o sinal passa por um amplificador de ganho variável (LTC6910) que realiza a amplificação desejada do sistema.

Observa-se que o TK1 apresenta 4 sinais de controle: controle_ganho1 (responsável pela seleção se o sinal vai ser positivo ou negativo) e os sinais G0_1, G1_1 e G2_1 (são responsáveis pela seleção da faixa de ganho). A Tabela 15 ilustra o funcionamento da topologia através das configurações de controle.

Figura 117- Representação esquemática da topologia TK1, a qual possibilita ganhos 0, ± 1 , ± 2 , ± 5 , ± 10 , ± 20 , ± 50 e ± 100 .



Elaborado pelo próprio autor.

Tabela 15- Relação dos sinais de controle da topologia TK1, onde são demonstradas todas as possibilidades dos sinais de controle e os ganhos de saída.

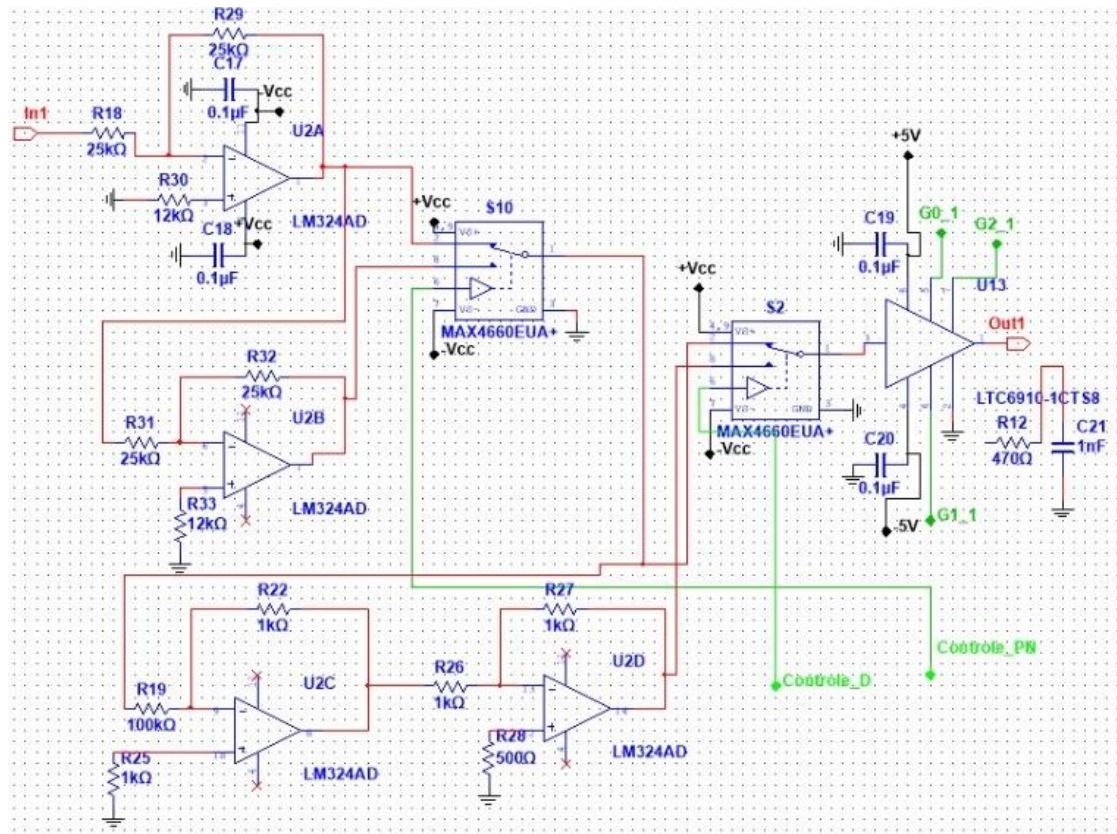
Entrada de sinais de controle			Ganho	
G2_1	G1_1	G0_1	Controle_ganho1 = 0	Controle_ganho1 = 1
0	0	0	0	0
0	0	1	-1	1
0	1	0	-2	2
0	1	1	-5	5
1	0	0	-10	10
1	0	1	-20	20
1	1	0	-50	50
1	1	1	-100	100

Devido à necessidade da multiplicação por constantes fracionadas e para uma maior flexibilidade da resolução das equações diferenciais, e à necessidade de uma topologia que fosse capaz de gerar constantes na ordem de 1/10 e 1/100. Adaptou-se a topologia TK1 para uma nova versão (TK2), ilustrada Figura 118. A estrutura TK2 faz com que o sinal que sai do CI MAX4660 passe por dois Amp Op na configuração inversora cascadeados, o primeiro multiplica o sinal por uma constante -1/100 e o segundo realiza a multiplicação por -1 do sinal, então um novo CI MAX4660 possibilita a escolha pelo sinal multiplicado por 0,01 ou o sinal que vem da configuração anterior.

Essa topologia proporciona uma maior flexibilidade para o sistema fazendo com que seja possível multiplicar o sinal por $\pm 0,01$, $\pm 0,02$, $\pm 0,05$, $\pm 0,1$, $\pm 0,2$ e $\pm 0,5$. A Figura 118 ilustra dois casos de ganho utilizando TK2. TK2 introduz dois sinais de controle, Controle_PN e Controle_D, que são responsáveis pela escolha de números positivos ou negativos e de ativar a multiplicação por 0,01 do sinal, respectivamente. Na Tabela 16 são apresentados os sinais de controle para a nova topologia.

Nota-se que TK2 apresenta 2 vezes mais possibilidades de ganho do que TK1, mas ela apresenta sinal de controle mais complexo se comparada a anterior. Levando em conta a possibilidade de flexibilização da estrutura e da geração de um número maior de constantes para o processo de multiplicação, optou-se pela utilização de TK2 para a implementação do sistema. Além disso, para realizar o controle das entradas selecionadas, decidiu-se utilizar a multiplicação por zero da topologia TK2, isto é, quando um sinal não for utilizado para a composição do sinal de entrada ele é multiplicado por zero.

Figura 118- Representação esquemática de TK2 com o qual é possível a realização da multiplicação pelas seguintes constantes (0, $\pm 0,01$, $\pm 0,02$, $\pm 0,05$, $\pm 0,1$, $\pm 0,2$, $\pm 0,5$, ± 1 , ± 2 , ± 5 , ± 10 , ± 20 , ± 50 e ± 100).



Elaborado pelo próprio autor.

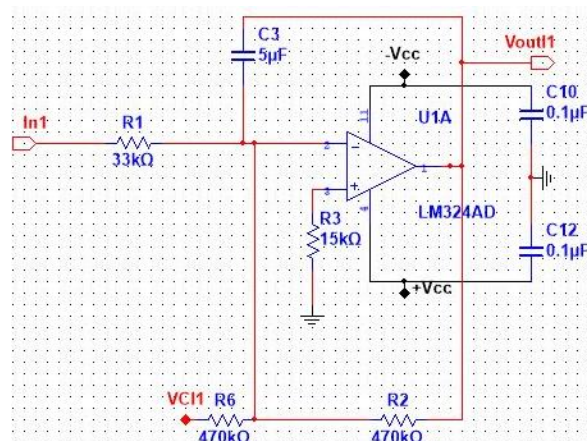
Tabela 16- Relação dos sinais de controle da topologia TK2, onde são demonstradas todas as possibilidades dos sinais de controle e os ganhos de saída.

Entrada de sinais de controle			Ganho			
G2_1	G1_1	G0_1	Controle_PN = 0	Controle_PN = 0	Controle_PN = 1	Controle_PN = 1
			Controle_D= 0	Controle_D= 1	Controle_D= 0	Controle_D= 1
0	0	0	0	0	0	0
0	0	1	-1	-0,01	1	0,01
0	1	0	-2	-0,02	2	0,02
0	1	1	-5	-0,05	5	0,05
1	0	0	-10	-0,1	10	0,1
1	0	1	-20	-0,2	20	0,2
1	1	0	-50	-0,5	50	0,5
1	1	1	-100	-1	100	1

APÊNDICE VII- DESENVOLVIMENTO DO CIRCUITO DE CONDIÇÕES INICIAIS

Para a inserção de condições iniciais (C_{In}), utilizou-se uma adaptação das topologias da literatura, onde adiciona-se uma tensão ($V_{C_{Ix}}$) em um resistor de bias com valor de resistência equivalente R_f . A Figura 119 ilustra a utilização da configuração em I1.

Figura 119- Configuração utilizada para inserção de condições iniciais na topologia I1, onde VC1 representa a tensão de condição inicial e R6 corresponde ao resistor de bias.

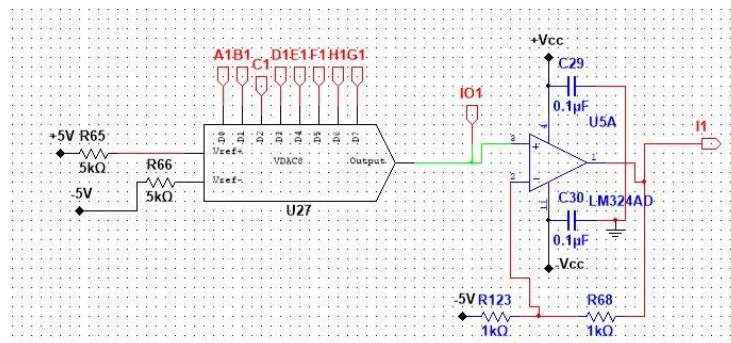


Elaborado pelo próprio autor.

Na implementação da fonte de tensão que gera a C_{In} , utilizou-se um conversor digital-analógico, visando facilitar a realização do controle digital do sistema. Além disso, para que o conversor produza C_{In} positivas e negativas decidiu-se utilizar a topologia ilustrada na Figura 120.

Então, para um sinal de entrada V_{in} de 0 a 5 V a tensão de saída varia ± 5 V.

Figura 120- Implementação de sinal constante variando de -5 a +5 V, em que o sinal de entrada é fornecido por um conversor DAC de 8 bits.



Elaborado pelo próprio autor.

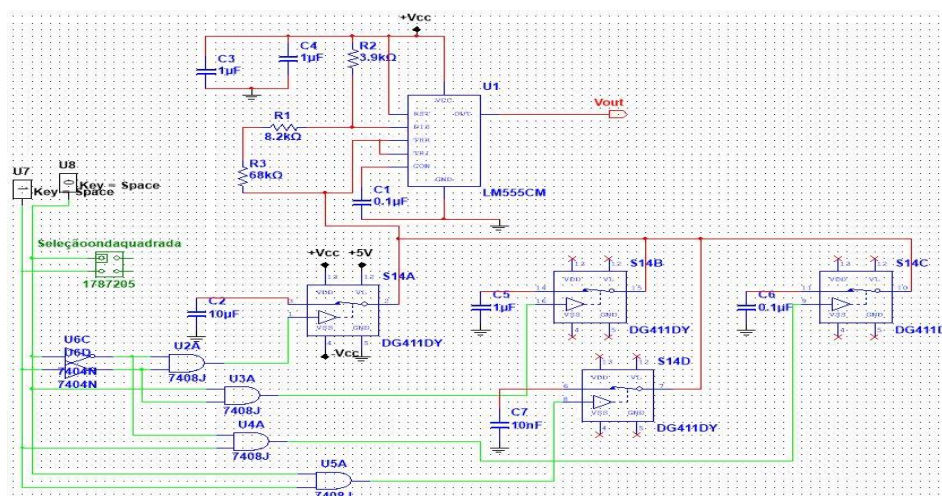
APÊNDICE VIII- DESENVOLVIMENTO DE FONTE GERADORA DE ONDAS

Há duas formas de gerar sinais de entrada no sistema, a primeira é uma fonte geradora de sinal que fornece sinais de onda quadrada, triangular e senoidal com frequências que variam de 10 a 10000 Hz e a outra é o arranjo de placas do sistema de integração para gerar formas mais complexas de ondas.

VIII. GERADOR DE ONDA QUADRADA E TRIANGULAR

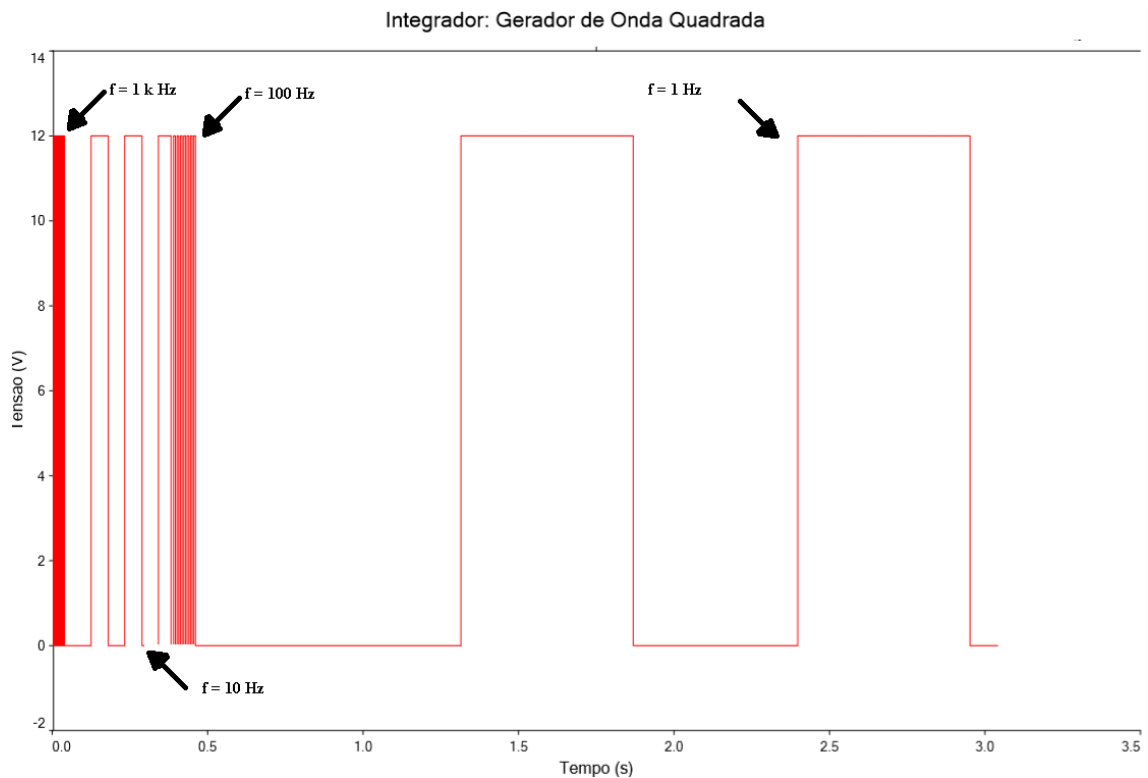
Utiliza-se um CI LM555 na configuração astável para gerar ondas quadradas. Assim, para gerar sinais de 1, 10, 100, 1000 Hz são necessárias 4 capacitâncias diferentes, por esse motivo foi desenvolvida uma topologia capaz de alterar a capacitância ligada ao terminal trigger do LM555. Usando sinais de controle para rearranjar a ligação de quatro capacitores ligados em paralelo, conforme ilustrado na Figura 121, é possível modificar a capacitância total do sistema. A Figura 122 apresenta os resultados obtidos para o sistema de geração de ondas quadradas.

Figura 121- Topologia utilizada para gerar onda quadrada nas frequências 1,10, 100 e 1000 Hz, onde a comutação dos capacitores ocorre através de chaves analógicas DG411.



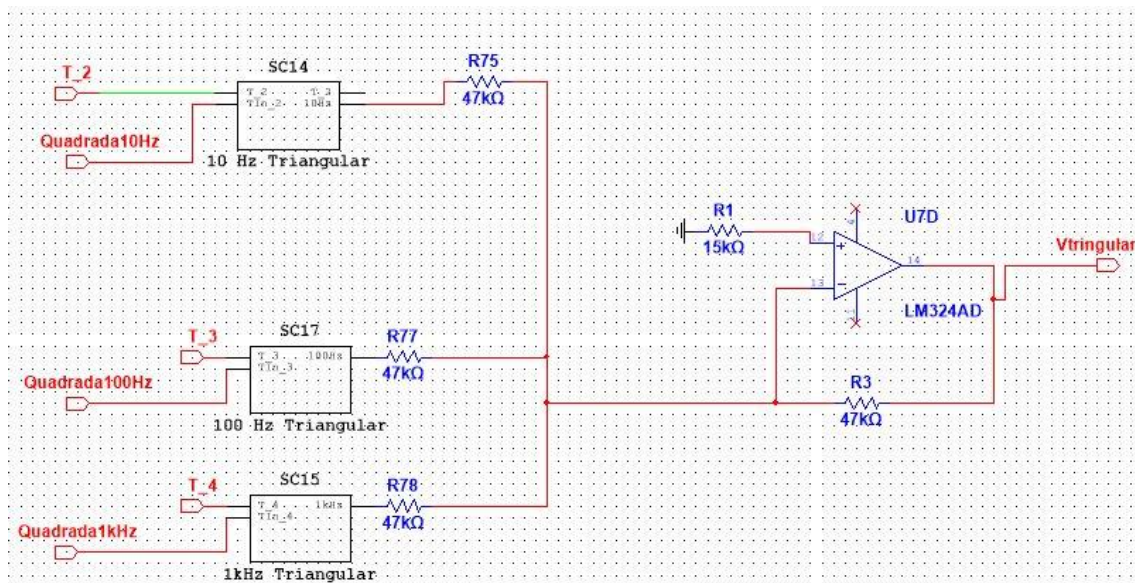
Elaborado pelo próprio autor.

Figura 122- Demonstração do funcionamento da topologia geradora de onda quadrada, onde é demonstrada a comutação entre as frequências possíveis do sistema.



A topologia utilizada que gera um sinal triangular é apresentada na Figura 123, onde se utiliza uma onda quadrada como sinal de entrada para o integrador, visando a formação de um sinal triangular na frequência desejada. Cada um dos blocos é formado por um circuito integrador, como o ilustrado na Figura 124. Como o sinal do integrador é negativo há necessidade de um amplificador com ganho de -1. O resultado da topologia é ilustrado Figura 125.

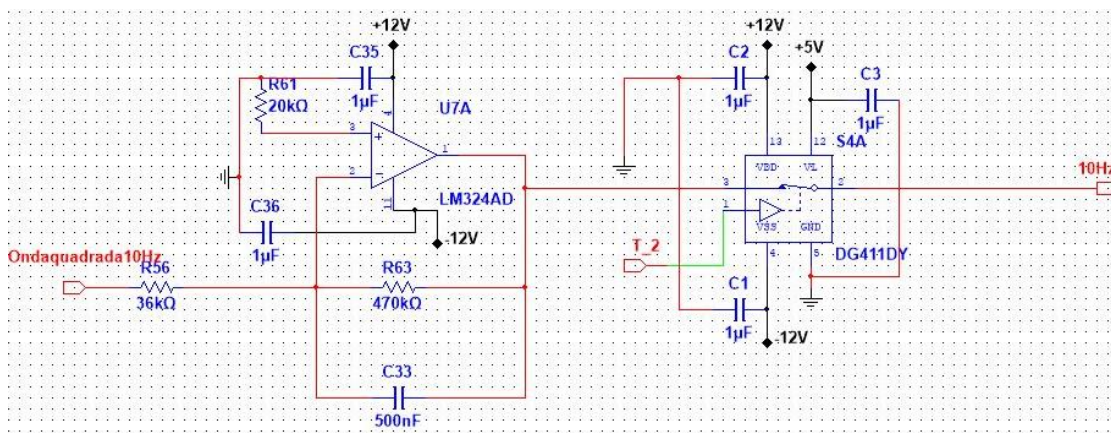
Figura 123- Topologia desenvolvida para gerar ondas triangulares, onde as entradas do sistema são ondas quadradas. Cada um dos blocos é composto de um circuito integrador com 0 dB na frequência de trabalho.



Elaborado pelo próprio autor.

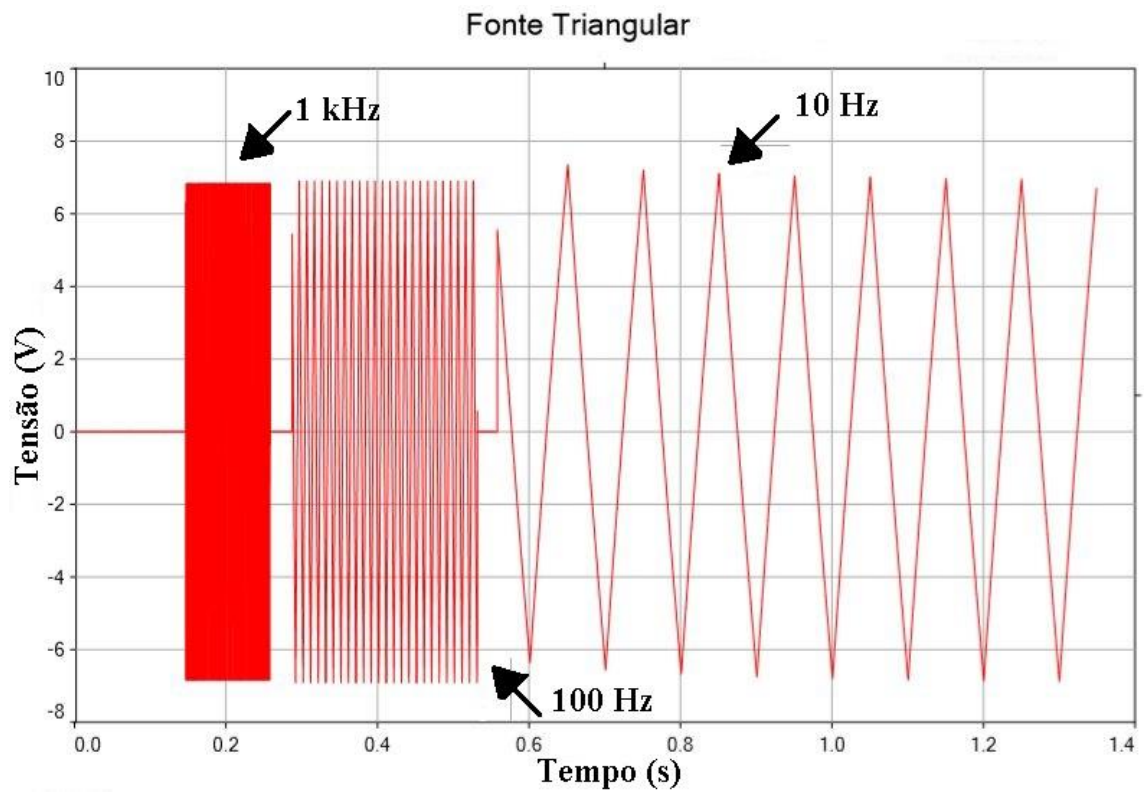
A Figura 124 apresenta o circuito de integração utilizado para formar a onda triangular.

Figura 124- Circuito de integrador que produz onda quadrada. O sinal quadrado é integrado e a chave analógica controla a saída do sistema.



Elaborado pelo próprio autor.

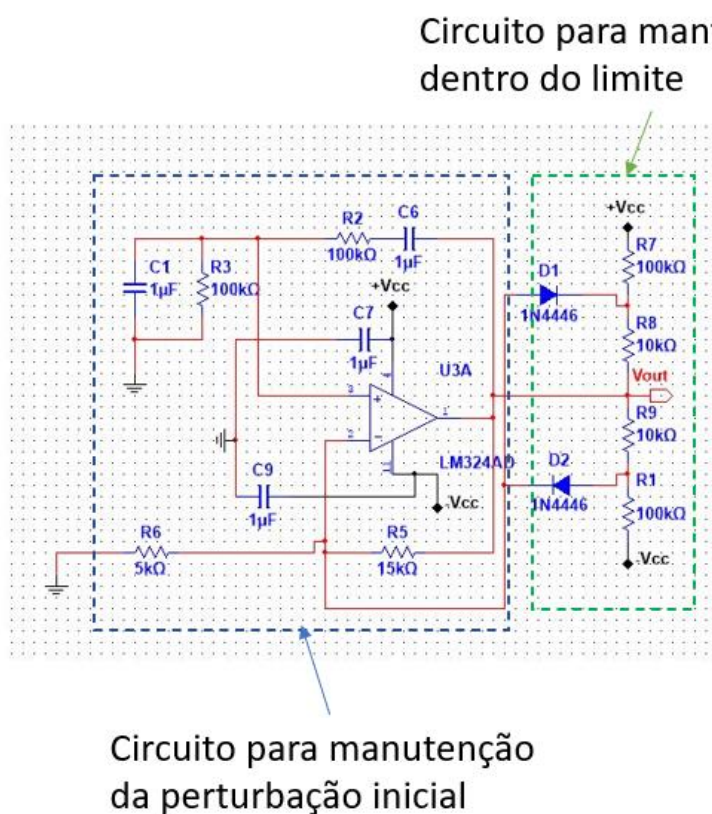
Figura 125- Funcionamento da topologia geradora de onda triangular, onde é demonstrado a comutação entre as frequências possíveis do sistema.



VIII.1. GERAÇÃO DE ONDA SENOIDAL

Para a geração de forma de onda senoidal foram utilizados 4 circuitos da topologia ilustrada na Figura 126. Este fato se deve à complexidade da comutação dos componentes do circuito. Cada um dos circuitos gera uma onda em frequência específica (10, 100, 1000 e 10000 Hz) como ilustrado na Figura 127. Para realizar a seleção da frequência desejada aciona-se a chave (CI DG411). Então o sinal flui para a saída (Voutsenoidal).

Figura 126- Circuito utilizado para gerar uma onda senoidal na frequência de 10 Hz, onde a primeira parte do circuito é responsável pela geração e manutenção da perturbação inicial e a segunda parte tem como função manter o sinal dentro de um limite de amplitude.

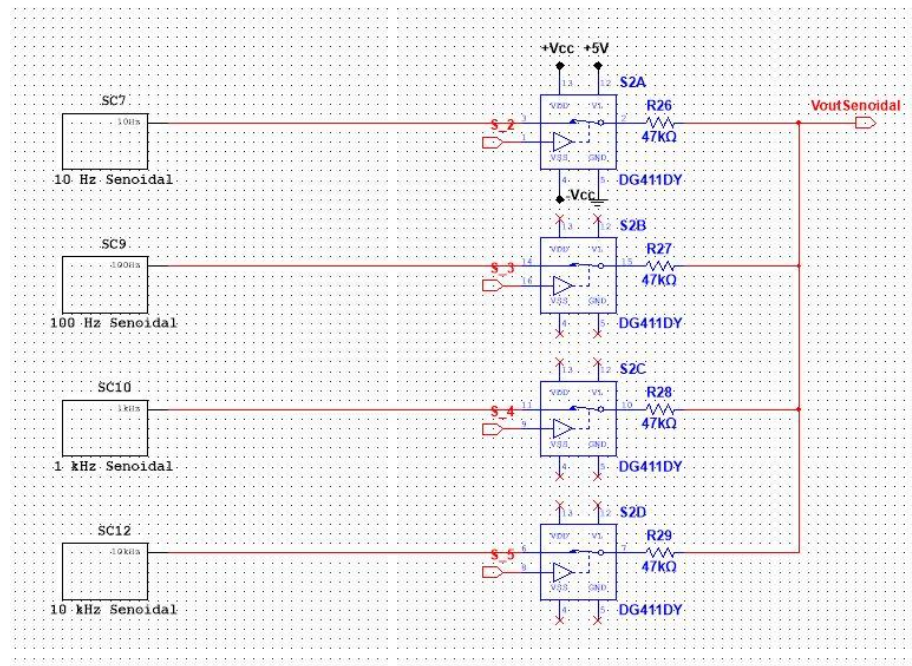


Elaborado pelo próprio autor.

Os resultados da topologia são apresentados na Figura 128. Observa-se que o sinal varia de ± 5 V e é possível realizar a comutação da frequência dele. Notou-se que o circuito que gera ondas na ordem de 10 Hz demora, aproximadamente, 6,2 s para começar

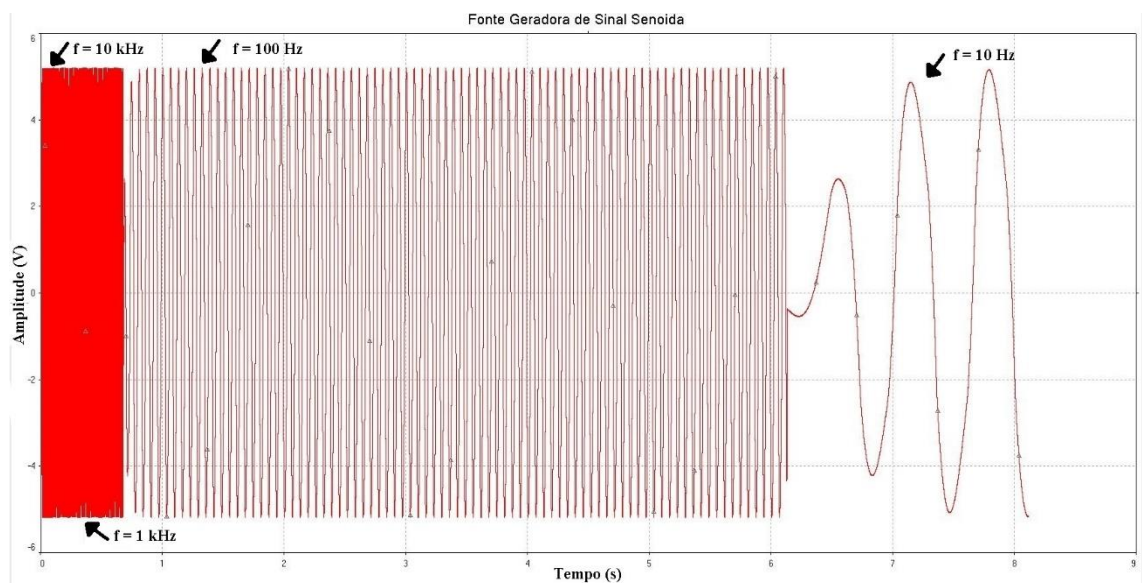
a oscilar, assim para a correta utilização da fonte é necessário um intervalo de no mínimo 10 s. Nota-se também a presença de pequenas distorções nas extremidades da curva senoidal, entretanto esse fato não interfere na utilização do sinal.

Figura 127-Topologia de seleção de saída senoidal, onde a chave analógica DG411 seleciona qual dos sinais é a saída.



Elaborado pelo próprio autor.

Figura 128- Resultado da comutação entre as frequências da fonte geradora de ondas senoidais.

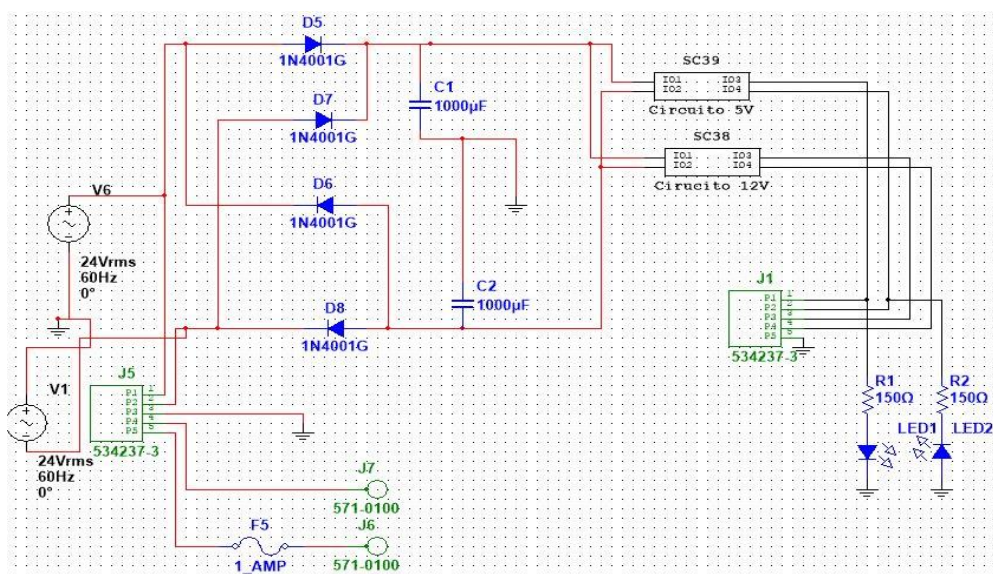


APÊNDICE IX- SISTEMA DE FORNECIMENTO DE ENERGIA

Para fornecer tensões necessárias para as placas desenvolveu-se o circuito ilustrado na Figura 129, onde o transformador e a rede elétrica foram omitidos e deixou-se pinos para a conexão deles (J1, e J2-J3, respectivamente).

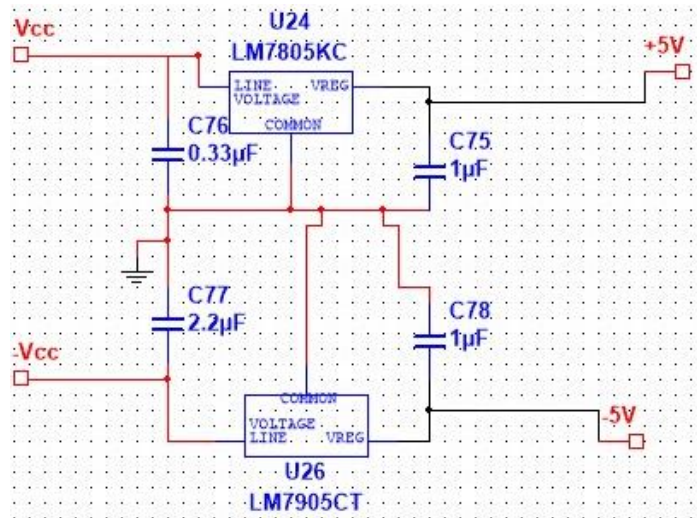
O circuito faz a retificação e a filtragem do sinal de entrada utilizando uma ponte completa de diodos e filtro capacitivo. Além disso, há dois blocos com a função de gerar e estabilizar as tensões requeridas. As figuras abaixo mostram em detalhes o circuito utilizado para manter a tensão dentro da faixa de ± 5 e ± 12 V, respectivamente. Observa-se que a parte superior das figuras é responsável por regular a tensão positiva, para isso usou-se CIs da família LM78XX, enquanto para a parte negativa o utiliza-se CIs da classe LM79XX. O esquemático do circuito foi desenvolvido conforme as recomendações do fabricante.

Figura 129- Esquemático do sistema de fornecimento de energia. A tensão de entrada é fornecida por meio de um transformador de ponto médio 24 Vrms ligado à rede elétrica. A retificação do sinal de entrada é realizada por uma ponte completa de diodos e filtrado por um circuito capacitivo. A regulação das tensões ± 5 e ± 12 V ocorrem dentro dos blocos SC39 e SC38, respectivamente.



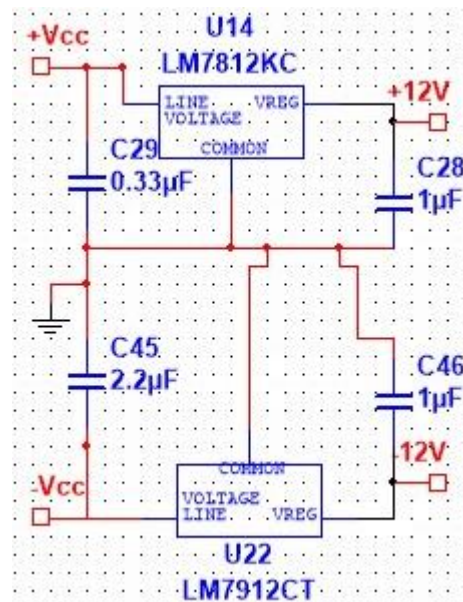
Elaborado pelo próprio autor.

Figura 130- Circuito responsável pela regulação dos sinais simétricos de 5 V. Utilizou-se o CI LM7805 para regular o sinal positivo e o LM7905 para a parte negativa. Os capacitores usados para filtrar os sinais de entrada e saída são recomendados pelo fabricante dos CI.



Elaborado pelo próprio autor.

Figura 131- Circuito responsável pela regulação dos sinais simétricos de 12 V. Utilizou-se o CI LM7812 para regular o sinal positivo e o LM7912 para a parte negativa. Os capacitores usados para filtrar os sinais de entrada e saída são recomendados pelo fabricante dos CI.



Elaborado pelo próprio autor.

APÊNDICE X- IMPLEMENTAÇÃO DO HARDWARE

Para implementar todos os sistemas do computador analógico optou-se pela utilização de módulos. Assim, os circuitos foram divididos em três grandes grupos: sistema de computação, interface analógico-digital e fornecimento de energia.

Uma característica que foi levada em conta no desenvolvimento das placas foi a possibilidade de realizar melhorias nos componentes, como, por exemplo, aumentar a resolução dos conversores e a utilização, ou não, das chaves digitais. Por esses motivos, foram adicionados pontos de terminais e *sockets* nas ligações para que possam ser feitas essas modificações.

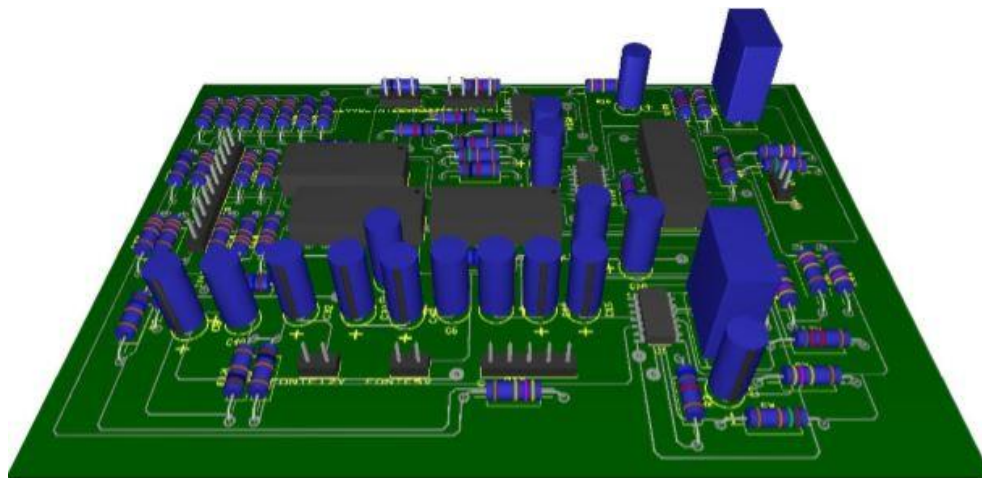
X. SISTEMA DE COMPUTAÇÃO

O sistema de computação foi dividido em placa de integradores, seleção, geração de sinais e multiplicação por variável.

A placa projetada para integração é ilustrada na Figura 132. Esta placa tem como função realizar o processamento e a integração dos sinais.

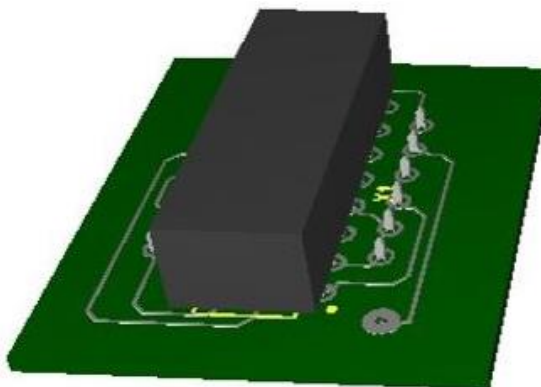
A seleção entre as partes I1 e I2 do integrador é realizada pela placa ilustrada na Figura 132, para facilitar a fixação ou troca dos componentes da placa de seleção, ela apresenta um socket de 16 pinos para SOP16 e SOD16. Por esse motivo, desenvolveu-se a placa, ilustrada na Figura 133 para a locação do CI de utilização para seleção.

Figura 132- Ilustração em 3D do protótipo da placa do integrador que tem como função realizar a computação dos sinais do sistema. O protótipo foi construído no software Ultiboard®.



Elaborado pelo próprio autor.

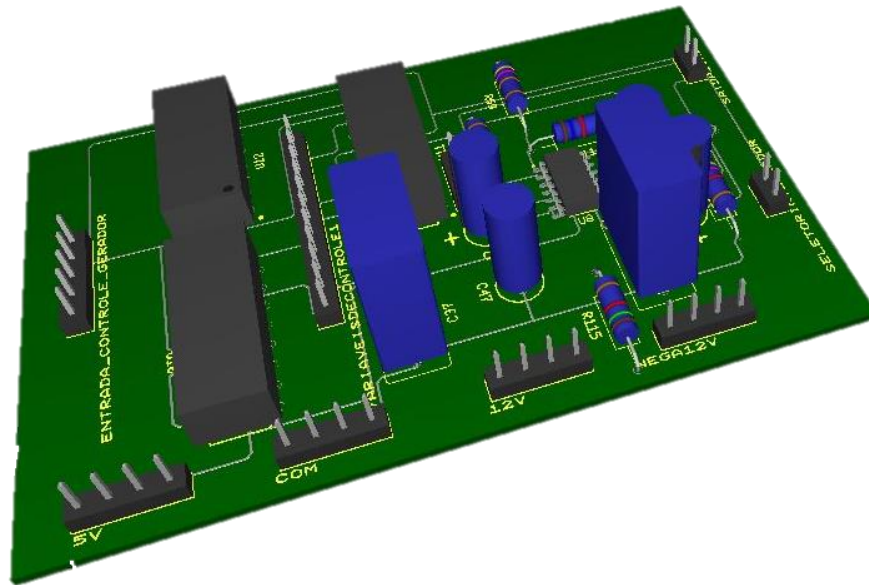
Figura 133- Ilustração 3D do protótipo da placa para fixação do CI de seleção CI ADG1236. O protótipo foi construído no software Ultiboard®.



Elaborado pelo próprio autor.

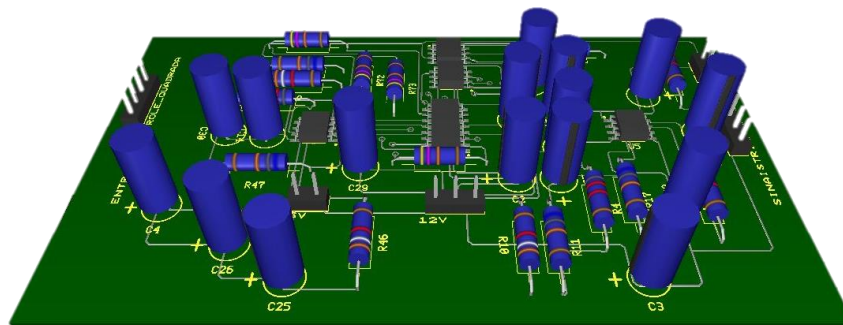
O sistema de geração de formas de onda foi dividido em quatro placas: controle das fontes de sinais, geração das formas de onda quadrada, senoidal e triangular. A placa de controle, ilustrada na Figura 134, tem como função a gestão da saída do sistema de gerador de onda. Para isso, ela direciona o sinal de uma das três placas geradoras de onda para a saída do sistema. A placa que gera a onda quadrada é ilustrada na Figura 135, aquela que produz onda senoidal corresponde à Figura 136. Já, a placa de onda triangular é ilustrada na Figura 137.

Figura 134- Ilustração em 3D do protótipo da placa de controle das fontes geradoras de sinais, em que o circuito realiza o gerenciamento do sinal que deve ser a saída do sistema. O protótipo foi construído no software Ultiboard®.



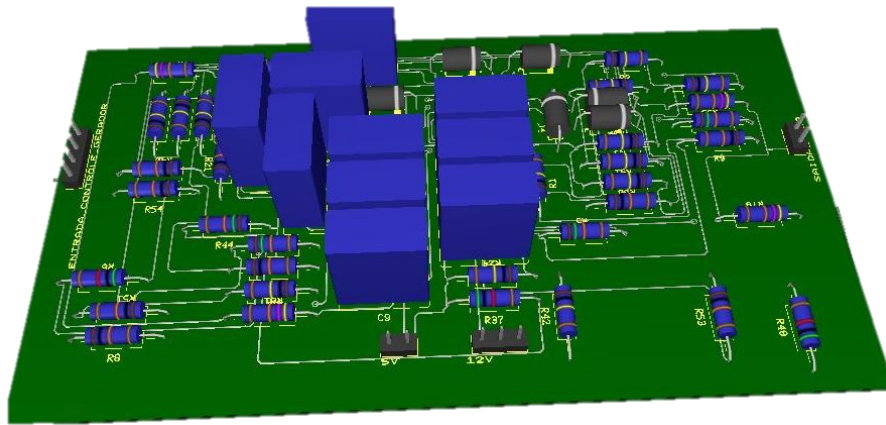
Elaborado pelo próprio autor.

Figura 135- Ilustração em 3D do protótipo da placa geradora de sinal de onda quadrada, em que o circuito produz ondas na frequência 10, 100, 1000 e 10000 Hz. O protótipo foi construído no software Ultiboard®.



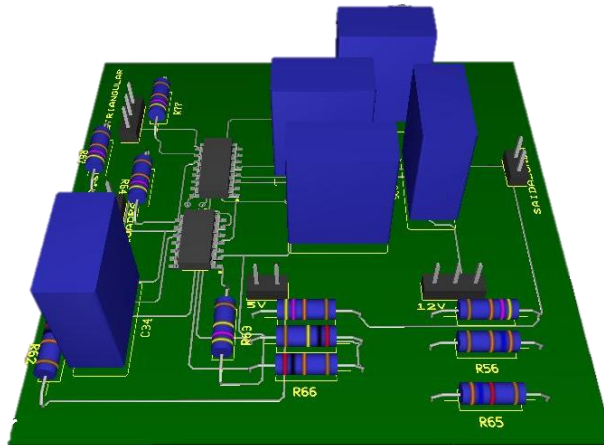
Elaborado pelo próprio autor.

Figura 136- Ilustração em 3D do protótipo da placa geradora de sinal de onda senoidal, em que o circuito produz ondas nas frequências 10, 100, 1000 e 10000 Hz. O protótipo foi construído no software Ultiboard®.



Elaborado pelo próprio autor.

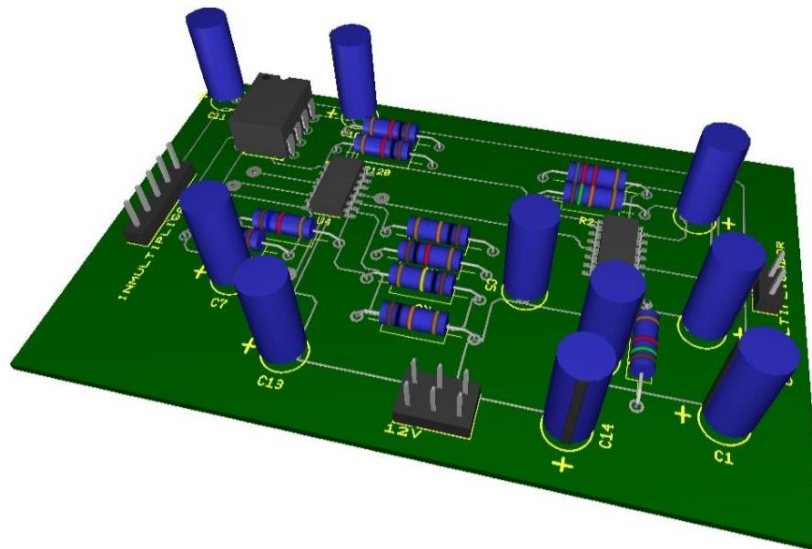
Figura 137- Ilustração em 3D do protótipo da placa geradora de sinal de onda triangular, em que o circuito produz ondas nas frequências 100, 1000 e 10000 Hz. O protótipo foi construído no software Ultiboard®.



Elaborado pelo próprio autor.

A placa responsável por fazer a multiplicação das variáveis é ilustrada Figura 138. Essa placa realiza a operação $(X1-X2)(Y1-Y2)$, onde as variáveis $X1$ e $Y1$ são as entradas do sistema e $X2$ e $Y2$ inseridas no circuito por meio de conversor digital-analógico.

Figura 138- Ilustração em 3D do protótipo da placa multiplicadora de variáveis, em que o circuito realiza a função $(X1-X2)(Y1-Y2)$, onde $X1$ e $Y1$ correspondem as variáveis de entrada, $X2$ e $Y2$ são constantes. O protótipo foi construído no software Ultiboard®.



Elaborado pelo próprio autor.

As dimensões das placas elaboradas são apresentadas na Tabela 17.

Tabela 17- Dimensões das placas desenvolvidas para o sistema de computação.

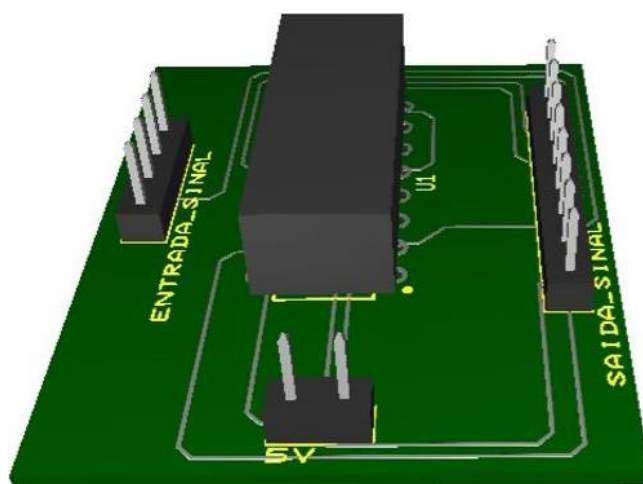
Placa	Comprimento (cm)	Largura (cm)
Integração	11,7	8,3
Seleção	2,5	2,5
Controle de fontes de sinal	20	12
Onda quadrada	9,5	5,5
Onda senoidal	12,5	6
Onda triangular	9,5	6
Multiplicação de variável	8	5

X.1.INTERFACE ANALÓGICO-DIGITAL

Para facilitar o desenvolvimento do projeto da placa de interface e para viabilizar a expansão posterior da ordem do circuito, decidiu-se pela divisão do circuito em três partes: Seleção de placa de controle, Controle das entradas e placa de ganho variável. A seleção de quantas e quais placas serão utilizadas para controlar as entradas do sistema é realizada pela placa ilustrada na Figura 139.

A placa de controle é apresentada na Figura 140. Nessa placa, são realizados os procedimentos de controle da seleção entre sinais negativos ou positivos e a multiplicação do sinal por 0,01 ou por 1.

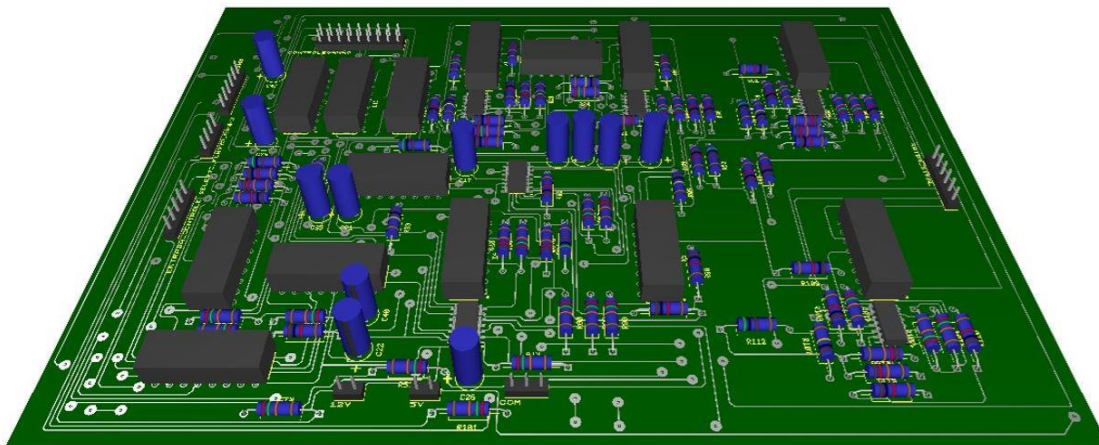
Figura 139- Ilustração em 3D do protótipo do sistema de seleção de placas de controle de entrada, onde ocorre a decodificação do endereço de entrada. O protótipo foi construído no software Ultiboard®.



Elaborado pelo próprio autor.

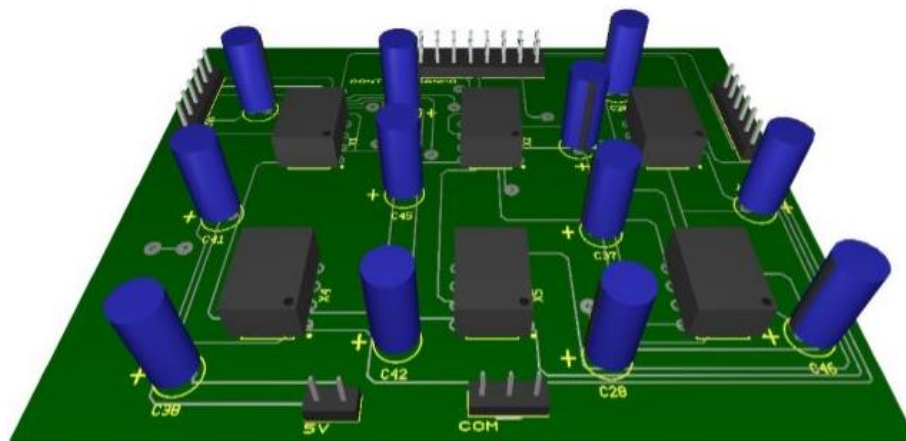
Na placa de ganho variável é realizado o processo de escolha do ganho de cada um dos canais dos integradores.

Figura 140- Ilustração em 3D do protótipo da placa de controle de entrada, onde as variáveis podem ser multiplicadas por constante nula, positiva ou negativa. O protótipo foi construído no software Ultiboard®.



Elaborado pelo próprio autor.

Figura 141- Ilustração em 3D do protótipo da placa de controle de ganho variável realizado através do software Ultiboard®.



Elaborado pelo próprio autor.

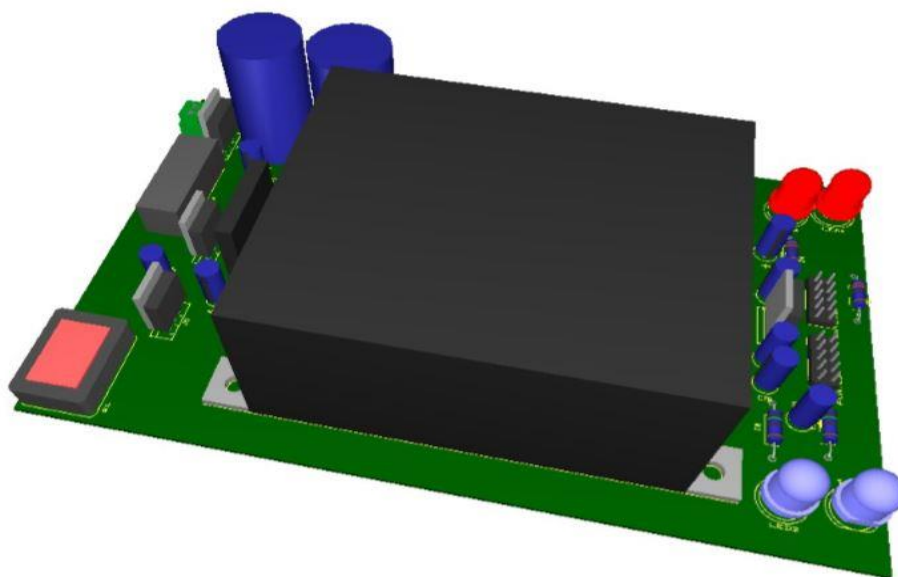
Tabela 18- Dimensões das placas do sistema de interface digital-analógico.

Placa	Comprimento (cm)	Largura (cm)
Seleção de placa	3	3
Controle	18,5	13
Controle de ganho variável	8,5	6,6

X.2.FORNECIMENTO DE ENERGIA

A Figura 142 demonstra o protótipo da placa de fornecimento de energia para o sistema, esta tem dimensões iguais a: 16 cm de comprimento e 10 cm de largura. Ela fornece tensão DC de ± 5 V e ± 12 V com a capacidade até 2 A.

Figura 142- Ilustração em 3D do protótipo da placa de fornecimento de energia realizado através do software Ultiboard®.



Elaborado pelo próprio autor.

APÊNDICE XI- ALGORITMO CÁLCULO DAS FUNÇÕES DE TRANSFERÊNCIA

Documentação das funções de transferências calculadas para o sistema de integração desenvolvido utilizando Matlab.

Descrição numérica das equações

O sistema foi dividido em três comportamentos

1. Integração com realimentação: $\alpha \neq 0$, $\beta = \gamma = 0$;
2. Integração com 2 integradores: $\alpha \neq 0$, $\gamma \neq 0$ e $\beta = 0$;
3. Integração com 2 integradores: $\alpha \neq 0$, $\gamma \neq 0$ e $\beta \neq 0$;

Caso 1: $\alpha \neq 0$, $\beta = \gamma = 0$

```
a1 = 1, g1=-1,  
  
k1 = (-14.24)/(1+14.24*g1);  
H1 = tf([k1],[2.35/(1+14.24*g1) 1])  
  
H = (a1*H1)  
  
range = {0.001, 1000};  
  
options = bodeoptions;  
  
options.FreqUnits = 'Hz';  
  
bodeplot(H, options, range)  
  
title("Diagrama de Bode Sistema com 2 integradores");  
  
xlabel("Frequência");
```

```

axes=findobj('type','axes');

h_magnitude=get(axes(2),'YLabel');

h_phase=get(axes(1),'YLabel');

set(h_magnitude,'String','Magnitude (dB)');

set(h_phase,'String','Fase (°)');

grid on

```

Caso 2: $\alpha \neq 0$, $\gamma \neq 0$ e $\beta = 0$

```

a1 = 1, b1=1, g1=1, a2 =1, b2=0, g2=1,

k1 = (-14.24)/(1+14.24*g1);
k2 = (-14.24)/(1+14.24*g2);

H1 = tf([k1],[(2.35/(1+14.24*g1)) 1]);
H2 = tf([k2],[(2.35/(1+14.24*g2)) 1]);

H = (a1*H1 +a2*b1*H1*H2)

range = {0.01, 10000};

options = bodeoptions;

options.FreqUnits = 'Hz';

bodeplot(H, options, range)

title("Diagrama de Bode Sistema com 2 integradores");

xlabel("Frequência");

axes=findobj('type','axes');

h_magnitude=get(axes(2),'YLabel');

h_phase=get(axes(1),'YLabel');

```

```

set(h_magnitude,'String','Magnitude (dB)');

set(h_phase,'String','Fase (°)');

grid on

```

Caso 3: $\alpha \neq 0$, $\gamma \neq 0$ e $\beta \neq 0$

Obs.: o Caso 3 é a generalização da função de transferência do sistema, por esse motivo os ganhos α , γ e β podem assumir qualquer valor.

```

a1 = 1, b1=1, g1=1, a2 =1, b2=1, g2=1,

k1 = (-14.24)/(1+14.24*g1);
k2 = (-14.24)/(1+14.24*g2);

H1 = tf([k1],[2.35/(1+14.24*g1) 1]);
H2 = tf([k2],[2.35/(1+14.24*g2) 1]);

H = (a1*H1 +a2*b1*H1*H2)/(1 - b1*b2*H1*H2)

```

Opções para plotar o bode

```

range = {0.01, 10000};

options = bodeoptions;

options.FreqUnits = 'Hz';

bodeplot(H, options, range)

title("Diagrama de Bode Sistema com 2 integradores");

xlabel("Frequência");

axes=findobj('type','axes');

h_magnitude=get(axes(2),'YLabel');

h_phase=get(axes(1),'YLabel');

set(h_magnitude,'String','Magnitude (dB)');

```

```
set(h_phase,'String','Fase (°)');
```

```
grid on
```

Descrição analítica da função de transferência para o caso

O sistema foi dividido em dois comportamentos

1. Integrador para $f < 100$ Hz;
2. Integrador para $f \geq 100$ Hz;

Inicialmente, se fatorou a equação para que ele fosse genérico, dependendo dos valores de ω_c (frequência do polo) e de k (ganho em DC) do integrador.

$$H_{y_1}(s) = \frac{-\alpha_1 \frac{k(1 + \gamma_2 k)}{\omega_c(1 + \gamma_2 k)} s + \frac{k^2}{\omega_c^2} \alpha_2 \beta_1 - \alpha_1 \frac{k(1 + \gamma_2 k)}{\omega_c^2}}{s^2 + \frac{\omega_c(2 + k(\gamma_1 + \gamma_2))}{\omega_c^2} s - \frac{k^2}{\omega_c^2} \beta_1 \beta_2 + \frac{1 + k(\gamma_1 + \gamma_2) + \gamma_1 \gamma_2 k^2}{\omega_c^2}}$$

Caso 1: $f < 100$ Hz

$$H(s) = -14,24 \frac{1}{1 + 2,35s}$$

Constantes do sistema

```
a1 = 1, b1=1, g1=1, a2=1, b2=1, g2=1,
```

```
k = 14.24;
```

```
wc = 2.35;
```

```
k_feedback = 1+k*(g1+g2)+k*k*g1*g2;
```

Cálculo dos fatores que multiplicam as variáveis

```
k_num_s = -a1*(k*(1+k*g2))/(wc*(1+k*g2));  
  
k_num = ((k*k)/(wc*wc))*a2*b1 - a1*(k*(1+k*g2))/((wc*wc));  
  
k_den_s_2 = 1;  
  
k_den_s = ((2+k*(g1+g2))/(wc);  
  
k_den = -((k*k)/(wc*wc))*b1*b2 +(k_feedback)/(wc*wc);
```

Montando a função de transferência

```
H= tf([k_num_s, k_num],[k_den_s_2, k_den_s, k_den])
```

Opções para plotar o bode

```
range = {0.01, 10000};  
  
options = bodeoptions;  
  
options.FreqUnits = 'Hz';  
  
bodeplot(H, options, range)  
  
title("Diagrama de Bode Sistema com 2 integradores");  
  
xlabel("Frequência");  
  
axes=findobj('type','axes');  
  
h_magnitude=get(axes(2),'YLabel');  
  
h_phase=get(axes(1),'YLabel');  
  
set(h_magnitude,'String','Magnitude (dB)');  
  
set(h_phase,'String','Fase (°)');  
  
grid on
```

Caso 1: $f \geq 100$ Hz

$$H(s) = -29,38 \frac{1}{1 + 0,05s}$$

Constantes do sistema

a1 = 0, b1=1, g1=-1, a2=1, b2=-5, g2=1,

k = 29.38;

wc = 0.05;

k_feedback = 1+k*(g1+g2)+k*k*g1*g2;

$$H_{y_1}(s) = \frac{-\alpha_1 \frac{0,05(1 + 29,38\gamma_2)}{29,38 + 863,2\gamma_2} s + \alpha_2 \beta_1 - \alpha_1 \frac{(1 + 29,38\gamma_2)}{29,38}}{2,90 * 10^{-6} s^2 + \frac{0,05(2 + 29,38(\gamma_1 + \gamma_2))}{863,2} s - \beta_1 \beta_2 + \frac{1 + 29,38(\gamma_1 + \gamma_2) + 863,2\gamma_1 \gamma_2}{863,2}}$$

Cálculo do fatores que multiplicam as variáveis

k_num_s = -a1*(k*(1+k*g2))/(wc*(1+k*g2));

k_num = ((k*k)/(wc*wc))*a2*b1 - a1*(k*(1+k*g2))/((wc*wc));

k_den_s_2 = 1;

k_den_s = ((2+k*(g1+g2)))/(wc);

k_den = -((k*k)/(wc*wc))*b1*b2 +(k_feedback)/(wc*wc);

Montando a função de transferência

H= tf([k_num_s, k_num],[k_den_s_2, k_den_s, k_den])

Opções para plotar o bode

range = {1, 1000000};

options = bodeoptions;

```

options.FreqUnits = 'Hz';

bodeplot(H, options, range)

title("Diagrama de Bode Sistema com 2 integradores");

xlabel("Frequência");

axes=findobj('type','axes');

h_magnitude=get(axes(2),'YLabel');

h_phase=get(axes(1),'YLabel');

set(h_magnitude,'String','Magnitude (dB)');

set(h_phase,'String','Fase (°)');

grid on

```

Matriz de espaço de estados do sistema de integração

Para analisar a fidelidade da matriz de espaço de estados. Inicialmente, se fatorou a equação para que ele fosse genérico, dependendo dos valores de ω_c (frequência do polo), de k (ganho em DC) do integrador e dos ganhos.

$$\begin{bmatrix} \dot{x}_1 \\ \dot{x}_2 \end{bmatrix} = \begin{bmatrix} 0 & 1 \\ -\frac{1 + k(\gamma_1 + \gamma_2) + k^2(\gamma_1\gamma_2 - b_1b_2)}{\omega_c^2} & -\frac{(2 + k(\gamma_1 + \gamma_2))}{\omega_c} \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \end{bmatrix} + \begin{bmatrix} 0 \\ 1 \end{bmatrix} u$$

$$y = \begin{bmatrix} \frac{k^2(\alpha_2 b_1 - \alpha_1 \gamma_2) - \alpha_1 k}{\omega_c^2} & -\alpha_1 \frac{k}{\omega_c} \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \end{bmatrix}$$

```

a1 = 0, b1=1, g1=-1, a2=1, b2=-1, g2=1,

```

```

k = 14.24;

```

```

wc = 2.35;

```

```

A = [0 1 ; -(1+k*(g1+g2)+k*k*(g1*g2-b1*b2))/(wc*wc) -(2+k*(g1+g2))/(wc)]

```

```
B = [0; 1]
```

```
C = [(k*k*(a2*b1-a1*g2)-a1*k)/(wc*wc) -a1*(k/wc)]
```

```
D = [0]
```

```
[NUM, DEN] = ss2tf(A, B, C, D, 1)
```

Montando a função de transferência

```
H= tf(NUM, DEN)
```

Opções para plotar o bode

```
range = {0.01, 10000};
```

```
options = bodeoptions;
```

```
options.FreqUnits = 'Hz';
```

```
bodeplot(H, options, range)
```

```
title("Diagrama de Bode Sistema com 2 integradores");
```

```
xlabel("Frequência");
```

```
axes=findobj('type','axes');
```

```
h_magnitude=get(axes(2),'YLabel');
```

```
h_phase=get(axes(1),'YLabel');
```

```
set(h_magnitude,'String','Magnitude (dB)');
```

```
set(h_phase,'String','Fase (°)');
```

```
grid on
```

```
A = [0 1 ; -5 -2]
```

```
B = [0; 1]
```

```
C = [1 0]
```

```
D = [0]
```

```
[NUM, DEN] = ss2tf(A, B, C, D, 1)
```

Montando a função de transferência

```
H= tf(NUM, DEN)
```

Opções para plotar o bode

```
range = {0.01, 10000};

options = bodeoptions;

options.FreqUnits = 'Hz';

bodeplot(H, options, range)

title("Diagrama de Bode Sistema com 2 integradores");

xlabel("Frequência");

axes=findobj('type','axes');

h_magnitude=get(axes(2),'YLabel');

h_phase=get(axes(1),'YLabel');

set(h_magnitude,'String','Magnitude (dB)');

set(h_phase,'String','Fase (°)');

grid on

a1 = 0, b1=1, g1=1, a2=0.03, b2=-0.25, g2=-0.31,
k = 14.24;

wc = 2.35;

AI = [0 1 ; -(1+k*(g1+g2)+k*k*(g1*g2-b1*b2))/(wc*wc) -(2+k*(g1+g2))/(wc)]
BI = [0; 1]

CI = [(k*k*(a2*b1-a1*g2)-a1*k)/(wc*wc) -a1*(k/wc)]

DI = [0]

[NUM, DEN] = ss2tf(AI, BI, CI, DI, 1)
```

Montando a função de transferência

```
HI= tf(NUM, DEN)
```

Opções para plotar o bode

```
range = {0.01, 10000};  
  
options = bodeoptions;  
  
options.FreqUnits = 'Hz';  
  
bodeplot(HI, options, range)  
  
title("Diagrama de Bode Sistema com 2 integradores");  
  
xlabel("Frequência");  
  
axes=findobj('type','axes');  
  
h_magnitude=get(axes(2),'YLabel');  
  
h_phase=get(axes(1),'YLabel');  
  
set(h_magnitude,'String','Magnitude (dB)');  
  
set(h_phase,'String','Fase (°)');  
  
grid on
```