UNIVERSIDADE ESTADUAL PAULISTA

INSTITUTO DE CIÊNCIA E TECNOLOGIA

Jeveson Cardozo da Silva

Avaliação do MOSFET UTBB FD-SOI com SELBOX em configuração DTMOS

Sorocaba

2020

Jeveson Cardozo da Silva

Avaliação do MOSFET UTBB FD-SOI com SELBOX em configuração DTMOS

Dissertação apresentada ao Programa de Pós-Graduação em Engenharia Elétrica do Instituto de Ciência e Tecnologia da Universidade Estadual Paulista, para obtenção do título de Mestre em Engenharia Elétrica.

Área de concentração: Sistemas Eletrônicos

Orientadora: Profa. Dra. Maria Glória Caño de Andrade

Sorocaba

2020

S586a

Silva, Jeveson Cardozo da
Avaliação do MOSFET UTBB FD-SOI com SELBOX em configuração DTMOS / Jeveson Cardozo da Silva. -- Sorocaba, 2020
98 f. : il.

Dissertação (mestrado) - Universidade Estadual Paulista (Unesp), Instituto de Ciência e Tecnologia, Sorocaba
Orientadora: Maria Glória Caño de Andrade

1. Sistemas eletrônicos. 2. Tecnologia de silício sobre isolante. 3. Metal oxide semiconductors. 4. Transistores. I. Título.

Sistema de geração automática de fichas catalográficas da Unesp. Biblioteca do Instituto de Ciência e Tecnologia, Sorocaba. Dados fornecidos pelo autor(a).

Essa ficha não pode ser modificada.

UNIVERSIDADE ESTADUAL PAULISTA

Câmpus de Sorocaba

CERTIFICADO DE APROVAÇÃO

TÍTULO DA DISSERTAÇÃO: **Avaliação do MOSFET UTBB FD-SOI com SELBOX em configuração DTMOS**

AUTOR: JEVESON CARDOZO DA SILVA
ORIENTADORA: MARIA GLÓRIA CAÑO DE ANDRADE

Aprovado como parte das exigências para obtenção do Título de Mestre em ENGENHARIA ELÉTRICA, área: Sistemas Eletrônicos pela Comissão Examinadora:

Pro

Profª. Drª. MARIA GLÓRIA CAÑO DE ANDRADE

Departamento de Engenharia de Controle e Automação / Instituto de Ciência e Tecnologia - UNESP - Câmpus de Sorocaba

Prof. Dr. MARCELLO BELLODI
Engenharia / Universidade Paulista - UNIP

Prof. Dr. . EVERSON MARTINS
Departamento de Engenharia de Controle e Automação / Instituto de Ciência e Tecnologia - UNESP - Câmpus de Sorocaba

Sorocaba, 30 de outubro de 2020.

Dedico este trabalho, em homenagem, aos mais de 177 mil Brasileiros retirados da existência sem qualquer chance de defesa devido a COVID-19 e ao tenebroso momento histórico.

AGRADECIMENTOS

A realização deste trabalho foi possível devido a Professora orientadora Maria Glória Caño de Andrade e ao apoio institucional do Instituto de Física da Universidade Federal de Goiás Câmpus Samambaia - Goiânia e do Programa de Pós-Graduação em Engenharia Elétrica da Universidade Estadual Paulista - Câmpus de Sorocaba. Neste sentido, expresso meus agradecimentos:

Deixo aqui eternizado meus mais sinceros agradecimentos a Professora Maria Glória Caño de Andrade pela orientação e suas precisas e incisivas observações. Obrigado Professora, sobretudo, pela paciência.

Agradeço ao Instituto de Física da Universidade Federal de Goiás Câmpus Samambaia - Goiânia por tornar possível meu afastamento para cursar pós-graduação.

Agradeço a Universidade Estadual Paulista Câmpus de Sorocaba pela receptividade e excelência, deixo meus agradecimentos ao Programa de Pós-Graduação em Engenharia Elétrica e ao seus competentes servidores protagonistas da excelência desta renomada instituição.

Não poderia deixar de agradecer aos estimados companheiros de curso Braz, Carlos, Fábio e Luis, cuja vivencia nos fizeram compartilhar as mesmas expectativas e frustrações.

RESUMO

O objetivo principal deste trabalho é o estudo de transistores SOI (Silicon On Insulator) UTBB (Ultra-thin Body and Buried oxide) de canal tipo-n com SELBOX (SELective Buried OXide) em configuração DTMOS (Dynamic Threshold-Voltage MOSFET). A estrutura SELBOX consiste em introduzir uma camada de óxido de silício em regiões selecionadas abaixo dos terminais fonte e dreno, e não continuamente como nos dispositivos SOI. Dessa forma, a estrutura apresenta uma janela/espaçamento (W_{GAP}) de acesso à região ativa de silício onde se forma o canal de condução de corrente. Ao conectar-se os terminais de porta e substrato, o potencial de porta é aplicado a região ativa de silício através da janela (W_{GAP}) e a região de óxido enterrado, essa configuração (DTMOS) permite aprimoramento para tensão de porta menor que 0,7 V. Para analisar do transistor UTBB com SELBOX em configuração DTMOS, foram realizadas simulações numéricas, modeladas e calibradas através de caracterizações elétricas obtidas de dispositivos reais fabricados pelo IMEC (Interuniversity Microelectronics Center) em Leuven na Bélgica. A corrente de dreno, a transcondutância, a tensão de limiar e parâmetros analógicos foram analisadas e comparados ao UTBB convencional, para tensão entre dreno e fonte de 1,5 V ($V_{DS} = 1,5$ V). Primeiramente foi investigado o comportamento das curvas de transferência para diferentes espessuras do óxido enterrado e adicionalmente foram estudados o comportamento das curvas de transferência para diferentes larguras de espaçamento (W_{GAP}) entre o óxido enterrado seletivo. Para variação da espessura do óxido enterrado, os resultados mostraram que a corrente de dreno e tensão de limiar não sofreram mudanças relevantes quando comparadas ao UTBB convencional. No entanto, para variação do espaçamento entre o óxido enterrado seletivo, os resultados mostraram ganhos na corrente de dreno e nos parâmetros analógicos. Porém, à medida que o espaçamento foi aumentando, verificou-se a redução da tensão de limiar e o aumento da corrente de porta. Os dispositivos estudados, quando comparados ao UTBB convencional, apresentaram melhores valores de transcondutância, de corrente de dreno e de corrente de porta para $W_{GAP} = 10$ nm. Este estudo mostrou que o dispositivo UTBB usado como plataforma para avaliar a estrutura SELBOX em configuração DTMOS apresentou ganhos significativos em termos de corrente de dreno e de parâmetros analógicos.

Palavras-chave: SOI, MOSFET, UTBB, DTMOS, SELBOX, Transistores

ABSTRACT

The main goal of this work is to investigate the n-channel UTBB (Ultra-thin Body and Buried oxide) SOI (Silicon On Insulator) transistors with SELBOX (SELective Buried OXide structure) in DTMOS configuration (Dynamic Threshold-Voltage MOSFET). The SELBOX structure consists of introducing a layer of silicon oxide in selected regions below the source and drain terminals, and not continuously as in SOI devices. Thus the structure presents a window/spacing (W_{GAP}) access to the active silicon region where the current conduction channel is formed. When connecting the gate and substrate terminals, the gate potential is applied to the active silicon region through the window (W_{GAP}) and the buried oxide region, this configuration (DTMOS) allows improvement for a gate voltage less than 0.7 V. To analyze the UTBB transistor with SELBOX in DTMOS configuration, numerical simulations were performed, modeled, and calibrated through electrical characterizations of real devices manufactured by imec (Interuniversity Microelectronics Center) in Leuven, Belgium. The drain current, transconductance, threshold voltage and analog parameters were analyzed and compared with conventional UTBB for drain to source voltage of 1.5 V ($V_{DS} = 1.5$ V). Firstly, the behavior of transfer curves for different buried oxide thicknesses was investigated and, additionally the behavior of transfer curves for different width spacing (W_{GAP}) between the selective buried oxide were studied. For the variation of the buried oxide thickness, the results showed that the drain current and threshold voltage did not present relevant changes when compared to the conventional UTBB. However, for varying the spacing between the selective buried oxide, the results showed gains in the drain current and in the analog parameters. Nevertheless, as the spacing was increased, there was a reduction in the threshold voltage and an increase in the gate current. The studied devices, when compared to the conventional UTBB, presented better values of transconductance, drain current and gate current for $W_{GAP} = 10$ nm. This study showed that the UTBB device used as a platform to evaluate the SELBOX structure in DTMOS conformation showed significant gains in terms of drain current and analog parameters.

Keywords: SOI, MOSFET, UTBB, DTMOS, SELBOX, Transistors

LISTA DE FIGURAS

Figura 1 – Estrutura gráfica conceitual do trabalho. 23

Figura 2 – Estrutura de um MOSFET canal-n, com detalhe do capacitor MOS, onde L é o comprimento do canal, t_{OX} é a espessura do óxido de porta e t_{SUB} é a espessura do substrato. 25

Figura 3 – Diagrama de faixas de energia típico da estrutura de um capacitor MOS. . . 27

Figura 4 – Diagrama de faixas de energia típico de um capacitor MOS para tensão de porta menor ou igual a tensão de faixa plana, com detalhe para distribuição de cargas no MOSFET. 29

Figura 5 – Diagrama de faixas de energia típico de um capacitor MOS na região de depleção, com detalhe para distribuição de cargas no MOSFET. 30

Figura 6 – Diagrama de faixas de energia típico de um capacitor MOS na região de inversão, com detalhe para distribuição de cargas no MOSFET. 31

Figura 7 – Distribuição de cargas do MOSFET nas regiões de triodo, transição triodo-saturação e saturação. 32

Figura 8 – Curva de transferência característica qualitativa, em (a) corrente entre dreno e fonte em função da tensão de porta e fonte ($I_{DS} \times V_{GS}$) e (b) corrente entre dreno e fonte em função da tensão entre dreno e fonte ($I_{DS} \times V_{DS}$), com destaque para as regiões de corte, triodo e saturação. 33

Figura 9 – Estrutura de um MOSFET SOI canal-n com detalhe para o óxido enterrado, as interfaces entre $Si - SiO_2$, e suas medidas, sendo L-comprimento do canal, W-largura do dispositivo, t_{OX}-espessura do óxido de porta, t_{Si}-espessura do canal, t_{BOX}-espessura do óxido enterrado e t_{SUB}-espessura do substrato. . . . 33

Figura 10 – Diagrama de faixas de energia para o MOSFET SOI PD canal-n, observa-se a profundidade da camada de depleção x_{d1} e x_{d2} formadas na primeira e segunda interface. 35

Figura 11 – Diagrama de faixas de energia para o MOSFET FD SOI canal-n, observa-se o encontro entre as regiões de depleção da primeira e segunda interface. . . 36

Figura 12 – Curva característica $I_{DS} \times V_{GF}$ em função da polarização V_{GB}, para segunda interface em inversão (A), depleção (B), acumulação (C) e depleção/inversão dependendo do valor de V_{GF}(D). 40
Figura 13 – Em (a) observa-se região onde o porta se sobrepõe ao dreno, com detalhe da geração do par elétron-lacuna. Em (b) observa-se a curva de transferência qualitativa $I_{DS} \times V_{DS}$, com detalhe da característica elétrica da corrente GIDL. 44
Figura 14 – Curva característica da relação g_m/I_D em função da corrente normalizada. . 45
Figura 15 – Extrapolação de uma reta tangente, na região de saturação da curva da corrente de dreno I_{DS} em função da tensão entre de dreno e fonte (V_{DS}) para se obter tensão Early (V_{EA}). 46
Figura 16 – Representação qualitativa do efeito de canal curto, em (a) e (b) MOSFET clássico canal longo e curto,em (c) e (d) SOI FD canal curto e longo. Nas Figuras L_1 e L_2 são os comprimentos do canal para dispositivos de canal longo e curto, onde $L_1 > L_2$. Da mesma forma, r_{j1} e r_{j2} são as profundidades das junções, onde $r_{j1} > r_{j2}$. 49
Figura 17 – Diagrama qualitativo da densidade de estado de interface N_{it} e o esquema de faixas de energia próximo a interface $Si - SiO_2$ para semicondutor tipo-p. . 51
Figura 18 – Em (a) Estrutura SELBOX, em (b) Detalhe, resistência equivalente da região de espaçamento(R_{GAP}) e diodos D_{CD} e D_{CS} e em (c) Gráfico qualitativo de R_{GAP} com destaque para o coeficiente K. 53
Figura 19 – Exemplos de grades. 57
Figura 20 – Perfil bidimensional do SOI UTBB MOSFET 60
Figura 21 – Curvas de transferência experimentais, em (a) corrente de dreno em função da tensão de porta ($I_{DS} \times V_{GS}$) e em (b) corrente de dreno em função da tensão no dreno ($I_{DS} \times V_{DS}$). Observa-se, as curvas experimentais sobrepostas, a média e o desvio padrão (3σ). 60
Figura 22 – Curvas de transferência simuladas, em (a) corrente de dreno em função da tensão de porta ($I_{DS} \times V_{GS}$) e em (b) corrente de dreno em função da tensão no dreno ($I_{DS} \times V_{DS}$). Observa-se as curvas simuladas no Atlas e MixedMode, também é apresentada a média experimental com seu desvio padrão (3σ). . 62

Figura 23 – Curvas calculadas, em (a) transcondutância dI_{DS}/dV_{GS}, em (b) dg_m/dV_{GS}, em (c) $d(g_m/I_{DS})/dV_{GS}$ e em (d) dI_{DS}/dV_{GS}. Observa-se as curvas simuladas no Atlas e MixedMode e a média experimental com seu desvio padrão (3σ). 63

Figura 24 – Diagramas das simulações no MixedMode, em (a) diagrama geral da simulação no MixedMode para transistor SOI UTBB com SELBOX em configuração DTMOS, em (b) Diagrama geral da simulação no MixedMode para transistor SOI UTBB convencional. Observa-se nos diagramas os parâmetros analisados W_{GAP} e t_{BOX}, e as variáveis de saída I_{DS} e I_{GS}, sendo V_{DS} e V_{GS} comuns a entrada e saída. 65

Figura 25 – Resultados para t_{BOX} variando de 20 nm a 80 nm e W_{GAP} fixo em 20 nm para $V_{DS} = 1,5\ V$. Em (a) curva característica da corrente de dreno em função da tensão de porta ($I_{DS} \times V_{GS}$) e em (b) Relação entre espessura t_{BOX} e tensão de limiar V_T. 66

Figura 26 – Resultados para t_{BOX} variando de 20 nm a 80 nm e W_{GAP} fixo em 20 nm para $V_{DS} = 1,5\ V$. Em (a) Curva característica da corrente de porta em função da tensão de porta ($I_{GS} \times V_{GS}$) e em (b) Detalhe de (a). 67

Figura 27 – Direção da variação de W_{GAP}. 67

Figura 28 – Curvas características para t_{BOX} constante, W_{GAP} variável e $V_{DS} = 1,5\ V$. (a) Relação $I_{DS} \times V_{DS}$ para V_{GS} constante, (b) Relação $I_{DS} \times V_{GS}$ para V_{DS} constante, (c) Detalhe de (a) para $V_{GS} = 0,5\ V$, (d) Tensão de limiar em relação a W_{GAP}. 68

Figura 29 – Curvas características para t_{BOX} constante, W_{GAP} variável e $V_{DS} = 1,5\ V$. Em (a) e (b) $|I_{GS} + I_{SUB}|$ em função de $V_{GS} - V_T$. 69

Figura 30 – Curvas características para t_{BOX} constante, W_{GAP} variável e $V_{DS} = 1,5\ V$. Em (a) Transcondutância, e (b) Razão g_m/I_{DS}. 70

Figura 31 – Curvas características para t_{BOX} constante, W_{GAP} variável e $V_{DS} = 1,5\ V$. Condutância de dreno. 70

Figura 32 – Curvas características para t_{BOX} constante, W_{GAP} variável e $V_{DS} = 1,5\ V$. Tensão Early. 71

Figura 33 – Curvas características para t_{BOX} constante, W_{GAP} variável e $V_{DS} = 1,5\ V$. Ganho intrínseco de tensão. 71
Figura 34 – Densidade de lacunas na estrutura, para espaçamentos de 10 e 100 nm. . . . 72
Figura 35 – Espaçamento fixo em 10 nm para variação da posição a partir do centro em direção a fonte e dreno. 73
Figura 36 – Efeito da variação da posição do espaçamento na corrente entre dreno e fonte. Em (a) deslocamento em direção a fonte e em (b) deslocamento em direção ao dreno. 74
Figura 37 – Efeito da variação da posição do espaçamento na transcondutância. Em (a) deslocamento em direção a fonte e em (b) deslocamento em direção ao dreno. 74
Figura 38 – Efeito da variação da posição do espaçamento na corrente $I_{GS} + I_{SUB}$. Em (a) deslocamento em direção a fonte e em (b) deslocamento em direção ao dreno. 75
Figura 39 – Densidade de lacunas na estrutura com espaçamento fixo em 10 nm, para variação da posição a partir do centro em direção a fonte e dreno. 75
Figura 40 – Estrutura do UTBB com SELBOX para W_GAP variando a partir do centro em direção a fonte. 76
Figura 41 – (a) Corrente de substrato, (b) Efeito de canal curto DIBL, (d) Inclinação de sublimiar e (d) Ganho na transcondutância com relação ao UTBB em modo convencional. 77

LISTA DE ABREVIATURAS E SIGLAS

AUGER	Auger
BBT.KL	Band-to-Band-Tunneling.Klaassen
BBT	Tunelamento banda a banda (*Band-to-Band Tunneling*)
BGN	Band-Gap-Narrowing
CMOS	*Complementary Metal-Oxide-Semiconductor*
CONSRH	Concentration-Dependent-Lifetime-SRH
CVT	Concentration-Voltage-Temperature
D	Dreno (*Drain*)
DIBL	Redução da barreira de potencial induzida pelo dreno (*Drain Induced Barrier Lowering*)
DTMOS	MOSFET de tensão de limiar dinâmica (*Dynamic Threshold-Voltage MOSFET*
FD	Totalmente depletado (*Fully Depleted*)
G	Porta (*Gate*)
GIDL	Corrente de fuga pelo dreno induzida pela porta (*Gate Induced Drain Leakage*)
IMEC	*Interuniversity Microelectronics Center*
KLA	Klaassen
MOS	Metal-óxido-semicondutor (*Metal-Oxide-Semiconductor*)
MOSFET	Transistor de efeito de campo metal-óxido-semicondutor (*Metal Oxide Semiconductor Field Effect Transistor*)

PD	Parcialmente depletado (*Partially depleted*)
S	Fonte (*Source*)
SELB	Selberherr
SELBOX	Óxido enterrado seletivo (*SELective Buried OXide*)
SOI	Silício sobre isolante (*Silicon On Insulator*)
SPICE	Programa de simulação com ênfase em circuitos integrados (*Simulation Program with Integrated Circuit Emphasis*)
SRH	Shockley-Read-Hall
TCAD	Projeto tecnológico assistido por computador (*Technology Computer-Aided Design*)
UTBB	Corpo e óxido enterrado ultrafino (*Ultra-thin Body and Buried oxide*)

LISTA DE SÍMBOLOS

γ	Constante de efeito de corpo
ϕ_{MS1}	Diferença de função trabalho entre o metal e semicondutor na primeira interface
ϕ_{MS2}	Diferença de função trabalho entre o metal e semicondutor na segunda interface
ϕ_{OX1}	Queda de potencial no óxido de porta
ϕ_{OX2}	Queda de potencial no óxido enterrado
ϕ_{S1}	Potencial de superfície na primeira interface
ϕ_{S2}	Potencial de superfície na segunda interface
$\phi_{Si(SUB)}$	Função de trabalho do substrato
ϕ_F	Potencial de fermi do semicondutor
ϕ_M	Função de trabalho do metal de porta
ε_{OX}	Permissividade do óxido
ε_{Si}	Permissividade do silício
A_V	Ganho intrínseco de tensão
C_{it1}	Capacitância das armadilhas de interface no óxido de porta
C_{it2}	Capacitância das armadilhas de interface no óxido enterrado
C_{OX}	Capacitância do óxido de porta
C_{OX1}	Capacitância do óxido de porta
C_{OX1}	Capacitância do óxido enterrado

C_{Si}	Capacitância da camada de silício
C_L	Capacitância total da porta
D_{CD}	Diodo formado entre corpo e dreno
D_{CS}	Diodo formado entre corpo e fonte
E_{TRAP}	Nível de energia das armadilhas de interface
E_{vcuo}	Nível de vácuo
E_C	Nível de energia da banda de condução
E_F	Nível de Fermi
E_V	Nível de energia da banda de valência
f_d	Frequência media de operação
gm	Transcondutância
g_{DSAT}	Condutância de saída na saturação
I_{DS}	Corrente entre dreno e fonte
I_{DSAT}	Corrente de dreno na região de saturação
k	Constante de Boltzmann,
L	Comprimento do canal
N_{it}	Armadilhas de interface
N_{it}	Densidade de armadilhas de interface
N_A	Concentração de dopantes
n_i	Concentração intrínseca dos portadores
P_g	Potência consumida por uma única porta

q	Carga elementar do elétron
Q_{depl}	Carga total de depleção da camada de silício
Q_{inv1}	Densidade de cargas invertidas próximo a primeira interface
Q_{OX1}	Densidades de cargas fixas na primeira interface
Q_{OX2}	Densidades de cargas fixas na segunda interface
Q_{SS}	Concentração de cargas na interface
Q_D	Região de depleção no dreno
Q_S	Região de depleção na fonte
R_{gap}	Resistência equivalente da região do espaçamento
S	Inclinação de sublimiar
Si	Silício
SiO_2	Óxido de silício
T	Temperatura absoluta
t_{BOX}	Espessura do óxido enterrado
t_{OX}	Espessura do óxido de porta
t_{Si}	Espessura do corpo de silício
t_{SUB}	Espessura do substrato
V_{dd}	Tensão de alimentação
$V_{DS(SAT)}$	Tensão de saturação
V_{DS}	Tensão entre dreno e fonte
V_{EA}	Tensão Early

V_{FB}	Tensão de faixa plana
V_{GB}	Tensão no substrato
V_{GF}	Tensão na porta
V_{GS}	Tensão entre porta e fonte
V_T	Tensão de limiar
W	Largura do dispositivo
W_{gap}	Largura do espaçamento
$x_{d(max)}$	Máxima profundidade da camada de depleção
x_{d1}	Profundidade da região de depleção da primeira interface
x_{d2}	Profundidade da região de depleção da segunda interface

SUMÁRIO

1 INTRODUÇÃO 20

1.1 Objetivos 22

1.2 Estrutura do trabalho 23

2 CONCEITOS BÁSICOS 25

2.1 Transistor MOSFET 25

2.1.1 Diagrama de faixas de energia do capacitor MOS 26

2.1.2 Região de acumulação 28

2.1.3 Região de depleção 28

2.1.4 Região de inversão 30

2.1.5 Região de triodo 31

2.1.6 Região de saturação 32

2.2 Transistor SOI MOSFET 32

2.3 Parâmetros do transistor 37

2.3.1 Tensão de limiar (V_T) 37

2.3.2 Transcondutância (gm) 40

2.3.3 Inclinação de sublimiar (SS) 41

2.3.4 Constante de efeito de corpo (γ) 42

2.3.5 Corrente de fuga pelo dreno induzida pela porta (GIDL) 43

2.4 Parâmetros analógicos 44

2.4.1 Razão g_m/I_D 44

2.4.2 Tensão Early (V_{EA}) 46

2.4.3 Condutância de saída (G_D) 47

2.4.4 Ganho intrínseco de tensão (A_V) 47

2.5 Efeito de canal curto 47

2.5.1 Redução da Barreira Induzida pelo Dreno (DIBL) 48

2.6 Armadilhas de interface (N_{it}) 50

2.7 Estrutura UTBB . . . 51
2.8 Estrutura SELBOX . . . 52
2.9 Técnica DTMOS . . . 53

3 MODELAGEM COMPUTACIONAL . . . 55
3.1 Descrição dos simuladores . . . 55
3.1.1 TCAD - Atlas . . . 55
3.1.2 MixedMode . . . 56
3.2 Modelos utilizados . . . 56
3.3 Modelagem do UTBB . . . 59
3.3.1 Metodologia . . . 59
3.3.2 Estrutura . . . 59
3.3.3 Calibração do UTBB (Simulado × Experimental) . . . 60
3.4 Dispositivo UTBB com SELBOX . . . 64

4 PERFORMANCE DOS DISPOSITIVOS ANALISADOS . . . 65
4.1 Efeito da variação de t_{BOX} . . . 66
4.2 Efeito da variação de W_{GAP} . . . 67
4.3 Efeito da variação da posição de W_{GAP} . . . 73
4.4 Efeito da variação de W_{GAP} crescendo do centro em direção a fonte 76

5 CONCLUSÃO E SUGESTÕES PARA TRABALHOS FUTUROS . . 78
5.1 Conclusão . . . 78
5.2 Recomendações para trabalhos futuros . . . 79

REFERÊNCIAS . . . 80

APÊNDICES 84

APÊNDICE A – ROTINA PRINCIPAL NO MIXEDMODE . . . 85

APÊNDICE B – ESTRUTURA . . . 89

APÊNDICE C – CONFIGURAÇÕES DO DISPOSITIVO . . . 95

1 INTRODUÇÃO

Desde o advento dos transistores, os sistemas eletrônicos fazem parte do mundo moderno e estão presentes nas aplicações tais como médicas, militares, agrícolas, domésticas, espaciais e em muitas outras áreas. Dessa forma, a demanda para atender as aplicações emergentes e modernizar as já existentes, requerem a contínua redução em escala dos dispositivos semicondutores. Nesse sentido, a eficiência energética passa a ser um tópico de importante impacto nos mais diversos projetos de circuitos, sejam eles circuitos alimentados por baterias, como as redes de sensores sem fio, o monitoramento biomédico portátil e sistemas móveis de comunicação, no qual expressam de forma direta a importância do consumo de energia, pois esses circuitos devem ser projetados de modo que seja viável um período mínimo de operação a partir de uma bateria. Da mesma forma, o continuo escalamento dos dispositivos impulsiona o aumento da densidade de integração de componentes por unidade de área, tornando a participação da dissipação de energia de cada elemento significativa, podendo ser multiplicada por fatores que chegam a ordem de 10^9 em um único chip. Assim, dispositivos cada vez menores e energeticamente eficientes ampliam as aplicações existentes, agregando novas capacidades e possibilitando aplicações nas mais diversas áreas.[1]

Uma técnica amplamente utilizada para reduzir o consumo de energia em circuitos digitais, consiste em reduzir a tensão de alimentação, como o consumo médio de corrente dos circuitos digitais CMOS (*Complementary Metal-Oxide-Semiconductor*) é de primeira ordem e proporcional ao quadrado da tensão de alimentação, então é desejável minimizar a tensão de alimentação para minimizar o consumo, como mostrado na expressão (1.1). Em circuitos analógicos, a energia dissipada não diminui necessariamente como citado anteriormente, sendo preciso aplicar outras abordagens de projeto ou substituir as soluções clássicas por novas topologias de circuitos.[2]

$$P_g = C_L V_{dd}^2 f_d \tag{1.1}$$

onde P_g é a potência consumida por um única porta, C_L é a capacitância total da porta, V_{dd} é a tensão de alimentação e f_d é a frequência media de operação.

A redução da tensão de alimentação resulta em um método prático, no entanto, para tensões de operação que se aproximam da tensão de limiar, a resposta dos transistores se tornam sensíveis as variações de processo e a flutuações de temperatura. A tecnologia de dispositivos UTBB FD SOI MOSFET (*Ultra-thin Body and Buried oxide, Fully Depleted, Silicon On Insulator, Metal Oxide Semiconductor Field Effect Transistor*) é uma plataforma promissora para lidar com esses desafios, o corpo totalmente depletado com dopagem intrínseca de 10^{15} átomos por cm^3 evita o problema da flutuação aleatória de dopante, reduzindo o impacto da variabilidade de processo, e o óxido enterrado ultra fino em dispositivos SOI fornece uma via extra de controle do canal através da polarização de substrato conhecida como GLBB (Gate Level Body Bias).

Na literatura são apresentadas vários métodos para viabilizar a redução da tensão de alimentação, como (*Subthreshold Operation), Bulk-driven, Floating-gate, Self-cascode*, DTMOS (*Dynamic Threshold-Voltage* MOSFET) entre outras. Entre os métodos citados, aplicou-se neste estudo a técnica DTMOS, seu princípio consiste em conectar o terminal de porta ao corpo do dispositivo, essa configuração foi proposta por Colinge[3] para aplicações em dispositivos SOI PD (PD:*Partially depleted*) e permitir obter aprimoramento a partir de uma tecnologia já desenvolvida. Ou seja, o dispositivo pode obter melhor desempenho alcançando as mesmas regiões de operação com menor valor de tensão no terminal de controle.[4–8]

Neste estudo, o acesso ao corpo do dispositivo UTBB para aplicar a técnica DTMOS, é feito através do uso da estrutura SELBOX (*SELective Buried OXide*), no qual consiste em introduzir uma camada de óxido de silício em regiões selecionadas abaixo dos terminais fonte e dreno, e não continuamente como em dispositivos SOI. Narayanan et al.[9] propos inicialmente essa estrutura para reduzir o efeito *kink* presente nas características de saída corrente-tensão de dispositivos PD-SOI. Nesse sentindo, a aplicação do transistor UTBB em configuração DTMOS utilizando acesso ao corpo através da estrutura SELBOX, permite preservar algumas das vantagens dos dispositivos SOI. O acesso ao corpo através do substrato promove a redução do efeito de auto-aquecimento além de melhorar o desempenho do dispositivo para aplicações em baixa tensão.[10–12]

1.1 Objetivos

Este trabalho tem como principal objetivo o estudo do desempenho de transistores UTBB com SELBOX em configuração DTMOS, de forma a compará-lo ao UTBB convencional para diferentes espessuras de óxido enterrado e largura do espaçamento da estrutura SELBOX, através de simulações numéricas.

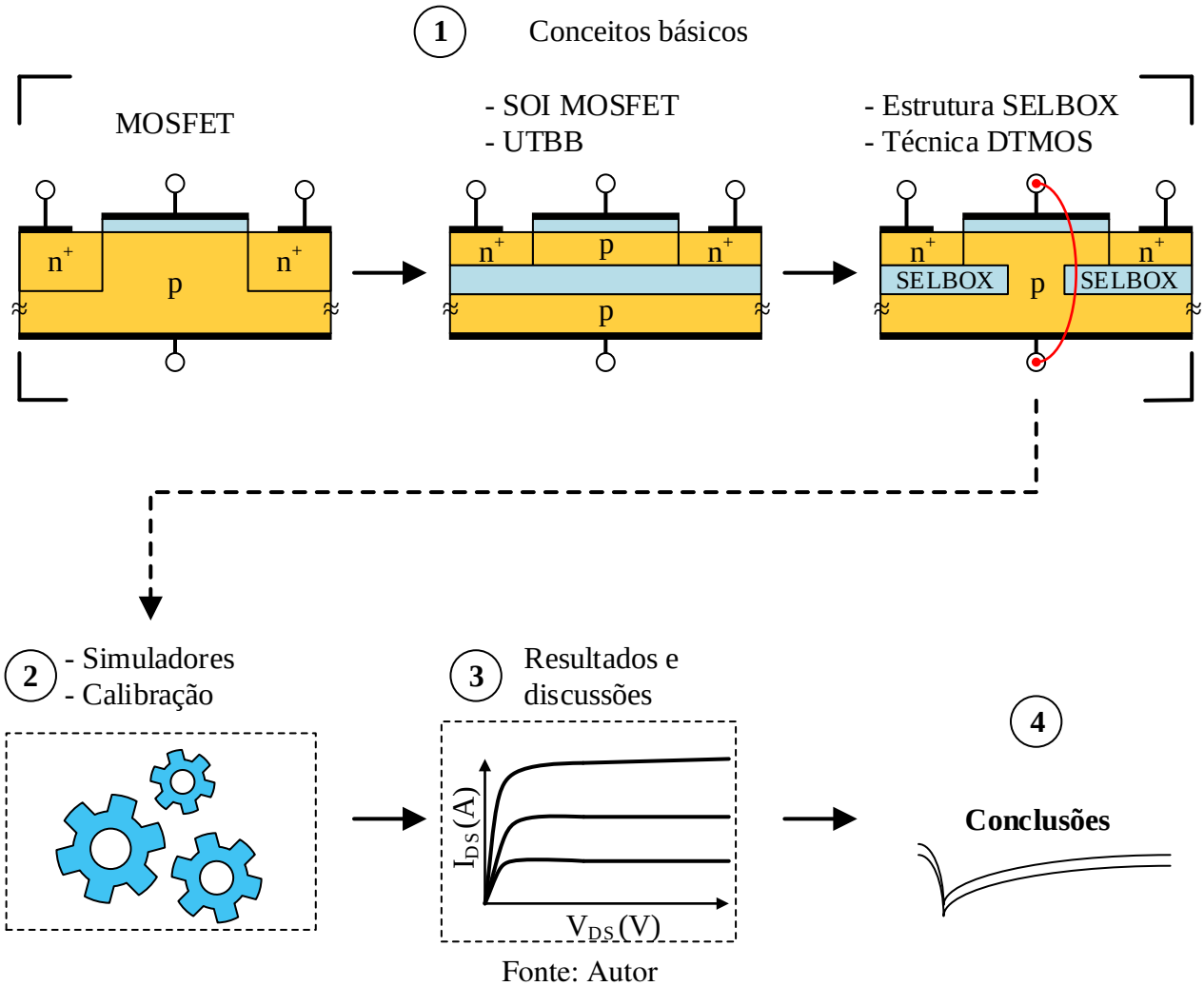
Primeiramente será realizado o estudo do comportamento das curvas de transferência para variação da espessura do óxido enterrado e compará-lo ao UTBB convencional.

Posteriormente será realizado o estudo do comportamento das curvas de transferência afim de verificar a variação da largura do espaçamento na estrutura SELBOX e compará-lo ao UTBB convencional.

1.2 Estrutura do trabalho

Esta dissertação de mestrado está dividida conceitualmente em quatro partes, e estruturado em cinco capítulos. A Figura 1 apresenta a estrutura gráfica conceitual do trabalho. Na primeira parte são apresentados os conceitos básicos, tendo como partida o transistor MOSFET e chegando a estrutura SELBOX onde será aplicada a técnica DTMOS, intermediariamente são apresentados o MOSFET em tecnologia SOI e o UTBB usado como plataforma. Na segunda parte são apresentados os simuladores usados para analisar o dispositivo UTBB nas diferentes configurações. Na terceira parte conceitual são apresentados e discutidos os resultados obtidos, por fim, na quarta parte são expressas as conclusões obtidas neste estudo.

Figura 1 – Estrutura gráfica conceitual do trabalho.



Fonte: Autor

Este trabalho está estruturado em capítulos da seguinte forma.

Capítulo 1 - Descreve a importância do presente trabalho e apresenta a definição dos objetivos.

Capítulo 2 - Apresenta alguns conceitos fundamentais do transistor MOSFET clássico e SOI, abordando características principais da tecnologia e seus seus parâmetros elétricos fundamentais. Também são apresentados o transistor UTBB, a estrutura SELBOX e a configuração DTMOS.

Capítulo 3 - Apresenta os simuladores utilizados, os modelos físicos usados para definir o comportamento elétrico do dispositivo e a metodologia aplicada para calibrar o dispositivo simulado.

Capítulo 4 - Serão demonstrados e discutidos os resultados simulados no MixedMode para o UTBB com SELBOX em configuração DTMOS e comparados ao UTBB convencional.

Capítulo 5 - Por fim, este capítulo apresenta as principais conclusões obtidas e as perspectivas para trabalhos futuros.

2 CONCEITOS BÁSICOS

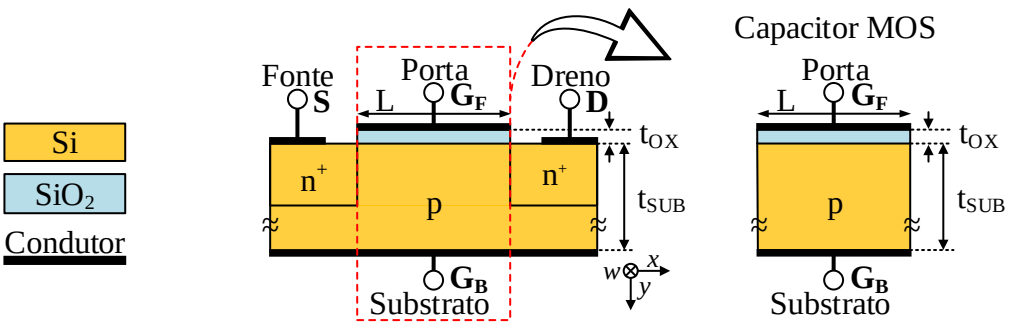
2.1 Transistor MOSFET

O MOSFET foi o centro da revolução tecnológica moderna da informação, sendo protagonista no aumento exponencial da densidade de integração de circuitos. Possibilitou o desenvolvimento de ferramentas capazes de multiplicar a capacidade e demanda de processamento de informação. Portanto, é considerado um dos dispositivos mais importantes desde o advento da tecnologia MOS (*Metal-Oxide-Semiconductor*).[13]

Na Figura 2 é apresentado um MOSFET canal-n clássico, na qual é mostrada a estrutura de silício (Si), o óxido de silício (SiO_2) e as regiões dopadas com material tipo-n para acesso ao canal de condução. Também é destacado o capacitor MOS inserido na sua estrutura (entre os terminais porta e substrato). Este capacitor determina o funcionamento do transistor, cujo o princípio é baseado no controle capacitivo das cargas no substrato na superfície do silício abaixo do óxido.

O comportamento das cargas no capacitor MOS depende da sua região de operação, que é determinada pela diferença de potencial aplicada aos terminais do capacitor, sendo comumente referidas como região de acumulação, região de depleção, região de inversão, região de triodo e região de saturação.[14]

Figura 2 – Estrutura de um MOSFET canal-n, com detalhe do capacitor MOS, onde L é o comprimento do canal, t_{OX} é a espessura do óxido de porta e t_{SUB} é a espessura do substrato.



Fonte: Autor

2.1.1 Diagrama de faixas de energia do capacitor MOS

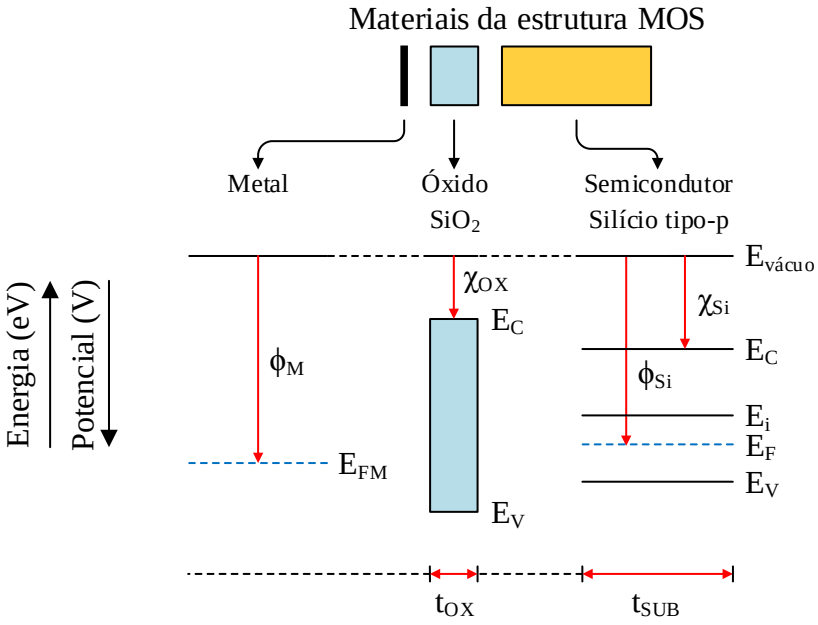
O diagrama de faixas de energia é uma ferramenta útil para descrever o comportamento energético dos portadores de carga no capacitor MOS. Na Figura 3a são apresentados os diagramas de faixas de energia típicos para os materiais que formam as camadas de um capacitor MOS antes do contato entre os materiais, já na Figura 3b é mostrado o diagrama de faixas de energia após o contato entre materiais. Nos diagramas da Figura 3, as variáveis utilizadas são definidas da seguinte forma:[14]

- E_{vcuo} - Nível de energia do vácuo
- E_c - Nível energético da faixa de condução
- E_i - Nível intrínseco do semicondutor
- E_F - Nível de Fermi do semicondutor
- E_V - Nível energético da faixa de valência
- ϕ_F - Potencial de Fermi do semicondutor
- ϕ_M - Potencial de Fermi do metal
- E_{FM} - Nível de Fermi do metal
- χ_{ox} - Afinidade eletrônica do óxido
- χ_{Si} - Afinidade eletrônica do silício
- ϕ_{Si} - Potencial de superfície do semicondutor

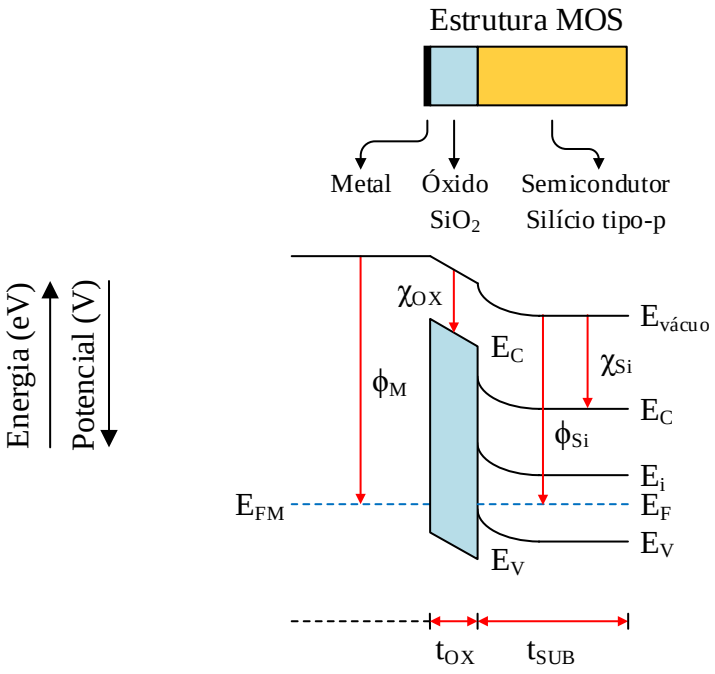
A seguir será apresentado o funcionamento básico do capacitor MOS, e consequentemente do transistor MOSFET, para isso serão utilizados os diagramas de faixas de energia nas regiões de acumulação, depleção, inversão e triodo.

Figura 3 – Diagrama de faixas de energia típico da estrutura de um capacitor MOS.

(a) Diagrama de faixas de energia dos materiais que formam a estrutura de um capacitor MOS, antes do contato entre os materiais.



(b) Diagrama de faixas de energia da estrutura de um capacitor MOS após o contato entre os materiais, em equlíbrio termico.



Fonte: Autor

2.1.2 Região de acumulação

A região de acumulação ocorre quando se aplica na estrutura MOS uma tensão de porta inferior a tensão de faixa plana $V_{GS} < VF_B$. A tensão de faixa plana V_{FB} na estrutura MOS é defina como a tensão na qual não há carga elétrica no semicondutor, e portanto nenhuma queda de tensão através dele. No diagrama de faixas, a tensão de faixa plana é observada quando as faixas de energia do semicondutor são horizontais (planas), como apresentado no diagrama de faixas da Figura 4 para $V_{GS} = V_{FB}$.[14]

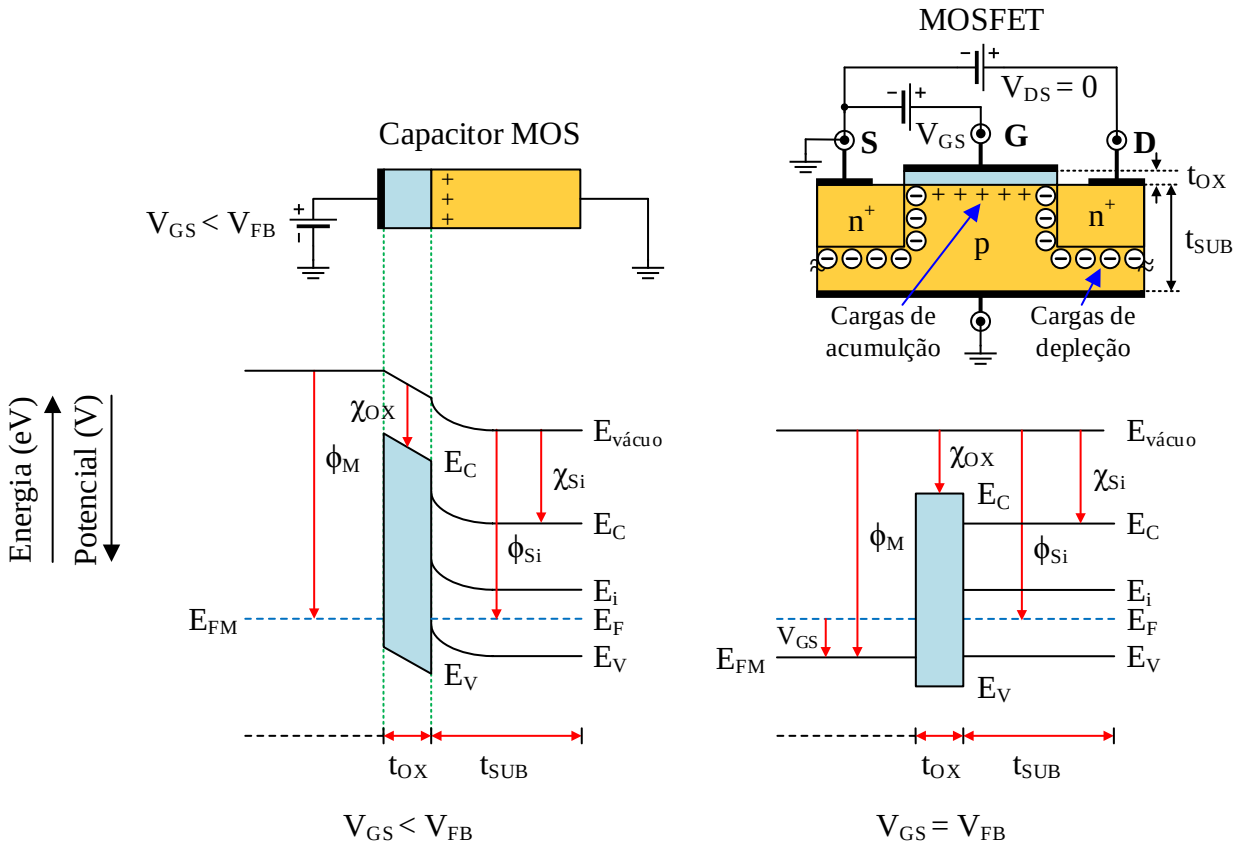
Na acumulação as cargas negativas na porta atraem lacunas do substrato, promovendo um acúmulo de portadores majoritário na superfície do silício na interface óxido-semicondutor. Este caso está apresentado na Figura 4, onde observa-se o diagrama de faixas para região de acumulação em que $V_{GS} < V_{FB}$, também são apresentadas a distribuição de cargas no capacitor MOS e no transistor MOSFET para $V_{DS} = 0$. Para $V_{DS} > 0$ idealmente não haverá passagem de corrente entre fonte e dreno, pois o diodo formado entre a junção dreno-substrato estará reversamente polarizada, esse comportamento é chamado de região de corte com a superfície em acumulação.[14]

2.1.3 Região de depleção

A região de depleção ocorre quando a tensão de porta V_{GS} é maior que a tensão de faixa plana V_{FB} e menor que a tensão de limiar V_T ($V_{FB} < V_{GS} < V_T$). A tensão de limiar V_T, corresponde a menor tensão aplicada a porta capaz de formar no semicondutor uma camada quase superficial de elétrons livres na interface óxido-semicondutor, de tal forma que possibilite a condução de corrente entre dreno e fonte.[14]

Aplicando-se na porta uma tensão maior que a tensão de faixa plana ($V_{GS} > V_{FB}$), haverá o afastamento das lacunas na superfície do semicondutor, na interface óxido-semicondutor, formando-se uma região de íons fixos negativos devido a natureza do material, chamada de região de depleção, com profundidade x_d, cujo o máximo valor de profundidade é obtido com expressão 2.1. Essa camada de inversão se deve aos portadores minoritários que são atraídos para a interface pela tensão aplicada a porta.[14]

Figura 4 – Diagrama de faixas de energia típico de um capacitor MOS para tensão de porta menor ou igual a tensão de faixa plana, com detalhe para distribuição de cargas no MOSFET.

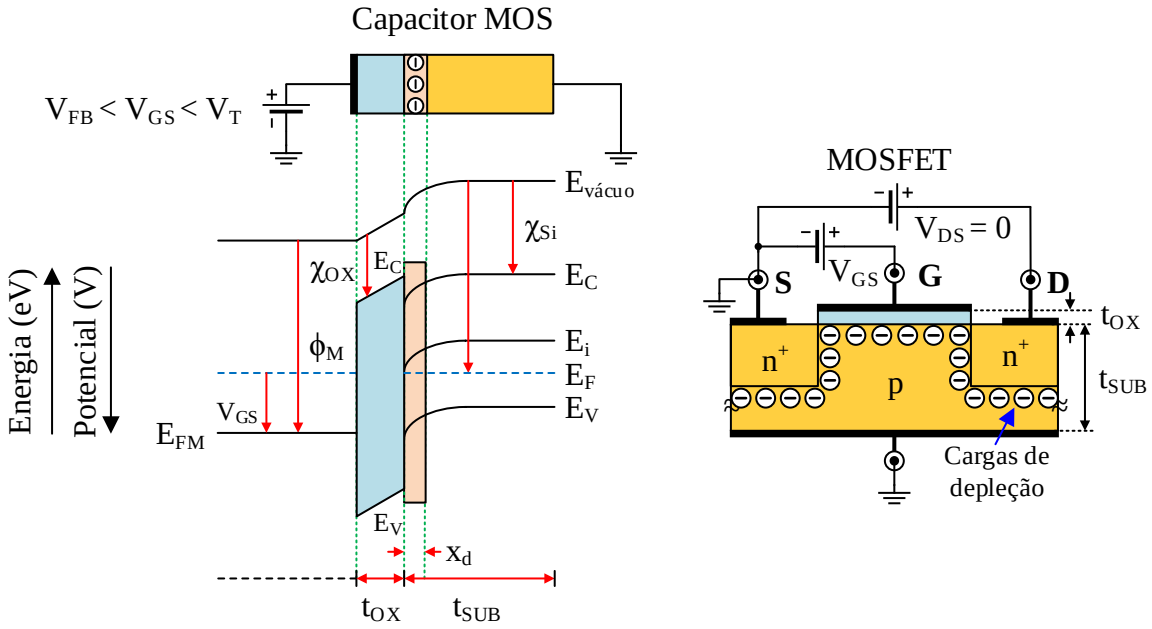


Fonte: Autor

O diagrama de faixas de energia na região de depleção para o capacitor MOS, e a distribuição de cargas no MOSFET para $V_{DS} = 0$ são apresentadas na Figura 5, observa-se também a região de depleção com profundidade x_d.

Na Figura 5, admitindo que transistor MOSFET esteja polarizado com $V_{DS} > 0$, haverá condução de corrente entre dreno e fonte, no entanto, ainda em valores relativamente pequenos. Esse regime de operação também é conhecido como inversão fraca, e devido ao pequeno valor de condução de corrente, tradicionalmente a faixa para tensão de porta entre a tensão de faixa plana e a tensão de limiar também é definida como região de corte, assim como a região de acumulação.[14]

Figura 5 – Diagrama de faixas de energia típico de um capacitor MOS na região de depleção, com detalhe para distribuição de cargas no MOSFET.



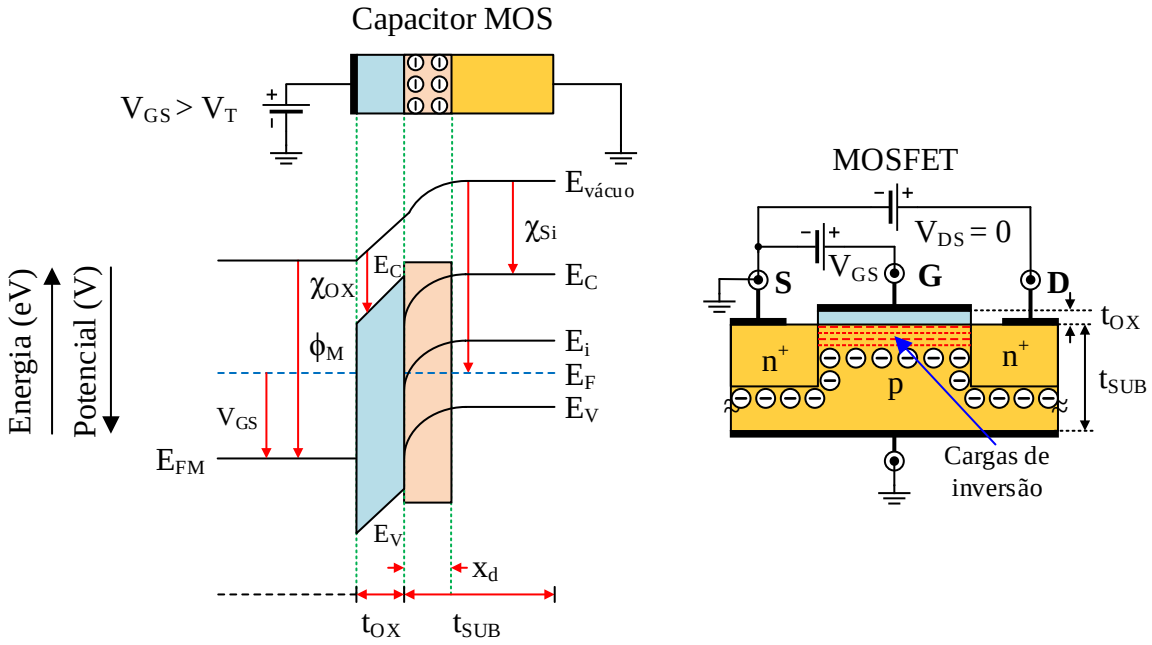
Fonte: Autor

2.1.4 Região de inversão

No capacitor MOS, a medida que a tensão de porta V_{GS} aumenta, a região de depleção aumenta até atingir o limiar V_T onde forma-se uma camada de elétrons livres na superfície do semicondutor, na interface óxido-semicondutor, com profundidade x_d, chamada de camada de inversão.[14]

O diagrama de faixas de energia na região de inversão para o capacitor MOS, e a distribuição de cargas no MOSFET para $V_{DS} = 0$ são apresentadas na Figura 6, observa-se também a região de depleção com profundidade x_d. A distribuição de cargas no transistor MOSFET da Figura 6 mostra a camada de inversão com elétrons livres, que se estende desde a fonte até o dreno, neste caso quando é aplicada uma diferença de potencial entre dreno e fonte haverá condução de corrente na camada de inversão.[14]

Figura 6 – Diagrama de faixas de energia típico de um capacitor MOS na região de inversão, com detalhe para distribuição de cargas no MOSFET.



Fonte: Autor

2.1.5 Região de triodo

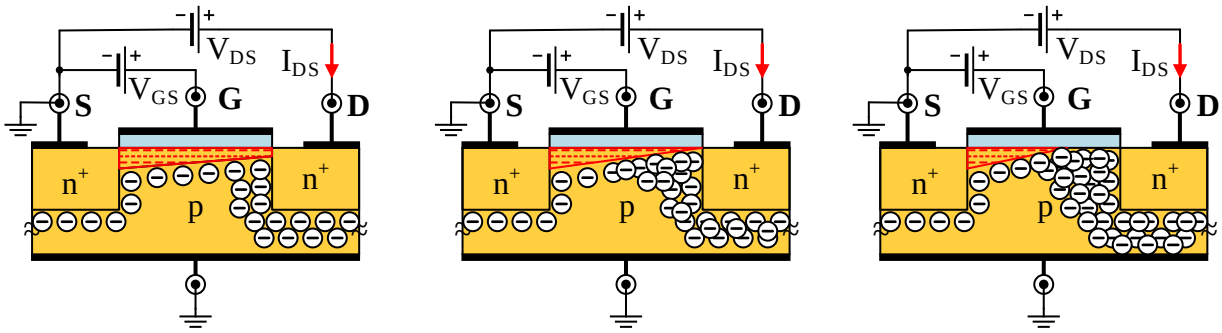
A medida que se aumenta a tensão da porta acima da tensão de limiar ($V_{GS} > V_T$), a profundidade da camada de depleção no semicondutor não aumenta significativamente, no entanto, a carga na camada de inversão aumenta exponencialmente, este comportamento é defino como região de triodo, e seu diagrama de faixas é similar a região de inversão mostrado na Figura 6.

Geralmente o potencial aplicado ao dreno é maior que a fonte, assim a camada de inversão próximo ao dreno é menor que do lado da fonte. Com o acréscimo de V_{DS} chega-se ao ponto onde ocorre a eminência da camada de inversão próximo ao dreno desaparecer, essa característica e denominada de pinçamento da camada de inversão, e ocorre quando $V_{DS} = V_{GS} - V_T = V_{DS(SAT)}$. A tensão de saturação $V_{DS(SAT)}$ marca o ponto de transição entre as regiões de triodo e saturação. A Figura 7 apresenta a distribuição de cargas do MOSFET na região de triodo e no ponto de transição entre as regiões de triodo e saturação.[14]

2.1.6 Região de saturação

A região de saturação ocorre quando $V_{DS} > V_{DS(SAT)}$, a partir desse ponto o transistor atinge o máximo valor de condução de corrente, não apresentado aumento significativo de corrente ao aumentar V_{GS}, no entanto, o ponto de pinçamento desloca-se em direção a fonte. A Figura 7 apresenta a distribuição de cargas no MOSFET na região de saturação, na figura observa-se o pinçamento em direção a fonte.[14]

Figura 7 – Distribuição de cargas do MOSFET nas regiões de triodo, transição triodo-saturação e saturação.



Região de triodo | Transição trido-saturação | Região de saturação

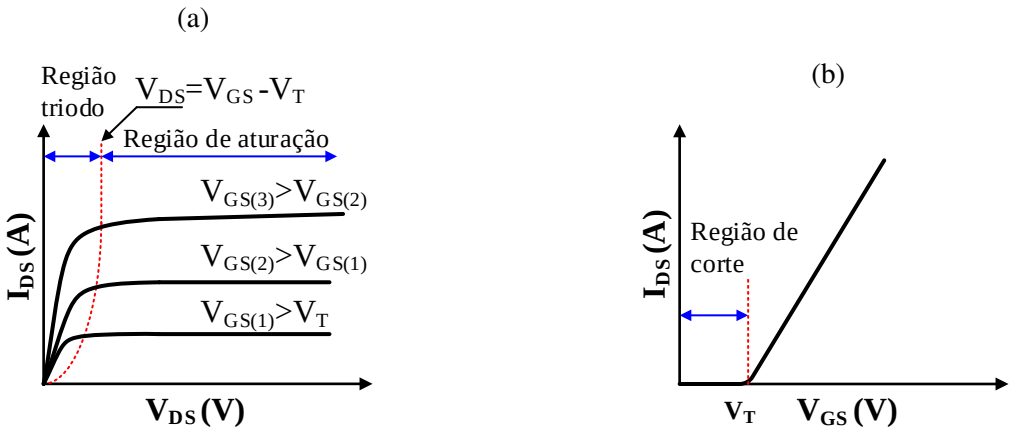
Fonte: Autor

Na Figura 8 são mostradas de forma qualitativa as curvas de transferência características do MOSFET canal-n, nas regiões de corte, triodo e saturação, descritas anteriormente.

2.2 Transistor SOI MOSFET

O transistor MOSFET clássico passou por inúmeros refinamentos, o que possibilitou a redução de suas dimensões físicas e melhorias em suas características elétricas, atendendo a demanda e ainda sendo muito útil. No entanto, a interação entre a região ativa que forma o canal de condução de corrente e o substrato introduz efeitos indesejados no dispositivo, pensando nisso, foi introduzido uma nova camada de óxido de silício abaixo do canal de condução, o óxido enterrado, formando um novo dispositivo, o SOI MOSFET.

Figura 8 – Curva de transferência característica qualitativa, em (a) corrente entre dreno e fonte em função da tensão de porta e fonte ($I_{DS} \times V_{GS}$) e (b) corrente entre dreno e fonte em função da tensão entre dreno e fonte ($I_{DS} \times V_{DS}$), com destaque para as regiões de corte, triodo e saturação.

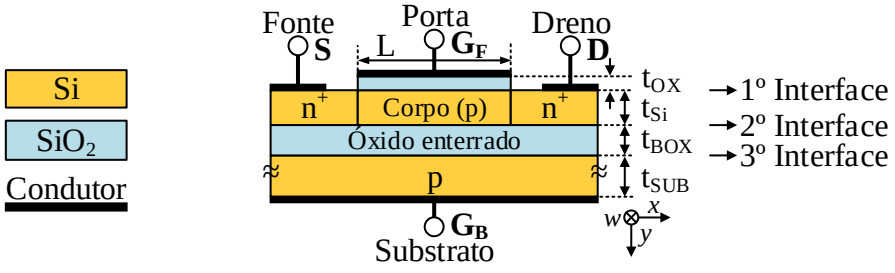


Fonte: Autor, adaptado de [14].

A Figura 9 apresenta um transistor SOI MOSFET onde L é o comprimento do canal, W é a largura do dispositivo, t_{OX} é a espessura do óxido de porta, t_{Si} é a espessura do corpo de silício, t_{BOX} é a espessura do óxido enterrado e t_{SUB} é a espessura do substrato.

Os dispositivos utilizando a tecnologia SOI, se comparados ao transistores MOSFET, apresentam maior densidade de integração e redução de efeitos parasitários, isso se traduz em um dispositivo com ganhos significativos de desempenho em uma menor área de silício, no entanto, esse dispositivo apresenta maior efeito de auto aquecimento devido a presença do óxido enterrado, por ser mau condutor térmico.[5,15]

Figura 9 – Estrutura de um MOSFET SOI canal-n com detalhe para o óxido enterrado, as interfaces entre $Si - SiO_2$, e suas medidas, sendo L-comprimento do canal, W-largura do dispositivo, t_{OX}-espessura do óxido de porta, t_{Si}-espessura do canal, t_{BOX}-espessura do óxido enterrado e t_{SUB}-espessura do substrato.



Fonte: Autor

O princípio de funcionamento, as curvas características de transferência e os regimes de operação dos transistores fabricados com tecnologia SOI são similares ao MOSFET clássico, no entanto, pode haver interação entre as regiões de depleção formadas no corpo de silício na primeira e segunda interface, indicadas na Figura 9. Dessa forma, a largura da camada de depleção e a espessura do corpo de silício (t_{Si}) classificam o SOI MOSFET em parcialmente depletado (PD: *Partially Depleted*) e totalmente depletado (FD: *Fully Depleted*).[5,16]

Nos dispositivos SOI PD, a espessura do corpo é suficientemente grande para que a máxima profundidade das camadas de depleção das interfaces não apresentem interação, apresentando uma região de inversão neutra entre as interfaces, isso acontece quando t_{Si} é duas vezes maior que a máxima profundidade da camada de depleção ($x_{d(max)}$), ou seja, para $t_{Si} > 2 \times x_{d(max)}$, onde $x_{d(max)}$ é obtido conforme a expressão (2.1), sendo:[5,16]

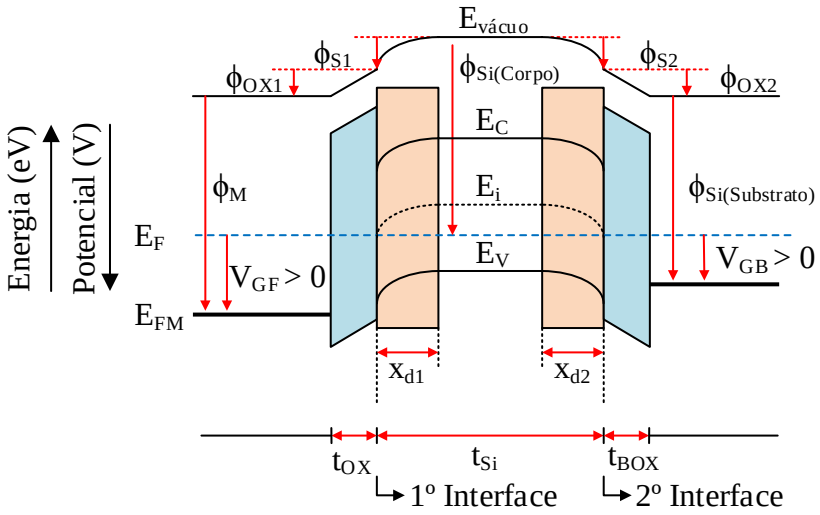
$$x_{d(max)} = \sqrt{\frac{2\varepsilon_{Si}(2\phi_F)}{qN_A}} \tag{2.1}$$

$$\phi_F = \frac{kT}{q} ln\left(\frac{N_A}{n_i}\right) \tag{2.2}$$

onde, $x_{d(max)}$ é a máxima profundidade da camada de depleção, ϕ_F é o potencial de fermi do semicondutor, ε_{Si} é a permissividade do silício, k é a constante de Boltzmann, T é a temperatura absoluta, q é a carga elementar do elétron, N_A é a concentração de dopantes e n_i é a concentração intrínseca dos portadores.[5,16]

A Figura 10 apresenta o diagrama de faixas de energia para o MOSFET SOI PD, ilustrando a formação das regiões de depleção com suas respectivas profundidade x_{d1} e x_{d2}, para $V_{GF} > 0$ e $V_{GB} > 0$, observa-se região de inversão neutra entre as interfaces, onde t_{OX} é a espessura do óxido de porta, t_{Si} é a espessura do corpo, t_{BOX} é a espessura do óxido enterrado, E_C é o nível de energia da faixa de condução, E_V é o nível de energia da faixa de valência, E_F é o nível de Fermi, E_{vcuo} é o nível de vácuo, ϕ_M é a função de trabalho do metal de porta,$\phi_{Si(SUB)}$ é a função de trabalho do substrato, ϕ_{OX1} e ϕ_{OX2} são a queda de potencial no óxido de porta e óxido enterrado,ϕ_{S1} e ϕ_{S2} são os potenciais de superfície na primeira e segunda interface.[5,16]

Figura 10 – Diagrama de faixas de energia para o MOSFET SOI PD canal-n, observa-se a profundidade da camada de depleção x_{d1} e x_{d2} formadas na primeira e segunda interface.

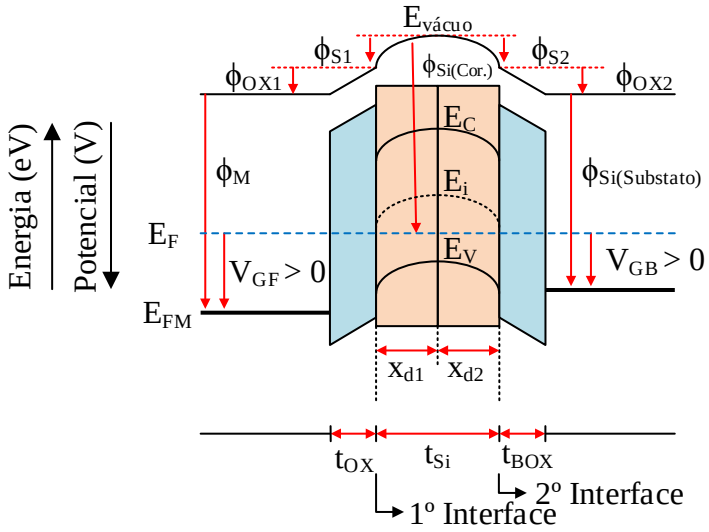


Fonte: Autor, adaptado de [5].

Nos dispositivos FD SOI, a espessura do corpo é menor que a máxima profundidade da camada de depleção apresentada na primeira e segunda interface, isso acontece quando t_{Si} for menor que a máxima profundidade de uma das camadas de depleção, ou seja, quando $t_{Si} < x_{d(max)}$, dessa forma haverá interação entre as camadas, como mostrado no diagrama de faixas de energia na Figura 11, onde observa-se o encontro ou sobreposição entre as regiões de depleção formadas na primeira e segunda interface para $V_{GF} > 0$ e $V_{GB} > 0$.[5,16]

Em outras palavras, se $t_{Si} > 2 \times x_{d(max)}$ não haverá interação entre as regiões de depleção formadas na primeira e segunda interface, como ilustrado na Figura 10, em que observa-se uma região neutra entre as regiões de depleção, de forma que se conectada ao substrato faz o dispositivo se comportar como um MOSFET clássico, nessa condição é dito que o MOSFET SOI é parcialmente depletado (PD: Partially Depleted). Para $t_{Si} < x_{d(max)}$ as regiões de depleção da primeira e segunda interface estão em contato, a partir da tensão de limiar, independente da tensão no substrato, nessa condição é dito que o MOSFET SOI é totalmente depletado (FD SOI: Fully Depleted SOI).[5,16]

Figura 11 – Diagrama de faixas de energia para o MOSFET FD SOI canal-n, observa-se o encontro entre as regiões de depleção da primeira e segunda interface.



Fonte: Autor, adaptado de [5].

O MOSFET SOI FD apresenta melhores características elétricas com relação ao PD, como por exemplo, excelente mobilidade dos portadores de carga em temperatura ambiente e em baixas temperaturas, a redução de efeitos parasitários, provocado pela região neutra presente nos dispositivos PD, sendo a região de depleção a menos influenciada pela tensão aplicada aos terminais dreno e fonte (V_{DS}), além de possuir uma maior taxa de variação da corrente entre dreno e fonte I_{DS} devido a maior capacidade de controle pelo porta, entre outras.[16,17]

Os dispositivos SOI também podem ser divididos em thick-film (filme-espesso) e thin-film (filme-fino). Os termos thick-film e thin-film referem-se ao processo pelo qual os filmes de materiais são depositados no substrato para formar estruturas complexas, ou seja, não representa a espessura e sim uma tecnologia de processo. A tecnologia thick-film é um processo aditivo que é utilizado para aplicar filmes condutivos, resistivos e isolantes. Em contraste, a tecnologia thin-film, é subtrativa, ou seja, todo o substrato é revestido com camadas de materiais e o material indesejado é removido em uma sucessão de processos de fotolitografia. O processo fotolitográfico permite formar linhas mais estreitas e definidas do que o processo aditivo, sendo usado em aplicações que requerem alta densidade ou alta frequência.[17,18]

2.3 Parâmetros do transistor

2.3.1 Tensão de limiar (V_T)

A tensão de limiar representa a menor tensão aplicada ao terminal porta para formar a camada de inversão no corpo do dispositivo, iniciando a passagem de corrente entre dreno e fonte I_{DS}. Para dispositivos SOI PD, onde não há interação entre as regiões de depleção, a tensão de limiar é equivalente ao MOSFET clássico, obtida da seguinte forma:[5, 14, 16]

$$V_T = V_{FB} + 2\phi_F + \frac{qN_A x_{d(max)}}{C_{OX}} \tag{2.3}$$

$$C_{OX} = \frac{\varepsilon_{OX}}{t_{OX}} \tag{2.4}$$

$$V_{FB} = \phi_{MS} - \frac{Q_{SS}}{C_{OX}} \tag{2.5}$$

onde, V_T é a tensão de limiar, C_{OX} é a capacitância do óxido de porta, V_{FB} é a tensão de faixa plana, ϕ_{MS} é a função trabalho entre o metal e semicondutor na primeira interface, Q_{SS} é a concentração de cargas na interface, ε_{OX} é a permissividade do óxido, t_{OX} é a espessura do óxido de porta, $x_{d(max)}$ é a máxima profundidade da camada de depleção, q é a carga elementar do elétron e N_A é a concentração de dopantes.[5, 14, 16]

A tensão de limiar em dispositivos SOI FD depende do acoplamento dos potenciais aplicados aos terminais porta V_{GF} e substrato V_{GB} com os potencias de superfície da primeira e segunda interface ϕ_{S1} e ϕ_{S2}. A Figura 11 apresenta o diagrama de faixas de um dispositivo SOI FD, mostrando os potenciais aplicados aos terminais e os potencias de superfície da primeira e segunda interface, cuja relação é expressa da seguinte forma:[5]

$$-V_{GF} + \phi_{MS1} + \phi_{OX1} + \phi_{S1} = 0 \tag{2.6}$$

$$-V_{GB} + \phi_{MS2} + \phi_{OX2} + \phi_{S2} = 0 \tag{2.7}$$

onde, ϕ_{MS1} e ϕ_{MS2} são a diferença de função trabalho entre o metal e semicondutor na primeira e segunda interface, ϕ_{OX1} e ϕ_{OX2} é a queda de potencial no óxido de porta e óxido enterrado, ϕ_{S1} e ϕ_{S1} é o potencial de superfície na primeira e segunda interface.[5]

Expandindo (2.6) e (2.7) chega-se nas expressões que relacionam a tensão aplicada ao porta V_{GF} com o potencial de superfície da segunda interface ϕ_{S2}, e a tensão aplicada ao substrato V_{G2} com o potencial de superfície da primeira interface ϕ_{S1}, da seguinte forma:[5]

$$-V_{GF} + \phi_{MS1} - \frac{Q_{OX1}}{C_{OX1}} + \left(1 + \frac{C_{Si}}{C_{OX1}}\right)\phi_{S1} - \frac{C_{Si}}{C_{OX1}}\phi_{S2} - \frac{\frac{1}{2}Q_{depl} + Q_{inv1}}{C_{OX1}} = 0 \tag{2.8}$$

$$-V_{GB} + \phi_{MS2} - \frac{Q_{OX2}}{C_{OX2}} + \left(1 + \frac{C_{Si}}{C_{OX2}}\right)\phi_{S2} - \frac{C_{Si}}{C_{OX2}}\phi_{S1} - \frac{\frac{1}{2}Q_{depl} + Q_{S2}}{C_{OX2}} = 0 \tag{2.9}$$

$$C_{Si} = \frac{\varepsilon_{Si}}{t_{Si}} \tag{2.10}$$

$$Q_{depl} = -qN_A t_{Si} \tag{2.11}$$

onde C_{Si} é a capacitância da camada de silício, Q_{depl} é a carga total de depleção da camada de silício, Q_{OX1} e Q_{OX2} são as densidades de cargas fixas na primeira e segunda interface, C_{OX1} e C_{OX2} é a capacitância do óxido de porta e óxido enterrado, Q_{inv1} é a densidade de cargas invertidas próximo a primeira interface e Q_{S2} é a carga de inversão $Q_{S2} < 0$ ou acumulação $Q_{S2} > 0$ na segunda interface.[5]

A partir das expressões anteriores, chega-se na tensão de limiar para três condições da segunda interface, sendo:[5]

- Para segunda interface em acumulação, nessa condição: $\phi_{S1} = 2\phi_{F1}$, $\phi_{S2} = 0$ e $Q_{inv1} = 0$:

$$V_{T1,acc2} = \phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + \left(1 + \frac{C_{si}}{C_{ox1}}\right) 2\phi_{F1} - \frac{Q_{depl}}{C_{ox1}} \tag{2.12}$$

- Para segunda interface em inversão, $\phi_{S1} = 2\phi_{F1}$, $\phi_{S2} = 2\phi_{F1}$ e $Q_{inv1} = 0$:

$$V_{T1,inv2} = \phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + 2\phi_{F1} - \frac{Q_{depl}}{2C_{ox1}} \tag{2.13}$$

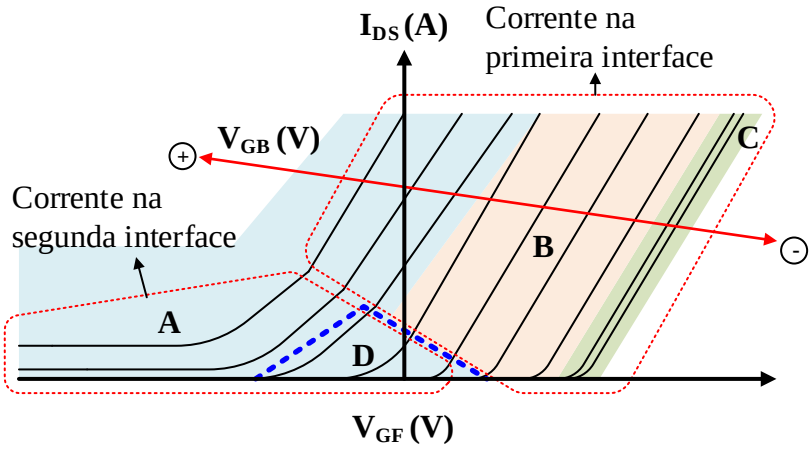
- Para segunda interface em depleção, $0 < \phi_{S2} < 2\phi_{F2}$ e $Q_{S2} = 0$:

$$V_{T1,depl2} = \phi_{MS2} - \frac{Q_{ox2}}{C_{ox2}} + \frac{qN_A x_{d_{max}}}{2C_{ox2}} - \left(\frac{C_{si}}{C_{ox2}}\right) 2\phi_F \tag{2.14}$$

Portanto, a tensão de limiar V_T para dispositivos PD é similar ao MOSFET clássico, e a tensão de limiar em dispositivos FD depende da condição da segunda interface que pode estar em acumulação, inversão ou depleção.[5]

A Figura 12 mostra a curva característica $I_{DS} \times V_{GF}$ em função da polarização V_{GB} para dispositivos FD, observa-se na região (A) a corrente na segunda interface, para primeira interface em acumulação, de modo que a corrente aumenta quanto mais positivo for a tensão no substrato V_{GB}, isso significa que a segunda interface está em inversão. Na região (C), não há mudança na curva com a variação da tensão no substrato V_{GB}, indicando que a segunda interface está em acumulação. Na região (B), a segunda interface está em depleção e a tensão de limiar V_T depende da polarização da tensão no substrato V_{GB}. Na região (D), a primeira e segunda interface estão depletadas, no entanto, a segunda interface esta próxima da inversão, de modo que um acréscimo na tensão V_{GF} leva a inversão da segunda interface.[5]

Figura 12 – Curva característica $I_{DS} \times V_{GF}$ em função da polarização V_{GB}, para segunda interface em inversão (A), depleção (B), acumulação (C) e depleção/inversão dependendo do valor de V_{GF}(D).



Fonte: Autor, adaptado de [5, p. 163].

Neste estudo, o método aplicado para determinar a tensão de limiar baseia-se na posição do pico da derivada da razão g_m/I_{DS} em relação a tensão da porta, como apresentado na expressão (2.15). Este método é mais adequado para transistores com corpo e dielétricos ultrafinos, produzindo uma tensão de limiar significativamente menos afetadas pela mobilidade, dependente da tensão de controle aplicada a porta do dispositivo.[19]

$$V_T = \frac{\partial(g_m/I_{DS})}{\partial V_{GS}} \tag{2.15}$$

2.3.2 Transcondutância (gm)

A transcondutância representa a taxa de variação da corrente entre os terminais dreno e fonte I_{DS} com relação a tensão aplicada entre os terminais porta e fonte V_{GS}, ou seja, representa o quanto a corrente varia em função da tensão aplicada ao terminal de controle. A transcondutância pode ser obtida a partir da curva de transferência $I_{DS} \times V_{GS}$ sendo expressa da seguinte forma:[5]

$$gm = \frac{\partial I_{DS}}{\partial V_{GS}}, \quad (V_{DS} > V_{DS(SAT)}) \tag{2.16}$$

A transcondutância também pode ser determinada em função dos parâmetros físicos do dispositivo, como mostrado a seguir:[5]

$$gm = \frac{\mu_n C_{OX1}}{(1+\alpha)}(V_{GF} - V_T) \tag{2.17}$$

O parâmetro α é calculado de formas diferentes para SOI FD e PD, sendo:[5]

- Para segunda interface do SOI FD em acumulação:

$$\alpha = \frac{C_{Si}}{C_{OX1}} \tag{2.18}$$

- Para segunda interface do SOI FD em depleção:

$$\alpha = \frac{C_{Si}C_{OX2}}{C_{OX1}(C_{Si}+C_{OX2})} \tag{2.19}$$

- Para o transistor MOS clássico e SOI PD:

$$\alpha = \frac{C_{depl}}{C_{OX1}} = \frac{\varepsilon_{Si}}{x_{d(max)}C_{OX}} \tag{2.20}$$

2.3.3 Inclinação de sublimiar (*SS*)

A inclinação de sublimiar expressa qual a variação na tensão de controle V_{GS} necessária para que a corrente entre os terminais dreno e fonte I_{DS} aumente em uma década. Esse parâmetro pode ser expresso a partir de características elétricas da seguinte forma:[5]

$$SS = \frac{\partial V_{GS}}{\partial(log\ I_{DS})} \tag{2.21}$$

A seguir é mostrada a expressão completa para dispositivos SOI FD:[5]

$$SS = \frac{kT}{q} ln(10) \left[1 + \frac{C_{it1}}{C_{OX1}} + \frac{C_{Si}}{C_{OX1}} - \frac{\frac{C_{Si}}{C_{OX2}} \frac{C_{Si}}{C_{OX1}}}{1 + \frac{C_{it2}}{C_{OX2}} + \frac{C_{Si}}{C_{OX2}}} \right] \tag{2.22}$$

onde C_{it1} e C_{it2} são as capacitâncias das armadilhas de interface no óxido de porta e óxido enterrado, e $C_{it} = qN_{it}$ e N_{it} é a densidade de armadilhas de interface. As armadilhas de interface refere-se a um aspecto importante da calibração, portanto, serão abordadas com maior propriedade nas seções seguintes.[5]

Desprezando as capacitâncias das armadilhas de interface, pode-se obter uma expressão para o MOSFET clássico e SOI PD da seguinte forma:[5]

$$SS = \frac{kT}{q} ln(10) \left(1 + \frac{C_D}{C_{OX1}} \right) \tag{2.23}$$

Da mesma forma, desprezando as capacitâncias das armadilhas de interface, pode-se obter uma expressão para dispositivos SOI FD:[5]

$$SS = \frac{kT}{q} ln(10) \left[1 + \frac{1}{C_{OX2}} \left(\frac{C_{Si} C_{OX2}}{C_{Si} + C_{OX2}} \right) \right] \tag{2.24}$$

As expressões anteriores, (2.23) e (2.24), mostram que a inclinação de sublimiar para dispositivos SOI FD é menor, portanto melhor, isso devido a associação equivalente entre as capacitâncias do óxido de porta, silício e óxido enterrado.[5]

2.3.4 Constante de efeito de corpo (γ)

A constante de efeito de corpo mostra a dependência da tensão de limiar com a tensão no substrato V_{GB}, consiste na taxa de variação da tensão de limiar em função da tensão no substrato. No MOSFET SOI PD a tensão de limiar não sofre influência de V_{GB} uma vez que não há acoplamento entre a primeira e segunda interface.

Em dispositivos SOI FD para segunda interface nas condições de acumulação, inversão e depleção são obtidas a partir das expressões (2.12), (2.13) e (2.14) da seguinte forma:[5]

$$\frac{\partial V_{T1,acc2}}{\partial V_{BG}} = 0 \tag{2.25}$$

$$\frac{\partial V_{T1,inv2}}{\partial V_{BG}} = 0 \tag{2.26}$$

$$\frac{\partial V_{T1,depl2}}{\partial V_{BG}} = -\frac{\varepsilon_{Si} C_{OX2}}{C_{OX1}(\varepsilon_{Si} + t_{Si} C_{OX2})} = \gamma \tag{2.27}$$

A constante de efeito de corpo é adimensional e válida apenas se a camada de silício estiver totalmente em depleção. Se a segunda interface estiver em inversão ou acumulação a tensão de limiar não é afetada pela tensão no substrato, como indicado nas expressões anteriores (2.25) e (2.26).

2.3.5 Corrente de fuga pelo dreno induzida pela porta (GIDL)

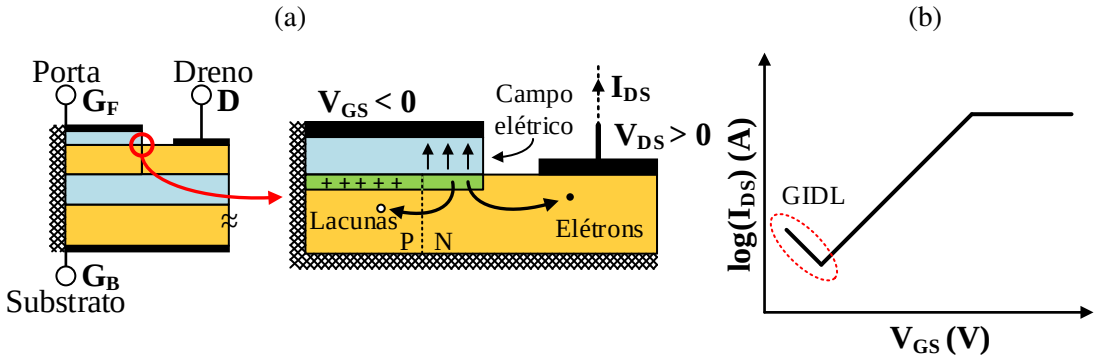
A corrente de fuga pelo dreno induzida pela porta (GIDL: *Gate Induced Drain Leakage*) ocorre quando a tensão entre os terminais porta e fonte é menor ou igual a zero ($V_{GS} \leq 0$) e a tensão entre os terminais dreno e fonte é maior que zero ($V_{GS} > 0$), em outras palavras, quando a tensão porta-dreno é negativa ($V_{GD} < 0$, $V_{GD} = V_{DS} - V_{GS}$). Na condição apontada é gerada uma região de depleção onde o porta se sobrepõe ao dreno, como ilustrado na Figura 13. A sobreposição do porta sobre as regiões fonte e dreno é necessária para garantir que a camada de inversão estabeleça um caminho contínuo de condução entre dreno e fonte. Geralmente é desejável que a sobreposição seja a menor possível para minimizar capacitância parasitária.[20–22]

De forma qualitativa, para o transistor em estudo, ao se aplicar tensão negativa na porta, os portadores majoritários do corpo são atraídos para a interface silício-óxido de porta, formando a região de acumulação, assim como ilustrado na Figura 13a.

O campo elétrico na região de sobreposição retira elétrons da faixa de valência para faixa de condução, ocorrendo assim o fenômeno de tunelamento entre faixas, conhecido como tunelamento faixa a faixa BBT (*Band-to-Band Tunneling*).[20–22]

Como consequência, pares elétrons-lacuna são gerados, os elétrons são coletados pelo dreno, por ter maior potencial, e as lacunas seguem para região de menor potencial fonte. Nesse processo elétron e lacuna contribuem com a corrente entre os terminais dreno e fonte I_{DS}, com a particularidade de que as lacunas ficam confinadas no corpo. A Figura 13b mostra a curva de transferência $I_{DS} \times V_{DS}$, com detalhe para característica da corrente GIDL.[20–22]

Figura 13 – Em (a) observa-se região onde o porta se sobrepõe ao dreno, com detalhe da geração do par elétron-lacuna. Em (b) observa-se a curva de transferência qualitativa $I_{DS} \times V_{DS}$, com detalhe da característica elétrica da corrente GIDL.



Fonte: Autor, adaptado de [21, p. 306-313].

2.4 Parâmetros analógicos

2.4.1 Razão g_m/I_D

A razão g_m/I_D é um parâmetro que indica a eficiência do transistor em converter corrente elétrica em transcondutância, em outras palavra, a razão g_m/I_D traduz a amplificação obtida pelo transistor pela energia necessária a obtenção desta amplificação. Este parâmetro geralmente é expresso em função da corrente de dreno normalizada, de tal forma que não dependa das dimensões dos dispositivos. Este parâmetro é importante para projetos analógicos, principalmente em aplicações de baixa tensão e baixa potência, em que se requer um ponto ótimo entre a inversão fraca até a forte.[4,23]

Em transistores MOSFETs e SOI, a razão g_m/I_{DS} tem seu valor máximo quando o dispositivo está operando na inversão fraca e pode ser obtido com a seguinte expressão:[4,23]

$$\frac{g_m}{I_{DS}} = \frac{q}{nkT} = \frac{ln(10)}{S} \tag{2.28}$$

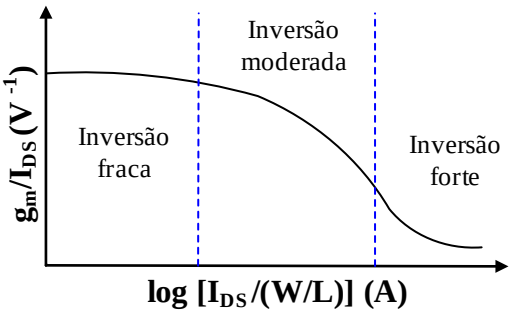
onde, n é o fator de corpo quando o dispositivo estiver operando na inversão fraca.

Para o dispositivo operando em região de inversão forte a razão g_m/I_D diminui com o aumento da corrente do dreno, e na inversão forte, chega ao seu menor valor, que pode ser expresso da seguinte forma:[4,23]

$$\frac{g_m}{I_{DS}} = \sqrt{\frac{2\mu_n C_{OX1}\frac{W}{L}}{nI_{DS}}} \tag{2.29}$$

De acordo com as expressões (2.28) e (2.29) a razão g_m/I_D é dependente da tecnologia a partir das dimensões do transistor (W e L), da polarização e do fator de corpo. Este parâmetro é geralmente apresentado em função da corrente normalizada ($I_D/(W/L)$), como apresentado na Figura 14. Em dispositivos SOI a razão g_m/I_D é maior do que no transistor MOSFET convencional, isso devido a menor inclinação da tensão de sublimiar e menor fator de corpo apresentado pelos dispositivos SOI.[4,23]

Figura 14 – Curva característica da relação g_m/I_D em função da corrente normalizada.

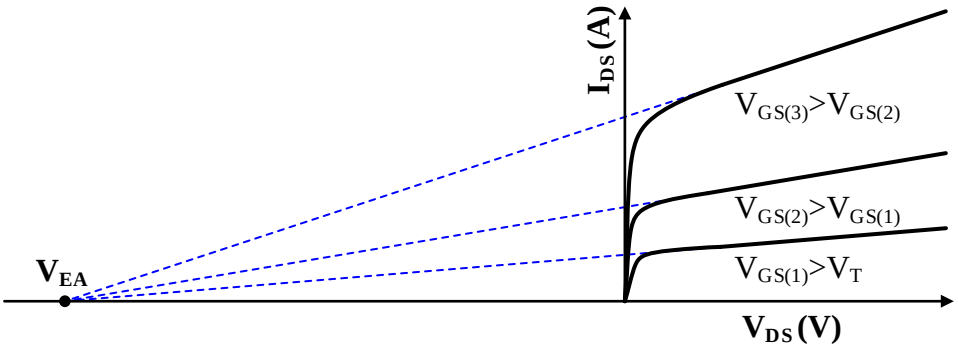


Fonte: Autor, adaptado de [4, 23].

2.4.2 Tensão Early (V_{EA})

A extrapolação de uma reta tangente na região de saturação da curva $I_{DS} \times V_{DS}$ até a intersecção com eixo V_{DS} para $I_{DS} = 0$, é denominada tensão Early $V_{DS} = -V_{EA}$. A definição anterior para tensão Early esta representada na Figura 15.[24]

Figura 15 – Extrapolação de uma reta tangente, na região de saturação da curva da corrente de dreno I_{DS} em função da tensão entre de dreno e fonte (V_{DS}) para se obter tensão Early (V_{EA}).



Fonte: Autor, adaptado de [24].

A tensão Early representa o efeito da modulação do comprimento do canal devido a tensão aplicada entre os terminais dreno e fonte. Para tensão no dreno maior que a tensão de saturação, a região de estrangulamento do canal próxima ao dreno aumenta, dessa forma, o comprimento efetivo do canal diminui, provocando um aumento na corrente de dreno na saturação.

A tensão Early pode ser determinado através da seguinte expressão:[24]

$$V_{EA} \cong \frac{I_{DSAT}}{g_{DSAT}} \tag{2.30}$$

onde, I_{DSAT} é a corrente de dreno quando o transistor opera na região de saturação e g_{DSAT} é a condutância de saída também na saturação.

2.4.3 Condutância de saída (G_D)

A condutância de saída G_D relaciona a influência do campo elétrico aplicado entre a fonte e o dreno sobre o canal. A condutância de saída é determinada em função da tensão do dreno como mostrado na expressão (2.31). Assim, quanto menor a condutância de saída, menor será a variação na corrente de dreno com o aumento da tensão do dreno, indicando maior estabilidade da corrente de dreno para variações na tensão de dreno, e consequentemente maior será o ganho intrínseco de tensão do transistor, como mostrado a seguir.[4,23]

$$g_D = \frac{\partial I_{DS}}{\partial V_{DS}},\ V_{GS} - Constante \tag{2.31}$$

2.4.4 Ganho intrínseco de tensão (A_V)

O ganho intrínseco de tensão está associado com eficiência de um transistor em controlar a corrente de dreno. O ganho máximo de tensão intrínseca nos transistores é obtido através da expressão (2.32). A partir da expressão anterior pode-se verificar que o ganho de tensão será maior quanto maior for a razão g_m/I_D, a tensão Early e a transcondutância, e também quanto menor for a condutância de saída.[4,23]

$$A_V = \frac{g_m}{g_D} \cong \frac{g_m}{I_D} V_{EA} \tag{2.32}$$

2.5 Efeito de canal curto

No transistor MOSFET clássico, com a redução do comprimento do canal L ocorre a aproximação entre as regiões altamente dopadas dos terminais fonte e dreno, permitindo o compartilhamento de cargas do corpo com as regiões de depleção das junções, dessa forma ocorre a perda da influência das cargas no corpo pela tensão aplicada ao terminal de controle V_{GF} e passam a sofrer interação das cargas nas regiões de depleção dos terminais dreno e fonte, respectivamente Q_D e Q_S, como ilustrado na Figura 16.

O efeito descrito é chamado de efeito de canal curto (SCE: *Short Channel Effect*). As cargas de depleção Q_dl controladas pela porta V_{BF} podem ser expressas como uma fração das cargas totais Q_{depl}, da seguinte forma:[5]

$$Q_{dl} = Q_{depl}\left[1 - \frac{r_j}{L}\left(\sqrt{\frac{1+2x_{d(max)}}{r_j}} - 1\right)\right] \tag{2.33}$$

onde r_j é profundidade da junção e $Q_{depl} = qN_A x_{d(max)}$.

Nas Figuras 16a e 16b são ilustradas as regiões de depleção em um transistor MOSFET clássico de canal longo e curto, na qual observa-se na Figura 16a a aproximação das regiões de depleção Q_D e D_S que compartilhamento de cargas do corpo.

No MOSFET SOI FD, o óxido enterrado diminui a profundidade da região de depleção, e consequentemente há um aumento na fração das cargas controladas pela tensão aplicada a porta frontal GF. Neste caso, as cargas de depleção podem ser expressas como a seguir:[5]

$$Q_{dl} = Q_{depl}\left(1 - \frac{d}{L}\right) \tag{2.34}$$

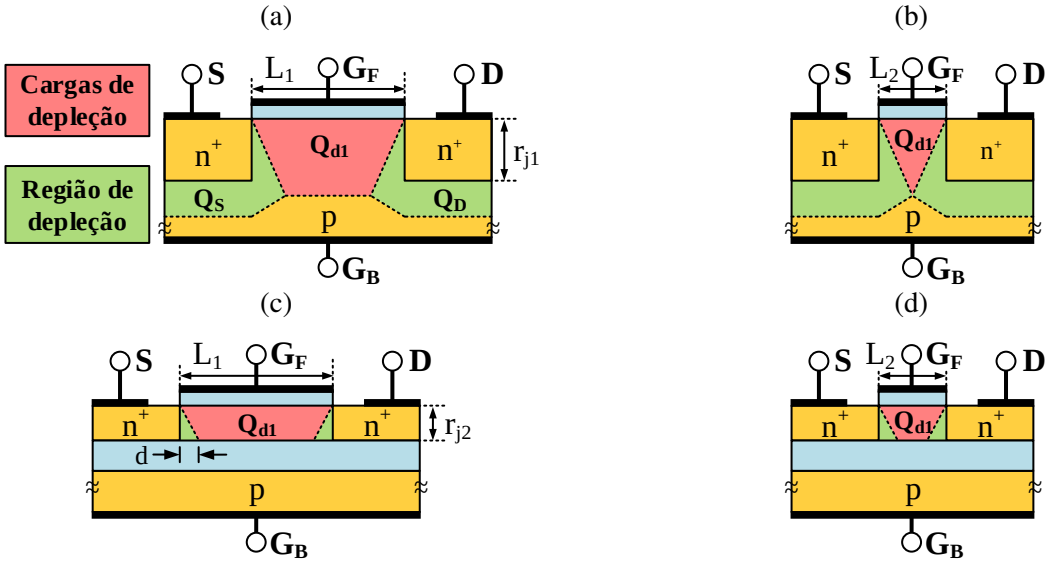
onde d é a distância definida na Figura 16c.

Nas Figuras 16c e 16d são ilustradas as regiões de depleção em um transistor MOSFET SOI FD de canal longo e curto, observa-se na Figura 16d que as regiões de depleção Q_D e D_S não sofrem interação.

2.5.1 Redução da Barreira Induzida pelo Dreno (DIBL)

Um importante efeito de canal curto é a redução da barreira de potencial induzida pelo dreno, (DIBL: *Drain Induced Barrier Lowering*). Com a redução do comprimento do canal, a parcela de cargas controladas pelas regiões de fonte e dreno tornam-se significativas em relação à parcela de cargas controladas pela porta, isso ocorre devido ao compartilhamento de cargas entre o corpo e as regiões Q_D e Q_S, formando uma junção pn entre o corpo e a região n^+ polarizada positivamente.

Figura 16 – Representação qualitativa do efeito de canal curto, em (a) e (b) MOSFET clássico canal longo e curto,em (c) e (d) SOI FD canal curto e longo. Nas Figuras L_1 e L_2 são os comprimentos do canal para dispositivos de canal longo e curto, onde $L_1 > L_2$. Da mesma forma, r_{j1} e r_{j2} são as profundidades das junções, onde $r_{j1} > r_{j2}$.



Fonte: Autor, adaptado de [5].

Assumindo $V_{DS} > 0$, parte das cargas estão sendo controladas pelo dreno, logo uma menor tensão de porta é suficiente para inverter o canal, como consequência, observa-se a redução da tensão de limiar V_T com o aumento de V_{DS}.

A tensão aplicada nos terminais dreno e fonte, promovem o aumento na largura das regiões de depleção, se o canal for longo não haverá interação entre as regiões Q_D e Q_S , no entanto, se a tensão entre os terminais for suficientemente grande, em determinadas condições, pode ocasionar o efeito DIBL.

Nos dispositivos SOI FD, o DIBL acontece quando o comprimento do canal é curto, e portanto as regiões Q_D e Q_S estão suficientemente próximas para que o aumento da tensão entre os terminais dreno e fonte promova interação entre as regiões de depleção. Nesse dispositivo, a presença do óxido enterrado diminui a região das cargas controladas pela tensão de dreno e fonte, com relação ao MOSFET clássico, como ilustrado na Figura 16.

O efeito de DIBL é uma métrica da variação na tensão de limiar quando um potencial relativamente elevado é aplicado no dreno, e pode ser determinado com expressão 2.35.[23]

$$DIBL(mV/V) = \frac{V_{T1}(V_{D1}) - V_{T2}(V_{D2})}{V_{D2} - V_{D1}}) \tag{2.35}$$

onde, V_{D1} é a tensão de dreno na região de triodo e V_{D2} é a tensão de dreno na saturação; $V_{T1}(V_{D1})$ é a tensão de limiar extraída na região de triodo e $V_{T2}(V_{D2})$ é a tensão de limiar extraída na saturação.

2.6 Armadilhas de interface (N_{it})

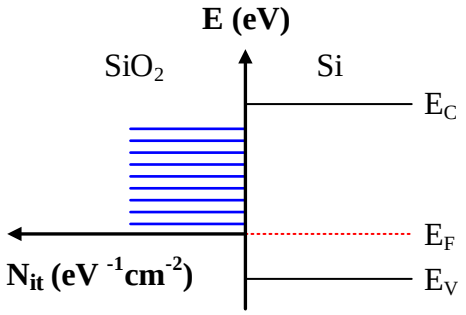
As armadilhas de interface correspondem a ligações incompletas na interface semicondutor/óxido ($Si - SiO_2$), que podem ser causadas por defeitos estruturais induzidos por oxidação, impurezas metálicas, defeitos causados por radiação ou processos de quebra de ligação. Essas armadilhas estão associadas eletricamente com o silício subjacente, e portanto, podem ser carregadas e descarregadas, dependendo do potencial de superfície.[25]

Eletricamente, as armadilhas de interface são estados de energia localizados nas proximidades da superfície $Si - SiO_2$. Se os estados forem de natureza aceitadora, são neutros quando vazios e carregados negativamente quando preenchidos com um elétron, da mesma forma, uma armadilha de interface é considerada doadora se for neutra e pode se tornar carregada positivamente doando um elétron. Armadilhas de interface com níveis de energia $E_{TRAP} > E_i$ são tratadas como aceitadoras e as armadilhas de interface com $E_{TRAP} < E_i$ são tratadas como doadoras, isso se verifica experimentalmente com base na natureza dos compostos. Dessa forma, a carga líquida por unidade de área associada as armadilhas da interface será negativa ou positiva se aceitadora ou doadora, respectivamente.[25,26]

A influência da carga retida na interface, sobre as características elétricas do transistor depende das condições de polarização. Os efeitos nas características elétricas do transistor podem se manifestar na forma de deslocamento da tensão de limiar, degradação da transcondutância e redução da corrente de sub-limiar.[25]

A Figura 17 apresenta um diagrama qualitativo da densidade de estados de interface e o esquema de faixas de energia para semicondutor tipo-p, objeto deste estudo. A magnitude da densidade de armadilhas de interface pode variar entre valores de aproximadamente $10^{10} eV^{-1} cm^{-2}$ a $10^{12} eV^{-1} cm^{-2}$ dependendo do processo de fabricação. Em processos *Smart Cut* para lâminas SOI a densidade de armadilhas na interface Si/BOX é inferior a $3 \times 10^{11} eV^{-1} cm^{-2}$.[15,27,28]

Figura 17 – Diagrama qualitativo da densidade de estado de interface N_{it} e o esquema de faixas de energia próximo a interface $Si - SiO_2$ para semicondutor tipo-p.



Fonte: Autor, adaptado de [25, 26].

2.7 Estrutura UTBB

O transistor UTBB SOI FD consiste em um dispositivo SOI com a camada de silício (t_{Si}) e óxido enterrado (t_{BOX}) ultra finos. Dispositivos SOI são chamados de ultra finos quando o corpo de silício é menor ou igual 20 nm, ou seja, quando $t_{Si} \leq 20$ nm, da mesma forma, o óxido enterrado de um dispositivo SOI é considerado ultra fino quando apresenta dimensões entre 50 nm e 10 nm, ou seja $50 < t_{BOX} > 10$ nm.[5,29]

A redução nas dimensões do corpo de silício e do óxido enterrado nos dispositivos SOI traz o benefício de um maior acoplamento da tensão de substrato V_{GB} e tensão de porta V_{GF} ao corpo, permitindo maior controle das cargas através V_{GF} e a possibilidade de utilização da tensão aplicada ao substrato V_{GB} para promover um ganho extra de desempenho, a tensão no substrato também pode ser aplicada para controle da tensão de limiar. O óxido enterrado ultrafino permite melhor transferência térmica entre corpo e substrato, o que se traduz em melhor eficiência na potência dissipada.[30–32]

Outra característica importante é a possibilidade de operar com tensão menores. Além disso, devido a redução de efeitos de canal curto (DIBL) e a baixa concentração de dopantes na região do canal esse dispositivo se torna promissor para aplicações de alta densidade e baixas tensões de operação.[30–32]

2.8 Estrutura SELBOX

A estrutura SELBOX consiste em introduzir uma camada de óxido de silício em regiões abaixo dos terminais fonte e dreno formando um espaçamento sob o corpo, como apresentado na Figura 18a. Essa estrutura é útil para contornar efeitos como auto-aquecimento e GIDL, também são reportados uso para redução de corrente ambipolar em dispositivos TFET (*Tunnel Field Effect Transistor*).[10–12, 33, 34]

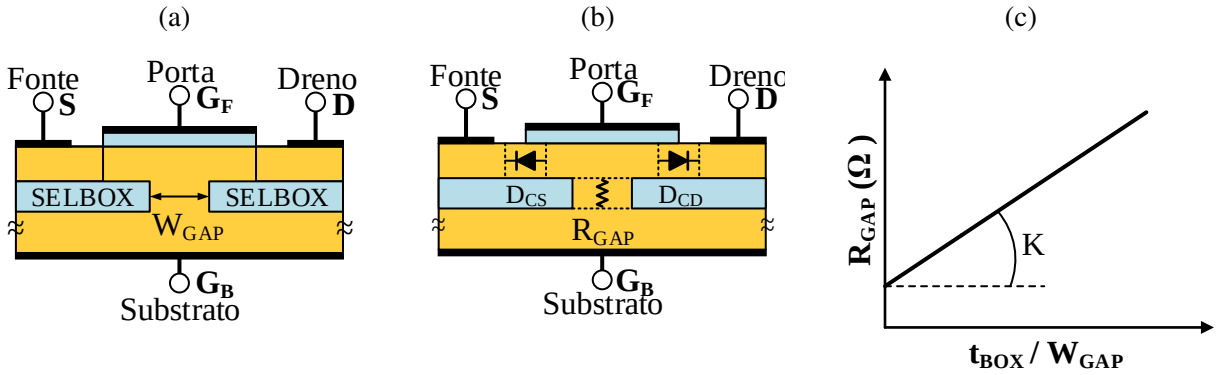
O fluxo do processo de fabricação para a estrutura SELBOX proposta é relatado em [35,36]. O espaçamento W_{GAP} pode ser criado por fotolitografia para definir a posição e espessura na camada de óxido enterrado. O espaço resultante pode ser preenchido epitaxialmente com silício após a gravação da região de óxido indesejada.[35]

Na Figura 18b é mostrada duas importantes características da estrutura SELBOX, a resistência equivalente da região do espaçamento (R_{GAP}) e os diodos formados entre os terminais dreno-corpo e fonte-corpo, sendo respectivamente D_{CD} e D_{CS}, o que limita a tensão aplicada ao substrato a 0,7 V. A resistência do espaçamento é obtida conforme a seguinte expressão:[37]

$$R_{GAP} = K\frac{t_{BOX}}{W_{GAP}} \tag{2.36}$$

onde K é um coeficiente que depende das dimensões do dispositivo e concentração de dopante com unidade $\Omega \cdot cm$, e representa a inclinação da razão t_{BOX}/W_{GAP} na relação $R_{GAP} \times (t_{BOX}/W_{GAP})$. A Figura 18c apresenta um gráfico qualitativo da resistência do espaçamento, com destaque para coeficiente K.

Figura 18 – Em (a) Estrutura SELBOX, em (b) Detalhe, resistência equivalente da região de espaçamento(R_{GAP}) e diodos D_{CD} e D_{CS} e em (c) Gráfico qualitativo de R_{GAP} com destaque para o coeficiente K.



Fonte: Autor, adaptado de [37]

2.9 Técnica DTMOS

A técnica DTMOS consiste em conectar o terminal de porta ao corpo do dispositivo, fazendo com que o potencial do corpo seja igual ao potencial de porta, assim, quando o dispositivo está na região de corte o potencial do corpo é baixo, o que maximiza a tensão de limiar V_T e minimiza a corrente entre dreno e fonte I_{DS}, a medida que a tensão de porta se torna positiva, o potencial de corpo se eleva, o que diminui a tensão de limiar e consequentemente aumenta a corrente entre o dreno e a fonte. A tensão de limiar no transistor SOI em configuração DTMOS é expressa da seguinte forma:[3–8,38]

$$V_{TH} = V_{TH0} - \sqrt{\frac{2q\varepsilon_{Si}N_A}{C_{OX}}}\left(\sqrt{2\phi_F} - \sqrt{2\phi_F - V_G}\right) \tag{2.37}$$

A técnica de tensão de limiar dinâmica em dispositivos SOI, além de melhorar as características elétricas, também permite reduzir os efeitos de corpo flutuante causados pela ausência de contato de corpo. A ausência de contato de corpo faz com que o potencial do corpo seja determinado pelas correntes internas e acoplamentos capacitivos entre o corpo e a fonte, dreno e interface, podendo causar anomalias na inclinação de sublimiar, redução da tensão de ruptura entre outros.[3,4,6–8,38]

O contato entre a porta e o corpo de silício no transistor com DTMOS deve ser feito de tal forma que o mesmo não interfira na região de depleção quando for aplicada a tensão de controle. Neste estudo o contato entre a porta e corpo é feito com a estrutura SELBOX através do espaçamento W_{GAP}, como apresentado na Figura 18a, dessa forma, essa abordagem permite aplicar a técnica DTMOS e ainda preservar a região depleção de interferências oriundas da conexão entre a porta e o corpo de silício. Os dispositivos com DTMOS apresentam melhores características elétricas quando comparados aos dispositivos convencionais, no entanto, possuem limite de tensão de controle em aproximadamente 0,7 V devido ao diodo formado entre corpo e fonte.[23, 38]

3 MODELAGEM COMPUTACIONAL

Neste capítulo serão apresentados os simuladores Atlas e MixedMode, assim como os modelos físicos usados para definir o comportamento elétrico do dispositio e a metodologia aplicada para calibrar o dispositivo, utilizando dados experimentais. Em outras palavras, serão apresentados os simuladores utilizados, os modelos de comportamento físico aplicados, a modelagem do dispositivo UTBB, a calibração do modelo utilizando dados experimentais, e o dispositivo UTBB com SELBOX.

3.1 Descrição dos simuladores

3.1.1 TCAD - Atlas

O projeto tecnológico assistido por computador (TCAD: *Technology Computer-Aided Design*) Atlas da Silvaco é um ramo da automação de projetos eletrônico que faz uso de simulações computacionais para desenvolver e/ou otimizar tecnologias de processos de fabricação de dispositivos semicondutores. A ferramenta resolve equações diferenciais parciais baseadas em modelos de fenômenos físicos para modelar as propriedades estruturais e o comportamento elétrico dos dispositivos semicondutores, a partir de parâmetros de perfil de dopagem e tipos de materiais em condições especificas pré-definidas como polarização, radiação, etc. [39–41]

A modelagem baseada em fenômenos físicos envolve equações matemáticas fundamentais que descrevem a eletrostática e eletrodinâmica dos materiais. Essa abordagem, fornece precisão preditiva da simulação para uma ampla gama de tecnologias e geometrias, reduzindo os dispendiosos e demorados testes experimentais que envolvem o desenvolvimento e caracterização de dispositivos ou tecnologias de processos.[39,41,42]

O desenvolvimento de um modelo no TCAD começa com a concepção da estrutura do dispositivo em uma grade $2D/3D$ que é dividida em nós (pontos). As características elétricas do dispositivo são então previstas por simulação do transporte de portadores através da rede de nós aplicando equações diferenciais derivadas das leis de Maxwell, fornecendo solução consistente para aplicar o dispositivo a condições de estado-estacionário ou transiente.[39,40,42]

3.1.2 MixedMode

O TCAD Atlas inclui um módulo simulador de circuitos SPICE (*Simulation Program with Integrated Circuit Emphasis*), chamado MixedMode. O SPICE é um simulador computacional de circuitos para uso geral, seu princípio de funcionamento é baseado em converter o circuito em nós para aplicar as Leis de Kirchhoff e gerar equações nodais. As soluções das equações nodais são obtidas com técnicas matriciais. O simulador SPICE possui modelos analíticos de dispositivos passivos e ativos definidos pelo usuário, esses modelos são definidos por equações matemáticas que relacionam o comportamento entre corrente e tensão em seus terminais.[41,43]

O MixedMode é portanto um simulador de circuitos SPICE que inclui dispositivos baseados em fenômenos físicos e modelos analíticos compactos.[39,40]

3.2 Modelos utilizados

As simulações no TCAD podem ser relativamente lentas devido a complexidade das equações matemáticas usadas para descrever os mecanismos de transporte de portadores. O modelo deve ser cuidadosamente estudado, aplicando informações que sejam relevantes para a análise a ser realizada, de tal forma que a acurácia dos resultados sejam comparáveis aos resultados experimentais. Nesse contexto, são apresentados os modelos físicos usados para simular o dispositivo em estudo, de forma que descrevem a mobilidade, recombinação, estatística dos portadores de carga, ionização e tunelamento. Neste estudo foram utilizados o Atlas e o MixedMode. Todos os modelos e suas respectivas implementações estão detalhadamente explicadas e referenciadas no manual do usuário.[39,41]

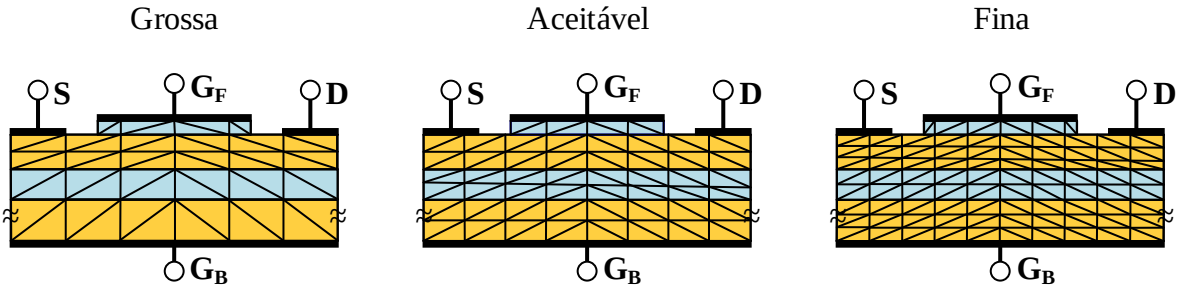
A grade é outra característica fundamental, consiste em uma representação discreta de um domínio fisicamente contínuo. Em outras palavras, a grade é uma representação da estrutura física do dispositivo através de um número finito de pontos, assim, os resultados podem ser tão sensíveis a grade, que ela deve ser planejada antes de qualquer outro coeficiente. A escolha adequada da grade deve considerar o poder computacional disponível. Grades densas demandam mais tempo de processamento e poder computacional, grades menos densas podem apresentar problemas de convergência. O Apêndice B mostra a rotina implementada no Atlas para gerar a grade.[39,44]

Especificar a grade é uma questão relevante nas simulações no TCAD, e requer uma compensação entre os requisitos de precisão e o poder computacional disponível, de tal forma que os requisitos de precisão e tempo de simulação sejam aceitáveis.[39]

Na Figura 19 são apresentadas exemplos de malhas para três situações diferentes, onde a malha definida como aceitável, representa a condição onde os requisitos de precisão e tempo de simulação são considerados aceitáveis. Assim, para o mesmo dispositivo com uma grade grossa, apresentara um menor número de nós, e portanto menor tempo de simulação com redução na precisão, da mesma forma, uma grade fina apresenta um maior número de nós, o que requer maior tempo de simulação, no entanto há ganhos de precisão.[39]

Para otimizar a grade e consequentemente os requisitos de precisão e tempo de simulação, é usual aumentar a densidade em regiões criticas, que geralmente tendem a coincidir com junções metalúrgicas de polarização reversa. As regiões criticas dependem da tecnologia e dos fenômenos de transporte.[39]

Figura 19 – Exemplos de grades.



Fonte: Autor

A seguir são apresentados os modelos utilizados neste trabalho acompanhados de uma breve descrição.

AUGER (Auger) - Modelo de recombinação direta. A recombinação Auger é um processo não-radioativo de recombinação no qual a energia do par elétron-lacuna é transformada na energia cinética de uma partícula livre.[45]

KLA (Klaassen) - Modelo de mobilidade, descreve a degradação devido ao espalhamento na rede, espalhamento de impurezas, espalhamento portador-portador e efeitos de agrupamento de impurezas em alta concentração.

BBT.KL (Band-to-Band-Tunneling.Klaassen) - Modelo de tunelamento banda-para-banda, de acordo com Klaassen.

BGN (Band-Gap-Narrowing) - Este modelo é necessário para modelar corretamente o ganho de corrente do transistor bipolar parasitário no SOI MOSFET.

SRH (Shockley-Read-Hall) – Modelo de geração-recombinação usando tempo de vida fixo para portadores minoritários, envolve a troca de portadores entre banda de condução e de valência.

CONSRH (Concentration-Dependent-Lifetime-SRH) - Modelo de recombinação para tempo de vida dos portadores dependente da concentração.

CVT (Concentration-Voltage-Temperature) - Modelo de degradação da mobilidade nas interfaces. Neste modelo o efeito do campo elétrico transversal aumenta a interação dos portadores de carga na interface semicondutor-isolante, isso é especialmente importante devido a rugosidade da interface, promovendo a degradação por mecanismos de espalhamento por fônons acústicos[1].

TRAP.TUNNEL, **TRAP.COULOMBIC** - Habilita o efeito Poole-Frenkel. O efeito Poole-Frenkel descreve a energia necessária para separar um elétron de uma carga positiva fixa, influenciando na taxa de tunelamento de trap-para-banda auxiliado por fônon acustico devido a emissão de elétrons presos.[47]

SELB (Selberherr) - Modelo de ionização por impacto descrito por Selberherr.

[1] Um fônon pode ser considerado uma partícula resultante da quantização de uma onda sonora oriunda das vibrações de uma rede cristalina. Os fônons são os quanta da radiação acustica. Assim como os fótons são emitidos e absorvidos quando elétrons se mudam para estados menos e mais excitados, respectivamente, fônons são emitidos e absorvidos pelos átomos vibrando em torno de pontos da rede cristalina de um sólido. A interação de um elétron com a rede ocorre através da troca de fónons [46, p. 83].

3.3 Modelagem do UTBB

3.3.1 Metodologia

Com o Atlas foi desenvolvido o modelo do dispositivo, baseando-se nos fenômenos físicos que determinam o seu comportamento elétrico a partir do perfil de dopagem, materiais e geometria. O modelo desenvolvido foi ajustado para apresentar comportamento elétrico similar a um dispositivo real cujas características foram mensuradas em um centro de pesquisa localizado em leuven na Bélgica, o IMEC (*Interuniversity Microelectronics Center*). Com o modelo do dispositivo UTBB devidamente calibrado, foi inserido o espaçamento no óxido enterrado para obter o UTBB com SELBOX, após foram executadas simulações no modulo MixedMode que proporciona integração entre modelo baseado em fenômenos físicos e modelos analíticos em ambiente SPICE.

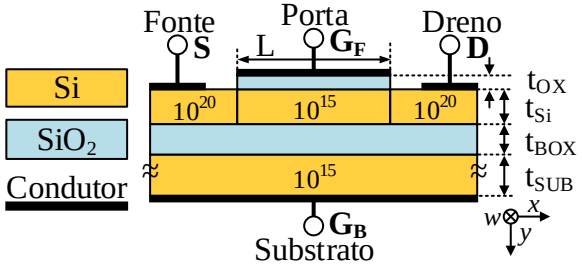
3.3.2 Estrutura

A Figura 20 apresenta o perfil bidimensional do transistor em estudo indicando os materiais que formam a estrutura, sendo o silício (Si) e óxido de silício (SiO_2), respectivamente semicondutor e isolante. Nas regiões de material semicondutor são ilustradas as dopagens, sendo 10^{15}átomos/cm^3 de elemento tipo-p para o corpo de silício e o substrato, e 10^{20}átomos/cm^3 de elemento tipo-n para as regiões dreno e fonte.

Na Figura 21 são apresentadas as curvas de transferência da corrente de dreno em função da tensão de porta ($I_{DS} \times V_{GS}$) e a corrente de dreno em função da tensão no dreno ($I_{DS} \times V_{DS}$) obtidas experimentalmente no IMEC. Nestas figuras as curvas experimentais estão sobrepostas para apresentar a tendência geral dos dispositivos medidos, também nas figuras são apresentadas a média e o desvio padrão 3σ.

O desvio padrão σ é uma medida de dispersão à volta da média dos dados experimentais. Assim, os dados tendem a estar mais próximos da média, quanto menor for o desvio padrão, e mais dispersos, quanto maior for o desvio padrão. Assumindo que os valores experimentais formam uma distribuição Gaussiana, um desvio padrão 3σ significa que 99,6% dos dados estão no intervalo -3σ e $+3\sigma$ à volta da média.[48,49]

Figura 20 – Perfil bidimensional do SOI UTBB MOSFET



Fonte: Autor

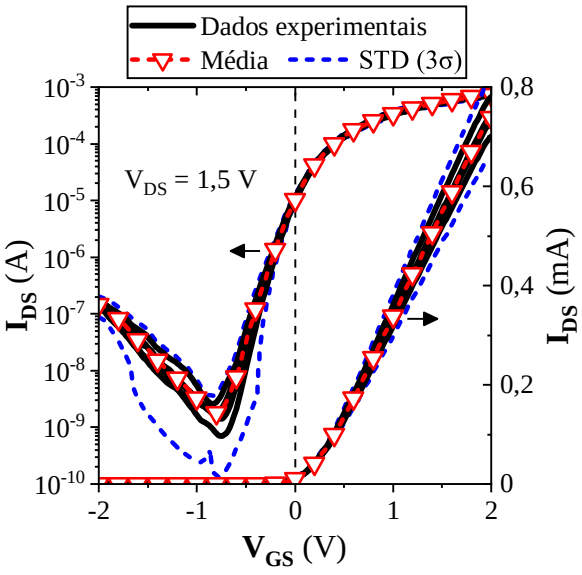
Dimensões do dispositivo.

Nome	Valor (nm)
L	170
W	1000
t_{OX}	5
t_{Si}	20
t_{BOX}	10
t_{SUB}	500

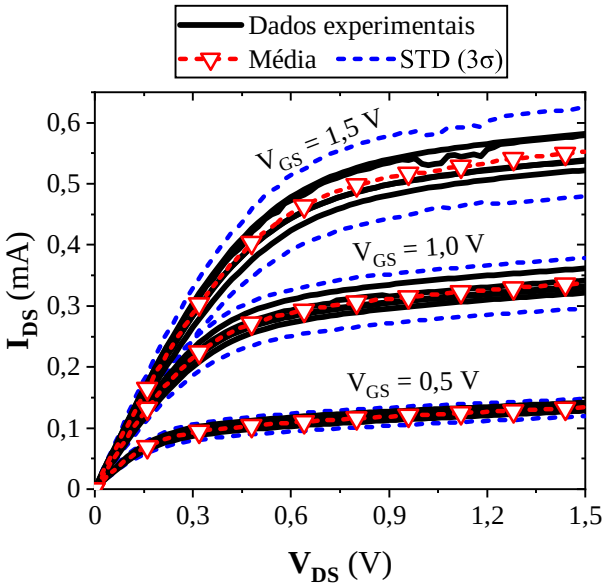
Fonte: IMEC

Figura 21 – Curvas de transferência experimentais, em (a) corrente de dreno em função da tensão de porta ($I_{DS} \times V_{GS}$) e em (b) corrente de dreno em função da tensão no dreno ($I_{DS} \times V_{DS}$). Observa-se, as curvas experimentais sobrepostas, a média e o desvio padrão (3σ).

(a) Curva de transferência $I_{DS} \times V_{GS}$.



(b) Curva de transferência $I_{DS} \times V_{DS}$.



Fonte: Autor

3.3.3 Calibração do UTBB (Simulado × Experimental)

O TCAD contém modelos avançados para a maioria dos fenômenos físicos a serem simulados. Deste modo é necessário utilizar parâmetros adequados para representar com fidelidade os fenômenos envolvidos.

No Atlas existe uma série de parâmetros pré-definidos e empiricamente determinados. Os parâmetros obtidos experimentalmente são limitados, sendo tratados como coeficientes a serem ajustados nos modelos para que os resultados da simulação sejam plausíveis.

No processo de calibração duas características apresentaram significativa influência no ajuste do dispositivo, a densidade de armadilhas de interface N_{it} e a corrente GIDL. Assim, para aproximar os resultados simulados aos dados experimentais, foram introduzidas armadilhas nas interface ($Si - SiO_2$) com densidade de $1,1 \times 10^{11} eV^{-1} cm^{-2}$ distribuídas em níveis de energia discretos conforme mostrado no Apêndice A e representados na Figura 17. Na literatura é reportado distribuição em forma de U, no entanto para fins práticos é aplicada uma distribuição plana/constante com níveis discretos de energia.[15,27,28]

A corrente GIDL foi ajustada com o mecanismo de tunelamento BBT, implementado no Atlas, os parâmetros de ajuste para calibrar essa região da curva de transferência são BB.B, BB.A e BB.GAMMA. Dessa forma, foram experimentados valores para alcançar a mesma tendencia da média experimental dentro do desvio padrão. Os valores usados estão apresentados no Apêndice A.[39]

O ajuste da curva simulada aos dados experimentais, demanda seguidas simulações a medida que os parâmetros são modificados. A discordância entre o valor simulado e o experimental não significa necessariamente que a calibração esteja incorreta, existem erros e incertezas associados aos testes elétricos, por exemplo, requisitos de metrologia e processos de fabricação que não são transportados para o TCAD. Existe uma ampla gama de coeficientes que podem ser ajustados, no entanto, nenhum método padrão para calibração. Assim, o modelo implementado foi considerado suficiente quando apresentou a mesma tendência da curva experimental e se manteve dentro do desvio padrão de 3σ.

A curva usada como referência na calibração, consiste na média das curvas de cinco transistores medidos experimentalmente. O desvio padrão foi adotado como referência para determinar os limites da calibração, sendo considerado aceitável neste trabalho quando se mantiver entre $\pm 3\sigma$. Assumindo uma distribuição normal para os dados experimentais, o desvio padrão adotado contempla mais de 99% dos dados, tornando o modelo mais predito dentro da margem usada como referência de calibração.[50]

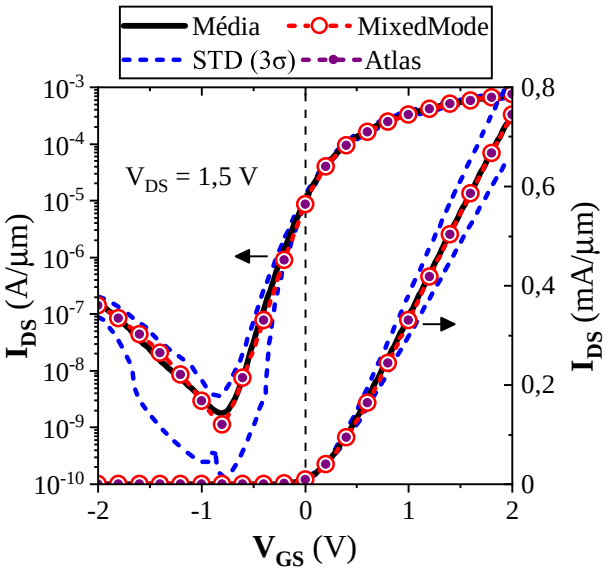
As Figuras 22 e 23 apresentam as curvas do modelo calibrado obtidas nos simuladores Atlas e MixedMode. Na Figura 22 são apresentadas as duas principais curvas de transferência, obtidas a partir da corrente de dreno e tensões de porta e dreno.

A Figura 23 apresenta as curvas calculadas a partir dos dados da Figura 22, sendo em (a) a transcondutância, obtida através da expressão (2.16), em (b) a derivada da transcondutância, em (c) a derivada da razão g_m/I_{DS} em relação a tensão da porta, obtida através da expressão (2.15), onde a posição do pico representa a tensão de limiar, e em (d) a condutância de saída, obtida através da expressão (2.31). Nas figuras apresentadas, observa-se que as curvas simuladas possuem a mesma tendência da média experimental e estão dentro do desvio padrão de 3σ utilizado como referência para definir o dispositivo como calibrado.

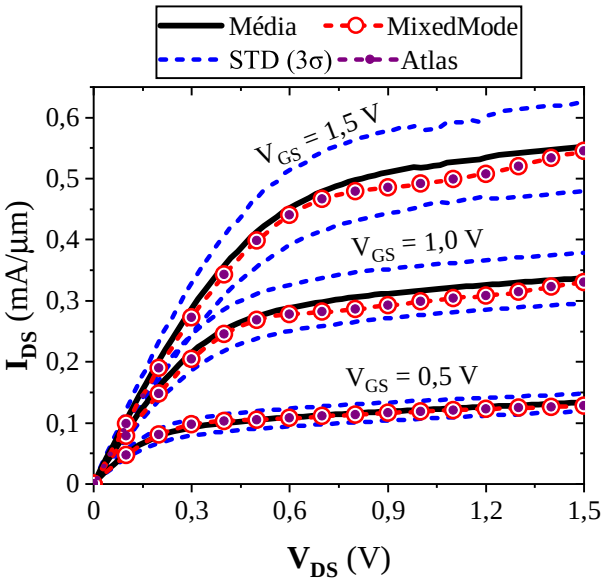
A partir das figuras apresentadas, pode-se concluir que o modelo simulado representa de forma satisfatória o comportamento elétrico do dispositivo experimental, mantendo-se no intervalo de 3σ de desvio padrão. Os Apêndices A, B e C mostram as rotinas implementadas no Atlas contendo a malha, os modelos e os coeficientes de calibração usados para obter os resultados apresentados na Figuras 22 e 23.

Figura 22 – Curvas de transferência simuladas, em (a) corrente de dreno em função da tensão de porta ($I_{DS} \times V_{GS}$) e em (b) corrente de dreno em função da tensão no dreno ($I_{DS} \times V_{DS}$). Observa-se as curvas simuladas no Atlas e MixedMode, também é apresentada a média experimental com seu desvio padrão (3σ).

(a) Curva de transferência $I_{DS} \times V_{GS}$.

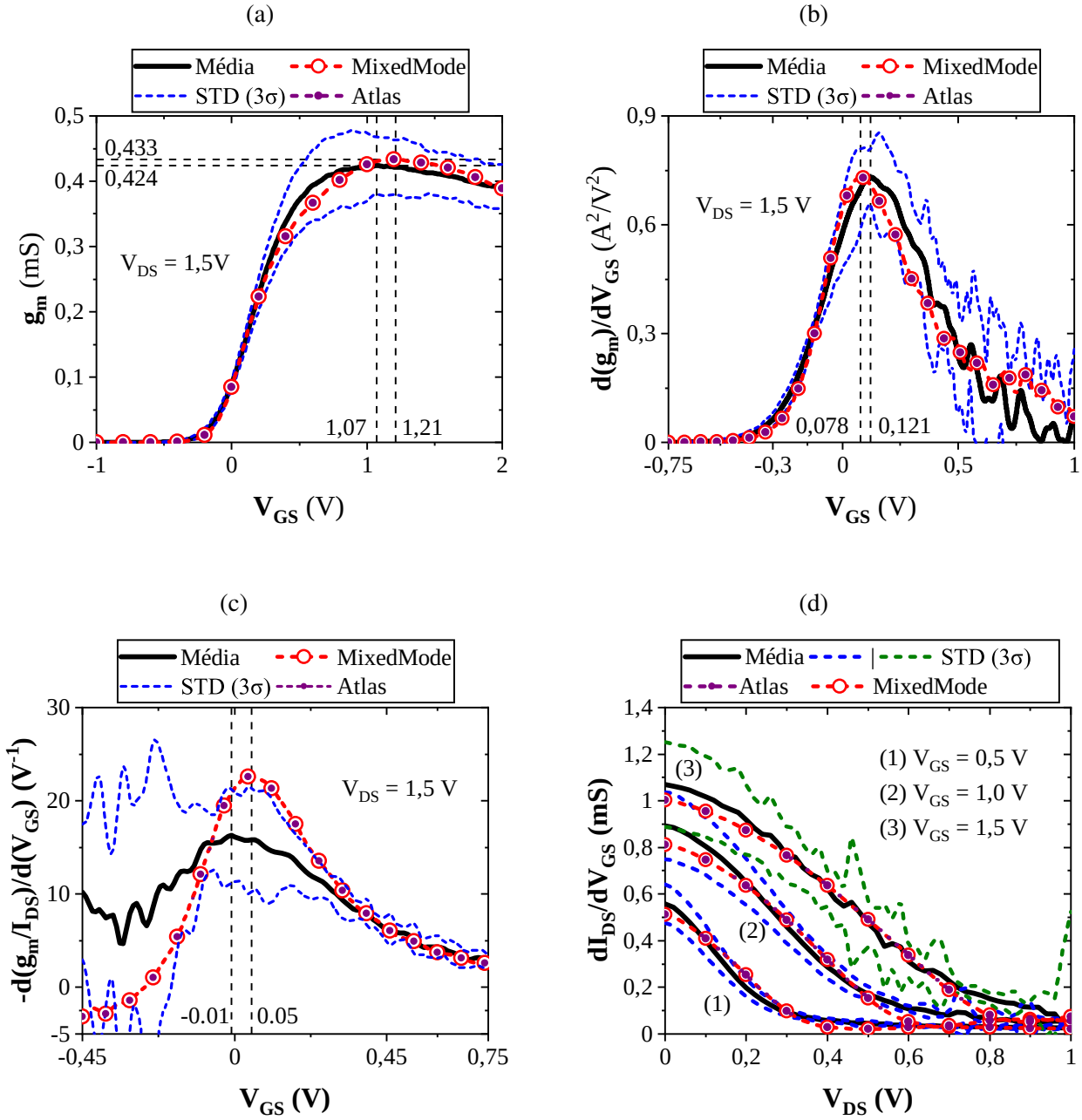


(b) Curva de transferência $I_{DS} \times V_{DS}$.



Fonte: Autor

Figura 23 – Curvas calculadas, em (a) transcondutância dI_{DS}/dV_{GS}, em (b) dg_m/dV_{GS}, em (c) $d(g_m/I_{DS})/dV_{GS}$ e em (d) dI_{DS}/dV_{GS}. Observa-se as curvas simuladas no Atlas e MixedMode e a média experimental com seu desvio padrão (3σ).



Fonte: Autor

3.4 Dispositivo UTBB com SELBOX

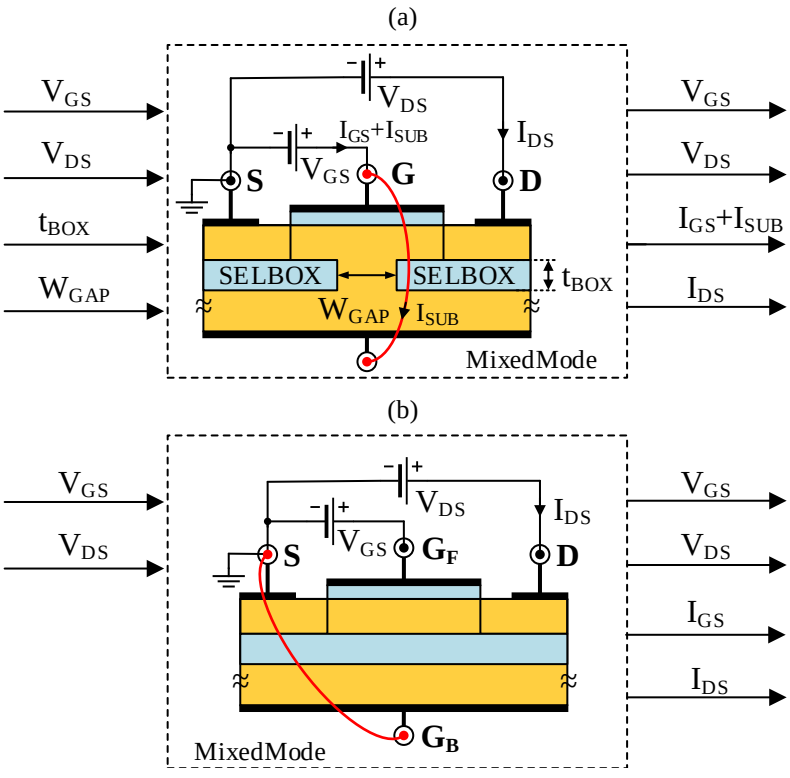
O dispositivo UTBB com SELBOX analisado possui as mesmas dimensões e características apresentadas para o UTBB na Figura 20, exceto pela introdução de um espaçamento no óxido enterrado W_{GAP}, como apresentado anteriormente na Figura 18. A região de silício que forma o espaçamento e conecta o corpo ao substrato possui dopagem intrínseca de 10^{15} átomos/cm^3.

Neste capítulo foi apresentado o simulador Atlas utilizado para modelar o dispositivo UTBB, cujo comportamento elétrico foi definido através de dados experimentais, usados como referência para calibrar os modelos de comportamento físico. A modelagem do dispositivo foi executada utilizando as características de projeto de um transistor UTBB real. A calibração do UTBB modelado foi executada ajustando-se os modelos físicos no simulador de tal forma que as curvas de transferência do dispositivo simulado apresenta-se a mesma tendência dos dados experimentais. Ao final da seção é apresentado o UTBB com SELBOX que será utilizado no simulador de circuitos MixedMode.

4 PERFORMANCE DOS DISPOSITIVOS ANALISADOS

Neste capítulo serão apresentados e discutidos os resultados simulados no MixedMode para o UTBB com SELBOX em configuração DTMOS e comparados ao UTBB convencional. A Figura 24 apresenta os digramas das simulações no MixedMode com as variáveis de entrada e saída. Na Figura 24a é apresentado o diagrama para o UTBB com SELBOX em configuração DTMOS e na Figura 24b é apresentado o diagrama para UTBB convencional. Dessa forma, pretende-se avaliar o comportamento do UTBB com SELBOX em configuração DTMOS para diferentes medidas de W_{GAP} e t_{BOX} que serão testadas para $V_{DS} = 1,5\ V$ e comparadas com o UTBB convencional.

Figura 24 – Diagramas das simulações no MixedMode, em (a) diagrama geral da simulação no MixedMode para transistor SOI UTBB com SELBOX em configuração DTMOS, em (b) Diagrama geral da simulação no MixedMode para transistor SOI UTBB convencional. Observa-se nos diagramas os parâmetros analisados W_{GAP} e t_{BOX}, e as variáveis de saída I_{DS} e I_{GS}, sendo V_{DS} e V_{GS} comuns a entrada e saída.



Fonte: Autor

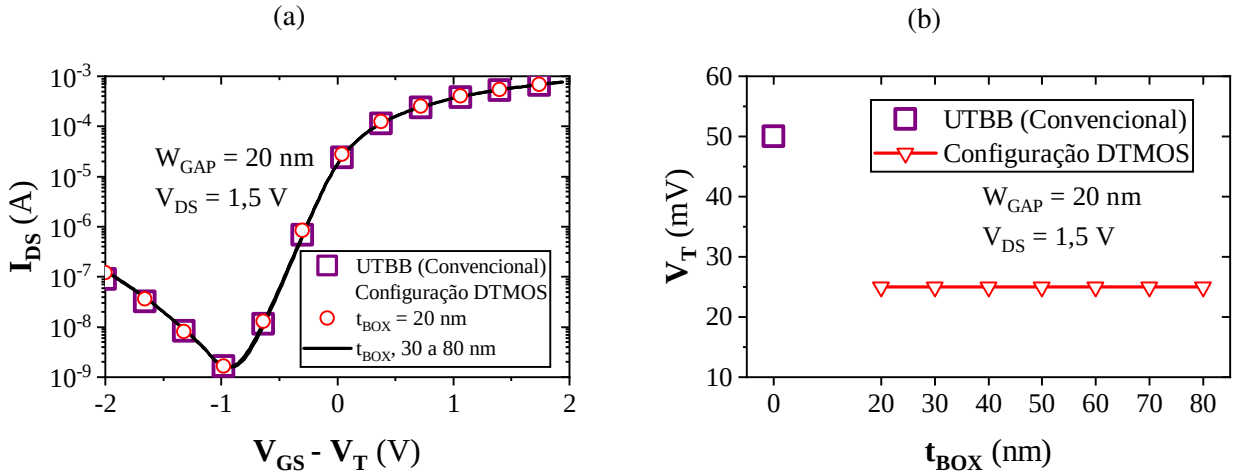
4.1 Efeito da variação de t_{BOX}

Nesta seção pretende-se avaliar o efeito da variação de t_{BOX} nas curvas de transferência do dispositivo, para isso foram executadas simulações para valores de t_{BOX} variando de 20 a 80 nm com W_{GAP} fixo em 20 nm.

As Figuras 25 e 26 apresentam os resultados obtidos para a variação de t_{BOX}. Na Figura 25 são apresentadas a corrente de dreno em função da tensão de porta e a tensão de limiar. Na Figura 26 são apresentadas a corrente de porta em função da tensão de porta.

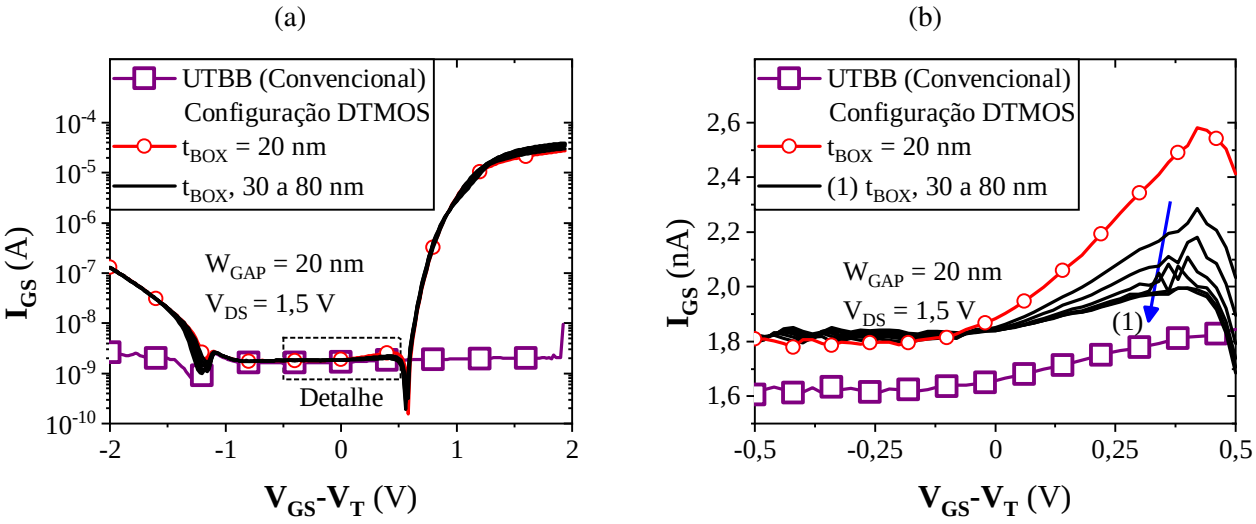
Os resultados apresentados para variação de t_{BOX} mostram que a corrente de dreno e tensão de limiar não sofreram mudanças significativas, mesmo se comparadas ao UTBB convencional. No entanto, a corrente de porta diminui a medida que t_{BOX} aumenta, como mostra a Figura 26b para o intervalo de tensão menor que a barreira de potencial do diodo formado entre o corpo e a fonte. Esse comportamento é justificado pela natureza de R_{GAP} que é diretamente proporcional a t_{BOX} como mostra a expressão (2.36).

Figura 25 – Resultados para t_{BOX} variando de 20 nm a 80 nm e W_{GAP} fixo em 20 nm para $V_{DS} = 1,5\ V$. Em (a) curva característica da corrente de dreno em função da tensão de porta ($I_{DS} \times V_{GS}$) e em (b) Relação entre espessura t_{BOX} e tensão de limiar V_T.



Fonte: Autor

Figura 26 – Resultados para t_{BOX} variando de 20 nm a 80 nm e W_{GAP} fixo em 20 nm para $V_{DS} = 1,5\,V$. Em (a) Curva característica da corrente de porta em função da tensão de porta ($I_{GS} \times V_{GS}$) e em (b) Detalhe de (a).



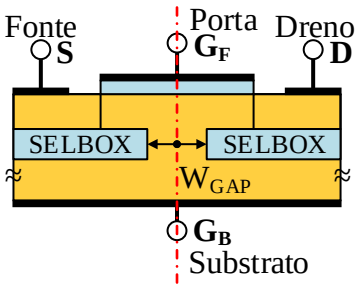
Fonte: Autor

4.2 Efeito da variação de W_{GAP}

Nesta seção pretende-se avaliar o efeito da variação de W_{GAP} nas curvas de transferência do dispositivo, para isso foram executadas simulações para valores de W_{GAP} variando de 10 nm a 100 nm com t_{BOX} fixo em 20 nm. Nesta experimentação o centro do espaçamento coincide com o centro do dispositivo, dessa forma W_{GAP} varia igualmente em direção ao dreno e a fonte, como ilustrado na Figura 27.

As Figuras 28 a 33 apresentam os resultados dos parâmetros elétricos e analógicos obtidos em função da variação de W_{GAP}. Observa-se nas Figuras 28a e 28c a corrente de dreno em função da tensão de dreno e na Figura 28b a corrente de dreno em função da tensão de porta.

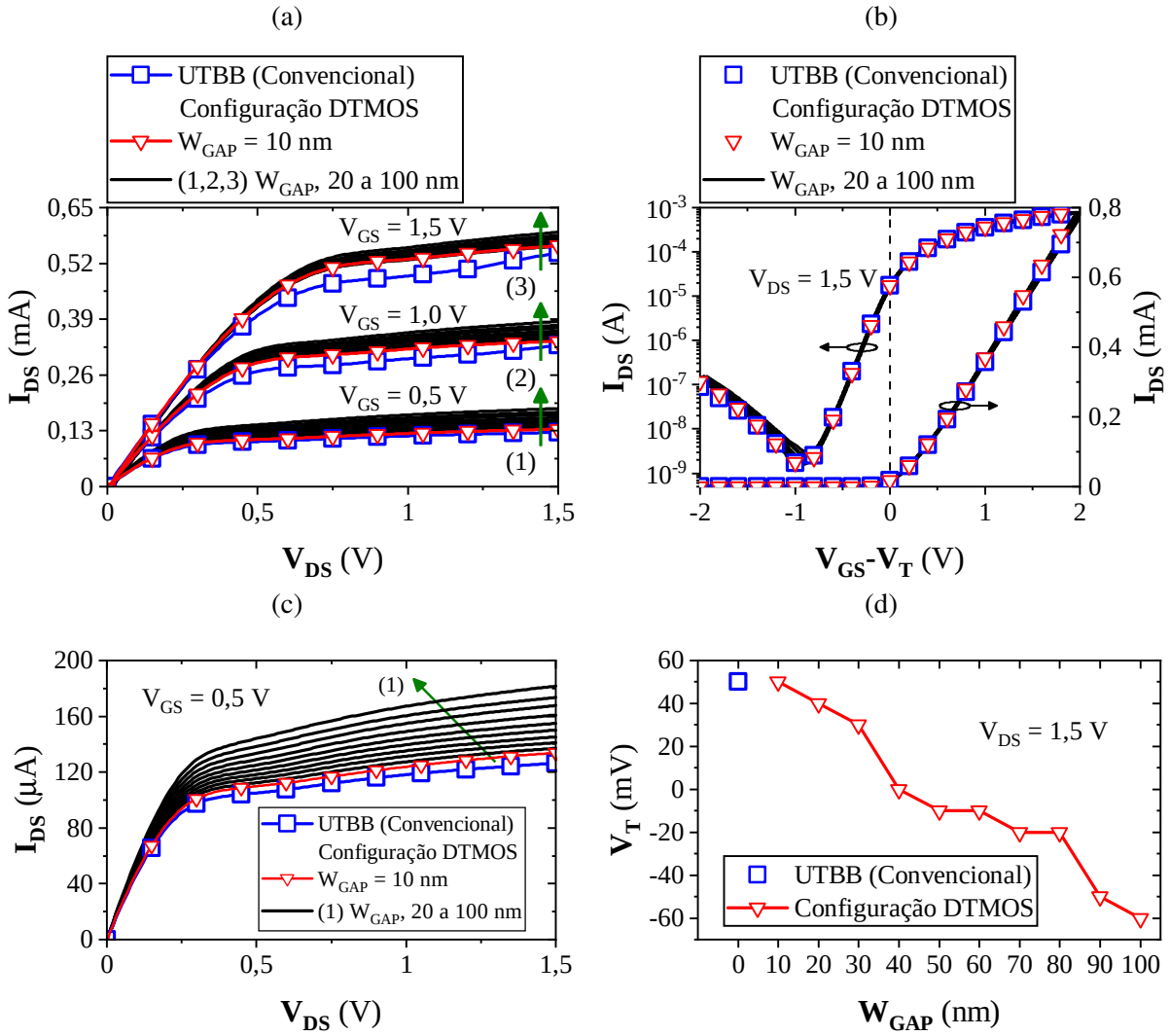
Figura 27 – Direção da variação de W_{GAP}.



Fonte: Autor

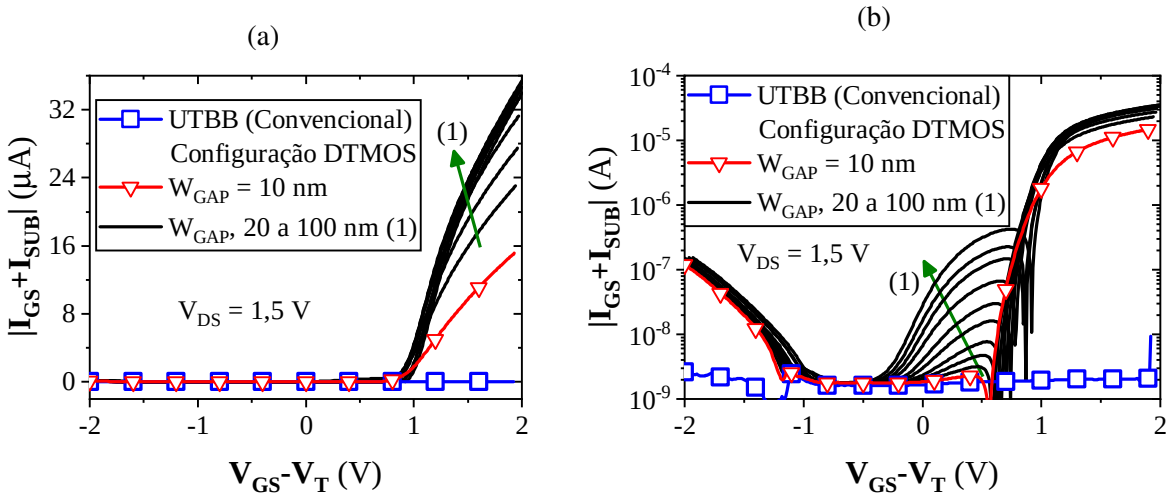
A Figura 28d apresenta a tensão de limiar com relação ao espaçamento W_{GAP}. Neste trabalho a tensão de limiar foi determinada através expressão 2.15, e baseia-se na posição do pico da derivada da razão $g_m = I_{ID}$ em relação a tensão da porta.[19] Já as Figuras 29a e 29b apresentam a corrente de porta em função da tensão de porta. Na Figura 30a é apresentada a transcondutância, na Figura 30b é apresentada a razão g_m/I_{DS} e na Figura 31 é mostrada a condutância de dreno e por fim as Figuras 32 e 33 apresentam a Tensão Early e o ganho intrínseco de tensão.

Figura 28 – Curvas características para t_{BOX} constante, W_{GAP} variável e $V_{DS} = 1,5\,V$. (a) Relação $I_{DS} \times V_{DS}$ para V_{GS} constante, (b) Relação $I_{DS} \times V_{GS}$ para V_{DS} constante, (c) Detalhe de (a) para $V_{GS} = 0,5\,V$, (d) Tensão de limiar em relação a W_{GAP}.



Fonte: Autor

Figura 29 – Curvas características para t_{BOX} constante, W_{GAP} variável e $V_{DS} = 1,5\ V$. Em (a) e (b) $|I_{GS} + I_{SUB}|$ em função de $V_{GS} - V_T$.



Fonte: Autor

Os resultados obtidos para W_{GAP} variando de forma simétrica do centro em direção a fonte e dreno mostram que as curvas de transferência apresentam a mesma tendência quando comparadas ao UTBB convencional, sendo perceptível a elevação da corrente de dreno a medida que o espaçamento W_{GAP} aumenta, como apresentado nas Figuras 28a e 28c. Nas mesmas figuras pode-se observar que o UTBB com DTMOS apresenta uma região mais horizontal na saturação quando comparado ao convencional, essa característica indica valores mais elevados para tensão Early (V_{EA}).

A corrente de controle ($I_{GS} + I_{SUB}$) também apresenta aumento, mudando uma ordem de grandeza para $W_{GAP} > 30$ nm, isso para o intervalo onde V_{GS} é menor que a barreira de potencial do diodo formado entre corpo e dreno. Da mesma forma, a Figura 28d mostra que a tensão de limiar diminui a medida que o espaçamento aumenta.

O aumento da corrente $I_{GS} + I_{SUB}$ é esperado, como R_{GAP} é inversamente proporcional a W_{GAP}, então a corrente de substrato aumenta a medida que a resistência do espaçamento diminui, da mesma forma, a medida que R_{GAP} diminui a tensão de corpo aumenta fazendo com que a tensão de limiar diminua, como mostrado na expressão (2.37).

Figura 30 – Curvas características para t_{BOX} constante, W_{GAP} variável e $V_{DS} = 1,5\ V$. Em (a) Transcondutância, e (b) Razão g_m/I_{DS}.

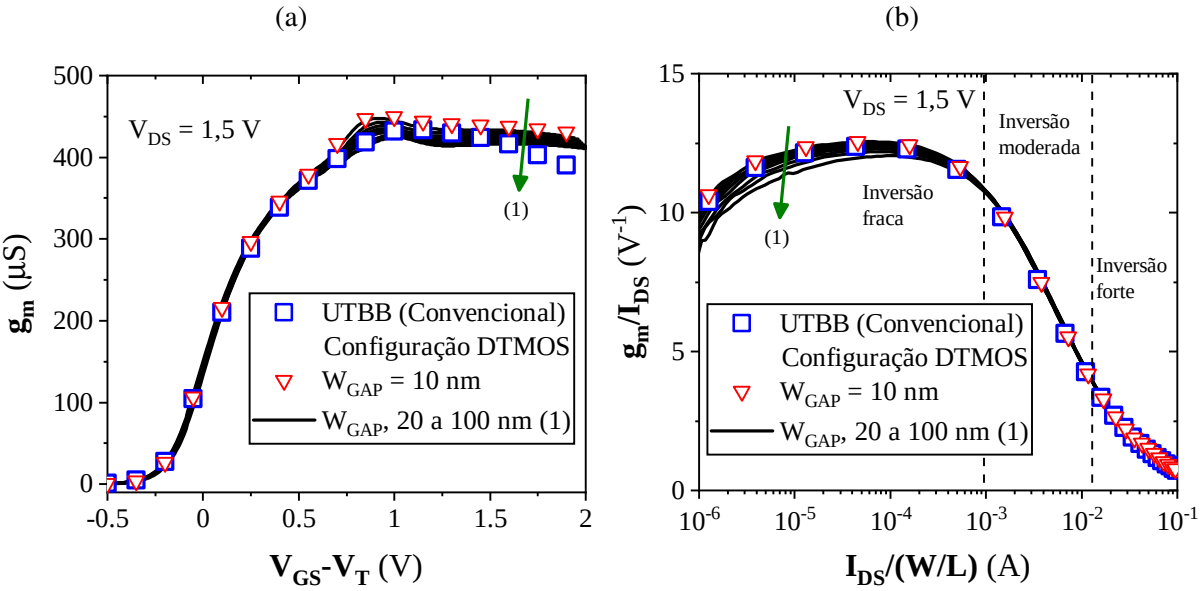
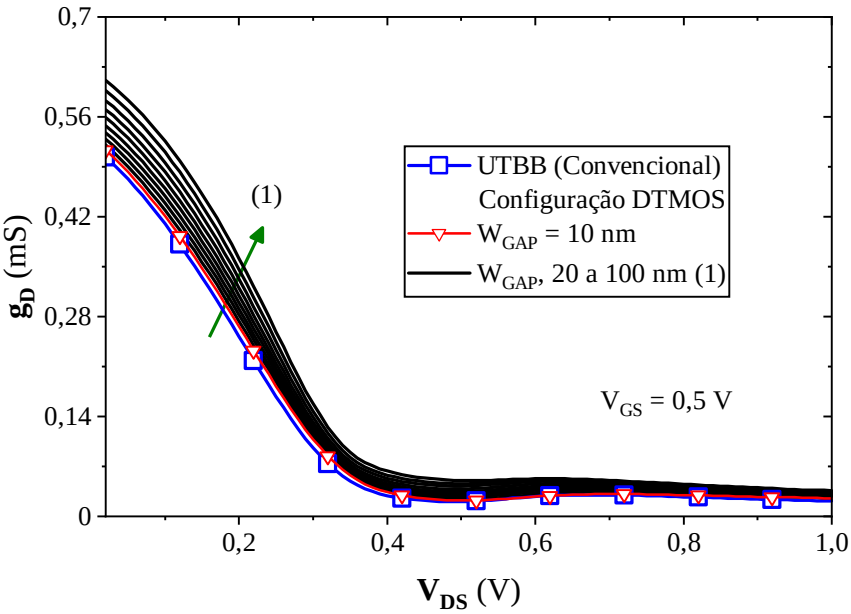


Figura 31 – Curvas características para t_{BOX} constante, W_{GAP} variável e $V_{DS} = 1,5\ V$. Condutância de dreno.



Os melhores resultados para transcondutância e a razão g_m/I_{DS} apresentados na Figuras 30a e 30b, foram obtidos para espaçamento de 10 nm e sofrendo degradação a medida que W_{GAP} aumenta, isto também ocorre para condutância de dreno, como apresentado na Figura 31.

Figura 32 – Curvas características para t_{BOX} constante, W_{GAP} variável e $V_{DS} = 1,5\ V$. Tensão Early.

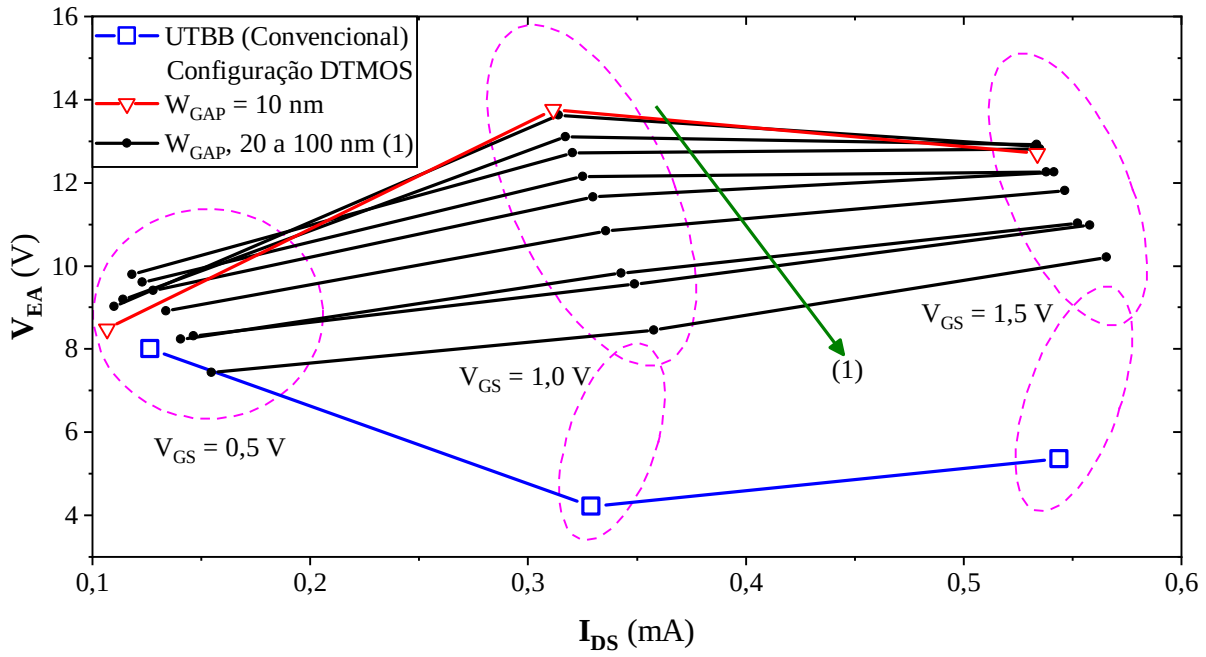
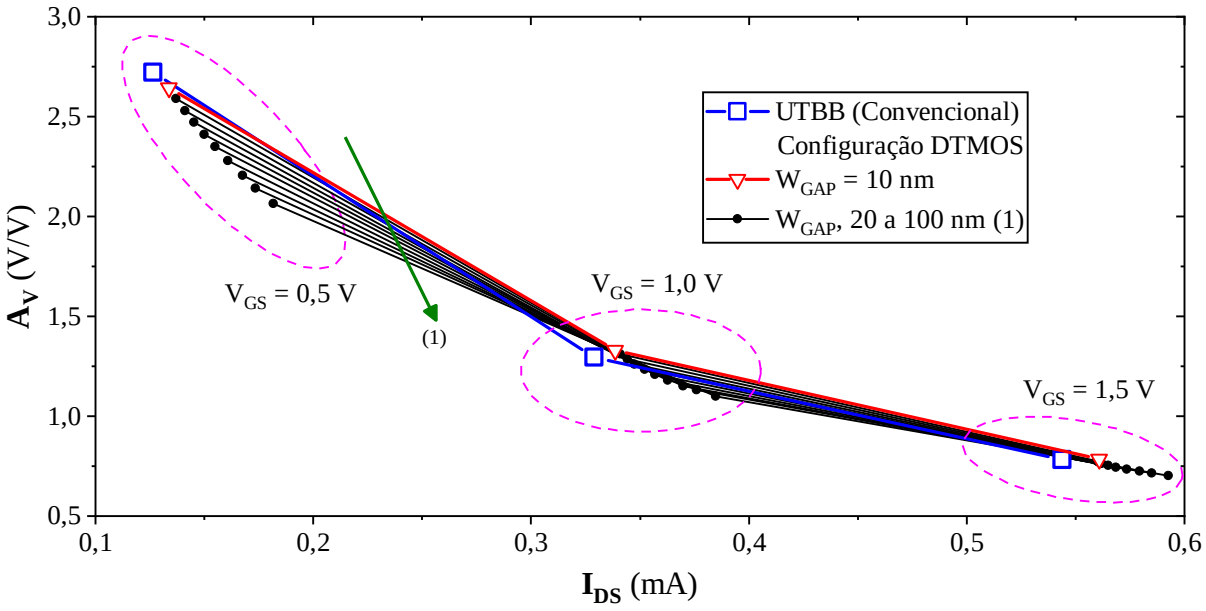


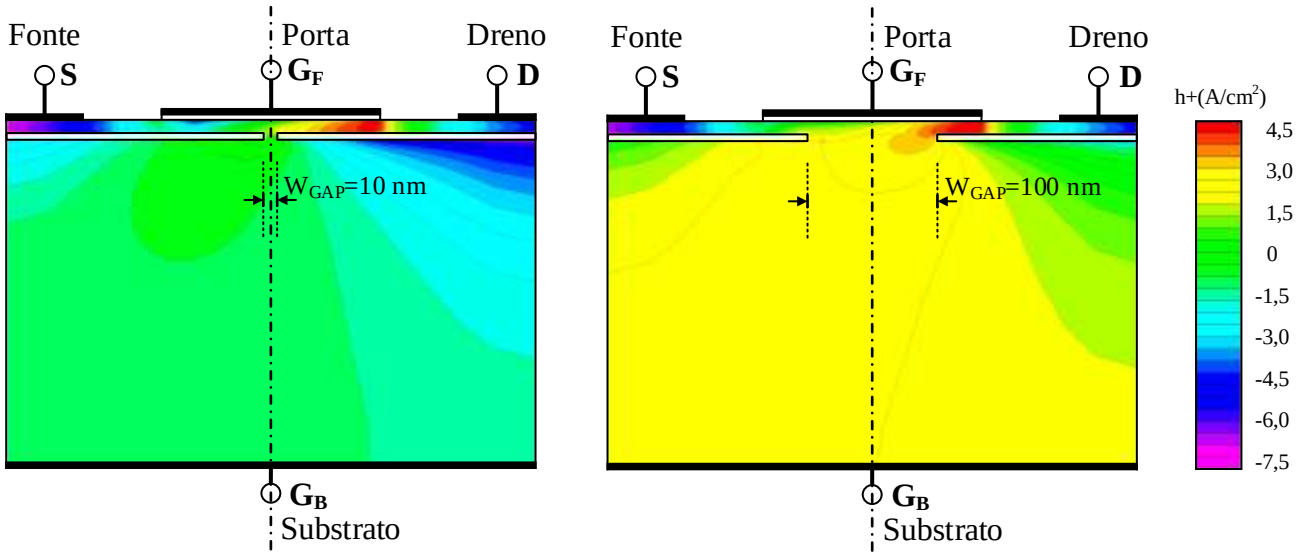
Figura 33 – Curvas características para t_{BOX} constante, W_{GAP} variável e $V_{DS} = 1,5\ V$. Ganho intrínseco de tensão.



Nas Figuras 32 e 33 são apresentados a tensão Early e o ganho intrínseco de tensão. Para tensão de porta xom valor fixo em 0,5V, o ganho intrínseco de tensão e a tensão Early possuem valores relativamente próximos quando comparados ao UTBB convencional, no entanto, para tensão de porta em 1 e 1,5V a ganho intrínseco de tensão e a tensão Early apresentam ganho e se degradam a medida que W_{GAP} cresce. A tensão Early apresenta significativo aumento, sendo melhor para $W_{GAP} = 10$ nm.

A degradação nos parâmetros apresentados, principalmente no aumento da corrente de controle, se deve ao aumento do espaçamento que se aproxima da região de dreno, assim, devido a ionização por impacto, na geração de pares elétron-lacuna, as lacunas são atraídas para região de menor potencial, dessa forma o espaçamento cria um caminho extra de condução de corrente através do substrato. A Figura 34 apresenta a distribuição da densidade de lacunas na estrutura. No espaçamento de 100 nm a densidade de lacunas no substrato é maior do que em 10 nm, o que corrobora com a cuva de transferência da corrente de controle pela tensão de controle, onde o espaçamento de 100 nm apresenta o maior valor de corrente, e em 10 nm o menor valor.

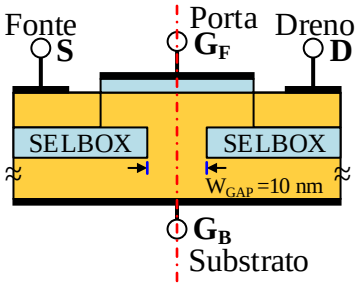
Figura 34 – Densidade de lacunas na estrutura, para espaçamentos de 10 e 100 nm.



4.3 Efeito da variação da posição de W_{GAP}

Esta seção pretende avaliar o efeito da variação da posição do espaçamento ao longo da estrutura para W_{GAP} fixo em 10 nm, como ilustrado na Figura 35, este espaçamento foi selecionado por apresentar os melhores resultados. Desta forma, a posição do espaçamento é deslocada do centro em direção a fonte e ao dreno em intervalos de 10 nm.

Figura 35 – Espaçamento fixo em 10 nm para variação da posição a partir do centro em direção a fonte e dreno.



Fonte: Autor

A variação da posição do espaçamento ao longo da estrutura não apresenta impacto considerável na corrente entre dreno e fonte, como mostrado na Figura 36 e confirmada através da transcondutância apresentada na Figura 37, no entanto a corrente entre porta e dreno apresenta aumento a medida que W_{GAP} é deslocado em direção ao dreno, como apresentado na Figura 38. Este comportamento pode ser justificado devido a geração de pares elétrons-lacuna próximo a região de dreno, assim os elétrons são coletados pelo dreno e as lacunas seguem para a região de menor potencial através do espaçamento em direção a conexão DTMOS, o que está de acordo com a distribuição da densidade de lacunas apresentadas na Figura 39, onde a corrente de controle e menor quando o espaçamento está mais próximo a fonte e maior quando esta próximo ao dreno.

Deste modo pode-se concluir que a posição de W_{GAP} exerce considerável influência na corrente de controle e pequeno impacto na corrente entre dreno e fonte. Assim os menores valores para corrente de controle são alcançados para W_{GAP} no centro da estrutura ou em direção a fonte, isso pode ser observado na Figura 38a.

Figura 36 – Efeito da variação da posição do espaçamento na corrente entre dreno e fonte. Em (a) deslocamento em direção a fonte e em (b) deslocamento em direção ao dreno.

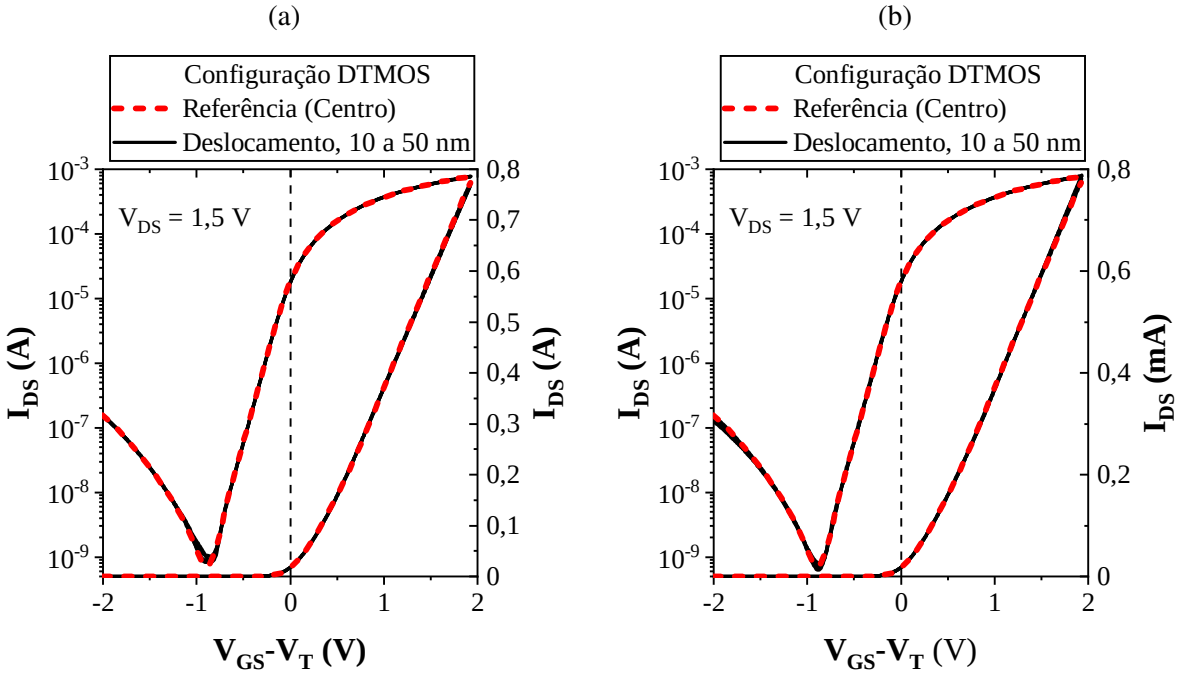


Figura 37 – Efeito da variação da posição do espaçamento na transcondutância. Em (a) deslocamento em direção a fonte e em (b) deslocamento em direção ao dreno.

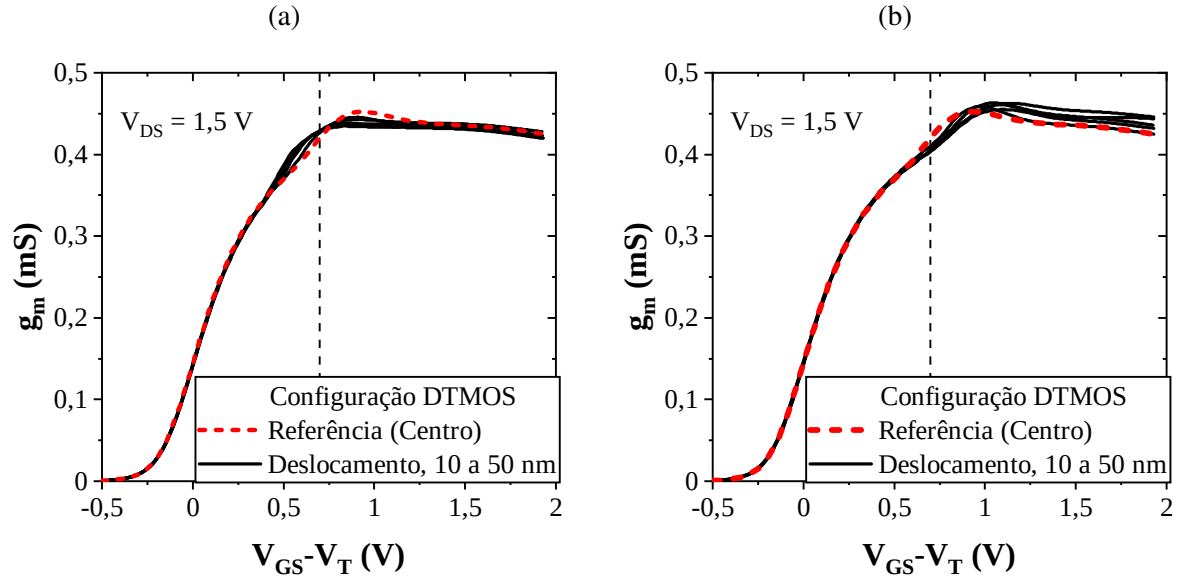


Figura 38 – Efeito da variação da posição do espaçamento na corrente $I_{GS} + I_{SUB}$. Em (a) deslocamento em direção a fonte e em (b) deslocamento em direção ao dreno.

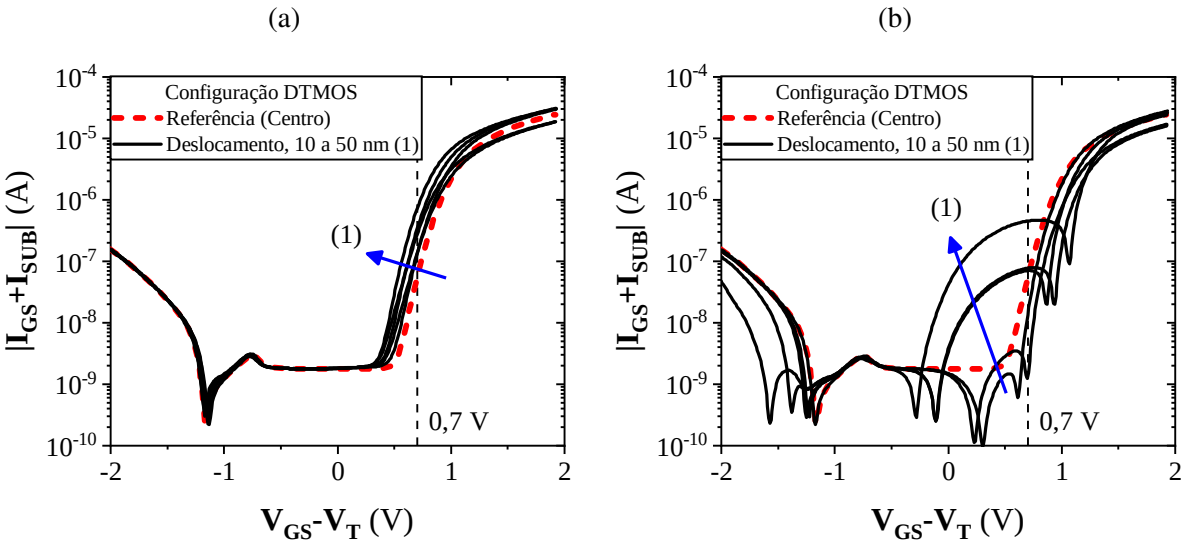
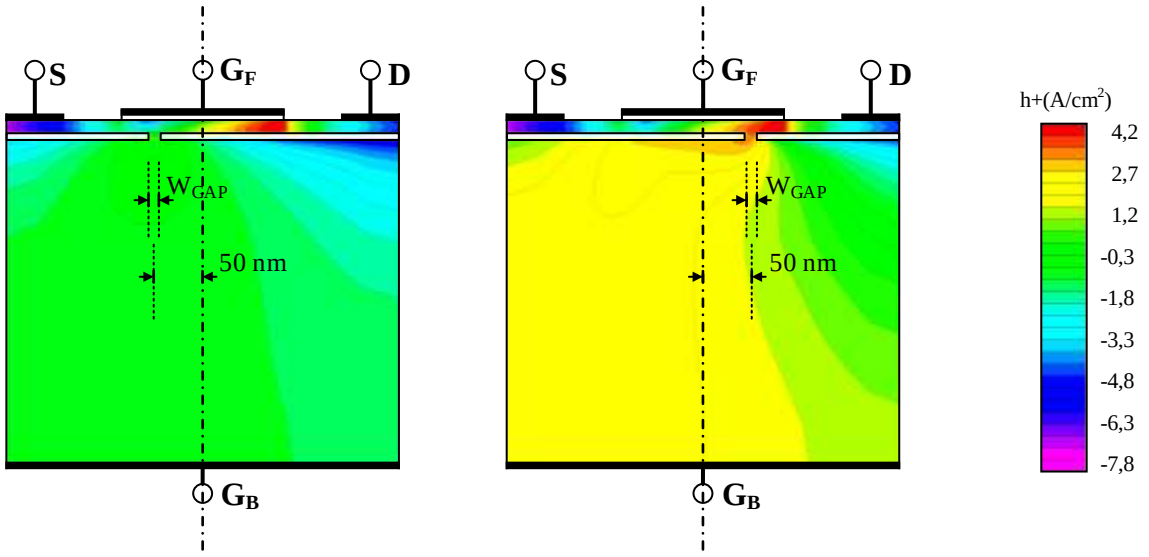


Figura 39 – Densidade de lacunas na estrutura com espaçamento fixo em 10 nm, para variação da posição a partir do centro em direção a fonte e dreno.

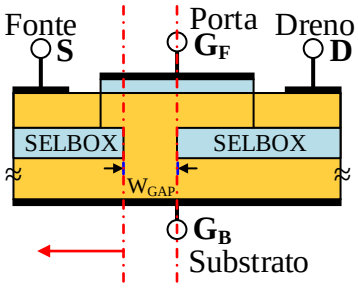


Fonte: Autor, adaptado do sofware de simulação.

4.4 Efeito da variação de W_{GAP} crescendo do centro em direção a fonte

Nesta seção pretende-se variar W_{GAP} de forma crescente do centro da estrutura em direção a fonte, de tal modo que o impacto na corrente de controle seja avaliado com menor influência da região de dreno. Esta configuração está ilustrada na Figura 40. A corrente de substrato tem maior contribuição na corrente de controle na configuração DTMOS quando comparada a corrente de porta, como mostrado subseção 4.2, assim, será avaliada a corrente de substrato (I_{SUB}). Os resultados obtidos são apresentados na Figura 41.

Figura 40 – Estrutura do UTBB com SELBOX para W_GAP variando a partir do centro em direção a fonte.



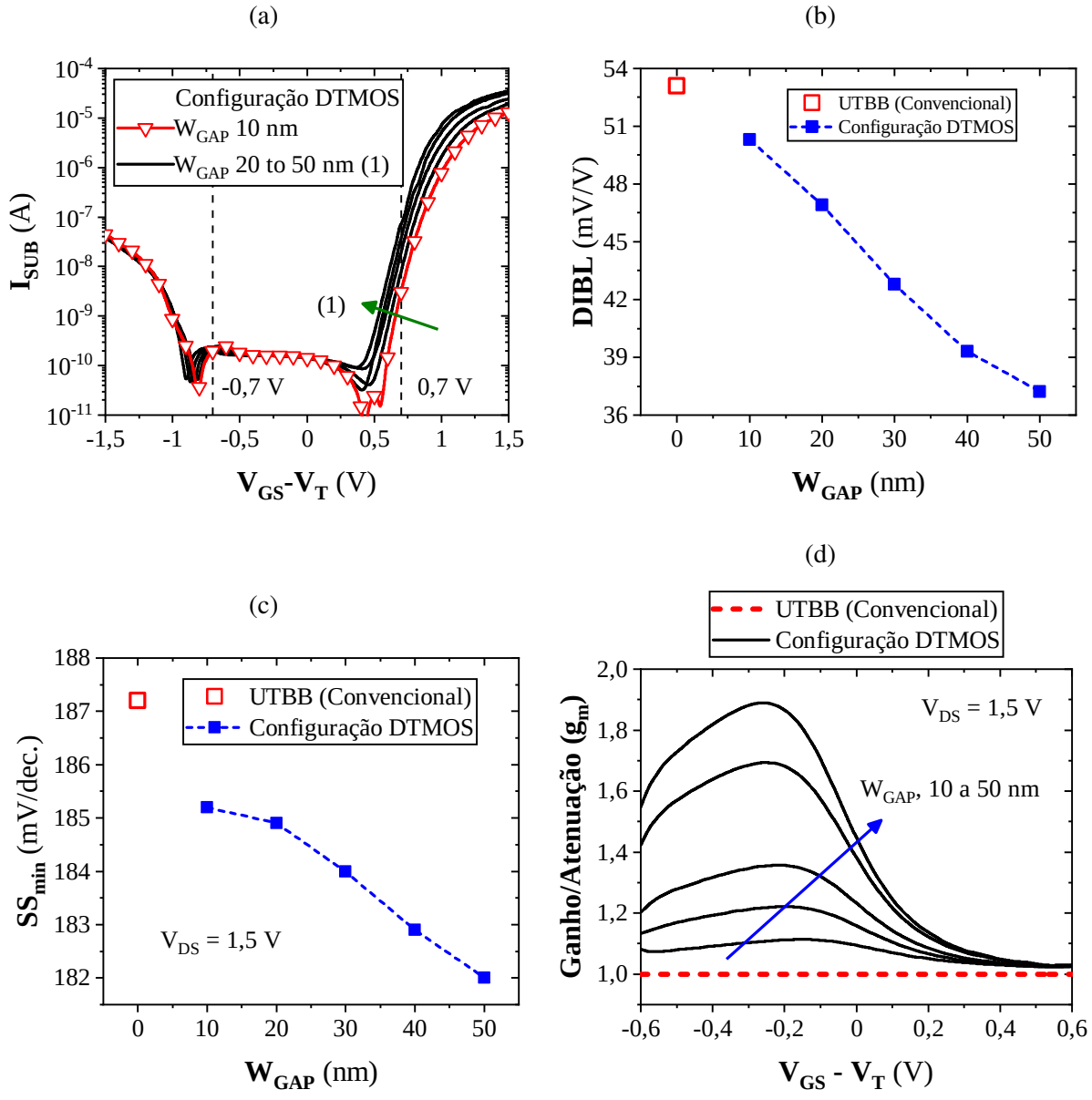
Fonte: Autor

A Figura 41a apresenta os resultados obtidos para corrente de substrato para W_{GAP} do centro em direção a fonte, demonstrando que para espaçamentos maiores que 10 nm a corrente não apresentou aumento como encontrado na subseção 4.3 quando o espaçamento se aproxima da região de dreno.

Em contraste à degradação da inclinação de sublimiar e DIBL apresentadas nas Figuras 41a e 41c, a transcondutância apresenta relativo aumento quando comparada ao dispositivo em modo convencional, como apresentado na Figura 41d obtida através da expressão 4.1.

$$\text{Ganho/Atenuação}(gm) = \frac{gm\ \text{(UTBB SELBOX DTMOS)}}{gm\ \text{(UTBB convencional)}} \tag{4.1}$$

Figura 41 – (a) Corrente de substrato, (b) Efeito de canal curto DIBL, (d) Inclinação de sublimiar e (d) Ganho na transcondutância com relação ao UTBB em modo convencional.



5 CONCLUSÃO E SUGESTÕES PARA TRABALHOS FUTUROS

5.1 Conclusão

Neste trabalho foi apresentado um estudo sobre o transistor UTBB SOI FD com SELBOX em configuração DTMOS para diferentes configurações da estrutura SELBOX, através de simulações numéricas no TCAD Atlas e no simulador de circuitos MixedMode.

Primeiramente foi investigado o comportamento das curvas de transferência para diferentes espessuras do óxido enterrado t_{BOX}, variando de 20 nm a 80 nm. Os resultados indicaram que a corrente de dreno e tensão de limiar não sofreram mudanças significativas quando comparadas ao UTBB convencional, para $V_{DS} = 1,5\ V$. No entanto, ocorreu uma pequena diminuição na corrente de porta com o aumento de t_{BOX}. Esse resultado é devido a natureza da resistência do espaçamento que é diretamente proporcional a t_{BOX}, assim, quanto maior t_{BOX} menor é a corrente de porta.

Posteriormente foi analisado o comportamento das curvas de transferência para diferentes valores do espaçamento W_{gap} característico da estrutura SELBOX. Os resultados mostraram que a corrente de dreno e porta aumentam a medida que W_{gap} diminui, esse comportamento é devido a resistência do espaçamento que é inversamente proporcional a W_{gap}, ou seja, a medida que o espaçamento aumenta a resistência diminui, aumentando o potencial de corpo, que consequentemente reduz a tensão de limiar e aumenta a corrente de dreno e porta.

Em seguida foi executada uma varredura ao longo da estrutura com W_{gap} fixo em 10 nm. Os resultados indicaram uma dependência da corrente de controle com a posição do espaçamento apresentando aumento quando indo em direção ao dreno e redução quando indo em direção a fonte. O aumento da corrente de controle pode ser justificada devido a geração de pares elétrons-lacuna próximo a região de dreno, ou seja, os elétrons são coletados pelo dreno e as lacunas seguem para a região de menor potencial através do espaçamento em direção ao substrato.

Finalizando as análises, o espaçamento (W_{GAP}) foi aumentado do centro da estrutura em direção a fonte, de tal forma a avaliar o impacto na corrente de controle em relação a menor influência da região de dreno. Neste caso os resultados mostraram que a melhor localização para o espaçamento na estrutura SELBOX está entre o centro e a fonte.

Os dispositivos estudados, quando comparados ao UTBB convencional, apresentaram melhores resultados para de W_{gap} em 10 nm, sofrendo degradação na condutância de dreno e aumento na corrente de controle a medida que o espaçamento (W_{gap}) aumentou. Em contraste a tensão Early sofre expressiva melhora, sendo maior que 65% para tensão de porta de 1 e 1,5 V e adicionalmente, o ganho intrínseco de tensão também apresentou melhora, apesar de relativamente próximo do UTBB convencional.

5.2 Recomendações para trabalhos futuros

Como recomendação para trabalhos futuros pode-se realizar a análise de ruídos de baixa frequência nas estruturas (Ruído Flicker e de geração e recombinação). Sugere-se também que a estrutura possa ser experimentada com outras estratégias de controle em que o susbtrato não esteja ligado diretamente a porta, permitindo que a tensão de porta possa ser maior que 0,7 V, evitando que a junção porta-dreno fique diretamente polarizada, ou seja, a tensão no substrato não ultrapasse 0,7 V. Por fim, pode-se também comparar UTBB SOI FD com SELBOX em configuração DTMOS ao UTBB convencional em circuitos analógicos e digitais no simulador de circuitos MixedMode.

REFERÊNCIAS

1 VASSIGHI, M. S. A. **Thermal and Power Management of Integrated Circuits**. 1. ed. [S.l.]: Springer, 2006. (Integrated Circuits and Systems). ISBN 9780387257624,9780387297491,0387257624.

2 LIU, D.; SVENSSON, C. Trading speed for low power by choice of supply and threshold voltages. **IEEE JOURNAL OF SOLID-STATE CIRCUITS**, v. 28, n. 1, p. 10–17, 1993.

3 COLINGE, J.-P. An soi voltage-controlled bipolar-mos device. **IEEE Transactions on Electron Devices**, IEEE, v. 34, n. 4, p. 845–849, 1987.

4 SASAKI, K. R. A. **Estudo de transistores SOI MOSFETs com camada de silício e óxido enterrado ultrafinos operando em modo de tensão de limiar dinâmica.** 2016. Tese (Doutorado) — Universidade de São Paulo, 2016.

5 COLINGE, J. **Silicon-on-Insulator Technology: Materials to VLSI: Materials to VLSI**. [S.l.]: Springer US, 2012. ISBN 9781441991065.

6 WANG BENTON H. CALHOUN, A. P. C. A. **Sub-threshold Design for Ultra Low-Power Systems (Series on Integrated Circuits and Systems)**. 1. ed. [S.l.: s.n.], 2006. ISBN 0387335153,9780387335155,9780387345017.

7 ISLAM, M. R. H. a. S. K. **Sensors and Low Power Signal Processing**. 1. ed. [S.l.]: Springer US, 2010. ISBN 0387793917,9780387793917.

8 KHATEB, F. Bulk-driven floating-gate and bulk-driven quasi-floating-gate techniques for low-voltage low-power analog circuits design. **AEU - International Journal of Electronics and Communications**, v. 68, p. 64–72, 01 2014.

9 NARAYANAN, M.; AL-NASHASH, H.; MAZHARI, B.; PAL, D. Studies and minimization of kink effect in soi mosfet devices with selbox structure. In: IEEE. **2008 International Conference on Microelectronics**. [S.l.], 2008. p. 232–235.

10 KUMAR, A.; GUPTA, A.; RAI, S. Reduction of self-heating effect using selective buried oxide (selbox) charge plasma based junctionless transistor. **AEU - International Journal of Electronics and Communications**, v. 95, 08 2018.

11 LIU, R.; SUN, Y.; HUANG, Q.; LI, X.; SHI, Y.; WANG, C.; LIAO, D.; TIAN, M.; LIU, Z. Simulation of location and size effects on performance adjustment in hybrid n-type mosfets. v. 111, p. 104971, 2020. ISSN 1369-8001.

12 PAL, C.; MAZHARI, B.; IYER, S. Simulation of mosfet devices and circuits fabricated on selective buried oxide (sel-box) substrates. In: IEEE. **2005 IEEE Conference on Electron Devices and Solid-State Circuits**. [S.l.], 2005. p. 559–562.

13 HUFF, H. **Into The Nano Era: Moore's Law Beyond Planar Silicon CMOS**. [S.l.]: Springer, 2009. (Springer Series in Materials Science). ISBN 3540745580,978-3-540-74558-7.

14 MARTINO, J.; PAVANELLO, M.; VERDONCK, P. **Caracterização Elétrica de Tecnologia e Dispositivos MOS**. [S.l.]: Pioneira Thomson Learning, 2004. ISBN 9788522103478.

15 KONONCHUK, O. **Silicon-On-Insulator (SOI) Technology**: Manufacture and applications. Amsterdam: Woodhead publ., 2014. (Woodhead Publishing Series in Electronic and Optical Materials).

16 BALESTRA, F.; GHIBAUDO, G.; GHIBAUDO, G. **Device and Circuit Cryogenic Operation for Low Temperature Electronics**. [S.l.]: Springer US, 2001. ISBN 9780792373773.

17 KUO, J.; SU, K. **CMOS VLSI Engineering: Silicon-on-Insulator (SOI)**. [S.l.]: Springer US, 1998. ISBN 9781475728231.

18 WHITAKER, J. C. **The electronics handbook**. 2nd ed. ed. [S.l.]: CRC Press, 2005. (The Electrical engineering handbook series). ISBN 0849318890.

19 FLANDRE, D.; KILCHYTSKA, V.; RUDENKO, T. g(m)/i-d method for threshold voltage extraction applicable in advanced mosfets with nonlinear behavior above threshold. **Electron Device Letters, IEEE**, v. 31, p. 930 – 932, 10 2010.

20 VOLDMAN, S. H. **ESD: Physics and Devices**. 1. ed. [S.l.: s.n.], 2004. ISBN 0470847530,9780470847534,9780470012901.

21 SCHNEIDER, M. C. **MOSFET modeling for circuit analysis and design**. [S.l.]: World Scientific, 2007. (International series on advances in solid state electronics and technology). ISBN 9812568107,9789812568106.

22 LIN, Y.-K.; KUSHWAHA, P.; AGARWAL, H.; CHANG, H.-L.; DUARTE, J.; SACHID, A.; KHANDELWAL, S.; SALAHUDDIN, S.; HU, C. Modeling of back-gate effects on gate-induced drain leakage and gate currents in utb soi mosfets. **IEEE Transactions on Electron Devices**, PP, p. 1–5, 08 2017.

23 ANDRADE, M. G. C. d. **Estudo de transistores de porta tripla de corpo.** 2012. Tese (Doutorado) — Universidade de São Paulo, 2012.

24 COLINGE, J.-P.; COLINGE, C. A. **Physics of semiconductor devices**. [S.l.]: Springer Science & Business Media, 2002.

25 LEBLEBICI, S.-M. S. K. a. Y. **Hot-Carrier Reliability of MOS VLSI Circuits**. 1. ed. [S.l.]: Springer US, 1993. (The Springer International Series in Engineering and Computer Science 227). ISBN 978-1-4613-6429-0,978-1-4615-3250-7.

26 ESQUEDA, I. S.; BARNABY, H.; KING, M. Compact modeling of total ionizing dose and aging effects in mos technologies. **IEEE Transactions on Nuclear Science**, v. 62, 06 2015.

27 LüTH, H. **Surfaces and Interfaces of Solid Materials**. [S.l.]: Springer Berlin Heidelberg, 1995. (Springer Study Edition). ISBN 978-3-540-58576-3,978-3-662-03132-2.

28 SCHMIDT, V.; SENZ, S.; GöSELE, U. Influence of the si/sio2 interface on the charge carrier density of si nanowires. **Applied Physics A**, v. 86, p. 187–191, 02 2007.

29 CURRENT, M.; MALIK, I.; BEDELL, S.; FARRENS, S.; KIRK, H.; KOROLIK, M.; KANG, S.; FUERFANGER, M.; HENLEY, F. Soi wafer fabrication by atomic layer cleaving. In: INTERNATIONAL SOCIETY FOR OPTICAL ENGINEERING; 1999. **PROCEEDINGS-SPIE THE INTERNATIONAL SOCIETY FOR OPTICAL ENGINEERING**. [S.l.], 2000. p. 516–523.

30 SCHWARZENBACH, W.; NGUYEN, B.-Y.; ALLIBERT, F.; GIRARD, C.; MALEVILLE, C. Ultra-thin body & buried oxide soi substrate development and qualification for fully depleted soi device with back bias capability. **Solid-State Electronics**, v. 117, 12 2015.

31 J.G., T. V. F. **Fundamentals of Ultra-Thin-Body MOSFETs and FinFETs**. [S.l.]: Cambridge University Press, 2013. ISBN 978-1-107-03041-1.

32 MAZURIER, J.; WEBER, O.; ANDRIEU, F.; ROYER, C. L.; FAYNOT, O.; VINET, M. Variability of planar ultra-thin body and buried oxide (utbb) fdsoi mosfets. In: . [S.l.]: IEEE, 2014. p. 1–4. ISBN 978-1-4799-2153-9. ISSN 2381-3555.

33 BARAH, D.; SINGH, A. K.; BHOWMICK, B. Tfet on selective buried oxide (selbox) substrate with improved i on/i off ratio and reduced ambipolar current. **Silicon**, Springer, v. 11, n. 2, p. 973–981, 2019.

34 YOUNIS, D.; MADATHUMPADICAL, N.; AL-NASHASH, H. Static power characteristics of selective buried oxide cmos devices. **International Journal of Numerical Modelling: Electronic Networks, Devices and Fields**, Wiley Online Library, v. 32, n. 1, p. e2460, 2019.

35 BASHIR, F.; LOAN, S. A.; RAFAT, M.; ALAMOUD, A. R. M.; ABBASI, S. A. A high-performance source engineered charge plasma-based schottky mosfet on soi. **IEEE Transactions on Electron Devices**, IEEE, v. 62, n. 10, p. 3357–3364, 2015.

36 GHOSH, P.; BHOWMICK, B. Reduction of the kink effect in a selbox tunnel fet and its rf/analog performance. **Journal of Computational Electronics**, Springer, v. 18, n. 4, p. 1182–1191, 2019.

37 NARAYANAN, M.; AL-NASHASH, H.; PAL, D.; CHANDRA, M. Circuit model for selbox mosfet. In: . [S.l.: s.n.], 2012. p. 1–4. ISBN 978-1-4673-5694-7.

38 NATARAJAN, A. M. S. **SOI design : analog, memory and digital techniques**. [S.l.]: Kluwer Academic Publishers, 2002. ISBN 0306481618,9780306481611.

39 SILVACO, I. **Atlas User's Manual**. 2016. Disponível em: <https://www.silvaco.com/>.

40 SARKAR, C. K. **Technology computer aided design : simulation for VLSI MOSFET**. [S.l.]: CRC Press Taylor & Francis Group, 2013. ISBN 9781466512658,1466512652.

41 PUSHPAKARAN, B.; BAYNE, S. **Modeling and Electrothermal Simulation of SiC Power Devices: Using Silvaco ATLAS**. [S.l.: s.n.], 2019. ISBN 978-9813237827.

42 MAITI, C. K. **Introducing technology computer-aided design (TCAD) : fundamentals, simulations and applications**. 1. ed. [S.l.]: Pan Stanford, 2017. (TCAD). ISBN 9814745510,978-981-4745-51-2,9789814745529,9814745529,978-1-315-36450-6.

43 NAJM, F. N. **Circuit Simulation**. [S.l.]: Wiley-IEEE Press, 2010. ISBN 0470538716,9780470538715.

44 CAPODIECI, L. **Optimization Techniques for VLSI Process Modeling and TCAD in Semiconductor Manufacturing**. [S.l.]: University of Wisconsin–Madison, 1997.

45 AHRENKIEL, R. K.; LUNDSTROM, M. S. (Ed.). **Minority carriers in III-V semiconductors**: Physics and applications. Boston: Academic Press, 2010. (Semiconductors and semimetals). ISBN 9780127521398.

46 PERUZZO, J. **Fronteiras Da Física**. [S.l.]: Clube de Autores (managed), 2012.

47 SZE, K. K. N. S. M. **Physics of Semiconductor Devices**. 3. ed. [S.l.]: Wiley-Interscience, 2006. ISBN 0471143235,9780471143239.

48 BROWN, P. M. B. L. C. **Press-Statistics for Environmental Engineers**. 2. ed. [S.l.]: CRC Press, 2002. ISBN 1566705924.

49 (AUTH.), R. R. W. **Fundamentals of Modern Statistical Methods: Substantially Improving Power and Accuracy**. 2. ed. [S.l.]: Springer-Verlag New York, 2010. ISBN 1441955240,9781441955241.

50 CARLTON, J. L. D. M. A. **Probability with Applications in Engineering, Science, and Technology**. 2nd ed. 2017. ed. [S.l.]: Springer, 2017. (Springer Texts in Statistics). ISBN 978-3-319-52400-9,978-3-319-52401-6,3319524003.

Apêndices

APÊNDICE A – ROTINA PRINCIPAL NO MIXEDMODE

```
set vmin = -2.
set vmax = 2.
set vds = 1.5
set w = 1

set ii = 0.02
loop steps = 10
set wgap = $"ii"

go internal
# Gera estrutura
source estrutura_UTBB_SELBOX.in

# Carrega estrutura
mesh infile = UTBB_SELBOX_Wgap$"gap"nm.str

#====================================
#
# Ponto de operação DC
#
#------------------------------------

go atlas simflags="-P 8"

.begin
```

```
vds 1 0 $"vds"
vgs 2 0 0
vshunt 3 2 0

.NODESET V(1)=0 V(2)=0

A_UTBB_SELBOX 1=drain 2=gate 0=source 3=substrate infile=UTBB_SELBOX_Wgap$"
      gap"nm.str width=$"w"

.numeric   vchange=.0025 vmin=$"vmin" vmax=$"vmax" imaxdc=9999 toldc=1e-4

.options   print   m2ln noshift   debug

.SAVE OUTFILE = temp

.end

# Parâmetros
source A_UTBB_SELBOX.in

set k = 1e3
METHOD trap maxtraps=100 atrap=1/1.61803398875 itlimit=100 carriers=2 climit=1.0e-9
      ir.tol=$k*5.0e-15 ix.tol=$k*2.0e-5 CR.TOL= $k*5.0e-18 CX.TOL=$k*1e-5 PR.
      TOL=$k*5.0e-26 PX.TOL=$k*1e-5



#=====================================
#
#
```

```
#
#-----------------------------------

go atlas simflags="-P 8"

.begin

vds 1 0 $"vds"
vgs 2 0 pwl 0 0 1e-6 $"vmin" 2e-6 0 3e-6 $"vmax"
vshunt 3 2 0

.NODESET V(1)=$"vds"

A_UTBB_SELBOX 1=drain 2=gate 0=source 3=substrate infile=UTBB_SELBOX_Wgap$"
    gap"nm.str width=$"w"

#.numeric vchange=.01 vmin=$"vmin" vmax=$"vmax" imaxdc=9999 toldc=1e-4
#
#.options print m2ln noshift debug LOADSOLUTIONS
#
#.LOAD INFILE=temp
#
#.dc vgs -2. 2. 0.01
#.log outfile = UTBB_SELBOX_Wgap$"gap"nm onefile

.numeric vchange=0.0025 vmin=$"vmin" vmax=$"vmax" imaxdc=9999 toltr=1e-4

.options print m2ln.tr noshift debug LOADSOLUTIONS
```

```
.LOAD INFILE=temp

.TRAN 10e-9 3e-6

.log   outfile   = idvg_UTBB_SELBOX_Wgap$"gap"nm onefile TSTART=1e-6
.log   csvfile   = idvg_UTBB_SELBOX_Wgap$"gap"nm onefile TSTART=1e-6

.end

# Parâmetros
source  A_UTBB_SELBOX.in

set  k = 1e3
METHOD trap maxtraps=100 atrap=1/1.61803398875 itlimit=100 carriers=2  climit=1.0e-9
      ir. tol=$k*5.0e-15 ix. tol=$k*2.0e-5 CR.TOL= $k*5.0e-18 CX.TOL=$k*1e-5 PR.
      TOL=$k*5.0e-26 PX.TOL=$k*1e-5

PROBE device = $"dev" NAME="p1_qfn" qfn x=($"LF"+$"L"+$"LD")/2 Y=$"tSi"
PROBE device = $"dev" NAME="p2_qfn" qfn x=($"LF"+$"L"+$"LD")/2 Y=$"tSi"+$"tBOX
      "+$"tSUB"
PROBE device = $"dev" NAME="p1_pot" potential x=($"LF"+$"L"+$"LD")/2 Y=$"tSi"
PROBE device = $"dev" NAME="p2_pot" potential x=($"LF"+$"L"+$"LD")/2 Y=$"tSi"+$"
      tBOX"+$"tSUB"

set   ii=$ii  + 0.010
l.end

quit
```

APÊNDICE B – ESTRUTURA

```
# –> Arquivo estrutura _UTBB_SELBOX.in

go atlas simflags="–P 8"

#=====================================
#
# Difini ção das dimenões da estrutura
#
#–––––––––––––––––––––––––––––––––––––

# Comprimento do canal
set L = 0.170
# Espessura do corpo de sil í cio
set tSi = 0.020
# Espessura do óxido de porta
set tOX = 0.005
# Espessura do óxido enterrado
set tBOX = 0.010
# Espessura do substrato
set tSUB = 0.500

# Comprimento da fonte
set LF = 0.120
# Comprimento do dreno
set LD = 0.120
```

```
# Espaçamento entre óxido enterrado seletivo
#set Wgap = 0

#=====================================
#
# Difinição da malha
#
#-------------------------------------

# Contração da malha
MESH SPACE.MULT=1.3

#-----------------------
# Definições na direção x

# Fonte
X.MESH LOC=0                SPAC=0.025
X.MESH LOC=$"LF"            SPAC=0.001
#X.MESH LOC=$"LF"+0.2*$"L" SPAC=0.005
# Ajuste
X.MESH LOC=$"LF"+0.035 SPAC=0.005
# Espaçamento entre óxido seletivo enterrado
#X.MESH LOC=($"LF"+$"L"+$"LD")/2-($"Wgap"/2) SPAC=0.010
#X.MESH LOC=($"LF"+$"L"+$"LD")/2             SPAC=0.001
#X.MESH LOC=($"LF"+$"L"+$"LD")/2+($"Wgap"/2) SPAC=0.010

# teste
X.MESH LOC=($"LF"+$"L"+$"LD")/2-$"Wgap" SPAC=0.005
#X.MESH LOC=($"LF"+$"L"+$"LD")/2             SPAC=0.001
```

```
X.MESH LOC=($"LF"+$"L"+$"LD")/2+$"Wgap" SPAC=0.005


# Dreno
#X.MESH LOC=$"LF"+$"L"−0.2∗$"L" SPAC=0.005
# Ajuste
X.MESH LOC=$"LF"+$"L"−0.035 SPAC=0.005
X.MESH LOC=$"LF"+$"L"          SPAC=0.001
X.MESH LOC=$"LF"+$"L"+$"LD" SPAC=0.025


#−−−−−−−−−−−−−−−−−−−−−−−
# Definições na direção y

# Óxido de porta
Y.MESH LOC=−$"tOX" SPAC=0.001
Y.MESH LOC=0      SPAC=0.001

# Corpo de silício
Y.MESH LOC=$"tSi"/2 SPAC=0.0025
Y.MESH LOC=$"tSi" SPAC=0.001

# Óxido enterrado
Y.MESH LOC=$"tSi"+$"tBOX" SPAC=0.001

# Substrato
Y.MESH LOC=$"tSi"+$"tBOX"+0.2∗$"tSUB" SPAC=0.010
Y.MESH LOC=$"tSi"+$"tBOX"+0.6∗$"tSUB" SPAC=0.050
Y.MESH LOC=$"tSi"+$"tBOX"+$"tSUB" SPAC=0.050

#===================================
```

```
#
# Difinição das regiões e materiais
#
#-----------------------------------

# Fonte, corpo e Dreno
REGION NUM=1 SILICON Y.MIN=0 Y.MAX=$"tSi"

# Espaçamento entre óxido seletivo enterrado
REGION NUM=2 SILICON Y.MIN=$"tSi" Y.MAX=$"tSi"+$"tBOX"+$"tSUB" x.min=($"
    LF"+$"L"+$"LD")/2-$"wgap" X.MAX =($"LF"+$"L"+$"LD")/2

# Substrato
REGION NUM=3 SILICON Y.MIN=$"tSi"+$"tBOX" Y.MAX=$"tSi"+$"tBOX"+$"tSUB" x.
    max=($"LF"+$"L"+$"LD")/2-$"wgap"
REGION NUM=4 SILICON Y.MIN=$"tSi"+$"tBOX" Y.MAX=$"tSi"+$"tBOX"+$"tSUB" x.
    min=($"LF"+$"L"+$"LD")/2

# Óxido de porta
REGION NUM=5 OXIDE Y.MIN=-$"tOX" Y.MAX=0 X.MIN=$"LF" X.MAX=$"LF"+$"L
    "

# Óxido enterrado
REGION NUM=6 OXIDE Y.MIN=$"tSi" Y.MAX=$"tSi"+$"tBOX" X.MAX=($"LF"+$"L
    "+$"LD")/2-$"wgap"
REGION NUM=7 OXIDE Y.MIN=$"tSi" Y.MAX=$"tSi"+$"tBOX" X.MIN=($"LF"+$"L
    "+$"LD")/2

# Isoladores
```

```
REGION NUM=8 SI3N4 Y.MIN=-$"tOX" Y.MAX=0 X.MIN=0 X.MAX=$"LF"
REGION NUM=9 SI3N4 Y.MIN=-$"tOX" Y.MAX=0 X.MIN=$"LF"+$"L" X.MAX=$"LF
    "+$"L"+$"LD"

#=====================================
#
# Difini ção dos eletrodos
#
#-------------------------------------

# Porta
ELECTRODE NAME=GATE X.MIN=$"LF" X.MAX=$"LF"+$"L" TOP

# Fonte
ELECTRODE NAME=SOURCE X.MAX=$"LF"/2 Y.MIN=0 Y.MAX=0

# Dreno
ELECTRODE NAME=DRAIN X.MIN=$"LF"+$"L"+$"LD"/2 X.MAX=$"LF"+$"L"+$"LD"
     Y.MIN=0 Y.MAX=0

# Substrato
ELECTRODE SUBSTRATE

#=====================================
#
# Dopagem das regiões de sil í cio
#
#-------------------------------------
```

```
# Corpo
doping reg=1 p.type uniform conc=1e15

# Fonte
doping reg=1 n.type gauss conc=6.5e18 char=0.1 peak=0.0 X.RIGHT=$"LF"
DOPING REG=1 N.TYPE UNIFORM CONC=1e20 X.LEFT=0 X.RIGHT=$"LF"-0.3*$"LF
    "

# Dreno
doping reg=1 n.type gauss conc=6.5e18 char=0.1 peak=0.0 X.LEFT=$"LF"+$"L"
DOPING REG=1 N.TYPE UNIFORM CONC=1e20 X.LEFT=$"LF"+$"L"+0.3*$"LD" X.
    RIGHT=$"LF"+$"L"+$"LD"

# Espaçamento entre óxido seletivo enterrado
DOPING REG=2 p.TYPE UNIFORM CONC=1e15

# Substrato
DOPING REG=3 p.TYPE UNIFORM CONC=1e15
DOPING REG=4 p.TYPE UNIFORM CONC=1e15

#====================================
#
# Salva estrutura
#
#------------------------------------

set gap = $"Wgap"*1000
structure outf=UTBB_SELBOX_Wgap$"gap"nm.str master.out
quit
```

APÊNDICE C – CONFIGURAÇÕES DO DISPOSITIVO

```
# –> Arquivo A_UTBB_SELBOX.in

set dev = A_UTBB_SELBOX

#=====================================
#
# Modelos
#
#-------------------------------------

models device = $"dev" region=1 cvt kla bgn trap.coulombic trap.tunnel srh auger bbt
    .kl consrh temp=300 print

model device = $"dev" bb.a=4.00e18 bb.b=0.9e7 bb.gamma=2.21

IMPACT device = $"dev" region=1 SELB

#=====================================
#
# Contatos
#
#-------------------------------------

CONTACT device = $"dev" NAME=GATE WORKFUNCTION=3.53

#=====================================
```

```
#
#  Interfaces
#
#-------------------------------------

 interf   device  = $"dev"  qf=3e10 y.max=$"tSi"/2
 interf   device  = $"dev"  qf=1e11 y.min=$"tSi"/2

#-------------------
# Primeira   Interface

 set  ymin= -$"tOX"/2
 set  ymax= $" tSi "/2

 set  sign=3e-13
 set  sigp=3e-12
 set  degen=12
#set  k = 9.4466e5

 set  e_level  = 0
loop  steps  = 30
 inttrap   device  = $"dev"  y.max=$"ymax" y.min=$"ymin" acceptor density=1.1e11 S.I
      degen=$"degen" sign=$"sign"  sigp=$"sigp"  e. level =$"e_level"
 set  e_level  = $e_level  + 0.02
l.end

#-------------------
# Segunda  Interface
```

```
set  ymin= $"tSi"/2
set  ymax= $"tSi"+$"tBOX"/2


set  e_level  = 0
loop  steps  = 30
 inttrap   device  = $"dev"  y.max=$"ymax" y.min=$"ymin" acceptor density=1.1e11 S.I
      degen=$"degen" sign=$"sign"  sigp=$"sigp"  e. level=$"e_level"
set  e_level  = $e_level  + 0.02
l.end
```