



UNIVERSIDADE ESTADUAL PAULISTA
"JÚLIO DE MESQUITA FILHO"
Campus de Ilha Solteira

PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

DENIS ROGÉRIO DA SILVA

**CONVERSOR ANALÓGICO DIGITAL DE 10 BITS UTILIZANDO ARQUITETURA
PIPELINE E TECNOLOGIA CMOS**

Ilha Solteira
2015

DENIS ROGÉRIO DA SILVA

**CONVERSOR ANALÓGICO DIGITAL DE 10 BITS UTILIZANDO ARQUITETURA
PIPELINE E TECNOLOGIA CMOS**

Dissertação apresentada à Faculdade de
Engenharia - UNESP – Campus de Ilha
Solteira, para obtenção do título de
Mestre em Engenharia Elétrica.

Área de Conhecimento: Automação.

Prof. Dr. Nobuo Oki

Orientador

Ilha Solteira
2015

FICHA CATALOGRÁFICA

Desenvolvido pelo Serviço Técnico de Biblioteca e Documentação

S586c Silva, Denis Rogério da.
Conversor analógico digital de 10 bits utilizando arquitetura pipeline e tecnologia CMOS / Denis Rogério da Silva. -- Ilha Solteira: [s.n.], 2015
62 f. : il.

Dissertação (mestrado) - Universidade Estadual Paulista. Faculdade de Engenharia de Ilha Solteira. Área de conhecimento: Automação, 2015

Orientador: Nobuo Oki
Inclui bibliografia

1. Conversor analógico digital. 2. 10 Bits. 3. Pipeline. 4. CMOS



UNIVERSIDADE ESTADUAL PAULISTA
CAMPUS DE ILHA SOLTEIRA
FACULDADE DE ENGENHARIA DE ILHA SOLTEIRA



CERTIFICADO DE APROVAÇÃO

TÍTULO: Conversor Analógico-Digital de 10 bits utilizando Arquitetura Pipeline e Tecnologia CMOS

AUTOR: DENIS ROGÉRIO DA SILVA

ORIENTADOR: Prof. Dr. NOBUO OKI

Aprovado como parte das exigências para obtenção do Título de Mestre em Engenharia Elétrica ,
Área: AUTOMAÇÃO, pela Comissão Examinadora:

Prof. Dr. NOBUO OKI

Departamento de Engenharia Elétrica / Faculdade de Engenharia de Ilha Solteira

Profa. Dra. SUELY CUNHA AMARO MANTOVANI

Departamento de Engenharia Elétrica / Faculdade de Engenharia de Ilha Solteira

Prof. Dr. VLADEMIR DE JESUS SILVA OLIVEIRA

Faculdade de Ciências Exatas e Tecnológicas / Universidade do Estado de Mato Grosso

Data da realização: 28 de agosto de 2015.

DEDICO

Aos meus pais, Dirceu Nilson da Silva e
Neusa Pinheiro da Silva.

AGRADECIMENTOS

Ao meu orientador, Nobuo Oki, por todo conhecimento, apoio e sua orientação durante o trabalho. Um grande exemplo de pessoa e profissional.

A minha mulher, Antônia Daiane Amancio de Macedo, pelo carinho e companheirismo durante este trabalho.

Aos colegas de laboratório, pelo apoio e momentos de descontração.

A UNESP de Ilha Solteira, pela oportunidade concedida para a realização deste trabalho.

A tantos outros que ajudaram a chegar até aqui.

A Deus, por tudo que concedeu em minha vida. A quem eu credito tudo de bom que aconteceu em minha vida. Não vejo outro motivo de tudo acontecer que não seja Deus.

RESUMO

Neste trabalho é apresentado um conversor analógico digital com resolução de 10 *bits* e arquitetura *pipeline*, que consiste em um conversor de multi-passos de processamento concorrential e do tipo Nyquist. É realizado o desenvolvimento das partes do conversor com maior enfoque na parte analógica. Técnicas para melhoria do desempenho do conversor são apresentadas visando principalmente, a minimização dos efeitos de tensão de *offset* dos comparadores e baixo consumo de potência. Um amplificador operacional, com realimentação positiva é apresentado visando um aumento do seu ganho, sem comprometimento no seu consumo de potência. Os testes efetuados foram feitos através de simulações utilizando tecnologia CMOS de 0,35 μm , tensão de alimentação em 1,8 Volts e frequência de chaveamento dos transistores em 5 MHz. Nestes testes são apresentados os resultados das partes do conversor com a utilização das técnicas propostas, mostrando o alcance dos resultados esperados.

Palavras-chave: Conversor analógico digital. 10 *bits*. *Pipeline*. Multi-passos. *Nyquist*. *Offset*. Comparadores. Baixo consumo de potência. Amplificador Operacional. CMOS.

ABSTRACT

In this work is presented a analog to digital converter with a resolution of 10 bits and pipeline architecture, which consists in a multi-converter competitive processing steps and the Nyquist Limit type. It is carried out the development of the parties of the converter with greater focus on the analog. Techniques for improving the performance of the converter are presented aiming primarily, minimization of the effects of the offset voltage comparators and low power consumption. An Operational Amplifier with positive feedback is presented aiming an increase of its gain, without compromising on your power consumption. The tests performed were made through simulations using CMOS technology 0.35 μm , voltage supply at 1.8 Volts and switching frequency of transistors of 5 MHz. These tests presented the results of the parties of the converter with the use of the techniques proposed, showing the reach of the expected results.

Keywords: Analog to digital converter. 10 bits. Pipeline. Multi-step. Nyquist. Offset. Comparators. Low power. Operational Amplifier. CMOS.

LISTA DE FIGURAS

Figura 1- ADC Flash de 3 <i>bits</i>	16
Figura 2- Conversor sub-ranging de 4 <i>bits</i>	17
Figura 3- ADC dois passos de 4 <i>bits</i>	18
Figura 4- Estrutura do SAR ADC.	19
Figura 5- ADC <i>Pipeline</i> e representação de um estágio.....	20
Figura 6- ADC <i>pipeline</i> de n passos.....	21
Figura 7- Representação geral do ADC <i>pipeline</i>	22
Figura 8- Sub-ADC para estrutura 1.5- <i>bit</i> por estágio.	23
Figura 9- a) curva de transferência ideal 1 bit por estágio; b) curva de transferência ideal 1,5 <i>bit</i> por estágio.	24
Figura 10- a) curva de transferência de 1 <i>bit</i> por estágio com <i>offset</i> ; b) curva do ADC com erro de <i>offset</i>	24
Figura 11- Estágio do ADC <i>pipeline</i>	25
Figura 12- a) MDAC de 1.5 <i>bit</i> ; b) diagrama das fases.....	27
Figura 13- Gerador de clock comumente utilizado	28
Figura 14- Operação de correção digital.	29
Figura 15- Alinhamento no tempo e somador total.....	29
Figura 16- Transistores NMOS e PMOS utilizados como chave.....	30
Figura 17- Exemplo de descasamento positivo no primeiro estágio com $C2C1 = 1.2$	31
Figura 18- Exemplo de descasamento positivo no primeiro estágio com $C2C1 = 0.8$	32
Figura 19- Representação do ruído térmico a partir do transistor.	33
Figura 20- Compartilhamento do amplificador operacional.	35
Figura 21- Formas de onda utilizadas no chaveamento dos transistores.....	36
Figura 22- Circuito somador total	37
Figura 23- Esquemático para o somador total.....	37
Figura 24- Código digital e tensão residual de um ADC <i>pipeline</i> ideal de 5 <i>bits</i>	38
Figura 25- Código digital e tensão residual de um ADC <i>pipeline</i> de 5 <i>bits</i> com erro no binário do primeiro estágio.	38
Figura 26- Escalonamento dos capacitores.	39
Figura 27- Variação da resistência para chave NMOS e PMOS.....	41
Figura 28- Chave de transmissão e a resistência equivalente da chave.....	41

Figura 29- Amplificador operacional <i>folded cascode</i>	42
Figura 30- Convencional <i>folded cascode</i>	42
Figura 31- Circuito de realimentação de modo comum.	43
Figura 32- Amplificador operacional <i>folded cascode</i> com realimentação positiva.	43
Figura 33- Modelo em pequenos sinais da realimentação positiva.	44
Figura 34- a) resposta de ganho; b) resposta de fase.	45
Figura 35- MDAC.	45
Figura 36- a) sinal amostrado; b) sinal de entrada.	46
Figura 37- Saída do bloco MDAC em frequência de 10 MHz.	47
Figura 38- a) tensão residual do MDAC 1; b) tensão de entrada; c) fase 2.	48
Figura 39- a) binário MSB de saída do MDAC 1; b) binário LSB do MDAC 1; c) tensão de entrada; d) fase 1.	48
Figura 40- Comparador com par diferencial.	49
Figura 41- a) saída do comparador V_{outp} ; b) tensão de referência V_{refp} e de entrada V_{inp} . .	50
Figura 42- a) saída do comparador V_{outn} ; b) tensão de referência V_{refn} e de entrada V_{inn} . .	50
Figura 43- Circuito digital gerador do binário de saída do sub-ADC.	51
Figura 44- Esquema das chaves para a tensão V_{dac}	52
Figura 46- Não-linearidade diferencial.	59
Figura 47- Não-linearidade integral.	59
Figura 48- Exemplo de SNR e SFDR.	61

LISTA DE ABREVIATURAS E SIGLAS

A/D	Analógico para Digital
ADC	Conversor Analógico Digital
CMOS	Complementary Metal Oxide Semiconductor
DAC	Conversor Digital Analógico
DNL	Não Linearidade Diferencial
INL	Não Linearidade Integral
LSB	Least Significant Bit
ENOB	Número Efetivo de Bits
FOM	Figura de Mérito
MATLAB	Matrix Laboratory
MDAC	Conversor Analógico-para-Digital Múltiplo
MSB	Most Significant Bit
NMOS	NFET Metal Oxide Semiconductor
PMOS	PFET Metal Oxide Semicondutor
SFDR	Faixa Dinâmica Livre de Impurezas
SNR	Relação Sinal Ruído
SNDR	Proporção de Distorção Sinal Ruído
SR	Set reset
SUB-ADC	Sub Conversor Analógico Digital
SUB-DAC	Sub Conversor Digital Analógico

LISTA DE SÍMBOLOS

C	Capacitor
C _{in}	Estouro de entrada
C _{out}	Estouro de saída
C ₁	Capacitor 1
C ₂	Capacitor 2
C ₃	Capacitor 3
C ₄	Capacitor 4
dB	Decibéis
k	Constante de Boltzmann
kHz	KiloHertz
MHz	Megahertz
T	Temperatura
V _{cc}	Tensão negativa da fonte
V _{cm}	Tensão de modo comum
V _{dac}	Tensão vinda da referência (sub-ADC)
V _{dacn}	Tensão positiva vinda da referência (sub-ADC)
V _{dacp}	Tensão negativa vinda da referência (sub-ADC)
V _{dd}	Tensão positiva da fonte
V _{in}	Tensão positiva de entrada
V _{ip}	Tensão negativa de entrada
V _{FS}	Tensão de escala total[
V _{max}	Tensão máxima de entrada do conversor
V _n	Tensão de ruído
V _{o+}	Tensão positiva de saída
V _{ref}	Tensão de referência
V _{refn}	Tensão de referência negativa
V _{refp}	Tensão de referência positiva
ϕ_1	Fase um
ϕ_{1p}	Fase um p
ϕ_2	Fase 2

SUMÁRIO

1 INTRODUÇÃO	13
1.1 ESTADO DA ARTE DOS CONVERSORES AD <i>PIPELINE</i>	13
1.2 ORGANIZAÇÃO DA DISSERTAÇÃO	14
2 ARQUITETURAS ADC	15
2.1 CONVERSOR <i>FLASH</i>	15
2.2 CONVERSOR <i>SUB-RANGING</i>	16
2.3 CONVERSOR DE DOIS-PASSOS	17
2.4 CONVERSOR SAR – REGISTRADOR DE APROXIMAÇÕES SUCESSIVAS	18
2.5 CONVERSOR <i>PIPELINE</i>	19
2.6 CONCLUSÕES PARCIAIS	20
3 ESTRUTURA DO ADC PIPELINE PROPOSTO	21
3.1 DESCRIÇÃO GENÉRICA	21
3.2 ESTRUTURA COM 1.5 <i>BIT</i> POR ESTÁGIO NO ADC <i>PIPELINE</i>	22
3.3 BLOCO MDAC – MÚLTIPLO CONVERSOR ANALÓGICO DIGITAL	25
3.4 GERADOR DE FASES (CLOCK)	28
3.5 CIRCUITO DIGITAL – SOMA	28
3.6 CARACTERÍSTICAS E FATORES LIMITANTES NOS COMPONENTES DO ADC <i>PIPELINE</i>	30
3.6.1 Chaves e clock feedthrough	30
3.6.2 Descasamento de capacitores	31
3.6.3 Offset do comparador	32
3.6.4 Erro de ganho do amplificador operacional	32
3.6.5 Ruído Térmico	33
3.7 CONCLUSÕES PARCIAIS	34
4 TÉCNICAS PARA MELHORIA DO ADC PIPELINE	35
4.1 COMPARTILHAMENTO DO AMPLIFICADOR OPERACIONAL	35

4.2 CORREÇÃO DIGITAL	36
4.3 ESCALONAMENTO DOS CAPACITORES	39
4.4 CONCLUSÕES PARCIAIS	39
5 PROJETOS DOS BLOCOS E RESULTADOS	40
5.1 CHAVE DE TRANSMISSÃO	40
5.2 AMPLIFICADOR OPERACIONAL	41
5.2.1 Realimentação positiva do amplificador operacional	43
5.3 MDAC – MÚLTIPLO CONVERSOR ANALÓGICO DIGITAL	45
5.3.1 MDAC com compartilhamento do amplificador operacional	47
5.4 COMPARADOR	49
5.5 SUB-ADC	51
5.6 CONCLUSÕES PARCIAIS	53
6 CONCLUSÃO E FUTUROS TRABALHOS	54
REFERÊNCIAS	55
APÊNDICE A - Características e Parâmetros de Conversores Analógicos Digitais	588
A.1.1 Precisão	588
A.1.2 Resolução	588
A.1.3 Não-linearidade	588
A.1.4 Não-linearidade diferencial (DNL)	599
A.1.5 Não-linearidade integral (INL)	599
A.1.6 Monotonicidade e perda de códigos	60
A.2 PARÂMETROS DINÂMICOS	60
A.2.1 Taxa amostral	60
A.2.2 Relação sinal-ruído (SNR)	60
A.2.3 Proporção de Distorção Sinal-Ruído (SNDR)	60
A.2.4 Faixa Dinâmica Livre de Impurezas (SFDR)	611
A.2.5 Número Efetivo de <i>Bits</i> (ENOB)	611
A.2.6 Figura de Mérito (FOM)	622

1 INTRODUÇÃO

Com os avanços da tecnologia CMOS (Complementary Metal Oxide Semiconductor), os conversores analógicos digitais (ADC em inglês) têm desempenhado papel importante em equipamentos de comunicação móvel e aplicações de vídeo de alta definição. Com a evolução destes equipamentos, há a necessidade de projetar ADC's cada vez com melhor desempenho em relação a velocidade (taxa de amostragem), potência e consumo. Devido o grande número de transistores empregados, o desenvolvimento de ADC é restrito ao campo da microeletrônica.

Há diversas topologias possíveis para o projeto dos ADCs onde tensão de alimentação, velocidade, potência e o tamanho ocupado pelo circuito integrado, são os fatores importantes a serem observados no seu projeto.

Dentre as diversas topologias existentes, os conversores analógicos digitais com arquitetura *pipeline* são amplamente utilizados quando se deseja alta velocidade, baixo consumo de área e de potência em aplicações de média e alta resolução. Com a arquitetura *pipeline* também é possível utilizar a técnica de 1,5 bit que corrige erros de *offset* dos comparadores

A arquitetura *pipeline* oferece possibilidade de melhoria das características de desempenho do conversor, sendo uma das soluções para a demanda tecnológica que acompanha a expansão da eletrônica e a expansão das aplicações na área de comunicação, ocorridas nas últimas décadas.

Sendo assim, o objetivo deste trabalho é projetar um conversor analógico digital com alta velocidade, alta taxa de transferência de dados e com baixo consumo de potência. Para este projeto serão utilizados a tecnologia CMOS 0,35 μm , e a arquitetura *pipeline*. Para melhoria de seu desempenho serão buscadas técnicas que permitam redução do consumo de potência, minimização dos efeitos das tensões de *offset* dos comparadores, e, alterações no projeto do amplificador operacional para aumento de seu ganho com o objetivo de reduzir o erro de ganho do amplificador operacional.

1.1 ESTADO DA ARTE DOS CONVERSORES AD *PIPELINE*

A área da microeletrônica que engloba o projeto de conversores AD *pipeline* passa por constantes inovações. Além da evolução da tecnologia dos transistores que faz com que o conversor utilize menos energia e espaço, novas técnicas para melhoria são desenvolvidas.

Entre as mais utilizadas estão as técnicas que incluem compartilhamento do amplificador operacional (KONG, 2013) e do capacitor (ESMAEELZADEH; SHABANY; SHARIFKHANI, 2014) para redução do consumo de potência; o uso das estruturas básicas de 1,5 *bit* (CHIANG, 2013) para corrigir erros introduzidos pelo *offset* dos comparadores, e novas configurações de amplificadores operacionais (ASSAD; MARTINEZ, 2009) para melhoria de seu ganho. E outras técnicas são aplicadas para melhorar partes do funcionamento do conversor.

Neste trabalho foram utilizadas todas estas técnicas descritas e proposto a introdução de uma realimentação positiva para melhoria do ganho do amplificador operacional.

1.2 ORGANIZAÇÃO DA DISSERTAÇÃO

Visando descrever a arquitetura do conversor proposto, esta dissertação está organizada da seguinte maneira: no capítulo 2 são abordados os tipos de conversores *Nyquist*. No capítulo 3 é descrito o funcionamento do conversor *AD pipeline*, enfatizando seus blocos de construção e efeitos não-ideais. No capítulo 4 são descritas as melhorias apresentadas pelo trabalho. No capítulo 5 são apresentados os projetos dos blocos e resultados. No capítulo 6 é apresentada a conclusão do trabalho.

2 ARQUITETURAS ADC

As diferentes arquiteturas de conversores analógicos digitais se diferenciam pelo consumo, resolução e velocidade. Basicamente há duas principais topologias utilizadas em conversor AD (analógico digital) que são os conversores Nyquist e de sobreamostragem, sendo os conversores da topologia Nyquist os mais utilizados.

Para o entendimento dos ADC's, é importante entender o significado de alguns termos. A taxa de amostragem indica a frequência em que um sinal é amostrado, ou seja, número de amostras obtidas do sinal por cada unidade de tempo, e que é basicamente indica a velocidade do conversor. Já o termo "Nyquist" sugere que a frequência de amostragem de um sinal analógico de entrada, deve ser, pelo menos duas vezes a frequência deste sinal para evitar a perda de informação. Outro termo utilizado é "quantização", que é a transformação das amostras em números inteiros (principal função do ADC).

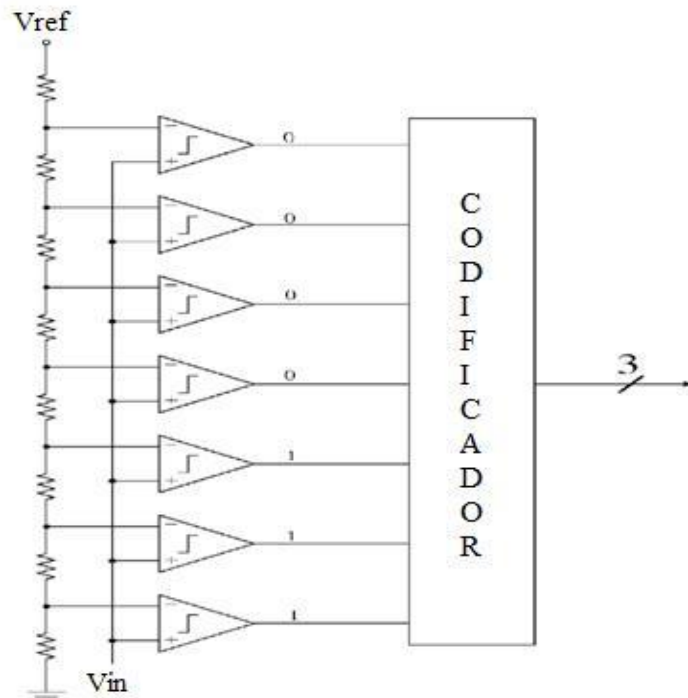
Visando descrever as diferentes arquiteturas, neste capítulo são descritos os conversores Nyquist. Sendo apresentados os mais comuns como o conversor flash, o conversor *sub-ranging*, conversor de dois passos, conversor SAR e o conversor *pipeline*. A descrição dos parâmetros de avaliação dos conversores AD é apresentada no Apêndice A.

2.1 CONVERSOR *FLASH*

O ADC com arquitetura *flash* é o conversor mais rápido. Ele opera com níveis de tensão referenciados por resistores. A partir de uma cadeia de resistores, são indicados níveis graduados de tensões para os comparadores, que são comparados com a tensão de entrada, como mostra a Figura 1. A partir da comparação são gerados os *bits* para cada estágio de comparador e resistor.

O codificador recebe os dígitos e produz uma saída de valores binários. O problema dessa arquitetura é que consome bastante área e energia, pelo fato de utilizar $2^N - 1$ comparadores (SASIDHAR, 2009), onde N é o número de *bits*. O ADC *flash* é ideal para aplicações em que deseja-se ter alta velocidade e baixa resolução.

Figura 1: ADC Flash de 3 bits.



Fonte: Adaptada de Sasidhar (2009)

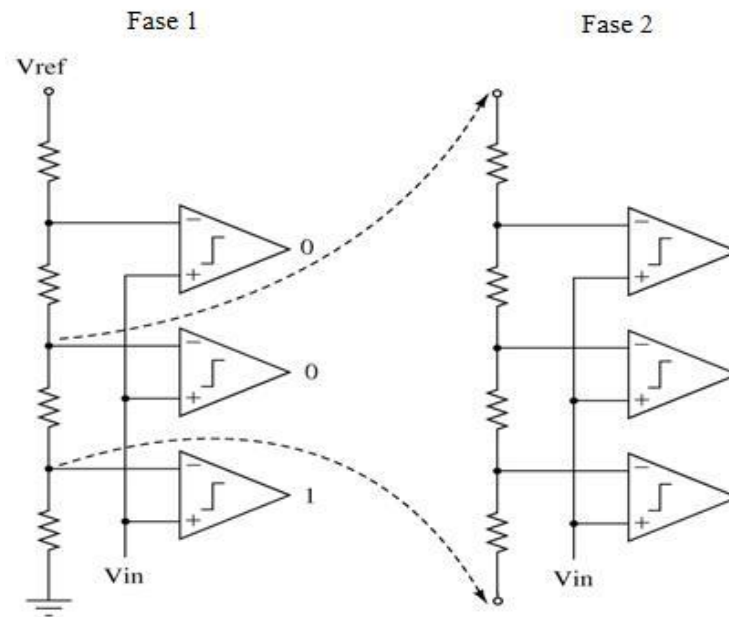
2.2 CONVERSOR SUB-RANGING

Este conversor possui número menor de comparadores do que no *flash*. São $2 * (2^{N/2} - 1)$ comparadores. Em um conversor *flash* de 8 bits, significa ter 255 comparadores e no *sub-ranging*, são somente 30, um número bem menor de comparadores indicando uma drástica redução em consumo de potência.

O conversor *sub-ranging* opera em duas fases. Na primeira fase é determinada a “sub-faixa” que o sinal ocupa e são gerados os bits mais significativos (MSBs – *Most Significant Bit*). E então na segunda fase a quantização é feita dentro dessa faixa, onde são gerados os bits menos significativos (LSBs). Na Figura 2 mostra-se a arquitetura *sub-ranging* de 4 bits e o funcionamento das duas fases.

Este conversor opera em uma menor velocidade, pois a referência é baseada na saída do ADC. Uma outra vantagem é a cancelamento de *offset* na segunda fase (SASIDHAR, 2009).

Figura 2: Conversor sub-ranging de 4 bits.



Fonte: Adaptada de Sasidhar (2009)

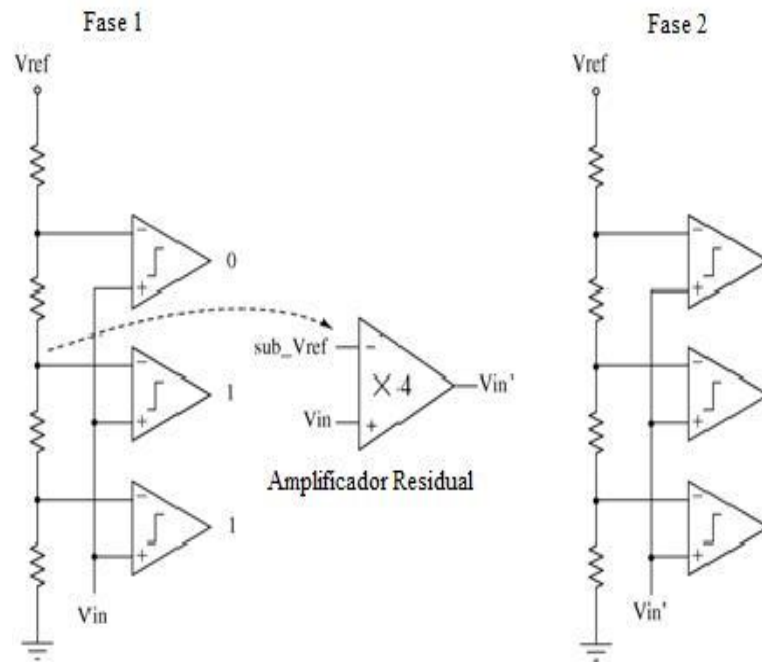
2.3 CONVERSOR DE DOIS-PASSOS

Este conversor possui dois passos para sua operação. No primeiro passo, são gerados os *bits* mais significativos, e, no segundo, os menos significativos. Tem as mesmas vantagens do ADC *sub-ranging*, porém é mais rápido, pois sua referência não se baseia na saída.

O conversor dois-passos utiliza um amplificador residual entre a saída do primeiro estágio e na entrada do segundo, que amplifica a diferença entre a tensão de entrada e a tensão de referência. Na saída a tensão de referência possui mesmo valor da tensão de referência da entrada (SASIDHAR, 2009).

Possui $2 * 2^{N/2}$ comparadores. A velocidade é pouco menor que no ADC *flash* e maior que no ADC *sub-ranging*. O número de comparadores, bem menor que no *flash*, indicando menor consumo de área ocupada. A Figura 3 ilustra o ADC dois passos.

Figura 3: ADC dois passos de 4 bits.



Fonte: Adaptada de Sasidhar (2009)

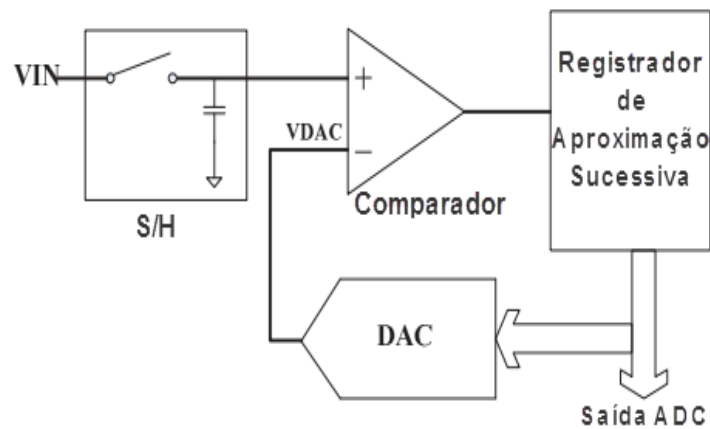
2.4 CONVERSOR SAR – REGISTRADOR DE APROXIMAÇÕES SUCESSIVAS

O SAR ADC é um conversor que inicia o processo de conversão com o MSB de saída em nível lógico alto e os demais são zerados. Neste instante o DAC gera uma tensão de referência que é inserida em uma das entradas do comparador. Esta referência é igual a metade da máxima tensão que o SAR ADC permite na entrada. Então o comparador irá verificar se a tensão de entrada é maior ou menor que a referência. Se for maior, o MSB mantém no nível um, se for menor, o MSB passa a ser zero.

O processo descrito é feito novamente com a referência alterada para um quarto da máxima tensão de entrada do conversor ($V_{max}/4$). No terceiro passo a referência é $V_{max}/8$, e assim sucessivamente sendo a tensão de referência igual a $V_{max}/2^n$, onde n é o número do *bit* em sequência a ser gerado e também representa a resolução do conversor.

O SAR ADC possui baixo consumo de potência e é utilizado em aplicações de média ou alta resolução (HU et al, 2014). Na Figura 4 apresenta-se a estrutura do conversor.

Figura 4: Estrutura do SAR ADC.



Fonte: Adaptada de Hu et al (2014)

2.5 CONVERSOR PIPELINE

O ADC *pipeline*, também conhecido como “quantizador de sub-intervalos”, consiste em uma arquitetura do tipo *flash* que trabalha com múltiplos passos, conforme mostra-se na figura 5.

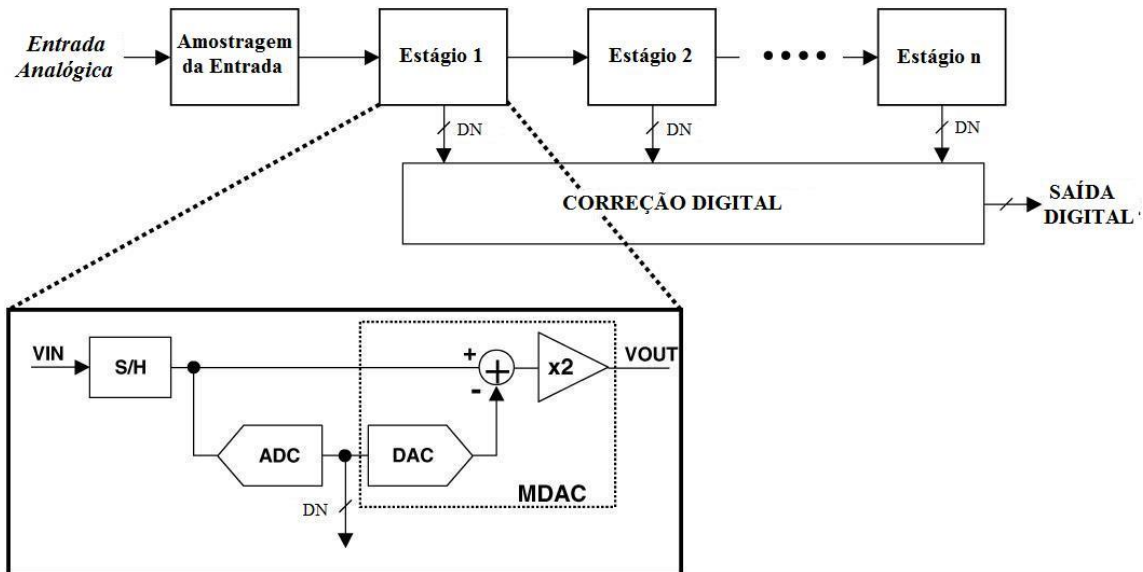
No primeiro estágio, o sinal de entrada é comparado com uma referência e é convertido em uma saída binária, gerando a saída digital do primeiro estágio. Caso a entrada seja maior que a referência, dela é subtraída a referência e o resto, que é chamado de resíduo é multiplicado por 2 e segue para o próximo estágio. Se a entrada for menor que a referência, não há a subtração da referência e a entrada do próximo estágio então é o próprio resíduo do estágio anterior, sendo multiplicado por 2. O processo é repetido nos estágios seguintes até o último estágio.

Cada estágio é composto por um circuito que executa a função de *Sample and Hold*, conversor AD e DA (digital analógico), soma, subtração e amplificação. O bloco total é denominado de Conversor Analógico - para - Digital Múltiplo (MDAC) que consiste de um amplificador operacional e de um conjunto de capacitores chaveados (WALTARI, 2002). O último estágio, geralmente, é implementado por um conversor *flash*. A Figura 5 mostra a arquitetura do conversor AD pipeline e em destaque, um estágio do conversor.

Os dígitos produzidos em cada estágio são somados no bloco de correção digital onde é gerada a saída digital do ADC.

O conversor AD *pipeline*, em relação a outras arquiteturas, opera em altas taxas de amostragem, baixo consumo de potência, consome pouca área de circuito e introduz uma tolerância a erros causados por *offset* dos comparadores, que será detalhado em capítulo posterior. É utilizado em aplicações de 10 a 16 *bits* de resolução.

Figura 5: ADC *Pipeline* e representação de um estágio.



Fonte: Adaptada de Li (2004)

2.6 CONCLUSÕES PARCIAIS

Havendo diferentes arquiteturas de ADC, é importante conhecer as suas características de cada uma, pois dependendo da necessidade, cada conversor possui um desempenho diferente. As características mais importantes a serem observadas são velocidade, consumo de área e potência e, resolução.

3 ESTRUTURA DO ADC PIPELINE PROPOSTO

Neste capítulo são descritos o funcionamento do ADC pipeline, sua arquitetura e seus blocos construtivos. Também é feita uma abordagem sobre suas fontes de erros, tais como *offset*, *clock feedthrough*, descasamento de capacitores, erro de ganho do amplificador operacional e ruído térmico.

3.1 DESCRIÇÃO GENÉRICA

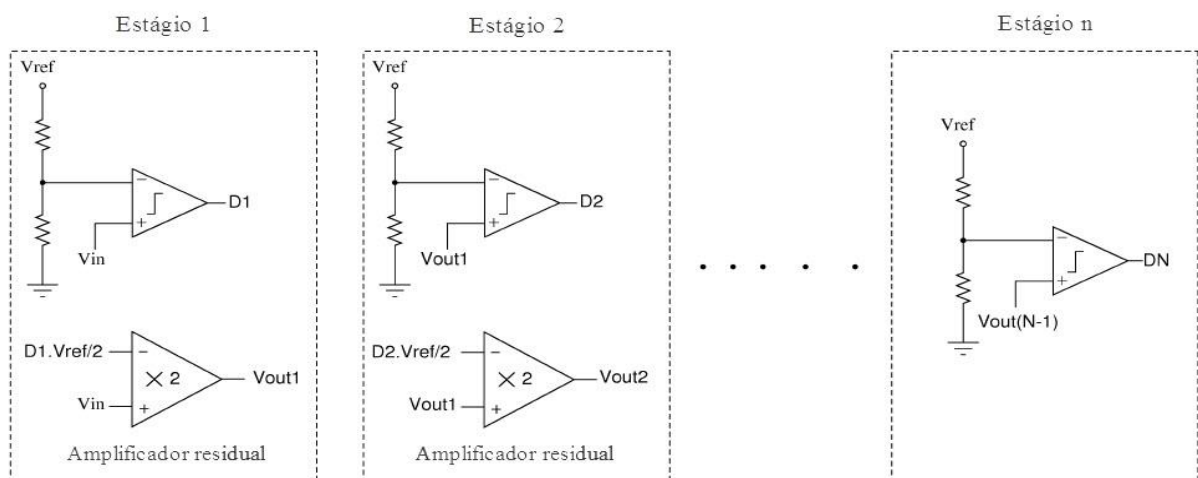
O processo de conversão do *pipeline* está dividido em vários estágios em cascata, conforme mostra a Figura 6. Cada passo é responsável por gerar um *bit* do conversor.

No primeiro estágio, o sinal de entrada é comparado à referência, que é $V_{ref}/2$. Caso a entrada for menor que a referência, a saída no comparador é 0. Se for maior, a saída é 1. E este fica sendo o *bit* gerado pelo primeiro passo do conversor.

Se o sinal de entrada foi maior que a referência, este sinal é subtraído de $V_{ref}/2$ e depois multiplicado por 2, sendo obtido o valor de saída do estágio chamado de valor residual. Caso o sinal de entrada seja menor que $V_{ref}/2$, ele é apenas multiplicado por 2, e assim o valor residual é obtido.

Independente do valor residual, este sinal segue para o segundo estágio para ser realizada a mesma operação, até o último estágio do ADC *pipeline*.

Figura 6: ADC *pipeline* de n passos.

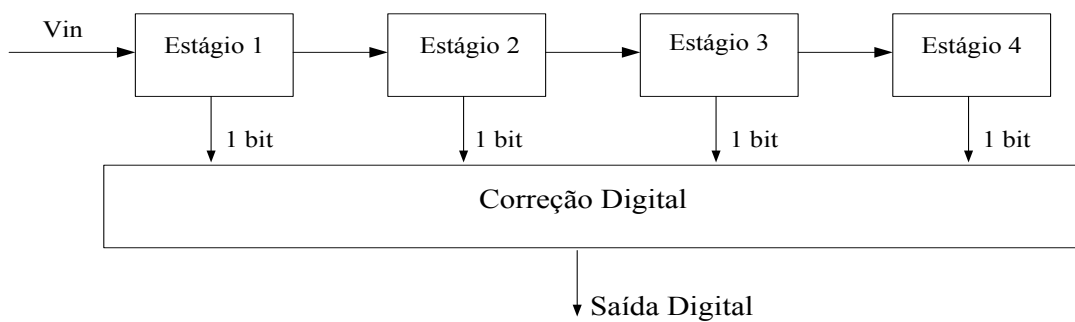


Fonte: Adaptada de Sasidhar (2009)

No último estágio, chamado de estágio n , o sinal não tem seu valor multiplicado por 2 pois é realizado apenas a comparação e é gerado o *bit* do referido estágio.

Após todos os *bits* serem gerados, eles seguem para um bloco onde é feito o tratamento dos *bits* gerados, chamado de correção digital. Esta é a parte digital onde os *bits* são somados e é gerada a palavra final de dados e neste bloco é realizada uma possível correção para erros de precisão do conversor. Na Figura 7 mostra-se o diagrama de blocos completo com a geração dos *bits* e a soma, fornecendo o código final desejado para um ADC de 4 *bits*.

Figura 7: Representação geral do ADC *pipeline*.



Fonte: Elaborada pelo autor

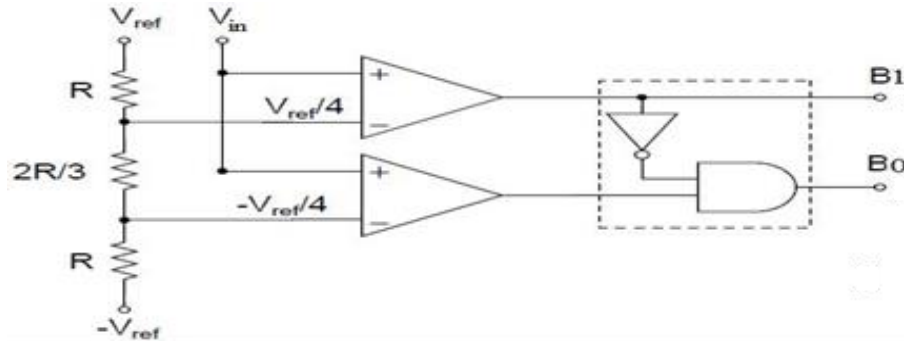
3.2 ESTRUTURA COM 1,5 BIT POR ESTÁGIO NO ADC PIPELINE

Uma inovação, muito aceita e aplicada neste trabalho, é a utilização de estágios capazes de gerar 1,5 *bit*. Com esta inovação é possível induzir uma tolerância a erros de *offset* dos comparadores (SASIDHAR, 2009). Sendo que erros de *offset* dos comparadores é uma significativa fonte de erros nos códigos digitais gerados pelos ADC's.

Para a descrição da estrutura é importante destacar o bloco chamado sub-ADC (Sub Conversor Analógico Digital). O sub-ADC é importante pois nele são gerados os *bits* de cada estágio e trabalha como se fosse uma estrutura *flash* dentro do conversor. O sub-ADC é mostrado na Figura 8.

A tensão de entrada é comparada com dois níveis de tensão ($V_{ref}/4$ e $-V_{ref}/4$). Os possíveis códigos gerados por cada estágio são 00, 01 e 10, o que determina 2 bits por estágio.

Figura 8: Sub-ADC para estrutura 1.5-bit por estágio.



Fonte: Adaptada de Yun 2006

Assim a saída dos binários pode ter os seguintes de acordo com o nível de tensão de entrada em relação à tensão de referência:

$$B_1, B_0 = \begin{cases} 00, & \text{se } V_{in} < -\frac{V_{ref}}{4} \\ 01, & \text{se } -\frac{V_{ref}}{4} \leq V_{in} \leq \frac{V_{ref}}{4} \\ 10, & \text{se } V_{in} > \frac{V_{ref}}{4} \end{cases} \quad (1)$$

Por ser três, o número de possíveis códigos, o número equivalente de *bits* é:

$$m = \log_2 3 = 1.5 \quad (2)$$

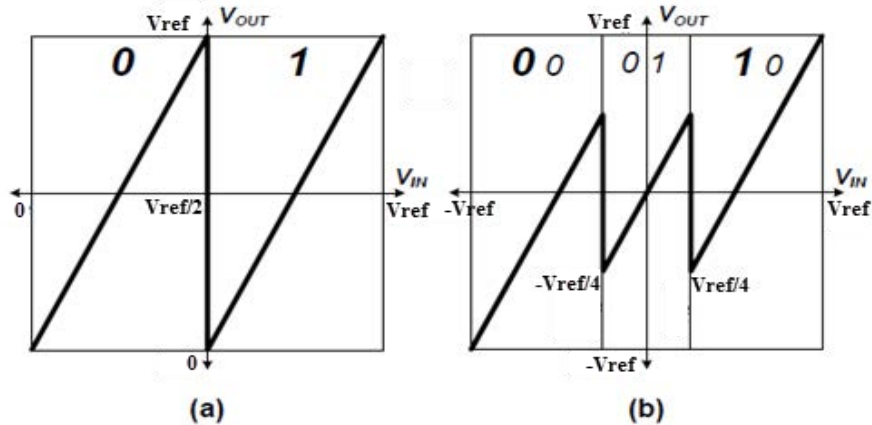
Por isso o nome da estrutura de 1.5 *bit*. Assim, o valor de tensão residual de cada estágio do conversor é dado por:

$$V_{res} = \begin{cases} 2V_{in} + V_{ref}, & \text{se } B_{10} = 00 \\ 2V_{in}, & \text{se } B_{10} = 01 \\ 2V_{in} - V_{ref}, & \text{se } B_{10} = 10 \end{cases} \quad (3)$$

Na figura 9.a mostra-se a curva de transferência ideal para implementação de 1 *bit* por estágio. Enquanto a tensão de entrada V_{in} for menor que $V_{ref}/2$, o binário gerado é 0. Se for maior, o binário será 1. A faixa de tensão deve estar entre 0 e V_{ref} para que o conversor gere o binário normalmente. Na Figura 9.b a curva de transferência ideal para 1,5 *bit* por estágio, com três possíveis combinações de binários. Se a tensão de entrada for menor que $-V_{ref}/4$, o binário gerado é 00. Se a tensão de entrada estiver entre $-V_{ref}/4$ e $V_{ref}/4$, o binário gerado

será 01. E caso a tensão for maior que $V_{ref}/4$, o binário gerado será 10. Observa-se que a tensão de saída V_{out} não ultrapassa as tensões máximas $-V_{ref}$ e V_{ref} .

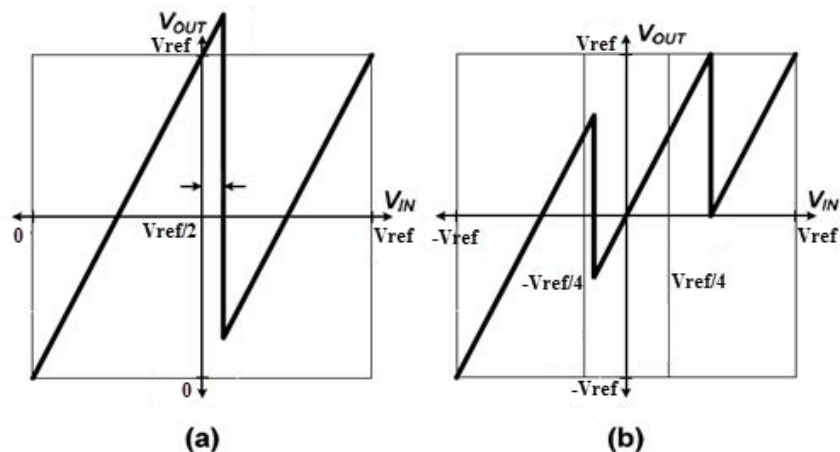
Figura 9: a) curva de transferência ideal 1 bit por estágio; b) curva de transferência ideal 1,5 bit por estágio.



Fonte: Adaptada de ASSAAD, 2009

A existência ou não da tensão de referência como parte da tensão residual de cada estágio, tem por finalidade, a correção dos erros de *offset* dos comparadores. Na Figura 10 são apresentados exemplos de distorção da curva de transferência do estágio do conversor devido ao *offset* do/s comparador/es, para *pipeline* com 1 bit e 1,5 bit. Caso ocorra a distorção, como é visto na figura, o binário gerado pode apresentar valor diferente do binário que deveria ser, se a curva não estivesse distorcida.

Figura 10: a) curva de transferência de 1 bit por estágio com *offset*; b) curva do ADC com erro de *offset*.



Fonte: Adaptada de Assaad 2009

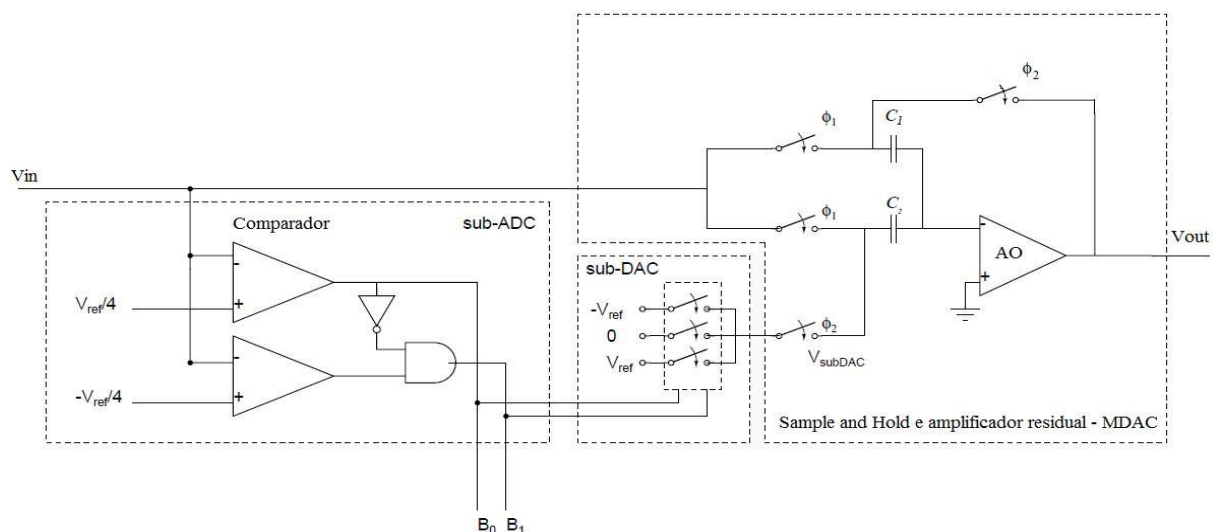
3.3 BLOCO MDAC – MÚLTIPLO CONVERSOR ANALÓGICO DIGITAL

O MDAC (Conversor Analógico-para-Digital Múltiplo) é o bloco mais crítico do ADC *pipeline*. Nesse bloco é utilizado circuito com capacitor chaveado, que é uma vantagem para precisão em operações matemáticas como adição, subtração e multiplicação, devido ao alto grau de casamento relativo dos capacitores (AHMED, 2004). Este bloco também contém o elemento mais crítico no ADC que é o amplificador operacional.

No bloco MDAC são feitas as operações de amostragem e amplificação, onde é inserido o valor de referência vindo do sub-DAC e a amplificação (pela distribuição de carga nos capacitores) do sinal de entrada.

Em seu funcionamento no primeiro momento, o sinal de entrada é imediatamente amostrado pelos capacitores na primeira fase (tensão inserida na porta do transistor MOS com formato de pulsos retangulares), que é a fase de amostragem. Assim os capacitores estão carregados com a tensão de entrada. Na fase de amplificação, os capacitores enviam o sinal de entrada para a saída com o valor multiplicado por dois (redistribuição de carga). Também nessa fase de amplificação, o capacitor C_1 é conectado na saída, e o capacitor C_2 , recebe o valor de referência vindo do sub-DAC (Sub Conversor Digital Analógico) que é baseado no número dos *bits* gerados pelo sub-ADC, assim a tensão de entrada que foi multiplicada por dois recebe também o valor de referência do sub-DAC. O valor de saída destas operações é chamado de tensão residual (V_{out}), que segue para o seguinte estágio do conversor. A Figura 11 apresenta-se o funcionamento do MDAC.

Figura 11: Estágio do ADC *pipeline*.



Fonte: Adaptada de Yun (2006)

Se os *bits* gerados pelo sub-ADC for 01, de acordo com a conservação de carga nos capacitores, admitindo os capacitores C1 e C2 com valores iguais, o valor da tensão de saída é calculado por (AHMED, 2004):

$$C_1V_{in} + C_2V_{in} = C_1V_{out} \quad (4)$$

onde pode-se obter, por manipulação algébrica a equação descrita por:

$$V_{out} = \frac{C_1 + C_2}{C_2} V_{in}$$

ou

$$V_{out} = 2V_{in} \quad (5)$$

considerando C1 igual a C2.

Para o caso dos *bits* serem 10, a equação de conservação de carga no circuito será dada por:

$$C_1V_{in} + C_2V_{in} = C_2V_{ref} + C_1V_{out} \quad (6)$$

onde Vout, pode ser escrito como:

$$V_{out} = 2V_{in} - V_{ref} \quad (7)$$

E para o caso dos bits serem 00, a equação de conservação de carga será:

$$C_1V_{in} + C_2V_{in} = C_2(-V_{ref}) + C_1V_{out} \quad (8)$$

e finalmente produzindo Vout, dado por:

$$V_{out} = 2V_{in} + V_{ref} \quad (9)$$

Para uma aplicação totalmente diferencial, como mostrado na Figura 12, são colocadas duas entradas: uma (V_{ip}) com um dado potencial, e outra com o potencial oposto ao da

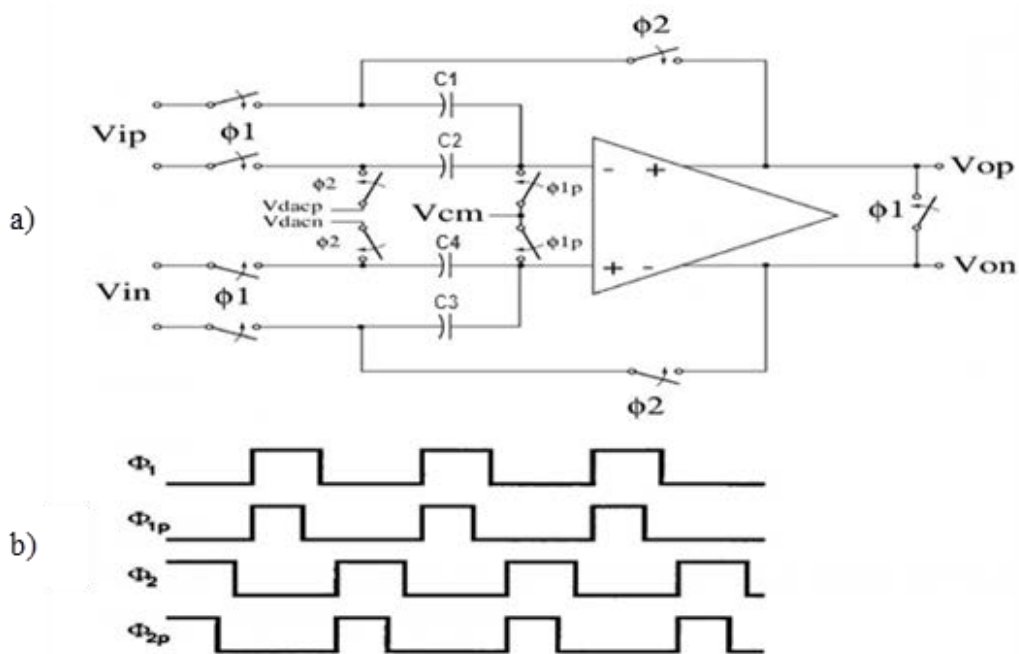
entrada V_{ip} que é a V_{in} . Esta aplicação está contida na parte MDAC da Figura 11, porém nesta é utilizado o amplificador operacional com duas saídas (totalmente diferencial).

Então na Figura 12.b, é apresentada a fase 1 (Φ_1). Quando esta fase está em nível alto, transistores MOS recebem a tensão de 0,9 Volts e impõem nos capacitores o potencial de entrada. Com o auxílio da fase Φ_{1p} em nível alto, a tensão V_{cm} é imposta no outro terminal dos capacitores. V_{cm} , tensão de modo comum, é calculada por:

$$V_{CM} = \frac{V_{DD} + V_{SS}}{2} \quad (10)$$

No momento em que a fase ϕ_{1p} vai a nível baixo (-0,9 Volts), os capacitores têm suas cargas “presas” (ABO, 1999), ou seja, não tem nenhum caminho para seguir. Na fase 2 (ϕ_2) de amplificação em nível alto, os capacitores são descarregados para a saída e neste momento ocorre a redistribuição de carga, em que as cargas do capacitor 2 seguem para o capacitor 1 e as cargas do capacitor 4 seguem para o capacitor 3, e ainda adicionam o valor vindo da referência (V_{dacp} e V_{dacn}). Ainda na Figura 12 é mostrado o funcionamento das fases.

Figura 12: a) MDAC de 1.5 bit; b) diagrama das fases.



Fonte: Adaptada de Sasidhar (2009)

O amplificador operacional é totalmente diferencial (duas entradas e duas saídas), aplicação utilizada na prática dos ADCs. Este amplificador operacional, totalmente

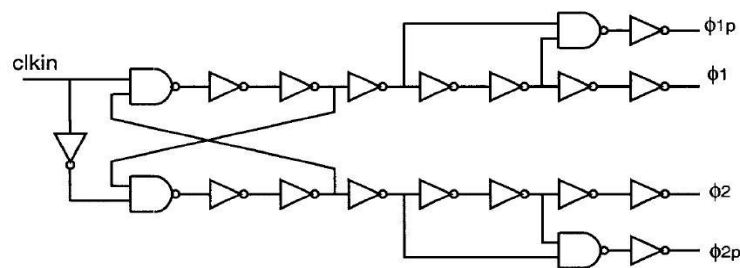
diferencial, amplifica a diferença de tensão das entradas e apresenta em uma saída. A outra saída tem polaridade oposta à primeira. O amplificador operacional proposto no trabalho, necessita internamente de um circuito de realimentação de modo comum (CMFB) que monitora as tensões de saída, a estabilizando em torno da tensão de modo comum (RAZAVI, 2001). Outro ponto importante do amplificador diferencial, é que as saídas são iguais e de fases opostas, sendo referenciadas ao potencial central chamado de nível de modo-comum (V_{CM}).

A estrutura totalmente diferencial tem a vantagem de imunidade a ruído (ruído de modo-comum e ruído na alimentação) (RAZAVI, 2001). Outra vantagem é pelo fato das saídas terem fases opostas, a faixa dinâmica é ampliada em duas vezes se comparada a uma estrutura de saída única.

3.4 GERADOR DE FASES (CLOCK)

Na Figura 13 tem-se um exemplo de um típico gerador de *clock* para fases não-sobrepostas. Um *clock* externo fornece a entrada do gerador de fases e a duração das fases é em função dos blocos de propagação de atraso, dados pelos *buffers* (ABO, 1999).

Figura 13: Gerador de clock comumente utilizado



Fonte: ABO, 1999

3.5 CIRCUITO DIGITAL – SOMA

Neste circuito são recebidos os *bits* de cada estágio e é efetuada a soma para a obtenção do código digital de saída.

Na Figura 14 apresenta-se um exemplo de cálculo da operação de soma digital, onde o bloco de correção digital realiza a soma dos valores vindos de cada estágio. O ADC é geralmente empregado com $N-2$ (onde N é o número de *bits* do conversor) estágios de 1.5-bit,

seguido por um estágio *flash* de 2-bits. Nesse exemplo o conversor gera um código de saída com 5-bits.

Figura 14: Operação de correção digital.

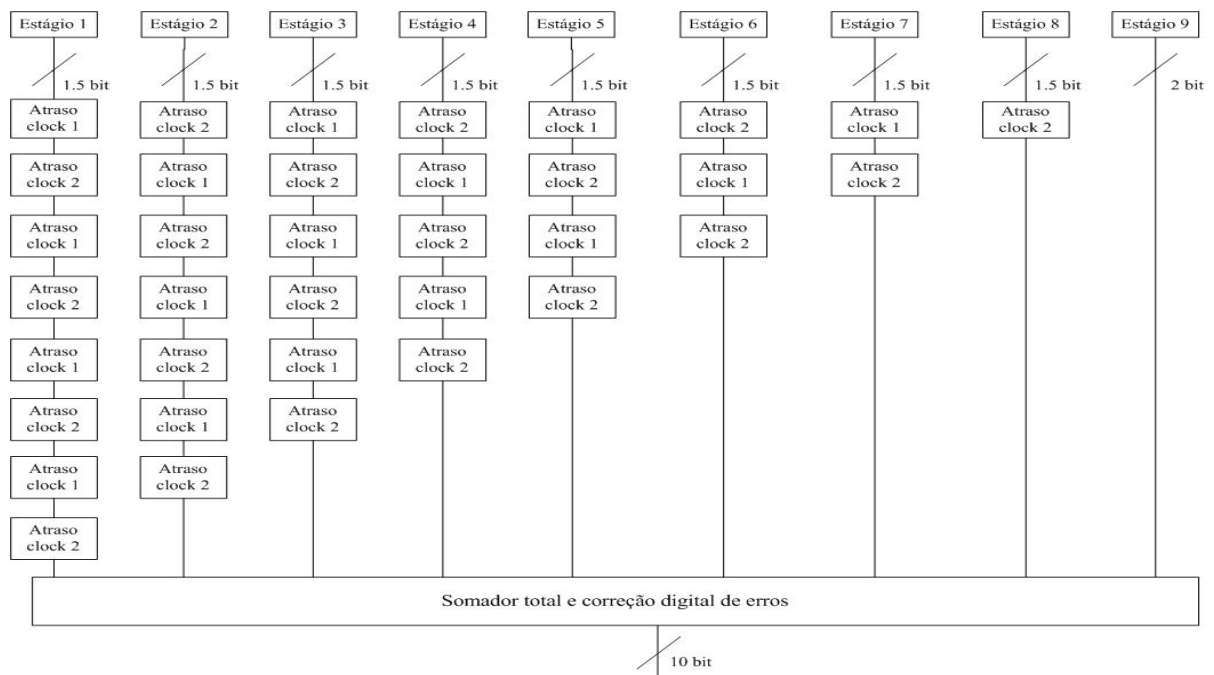
Estágio 1	10	→	Estágio 1.5-bit
Estágio 2	10	→	Estágio 1.5-bit
Estágio 3	10	→	Estágio 1.5-bit
Estágio 4	11	→	Estágio FLASH ADC
Código final	11111	→	Código digital de 5 bits

Fonte: Adaptado de Sasidhar (2009)

Como mostrado na Figura 14, a soma é realizada com a sobreposição do último *bit* de cada estágio com o *bit* mais significativo do estágio precedente.

Para a correção digital de erros dos estágios (erros de ganho, descasamentos) utilizando a técnica 1,5 *bit*, as saídas dos estágios *pipelines* devem ser sincronizadas, para que todos os binários gerados em cada estágio, apareçam na saída no mesmo instante de tempo. Assim, mostra-se na Figura 15, o diagrama do circuito digital, onde todas as saídas são sincronizadas utilizando *flip-flops* D, que são *flip-flops* de atraso e os códigos são digitalmente corrigidos via circuito somador total (TSUI, 2008).

Figura 15: Alinhamento no tempo e somador total.



Fonte: Elaborada pelo autor

3.6 CARACTERÍSTICAS E FATORES LIMITANTES NOS COMPONENTES DO ADC PIPELINE

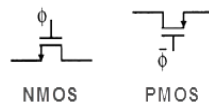
Nos ADC *pipeline*, há uma série de fatores que alteram as características do funcionamento normal como precisão, velocidade, consumo, etc, que existem nos componentes (chaves, capacitor, comparador, amplificador operacional). Por isto algumas mudanças e aproximações nestes componentes são realizadas e estes fatores são abordados a seguir.

3.6.1 Chaves e clock feedthrough

As chaves são construídas usando transistores NMOS ou PMOS conforme a Figura 16. Quando a tensão na porta do transistor é alta, é permitida a passagem da corrente elétrica do dreno para a fonte (considerando o transistor NMOS). Quando a tensão na porta é baixa, não ocorre passagem de corrente para a fonte.

A diferença entre chaves NMOS e PMOS é que para chaves PMOS a polarização na porta é negativa e NMOS é positiva.

Figura 16: Transistores NMOS e PMOS utilizados como chave.



Fonte: Elaborada pelo autor

Estas chaves possuem resistência na região triodo, sendo dada pela equação 11.

$$R = \frac{1}{\mu \cdot C_{ox} \cdot \frac{W}{L} \cdot (V_{GS} - V_{TH})} \quad (11)$$

Onde: μ : mobilidade dos portadores

C_{ox} : capacitância de porta do transistor

W : largura do canal do transistor

L : comprimento do canal do transistor

V_{GS} : tensão porta fonte do transistor

V_{TH} : tensão de limiar do transistor

3.6.2 Descasamento de capacitores

Entende-se por descasamento as variações físicas que ocorrem entre os componentes dentro do *chip*. E, como resultado, acaba prejudicando o funcionamento do circuito.

Para a resolução de 1.5 *bit* no ADC *pipeline*, os capacitores devem ter os mesmos valores de capacitâncias ($C_1 = C_2$ e $C_3 = C_4$). Porém, devido às variações do processo e imperfeições do projeto, inclui-se um descasamento nos valores dos capacitores (ASSAAD, 2009). Assim a tensão residual de um ADC de 1.5 *bit* por estágio e, para um estágio i é dada por:

$$Vres_{i+1} = \left(1 + \frac{C_2}{C_1}\right) \cdot Vres_i - D_i \cdot V_{ref} \quad (12)$$

$$\frac{C_2}{C_1} = 1 + c \quad (13)$$

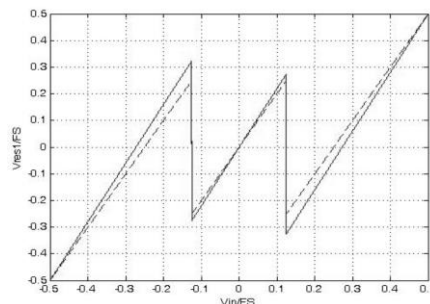
$$c = \frac{C_2 - C_1}{C_1} \quad (14)$$

onde c é o valor do descasamento do capacitor.

O descasamento pode ser positivo ou negativo, dependendo da razão $\frac{C_2}{C_1}$, conforme a equação 14. Caso seja positivo, a razão vai ser maior do que um. Caso o descasamento seja negativo, a razão será menor que um. Nas Figuras 17 e 18 mostram-se exemplos de descasamento positivo e negativo, em que a curva pontilhada é a ideal.

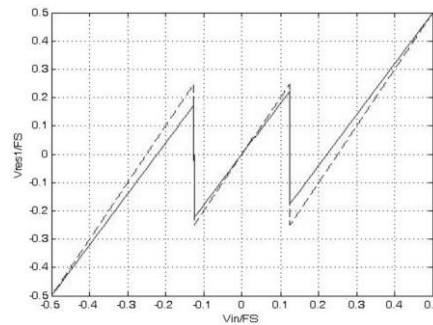
O descasamento de capacitores é corrigido no bloco de correção digital.

Figura 17: Exemplo de descasamento positivo no primeiro estágio com $\frac{C_2}{C_1} = 1.2$.



Fonte: Schwars (2010)

Figura 18: Exemplo de descasamento positivo no primeiro estágio com $\frac{C_2}{C_1} = 0.8$



Fonte: Schwars (2010)

3.6.3 Offset do comparador

O *offset* do comparador limita a precisão da saída binária do ADC. Porém, para estruturas de ADCs *pipeline* com a técnica de 1.5 *bit* por estágio, essa limitação é minimizada.

Assim, o *offset* do comparador é definido como uma entrada diferencial adicional de tensão e que gera uma saída indesejável.

O resultado para a precisão do comparador foi mostrado na Figura 10, onde a curva de transferência foi alterada devido ao *offset* do comparador.

3.6.4 Erro de ganho do amplificador operacional

Assim como o descasamento de capacitores, o erro de ganho do amplificador operacional afeta o ganho entre os estágios do ADC *pipeline*, sendo que estes desvios são corrigidos no bloco de correção digital. Então, devido ao erro de ganho do amplificador em um particular estágio ϵ_i , a tensão residual fica da seguinte forma:

$$Vres_{i+1} = (2.Vres_i - Di.Vref).(1 + \epsilon) \quad (15)$$

o erro de ganho inclui o ganho do amplificador operacional (A) e o fator de realimentação

$$\beta = \frac{C_1}{C_1 + C_2}$$

$$\epsilon = -\frac{1}{A.\beta} \quad (16)$$

O máximo de erro permitido em todo o ciclo do ADC não pode ultrapassar o nível de $\frac{1}{2}$ LSB (meio *bit* menos significativo) (ASSAAD, 2009). E para o erro total em n-1 estágios:

$$\epsilon_{tot} = \sum_{i=0}^{n-1} \frac{e_{i+1}}{2^{i+1}} \leq \frac{1}{2^{n+1}} \quad (17)$$

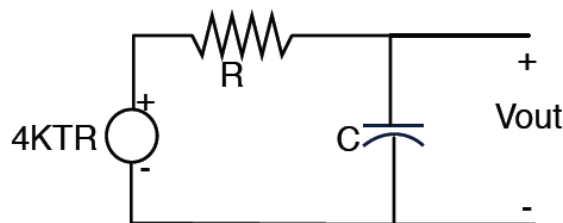
$i = 0, 1, \dots, n - 1$

3.6.5 Ruído Térmico

O ruído térmico é um dos fatores mais determinantes para a escolha dos valores de capacitores amostrais e é o ruído mais importante do ADC. Contribui em dois terços na provisão de ruído no projeto do ADC *pipeline*. A fonte de ruído térmico é chamada de ruído na forma $V_n = \frac{k.T}{C}$ (k é a constante de Boltzmann e T é a temperatura) se origina na operação de amostragem (CLINE, 2007).

O circuito equivalente para o ruído térmico é visto na Figura 19, e o ruído térmico é associado com a resistência do transistor na amostragem (KONG, 2013) no formato 4KTR dado em V²/Hz.

Figura 19: Representação do ruído térmico a partir do transistor.



Fonte: Kong (2013)

A tensão de ruído pode ser calculada por:

$$\overline{V_n^2} \int_{-\infty}^{\infty} |H(f)|^2 \cdot 4KTR \cdot df = \int_{-\infty}^{\infty} \frac{4KTR}{1 + (2\pi fRC)^2} \cdot df = \frac{KT}{C} \quad (18)$$

Com base na equação 12, o capacitor no primeiro estágio deve ser grande o suficiente para reduzir o ruído, pois no primeiro estágio a precisão é muito importante (KONG, 2013). A partir do segundo estágio, o capacitor pode ser diminuído pois a necessidade de precisão é

reduzida, e vai reduzindo até o último estágio do conversor. A diminuição do capacitor é importante pelo fato do alto consumo de área.

3.7 CONCLUSÕES PARCIAIS

Conclui-se que é importante conhecer os blocos com do ADC *pipeline* e suas fontes de erros, pois estes influenciam diretamente nos dígitos gerados pelo conversor. O erro de *offset* é uma fonte de erro que afeta diretamente na precisão do binário de saída e que pode ser amenizado com a técnica de 1,5 *bit* auxiliada pelo bloco de correção digital. Já no funcionamento, é importante observar o funcionamento do MDAC que é baseado em capacitores chaveados.

4 TÉCNICAS PARA MELHORIA DO ADC PIPELINE

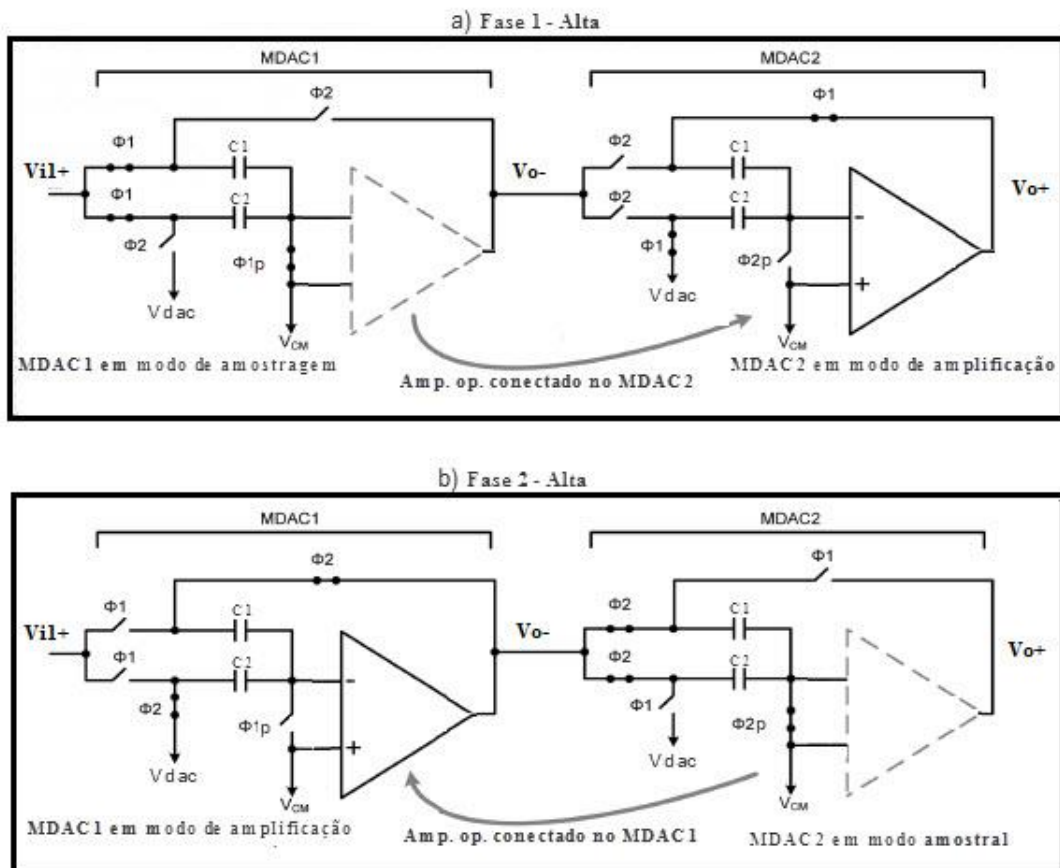
Neste capítulo são descritas as técnicas de melhoria propostas para o ADC pipeline desenvolvido neste trabalho, tais como compartilhamento do amplificador operacional, técnica de 1,5 *bit* e escalonamento dos capacitores.

4.1 COMPARTILHAMENTO DO AMPLIFICADOR OPERACIONAL

Para reduzir, consideravelmente, o consumo de potência do ADC *pipeline*, a técnica de compartilhamento é amplamente utilizada. Utiliza-se um amplificador operacional para cada dois estágios, ao contrário do método tradicional em que se emprega um operacional para cada estágio. Na Figura 20 apresenta-se o funcionamento.

Para a estrutura do ADC é adotado um chaveamento com frequência de 5 MHz.

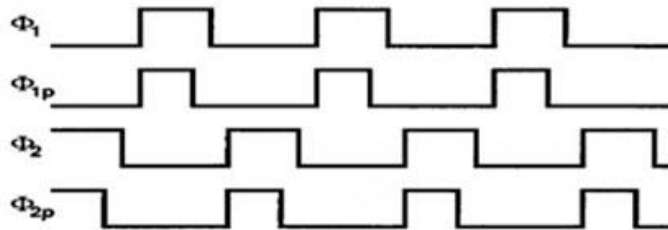
Figura 20: Compartilhamento do amplificador operacional.



Fonte: Adaptada de Chandrashekar (2010)

O chaveamento utilizado no circuito com o compartilhamento do amplificador operacional é mostrado na Figura 21.

Figura 21: Formas de onda utilizadas no chaveamento dos transistores.



Fonte: Adaptada de SASIDHAR (2009)

Quando a fase 1 está em nível alto (Figura 20 (a)), o estágio MDAC1 faz a amostragem do sinal de entrada com os capacitores conectados à tensão de modo comum, enquanto que no MDAC2, com o amplificador operacional conectado a ele, ocorre a amplificação ao mesmo tempo que recebe a tensão de referência, que é baseada na saída digital do presente estágio.

Quando a fase 2 está em nível alto (Figura 20 (b)), o amplificador operacional atua no primeiro estágio, onde ocorre a amplificação e a soma da referência. Enquanto que no segundo estágio ocorre a amostragem e a soma da referência.

O sinal de saída do segundo estágio (V_{o+}) segue para os próximos seis estágios onde a cada dois estágios é utilizada a técnica de compartilhamento de amplificador operacional.

No último estágio, com circuito *flash*, não é utilizada a técnica de compartilhamento de amplificador operacional.

4.2 CORREÇÃO DIGITAL

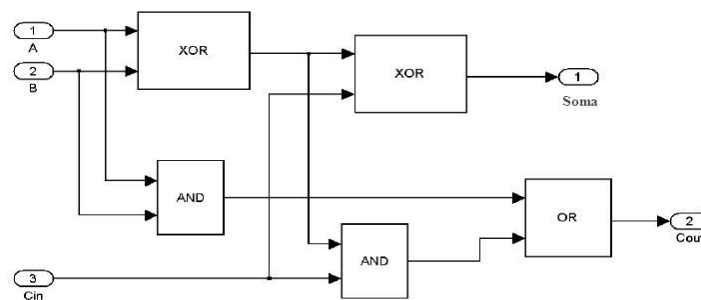
A correção digital aplicada no circuito digital, corrige erros de descasamento de capacitores, erro de ganho finito do amplificador operacional e erro de *offset* dos comparadores. O funcionamento da correção digital é baseado em portas lógicas e nada mais é do que a aplicação da técnica de 1,5 bit, simplesmente por somar o *bit* mais significativo de cada estágio com o *bit* menos significativo do próximo estágio até o sinal chegar no último estágio do ADC.

Os *bits* vindos de cada estágio são recebidos pelo sistema de alinhamento no tempo utilizando *flip-flops* D que são células de atraso, e, depois são encaminhados para o somador

total onde é feita a soma e geração do binário de saída. Todo este circuito digital pode ser aplicado utilizando circuitos físicos com portas lógicas.

Na Figura 22 apresenta-se o exemplo de um circuito somador total implementado com portas XOR, AND e OR. O sinal Cin é o *bit* que extrapolou a soma do estágio anterior e Cout é o *bit* que extrapolou o resultado da soma do referido estágio. O terminal de saída com o nome Soma é o resultado da soma dos binários no estágio em questão. A porta lógica XOR é responsável pela soma de cada dois binários.

Figura 22: Circuito somador total

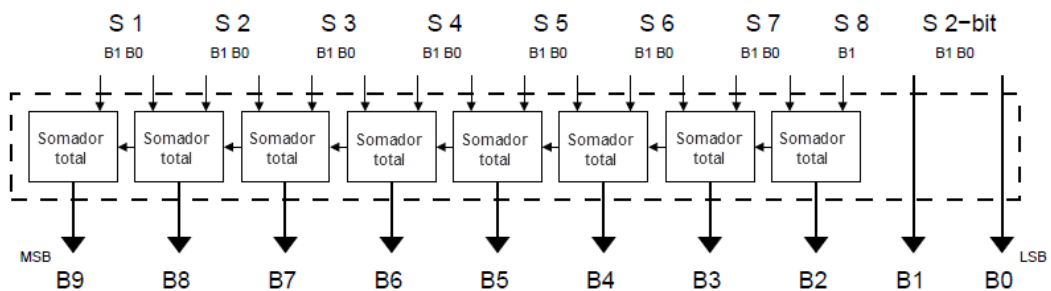


Fonte: Adaptada de WANG (2009)

O importante para a correção dos erros é a aplicação do funcionamento da técnica de 1,5 *bit* em que são gerados 2 *bits*.

Na Figura 23 mostra-se a implementação do somador total na saída do ADC *pipeline*. Na figura mostra de S1 a S8 que são saídas dos estágios MDAC do ADC. E a saída representada por S 2-bit é a saída gerada pelo estágio *flash*, último estágio do ADC *pipeline*. Assim os *bits* gerados de 0 a 9 totalizam 10 *bits*.

Figura 23: Esquemático para o somador total.



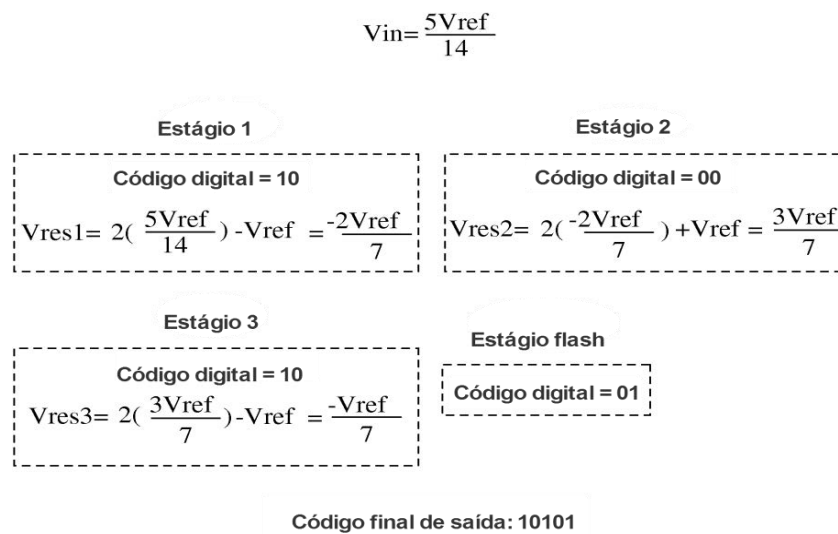
Fonte: Adaptada de Borch (2009)

O exemplo de funcionamento ideal do conversor é mostrado na Figura 24. Baseando na entrada de $(5/14) \cdot V_{ref}$, como este valor é maior que $(1/4) \cdot V_{ef}$, os dígitos 10 são gerados, e

a entrada é multiplicada por 2. Depois segue para o próximo estágio com um valor de resíduo de $(-2/7) \cdot V_{ref}$. E o procedimento de comparação e geração de dígitos e resíduo é realizado novamente até chegar ao estágio *flash*.

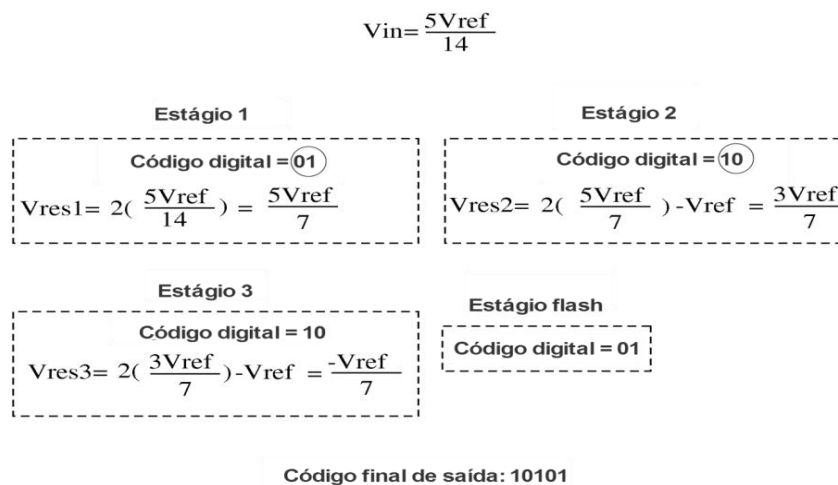
Já na Figura 25, é mostrado o funcionamento caso apareçam erros no primeiro estágio e provoque a mudança no binário de saída, neste mesmo conversor. Demonstra-se que a correção baseada na estrutura 1,5 *bit* é eficiente na correção.

Figura 24: Código digital e tensão residual de um ADC *pipeline* ideal de 5 *bits*.



Fonte: Adaptada de SASIDHAR (2009)

Figura 25: Código digital e tensão residual de um ADC *pipeline* de 5 *bits* com erro no binário do primeiro estágio.

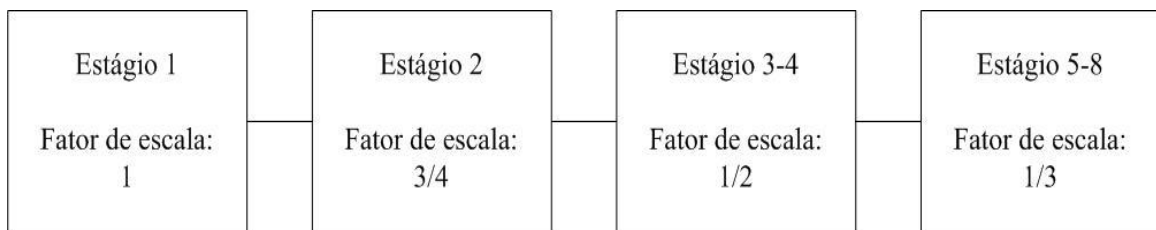


Fonte: Adaptada de SASIDHAR (2009)

4.3 ESCALONAMENTO DOS CAPACITORES

O escalonamento dos estágios para capacitores é necessário para amenizar os efeitos de ruído térmico ao longo dos estágios do ADC e a técnica é amplamente empregada nos ADCs *pipeline*. Conforme o diagrama de blocos mostrado na Figura 26, no primeiro estágio, que é o mais crítico do ADC, é feita uma escolha cuidadosa dos componentes obedecendo ruído térmico e velocidade. A partir do segundo estágio é adotado o fator de escala 0,75. Este fator de escala serve para redução dos valores de capacitância.

Figura 26: Escalonamento dos capacitores.



Fonte: Adaptada de TSUI (2008)

4.4 CONCLUSÕES PARCIAIS

As melhorias apresentadas afetam diretamente na precisão e consumo de potência do ADC *pipeline*. Primeiro que as chaves de transmissão tem um papel importante na precisão principalmente são muito empregadas por estar contida em todos os estágios, fazendo parte do MDAC, amplificador operacional e sub-ADC.

Quanto o compartilhamento do amplificador operacional, compartilhado a cada 2 estágios, reduz significativamente o consumo de potência e a ocupação da área do *chip*. A correção digital emprega basicamente um circuito somador que recebe 2 *bits* de cada estágio, e o exemplo mostrado apresenta a eficiência na correção de erros no conversor. O uso escalonamento de capacitores, junto com a aplicação das chaves de transmissão e a arquitetura 1,5, corrigem possíveis erros que são apresentados com binários errados na saída do ADC *pipeline*.

5 PROJETOS DOS BLOCOS E RESULTADOS

Neste capítulo apresentam-se os projetos dos blocos realizados e os resultados obtidos, enfatizando as partes do conversor com processamento analógico. Sendo que o conversor de 10 *bits* é composto de 8 estágios com MDAC e mais um estágio de arquitetura *flash*, e, cada estágio envia 2 *bits* para o bloco de correção digital formar o binário de saída do conversor em 10 *bits*.

A frequência de amostragem proposta para o ADC *pipeline* é de 5 MHz, devido ao processo de 0,35 μm . Com o processo 0,18 μm , ou algum mais atual, é possível conseguir taxas de amostragem mais altas, pelo fato dos portadores se movimentarem por um canal do CMOS menor.

Para uma resolução de 10 *bits*, o ganho ideal, para o amplificador operacional do ADC *pipeline*, é de pelo menos 60 dB (SASIDHAR, 2009).

O ADC *pipeline* proposto opera com tensões de alimentação em +0,9 Volts e -0,9 Volts.

5.1 CHAVE DE TRANSMISSÃO

Para os transistores CMOS, que são utilizados como chave no ADC *pipeline*, durante o chaveamento a resistência varia e é provocada uma distorção na saída (SASIDHAR, 2009). Outro problema é o *clock feedthrough*, que são cargas injetadas no circuito quando o transistor desliga. Assim é adicionado um erro na saída. Estas cargas que são injetadas são devido ao acoplamento entre porta e fonte do transistor, assim a capacitância contribui para o erro de tensão, dado por:

$$\Delta V = V_{ck} \cdot \frac{C_{gs}}{C_{gs} + C_s} \quad (19)$$

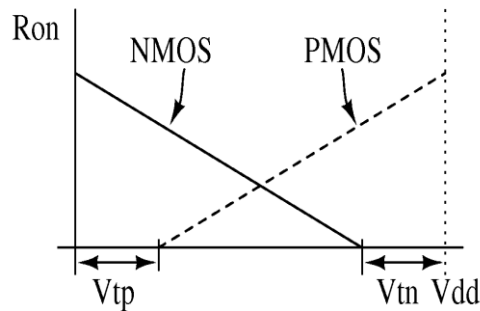
onde V_{ck} é a tensão de *clock*, C_{gs} é a capacitância porta-fonte e C_s é a capacitância na fonte.

Analisando o desempenho do ADC de uma forma geral, o problema de *clock feedthrough* limita a velocidade e precisão (RAZAVI, 2001).

Arquitetura totalmente diferencial pode cancelar erros devido ao *clock feedthrough* (LI, 2003). Para o caso de variação de resistência, um método bastante utilizado usa um transistor NMOS e PMOS em paralelo para garantir a linearidade da resistência. Essa

aplicação em paralelo é chamada de “chave de transmissão”. Na Figura 27 são mostradas as resistências para a chave PMOS e NMOS.

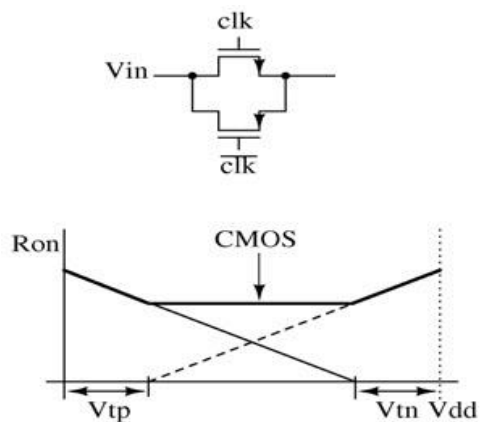
Figura 27: Variação da resistência para chave NMOS e PMOS



Fonte: Sasidhar (2009)

A variação da resistência equivalente para a utilização da chave de transmissão é mostrada na Figura 28.

Figura 28: Chave de transmissão e a resistência equivalente da chave.



Fonte: Sasidhar (2009)

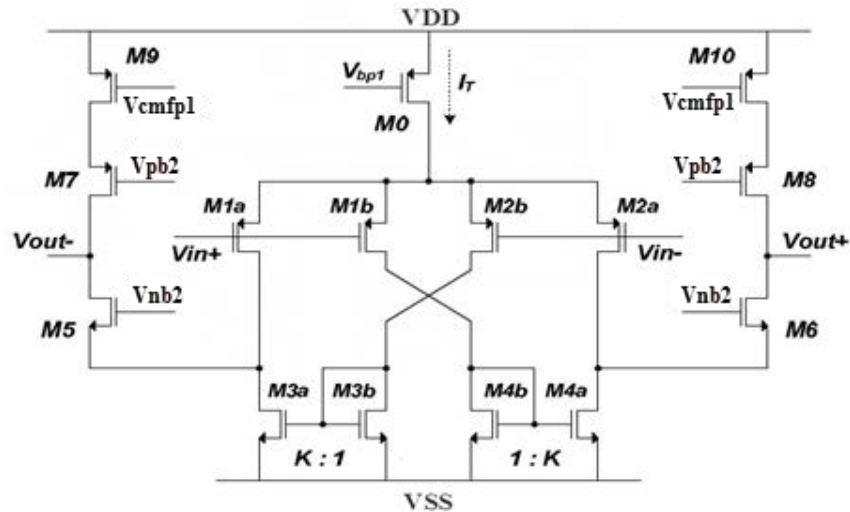
5.2 AMPLIFICADOR OPERACIONAL

O amplificador operacional é o bloco mais crítico no MDAC do ADC *pipeline*. O amplificador operacional é uma topologia derivada da *folded cascode*, como está na Figura 29 (ASSAAD; MARTINEZ, 2009).

Neste bloco, os transistores M3 e M4 conduzem a maior parte da corrente e tem a maior transcondutância, porém a transcondutância é limitada pela corrente gerada pelo par diferencial M1 e M2. Esta versão é uma versão da tradicional estrutura *folded cascode*

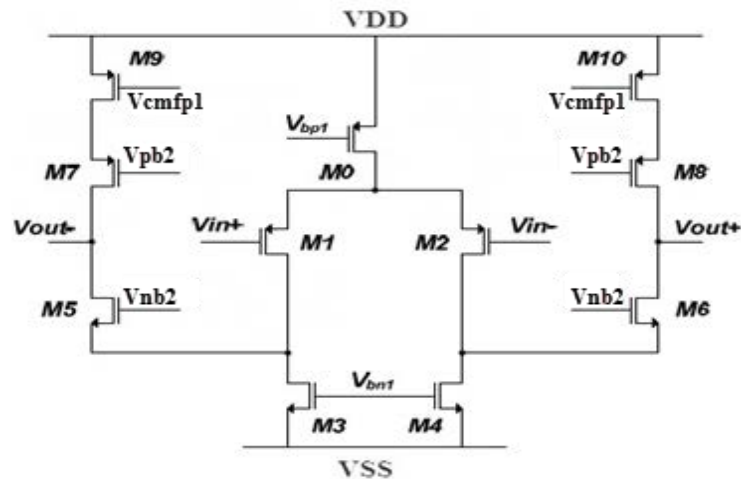
mostrada na Figura 30. Nessa nova versão é possível manter a mesma potência e área, aumentar o ganho e largura de banda, sem afetar com a geração de ruído ou *offset*.

Figura 29: Amplificador operacional *folded cascode*.



Fonte: Adaptada de ASSAAD (2009)

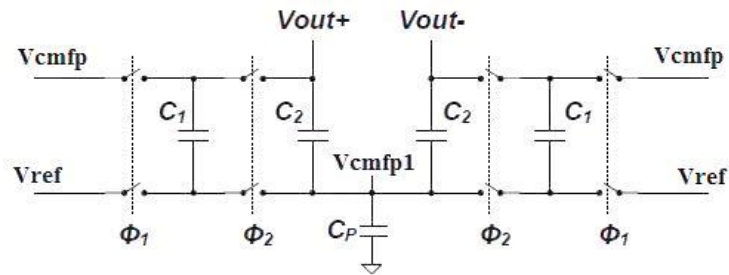
Figura 30: Convencional *folded cascode*.



Fonte: Adaptada de ASSAAD (2009)

Mantém-se a proporção $K=3$ para os transistores espelhos $M3a:M3b$ e $M4a:M4b$ para a manutenção de baixo consumo de potência no amplificador. As duas saídas mantém a corrente em $K \cdot I_T/2$ pelo circuito de realimentação de modo comum, Figura 31. Além do equilíbrio das correntes, o circuito de realimentação de modo comum mantém a tensão nas saídas em torno da tensão de modo comum.

Figura 31: Circuito de realimentação de modo comum.

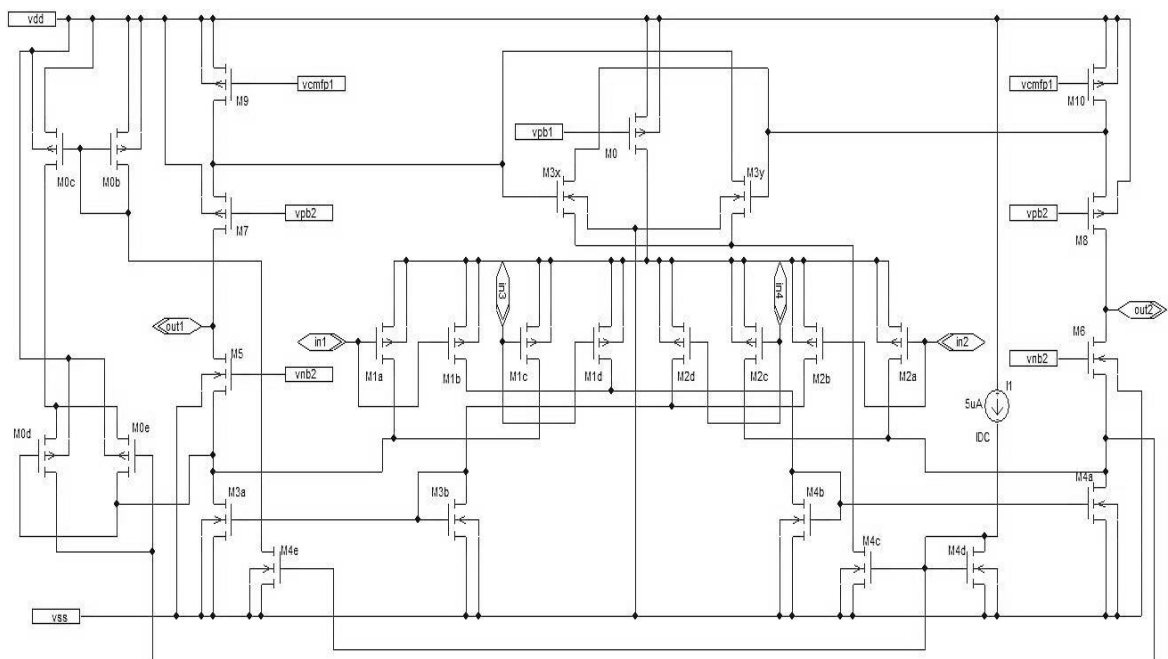


Fonte: Adaptada de ASSAAD (2009)

5.2.1 Realimentação positiva do amplificador operacional

Para melhorar o desempenho do amplificador operacional uma realimentação positiva é inserida como mostra a figura 32. A realimentação positiva é criada pelos transistores Mfa e Mfb. Os transistores M4c, M4d, M0b e M0c auxiliam neste processo atuando como um espelho de corrente para polarizar Mfa, Mfb, M0d e M0e com a corrente da fonte de corrente IDC. Esta realimentação positiva faz com que a impedância de saída aumente e melhore o ganho do amplificador operacional sem aumentar significativamente o consumo de potência. Este é o amplificador operacional utilizado no trabalho.

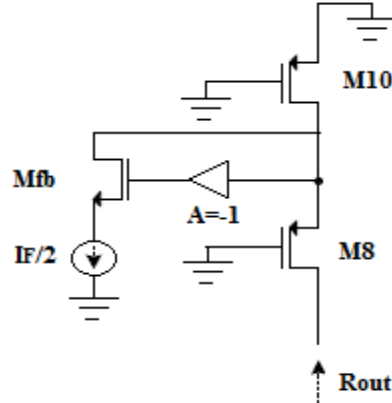
Figura 32: Amplificador operacional *folded cascode* com realimentação positiva.



Fonte: Elaborada pelo autor

A realimentação positiva é modelada em pequenos sinais como mostra a Figura 33:

Figura 33: Modelo em pequenos sinais da realimentação positiva.



Fonte: Elaborada pelo autor

Considerando a estrutura proposta, o ganho do amplificador operacional (ASSAAD; MARTINEZ, 2009) é:

$$\text{Ganho} = g_{m1a}(1+K) g_{m6} r_{ds6} (r_{ds2a} // r_{ds4a}) // R_{out} \quad (19)$$

Onde $K = 3$, e:

$$R_{out} = g_{m8} r_{ds8} r_{ds10} \quad (20)$$

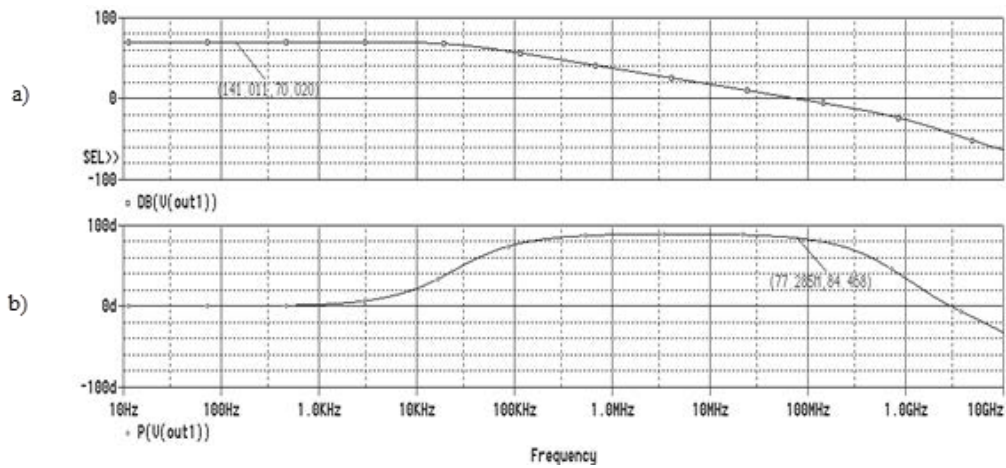
A resistência de saída é dada por:

$$R_{out} = 1 / (1 - g_{mfb} \cdot r_{out10}) \quad (21)$$

Assim, escolhendo-se convenientemente o valor da corrente $IF/2$ da figura 32, pode-se aumentar o valor da resistência de saída e portanto, o valor do ganho do amplificador operacional.

A Figura 34 apresenta a análise AC, sendo que a Figura 34.a apresenta a simulação do o ganho em 70,020 dB. Na figura 33.b são apresentados frequência de ganho unitário em 77,285 MHz e margem de fase em 84,468° para uma corrente $IF/2 = 5\mu A$. O consumo do amplificador operacional é 0,78 miliWatts.

Figura 34: a) resposta de ganho; b) resposta de fase.

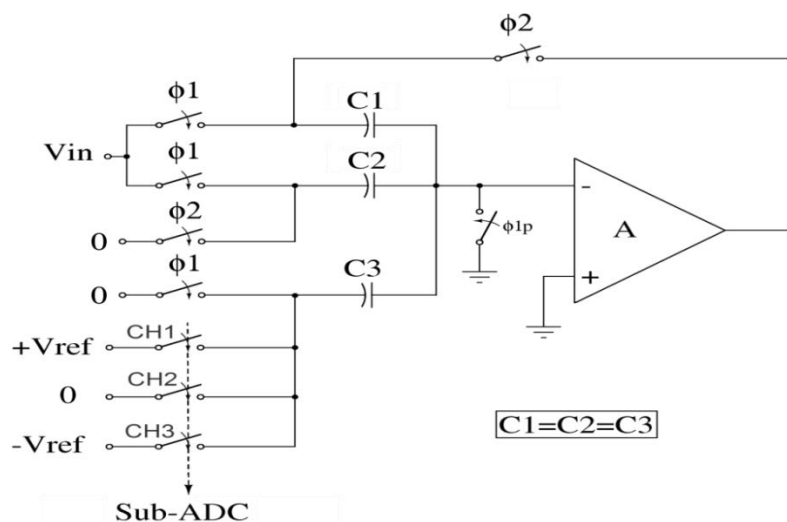


Fonte: Elaborada pelo autor.

5.3 MDAC – MÚLTIPLO CONVERSÃO ANALÓGICO DIGITAL

O MDAC implementado no trabalho é o apresentado na Figura 35. Observa-se que há um terceiro capacitor implementado. Este capacitor é dedicado para injetar a tensão de referência vinda do sub-ADC durante a fase 2. Já os capacitores 1 e 2, tem como papel principal a amostragem e amplificação.

Figura 35: MDAC.

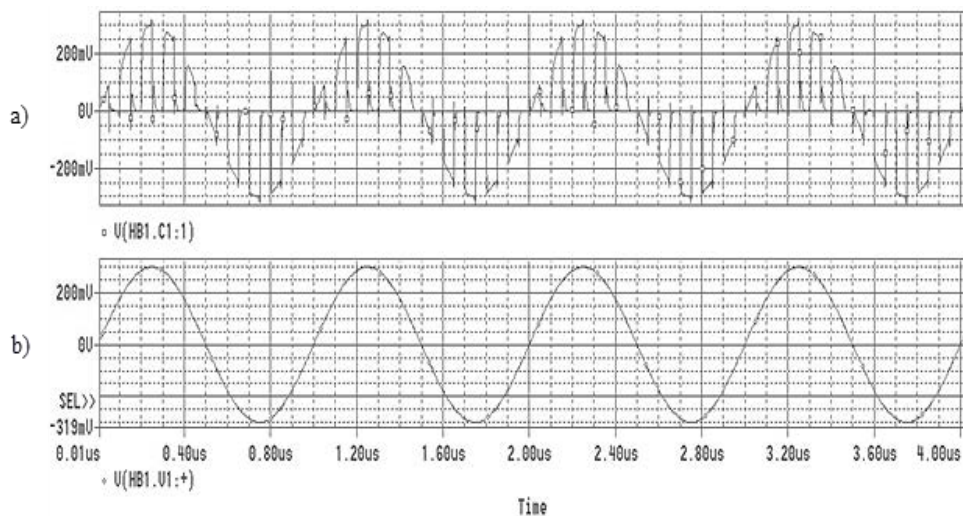


Fonte: Adaptada de SASIDHAR (2009)

Na primeira fase C1 e C2 amostram a tensão de entrada e C3 é ligado em 0 Volts. Na segunda fase, a carga de C2 segue para C1 juntamente com a carga de C3 que possui o potencial da tensão de referência. No momento que a carga de C2 e C3 é redistribuída para C1, o potencial de 0 Volts é conectado em C2 para forçar a movimentação da carga para C1. Para o teste do MDAC proposto, são apresentadas simulações mostradas nas figuras 36 e 37. Adota-se um sinal de entrada senoidal com amplitude de 0,3 Volts e uma frequência de 1 MHz.

Na Figura 36.a temos a operação de amostragem nos capacitores que ocorre enquanto a fase 1 do circuito está em nível alto. Observa-se a mesma amplitude de entrada sendo amostrada nos capacitores 1 e 2 em relação ao sinal de entrada, que é apresentado na Figura 36.b. A frequência de chaveamento para amostragem e amplificação (fase 1 e 2) adotada é 10 MHz para as fases 1 e 2.

Figura 36: a) sinal amostrado; b) sinal de entrada.

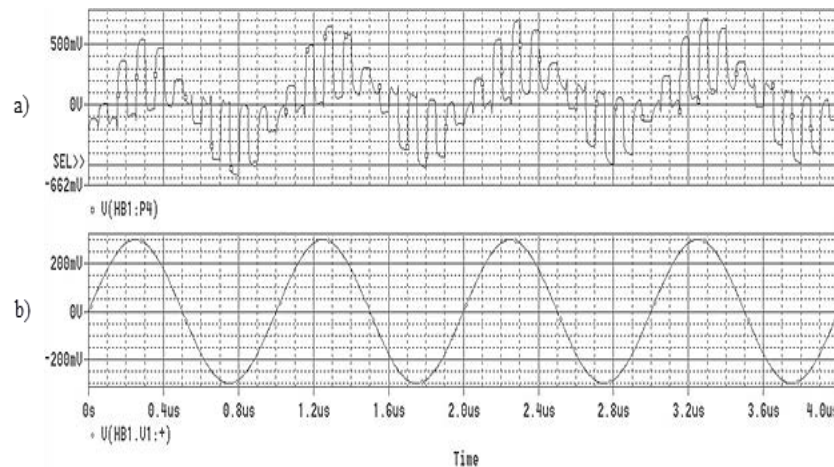


Fonte: Elaborada pelo autor

Na Figura 37.a é apresentada a tensão de saída do bloco MDAC, tensão residual, em que é mostrada a amplificação da tensão de entrada (Figura 37.b) por dois. Este funcionamento ocorre no momento em que a fase 2 está em nível alto. Como na fase 2 é adicionada a tensão de referência, para esta simulação é considerado a tensão de referência em zero volts.

A tensão amostrada apenas aparece nos capacitores e a tensão residual de cada bloco MDAC é a tensão amostrada após o processo de amplificação e adição da tensão de referência.

Figura 37: Saída do bloco MDAC em frequência de 10 MHz.



Fonte: Elaborada pelo autor

5.3.1 MDAC com compartilhamento do amplificador operacional

O compartilhamento do amplificador operacional, proposta de melhoria do trabalho, reduz de forma significativa o consumo de potência do ADC, pois divide o número de amplificadores operacionais pela metade.

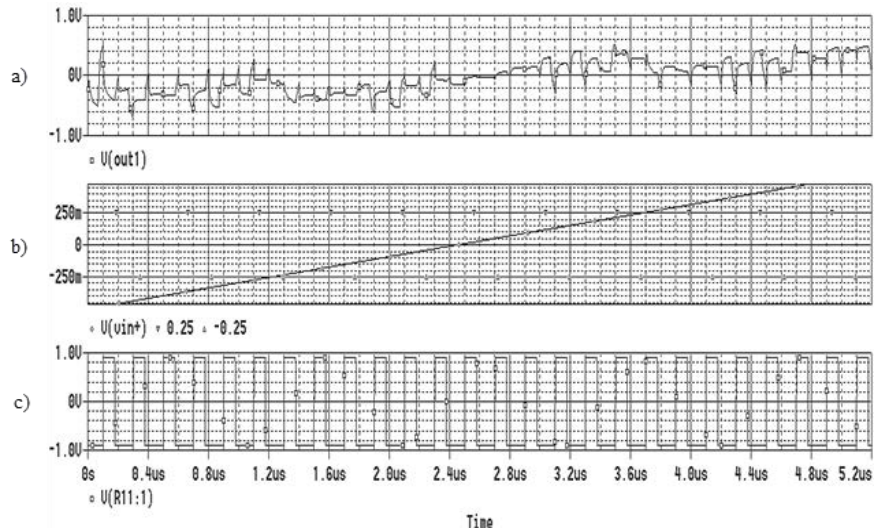
Na simulação apresentada na Figura 38 considerando-se que os estágios de MDAC são interligados, e que operam em uma frequência de amostragem e amplificação de 5 MHz. Também um amplificador operacional é compartilhado a cada dois estágios.

A forma de onda na Figura 38.c, apresenta a fase 2. Já a forma de onda da figura 38.b, mostra o sinal de entrada que é uma onda em formato triangular na frequência de 100 KHz e amplitude de 0,5 Volts no pico positivo, e -0,5 Volts no pico negativo. A simulação mostra apenas um trecho em que a tensão de entrada está em subindo, o qual e passa pelas regiões de comparação (abaixo de 0,25 Volts, entre -0,25 e +0,25 Volts e, acima de 0,25 Volts).

Já a forma de onda apresentada na figura 38.a, que é a saída do amplificador operacional, apresenta a tensão residual do MDAC 1 no mesmo instante que a fase 2 (forma de onda na parte inferior) está em nível alto. Neste momento, o MDAC 2 faz a amostragem do potencial que vem do MDAC 1.

A mesma forma de onda na da Figura 38.a também mostra, quando a fase 2 está em nível baixo, a tensão residual do MDAC 2, portanto esta tensão residual é comum a dois estágios. Um ponto importante observado é que esta tensão residual tende a ficar sempre oscilando próximo de -0,25 e +0,25 Volts.

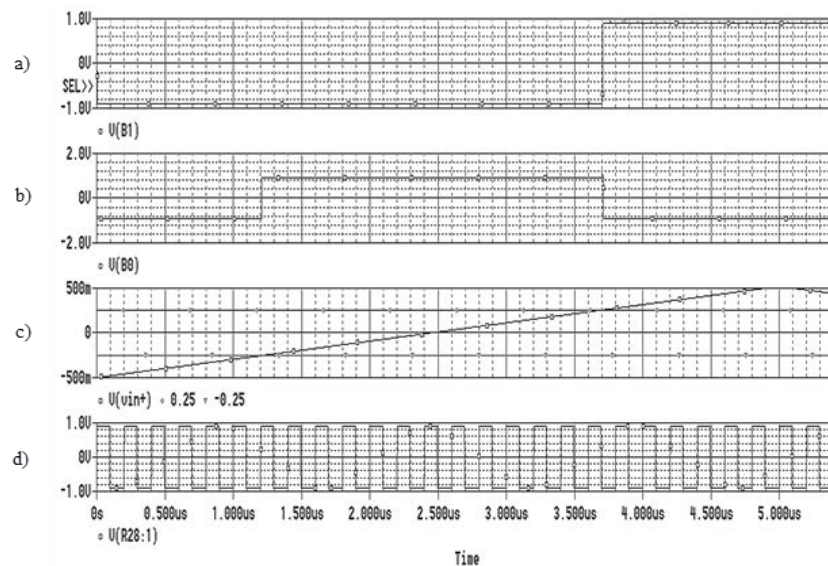
Figura 38: a) tensão residual do MDAC 1; b) tensão de entrada; c) fase 2.



Fonte: Elaborada pelo autor.

Na Figura 39 apresenta-se o binário de saída do MDAC 1 nas duas formas de onda na parte superior (Figura 39.a e Figura 39.b), sendo que B1 é o MSB e B0 é o LSB.

Figura 39: a) binário MSB de saída do MDAC 1; b) binário LSB do MDAC 1; c) tensão de entrada; d) fase 1.



Fonte: Elaborada pelo autor

Quando a tensão de entrada (Figura 39.c) está abaixo de $-0,25$ Volts, o binário gerado é 00. Quando está entre $-0,25$ e $+0,25$ Volts, o binário gerado é 01. E quando a tensão é

superior a +0,25 Volts, o binário gerado é 10. Sendo que a comparação só ocorre quando a fase 1, que é a forma de onda na parte inferior, está em nível alto.

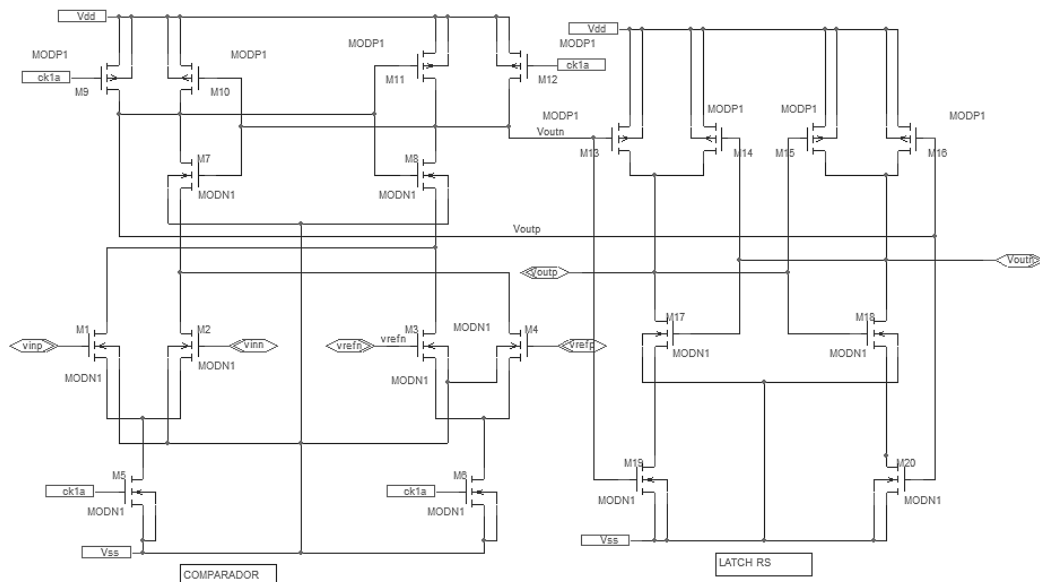
5.4 COMPARADOR

O comparador utilizado é baseado no par diferencial que realiza a comparação do sinal de referência com a tensão de entrada, que no caso é a tensão da entrada de cada estágio do ADC, como mostra a Figura 40.

O comparador, ao lado esquerdo da Figura 40, trabalha com uma estrutura de geração interna de limiar e com o conceito de metaestabilidade, onde as saídas têm cada uma, o valor oposto da outra.

A tensão da fase 1 ($ck1a$) é utilizada para acionar a função de comparação. Quando a fase 1 está em nível baixo, os transistores M5 e M6 estão na região de corte, e portanto não tem corrente no circuito. Ao mesmo tempo, M9 e M12 levam as saídas para a tensão de alimentação Vdd, e M7 e M8 colocam o Vdd nos pares diferenciais, estabelecendo o estado de *reset*. Quando Fase 1 vai para o nível alto, M5 e M6 conduzem e M1 e M4 comparam $V_{in} = V_{in}^+ - V_{in}^-$ com $V_{ref} = V_{ref}^+ - V_{ref}^-$.

Figura 40: Comparador com par diferencial.



Fonte: Elaborada pelo autor

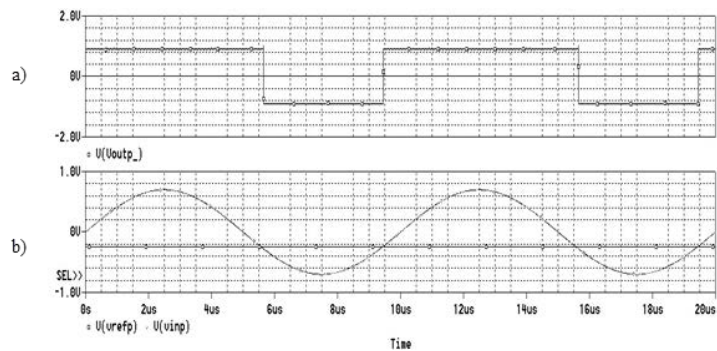
Para a tensão de referência, utiliza-se $V_{refp} = V_{cm} + (V_{FS}/4)$ e $V_{refn} = V_{cm} - (V_{FS}/4)$, onde V_{FS} é a faixa de tensão que opera na entrada no ADC. A tensão de entrada

utiliza um *offset* que é o V_{cm} , que no caso é 0 Volt, e a entrada oscila em torno desta tensão de modo comum, ressaltando que é importante não chegar ao limite das tensões de alimentação do circuito que, no trabalho é 0,9 V no Vdd e -0,9 V no Vss .

Na saída do comparador um *latch* RS é conectado, lado direito da figura, para que quando, a fase 1 estiver em nível baixo, a saída seja mantida com o valor resultante da comparação realizada enquanto estava a fase 1 em nível alto. Assim o valor da saída só é alterado quando fase 1 estiver novamente em nível alto. Para este exemplo considera-se a frequência das fases 1 e 2 em 10 MHz.

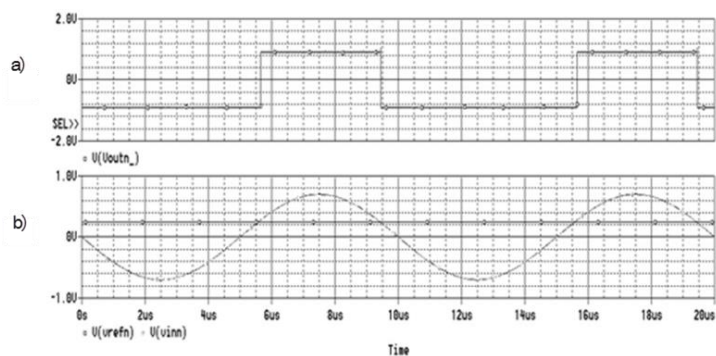
A Figura 41 mostra os resultados da simulação para a entrada V_{inp} , Figura 41.b, junto a com a tensão de referência constante, V_{refp} , de 0,45 Volts e acima, Figura 41.a, está a saída binária V_{outp} com nível alto quando a tensão de entrada é maior que 0 e nível baixo quando a entrada é menor que a referência. Na Figura 42 mostra-se a entrada V_{inn} , Figura 42.b, junto com a referência de -0,45 V, e saída V_{outn} , Figura 42.a.

Figura 41: a) saída do comparador V_{outp} ; b) tensão de referência V_{refp} e de entrada V_{inp} .



Fonte: Elaborada pelo autor

Figura 42: a) saída do comparador V_{outn} ; b) tensão de referência V_{refn} e de entrada V_{inn} .



Fonte: Elaborada pelo autor

5.5 SUB-ADC

O sub-ADC é responsável por comparar a tensão de entrada com $V_{ref}/4$ e gerar o binário de saída no estágio em que está inserido durante a fase 1 do ADC *pipeline* e também é responsável por, inserir a tensão de referência ($V_{ref}/2$) no MDAC, chamada de V_{dac} , durante a fase 2 do ADC. Esta tensão que é parte da tensão residual de cada passo do conversor.

A tensão V_{dac} tem esta nomenclatura devido ao fato dela resultar em uma tensão ($+V_{ref}/2, 0, -V_{ref}/2$) a partir do binário produzido pelos comparadores

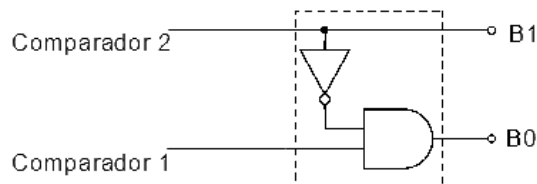
Para o funcionamento do sub-ADC que contém 2 comparadores (estrutura 1,5 *bit*), primeiro o comparador junto com o *latch* SR, que é parte deste bloco, compara a tensão de entrada com a tensão de referência. Caso a tensão for maior que a referência, ele apresenta uma tensão de saída em nível alto (+0,9 Volts), caso for menor que a referência, apresenta uma tensão de saída em nível baixo (-0,9 Volts). Entre os dois comparadores, um trabalha com a tensão de referência positiva, o outro com a tensão de referência negativa.

Como o conversor trabalha com uma tensão de 1 Volt pico a pico, e, considerando que é totalmente diferencial, V_{ref} é descrito por:

$$V_{ref} = \frac{V_{in}}{4} = \frac{1}{4} = 0,25 \text{ V} \quad (22)$$

Em seguida, a saída dos comparadores é entrada de um pequeno circuito digital onde é gerado o binário de saída do estágio. Na Figura 43 mostra-se esta etapa, sendo que o comparador 1 tem tensão de referência de -0,25 V e o comparador 2 tem tensão de referência de + 0,25 V.

Figura 43: Circuito digital gerador do binário de saída do sub-ADC.



Fonte: Adaptada de YUN, 2006

O *bit* B1, que é o *bit* mais significativo de saída, é resultado direto da saída do comparador 2. Enquanto B0, passa por uma porta E que recebe a saída do comparador 1 e do

comparador 2 com polarização reversa, já que do circuito comparador-*latch* são geradas 2 saídas, uma com polarização oposta a outra.

Portanto, caso a tensão de entrada do estágio é menor que $-V_{ref}$, que é $-0,25$ Volts, o binário gerado é 00. Caso seja maior que $-V_{ref}$ e seja menor que $+V_{ref}$ ($+0,25$ Volts), o binário gerado é 01. Caso seja maior que $+V_{ref}$, o binário gerado é 10.

Após o binário gerado, ele é utilizado para gerar a tensão de referência ($V_{ref}/2$) que é inserida no MDAC. Para isso, os *bits* B0 e B1 passam por uma lógica que é responsável por fechar as chaves CH1, CH2 e CH3 que é descrita por:

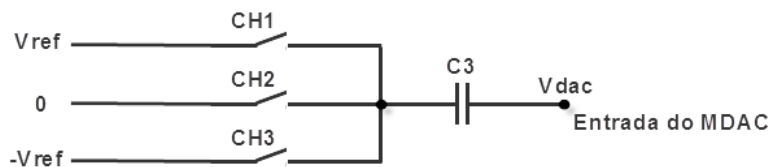
$$CH1 = \overline{B1} \cdot \overline{B0} \quad (23)$$

$$CH2 = \overline{B1} \cdot B0 \quad (24)$$

$$CH3 = B1 \cdot \overline{B0} \quad (25)$$

As chaves são responsáveis por inserir no MDAC, a tensão de referência como mostra a Figura 44.

Figura 44: Esquema das chaves para a tensão V_{dac}



Fonte: Elaborada pelo autor

Na tabela 1 mostra-se os níveis lógicos necessários do binário gerado para acionar cada chave.

Tabela 1: Níveis lógicos de acionamento das chaves

B1	B0	CH1	CH2	CH3
0	0	1	0	0
0	1	0	1	0
1	0	0	0	1

Fonte: Elaborada pelo autor

5.6 CONCLUSÕES PARCIAIS

Com o projeto do operacional proposto, utilizando a estrutura *folded cascode* e realimentação positiva, foi conseguido um bom ganho, 70,020 dB, acima de 70 dB que é o ideal em conversores AD *pipeline*. Foi apresentado o funcionamento com o compartilhamento do amplificador operacional, em que o desempenho do ADC *pipeline* não foi afetado por utilizar esta técnica. Foi apresentado também, o funcionamento do comparador, parte importante do sub-ADC com a técnica de 1,5 *bit*, mostrando que ele possui uma grande precisão na geração do binário.

6 CONCLUSÃO E FUTUROS TRABALHOS

Neste trabalho foram apresentados os principais blocos que compõem o conversor analógico digital *pipeline*. O ADC *pipeline* tem velocidade, consumo de área e potência e resolução como fatores mais importantes a serem observados.

O conversor proposto no trabalho utiliza a técnica de 1,5 *bit* para correção de erros e possui circuitos com capacitores chaveados.

Há a utilização de compartilhamento do amplificador operacional em cada dois estágios, que acaba reduzindo significativamente o consumo de potência e ocupação de área do chip. Ainda sobre o amplificador operacional, é utilizada a estrutura *folded cascode* e uma técnica de realimentação positiva. E com isto, foi alcançado um ganho de 70,020 dB, um ganho ideal para o ADC *pipeline*.

Os resultados das simulações mostram o bom funcionamento dos principais blocos que compõem o conversor AD *pipeline*. Nestas simulações foram utilizados o processo CMOS de 0,35 μm , o que restringiu a taxa de amostragem a 5 MHz. No entanto o uso de processos mais modernos, de 0,18 μm , podem permitir taxas de amostragem de 50 MHz, sem que haja alterações significativas nos passos de projeto mostrado neste trabalho.

Para trabalhos futuros sugere-se finalizar todos os estágios MDAC e o circuito digital de saída.

REFERÊNCIAS

- ABO, A. M. **Design for reliability of low-voltage, switched-capacitor circuits**. 1992. 122 f. Thesis (PhD in Electrical Engineering and Computer Science) – University of California, Berkeley, 1999. Disponível em: <<http://citeseerx.ist.psu.edu/viewdoc/download?doi=10.1.1.465.6217&rep=rep1&type=pdf>>. Acesso em: 21 dez. 2015.
- ASSAAD, R. S.; MARTINEZ, J. S. The recycling folded cascode: a general enhancement of the folded cascode amplifier. **IEEE Journal of Solid-State Circuits**, Michigan, v. 44, n. 9, p. 2535-2542, 2009. Disponível em: <<http://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=5226701>>. Acesso em: 21 dez. 2015.
- ASSAAD, R. S. **Design techniques for high speed low voltage and low power non-calibrated pipeline analog to digital converters**. 2009. 221 f. Thesis (PhD in Electrical Engineering) – Texas A&M University, Estados Unidos, 2009. Disponível em: <<https://oaktrust.library.tamu.edu/bitstream/handle/1969.1/ETD-TAMU-2009-12-7541/ASSAAD-DISSERTATION.pdf?sequence=3&isAllowed=y>>. Acesso em: 21 dez. 2015.
- AHMED, S. I. **A low power scalable and low power pipeline adc using power resettable opamps**. 2004. 135 f. Dissertation (Master's Degree in Applied Science) – University of Toronto, 2004. Disponível em: <http://www.eecg.utoronto.ca/~johns/nobots/theses/pdf/2004_ahmed_masc.pdf>. Acesso em: 21 dez. 2015.
- BORCH, J. B. **Design of low-power, highspeed a/d converter in CMOS technology**. 2009. 55 f. Dissertation (Master's em Science) – Technical University of Denmark, Dinamarca, 2009.
- CHANDRASHEKAR, K. **Power scalable and low power design techinques for pipeline ADCs**. 2010. 65 f. Thesis (Doctorate in Philosophy in Electrical) – Arizona State University, Arizona, 2010.
- CHIANG, S. **High-speed, low-power analog-to-digital converters**. 2013. 82 f. Thesis (Doctor of Philosophy in Electrical Engineering) – University of California, Los Angeles, 2013. Disponível em: <<https://escholarship.org/uc/item/77x5v0sr>>. Acesso em: 21 dez. 2015.
- CLINE, D. W. **Noise, speed and power trade-offs in pipelined analog to digital converters**. 2007. 377 f. Thesis (PhD in Electrical Engineering and Computer Science) – University if California at Berkeley, Berkeley, 2007. Disponível em: <<http://citeseerx.ist.psu.edu/viewdoc/download;jsessionid=780A779955B48A2B21EA6CF413B0457A?doi=10.1.1.117.3500&rep=rep1&type=pdf>>. Acesso em: 21 dez. 2015.
- ESMAEELZADEH, H.; SHARIFKHANI, M; SHABANY, M. A low-power 10-Bit 40-MS/s pipeline ADC using extended capacitor sharing. In: IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS, Melbourne, 2014. **Proceedings of the...** Melbourne: IEEE, 2014. p.1147-1150. Disponível em:

<<http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=6865343>>. Acesso em: 21 dez. 2015.

FRANCO, S. **Design with operational amplifiers and analog integrated circuits**. 3. ed. San Francisco: McGraw-Hill, 2002. 672 p.

HU, Y. et al. Design of a novel 12-bit 1MS/s charge redistribution SAR ADC for CZT detectors. In: IEEE CONFERENCE ON INDUSTRIAL ELECTRONICS AND APPLICATIONS (ICIEA), 9, 2014, Hangzhou. **Proceedings of the...** Hangzhou: IEEE, 2014. p. 867-871. Disponível em:
<<http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=6931284>>. Acesso em: 21 dez. 2015.

JOHNS, D. A.; MARTIN, K. Data converter fundamentals. In: _____. **Analog integrated circuit design**. Toronto: John Wiley & Sons, Inc., 1997. p. 255-257.

LI, J. **Accuracy Enhancement Techniques in Low-Voltage High-Speed Pipeline ADC Design**. 2003. 120 f. Tese (Doutorado em Filosofia em Elétrica e Engenharia da Computação) – Oregon State University, Estados Unidos, 2003. Disponível em:
<<http://citeseerx.ist.psu.edu/viewdoc/download?doi=10.1.1.64.4036&rep=rep1&type=pdf>>. Acesso em: 21 dez. 2015.

OSSA, C. O. **Projeto de um conversor analógico-digital para um receptor Bluetooth em tecnologia CMOS**. 2011. 106 f. Dissertação (Mestrado em Ciências) – Universidade de São Paulo, Brasil, 2011. Disponível em:
<www.teses.usp.br/teses/.../3/.../Dissertacao_Wilmar_Carvajal_Ossa.pdf>. Acesso em: 21 dez. 2015.

PLASSCHE, R. V. **CMOS integrated analog-to-digital and digital-to analog converters**. 2. ed. Broadcom: Kluwer Academic Publishers, 2003. 588 p.

RAZAVI, B. **Design of analog CMOS integrated circuits**. Los Angeles: McGraw Hill, 2001. 102 p.

SASIDHAR, N. **Low power design techniques for high speed pipelined ADCs**. 2009. 111 f. Thesis (Doctorate in Philosophy in Electrical and Computer Engineering) - Oregon State University, Oregon, 2009. Disponível em:
<<http://ir.library.oregonstate.edu/xmlui/bitstream/handle/1957/10294/trial.pdf?sequence=1>>. Acesso em: 21 dez. 2015.

SCHWARS, S. **Modeling of self correcting pipeline A/D converter using redundancy and self calibration techniques**. 2010. 51 f. Completion of course work (Degree in Electrical and Computer Engineering) – Munich Technical University, Germany, 2010.

TSUI, H. L. **A 3-V 28-mW 10-Bit 20 MSample/s pipeline ADC without using a front-end sample-and-hold amplifier**. 2008. 67 f. Dissertation (Master of Science) – National Cheng Kung University, Taiwan, 2008.

WALTARI, M. **Circuit techniques for low-voltage and high-speed A/D converters**. 2002. 269 f. Thesis (Doctorate in Science and Technology) - Helsinki University of Technology,

Finland, 2002. Disponível em:

<<http://lib.tkk.fi/Diss/2002/isbn9512259087/isbn9512259087.pdf>>. Acesso em: 21 dez. 2015.

WANG, S. A 10-Bit 25Msps pipeline ADC for companding baseband processing in wireless application. 2009. 115 f. Dissertation (Master in Electrical Engineering) – Delft

University of Technology, China, 2009. Disponível em:

<repository.tudelft.nl/.../thesis_shenjie_wang.pdf>. Acesso em: 21 dez. 2015.

YUN, R. Calibration of pipelined AD-converters. 2006. 74 f. Dissertation (Master of Science in Electronic Systems Projects) – Department of Eletronics, Computer and Software Systems, School of Information and Communication Technology, Royal Institute of Technology, Stockholm, 2006.

APÊNDICE A - CARACTERÍSTICAS E PARÂMETROS DE CONVERSORES ANALÓGICOS DIGITAIS

Devido às aplicações dos conversores, há características que precisam ser avaliadas e há características não-ideais que degradam o desempenho, como erros estáticos devido ao descasamento de componentes, ruído, *offset*, etc. A partir disso é feita avaliação do desempenho do conversor observando estes parâmetros

A.1 PARÂMETROS ESTÁTICOS

Quando o conversor é utilizado em aplicações que não requerem velocidade, ele é especificado por parâmetros estáticos.

A.1.1 Precisão

É o grau de acerto na resposta do conversor baseada na diferença entre a resposta esperada e a resposta real. Pode ser dividida entre precisão absoluta, que inclui erros, ou a precisão relativa que subtrai os erros do conversor.

A.1.2 Resolução

É a quantidade de níveis analógicos que o conversor calcula. Assim, um conversor com N -bits de resolução, calcula $2^N - 1$ níveis analógicos.

A.1.3 Não-linearidade

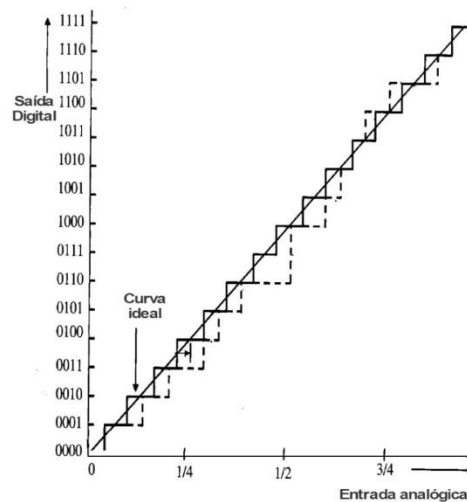
Os ADCs têm uma curva de transferência ideal (entrada analógica x saída digital) em que suas características se aproximam de uma linha reta. Quando a resolução aumenta, a característica real do conversor se aproxima dessa linha reta.

A curva de transferência prática contém passos que não são perfeitamente uniformes, e essa não-uniformidade provoca a não-linearidade. A não-linearidade é dividida em: não-linearidade diferencial e não-linearidade integral.

A.1.4 Não-linearidade diferencial (DNL)

A não-linearidade diferencial mede o desvio dos passos, que são passos de quantização do conversor. Esse desvio se caracteriza pelo desvio do passo de quantização ideal, acima de 1 LSB. Ou seja, é a medida da não-uniformidade dos degraus dos passos como mostra a figura.

Figura 46: Não-linearidade diferencial.

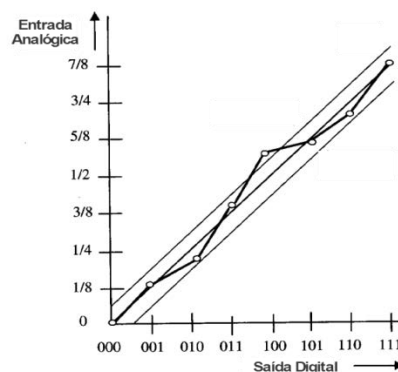


Fonte: Adaptada de Plassche (2003)

A.1.5 Não-linearidade integral (INL)

Mede o desvio dos passos de quantização em comparação a curva de linha reta característica como mostra a figura 2.6.

Figura 47: Não-linearidade integral.



Fonte: Adapta de Plassche (2003)

A.1.6 Monotonicidade e perda de códigos

Um conversor é chamado monotônico quando a saída aumenta com o aumento dos valores de entrada, isso é importante em controle digital.

Depois de incluído *offset* e erro de ganho (FRANCO,2002), se o máximo erro DNL é menor que 1 LSB, o conversor é monotônico. Do mesmo modo, para um erro de INL menor que 0.5 LSB, é dado monotônico (JOHNS; MARTIN, 1997). Trabalhando dentro destas faixas de DNL e INL, é garantido que, não haverá perda de códigos.

A.2 PARÂMETROS DINÂMICOS

São parâmetros baseados no domínio do tempo e da frequência.

A.2.1 Taxa amostral

Indica a velocidade que amostras são convertidas, sendo o inverso do tempo que o sinal é amostrado.

A.2.2 Relação sinal-ruído (SNR)

Indica a proporção entre a potência do sinal e a potência de ruído total na saída.

$$SNR = 10 \cdot \log \left(\frac{\text{Potência do Sinal}}{\text{Potência Total do Ruído}} \right) \quad (2.1)$$

Para um ideal ADC, onde N é o número de *bits*, a equação é a seguinte:

$$SNR = 6.02 \cdot N + 1.76 \quad (2.2)$$

A.2.3 Proporção de Distorção Sinal-Ruído (SNDR)

É a relação da potência do sinal de saída do conversor com a soma do ruído mais a distorção total de harmônico. O total de distorção de harmônico é a razão da harmônica fundamental para a soma dos harmônicos na saída, em RMS.

$$SNDR = 10 \cdot \log \left(\frac{\text{Potência do Sinal}}{\text{Potência do Ruído e de Distorção}} \right) \quad (2.3)$$

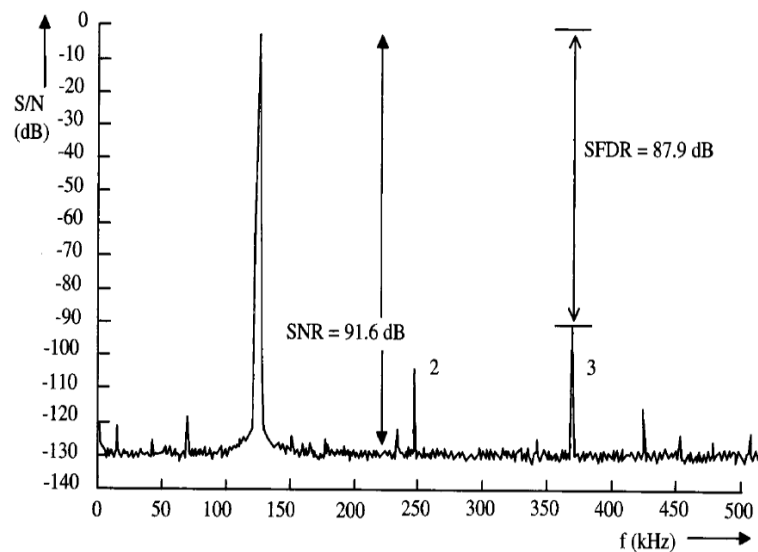
A.2.4 Faixa Dinâmica Livre de Impurezas (SFDR)

É a razão entre a máxima componente do sinal e a máxima componente de distorção que pode ser obtida.

$$SFDR = 10 \cdot \log \left(\frac{\text{Potência Máxima do Sinal}}{\text{Potência Máxima de Distorção}} \right) \quad (2.4)$$

A figura 2.7 representa os parâmetros SNR e SFDR.

Figura 48: Exemplo de SNR e SFDR.



Fonte: PLASSCHE (2003)

A.2.5 Número Efetivo de Bits (ENOB)

Este parâmetro serve para conversores que têm o mesmo número de *bits*, porém com desempenho diferenciado, é medido o número efetivo de *bits* considerando o SNDR.

$$ENOB = \frac{SNDR_{MEDIDO} - 1.76}{6.02} \quad (2.5)$$

A.2.6 Figura de Mérito (FOM)

Para comparação entre ADCs operando em diferente velocidade e precisão, a figura de mérito (FOM) relaciona a potência, ENOB (número efetivo de *bits*) e máxima frequência de entrada e permite a sua comparação de desempenho.

$$FOM = \frac{Potência}{2^{ENOB} \cdot 2 \cdot f_{IN}} \quad (2.6)$$

Onde $2 \cdot f_{IN}$ é a taxa *Nyquist*, ENOB é o número efetivo de *bits* e a potência é a consumida pelo ADC.