UNIVERSIDADE ESTADUAL PAULISTA
"JÚLIO DE MESQUITA FILHO"
Campus de Ilha Solteira

PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

"Retificador Boost Entrelaçado com Elevado Fator de Potência e Sem Ponte de Diodos "

LUCIANO DE SOUZA DA COSTA E SILVA

Orientador: Prof. Dr. Falcondes José Mendes de Seixas

Dissertação apresentada à Faculdade de Engenharia - UNESP – Campus de Ilha Solteira, para obtenção do título de Mestre em Engenharia Elétrica.
Área de Conhecimento: Automação.

Ilha Solteira – SP
Dezembro/2011

FICHA CATALOGRÁFICA

Elaborada pela Seção Técnica de Aquisição e Tratamento da Informação
Serviço Técnico de Biblioteca e Documentação da UNESP - Ilha Solteira.

Silva, Luciano de Souza da Costa e.
S586r Retificador boost entrelaçado com elevado fator de potência e sem ponte de diodos / Luciano de Souza da Costa e Silva**.** -- Ilha Solteira : [s.n.], 2012
117 f. : il.

Dissertação (mestrado) – Universidade Estadual Paulista. Faculdade de Engenharia de Ilha Solteira. Área de Conhecimento: Automação, 2011

Orientador: Falcondes José Mendes de Seixas
Inclui bibliografia

1. Conversor CA-CC. 2. Pré-reguladores. 3. Fator de potência.
4. Distorção harmônica. 5. Modulação PWM. 6. Conversor boost entrelaçado.

unesp UNIVERSIDADE ESTADUAL PAULISTA
CAMPUS DE ILHA SOLTEIRA
FACULDADE DE ENGENHARIA DE ILHA SOLTEIRA

CERTIFICADO DE APROVAÇÃO

TÍTULO: Retificador Boost Entrelaçado com Elevado Fator de Potência e Sem Ponte de Diodos

AUTOR: LUCIANO DE SOUZA DA COSTA E SILVA
ORIENTADOR: Prof. Dr. FALCONDES JOSE MENDES DE SEIXAS

Aprovado como parte das exigências para obtenção do Título de Mestre em Engenharia Elétrica, Área: AUTOMAÇÃO, pela Comissão Examinadora:

Prof. Dr. FALCONDES JOSE MENDES DE SEIXAS
Departamento de Engenharia Elétrica / Faculdade de Engenharia de Ilha Solteira

Prof. Dr. GUILHERME DE AZEVEDO E MELO
Departamento de Engenharia Elétrica / Faculdade de Engenharia de Ilha Solteira

Prof. Dr. JURANDIR DE OLIVEIRA SOARES
Departamento de Engenharia Elétrica / Universidade Federal de Mato Grosso do Sul

Data da realização: 15 de dezembro de 2011.

À Deus e a minha família, em especial aos meus pais Brasílio e Clarice por todo o amor incondicional dedicado e pelos valores e ensinamentos a mim proporcionados.

DEDICO.

AGRADECIMENTOS

Aos meus pais Brasílio Alvimar da Costa e Silva e Clarice Aparecida de Souza e Silva pelo apoio e carinho oferecido em todos os momentos, pelo exemplo de força e coragem que sempre representaram para mim; foram o espelho e a fonte de energia para superar toda e qualquer dificuldade encontrada neste caminho.

Aos meus irmãos Gabriel de Souza da Costa e Silva e Lilian Maria da Costa e Silva pela amizade e o companheirismo dedicados.

Ao Prof. Dr. Falcondes José Mendes de Seixas por todo ensinamento, incentivo, confiança e orientação.

Ao Prof. Dr. Guilherme de Azevedo e Melo pela participação nas bancas examinadoras, pelas sugestões técnicas e participações diretas no desenvolvimento experimental do trabalho.

Ao Prof. Dr. Jurandir de Oliveira Soares pela disponibilidade em participar desta banca examinadora, contribuindo de forma eficaz para a melhoria do trabalho.

Ao Prof. Dr. Carlos Alberto Canesin pela contribuição técnica e pelas sugestões apresentadas em sua participação no exame de qualificação.

Aos amigos e colegas do laboratório de Eletrônica de Potência (LEP): Leonardo Poltronieri Sampaio, Moacyr Aureliano Gomes de Brito, José Ugaz Peña, Alírio Fazio Junior e Priscila da Silva Oliveira.

Aos grandes amigos e colegas do Laboratório de Pesquisa em Controle (LPC): Edson Ítalo Mainardi Júnior, Manoel Rodrigo Moreira e Wallyson Alves de Souza.

À Faculdade de Engenharia de Ilha Solteira (FEIS), que por meio de seus docentes e funcionários técnicos e administrativos, proporcionaram-me todo conhecimento técnico e científico adquirido durante as fases de graduação e mestrado.

Aos meus grandes amigos de Ocauçu/SP pelo companheirismo e força em todos os momentos.

Ao Conselho Nacional de Desenvolvimento Científico e Tecnológico (CNPq) pelo apoio financeiro.

“Mestre não é quem sempre ensina, mas quem de repente aprende.”

João Guimarães Rosa

RESUMO

Este trabalho propõe um conversor CA-CC, modulado por largura de pulso (PWM), de elevado fator de potência, dotado de um controle variável da razão cíclica. O estágio de potência do conversor pré-regulador do fator de potência (PFP) proposto é composto por múltiplas células entrelaçadas. A integração das técnicas de entrelaçamento (*interleaving*) à técnica de eliminação da ponte retificadora da entrada (*bridgeless*) busca diminuir as perdas de energia e distribuir os esforços de corrente nos semicondutores da estrutura conversora de potência. O levantamento bibliográfico foi realizado com intuito de analisar resultados e características de conversores CA-CC baseados em estruturas PFP *boost* modificadas. Comparações foram realizadas levando em consideração as características de distorção harmônica, fator de potência, complexidade do circuito de controle, eficiência energética, esforços nos semicondutores de potência e emissão de interferência eletromagnética (IEM). O conversor proposto é então equacionado e os valores dos componentes acumuladores de energia determinados são escritos como função das especificações de projeto. Análises gráficas indicam o comportamento da distorção harmônica e do fator de potência da estrutura atuando em diferentes níveis de tensão. Simulações são realizadas como forma de comprovar a eficácia do sistema conversor no que se refere à correção do fator de potência e à distribuição dos esforços nos semicondutores de potência. Os principais resultados estão dispostos em tabelas comparativas, que indicam um fator de potência praticamente unitário. O sistema de regulação da tensão saída, testado via simulação computacional, apresenta resultados que demonstram boa dinâmica na resposta transitória e erro nulo a regime frente às variações de carga e afundamentos na tensão de alimentação. O protótipo referente ao estágio de potência implementado no laboratório operou de acordo com o esperado. As formas de onda demonstraram a correta operação do conversor para aplicação em média potência sendo que o rendimento da estrutura esteve em torno de 95%.

Palavras-chave: Conversor CA-CC. Pré-reguladores. Fator de potência. Distorção harmônica. Modulação PWM. Conversor boost entrelaçado.

ABSTRACT

This paper proposes an AC-DC converter, pulse width modulated (PWM) with high power factor and a variable duty cycle control. The power factor preregulator (PFP) converter proposed is composed of multiple bridgeless boost interleaved cells. The integration of these techniques allows a reduction in the energy losses and sharing the stress in power semiconductors. The literature review was performed in order to analyze the results and characteristics of AC-DC converters based on modified PFC boost structures. Comparisons were made taking into account the characteristics of harmonic distortion, power factor, complexity of control circuitry, energy efficiency, current stress in power semiconductors, and emission of electromagnetic interference (EMI). The proposed converter is mathematically equated and the values of the reactive components are written as a function of design specifications. Graphical analysis indicates the behavior of harmonic distortion and power factor of the structure at different voltage levels. Simulations are performed in order to demonstrate compliance of the converter system with respect to the power factor correction and distribution efforts in the power semiconductors. The main results are arranged in comparative tables which indicate power factor very closed to unity. The control system applied to the converter was evaluated through the computer simulations which showed good dynamics at transient response and null steady-state error faced to load variations and sags in the voltage supply. The prototype for the power stage implemented in the laboratory operated according with expectations. The waveforms demonstrate the correct operation of the converter and energy efficiency of the structure was around 95%.

Keywords: AC-DC Converter. Preregulator. Power factor. Harmonic distortion. Pulse width modulation. Interleaved boost converter.

SUMÁRIO

Capítulo 1 10

Introdução 10

1.1. Considerações Iniciais 10

1.2. Técnica de Entrelaçamento de Múltiplas Células Conversoras 16

1.3. Família de Conversores PFP *Bridgeless Boost* 16

1.3.1.Conversor PFP *Bridgeless Dual Boost* 17

1.3.2.Conversor PFP *Bridgeless Boost* chaves bidirecionais 18

1.3.3.Conversor PFP *Bridgeless Two-Boost* 19

1.3.4.Conversor PFP *Bridgeless Two-Boost* com Indutores de Núcleo Comum. 19

1.3.5.Conversor PFP *Bridgeless Totem-Pole e Pseudo Totem-Pole* 21

1.3.6.Comparação entre os conversores PFP *Bridgeless Boost* 22

1.4. Conclusões 24

Capítulo 2 27

Conversor PFP *Bridgeless Boost* Entrelaçado. 27

2.1.Considerações Iniciais 27

2.2.Conversor CC-CC *Boost* 27

2.3.Conversor PFP *Boost.* 34

2.4.Conversor PFP *Bridgeless Boost.* 39

2.5.Conversor PFP *Bridgeless Boost* Entrelaçado. 46

2.6.Conclusões. 53

Capítulo 3 54

Modelagem e Controle do Conversor PFP Operando em MCD. 54

3.1.Considerações Iniciais 54

3.2.Modelo médio linearizado em espaço de estados. 55

3.3.Projeto do Regulador de Tensão. 66

3.4.Especificações de Projeto e Resultados de Simulação 72

3.4.1.Exemplo de projeto 72

3.4.2.Resultados de simulação 77

3.5.Conclusões 84

Capítulo 4 86

Controle Variável da Razão Cíclica 86

4.1.Considerações Iniciais 86

4.2.Técnica de Modulação Variável da Razão Cíclica 87

4.3.Especificações de Projeto e Resultados de Simulação. 92
4.3.1.Exemplo de Projeto. 93
4.3.2.Resultados de Simulação. 94
4.4.Conclusões. 101
Capítulo 5 102
Resultados Experimentais 102
5.1.Considerações Iniciais 102
5.2.Especificação do estágio de potência. 105
5.3.Resultados experimentais para o conversor PFP *bridgeless boost* entrelaçado. 107
5.4.Conclusões. 107
Capítulo 6 114
Conclusão Geral 114
Referências 116

Capítulo 1

Introdução

1.1.Considerações Iniciais

Este trabalho tem como principal objetivo propor um conversor CA-CC de elevado fator de potência, com alto rendimento, para aplicações em potências de até alguns kilowatts, e que proporcione em sua saída, tensão CC regulada e estabilizada dada as perturbações existentes no sistema elétrico.

Nesse sentido, os conversores CA-CC, modulados por largura de pulso (PWM), são amplamente utilizados na conversão de energia. A aplicação desses conversores tem sido difundida na utilização de fontes de alimentação para uma diversidade de sistemas eletrônicos, como sistemas de energia para telecomunicações, sistemas para utilização de energia solar, acionamento elétrico para motores de propulsão em veículos e embarcações, sistemas de energia para satélites e sistemas de transmissão de corrente contínua. Também são aplicados frequentemente como blocos modulares básicos em outros sistemas de conversão de energia.

A distorção harmônica pode ser considerada como sendo devida à presença de componentes senoidais de frequências diferentes da fundamental na forma de onda da tensão ou corrente da rede de alimentação, adicionando-se assim, deformações consideráveis nestas formas de onda. Estas deformações reduzem o fator de potência (FP), reduzindo também a eficiência no aproveitamento da energia ativa devido ao aumento do valor eficaz da corrente, porém, sem aumentar a potência ativa. A correção ativa de fator de potência trata-se então da minimização da distorção harmônica total (DHT) de corrente através da correção de sua forma de onda.

Diversas pesquisas no sentido de minimizar a DHT de corrente na rede de alimentação foram realizadas, minimizando os vários efeitos danosos que as componentes harmônicas de frequências superiores à frequência fundamental causam no sistema elétrico. Entre esses efeitos, destacam-se:

- Aumento das perdas nos transformadores;
- Aumento do aquecimento em motores e geradores;
- Maior possibilidade de ressonância em circuitos com capacitores;

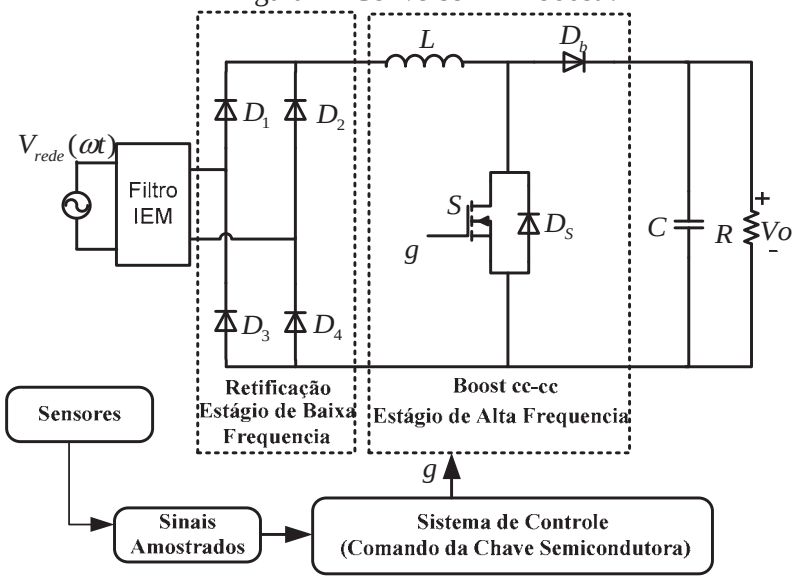
- Aumento das perdas por aquecimento nos cabos de alimentação devido à redução de sua capacidade de condução causada pelo efeito pelicular;
- Ruídos em equipamentos eletrônicos, afetando o funcionamento normal;
- Desvio na leitura em equipamentos de medição;
- Operação inadequada de fusíveis e relés de proteção.

No sentido de aumentar a eficiência na conversão de energia, a correção ativa é empregada também para permitir redução de volume e peso dos conversores, bem como para a obtenção de formas de onda de corrente de entrada com baixo conteúdo harmônico.

Existem normas que regulamentam tanto o fator de potência como as taxas de distorção harmônica e as amplitudes harmônicas individuais. As mais conhecidas são a portaria nacional PRODIST – Módulo 8 e as internacionais – IEC, *International Electrotechnical Commission Standard* 61000-3-2, 61000-3-4 e a IEEE/ANSI Standard 519 [1-4].

Uma das topologias mais utilizadas na correção ativa do fator de potência consiste do conversor pré-regulador do fator de potência *boost* clássico. Esta topologia pode ser dividida em dois estágios: estágio de retificação realizado pela ponte retificadora em onda completa na entrada, e estágio de alta frequência formado pelo conversor *boost*, responsável pela correção da forma de onda da corrente de entrada e da regulação da tensão na carga através do chaveamento em alta frequência dos semicondutores de potência. O conversor PFP *boost* clássico está ilustrado na Figura 1, sendo que o circuito de sinais também é apresentado de forma genérica.

Figura 1 - Conversor PFP *boost* .



Fonte: Costa e Silva (2011)

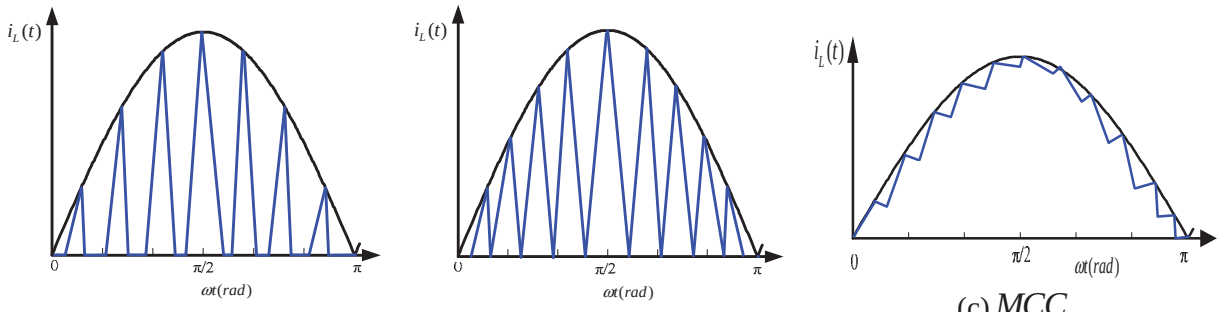
Dentre suas vantagens destacam-se:

- Circuito simples.
- A presença do indutor na entrada permite a obtenção da forma de onda desejada na corrente de entrada, além de absorver variações na tensão da rede de alimentação (*spikes*).
- A chave semicondutora deve suportar tensão igual à tensão de saída e seu acionamento é simples, uma vez que pode ser acionada com sinal de baixa tensão e com a mesma referência (massa) da carga.
- A energia é armazenada no capacitor de saída, que normalmente trabalha com elevada tensão e, portanto, permite valores de capacitância relativamente baixos.

Por outro lado, uma limitação da estrutura *boost*, está na necessidade de uma tensão CC (corrente contínua) de saída maior que o valor de pico da tensão alternada de entrada, limitando-o somente para aplicações com características elevadoras de tensão [5-6].

A corrente no indutor do conversor PFP *boost* pode operar em três modos de condução: modo de condução contínua (MCC), modo de condução descontínua (MCD), e modo de condução crítica (MCCr). A Figura 2 apresenta o esboço da corrente no indutor *boost* para cada modo de condução.

Figura 2 - Modos de condução da corrente no conversor PFP *boost* .



(a) *MCD* (b) *MCCr* (c) *MCC*

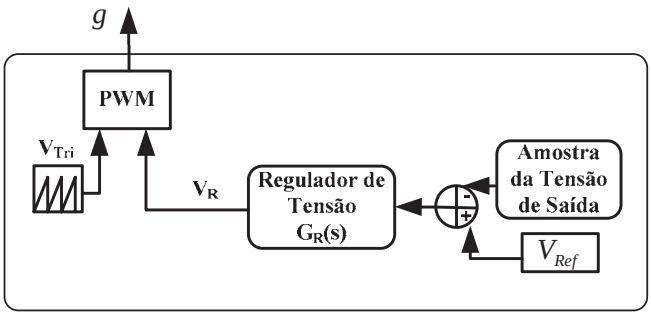
Fonte: Costa e Silva (2011)

Os modos de operação do conversor PFP *boost* podem ser descritos e caracterizados segundo os critérios que levam em consideração fatores como: complexidade do sistema de controle, distorção harmônica da corrente de entrada e fator de potência, esforços de corrente na estrutura, rendimento e problemas relacionados à recuperação reversa do diodo *boost*.

Complexidade do sistema de controle.

Na Figura 3 e Figura 4 estão representados os sistemas de controle tradicionais para o conversor PFP *boost* PWM operando respectivamente nos modos de condução contínua e descontínua de corrente.

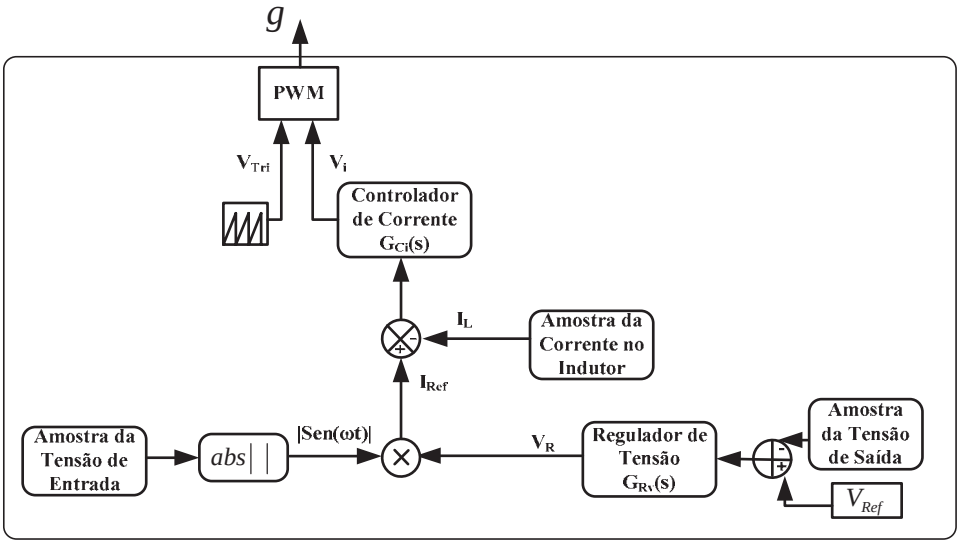
Figura 3 - Sistema de controle para operação em MCD .



Fonte: Costa e Silva (2011)

A operação em MCD apresenta circuito de controle mais simples, contendo apenas uma malha responsável pela regulação da tensão CC de saída. Além disso, apesar do conversor em questão ser de segunda ordem, em MCD este apresenta comportamento dinâmico de primeira ordem com um pólo predominante no semiplano negativo, o que facilita o projeto do regulador de tensão e a consequente estabilidade do sistema. O conversor atua como um seguidor de tensão e a correção do fator de potência ocorre de forma natural sem a necessidade de uma malha de controle específica para tal função. A modulação por largura de pulso é realizada com período de chaveamento e razão cíclica constantes.

Figura 4 - Sistema de controle em MCC.



Fonte: Costa e Silva (2011)

Como pôde ser visualizado na Figura 4, o sistema de controle para a operação em MCC é mais complexo do que quando operado em MCD. Tal sistema de controle é composto por duas malhas de controle; sendo a malha externa de tensão responsável pela regulação da tensão de saída CC, e a malha interna de corrente responsável pela correção da forma de onda da corrente no indutor *boost*. Este circuito torna-se mais complexo, uma vez que necessita de dois sensores adicionais, um para coletar a amostra de corrente no indutor e o outro para coletar a referência de corrente a ser seguida (senóide retificada). Além disso, devido à grande velocidade requerida pela malha interna de corrente, em se tratando de controle digital, há a necessidade de um sistema com capacidade elevada de processamento e tratamento digital dos sinais amostrados.

Na operação do conversor PFP *boost* em MCCr, a freqüência de chaveamento é variável e consequentemente também requer um circuito de controle complexo [5-7].

Distorção da corrente de entrada e fator de potência da estrutura.

A operação do conversor PFP *boost* em MCD proporciona no indutor *boost* a sintetização de uma corrente com característica de envoltória senoidal. Contudo, como o tempo de descarga da corrente no indutor varia durante o semiciclo de rede, a corrente de entrada do conversor apresenta elevado conteúdo harmônico de baixa ordem. Esta distorção é tão maior quanto menor é a relação entre a tensão do barramento CC e a tensão de pico de entrada [8-10].

Na operação em MCC, a corrente no indutor é forçada a seguir a referência senoidal retificada pela malha interna de corrente. Desta forma, a corrente sintetizada no indutor é praticamente isenta de harmônicos, e o fator de potência é próximo do valor unitário.

Esforços de Corrente na estrutura.

Considerando-se as mesmas especificações de potência e tensão para o conversor PFP *boost*, os dispositivos semicondutores de potência operando em MCD estão sujeitos aos maiores esforços de corrente (valores de pico e eficazes) quando comparados à operação em MCC. Embora utilize indutores menos volumosos, a operação em MCD exige filtragens adicionais na corrente de entrada e produzem picos de corrente no mínimo duas vezes maiores que a corrente média de entrada. Por esse fato, em aplicações que requerem maior demanda de potência, a operação em MCC é a mais utilizada.

Rendimento e Problemas de Recuperação Reversa.

Devido às elevadas tensões de saída no conversor *boost* , há a exigência de um diodo de saída que proporcione uma rápida recuperação e que suporte estas elevadas tensões. Em frequências de chaveamento muito elevadas, geralmente estes diodos com rápida recuperação provocam perdas significativas durante a recuperação reversa operando no modo de condução contínua (MCC). Desta forma, torna-se necessário a utilização de circuitos auxiliares que implementem técnicas de comutação suaves, como a ZCS ("*Zero Current Switching*") e a ZVS ("*Zero Voltage Switching*"). Na maioria das vezes, são utilizados circuitos "*snubbers*" ativos, para controlar as derivadas de correntes (di/dt) e/ou de tensões (dv/dt) durante as comutações [*6*].

Em MCD, o instante da entrada em condução do interruptor controlado de potência ocorre com corrente nula, assim como é nula a corrente no diodo de saída *boost* no instante de seu bloqueio. Desta forma, as perdas no chaveamento durante a entrada em condução do transistor e devido à recuperação reversa do diodo são minimizadas [11].

A tabela 1 resume as vantagens e desvantagens em se operar o conversor PFP *boost* no MCD ou MCC.

Tabela 1 - Comparação entre o Conversor PFP *Boost* operando em MCC e MCD

Critério	**MCD**		**MCC**	
	Ganhos Elevados de Tensão	**Ganhos Baixos de Tensão**	**Ganhos Elevados de Tensão**	**Ganhos Baixos de Tensão**
Sistema de Controle	Simples		Complexo	
DHT de Corrente	Baixa	Elevada	Baixa	Baixa
Esforços de Corrente (Valores de Pico e Eficazes)	Elevados		Baixos	
Perdas por Comutação (Efeito recuperação reversa)	Minimizado		Maximizado	
Circuito Auxiliar para comutação suave	Desnecessário		Necessário	

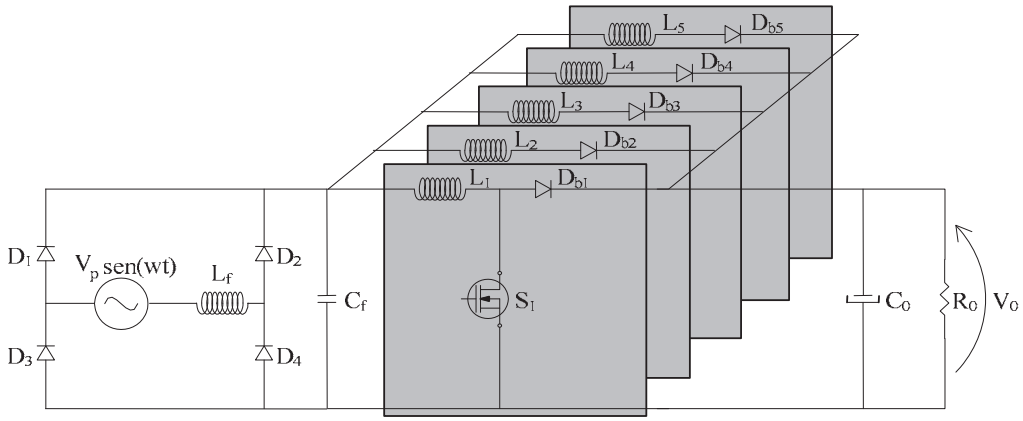
Fonte: Costa e Silva (2011)

Devido às características já citadas, diversos pesquisadores concentraram grandes esforços em encontrar novas técnicas e aprimorar técnicas já existentes de controle e comutação para aproveitar ainda mais as características do conversor PFP *boost*.

1.2.Técnica de Entrelaçamento de Múltiplas Células Conversoras

Como indicado na tabela 1, uma das maiores limitações em se trabalhar com corrente descontínua no indutor, decorre dos elevados valores de correntes eficazes e de pico em que os semicondutores são sujeitos. Este fator limita a utilização desses conversores em aplicações industriais de menores potências. No entanto, uma forma modular muito interessante para a divisão de potência nas estruturas é o entrelaçamento ("*interleaving*"), que consiste na associação de conversores em paralelo para o aumento da potência processada sem os problemas de distribuição de corrente que ocorrem no paralelismo de semicondutores [12]. A Figura 5 ilustra a aplicação da técnica de entrelaçamento ao tradicional conversor PFP *boost*.

Figura 5- Conversor PFP *boost* entrelaçado.



Fonte: Melo (2010).

O entrelaçamento permite a divisão dos esforços de corrente nos semicondutores de potência, além de provocar a redução das componentes de frequências harmônicas da corrente de entrada, levando a diminuição de peso e volume do filtro de IEM [11-19].

O decréscimo do volume dos componentes reativos e a divisão de esforços na operação dos semicondutores possibilitam a utilização de componentes comercialmente mais usuais e contribui para a redução do custo total da estrutura.

1.3.Família de Conversores PFP *Bridgeless Boost*

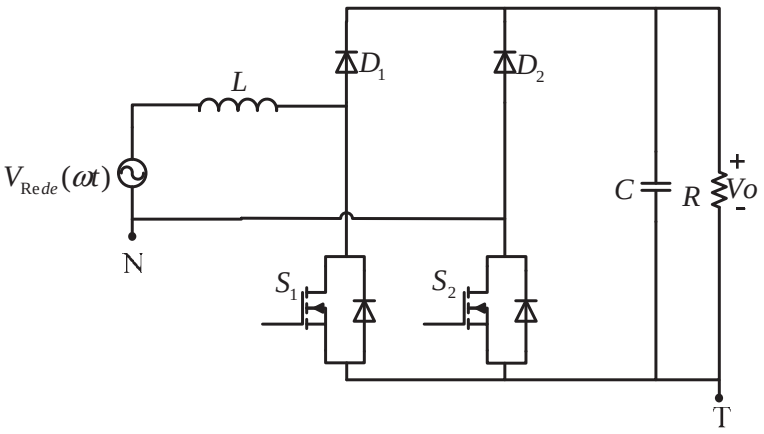
Como ilustrado na Figura 1, o processo de retificação e a correção do fator de potência na estrutura convencional do PFP *boost* são realizados em dois estágios distintos. Com isso, o rendimento resultante da topologia é representado pela multiplicação dos rendimentos individuais relativos a cada estágio de conversão da estrutura.

Com o objetivo de elevar o rendimento energético nas estruturas conversoras PFP *boost*, a família de conversores PFP *bridgeless* vem sendo amplamente pesquisada. Tais topologias integram em um único estágio os processos de retificação e de correção do fator de potência pela eliminação da ponte retificadora de onda completa na entrada, proporcionando diminuição das perdas por condução nos elementos semicondutores de potência. As estruturas *bridgeless* são sintetizadas a partir de modificações estruturais na topologia tradicional do PFP *boost*. Tais topologias são apresentadas nos itens a seguir.

1.3.1. Conversor PFP *Bridgeless Dual Boost*

A topologia PFP *bridgeless* mais tradicional, também chamada de *Dual Boost*, é apresentada na Figura 6.

Figura 6 - *Bridgeless Dual Boost*.



Fonte: Enjeti (1993).

Como o próprio nome sugere, a estrutura integra os estágios de retificação e de correção do fator de potência através de um duplo *boost* operando em alta frequência. O indutor *boost* é localizado do lado de corrente alternada (CA) e, em conjunto com os semicondutores do primeiro braço do conversor, opera como um conversor *boost* comutando em alta frequência durante o semiciclo positivo de rede. Durante o semiciclo negativo, o *boost* é formado no segundo braço do conversor. Em qualquer modo de operação haverá no máximo dois semicondutores conduzindo simultaneamente, motivo do aumento de rendimento comparado ao *boost* tradicional. As duas chaves semicondutoras são acionadas pelo mesmo sinal de controle [20].

Como desvantagem, a estrutura provoca considerável interferência eletromagnética (IEM) por ruído de modo comum (MC) quando comparada à estrutura tradicional *boost*. No conversor PFP *boost*, a referência da carga (T) é sempre ligada à referência da linha (N) através de retificador em ponte completa, enquanto que, no conversor PFP *dual boost*, a

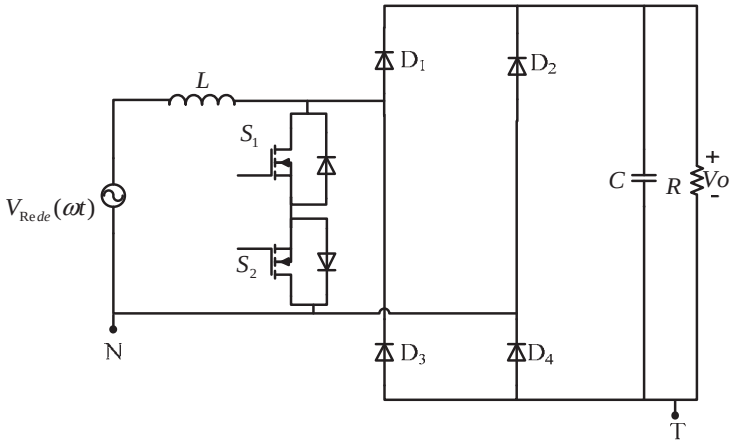
referência da saída está ligada à fonte alternada da entrada somente durante o semiciclo positivo de rede através do diodo antiparalelo da chave semicondutora S_2. Durante o semiciclo negativo de rede, a diferença de potencial entre o ponto comum da fonte (N) e a referência da saída (T) pulsa com a frequência de chaveamento. Desta forma, fluirão componentes de corrente de alta freqüência através das capacitâncias parasitas do circuito, ocasionando problemas de IEM. Em [21] é apresentado um modelo para analisar a emissão de ruído de modo comum na estrutura PFP *bridgeless dual boost*. A maior emissão de ruído modo comum pelo conversor PFP *bridgeless* é confirmada experimentalmente, resultado que indica a necessidade de um filtro IEM com maior capacidade de atenuação.

1.3.2. Conversor PFP *Bridgeless Boost* com chaves bidirecionais.

É ilustrado na Figura 7 o conversor PFP *bridgeless boost* equipado com chaves bidirecionais em corrente [22]. O novo conversor é formado pela adição de dois diodos rápidos na estrutura *bridgeless* tradicional. Em cada semiciclo quatro semicondutores conduzem, contudo somente dois simultâneamente. Assim, as perdas por condução da estrutura também são reduzidas se comparadas ao conversor *boost* tradicional. Contudo, devido aos diodos adicionais, sua eficiência é menor se comparada ao conversor *Bridgeless Dual Boost*. A emissão do ruído de modo comum também é relativamente elevada devido à característica pulsante do potencial entre a referência da carga (T) e a referência da fonte (N).

As chaves semicondutoras possuem referências diferentes e, portanto, os sinais de comando devem ser isolados.

Figura 7 - *Bridgeless Boost* com chaves bidirecionais.

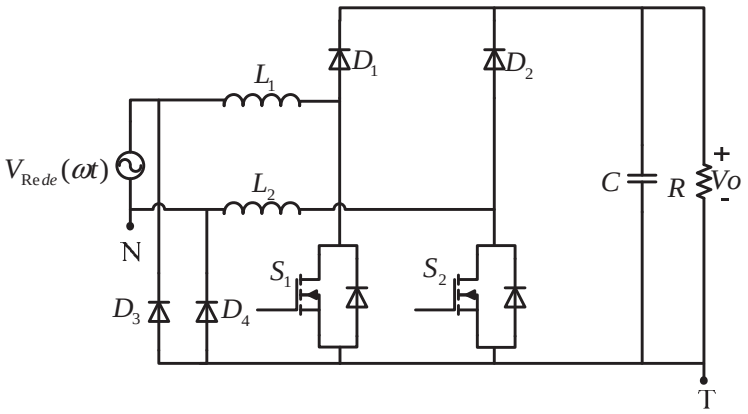


Fonte: Kong (2008).

1.3.3. Conversor PFP *Bridgeless Two-Boost*

O conversor PFP *bridgeless two-boost* proposto em [23] é ilustrado na Figura 8. Dois diodos de baixa frequência são adicionados à tradicional estrutura PFP *bridgeless* promovendo um caminho de circulação de corrente entre os barramentos de entrada e saída, tal que a diferença de potencial entre os barramentos seja estabilizada. Esta modificação estrutural permite alta redução de IEM por ruído de modo comum (CM). A redução das perdas por condução, caracterísitica das estruturas *bridgeless*, é mantida.

Figura 8 - *Bridgeless Two-Boost*.



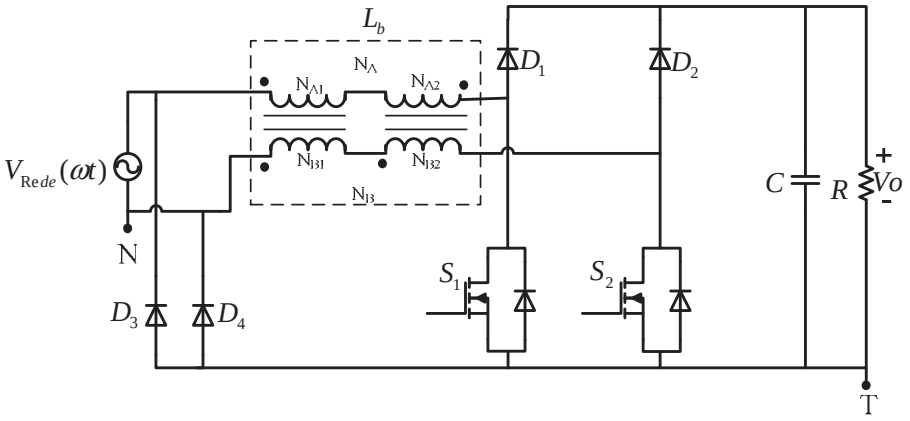
Fonte: Souza (1999).

A principal desvantagem da estrutura decorre da subutilização do material magnético, visto que durante cada semicilo de rede somente um indutor (L_1 ou L_2) é ativo no processo de conversão energética. As chaves semicondutoras possuem mesmo referencial, e podem ser acionadas pelo mesmo sinal de controle.

1.3.4. Conversor PFP *Bridgeless Two-Boost* com Indutores de Núcleo Comum.

A modificação realizada no conversor *Bridgeless Two-Boost* com indutores de núcleo comum, proposto em [24] e ilustrado na Figura 9, objetiva otimizar a utilização do material magnético da estrutura apresentada na Figura 8.

Figura 9 - *Bridgeless Two-Boost* com Indutores de Núcleo Comum.

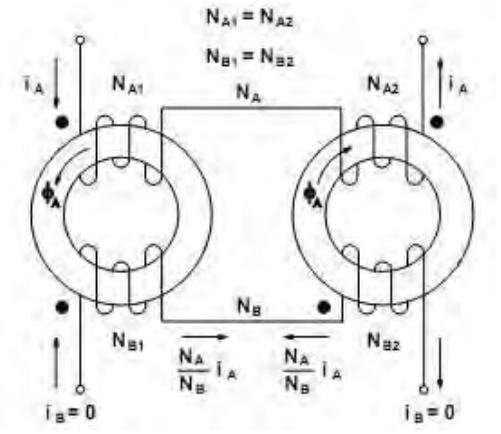


Fonte: Yungtaek (2008).

Cada enrolamento da estrutura original é dividido em dois novos enrolamentos série, concatenados cada um em um núcleo distinto. Os enrolamentos N_{A1} e N_{A2} são dispostos no material magnético de forma a induzir correntes opostas nos enrolamentos N_{B1} e N_{B2}, sendo que a recíproca é verdadeira. Se N_{A1} for igual a N_{A2} e, N_{B1} igual a N_{B2}, a energia armazenada em um enrolamento série é desacoplada magneticamente da outra. Desta forma as indutâncias formadas pelos enrolamentos (N_{A1} e N_{A2}) e (N_{B1} e N_{B2}) podem ser tratadas de forma independente. A disposição dos enrolamentos é apresentada na Figura 10.

No semiciclo positivo de rede, a indutância equivalente é formada pelos dois enrolamentos superiores (N_{A1} e N_{A2}), e o aproveitamento do fluxo concatenado é maximizado pela utilização dos dois materiais magnéticos. No semiciclo negativo, a operação é idêntica, contudo o indutor ativo é formado pelos enrolamentos inferiores (N_{B1} e N_{B2}).

Figura 10 - Disposição dos enrolamentos nos núcleos magnéticos.



Fonte: Yungtaek (2008).

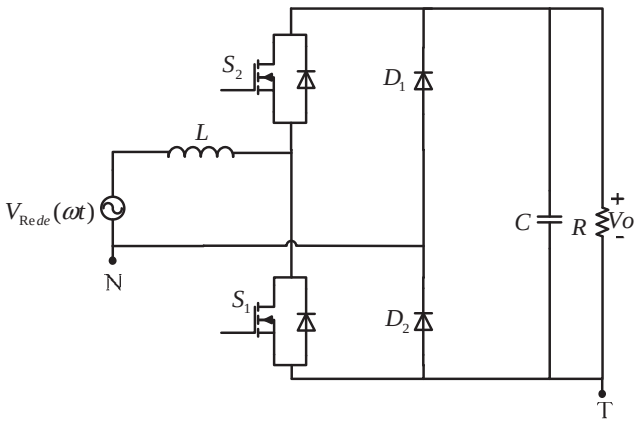
Como resultados da elevada utilização do material magnético pode-se reduzir as dimensões dos núcleos proporcionando o aumento da densidade de potência e a redução do peso total da estrutura conversora.

O protótipo esperimental de 750W foi avaliado em [24] com frequência de chaveamento de 110 kHz operando com entrada CA universal (85 V_{ef} – 264 V_{ef}) e tensão de saída de 400 V. Um ICE1PCS01 (controlador para PFP operando em MCC de 8 pinos) da *Infineon* foi usado no circuito do protótipo experimental. Os resultados experimentais mostram um relativo aumento da eficiência energética da estrutura *bridgeless* com indutores de núcleo comum se comparada ao conversor PFP *boost* convencional, com cerca de 17% de redução nas perdas. Contudo quando comparado ao *bridgeless two-boost* (Figura 8) nota-se uma ligeira queda no rendimento. Operando com baixa tensão de alimentação (85 V_{ef}) e com carga plena, a estrutura apresentou DHT de 3,5% e FP de 0,999, enquanto na máxima tensão de entrada (264 Vef) e em plena carga apresentou respectivamente DHT de 7,9% e FP de 0,991.

1.3.5. Conversor PFP *Bridgeless Totem-Pole e Pseudo Totem-Pole*

A Figura 11 ilustra o conversor PFP *bridgeless Totem-Pole*. A estrutura tem a mesma quantidade de semicondutores comparada à estrutura *bridgeless* convencional, sendo que a modificação estrutural ocorre somente no posicionamento dos semicondutores. Desta forma, a diferença de potencial entre a referência de carga e a referência da fonte é nula no semiciclo positivo e estabilizada no semiciclo negativo com valor igual à tensão de saída. Portanto, tal estrutura emite menos IEM por ruídos de modo comum que as estruturas da Figura 6 e Figura 7. Contudo, a emissão ainda é maior que na estrutura indicada na Figura 8.

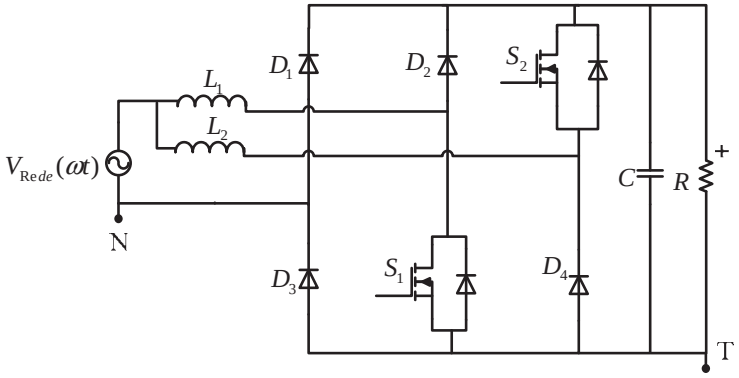
Figura 11- *Bridgeless Totem-Pole*.



Fonte: Qingnan (2009).

A estrutura PFP *bridgeless Pseudo Totem-Pole* é indicada na Figura 12. As características de elevado rendimento são mantidas pelo baixo número de componentes em condução simultânea. A estrutura possui dois diodos lentos adicionais, e o indutor é duplicado. As características de IEM são idênticas ao conversor da Figura 11. As chaves semicondutoras tanto da estrutura indicada na Figura 11, quanto da Figura 12 possuem referencias distintas e necessitam de acionamentos isolados.

Figura 12. - *Bridgeless Pseudo Totem-Pole*.



Fonte: Qingnan (2009).

1.3.6. Comparação entre os conversores PFP *Bridgeless Boost*

Uma interessante comparação entre os conversores PFP da família *bridgeless* foi realizado em [25] segundo os critérios de eficiência energética associada às perdas por condução nos componentes semicondutores das estruturas, e segundo a emissão de interferência eletromagnética por ruído de modo comum. A Tabela 2 indica e quantifica o número de semicondutores em condução durante o semiciclo positivo da rede de alimentação para cada topologia PFP *bridgeless boost* apresentada. Obviamente, o número de semicondutores em condução simultânea no circuito conversor está diretamente ligado às perdas energéticas por condução.

Tabela 2- Número de Semicondutores em Condução Simultânea nas Estruturas PFP *Bridgeless Boost*

Topologia	Ligada/Desligada	D_F	D_L	S	D_S	Número Total
Boost	Ligada	0	2	1	0	3
	Desligada	1		0		
Dual Boost	Ligada	0	0	1	1	2
	Desligada	1		0		
***Bridgeless Boost* Bidirecional**	Ligada	0	0	1	1	2
	Desligada	2		0	0	
Bridgeless Two-Boost	Ligada	0	1	1	0	2
	Desligada	1		0		
Totem-Pole	Ligada	1	0	1	0	2
	Desligada			0	1	
Pseudo Totem-Pole	Ligada	0	1	1	0	2
	Desligada	1		0		

Fonte: Costa e Silva (2011)

Sendo:

D_F – Diodos de alta frequência.

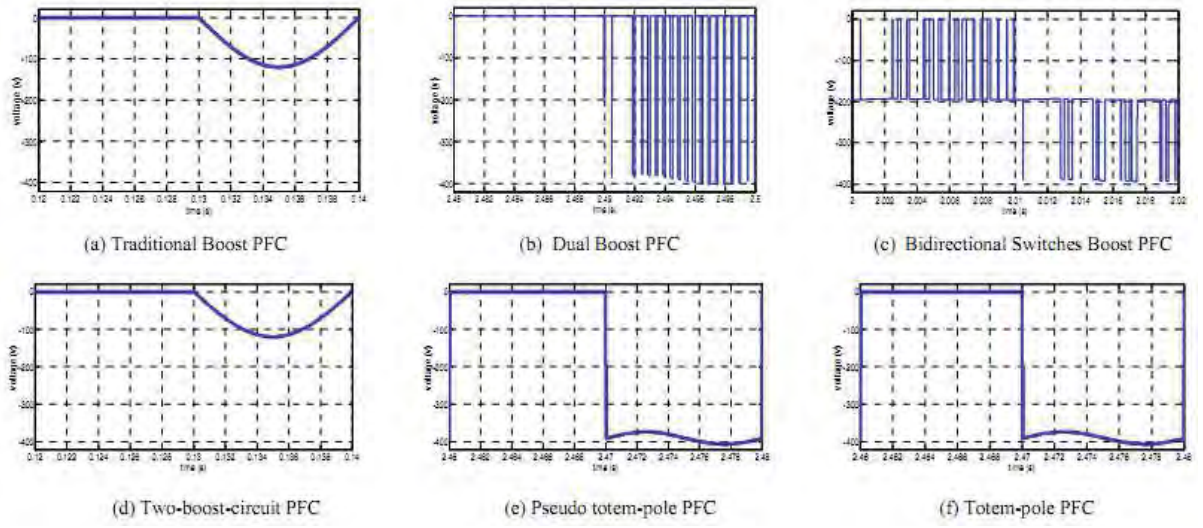
D_L – Diodos de baixa frequência.

S – Chave semicondutora

D_S – Diodo antiparalelo da chave semicondutora.

As características de emissão de IEM por ruído de modo comum podem ser previstas pela característica da diferença de potencial entre a referência de carga e a referência da linha V_{TN}. A característica de $V_{TN}(t)$ para os conversores *bridgeless* é apresentada na Figura 13.

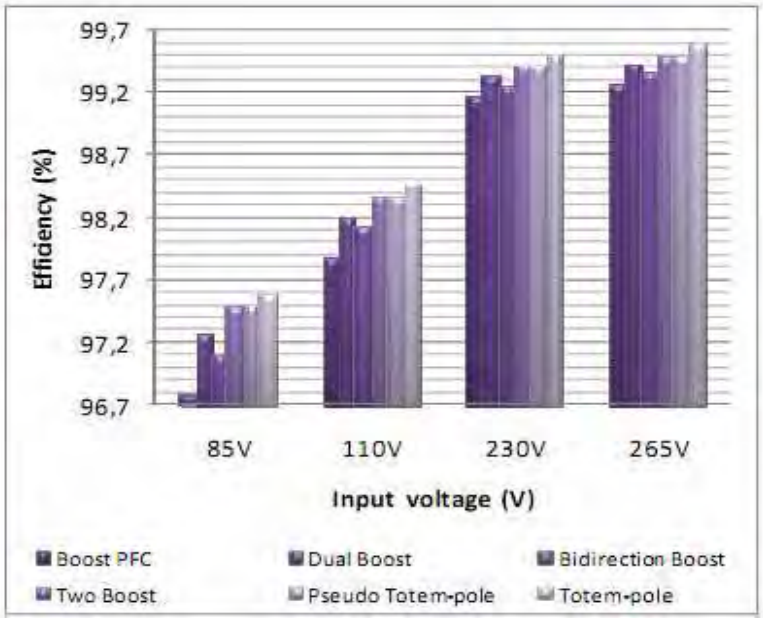
Figura 13 - Formas de Onda da tensão V_{TN} para cada conversor *bridgeless.*



Fonte: Qingnan (2009)

O rendimento das estruturas *bridgeless* foi previsto na Figura 14 através das simulações segundo as seguintes especificações de projeto: potência de 3,5kW, tensão de alimentação entre 85 V_{ef} e 265 V_{ef} , e tensão de saída de 400V. A simulação realizada contempla somente as perdas energéticas por condução.

Figura 14. - Rendimento dos conversores PFP *bridgeless* .



Fonte: Qingnan (2009)

1.4.Conclusões

O trabalho busca o desenvolvimento de conversores CA-CC para aplicações em médias potências (na faixa de 1kW até as dezenas de kW), com elevado fator de potência e baixa distorção harmônica na corrente de entrada. Deseja-se ainda elevado rendimento, seja pela diminuição das perdas por condução ou durante a comutação dos elementos semicondutores, e que estejam em concordância com critérios de compatibilidade eletromagnética (CEM).

A revisão realizada concentrou os estudos em conversores PFP baseados no tradicional conversor *boost*. Estudos comparativos foram realizados segundo o modo de operação destes conversores. A operação em MCD torna-se uma boa escolha quando se busca diminuir a complexidade do circuito de controle do conversor e aumentar a eficiência energética pela diminuição das perdas de energia durante o processo de comutação dos semicondutores. O problema da recuperação reversa é drasticamente atenuado, visto que o circuito opera naturalmente com ZCS ("*Zero Current Switching*") sem a necessidade de um circuito auxiliar. Além disso, o conversor opera como seguidor de tensão, e o circuito de

controle é simplificado pela necessidade de somente uma malha de controle responsável pela regulação de tensão CC da saída. No entanto, os grande esforços de corrente nos semicondutores de potência limitam a utilização do conversor operando em MCD à aplicações de menores potências.

Nesse sentido, a utilização das técnicas de entrelaçamento permite a divisão dos esforços nos semicondutores de potência e habilitam a utilização dos conversores operando em MCD a níveis mais elevados de potência. Além disso, levam à diminuição de peso e volume dos elementos de filtro devido ao aumento da frequência e à diminuição da amplitude da ondulação da corrente resultante do entrelaçamento.

Como demonstrado nos trabalhos existente na literatura, as perdas por condução provenientes do estágio de retificação do conversor PFP *boost* decrementam o rendimento total da estrutura. A utilização de conversores da família *bridgeless* eliminam a necessidade da ponte retificadora da entrada, pois integram em um único estágio os processos de retificação e correção do fator de potência. A utilização do conversor *bridgeless dual boost* é interessante dada a relativa simplicidade para o acionamento das chaves e o menor número de componentes quando comparado as demais estruturas *bridgeless*. No entanto, há a necessidade de um cuidado maior no projeto do filtro de IEM.

Portanto, a estrutura conversora proposta neste trabalho baseia-se na integração da técnica *bridgeless* à técnica de entrelaçamento multicelular, onde cada célula do conversor PFP *bridgeless boost* entrelaçado operará em MCD. O capítulo 2 apresenta em detalhes o estágio de potência da estrutura proposta, sendo que os parâmetros mais importantes do conversor serão equacionados a partir das etapas de operação desta estrutura.

No capítulo 3 é apresentada a modelagem a pequenos sinais do conversor, bem como os procedimentos para o projeto do regulador de tensão. Os principais resultados, como DHT e FP, esforços de corrente nos semicondutores da estrutura e eficácia do sistema de controle são obtidos através de simulações computacionais.

No capítulo 4 o sistema de controle é modificado com objetivo de minimizar a DHT de corrente e, consequentemente maximizar o FP da estrutura. As comparações são realizadas através de resultados teóricos e de simulação dispostos em tabelas, gráficos, e figuras.

No capítulo 5 são apresentados os resultados experimentais parciais referentes ao estágio de potência da estrutura proposta. As principais formas de onda de tensão e corrente, a DHT e o FP, bem como o rendimento da estrutura são apresentados através de figuras, gráficos comparativos e equações.

O capítulo 6 apresenta as principais conclusões sobre os resultados obtidos até o momento no decorrer do projeto de pesquisa. Propostas de continuidade de trabalho e implementação do projeto são discutidas.

Capítulo 2

Conversor PFP *Bridgeless Boost* Entrelaçado.

2.1.Considerações Iniciais

O conversor de potência proposto neste trabalho, *bridgeless boost* entrelaçado, baseia-se numa topologia *boost* modificada que integra a técnica de eliminação da ponte de retificadora (*bridgeless*) à técnica de entrelaçamento multicelular (*interleaved)*, e realiza em um único estágio o processo de retificação e de correção do fator de potência [27].

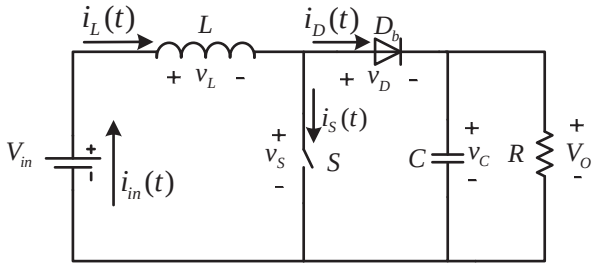
Desta forma, a análise, a operação e o equacionamento do PFP *bridgeless boost* entrelaçado, como o próprio nome sugere, será dividida em quatro etapas:

- Conversor CC-CC *boost* operando em modo de condução descontínua:
  - Equacionamento e descrição de cada etapa de operação.
- Conversor PFP *boost*:
  - Descrição do conversor boost operando em alta frequência como circuito pré-regulador do fator de potência (PFP).
- Conversor PFP *bridgeless boost*:
  - Eliminação da ponte retificadora e incorporação em único estágio dos processos de retificação e de correção do fator de potência.
- Conversor PFP *bridgeless boost* entrelaçado:
  - Processo de entrelaçamento de múltiplas células conversoras *bridgeless boost*.

2.2. Conversor CC-CC *Boost*

O conversor CC-CC *boost* é constituído basicamente de elementos semicondutores de potência e elementos acumuladores de energia como ilustrado na Figura 15. O indutor L e o capacitor C são responsáveis pela acumulação de energia nas formas de campo magnético e campo elétrico. O controle do fluxo de energia é realizado através da modulação por largura do pulso da chave semicondutora S. Neste tipo de modulação, o sinal de controle da chave possui frequência constante, e a conversão de tensão CC-CC depende da razão cíclica, definida como a relação entre o tempo de condução da chave e o período de chaveamento.

Figura 15- Conversor CC-CC *boost* .



Fonte: Costa e Silva (2011)

Define-se cada elemento do conversor boost apresentado na Figura 15:

V_{in} - Tensão CC da fonte.

V_o - Tensão CC da saída.

L - Indutância *boost*.

S - Chave semicondutora.

D_b - Diodo *boost*.

C - Capacitância de filtro de saída.

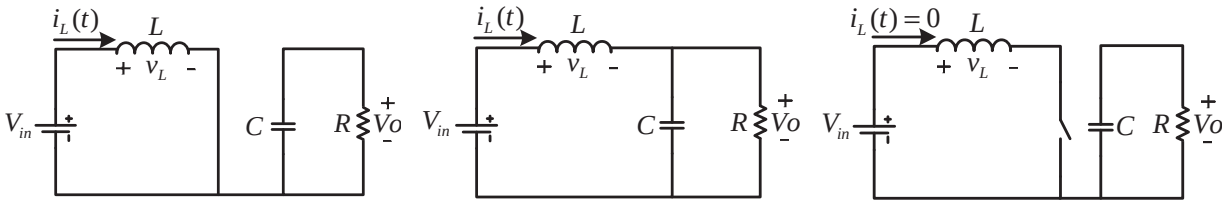
R - Resistência de carga.

Como pode ser visto na Figura 15, o circuito conversor é não linear, e pode apresentar duas etapas de operação em MCC ou três em MCD.

Na primeira etapa, quando a chave é acionada, a tensão de entrada V_{in} é aplicada sobre o indutor *boost*, que armazena energia enquanto o diodo *boost* apresenta-se reversamente polarizado mantendo-se assim bloqueado. Na etapa seguinte a chave é aberta, o diodo conduz, e a energia armazenada no indutor é transferida à carga e ao capacitor. A terceira etapa ocorre somente para a operação em MCD, pois quando a corrente no indutor vai a zero há o bloqueio do diodo de saída, não havendo desta forma fluxo de energia entre fonte e carga.

As três etapas de operação são apresentadas na Figura16.

Figura 16 - Etapas de operação do conversor CC-CC *boost* em MCD.



(a) $t = [0, t_1)$ (b) $t = [t_1, t_2)$ (c) $t = [t_2, t_3)$

Fonte: Costa e Silva (2011)

Define-se:

T_s - Período de chaveamento.

f_s - Frequência de chaveamento.

Δt_1 - Tempo de duração da primeira etapa de operação.

Δt_2 - Tempo de duração da segunda etapa de operação.

Δt_3 - Tempo de duração da terceira etapa de operação.

D - Razão cíclica: relação entre o tempo de condução da chave e o período de chaveamento.

G - Ganho de tensão: relação entre a tensão de saída e a tensão da fonte.

As equações (1), (2) e (3) representam respectivamente o período de chaveamento, a razão cíclica e o ganho estático de tensão do conversor *boost* operando em MCD.

$$T_S = (t_1 - 0) + (t_2 - t_1) + (t_3 - t_2) = \Delta t_1 + \Delta t_2 + \Delta t_3 \quad (1)$$

$$D = \frac{\Delta t_1}{T_S} \quad (2)$$

$$G = \frac{V_o}{V_{in}} \quad (3)$$

Equacionamento da primeira etapa t = [0,t_1): Figura 16(a)

Na primeira etapa de operação do conversor *boost*, Figura 16(a), a chave eletrônica encontra-se fechada e o diodo *boost* mantém-se bloqueado, fazendo com que a tensão aplicada entre os terminais do indutor seja igual à tensão CC da fonte.

$$v_L = V_{in} = L.\frac{di_L(t)}{dt} \quad (4)$$

Durante toda esta etapa a corrente através do indutor será igual a corrente na chave, e o seu valor em função do tempo varia de acordo com a equação (5).

$$i_L(t) = i_S(t) = \frac{V_{in}}{L}\int_{t_0=0}^{t} dt = \frac{V_{in}}{L}.t \quad (5)$$

A corrente no indutor cresce linearmente com o tempo, e tem seu valor máximo (pico) no instante t_1 da transição entre a primeira e segunda etapa.

$$I_p = \frac{V_{in}}{L}.\Delta t_1 = \frac{V_{in}}{L.f_S}D \quad (6)$$

Equacionamento da segunda etapa t=[t_1,t_2): Figura 16(b)

Nesta etapa ocorre a abertura da chave e o diodo *boost* entra em condução, fazendo com que a tensão aplicada entre os terminais do indutor seja igual à diferença entre as tensões de saída e da fonte.

$$v_L = -(V_o - V_{in}) \tag{7}$$

A corrente no indutor é igual a corrente no diodo de saída e pode ser expressa em função do tempo como indicado em (8).

$$\begin{aligned} i_L(t)\Big|_{I_P}^{I_L(t)} &= \frac{-(V_o - V_{in})}{L}.\int_{t_1}^{t} dt \\ i_L(t) = i_D(t) &= \frac{-(V_o - V_{in})}{L}.(t - t_1) + I_p \end{aligned} \tag{8}$$

De acordo com (8) a corrente no indutor deve decrescer com o passar do tempo chegando ao valor nulo no instante t_2, quando ocorre o bloqueio do diodo e do fluxo de energia entre fonte e carga. Aplicando os valores relativos ao instante t_2 em (8) encontra-se o tempo de duração da segunda etapa em (9).

$$\Delta t_2 = \frac{L.I_p}{(V_o - V_{in})} \tag{9}$$

Terceira etapa t=[t_2,t_3): Figura 16(c)

A chave permanece aberta, contudo o diodo de saída entra em bloqueio devido à descontinuidade da corrente no indutor. Desta forma a tensão sobre o indutor nesta etapa é nula e a tensão da fonte é aplicada diretamente sobre a chave.

$$i_L(t) = i_D(t) = 0 \tag{10}$$

Na Figura 17 são apresentadas as principais formas de onda de correntes e tensões envolvidas na conversão de energia do circuito conversor *boost*.

Substituindo-se (5) em (8) encontra-se a relação entre os tempos de condução da chave e do diodo.

$$\Delta t_2 = \frac{V_{in}}{(V_o - V_{in})}.\Delta t_1 \tag{11}$$

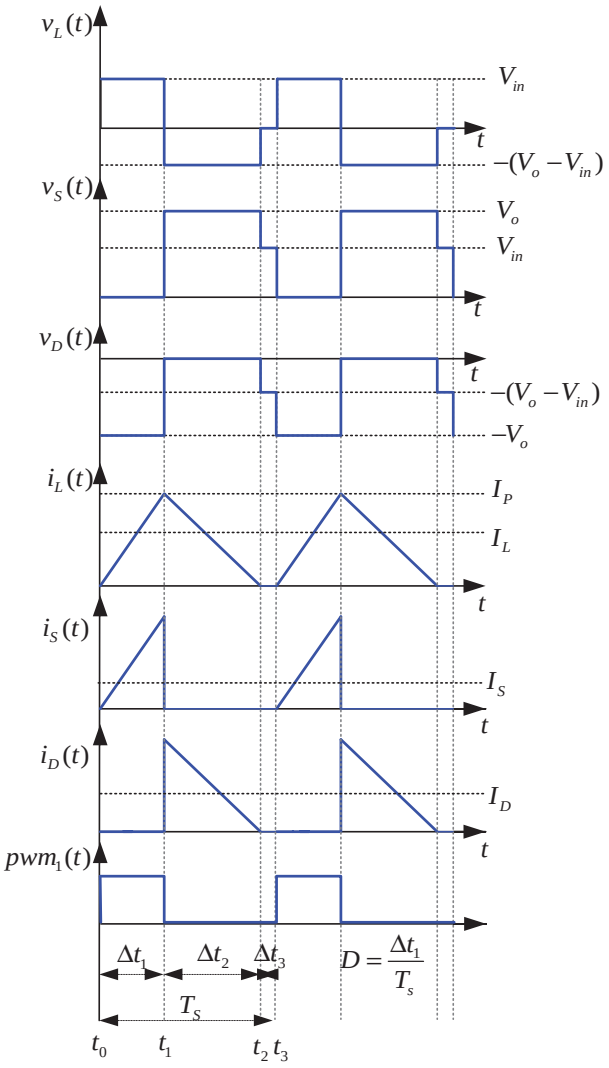
As correntes médias no indutor, na chave, e no diodo podem ser calculadas de (12) a (14) através das áreas triangulares de $i_L(t)$, $i_S(t)$ e $i_D(t)$ dispostas na Figura 17.

$$I_L = \frac{(\Delta t_1 + \Delta t_2)}{2.T_S}.I_p \tag{12}$$

$$I_S = \frac{\Delta t_1}{2.T_S}.I_p \tag{13}$$

$$I_D = \frac{\Delta t_2}{2.T_S}.I_p \tag{14}$$

Figura 17. Formas de onda das variáveis elétricas.



Fonte: Costa e Silva (2011)

Substituindo-se (6) e (11) nas equações dispostas de (12) a (14), podem-se reescrever as correntes médias nos elementos como:

$$I_L = \frac{D^2}{2.L.f_S}.\frac{V_{in}.V_o}{V_o - V_{in}} \tag{15}$$

$$I_S = \frac{D^2}{2.L.f_S}.V_{in} \tag{16}$$

$$I_D = \frac{D^2}{2.L.f_S}.\frac{{V_{in}}^2}{V_o - V_{in}} \tag{17}$$

Uma vez que a corrente média no capacitor de filtro de saída é nula, então a corrente média no diodo é igual à corrente de carga do conversor I_o. Substituindo (3) em (17), reescreve-se a corrente de carga do conversor em (18).

$$I_o = \frac{D^2}{2.L.f_S}.\frac{V_{in}}{G-1} \tag{18}$$

Desta forma o ganho estático pode ser representado como segue:

$$G = 1 + \frac{D^2}{2.\gamma} \tag{19}$$

$$\gamma = \frac{L.fs}{V_{in}}.I_o \tag{20}$$

Onde:

γ – corrente de carga normalizada.

A corrente de carga normalizada representa as principais características de operação e fluxo de carga do conversor. Como pode ser evidenciado em (19), o ganho do conversor operando em MCD depende não só da razão cíclica, mas também de parâmetros relativos à sua operação, como a frequência de chaveamento, a indutância, e a corrente de carga.

Quando o conversor *boost* opera em MCC, a terceira etapa não ocorre ($\Delta t_3 = 0$) e o ganho estático só depende do valor da razão cíclica:

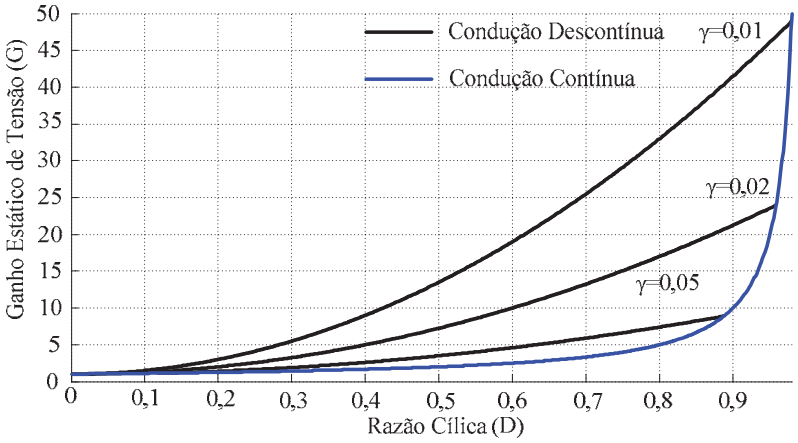
$$G = \frac{1}{1-D} \tag{21}$$

O limiar entre os modos de condução descontínua (MCD) e contínua (MCC) é chamado de modo de condução crítica (MCCr). No ponto crítico as equações (19) e (21) são válidas e desta forma o valor da razão cíclica crítica ($D_{critico}$) é encontrado através da igualdade entre as duas equações:

$$D_{critico} = \frac{1 \pm \sqrt{1 - 8.\gamma}}{2} \tag{22}$$

Portanto, se D for maior que $D_{critico}$, o conversor operará em MCC, caso contrário a operação se dará no MCD. A Figura 18 mostra a característica estática do conversor *boost* para diferentes valores de γ.

Figura 18 - Característica estática do conversor *boost* para diferentes valores de γ.



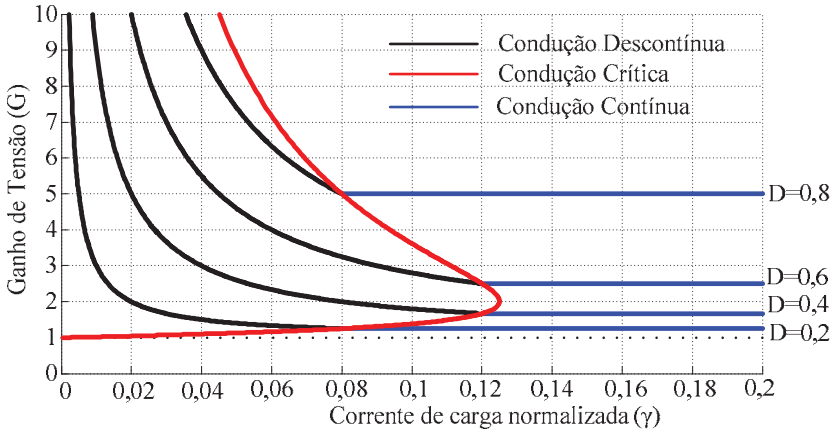
Fonte: Costa e Silva (2011)

Os valores críticos para a corrente de carga normalizada podem ser calculados a partir de (23):

$$\gamma_{critico} = \frac{(D - D^2)}{2} \tag{23}$$

Através de (19), (21) e (23) é possível analisar na Figura 19, o comportamento do ganho de tensão do conversor como função da variação de γ, para diferentes valores de razão cíclica.

Figura 19- Característica de saída do conversor *boost*.



Fonte: Costa e Silva (2011)

Portanto, dada às especificações de projeto, é possível garantir a operação em MCD do conversor limitando-se a indutância máxima de projeto como calculado a seguir.

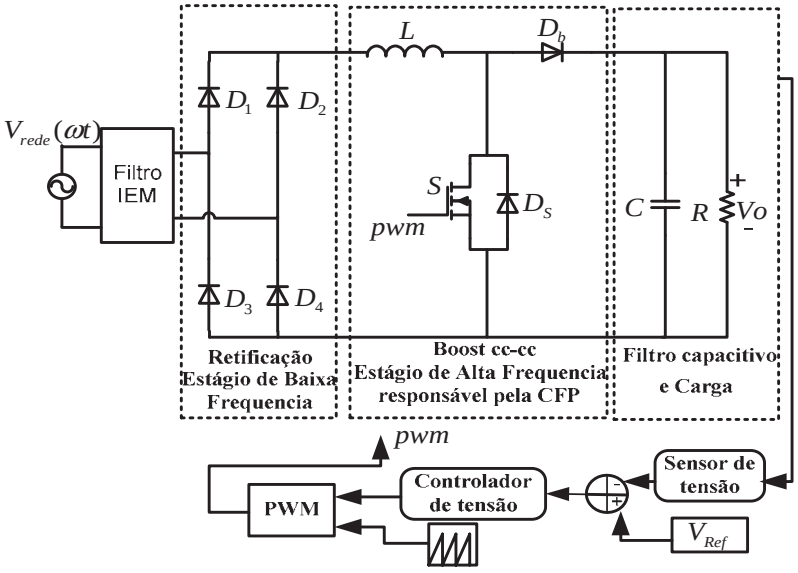
$$L_{\max ima} = \frac{(1-D).D.V_{in}}{2.fs.I_{o\max}} \tag{24}$$

2.3.Conversor PFP *Boost.*

Em fontes CA-CC tradicionais, compostas por retificadores em ponte completa a diodos, o fator de potência é muito baixo devido à distorção na forma de onda da corrente de entrada, que tem característica pulsante devido ao filtro capacitivo de saída. Como forma de suprir essa deficiência, surgiram os conversores CA-CC pré-reguladores do fator de potência (PFP).

Na Figura 20 é ilustrado o tradicional conversor CA-CC *boost* de elevado fator de potência. Este sistema é composto de um filtro de IEM na entrada, uma ponte retificadora, o conversor CC-CC boost operando em MCD, o filtro de saída e a carga. Em um primeiro estágio (baixa frequência) ocorre o processo de retificação realizada pela ponte retificadora a diodos. O segundo estágio (alta frequência), representado pelo conversor *boost*, é responsável pela correção do fator de potência e regulação da tensão de saída.

Figura 20 - Conversor PFC *boost*.



Fonte: Costa e Silva (2011)

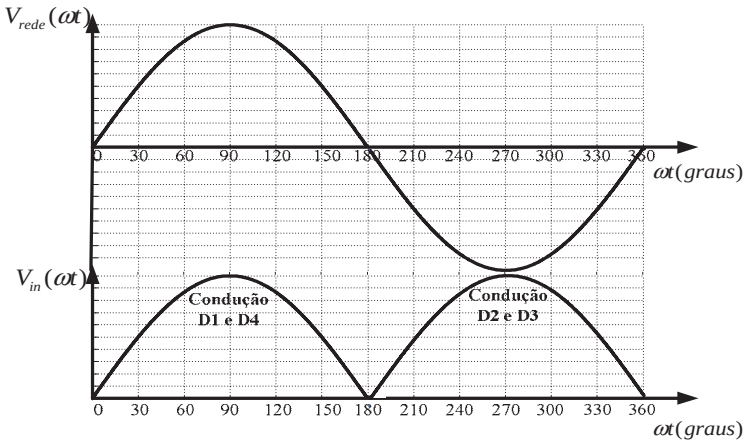
A correção do fator de potência é realizada através da correção da forma de onda da corrente de entrada, que através do chaveamento em alta frequência do conversor *boost*, obriga a corrente no indutor a seguir a envoltória senoidal da tensão retificada, trabalhando assim como um seguidor de tensão.

O projeto dos elementos do conversor *boost* é realizado considerando valores nominais de tensão de saída e potência; contudo quando o conversor não opera em plena carga, a tensão na saída tende a variar em malha aberta. Esta variação também ocorre quando há perturbações na tensão de alimentação (*SAG* ou *SWELLS*). Portanto, além de corrigir o

fator de potência, o conversor *boost* também é responsável pela regulação da tensão de saída dadas as variações de carga e perturbações na alimentação. Esta compensação de tensão ocorre através da modulação PWM da chave semicondutora, que variando a razão cíclica, regula a tensão de saída para o valor de referência.

Como ilustrado na Figura 20, num primeiro estágio ocorre a retificação da tensão alternada da rede de alimentação. Neste processo, os diodos retificadores conduzem aos pares, comutando em baixa frequência (120Hz) como indicado na Figura 21.

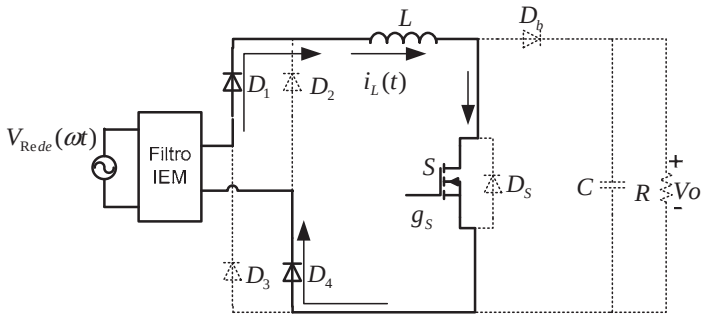
Figura 21- Processo de retificação em baixa frequência.



Fonte: Costa e Silva (2011)

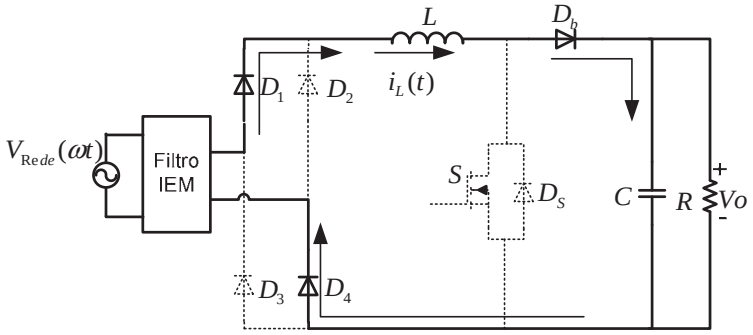
Como a retificação e a correção do fator de potência são realizados em dois estágios distintos, as perdas totais por condução desta topologia podem ser relativamente elevadas, pois enquanto houver continuidade de corrente no indutor haverá sempre três semicondutores em condução (dois diodos retificadores em conjunto, ora com a chave, ora com o diodo *boost*). Os três subcircuitos resultados da comutação em alta frequência são apresentados na Figura 22, Figura 23 e Figura 24.

Figura 22 - Primeira etapa *boost* de alta frequência (AF).



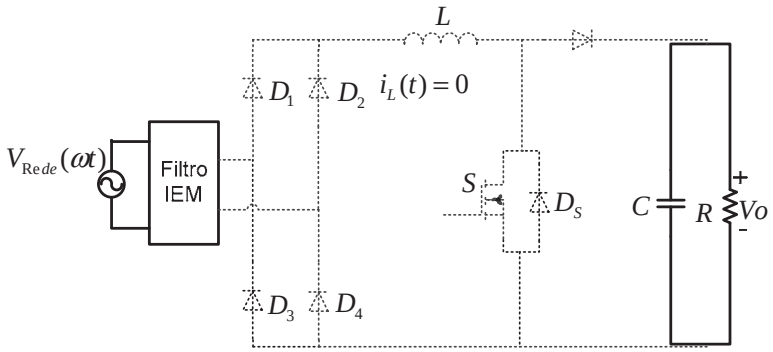
Fonte: Costa e Silva (2011)

Figura 23 - Segunda etapa *boost* de AF.



Fonte: Costa e Silva (2011)

Figura 24 - Terceira etapa *boost* de alta frequência (AF).



Fonte: Costa e Silva (2011)

O equacionamento do sistema conversor basicamente se traduz na análise matemática do conversor *boost* operando com tensão de entrada variante no tempo. Esta tensão pode ser representada pela tensão retificada da rede de alimentação:

$$V_{in}(\omega t) = V_p . \left| sen(\omega t) \right| \tag{25}$$

$$\omega = 2.\pi . f_{rede} \tag{26}$$

Onde:

ω - Frequência angular da rede de alimentação.

f_{rede} - Frequência da rede de alimentação.

V_p - Tensão de pico da alimentação.

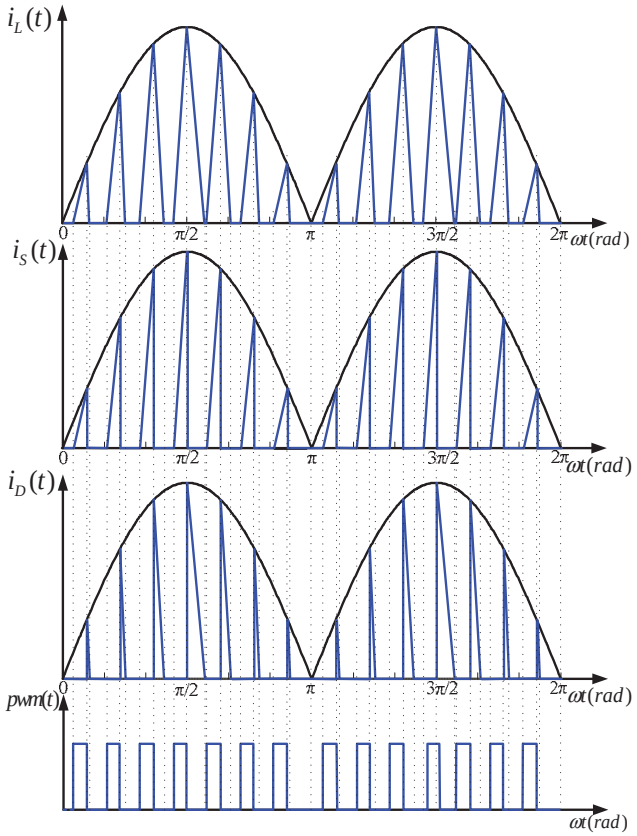
Considera-se a frequência de chaveamento do conversor constante e muito maior que a frequência da rede de alimentação. Desta forma a análise matemática pode ser divida em duas etapas; etapa de alta e etapa de baixa frequência. Na etapa de alta frequência as equações de

(1) a (17) são válidas, dado que o conversor *boost* “enxerga” a tensão de entrada constante durante um ciclo de chaveamento. Contudo para caracterizar o comportamento do conversor *boost* operando como circuito retificador pré-regulador do fator de potência, é necessário levar em consideração a característica de baixa frequência da rede de alimentação. Substituindo-se (25) em (6) pode-se reescrever a corrente de pico no indutor em função da fase da tensão de alimentação.

$$I_p(\omega t) = \frac{V_p.D}{L.f_s}\left|sen(\omega t)\right| \tag{27}$$

De acordo com (27), as correntes de pico no indutor, na chave, e no diodo *boost* seguem uma envoltória senoidal em função do tempo. Na Figura 25 são apresentados o sinal de controle da chave semicondutora, bem como as correntes no indutor, na chave, e no diodo *boost* de saída.

Figura 25. Correntes no indutor, na chave, no diodo e sinais de comando da chave.



Fonte: Costa e Silva (2011)

Adaptando-se a equação (9) para a tensão de entrada retificada, têm-se o tempo de descarga da corrente no indutor calculado em (28).

$$\Delta t_2(\omega t) = \frac{D}{f_s}\frac{M.\left|sen(\omega t)\right|}{1-M.\left|sen(\omega t)\right|} \tag{28}$$

Onde:

$M = \frac{V_p}{V_o}$ - Relação entre a tensão de pico de entrada e a tensão CC de saída.

O tempo de chave fechada continua constante, dependente da razão cíclica e do período de chaveamento de projeto.

As correntes médias instantâneas relativas a cada período de chaveamento podem ser obtidas substituindo-se (25) nas equações de (15) a (17).

$$I_L(\omega t) = \frac{D^2.V_p}{2.L.f_S}.\frac{|sen(\omega t)|}{1-M.|sen(\omega t)|} \tag{29}$$

$$I_S(\omega t) = \frac{D^2.V_p}{2.L.f_S}.|sen(\omega t)| \tag{30}$$

$$I_D(\omega t) = \frac{D^2.V_p}{2.L.f_S}.\frac{M.|sen(\omega t)|^2}{1-M.|sen(\omega t)|} \tag{31}$$

O capacitor de saída em conjunto com a carga, ambos ilustrados na Figura 20, funcionam como um filtro passa-baixas de primeira ordem com frequência de corte de 120Hz, de modo a obter uma ondulação de tensão desejada. Uma vez filtrada as componentes de corrente de alta frequência provenientes do chaveamento do conversor, a corrente de saída (carga) pode ser obtida realizando-se a média da corrente no diodo *boost* durante um semiciclo de rede.

$$I_o = \frac{1}{\pi}\int_0^{\pi} I_D(\omega t).d(\omega t) = \frac{D^2.V_p}{2.\pi.f_S.L}.\int_0^{\pi}\frac{M.sen(\omega t)^2}{1-M.sen(\omega t)}.d(\omega t) \tag{32}$$

$$I_o = \frac{D^2.V_p}{2.\pi.f_s.L}.I(M) \tag{33}$$

A resolução da integral de (32) é exposta em (34).

$$I(M) = -2 - \frac{\pi}{M} + \frac{2}{M.\sqrt{1-M^2}}.\left(\frac{\pi}{2} + arctg\left(\frac{M}{\sqrt{1-M^2}}\right)\right) \tag{34}$$

Para garantir a operação do conversor em MCD durante todo o ciclo de rede, o valor máximo da indutância de projeto deve ser calculado levando em consideração a operação em modo de condução crítica (MCCr) no pico da senóide. Neste ponto, a relação seguinte é válida.

$$D_{critico} = 1 - M \tag{35}$$

Considerando o conversor operando com 100% de rendimento, a corrente de saída também pode ser escrita como segue:

$$I_o = \frac{P_N}{V_o} \tag{36}$$

Substituindo (35) e (36) em (33), têm-se o valor máximo da indutância de projeto.

$$L_{maxima} = \frac{V_p^{\,2}}{2.\pi.fs.P_N}.\frac{D_{critico}^{\,2}}{M}.I(M) \tag{37}$$

Onde:

L_{maxima} - Indutância máxima de projeto.

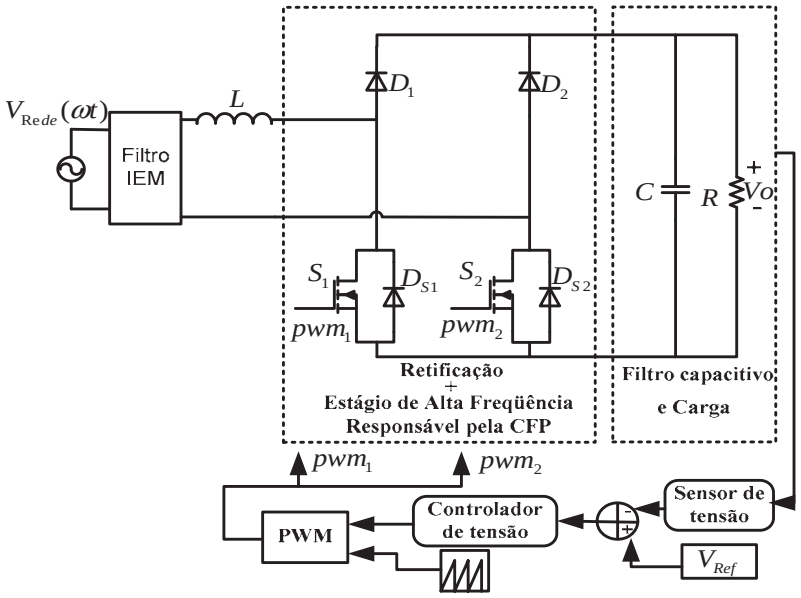
P_N - Potência nominal do conversor.

2.4.Conversor PFP *Bridgeless Boost.*

A técnica *bridgeless* caracteriza-se pela incorporação do estágio de retificação ao estágio de alta frequência do conversor, eliminando assim a ponte retificadora de entrada, possibilitando considerável diminuição das perdas por condução.

O circuito conversor CA-CC pré-regulador do fator de potência *bridgeless boost* é ilustrado na Figura 26.

Figura 26 - Esquema do Conversor PFP *bridgeless boost*.

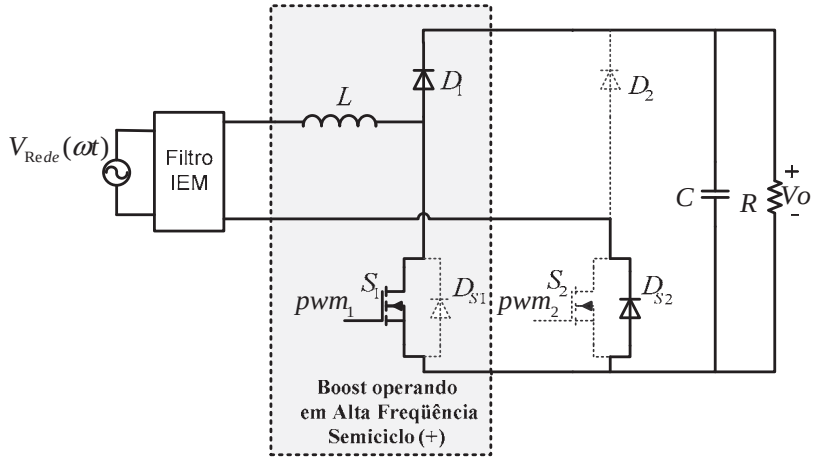


Fonte: Costa e Silva (2011)

No semiciclo positivo da tensão da rede, o primeiro braço do conversor *bridgeless* (diodo D1 e chave S1) em conjunto com o indutor L formam um conversor *boost* comutando em alta frequência, enquanto que no segundo braço, o diodo D2 mantém-se bloqueado e o

diodo antiparalelo da chave S2 mantém-se em condução durante todo o semiciclo. Portanto, os transistores de potência utilizados como chaves na estrutura devem ser bidirecionais em corrente, realizando assim a função descrita pelo conjunto S_1/D_{S1} e S_2/D_{S2}. A operação descrita é ilustrada na Figura 27.

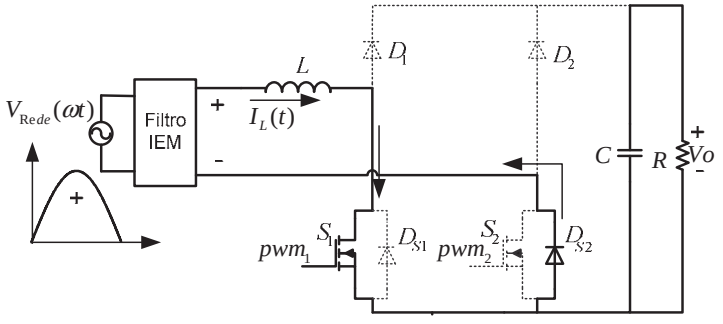
Figura 27 - Operação do Conversor PFP *bridgeless boost* durante o semiciclo positivo.



Fonte: Costa e Silva (2011)

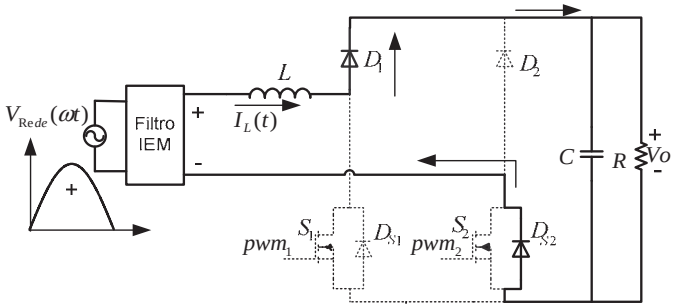
Os sinais de modulação das chaves S_1 e S_2 denominados respectivamente de pwm_1 e pwm_2, são idênticos durante toda a operação do conversor. No semiciclo positivo, quando os sinais de comando das chaves estão ativos em nível alto, a chave S_1 entra em condução, armazena-se energia no indutor L e o fluxo de corrente ocorre através dos seguintes elementos: Fonte-L-S_1-D_{S2}-Fonte. Quando os sinais de controle das chaves estão em nível lógico baixo, a chave é desligada, o indutor descarrega-se, e o fluxo de corrente segue a sequência: Fonte-L-D_1-RC-D_{S2}-Fonte. Quando a corrente no indutor vai à zero, o diodo D_1 bloqueia interrompendo o fluxo de energia entre fonte e carga até que o sinal pwm_1 esteja ativo novamente. Portanto, a operação em alta frequência é idêntica à operação de um conversor CC-CC *boost*. Os três subcircuitos descritos acima são representados respectivamente na Figura 28, Figura 29 e Figura 30.

Figura 28 - Primeira etapa de operação.



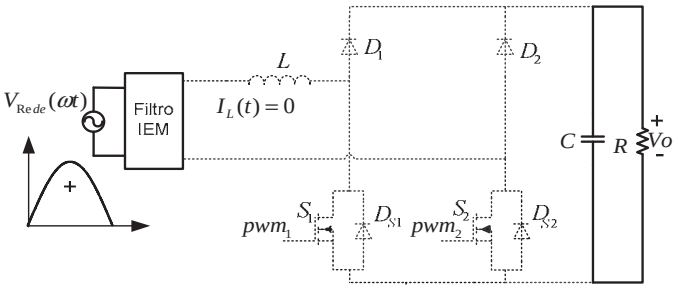
Fonte: Costa e Silva (2011)

Figura 29 - Segunda etapa de operação.



Fonte: Costa e Silva (2011)

Figura 30 - Terceira etapa de operação.

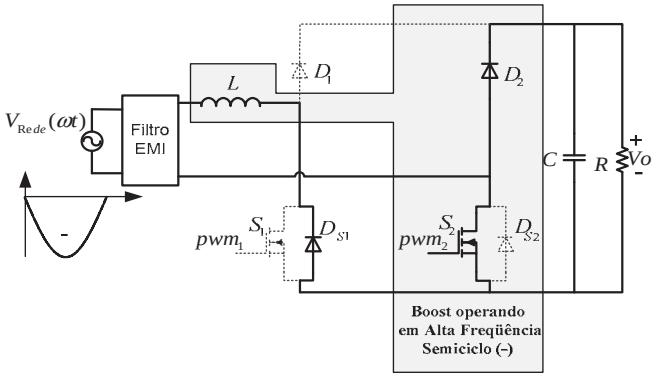


Fonte: Costa e Silva (2011)

Com a eliminação da ponte retificadora, no máximo dois semicondutores conduzem corrente simultaneamente, proporcionando diminuição das perdas energéticas totais por condução comparadas ao retificador *boost* tradicional (dois estágios).

No semiciclo negativo da rede de alimentação o funcionamento do conversor é idêntico, contudo invertem-se as funções dos componentes de cada braço do conversor. Agora, os componentes do segundo braço, chave S_2 e diodo D_2, em conjunto com o indutor L são responsáveis pela operação em alta frequência. Neste caso, o sentido de corrente no indutor é invertido, e desta forma a corrente no indutor em um ciclo completo de rede é alternada.

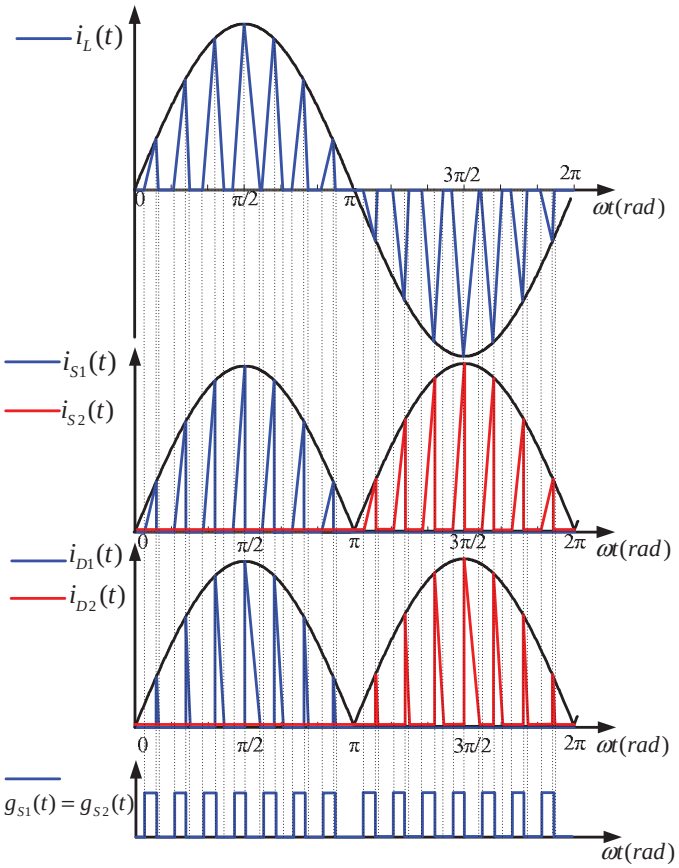
Figura 31. Operação do Conversor PFP *bridgeless boost* durante o semiciclo negativo.



Fonte: Costa e Silva (2011)

Na Figura 32 estão representadas respectivamente as correntes no indutor L, na chave S_1 e S_2, e no diodo D_1 e D_2; bem como o sinal de controle das chaves g_{S1} e g_{S2}.

Figura 32. Diagrama de correntes e sinais de controle para o conversor *bridgeless boost*.



Fonte: Costa e Silva (2011)

Adequando-se as equações de (29) a (31) podem-se reescrever as expressões das correntes médias instantâneas no indutor, nas chaves e nos diodos para o conversor *bridgeless boost*.

$$I_L(\omega t) = \frac{D^2.V_p}{2.L.f_S} . \frac{sen(\omega t)}{1 - M.|sen(\omega t)|} \tag{38}$$

$$I_{S1}(\omega t) = \begin{cases} \dfrac{D^2.V_p}{2.L.f_S}.sen(\omega t) & para\ 0 \le \omega t < \pi \\ 0 & para\ \pi \le \omega t < 2\pi \end{cases}$$

$$I_{S2}(\omega t) = \begin{cases} 0 & para\ 0 \le \omega t < \pi \\ \dfrac{-D^2.V_p}{2.L.f_S}.sen(\omega t) & para\ \pi \le \omega t < 2\pi \end{cases} \tag{39}$$

$$I_{D1}(\omega t)=\begin{cases}\dfrac{D^2.V_p}{2.L.f_S}.\dfrac{M.sen(\omega t)^2}{1-M.sen(\omega t)} & para\ 0\le\omega t<\pi\\ 0 & para\ \pi\le\omega t<2\pi\end{cases}$$
$$I_{D2}(\omega t)=\begin{cases}0 & para\ 0\le\omega t<\pi\\ \dfrac{D^2.V_p}{2.L.f_S}.\dfrac{M.sen(\omega t)^2}{1+M.sen(\omega t)} & para\ \pi\le\omega t<2\pi\end{cases} \quad (40)$$

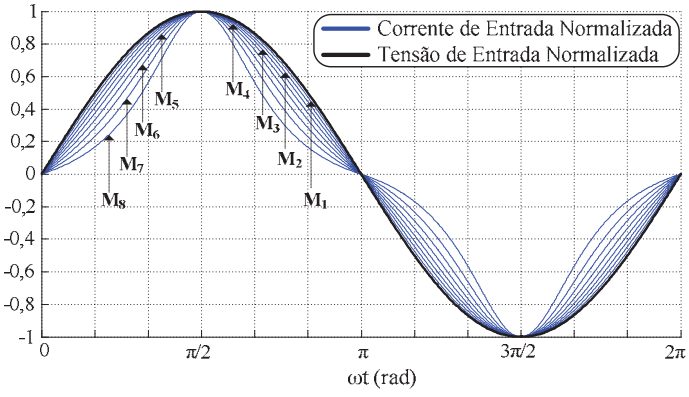
Com o intuito de investigar o espectro harmônico da corrente de entrada do conversor, efetuou-se em (38) o valor médio instantâneo da corrente no indutor durante um período de chaveamento. Ao se efetuar o valor médio instantâneo relativo ao período de chaveamento, “perde-se” a informação relativa às altas frequências, contudo o conteúdo relacionado às componentes harmônicas de baixas ordens é mantido. Sendo assim, a distorção harmônica contida em (38) deverá estar contida no espectro da corrente de entrada do conversor. Para facilitar a compreensão do discorrido acima, será realizada a normalização da tensão de entrada e da corrente média instantânea no indutor com relação aos valores máximos, para posterior construção de uma análise gráfica comparativa.

$$\frac{V_{Rede}(\omega t)}{V_p}=sen(\omega t) \quad (41)$$

$$\frac{I_L(\omega t)}{I_{L\,Max}}=(1-M).\frac{sen(\omega t)}{1-M.|sen(\omega t)|} \quad (42)$$

Considerando a filtragem das harmônicas de ordens elevadas realizada pelo filtro de entrada, a corrente de entrada do conversor pode ser representada como a corrente média instantânea no indutor. Na Figura 33 são apresentadas as formas de onda da tensão e da corrente de entrada, ambas normalizadas em relação aos seus respectivos valores máximos. As curvas relativas às correntes de entrada foram plotadas para diferentes valores da relação de tensão M, variando na faixa de M_1=0,1 a M_8=0,8.

Figura 33 - Tensão e corrente de entrada normalizadas com relação aos seus valores máximos.



Fonte: Costa e Silva (2011)

Observa-se através das curvas contidas na Figura 33 o aumento proporcional da distorção na forma de onda de corrente quando o conversor é utilizado para aplicações em que o ganho de tensão é baixo e a relação M é alta.

O fator de potência, figura de mérito que avalia quanto eficiente é a transmissão de energia da fonte para carga, é definido como:

$$FP = \frac{P}{S} \tag{43}$$

Onde:

P - Potência Ativa.

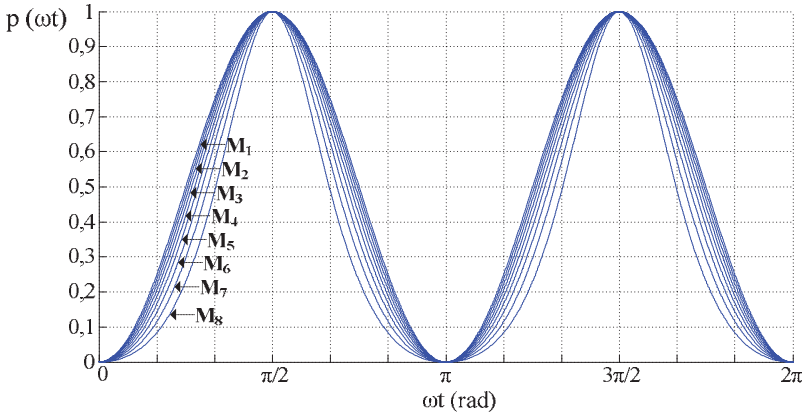
S - Potência Aparente.

A potência instantânea normalizada da estrutura conversora pode ser calculada através da multiplicação instantânea entre as formas de onda da tensão e da corrente de entrada:

$$p(\omega t) = (1 - M).\frac{sen^2(\omega t)}{1 - M.|sen(\omega t)|} \tag{44}$$

A forma de onda da potência instantânea para diferentes valores da relação de tensão M é apresentada na Figura 34.

Figura 34 - Potência instantânea.



Fonte: Costa e Silva (2011)

A potência ativa é calculada realizando-se a média da potência instantânea, e pode ser calculada em função do ganho M como:

$$P = \frac{1}{\pi}.\int_0^{\pi} p(\omega t).d(\omega t) = \frac{(1 - M)}{\pi}.\int_0^{\pi} \frac{sen^2(\omega t)}{1 - M.sen(\omega t)}.d(\omega t) \tag{45}$$

A potência aparente é definida como o produto dos valores eficazes de tensão e corrente. Nas equações de (46) a (48) são definidos respectivamente os valores eficazes de

tensão e corrente normalizadas, bem como a potência aparente total demandada da rede de alimentação pelo conversor.

$$\frac{V_{\mathrm{Rede}_{ef}}}{V_p} = \frac{1}{\sqrt{2}} \tag{46}$$

$$\frac{I_{in_{ef}}}{I_{in_{MAX}}} = \sqrt{\frac{1}{\pi}.\int_0^{\pi} \frac{(1-M)^2.sen^2(\omega t)}{(1-M.sen(\omega t))^2}.d(\omega t)} \tag{47}$$

$$S = \frac{V_{in_{ef}}}{V_p}.\frac{I_{in_{ef}}}{I_{in_{MAX}}} = \frac{(1-M)}{\sqrt{2}}.\sqrt{\frac{1}{\pi}.\int_0^{\pi} \frac{sen^2(\omega t)}{(1-M.sen(\omega t))^2}.d(\omega t)} \tag{48}$$

Finalmente, substituindo-se (45) e (48) em (43) pode-se escrever o fator de potência da estrutura como função da relação de tensão M.

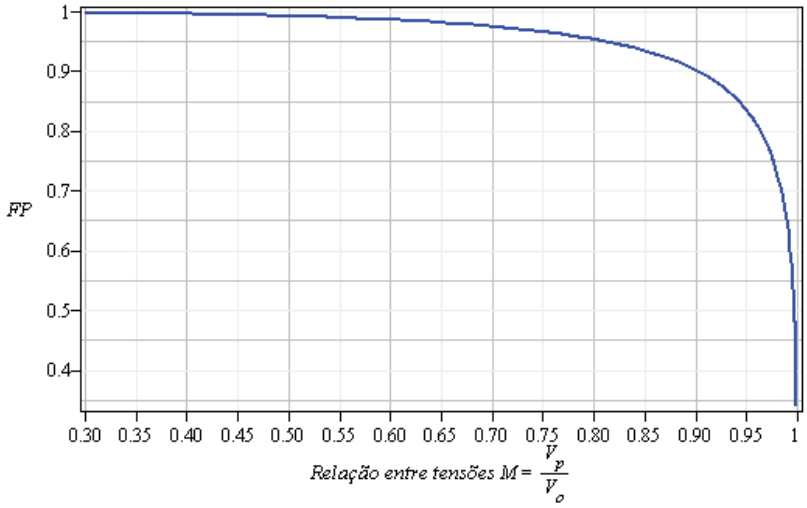
$$FP = \frac{\sqrt{2}}{\pi}.\frac{\int_0^{\pi} \frac{sen^2(\omega t)}{1-M.sen(\omega t)}.d(\omega t)}{\sqrt{\frac{1}{\pi}.\int_0^{\pi} \frac{sen^2(\omega t)}{(1-M.sen(\omega t))^2}.d(\omega t)}} \tag{49}$$

A distorção harmônica total de corrente (DHT), considerando-se que não haja distorção na tensão de alimentação e nem defasagem entre as componentes fundamentais de tensão e corrente de entrada, pode ser calculada em (50).

$$DHT = \sqrt{\frac{1}{FP^2} - 1} \tag{50}$$

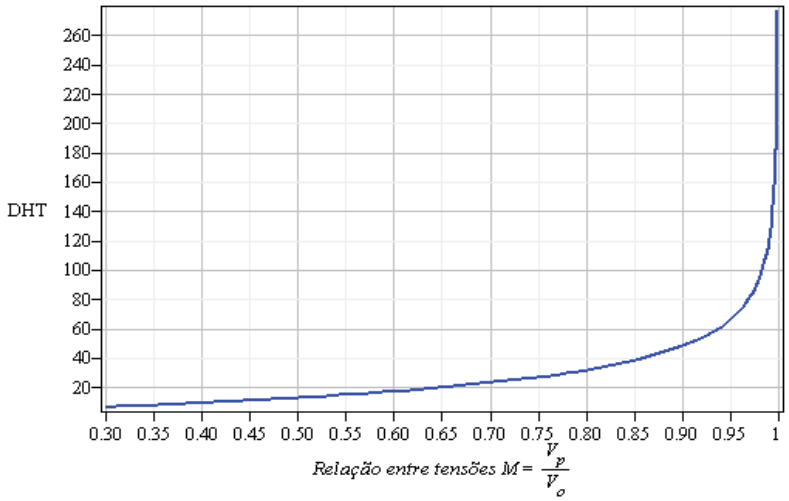
Das equações (49) e (50) plotam-se respectivamente as curvas do fator de potência e distorção harmônica total do conversor, ambas em função da relação de tensão M, representadas na Figura 35 e Figura 36.

Figura 35 - Fator de Potência (FP) em função da relação entre tensões (M).



Fonte: Costa e Silva (2011)

Figura 36. Distorção Harmônica Total (DHT) em função da Relação entre Tensões (M).



Fonte: Costa e Silva (2011)

Através das análises gráficas, verifica-se que quando o conversor opera em MCD com baixos valores para o ganho de tensão, a corrente na entrada apresenta alta DHT e o conversor apresenta baixo FP. Desta forma, considerando uma tensão de alimentação padrão, a tensão de saída torna-se um limitante na utilização do conversor PFP *bridgeless boost* operando com controle constante da razão cíclica.

A corrente de saída do conversor é expressa em (52), pela soma das correntes médias nos diodos superiores D_1 e D_2, e o cálculo desta é idêntico ao cálculo realizado em (33) para o conversor *boost* tradicional.

$$I_o = \frac{1}{2\pi}\left[\int_0^{\pi} I_{D1}(\omega t).d(\omega t) + \int_{\pi}^{2\pi} I_{D2}(\omega t).d(\omega t)\right] = 2.\frac{1}{2.\pi}.\int_0^{\pi} I_{D1}(\omega t).d(\omega t) \quad (51)$$

$$I_o = \frac{D^2.V_p}{2.\pi.f_s.L}.I(M) \quad (52)$$

Portanto, as considerações realizadas de (33) a (37) também são válidas para o conversor *bridgeless*, e a indutância máxima de projeto pode ser calculada como segue:

$$L_{max\,ima} = \frac{V_p^{\,2}}{2.\pi.fs.P_N}.\frac{D_{critico}^{\,2}}{M}.I(M) \quad (53)$$

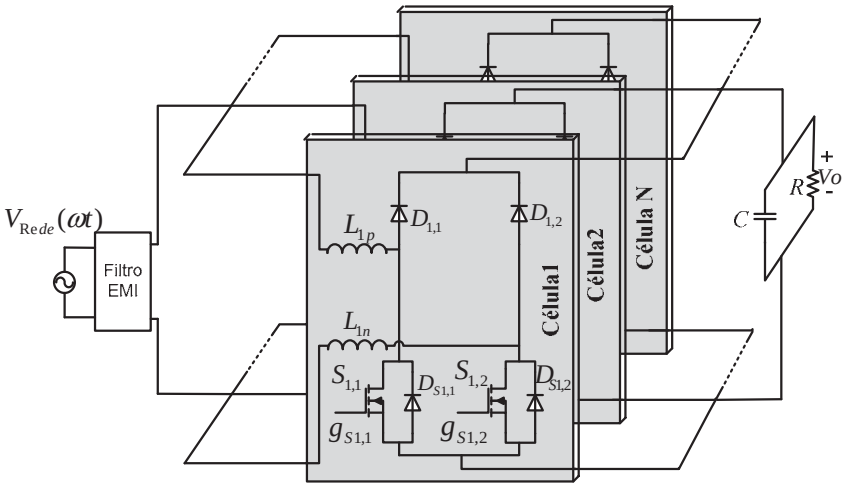
2.5.Conversor PFP *Bridgeless Boost* Entrelaçado.

Uma forma modular muito interessante para o aumento de potência das estruturas é o entrelaçamento ("*interleaving*"), que consiste na associação de conversores em paralelo para o aumento da potência processada sem os problemas de distribuição de corrente que ocorrem na

associação de certos semicondutores em paralelo. O entrelaçamento das células topológicas reduz a amplitude da ondulação da corrente de entrada de cada célula, sem prejudicar seu desempenho, além de não sofrerem o problema de desequilíbrio de potência experimentado no paralelismo de alguns semicondutores ativos.

O conversor de potência proposto é composto, no estágio de potência, de múltiplas células *bridgeless boost* entrelaçadas, como ilustrado na Figura 37.

Figura 37 - Conversor *Bridgeless Boost* Entrelaçado em N Células.



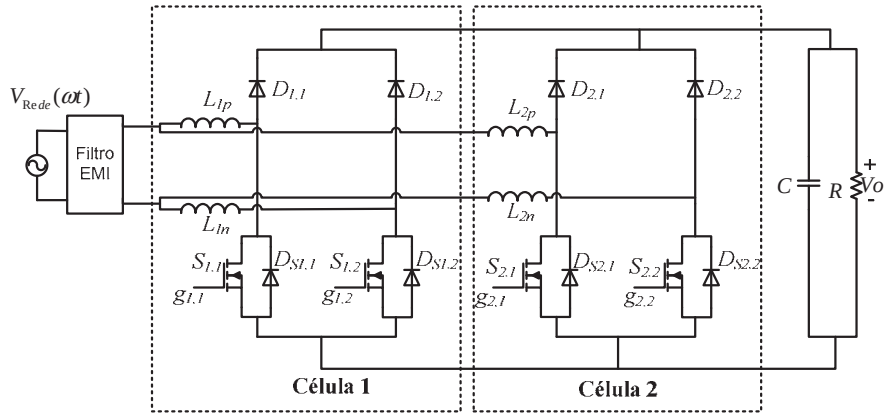
Fonte: Costa e Silva (2011)

Como é característico no entrelaçamento de células, os sinais de controle das chaves são defasados entre si de T_S/N, onde N representa o número de células e T_S o período de chaveamento. Basicamente, o cálculo e dimensionamento dos elementos de potência podem ser realizados separadamente para cada unidade celular. A potência nominal total da estrutura é composta pela soma das potências nominais de cada célula.

Para facilitar o entendimento dos efeitos provocados pelo processo de entrelaçamento nas células *bridgeless boost*, será considerado na Figura 38 o entrelaçamento de duas unidades celulares. Neste caso, as chaves relativas à primeira célula ($S_{1,1}$ e $S_{1,2}$) são acionadas simultaneamente em t_0, enquanto que o segundo bloco ($S_{2,1}$ e $S_{2,2}$) é acionado em $t = t_0+T_S/2$.

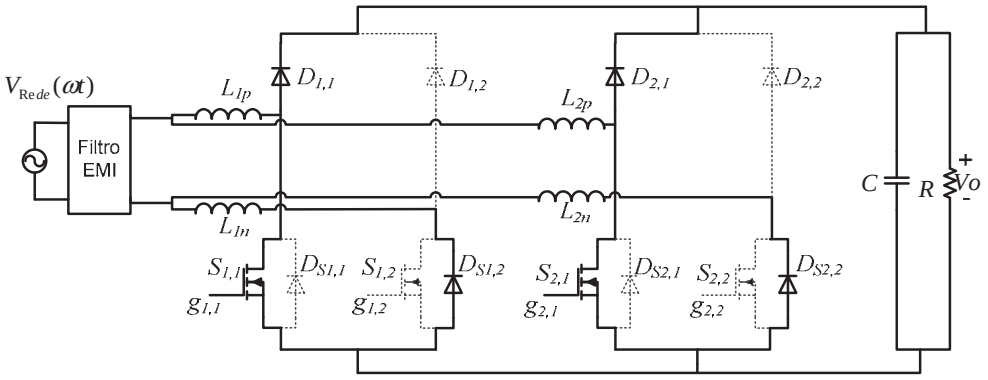
O circuito equivalente do conversor *bridgeless boost* entrelaçado em duas células, para o semiciclo positivo da tensão de alimentação, é representado na Figura 39. A simplificação do circuito é obtida e pode ser visualizada na Figura 40.

Figura 38 - Conversor *Bridgeless Boost* Entrelaçado em duas Células.



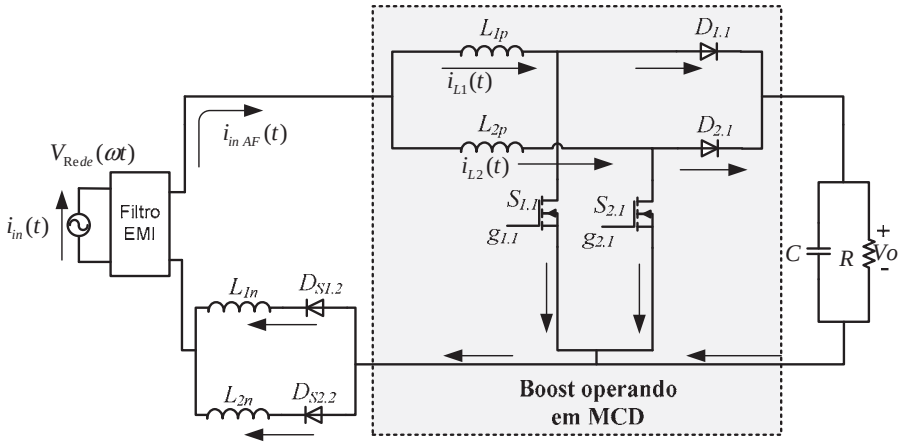
Fonte: Costa e Silva (2011)

Figura 39 - Operação para o semiciclo positivo da rede.



Fonte: Costa e Silva (2011)

Figura 40 - Circuito equivalente simplificado para o semiciclo positivo de rede.



Fonte: Costa e Silva (2011)

Durante o semiciclo positivo da rede, os indutores superiores de cada célula (L_{1p} e L_{2p}) são ativos no processo de chaveamento e, em conjunto com os semicondutores do primeiro braço das células ($S_{1,1}$,$D_{1,1}$ e $S_{2,1}$,$D_{2,1}$), formam dois conversores *boost* comutando em alta frequência, sendo responsáveis pela correção ativa da forma de onda da corrente nos

indutores. No semiciclo seguinte, invertem-se as funções, e os indutores inferiores em conjunto com os semicondutores do segundo braço das células são agora responsáveis pela correção ativa. No semiciclo em que estão inativos, os indutores são percorridos por parcelas idênticas da corrente de entrada, resultantes do processo de entrelaçamento multicelular. Conforme se aumenta o número de células, a corrente de entrada torna-se cada vez mais contínua devido à diminuição da amplitude e ao aumento da frequência da ondulação da corrente resultante. Desta forma, a queda de tensão sobre os indutores inativos é desprezível devido à baixa taxa de variação temporal da corrente no indutor (di_L/dt).

A equação para o cálculo da indutância máxima desenvolvida em (53) também é válida para o caso de células entrelaçadas, contudo a potência a ser considerada no cálculo é referente a quantidade processada por célula.

$$L_{max\,ima} = \frac{V_p^{\,2}}{2.\pi.fs.P_{Celula}}.\frac{D_{critica}^{\,2}}{M}.I(M) \tag{54}$$

Havendo a divisão equilibrada da potência processada por cada célula, a relação seguinte é válida.

$$P_{Celula} = \frac{P_N}{N} \tag{55}$$

Substituindo-se (55) em (54), a indutância máxima de projeto pode ser reescrita como função da potência total nominal:

$$L_{max\,ima} = \frac{N.V_p^{\,2}}{2.\pi.fs.P_N}.\frac{D_{critico}^{\,2}}{M}.I(M) \tag{56}$$

Onde:

$P_{Célula}$- Potência processada por célula.

N-Número de Células

Efeito do entrelaçamento de células na redução da amplitude e no aumento da frequência da ondulação da corrente de entrada.

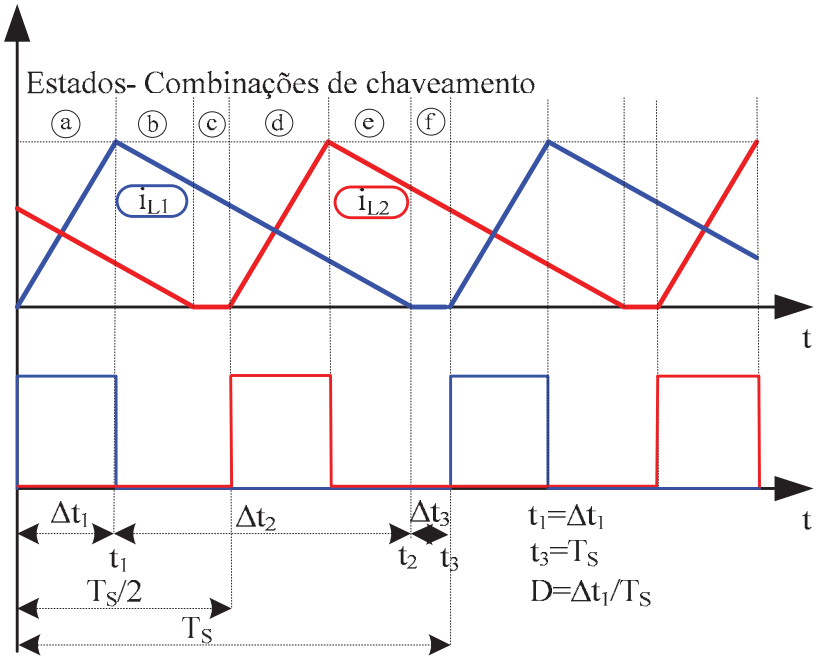
Para a devida análise dos efeitos provocados pelo processo de entrelaçamento celular na corrente de entrada do conversor, são consideradas as seguintes condições:

- Indutâncias idênticas em cada unidade celular.
- Razões cíclicas e períodos de chaveamento idênticos nas células conversoras (modulação PWM).
- Defasamento entre os sinais de controle das chaves de T_S/N.

Como já visto anteriormente, as correntes nos indutores são periódicas, e em cada ciclo de chaveamento, seu comportamento pode ser dividido de acordo com as três etapas de operação do conversor *boost* operando em MCD. Contudo, devido ao entrelaçamento das unidades celulares, o conversor apresenta 3xN combinações de chaveamento ou estados de operação em um ciclo de chaveamento.

A Figura 41 ilustra as correntes nos indutores e os sinais de comando das chaves para o caso do entrelaçamento de duas células conversoras.

Figura 41 - Correntes nos indutores considerando o entrelaçamento de duas células.



Fonte: Costa e Silva (2011)

As correntes nos indutores, ilustradas na Figura 41, podem ser representadas matematicamente como função do tempo em (57) e (58).

$$i_{L1}(t)=\begin{cases} K_1.t & para\ 0 \le t < t_1 \\ -K_2.t + K_1.D.T_S & para\ t_1 \le t < t_2 \\ 0 & para\ t_2 \le t \le t_3 \end{cases} \quad (57)$$

$$i_{L2}(t)=\begin{cases} K_1.\left(t-\frac{T_s}{2}\right) & para\ \frac{T_S}{2} \le t < t_1+\frac{T_S}{2} \\ -K_2.\left(t+\frac{T_S}{2}\right)+K_1.D.T_S & para\ t_1-\frac{T_S}{2} \le t < t_2-\frac{T_S}{2} \\ 0 & para\ t_2-\frac{T_S}{2} \le t \le t_3-\frac{T_S}{2} \end{cases} \quad (58)$$

Onde:

$K_1 = \frac{v_{in}(t)}{L}$ - Taxa de crescimento da corrente no indutor.

$K_2 = \frac{V_o - v_{in}(t)}{L}$ - Taxa de decrescimento da corrente no indutor.

A corrente na entrada do conversor, antes do procedimento de filtragem, é obtida através da soma instantânea das correntes nos indutores.

$$i_{in}(t) = i_{L1}(t) + i_{L2}(t) \tag{59}$$

As correntes resultantes em cada estado são apresentadas a seguir.

Estado a ($0 < t < t_1$): Corrente $i_{L1}(t)$ aumentando e corrente $i_{L2}(t)$ decrescendo.

$$\begin{gathered} i_{in(a)}(t) = (K_1.t) + \left(-K_2.\left(t + \frac{T_S}{2} \right) + K_1.D.T_S \right) \\ i_{in(a)}(t) = (K_1 - K_2).t + K_1.D.T_S - K_2 \frac{T_S}{2} \end{gathered} \tag{60}$$

Estado b ($t_1 < t < t_2 - T_S/2$): Correntes $i_{L1}(t)$ e $i_{L2}(t)$ decrescendo.

$$\begin{gathered} i_{in(b)}(t) = \left(-K_2.t + K_1.D.T_S \right) + \left(-K_2.\left(t + \frac{T_S}{2} \right) + K_1.D.T_S \right) \\ i_{in(b)}(t) = -2.K_2.t + 2.K_1.D.T_S - K_2 \frac{T_S}{2} \end{gathered} \tag{61}$$

Estado c ($t_2 - T_S/2 < t < T_S/2$): Corrente $i_{L1}(t)$ decrescendo e corrente $i_{L2}(t)$ nula.

$$\begin{gathered} i_{in(c)}(t) = \left(-K_2.t + K_1.D.T_S \right) + (0) \\ i_{in(c)}(t) = -K_2.t + K_1.D.T_S \end{gathered} \tag{62}$$

Estado d ($T_S/2 < t < t_1 + T_S/2$): Corrente $i_{L1}(t)$ decrescendo e corrente $i_{L2}(t)$ aumentando.

$$\begin{gathered} i_{in(d)}(t) = \left(-K_2.t + K_1.D.T_S \right) + \left(K_1.\left(t - \frac{T_S}{2} \right) \right) \\ i_{in(d)}(t) = (K_1 - K_2).\left(t - \frac{T_S}{2} \right) + K_1.D.T_S - K_2 \frac{T_S}{2} \end{gathered} \tag{63}$$

Estado e ($t_1 + T_S/2 < t < t_2$): Correntes $i_{L1}(t)$ e $i_{L2}(t)$ decrescendo.

$$\begin{gathered} i_{in(e)}(t) = \left(-K_2.t + K_1.D.T_S \right) + \left(-K_2.\left(t - \frac{T_S}{2} \right) + K_1.D.T_S \right) \\ i_{in(e)}(t) = -2.K_2.\left(t - \frac{T_S}{2} \right) + 2.K_1.D.T_S - K_2 \frac{T_S}{2} \end{gathered} \tag{64}$$

Estado f ($t_2 < t < T_S$): Corrente $i_{L1}(t)$ nula e corrente $i_{L2}(t)$ decrescendo.

$$i_{in(f)}(t) = (0) + \left(-K_2.\left(t - \frac{T_S}{2} \right) + K_1.D.T_S \right) \tag{65}$$

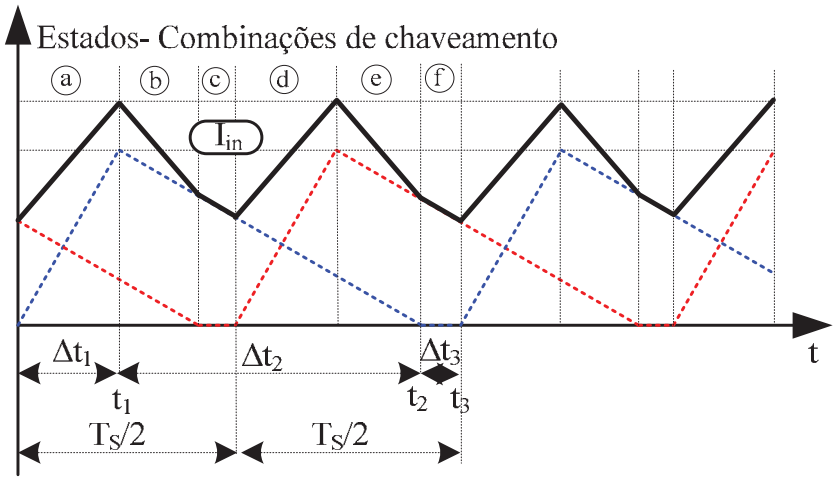
$$i_{in(f)}(t) = -K_2.\left(t - \frac{T_S}{2}\right) + K_1.D.T_S$$

Comparando-se as respostas temporais da corrente de entrada para cada estado, demonstradas de (60) à (65), pode-se afirmar que as seguintes relações são válidas:

$$\begin{aligned} i_{in(d)}(t) &= i_{in(a)}\left(t - \frac{T_S}{2}\right) \\ i_{in(e)}(t) &= i_{in(b)}\left(t - \frac{T_S}{2}\right) \\ i_{in(f)}(t) &= i_{in(c)}\left(t - \frac{T_S}{2}\right) \end{aligned} \tag{66}$$

O resultado de (66) indica o aumento da frequência da ondulação da corrente de entrada do conversor. Na Figura 42 é apresentada a resposta temporal da corrente de entrada em um ciclo de chaveamento, onde é possível verificar o cancelamento de uma parcela da ondulação de corrente originalmente presente nas correntes dos indutores.

Figura 42 - Corrente de entrada resultante do entrelaçamento de duas células.



Fonte: Costa e Silva (2011)

A relação da frequência da ondulação da corrente de entrada pode ser generalizada para o entrelaçamento de N células:

$$f_{i_{in}} = f_S.N \tag{67}$$

O peso e o volume dos elementos passivos que compõem o filtro de entrada são inversamente proporcionais à componente de alta frequência da corrente a ser filtrada. Portanto, como apresentado em (67), o entrelaçamento de múltiplas células topológicas permite a redução de peso e volume do filtro de IEM.

2.6.Conclusões.

Este capítulo apresentou a proposta de um conversor PFP para aplicações em médias potências, operando em MCD. Com a associação da técnica *bridgeless* à técnica de entrelaçamento, espera-se obter conversão de energia CA-CC com perdas reduzidas e distribuídas nos elementos semicondutores das múltiplas unidades celulares. A operação e os equacionamentos necessários para o projeto do estágio de potência do conversor PFP *bridgeless boost* entrelaçado foram descritos detalhadamente no decorrer do capítulo.

A DHT da corrente de entrada e o FP da estrutura foram previstos através dos gráficos contidos na Figura 35 e Figura 36, donde se conclui que para aplicações com tensões de saída menores que o dobro do valor de pico da tensão de entrada ($M > 0,5$), a DHT de corrente será relativamente elevada (DHT > 15%) e consequentemente a estrutura apresentará menor FP.

Os procedimentos necessários para o projeto do sistema de controle do conversor PFP, responsável pela regulação da tensão de saída, será apresentado em detalhes no capítulo seguinte.

Capítulo 3

Modelagem e Controle do Conversor PFP Operando em MCD.

3.1.Considerações Iniciais

A tensão de saída nos conversores PFP varia de acordo com os parâmetros do conversor e, portanto, pode ser escrita como função da razão cíclica, da tensão de alimentação, da frequência, da carga, bem como dos elementos acumuladores de energia do conversor. As aplicações destes conversores exigem que esta tensão de saída seja constante e, portanto, regulada dada às variações presentes na carga e distúrbios existentes na tensão de alimentação. Para o projeto de um sistema de controle que mantenha regulada a tensão de saída do conversor, é necessário encontrar matematicamente seu modelo dinâmico e, desta forma, obter o comportamento da variável a ser controlada (tensão de saída) em função das variáveis representantes de distúrbios (tensão de alimentação, carga) e da variável atuante no controle (razão cíclica).

Como mostrado anteriormente, o entrelaçamento das múltiplas células conversoras, e a consequente combinação dos estados das chaves permitem uma representação em espaço de estados para cada etapa de operação combinada. Levando-se em conta a operação em MCD, e tomando como exemplo o entrelaçamento de duas unidades celulares, têm-se a combinação de seis operações. Para obter as equações que representam a dinâmica do sistema, observa-se o comportamento médio dos estados e, desta forma, realiza-se a média das equações de estado em um ciclo de chaveamento. O modelo médio em espaço de estados do conversor representa adequadamente as respostas dinâmicas dos valores médios das variáveis elétricas envolvidas no sistema [28].

Para aplicações de técnicas de controle linear e visto que o modelo médio em espaço de estados obtido é não linear, realiza-se a linearização do sistema em torno do ponto de operação através do Jacobiano da matriz média dos estados.

Aplicando-se a transformada de Laplace no modelo linearizado, obtêm-se o modelo médio a pequenos sinais do conversor em questão e, através dos diagramas de Bode das funções de transferências (FT) obtidas, projeta-se o regulador de tensão utilizando-se os critérios de Margem de Fase para garantir a estabilidade do sistema.

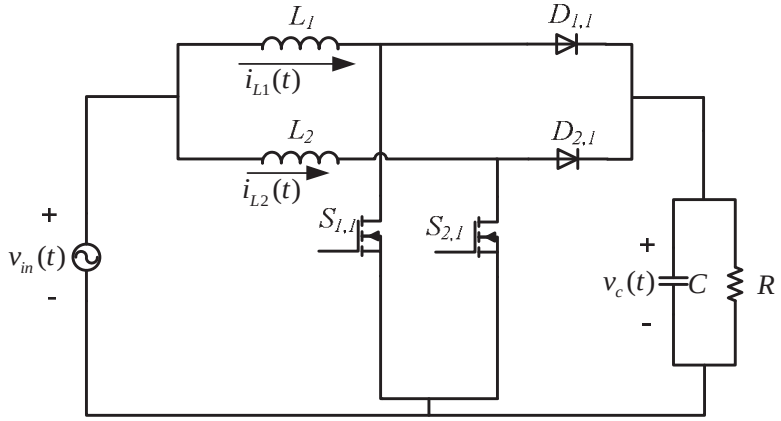
Projeta-se o controlador para que o sistema conversor siga a referência de tensão com erro nulo em regime e com boa dinâmica na resposta transitória, dadas as variações de carga e perturbações na tensão de alimentação [29].

3.2.Modelo médio linearizado em espaço de estados.

Como ilustrado anteriormente na Figura 38, o circuito equivalente para o conversor *bridgeless boost* entrelaçado, relativo a cada semiciclo da tensão de alimentação, opera em MCD durante um ciclo de chaveamento como um conversor *boost*.

Para a representação do conversor em espaço de estados, considera-se inicialmente a modelagem do circuito para o entrelaçamento de duas células conversoras, como ilustrado na Figura 43.

Figura 43 - Operação em MCD durante um semiciclo de rede.



Fonte: Costa e Silva (2011)

A equação matricial genérica para representação de um sistema em espaço de estados é apresentada em (68).

$$\dot{\mathbf{x}}(t) = \mathbf{A}.\mathbf{x}(t) + \mathbf{B}.\mathbf{u}(t)$$
$$\mathbf{y}(t) = \mathbf{C}.\mathbf{x}(t) \tag{68}$$

Onde:

$\mathbf{x(t)}$ - Vetor de estados.

$\dot{\mathbf{x}}\mathbf{(t)}$ – Derivada do vetor de estado.

$\mathbf{u(t)}$ - Entrada do sistema.

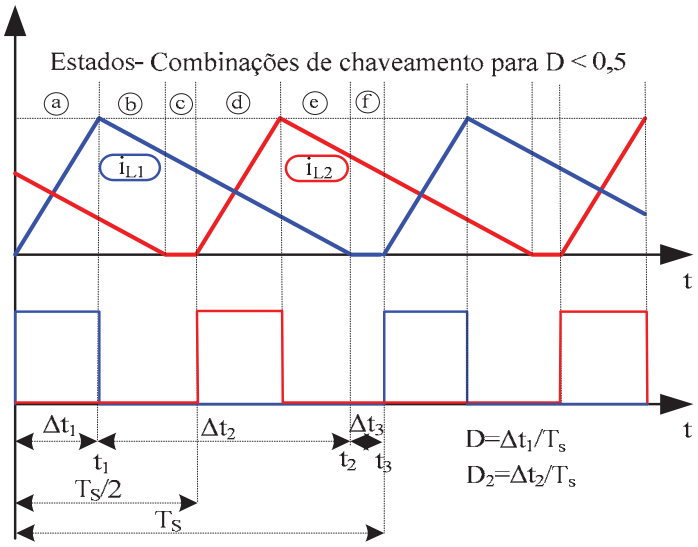
$\mathbf{y(t)}$ - Saída do sistema.

Têm-se como variáveis de estado no sistema, as variáveis elétricas dinâmicas nos elementos do conversor (correntes nos indutores e tensão no capacitor). A entrada do sistema é representada pela tensão de alimentação e a saída pela tensão no capacitor. Portanto, o vetor de estado, bem como a entrada e a saída do sistema são definidos em (69).

$$x(t)=\begin{bmatrix} i_{L1}(t) & i_{L2}(t) & v_C(t) \end{bmatrix}^T$$
$$u(t)=v_{in}(t) \tag{69}$$
$$y(t)=v_C(t)$$

Considerando-se o entrelaçamento de duas unidades celulares para uma razão cíclica menor que meio representada pela Figura 44, pode-se construir os subcircuitos relativos a cada estado de chaveamento e, desta forma, obter as respectivas equações de estado para cada subcircuito.

Figura 44 - Entrelaçamento de duas células conversoras.



Fonte: Costa e Silva (2011)

Na Tabela 3 estão descritos o estado dos semicondutores do circuito da Figura 43 e o tempo de duração para cada subcircuito resultante da combinação de chaveamento.

Tabela 3 - Descrição dos subcircuitos presentes em um ciclo de chaveamento

Subcircuitos	$S_{1,1}$	$D_{1,1}$	$S_{2,1}$	$D_{2,1}$	Tempo de Duração	Parcela de Duração
a	Condução	Bloqueio	Bloqueio	Condução	Δt_1	D
b	Bloqueio	Condução	Bloqueio	Condução	Δt_2-$T_s/2$	D_2-1/2
c	Bloqueio	Condução	Bloqueio	Bloqueio	T_s- (Δt_1+ Δt_2)	1-(D+D_2)
d	Bloqueio	Condução	Condução	Bloqueio	Δt_1	D
e	Bloqueio	Condução	Bloqueio	Condução	Δt_2-$T_s/2$	D_2-1/2
f	Bloqueio	Bloqueio	Bloqueio	Condução	T_s- (Δt_1+ Δt_2)	1-(D+D_2)

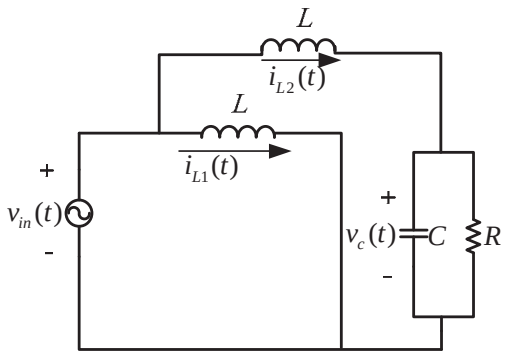
Fonte: Costa e Silva (2011)

A parcela de duração de cada subcircuito, exposta na última coluna da Tabela 3, será importante no processo de determinação do modelo médio das equações de estado, pois estes valores serão utilizados como fatores de ponderação na realização da média das matrizes referentes a cada subcircuito.

Estado a:

O subcircuito referente ao estado **a** está representado na Figura 45.

Figura 45 - Subcircuito **a**.



Fonte: Costa e Silva (2011)

Aplicando as leis de Kirchhoff no circuito da Figura 45, têm-se as equações das tensões sobre os indutores e corrente através do capacitor representadas em (70).

$$\begin{aligned} v_{L1}(t) &= v_{in}(t) = L.\frac{di_{L1}(t)}{dt} \\ v_{L2}(t) &= v_{in}(t) - v_c(t) = L.\frac{di_{L2}(t)}{dt} \\ i_C(t) &= i_{L2}(t) - \frac{v_C(t)}{R} = C.\frac{dv_C(t)}{dt} \end{aligned} \tag{70}$$

Isolando as derivadas das variáveis de estado na equação (70) têm-se:

$$\begin{aligned} \frac{di_{L1}(t)}{dt} &= \frac{v_{in}(t)}{L} \\ \frac{di_{L2}(t)}{dt} &= -\frac{v_c(t)}{L} + \frac{v_{in}(t)}{L} \\ \frac{dv_C(t)}{dt} &= \frac{i_{L2}(t)}{C} - \frac{v_C(t)}{R.C} \end{aligned} \tag{71}$$

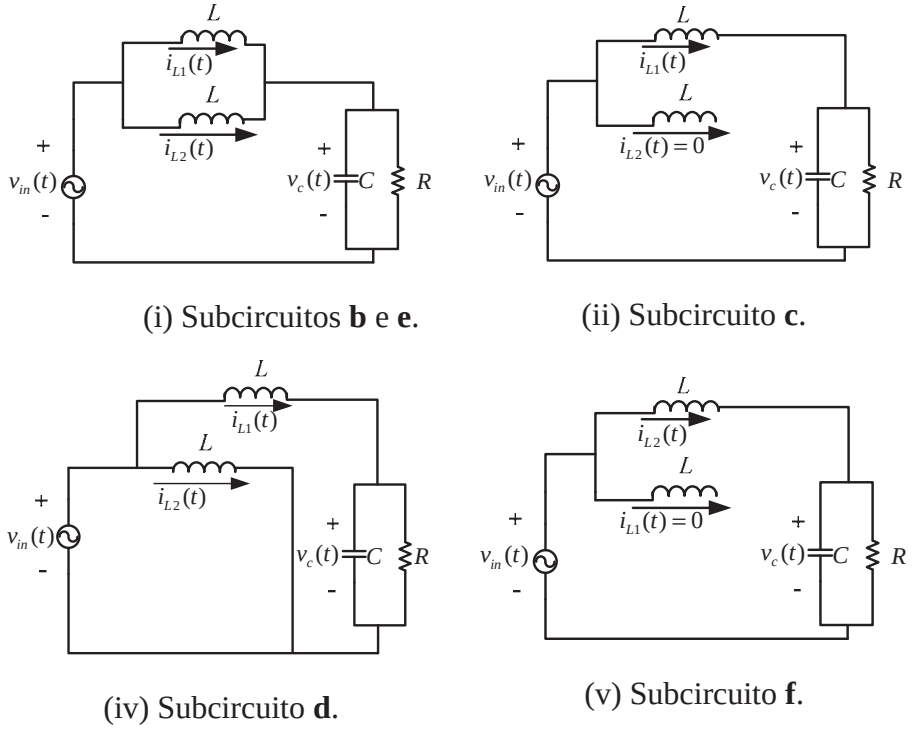
Desta forma, a equação matricial em espaço de estado referente ao subcircuito **a** é apresentada em (72).

$$\dot{\mathbf{x}}(\mathbf{t}) = \mathbf{A_a}.\mathbf{x}(\mathbf{t}) + \mathbf{B_a}.\mathbf{v_{in}}(\mathbf{t})$$

$$\begin{bmatrix} \frac{di_{L1}(t)}{dt} \\ \frac{di_{L2}(t)}{dt} \\ \frac{dv_C(t)}{dt} \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 0 & 0 & -\frac{1}{L} \\ 0 & \frac{1}{C} & -\frac{1}{R.C} \end{bmatrix} . \begin{bmatrix} i_{L1}(t) \\ i_{L2}(t) \\ v_C(t) \end{bmatrix} + \begin{bmatrix} \frac{1}{L} \\ \frac{1}{L} \\ 0 \end{bmatrix} . v_{in}(t) \tag{72}$$

Para os demais subcircuitos procede-se da mesma forma. A Figura 46 ilustra os subcircuitos restantes.

Figura 46 - Demais subcircuitos referentes à combinação de chaveamento.



(i) Subcircuitos **b** e **e**. (ii) Subcircuito **c**.

(iv) Subcircuito **d**. (v) Subcircuito **f**.

Fonte: Costa e Silva (2011)

Aplicando-se as leis de circuitos elétricos nos subcircuitos da Figura 46, e isolando as derivadas das variáveis de estado, encontram-se as equações matriciais em espaço de estado para os demais subcircuitos.

$$\dot{\mathbf{x}}(\mathbf{t}) = \mathbf{A_b}.\mathbf{x}(\mathbf{t}) + \mathbf{B_b}.\mathbf{v_{in}}(\mathbf{t})$$

$$\begin{bmatrix} \frac{di_{L1}(t)}{dt} \\ \frac{di_{L2}(t)}{dt} \\ \frac{dv_C(t)}{dt} \end{bmatrix} = \begin{bmatrix} 0 & 0 & -\frac{1}{L} \\ 0 & 0 & -\frac{1}{L} \\ \frac{1}{C} & \frac{1}{C} & -\frac{1}{R.C} \end{bmatrix} . \begin{bmatrix} i_{L1}(t) \\ i_{L2}(t) \\ v_C(t) \end{bmatrix} + \begin{bmatrix} \frac{1}{L} \\ \frac{1}{L} \\ 0 \end{bmatrix} . v_{in}(t) \tag{73}$$

$$\dot{\mathbf{x}}(\mathbf{t}) = \mathbf{A_c}.\mathbf{x}(\mathbf{t}) + \mathbf{B_c}.\mathbf{v_{in}}(\mathbf{t})$$

$$\begin{bmatrix} \frac{di_{L1}(t)}{dt} \\ \frac{di_{L2}(t)}{dt} \\ \frac{dv_C(t)}{dt} \end{bmatrix} = \begin{bmatrix} 0 & 0 & -\frac{1}{L} \\ 0 & 0 & 0 \\ \frac{1}{C} & 0 & -\frac{1}{R.C} \end{bmatrix} . \begin{bmatrix} i_{L1}(t) \\ i_{L2}(t) \\ v_C(t) \end{bmatrix} + \begin{bmatrix} \frac{1}{L} \\ 0 \\ 0 \end{bmatrix} . v_{in}(t) \tag{74}$$

$$\dot{\mathbf{x}}(\mathbf{t}) = \mathbf{A_d}.\mathbf{x}(\mathbf{t}) + \mathbf{B_d}.\mathbf{v_{in}}(\mathbf{t})$$

$$\begin{bmatrix} \frac{di_{L1}(t)}{dt} \\ \frac{di_{L2}(t)}{dt} \\ \frac{dv_C(t)}{dt} \end{bmatrix} = \begin{bmatrix} 0 & 0 & -\frac{1}{L} \\ 0 & 0 & 0 \\ \frac{1}{C} & 0 & -\frac{1}{R.C} \end{bmatrix} . \begin{bmatrix} i_{L1}(t) \\ i_{L2}(t) \\ v_C(t) \end{bmatrix} + \begin{bmatrix} \frac{1}{L} \\ \frac{1}{L} \\ 0 \end{bmatrix} . v_{in}(t) \tag{75}$$

$$\dot{\mathbf{x}}(\mathbf{t}) = \mathbf{A_e}.\mathbf{x}(\mathbf{t}) + \mathbf{B_e}.\mathbf{v_{in}}(\mathbf{t})$$

$$\begin{bmatrix} \frac{di_{L1}(t)}{dt} \\ \frac{di_{L2}(t)}{dt} \\ \frac{dv_C(t)}{dt} \end{bmatrix} = \begin{bmatrix} 0 & 0 & -\frac{1}{L} \\ 0 & 0 & -\frac{1}{L} \\ \frac{1}{C} & \frac{1}{C} & -\frac{1}{R.C} \end{bmatrix} . \begin{bmatrix} i_{L1}(t) \\ i_{L2}(t) \\ v_C(t) \end{bmatrix} + \begin{bmatrix} \frac{1}{L} \\ \frac{1}{L} \\ 0 \end{bmatrix} . v_{in}(t) \tag{76}$$

$$\dot{\mathbf{x}}(\mathbf{t}) = \mathbf{A_f}.\mathbf{x}(\mathbf{t}) + \mathbf{B_f}.\mathbf{v_{in}}(\mathbf{t})$$

$$\begin{bmatrix} \frac{di_{L1}(t)}{dt} \\ \frac{di_{L2}(t)}{dt} \\ \frac{dv_C(t)}{dt} \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 0 & 0 & -\frac{1}{L} \\ 0 & \frac{1}{C} & -\frac{1}{R.C} \end{bmatrix} . \begin{bmatrix} i_{L1}(t) \\ i_{L2}(t) \\ v_C(t) \end{bmatrix} + \begin{bmatrix} 0 \\ \frac{1}{L} \\ 0 \end{bmatrix} . v_{in}(t) \tag{77}$$

Modelo Médio

O modelo médio em espaço de estados do conversor é obtido através da média ponderada das equações matriciais relativas a cada subcircuito, onde o peso de cada matriz é igual à parcela de duração de cada subcircuito com relação ao período de chaveamento.

Sendo assim, a equação que representa a dinâmica dos valores médios das variáveis elétricas envolvidas no circuito conversor é calculada em (78).

$$\dot{\mathbf{X}}(\mathbf{t}) = \mathbf{A_m}.\mathbf{X(t)} + \mathbf{B_m}.V_{in}(\mathbf{t}) \tag{78}$$

Onde:

$$\mathbf{A_m} = D.(\mathbf{A_a} + \mathbf{A_d}) + \left(D_2 - \frac{1}{2}\right).(\mathbf{A_b} + \mathbf{A_e}) + (1 - D - D_2).(\mathbf{A_c} + \mathbf{A_f}) \tag{79}$$

$$\mathbf{B_m} = D.(\mathbf{B_a} + \mathbf{B_d}) + \left(D_2 - \frac{1}{2}\right).(\mathbf{B_b} + \mathbf{B_e}) + (1 - D - D_2).(\mathbf{B_c} + \mathbf{B_f}) \tag{80}$$

Realizando-se as operações matriciais, a representação do modelo médio em espaço de estados é apresentada em (81).

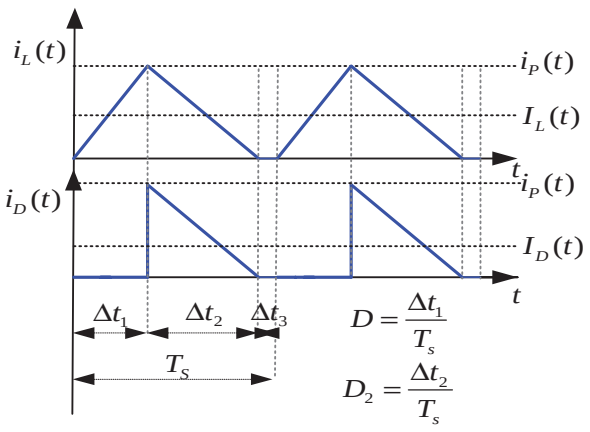
$$\begin{bmatrix} \frac{dI_{L1}(t)}{dt} \\ \frac{dI_{L2}(t)}{dt} \\ \frac{dV_C(t)}{dt} \end{bmatrix} = \begin{bmatrix} 0 & 0 & -\frac{D_2}{L} \\ 0 & 0 & -\frac{D_2}{L} \\ \frac{D_2}{C} & \frac{D_2}{C} & -\frac{1}{R.C} \end{bmatrix} . \begin{bmatrix} I_{L1}(t) \\ I_{L2}(t) \\ V_C(t) \end{bmatrix} + \begin{bmatrix} \frac{(D+D_2)}{L} \\ \frac{(D+D_2)}{L} \\ 0 \end{bmatrix} . V_{in}(t) \tag{81}$$

Contudo, há que se ter cuidado na efetuação da média das equações de estados quando a operação do conversor ocorre em MCD. Nesse modo de operação a corrente de carga não pode ser representada diretamente pela média ponderada da corrente média no indutor. Desta forma, a equação de estado que representa a corrente de carga do capacitor necessita de um fator de correção, representado no modelo em espaço de estado pela matriz de correção **M**.

$$\dot{\mathbf{X}}(\mathbf{t}) = \mathbf{A_m}.\mathbf{M}.\mathbf{X(t)} + \mathbf{B_m}.V_{in}(t) \tag{82}$$

Para a obtenção da matriz de correção **M,** é necessário encontrar a relação entre a corrente de carga e a corrente média no indutor. As formas das correntes no indutor e no diodo são representadas na Figura 47 e seus respectivos valores médios nas equações (83) e (84).

Figura 47 - Correntes médias e instantâneas no indutor e no diodo de saída .



Fonte: Costa e Silva (2011)

$$I_L(t) = \frac{(D + D_2)}{2} . i_p(t) \tag{83}$$

$$I_D(t) = \frac{D_2}{2} . i_p(t) \tag{84}$$

$$i_p(t) = \frac{V_{in}(t).D.T_S}{L} \tag{85}$$

Portanto, para que a equação de estados represente corretamente a dinâmica dos valores médios das variáveis de estado do conversor, a matriz de correção é definida em (86) como:

$$\mathbf{M} = \begin{bmatrix} \frac{1}{D + D_2} & 0 & 0 \\ 0 & \frac{1}{D + D_2} & 0 \\ 0 & 0 & 1 \end{bmatrix} \tag{86}$$

Finalmente, substituindo-se (86) em (82) pode-se representar o modelo médio em espaço de estado corrigido do conversor:

$$\begin{bmatrix} \frac{dI_{L1}(t)}{dt} \\ \frac{dI_{L2}(t)}{dt} \\ \frac{dV_C(t)}{dt} \end{bmatrix} = \begin{bmatrix} 0 & 0 & -\frac{D_2}{L} \\ 0 & 0 & -\frac{D_2}{L} \\ \frac{D_2}{C.(D + D_2)} & \frac{D_2}{C.(D + D_2)} & -\frac{1}{R.C} \end{bmatrix} . \begin{bmatrix} I_{L1}(t) \\ I_{L2}(t) \\ V_C(t) \end{bmatrix} + \begin{bmatrix} \frac{(D + D_2)}{L} \\ \frac{(D + D_2)}{L} \\ 0 \end{bmatrix} . V_{in}(t) \tag{87}$$

Como as dinâmicas dos valores médios das correntes nos indutores são idênticas, pode-se reduzir a ordem do sistema a partir da generalização da corrente de carga do capacitor considerando o entrelaçamento de N células conversoras.

$$\begin{bmatrix} \frac{dI_L(t)}{dt} \\ \frac{dV_C(t)}{dt} \end{bmatrix} = \begin{bmatrix} 0 & \frac{-D_2}{L} \\ \frac{N.D_2}{C(D + D_2)} & \frac{-1}{R.C} \end{bmatrix} . \begin{bmatrix} I_L(t) \\ V_C(t) \end{bmatrix} + \begin{bmatrix} \frac{(D + D_2)}{L} \\ 0 \end{bmatrix} . V_{in}(t) \tag{88}$$

Ponto de Operação:

No ponto quiescente de operação, o conversor opera em estado de equilíbrio e consequentemente os valores médios da tensão no indutor e da corrente no capacitor são nulos. Isto significa que os valores médios da corrente no indutor e da tensão no capacitor são constantes ao longo do tempo e suas derivadas são nulas. Portanto, anulando-se as derivadas

de corrente e de tensão na equação dinâmica do sistema, é possível determinar o ponto de operação do conversor.

$$G_M = \frac{V_C}{V_{in}} = \frac{D}{D_2} + 1 \tag{89}$$

$$I_L = \frac{1}{N} . \frac{V_C}{R} . G_M \tag{90}$$

Onde:

G_M – Ganho médio do conversor.

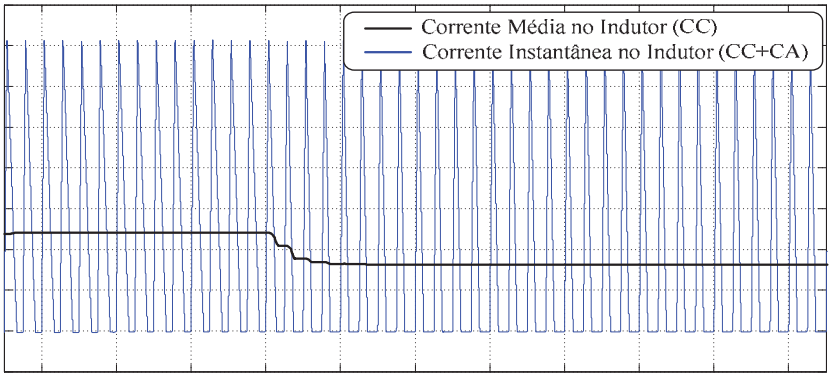
Vc – Tensão média no capacitor.

V_{in} – Tensão média de entrada.

I_L – Corrente média no indutor.

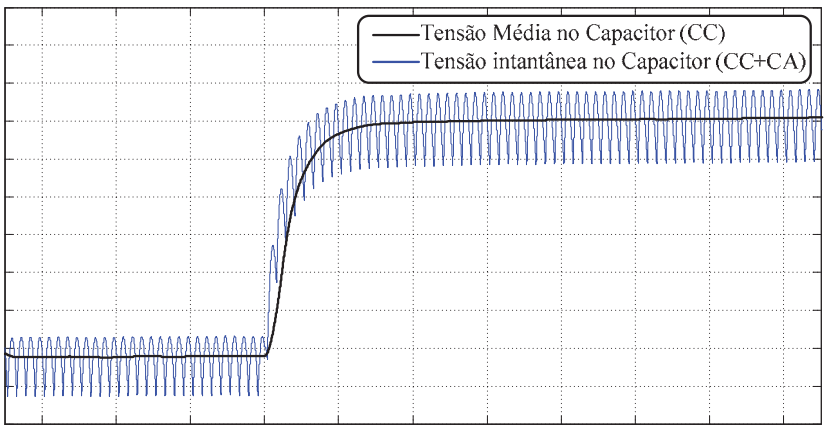
Uma vez realizada a média dos estados em um período de chaveamento, as componentes CA (corrente alternada) das variáveis elétricas envolvidas no sistema são eliminadas. Desta forma, o modelo médio representará as dinâmicas relativas aos níveis CC das variáveis elétricas presentes no sistema conversor.

Figura 48 - Dinâmica das correntes média e instantânea no indutor.



Fonte: Costa e Silva (2011)

Figura 49 - Dinâmica das tensões média e instantânea no capacitor.



Fonte: Costa e Silva (2011)

Na operação em MCD, a energia do indutor no ciclo atual independe do ciclo anterior, como ilustrado na Figura 48. O indutor não “carrega” consigo nenhuma informação de um ciclo de chaveamento para o ciclo subsequente. Neste ponto de vista, a corrente no indutor não atua mais como uma variável de estado no modelo dinâmico descrito pelos valores médios das variáveis elétricas envolvidas. Contudo é necessário salientar que dentro de um ciclo de chaveamento a corrente no indutor ainda é uma variável dinâmica e contribui para resposta dinâmica do conversor em alta frequência. Portanto, o modelo de ordem reduzida apresentado a seguir é adequado quando se deseja representar as dinâmicas referentes aos níveis CC (f=0) e às baixas frequências de conversores PWM operando em MCD.

Quando estes conversores são aplicados como circuitos pré-reguladores do fator de potência, a tensão de saída tem sua componente CA oscilando com o dobro da frequência da rede de alimentação. Desta forma, a velocidade da malha de controle fica limitada pela frequência da rede de alimentação, que comparada à frequência de chaveamento é muito baixa. Sendo assim, o modelo de ordem reduzida está habilitado para prever as respostas dinâmicas da tensão de saída frente às variações dos demais parâmetros do conversor PFP.

No processo de redução de ordem, a corrente no indutor é considerada constante $\left(\frac{dI_L(t)}{dt}=0\right)$ em (88) e a relação seguinte é válida.

$$D_2 = D.\frac{V_{in}(t)}{V_c(t)-V_{in}(t)} \tag{91}$$

O sistema de ordem reduzida é representado em (92).

$$\frac{dV_C(t)}{dt} = \frac{N}{C}.\frac{D_2}{\left(D+D_2\right)}.I_L(t) - \frac{1}{R.C}.V_C(t) \tag{92}$$

Substituindo-se as equações (83), (85), e (91) na equação dinâmica do sistema têm-se:

$$\begin{aligned} \dot{X}(t) &= A.X(t) + B.V_{in}(t) \\ \frac{dV_C(t)}{dt} &= -\frac{1}{R.C}.V_C(t) + \frac{N}{L}.\frac{V_{in}(t).D^2.T_s}{2.C.\left(V_c(t)-V_{in}(t)\right)}.V_{in}(t) \end{aligned} \tag{93}$$

O modelo dinâmico do conversor em (93) é não linear. Para a realização do projeto de controladores lineares (PI, PID), é necessário a realização do processo de linearização do sistema em torno do ponto de operação.

Linearização em torno do Ponto de Operação (PO)

A técnica de linearização está baseada na suposição de que o processo se comporta como um sistema linear na vizinhança de um determinado ponto de operação (conjunto de valores nominais do conversor).

A propriedade mais importante dos sistemas lineares é a de que é possível aplicar o princípio de superposição. Tal princípio estabelece que a resposta de um sistema (saída) à aplicação simultânea (soma) de várias entradas é igual à soma das respostas do sistema às entradas introduzidas separadamente. Desta forma, é possível calcular a resposta de um sistema a um conjunto de entradas somadas, tratando uma entrada por vez e somando as respectivas saídas.

Para a modelagem por valores médios do conversor a pequenos sinais (linearização em torno de PO), consideram-se como entradas as possíveis perturbações na tensão de alimentação ($\Delta V_{in}(t)$), as variações de carga ($\Delta R(t)$), como também as variações na razão cíclica ($\Delta D(t)$).

$$\Delta \dot{V}_C(t) = A'.\Delta V_C(t) + B'.\Delta V_{in}(t) + C.\Delta R(t).K.\Delta D(t) \tag{94}$$

Os coeficientes da equação (94) representam as derivadas parciais aplicadas ao ponto de operação.

$$\begin{aligned} A' &= \left.\frac{\partial \dot{V}_C(t)}{\partial V_C(t)}\right|_{PO} \\ B' &= \left.\frac{\partial \dot{V}_C(t)}{\partial V_{in}(t)}\right|_{PO} \\ C &= \left.\frac{\partial \dot{V}_C(t)}{\partial R(t)}\right|_{PO} \\ K &= \left.\frac{\partial \dot{V}_C(t)}{\partial D(t)}\right|_{PO} \end{aligned} \tag{95}$$

Aplicando a Transformada de Laplace em (94) pode-se encontrar as funções de transferências que relacionam a tensão de saída às entradas.

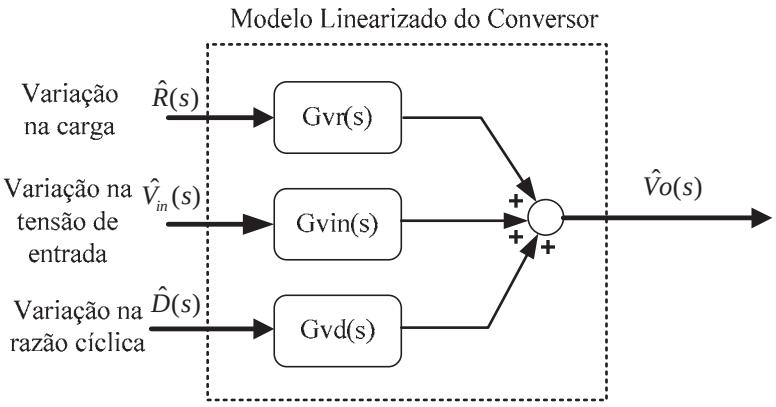
$$\begin{aligned} G_{Vin}(s) &= \frac{\hat{V}_C(s)}{\hat{V}_{in}(s)} = \frac{B'}{s - A'} \\ G_{VR}(s) &= \frac{\hat{V}_C(s)}{\hat{R}(s)} = \frac{C}{s - A'} \\ G_{Vd}(s) &= \frac{\hat{V}_C(s)}{\hat{D}(s)} = \frac{K}{s - A'} \end{aligned} \tag{96}$$

A tensão de saída do conversor pode ser escrita em (97) como combinação linear das respostas referentes a cada função de transferência descrita em (96).

$$\hat{V}_o(s) = \hat{V}_C(s) = G_{Vin}(s).\hat{V}_{in}(s) + G_{VR}(s).\hat{R}(s) + G_{Vd}(s).\hat{D}(s) \tag{97}$$

A representação a pequenos sinais do modelo linearizado é ilustrada na Figura 50.

Figura 50 - Dinâmica das tensões média e instantânea no capacitor.



Fonte: Costa e Silva (2011)

Como a variável atuante no processo de controle será a razão cíclica, a função de transferência necessária para o projeto do regulador de tensão é a que relaciona a tensão de saída à razão cíclica (G_{Vd}). Portanto, resolvendo-se as derivadas parciais da equação (95) com relação à tensão de saída e a razão cíclica, tem-se que:

$$A' = \left.\frac{\partial \dot{V}_C(t)}{\partial V_C(t)}\right|_{PO} = -\frac{1}{R.C}.\frac{(2.G_M - 1)}{G_M - 1} \tag{98}$$

$$K = \left.\frac{\partial \dot{V}_C(t)}{\partial D(t)}\right|_{PO} = \frac{2.G_M.V_{in}}{D.R.C}$$

Desta forma, a função de transferência entre tensão de saída e razão cíclica pode ser escrita definitivamente como:

$$G_{Vd}(s) = G_{Vd0}.\frac{1}{\frac{s}{(\omega_{pvd})} + 1} \tag{99}$$

Onde:

$$G_{Vdo} = \frac{2.G_M.(G_M - 1)}{(2.G_M - 1)}.\frac{V_{in}}{D} \tag{100}$$

$$\omega_{pvd} = \frac{1}{R.C}.\frac{(2.G_M - 1)}{G_M - 1} \tag{101}$$

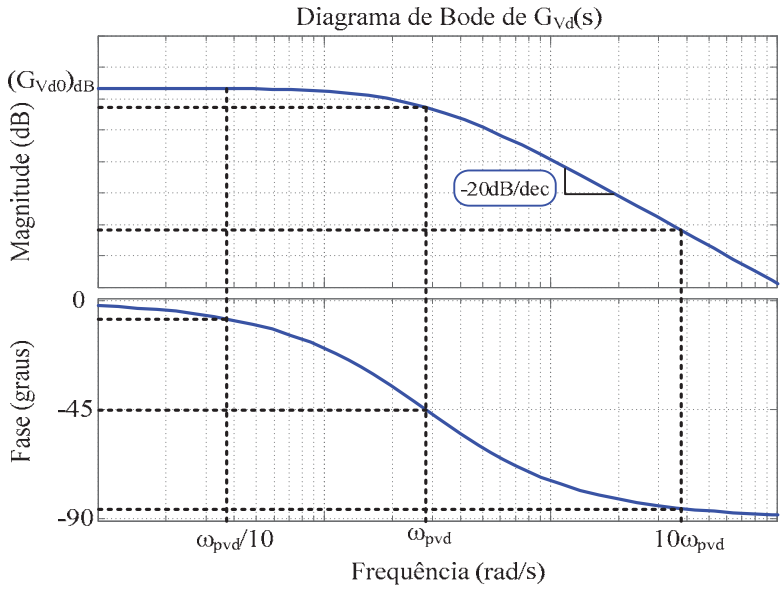
Sendo:

G_{Vdo} – Ganho CC (ω=0).

ω_{pvd} – Frequência angular do pólo.

O diagrama de Bode genérico de $G_{Vd}(s)$ é ilustrado na Figura 51.

Figura 51 - Diagrama de Bode de $G_{Vd}(s)$.

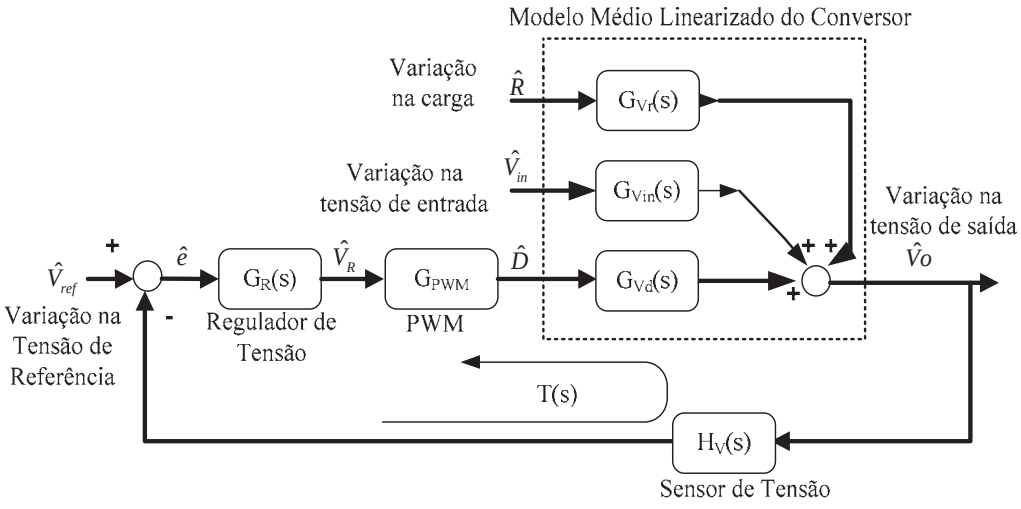


Fonte: Costa e Silva (2011)

3.3 Projeto do Regulador de Tensão.

No sistema conversor real, as variações na tensão de entrada representam distúrbios na rede de alimentação, já as variações na resistência de saída emulam variações de potência demandada pela carga. Esses eventos provocam variações indesejadas na tensão de saída do conversor. Como forma de eliminar essas variações, o sistema de controle clássico é apresentado na Figura 52.

Figura 52 - Modelo a pequenos sinais do sistema de controle.



Fonte: Costa e Silva (2011)

A tensão de saída do conversor é sensorada e comparada com o valor de referência que se deseja seguir. Caso ocorra variação na saída, o regulador de tensão atualiza o sinal CC a ser comparado com o sinal triangular referente à modulação PWM, desta maneira a razão cíclica é modificada como forma de compensar a variação da tensão de saída provocada pelos distúrbios na alimentação ou pelas variações na carga.

O ganho do bloco PWM no modelo a pequenos sinais pode ser calculado pelo inverso do valor de pico da portadora triangular.

$$G_{PWM} = \frac{1}{V_{Tri}} \tag{102}$$

A variação na tensão de saída referente ao sistema da Figura 52, é descrita em (103) como combinação linear das entradas $\hat{R}$, $\hat{V}_{in}$ e $\hat{V}_{ref}$.

$$\hat{V}_o = \frac{\frac{G_R(s).G_{Vd}(s)}{V_{Tri}}}{1+\frac{H_V.G_R(s).G_{Vd}(s)}{V_{Tri}}}.\hat{V}_{ref} + \frac{G_{Vin}(s)}{1+\frac{H_V.G_R(s).G_{Vd}(s)}{V_{Tri}}}.\hat{V}_{in} + \frac{G_{Vr}(s)}{1+\frac{H_V.G_R(s).G_{Vd}(s)}{V_{Tri}}}.\hat{R} \tag{103}$$

Define-se o ganho de malha de tensão em (104).

$$T(s) = \frac{H_V.G_R(s).G_{Vd}(s)}{V_{Tri}} \tag{104}$$

Substituindo-se (104) em (103) pode-se reescrever a tensão de saída.

$$\hat{V}_o = \frac{1}{H}\frac{T(s)}{1+T(s)}.\hat{V}_{ref} + \frac{G_{Vin}(s)}{1+T(s)}.\hat{V}_{in} + \frac{G_{Vr}(s)}{1+T(s)}.\hat{R} \tag{105}$$

O projeto do regulador de tensão baseia-se na análise da resposta em frequência do ganho de malha $T_S(s)$. Quando a magnitude de $T_S(s)$ é elevada, a saída tende a seguir a referência e rejeitar as variações na tensão de alimentação e na carga. No caso oposto, quando $T_S(s)$ é pequeno, o sistema torna-se fragilizado aos distúrbios. As equações (106) e (107) evidenciam respectivamente o comportamento da saída do sistema com relação à referência e aos distúrbios existentes.

$$\text{Referência} \quad \frac{T(s)}{1+T(s)} \approx \begin{cases} 1 & para\ |T(s)| \gg 1 \\ \frac{1}{T(s)} & para\ |T(s)| \ll 1 \end{cases} \tag{106}$$

$$\text{Disturbios} \quad \frac{1}{1+T(s)} \approx \begin{cases} \frac{1}{T(s)} & para\ |T(s)| \gg 1 \\ 1 & para\ |T(s)| \ll 1 \end{cases} \tag{107}$$

Para que a tensão de saída CC (ω=0) mantenha-se regulada no valor de referência, com erro nulo em regime permanente, a magnitude do ganho da malha de tensão T(s) deve ser elevada nas baixas frequências. No entanto, um ganho de malha elevado pode levar o sistema à instabilidade ocasionada pela inversão de fase na malha de realimentação. Nesse sentido, a fase da função transferência (FT) de T(s) não deve ultrapassar 180 graus na frequência de cruzamento, respeitando assim o critério de margem de fase (MF) para a estabilidade de sistemas.

A frequência de cruzamento de $T_S(s)$ determina a largura de banda passante do sistema em malha fechada da saída com relação à referência, que influencia diretamente na velocidade e na resposta dinâmica do sistema de controle. No entanto, a frequência de cruzamento de T(s) deverá respeitar a característica de baixa frequência da componente CA da tensão de saída.

Em resumo, para um bom projeto de regulador de tensão deve-se assegurar que a resposta em frequência de $T_S(s)$ tenha as seguintes características de magnitude e fase:

- Ganho elevado em baixas frequências - garante erro nulo em regime permanente e rejeição dos efeitos provocados pelas variações de carga e distúrbios de tensão de alimentação na regulação da tensão de saída;
- Frequência de cruzamento limitada em 1/4 da frequência da rede – garante tempo de estabelecimento (velocidade do controle) adequado dada as características de frequência da componente CA da tensão de saída.
- Margem de Fase em torno de 50 graus:- garante boa estabilidade dinâmica com baixa porcentagem de *overshoot*.

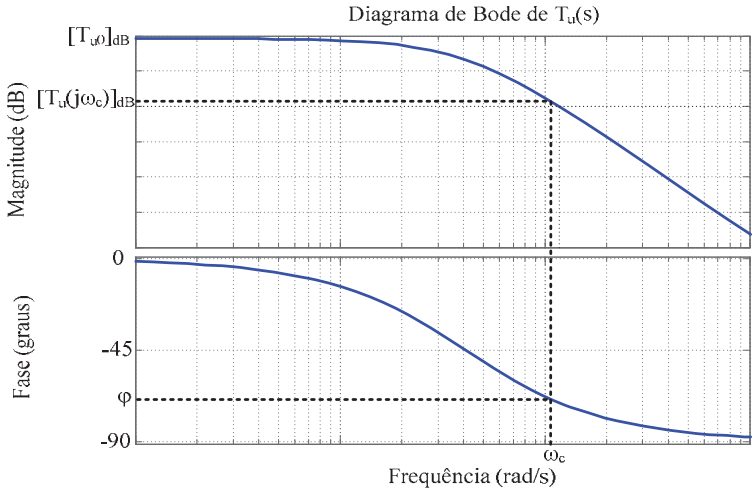
Portanto, para o projeto do conversor PFP adota-se a frequência de cruzamento da malha de tensão igual a um quarto da frequência da rede de alimentação.

$$\omega_c = \frac{1}{4}.\omega_{Rede} \tag{108}$$

O diagrama de Bode de $T_S(s)$ desconsiderando-se o efeito do regulador de tensão ($G_R(s)=1$) é ilustrado na Figura 53.

$$T_u(s) = T(s)\big|_{G_C(s)=1} = \frac{H_V.G_{Vd}(s)}{V_{Tri}} \tag{109}$$

Figura 53 - Diagrama de Bode de $T_u(s)$.



Fonte: Costa e Silva (2011)

Onde:

$T_u(s)$ – FT da malha de tensão desconsiderando o efeito do regulador.

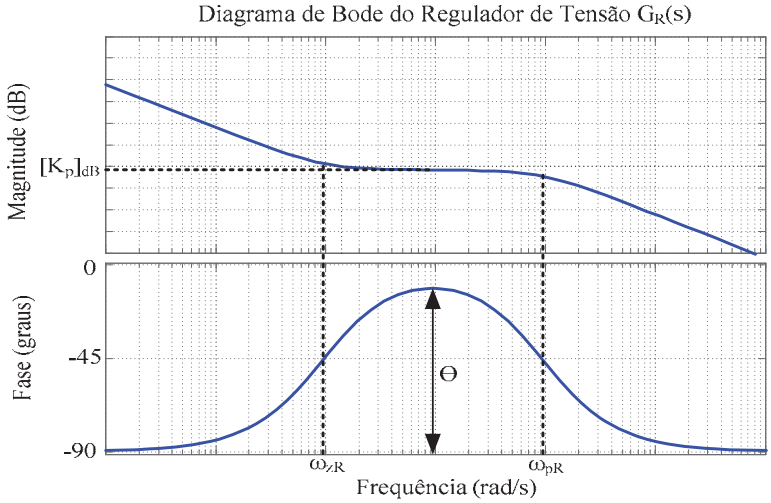
$T_u(j\omega_c)$- Ganho de T_u na frequência de cruzamento requerida.

φ- Fase de T_u na frequência de cruzamento requerida.

O regulador de tensão é composto pelo tradicional controlador proporcional-integral (PI) com um pólo adicional acima da frequência de cruzamento. A FT genérica do regulador de tensão é apresentada em (110) e o seu respectivo diagrama de Bode ilustrado na Figura 54.

$$G_R(s) = K_p \cdot \frac{\left(1+\frac{\omega_{zR}}{s}\right)}{\left(1+\frac{s}{\omega_{pR}}\right)} \tag{110}$$

Figura 54 - Diagrama de Bode de $G_R(s)$.



Fonte: Costa e Silva (2011)

Onde:

ω_{zR}- Zero do Regulador de tensão.

ω_{pR}- Pólo do Regulador de tensão.

K_p- Constante proporcional

Θ- Avanço de Fase.

O regulador de tensão possui um pólo na origem de modo a produzir o requerido ganho elevado em baixa frequência. O pólo adicional tem a função de eliminar os possíveis ruídos de alta frequência e, se combinado corretamente com o zero, possibilita a obtenção de uma margem de fase adequada para a resposta transitória desejada.

O ganho K_p é escolhido de forma que a frequência de cruzamento da malha de tensão T(s) seja a requerida em (108).

$$K_p = \frac{1}{T_u(j\omega_c)} \tag{111}$$

O avanço de fase proporcionado pelo regulador de tensão é projetado segundo a equação (112) de modo a obter a margem de fase (MF) desejada no ganho de malha T(s).

$$\theta = MF - (90 + \varphi) \tag{112}$$

Considerando-se a MF igual a cinquenta graus, têm-se:

$$\theta = -40 - \varphi \tag{113}$$

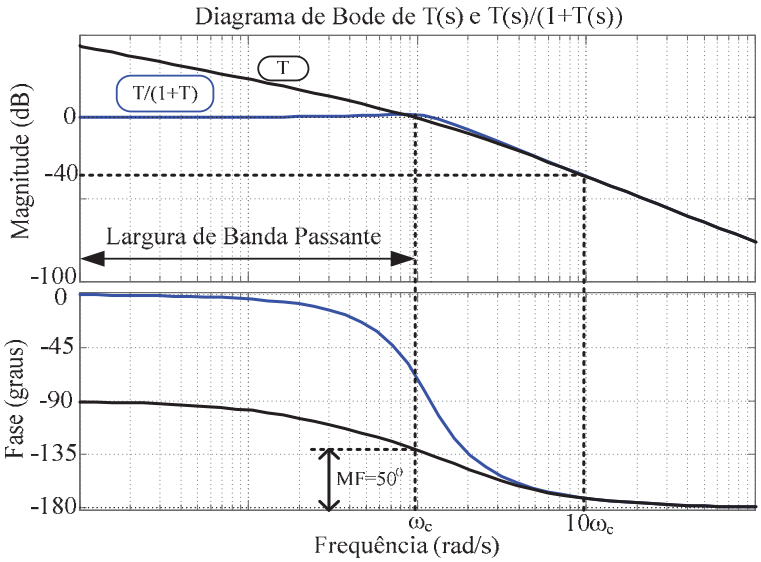
As frequências do pólo e do zero do regulador, escritas em função da frequência de cruzamento e do avanço de fase requeridos, são apresentadas respectivamente em (114) e (115).

$$\omega_{pR} = \omega_c . \sqrt{\frac{1 + sen(\theta)}{1 - sen(\theta)}} \tag{114}$$

$$\omega_{zR} = \omega_c . \sqrt{\frac{1 - sen(\theta)}{1 + sen(\theta)}} \tag{115}$$

Na Figura 55 são apresentados os diagramas de Bode que representam o ganho de malha T(s) e a resposta da saída em relação à referência (T(s)/(1+T(s))) , considerando o projeto do regulador para uma margem de fase de cinquenta graus.

Figura 55 - Diagramas de Bode de T(s) e de T(s)/(T(s)+1).

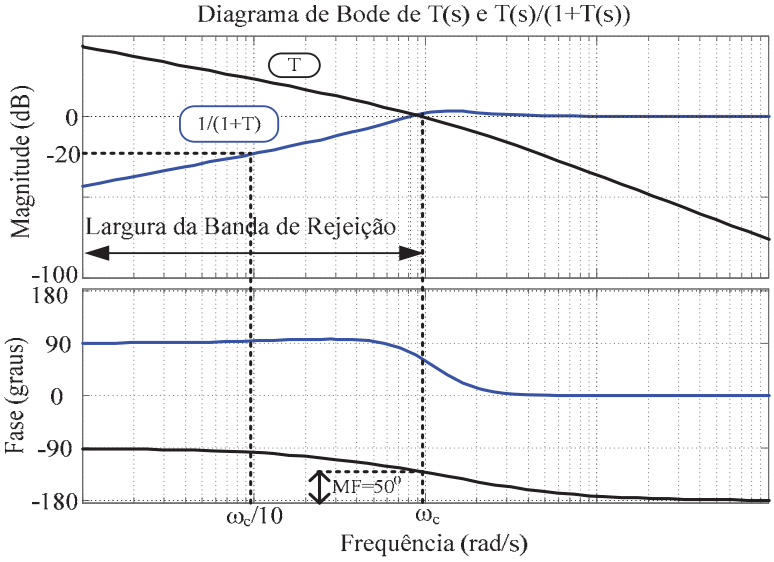


Fonte: Costa e Silva (2011)

Como pode ser visualizado na Figura 55, o projeto para a margem de fase de cinquenta graus proporciona uma resposta praticamente sem pico de ressonância na FT em malha fechada da saída com relação à referência. Este resultado estabelece uma resposta temporal com baixa porcentagem de *overshoot*. A frequência de cruzamento do ganho de malha T(s) determina a largura de banda passante da FT de malha fechada.

A mesma análise é realizada para a relação de transferência dos efeitos dos distúrbios na saída do sistema. Os diagramas de Bode que representam o ganho de malha T(s) e a resposta da saída em relação aos distúrbios (T(s)/(1+T(s))) são apresentados na Figura 56.

Figura 56 - Diagramas de Bode de T(s) e de 1/(T(s)+1).



Fonte: Costa e Silva (2011)

Abaixo da frequência de cruzamento, os efeitos dos distúrbios na saída do sistema são atenuados.

3.4.Especificações de Projeto e Resultados de Simulação

Dada as especificações de projeto, e a partir do equacionamento apresentado nos capítulos 2 e 3, é possível dimensionar corretamente os elementos reativos do circuito de potência e componentes do circuito de controle do Conversor PFP *Bridgeless Boost* Entrelaçado com controle constante da razão cíclica.

As simulações a seguir são realizadas como forma de comprovar os estudos teóricos realizados até o momento, ou seja, verificar a correção ativa do fator de potência através da diminuição da distorção na forma de onda da corrente de entrada, bem como analisar o comportamento do sistema de controle da tensão de saída frente às variações de carga e aos distúrbios na tensão de entrada.

A análise comparativa das componentes harmônicas de corrente de entrada será realizada por meio de gráficos e tabelas tomando como referência os limites estabelecidos pela norma IEC-61000-3-2 (Classe A).

3.4.1. Exemplo de projeto

A tabela 4 contém as especificações de projeto para o estágio de potência do conversor PWM CA-CC *bridgeless boost* de 1,5kW/400V, entrelaçado em 3 células, com controle constante da razão cíclica.

Tabela 4 - Especificações de Projeto

Descrição	Simbologia	Valores
Número de células	N	3
Potência nominal	P_N	1,5 kW
Tensão eficaz de entrada	V_{ef}	220 V
Tensão média em um semiciclo de rede	V_{in}	198V
Tensão de pico de entrada	V_p	311 V
Tensão de saída	V_o	400 V
Relação entre tensões de pico e de saída	M	0,778
Ganho de tensão no pico	G	1,286
Frequência da rede	F_{Rede}	60 Hz
Período de rede	T_{Rede}	16,7 ms
Ondulação de tensão	ΔV_o	10 V
Frequência de chaveamento	f_s	20 kHz
Período de chaveamento	T_s	50 µs

Fonte: Costa e Silva (2011)

Cálculo da indutância máxima de projeto:

Considerando as especificações de projeto, calcula-se o valor da razão cíclica crítica a partir de (35) em (116.).

$$D_{critico} = (1 - M) = 0,222 \tag{116}$$

De (34) calcula-se a constante I(M) em (117).

$$I(M) = -2 - \frac{\pi}{M} + \frac{2}{M.\sqrt{1-M^2}}.\left(\frac{\pi}{2} + arctg\left(\frac{M}{\sqrt{1-M^2}}\right)\right) = 4,0335 \tag{117}$$

A partir das especificações contidas na tabela 4 e substituindo-se os valores calculados em (116) e (117) na equação (53), calcula-se a indutância máxima de projeto em (118).

$$L_{\max ima} = \frac{N.V_p^{\,2}}{2.\pi.fs.P_N}.\frac{D_{critico}^{\,2}}{M}.I(M) = 390\mu H \tag{118}$$

Cálculo da resistência de carga:

O valor da resistência de carga referente à potência nominal é calculado em (119).

$$R = \frac{V_o^{\,2}}{P_N} = 107\Omega \tag{119}$$

Cálculo da capacitância de filtro de saída:

O capacitor de saída tem as funções de filtrar as componentes de frequência referentes ao chaveamento e prover uma amplitude de ondulação especificada na tensão de saída com frequência de 120Hz em CA. O cálculo da capacitância de filtro de saída é apresentado em (120).

$$C = \frac{P_N}{2.\pi.2.f_{rede}.V_o.\Delta V_o} = 498\ \mu F \tag{120}$$

Para efeito de simulação adotou-se o valor comercial de 680 µF.

Os valores referentes aos componentes do circuito de potência são apresentados resumidamente na tabela 5.

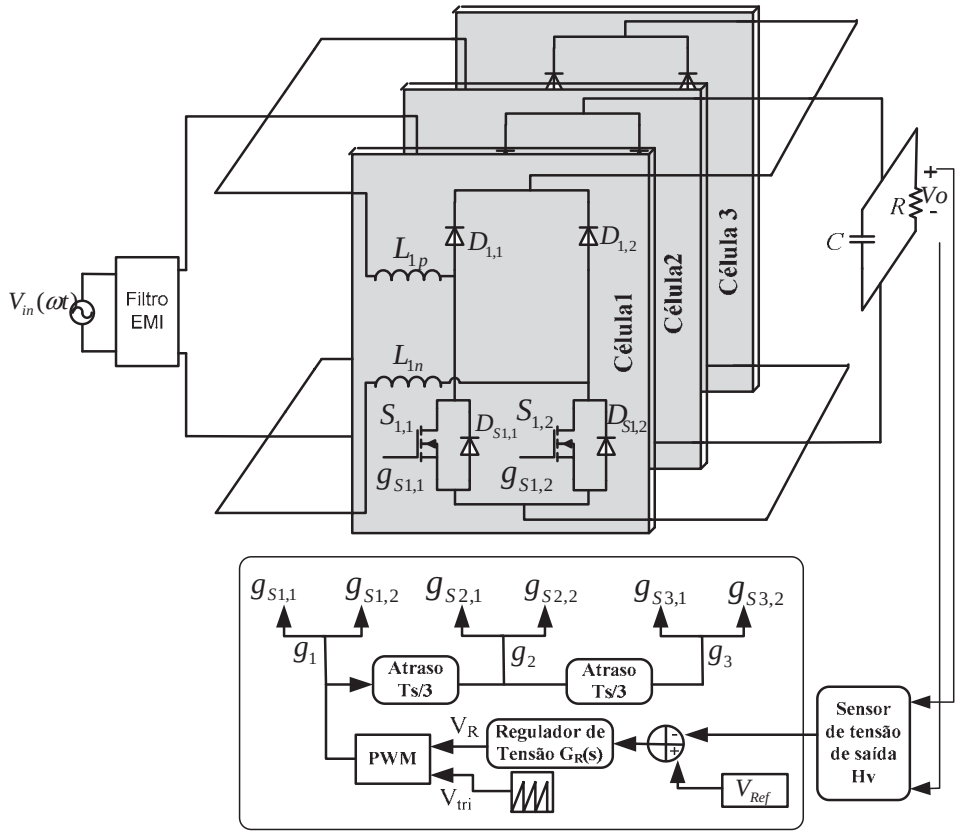
Tabela 5 - Projeto para Estágio de Potência

Descrição	Simbologia	Valores
Indutância Máxima de cada Célula	L_{max}	390 µH
Capacitância de Filtro de Saída	C	680 µF
Resistência de Carga	R	107 Ω

Fonte: Costa e Silva (2011)

O conversor de potência proposto e simulado é ilustrado na Figura 57.

Figura 57 - Conversor PFP *Bridgeless Boost* Entrelaçado com Controle Constante da Razão Cíclica.



Fonte: Costa e Silva (2011)

Para a obtenção da função de transferência (FT) que relaciona a tensão de saída do conversor à razão cíclica, calcula-se o ganho CC do conversor (baixas frequências) e a frequência do pólo utilizando-se respectivamente as equações (100) e (101). Os valores obtidos são apresentados em (121) e (122).

$$G_{Vdo} = \frac{2.G_M.(G_M - 1)}{(2.G_M - 1)}.\frac{V_{in}}{D} = 1207,9 \tag{121}$$

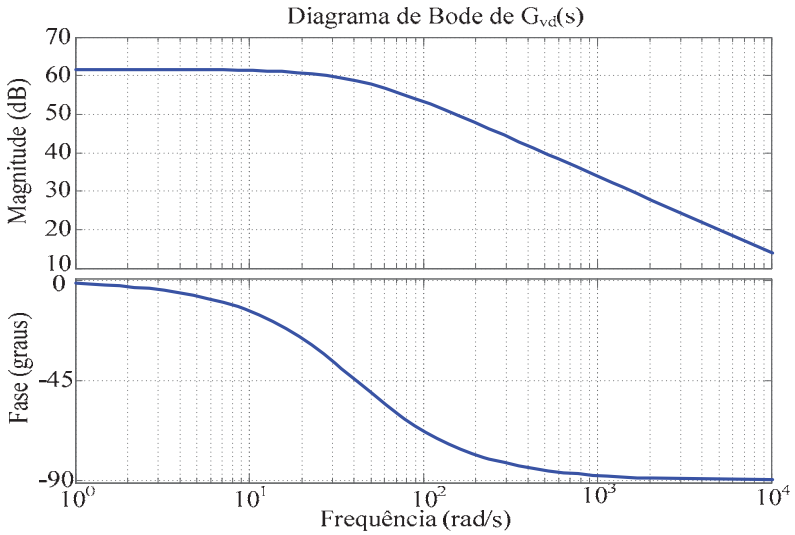
$$\omega_{pvd} = \frac{1}{R.C}.\frac{(2.G_M - 1)}{G_M - 1} = 41,09\ rad/s \tag{122}$$

Utilizando-se (99), pode-se escrever a FT de $G_{Vd}(s)$ em (123)

$$G_{Vd}(s) = 1207,9.\frac{1}{\frac{s}{(41,09)} + 1} \tag{123}$$

O diagrama de Bode relativo a (123) é ilustrado na Figura 58.

Figura 58 - Diagrama de Bode de $G_{Vd}(s)$.



Fonte: Costa e Silva (2011)

A tabela 6 contém as especificações necessárias para o projeto do regulador de tensão.

Tabela 6 - Especificações para o projeto de Controle

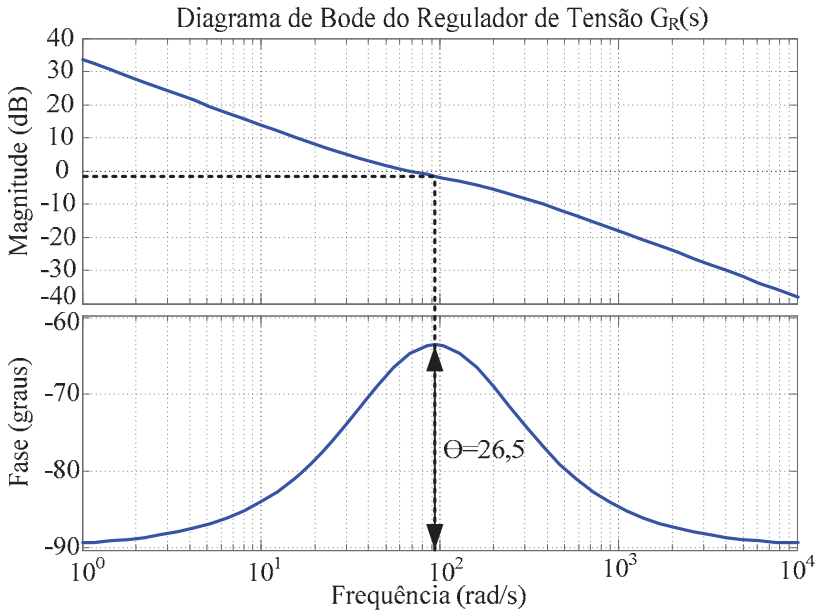
Descrição	Simbologia	Valores
Tensão de Referência	V_{Ref}	5 V
Ganho do Sensor de Tensão	H_V	1/80
Tensão de Pico da Portadora Triangular	V_{tri}	5V
Frequência de Cruzamento Desejada	ω_C	94,25 rad/s
Margem de Fase Requerida	MF	50^0

Fonte: Costa e Silva (2011)

Seguindo o procedimento de projeto detalhado na seção 3.3, obtêm-se a FT para o regulador de tensão em (124). Os diagramas de Bode do regulador $G_R(s)$ e do ganho de malha T(s) são ilustrados respectivamente na Figura 59 e Figura 60.

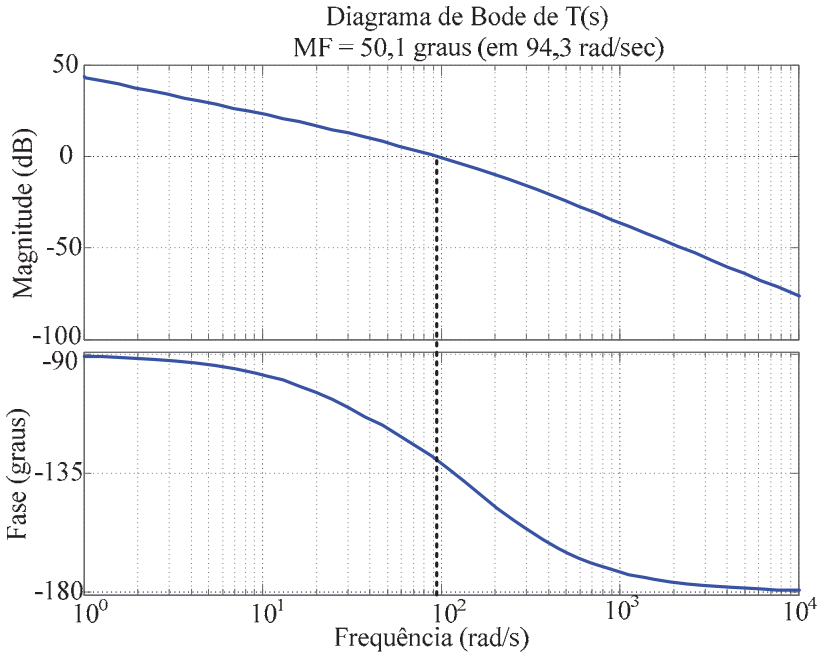
$$G_R(s) = 0,8289.\frac{\left(1+\frac{58,32}{s}\right)}{\left(1+\frac{s}{152,30}\right)} \tag{124}$$

Figura 59 - Diagrama de Bode de $G_R(s)$.



Fonte: Costa e Silva (2011)

Figura 60 - Diagrama de Bode de T(s).



Fonte: Costa e Silva (2011)

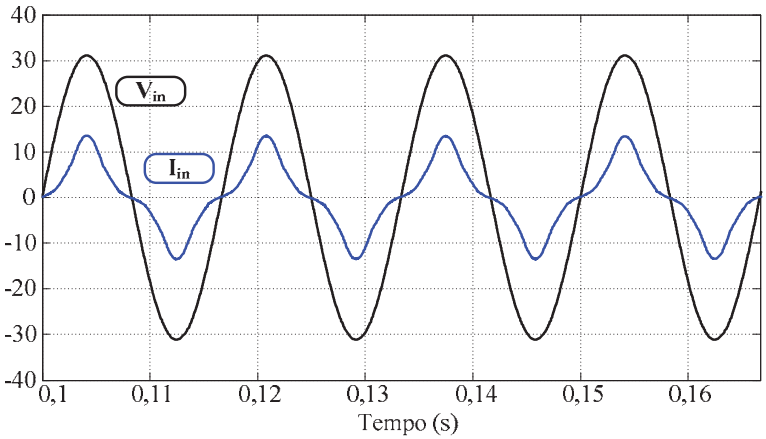
Portanto, como pode ser evidenciado na Figura 60, na frequência de cruzamento (ω_C= 94,3 rad/s) consegue-se uma margem de fase de 50,1 graus.

3.4.2. Resultados de simulação

Utilizou-se o software *MATLAB/Simulink* para a simulação do conversor proposto na Figura 57.

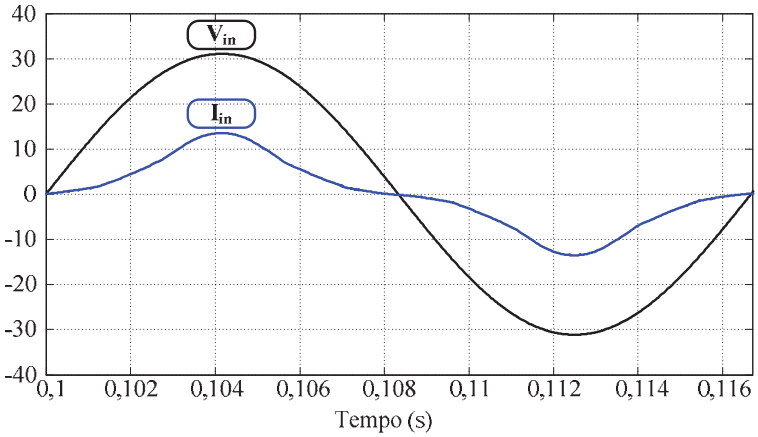
As formas de onda de tensão e corrente de entrada podem ser visualizadas na Figura 61, e em detalhe na Figura 62.

Figura 61 - Tensão (escala 1:10) e Corrente de entrada.



Fonte: Costa e Silva (2011)

Figura 62 - Tensão (escala 1:10) e Corrente de entrada em um ciclo de rede.

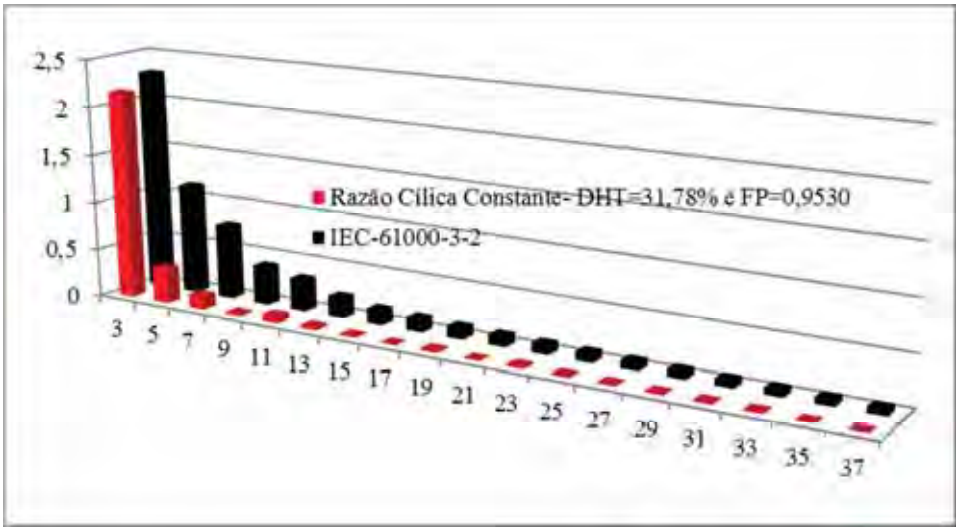


Fonte: Costa e Silva (2011)

As figuras 61 e 62 evidenciam a considerável distorção na forma de onda de corrente, prevista quando se opera com tensões de saída relativamente baixas.

A análise espectral da corrente de entrada é realizada através da *fast fourier transform* (*FFT)*, e suas respectivas componentes harmônicas são dispostas na Figura 63, juntamente com os limites estabelecidos pela norma IEC-61000-3-2. O conversor em questão enquadra-se, pela norma citada, na classe A.

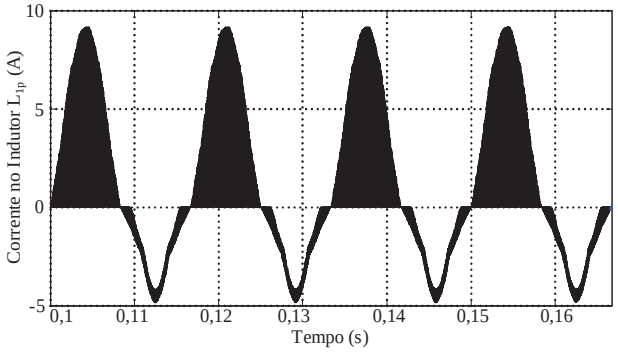
Figura 63 - Análise Espectral da Corrente de entrada .



Fonte: Costa e Silva (2011)

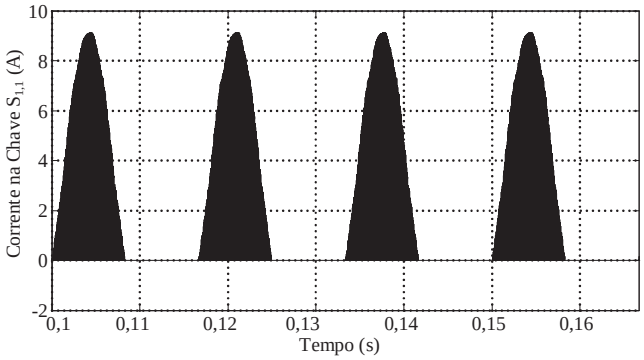
A forma de onda das correntes nos indutores superiores de cada célula é ilustrada na Figura 64. As formas de onda das correntes nos indutores inferiores das células (L_{1n}, L_{2n} e L_{3n}) são idênticas à ilustrada na Figura 64, contudo estas estão defasadas 180 graus. Na Figura 65 e Figura 66 são ilustradas respectivamente a correntes na chave $S_{1,1}$ e no seus diodo antiparalelo $D_{S1,1}$.

Figura 64 - Corrente no Indutor L_{1p}.



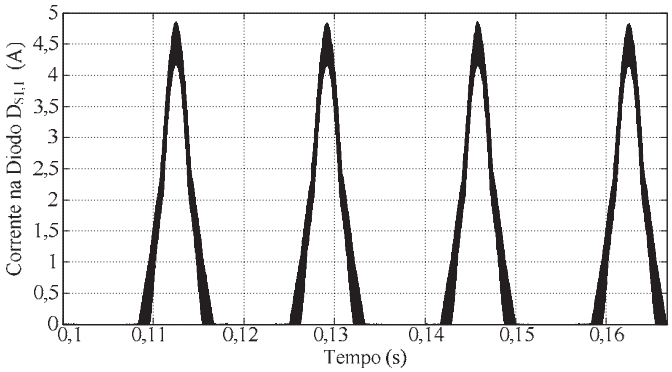
Fonte: Costa e Silva (2011)

Figura 65 - Corrente na Chave $S_{1,1}$.



Fonte: Costa e Silva (2011)

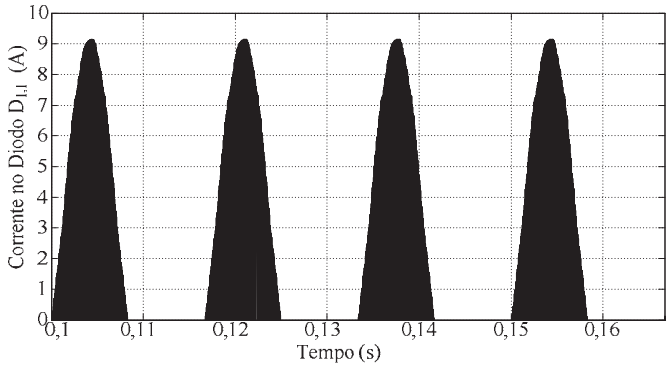
Figura 66 - Corrente no Diodo antiparalelo da chave $D_{S1,1}$.



Fonte: Costa e Silva (2011)

A corrente referente ao diodo do primeiro braço da primeira célula de potência $D_{1,1}$ é ilustrada na Figura 67.

Figura 67 - Corrente no Diodo $D_{1,1}$.



Fonte: Costa e Silva (2011)

Os valores de pico, eficazes e médios das correntes nos indutores e nos semicondutores são dispostos na tabela 7.

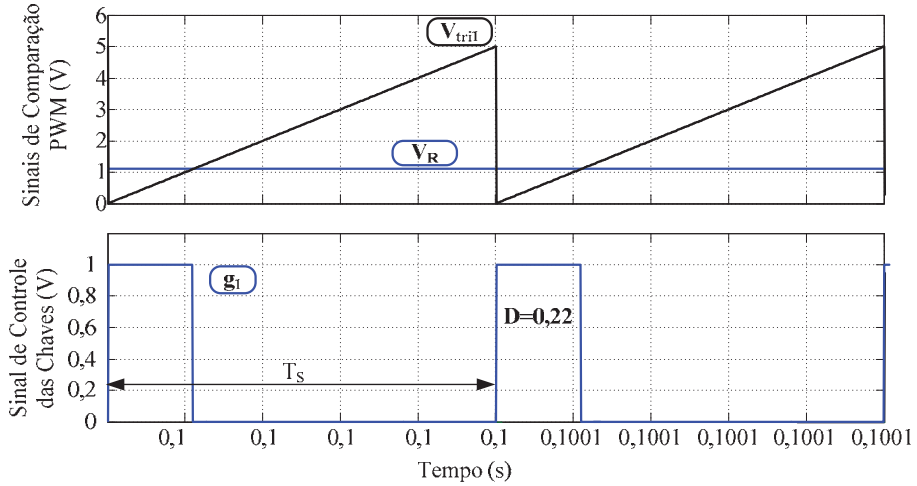
Tabela 7 - Esforços de Corrente nos Indutores e Semicondutores da Estrutura

Correntes (A)	Indutor	Chave	Diodo de Saída	Diodo Antiparalelo	Entrada
Corrente de pico	9,20	9,20	9,20	4,80	13,5
Corrente eficaz	2,82	1,22	1,88	1,72	7,25
Corrente média	0,00	0,31	0,62	0,94	0,00

Fonte: Costa e Silva (2011)

Os sinais PWM de controle das chaves semicondutoras são resultantes da comparação entre os sinais da portadora triangular e do sinal modulante (saída CC do regulador de tensão). A frequência da portadora define a frequência de chaveamento, e o sinal modulante (saída CC do regulador) define o valor da razão cíclica. Os sinais integrantes do PWM, considerando o conversor operando em plena carga, são apresentados na Figura 68.

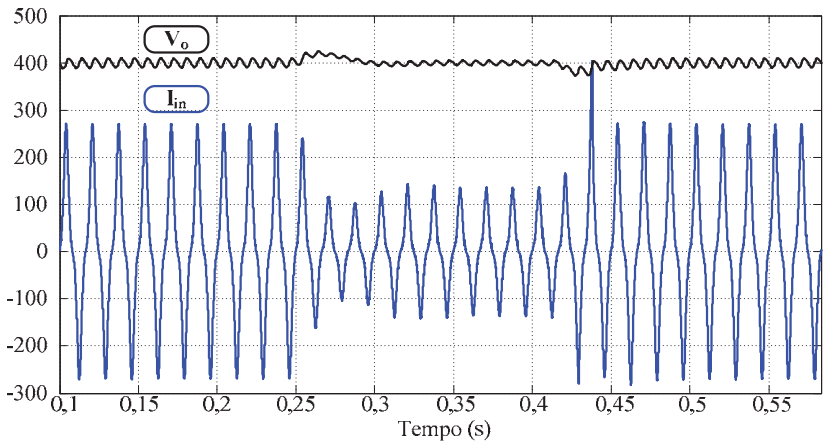
Figura 68 - Modulação por Largura de Pulso (PWM) em Plena Carga.



Fonte: Costa e Silva (2011)

Com intuito de comprovar a eficácia do sistema de controle, foram simulados transitórios de carga do valor nominal para meia carga, e em seguida do valor de meia carga retornando para o nominal**.** Simulou-se o conversor operando em plena carga (1,5kW) até o instante t=250ms, momento da ocorrência do degrau de carga do valor nominal (1,5kW) para meia carga (750W). A operação inversa é realizada dez ciclos a frente, no instante t=416,7ms, onde o conversor passa a operar novamente com carga plena. A Figura 69 ilustra o comportamento da tensão de saída e da corrente de entrada durante os transitórios de carga.

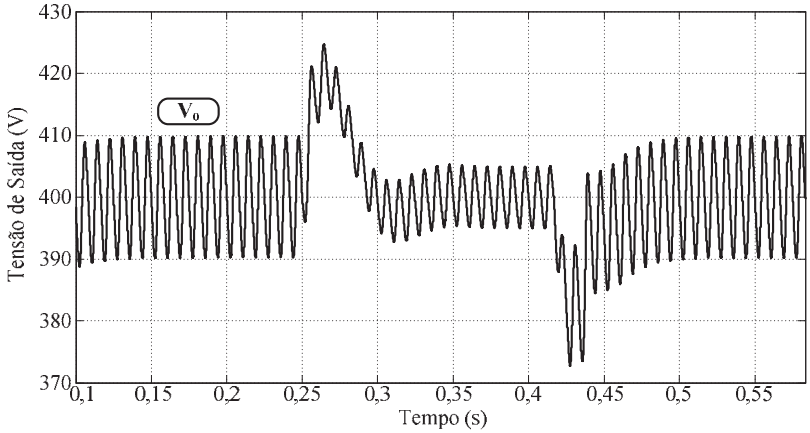
Figura 69 - Tensão de Saída e Corrente de entrada (escala 20:1).



Fonte: Costa e Silva (2011)

A tensão de saída é apresentada em detalhe na Figura 70, onde podem ser visualizados com maior clareza os valores indicativos do desempenho do sistema de controle, como porcentagem de *overshoot*/undershoot e tempo de estabelecimento, considerando a tensão de saída estabilizada em 3% do seu valor de regime permanente. Os valores exatos desses indicativos estão dispostos na tabela 8.

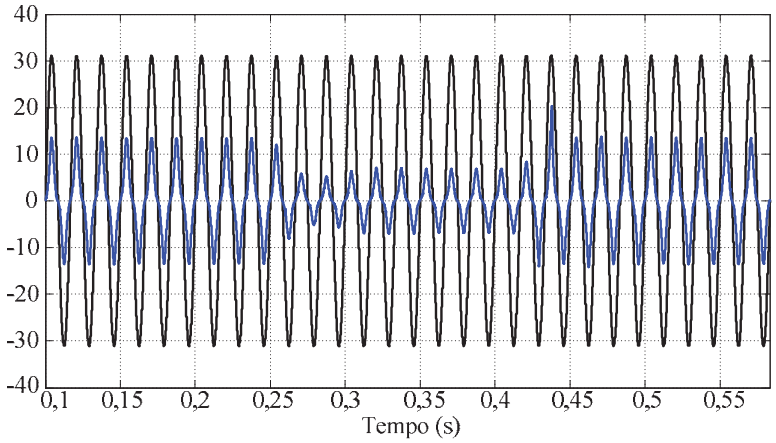
Figura 70 - Tensão de Saída.



Fonte: Costa e Silva (2011)

A distorção na corrente de entrada mantém-se praticamente inalterada (DHT=32,47%) durante o transitório de carga. A tensão e a corrente na entrada são plotadas juntas na Figura 71.

Figura 71 - Tensão (escala 1:10) e Corrente de entrada.

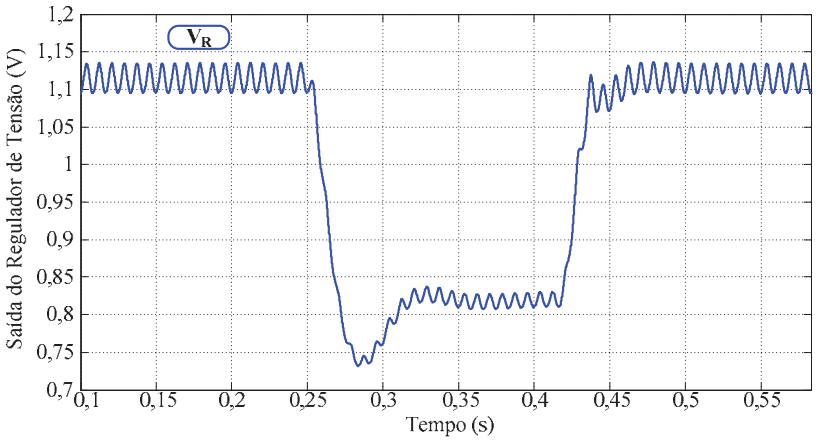


Fonte: Costa e Silva (2011)

A atuação do regulador de tensão pode ser visualizada na Figura 72. Havendo variação na carga, a saída CC do regulador é atualizada, modificando desta forma a razão cíclica da chave semicondutora e regulando a tensão de saída para o valor de referência.

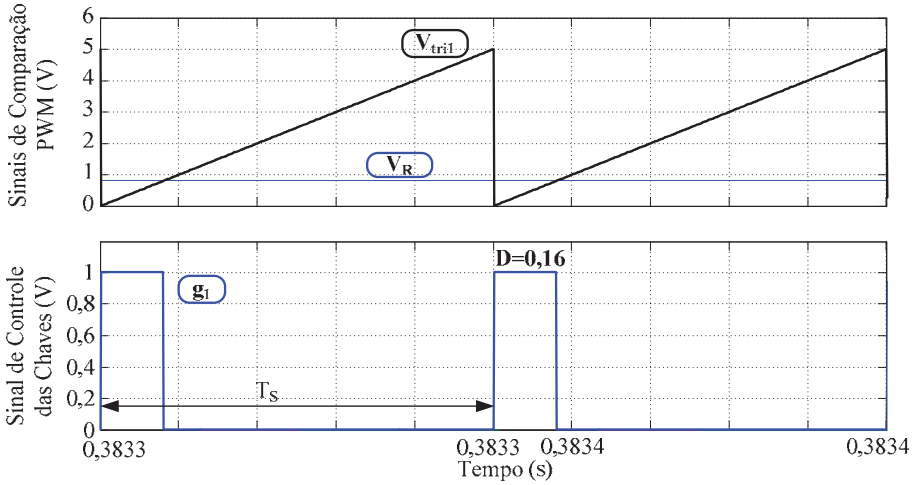
A atualização da razão cíclica via modulação PWM, em meia carga, pode ser visualizada em detalhe na Figura 72. A razão cíclica varia de 0,22 em plena carga para 0,16 à meia carga.

Figura 72 - Resposta do Regulador de Tensão.



Fonte: Costa e Silva (2011)

Figura 73 - Modulação PWM com 50% de carga.



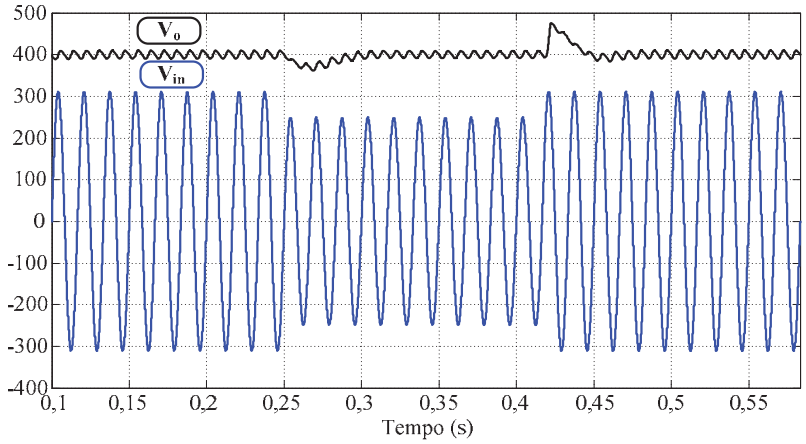
Fonte: Costa e Silva (2011)

O sistema de controle também deve ser testado considerando-se possíveis afundamentos momentâneos da tensão da rede elétrica de alimentação (SAGs).

Para simular um distúrbio na tensão de entrada considerou-se inicialmente o sistema operando em perfeito estado com tensão de alimentação em 220V eficaz. A partir do instante t=250 ms simulou-se uma queda de 20% na tensão de entrada; queda que se estendeu até o instante t=416,7ms, ou seja , com duração de 10 ciclos de rede. As simulações do distúrbio na entrada foram efetuadas com carga nominal.

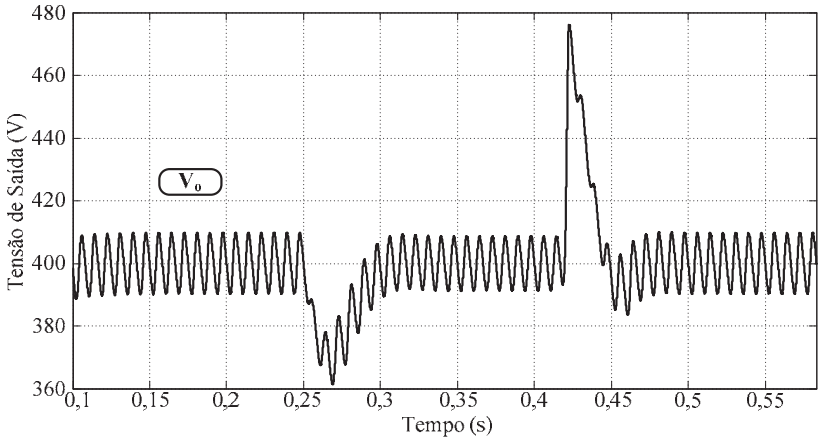
A resposta da tensão saída frente ao distúrbio citado é ilustrada na Figura 74. O desempenho do sistema de controle pode ser visualizado em detalhe na Figura 75 e a resposta temporal do regulador de tensão na Figura 76.

Figura 74 - Tensões de Saída e de Entrada.



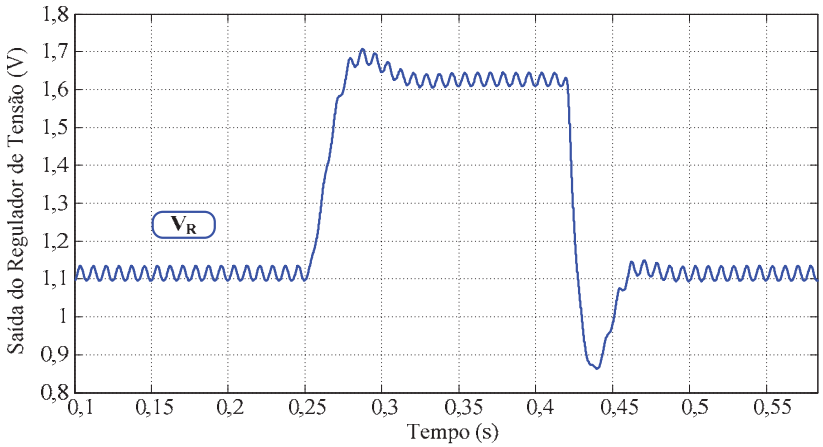
Fonte: Costa e Silva (2011)

Figura 75 - Detalhe da Tensão de Saída.



Fonte: Costa e Silva (2011)

Figura 76 - Resposta do Regulador de Tensão ao distúrbio na tensão de entrada.



Fonte: Costa e Silva (2011)

Os índices de desempenho do sistema de controle da tensão de saída frente às variações de carga e distúrbios na tensão de entrada são apresentados na tabela 8.

Tabela 8 - Índices de Desempenho do Sistema de Controle

Tipo de Perturbação	Instante da Perturbação (ms)	Tempo de Estabelecimento (ms)	Porcentagem de *Overshoot/Undershoot* (%)
Variações de Carga (50%) (Figura 70)	250,0	50	4,5
	416,7	50	4,5
Distúrbios na Alimentação (20%) (Figura 75)	250,0	50	7,5
	416,7	50	15

Fonte: Costa e Silva (2011)

3.5.Conclusões

Neste capítulo foram apresentadas a modelagem do conversor PFP *bridgeless boost* entrelaçado operando em MCD, o procedimento para o projeto do regulador de tensão, e as simulações considerando variações de 50% na carga e distúrbios (SAG) de 20% na tensão de entrada.

A operação em MCD proporciona maiores esforços nos semicondutores de potência da estrutura, no entanto, como indicado na tabela 7, o entrelaçamento multicelular proporcionou a divisão desses esforços de corrente nos elementos semicondutores de cada célula. A divisão dos esforços de corrente nos semicondutores habilita a utilização do conversor em aplicações industriais com potências mais elevadas.

Além das vantagens em se operar no MCD devido atenuação dos efeitos da recuperação reversa do diodo *boost*, este modo de operação ainda facilita o projeto do controlador (regulação) de tensão, uma vez que a FT que relaciona a tensão de saída à razão cíclica apresenta comportamento dinâmico de primeira ordem.

O sistema de controle foi testado através de simulações contendo a resposta temporal da tensão de saída frente às variações de carga e distúrbios na alimentação. Os índices de desempenho do sistema de controle apresentados na tabela 8 demonstraram boa resposta transitória, com tempos de estabelecimento de aproximadamente 3 ciclos de rede, e porcentagem de *overshoot* de 4,5% para variações na carga, e 15% para o distúrbio na entrada.

A grande desvantagem apresentada pelo conversor PFP *bridgeless boost* entrelaçado operando em MCD foram os altos valores da DHT de corrente para operações com tensões de saída reduzidas (ganhos de tensão menores que 2), sendo as componentes de baixa ordem, principalmente 3^a, 5^a e 7^a harmônicas, responsáveis pela alta DHT. A análise espectral de corrente contida no gráfico da Figura 63 indica DHT de 31,78% e FP de 0,9530 para um ganho de tensão de 1,286.

No capítulo seguinte, será aplicada ao conversor em questão uma técnica de controle variável da razão cíclica, responsável pela compensação das harmônicas de baixa ordem existentes na corrente de entrada do conversor.

Capítulo 4

Controle Variável da Razão Cíclica

4.1.Considerações Iniciais

Como evidenciado anteriormente no Capítulo 2 através dos gráficos da Figura 35 e Figura 36, e nas simulações contidas na Figura 62 e Figura 63, o conversor PWM *bridgeless boost* entrelaçado operando em MCD com razão cíclica constante em regime permanente, apresenta alta DHT de corrente e baixo fator de potência quando opera com baixos valores de tensão de saída.

Como solução ao problema citado, será apresentado neste capítulo um sistema de controle com razão cíclica variável que acumula as funções de regulação da tensão de saída e de supressão das componentes harmônicas de baixa ordem responsáveis pelo baixo fator de potência. No novo sistema de controle, as chaves semicondutoras continuam moduladas por largura de pulso com período de chaveamento constante, contudo a razão cíclica varia permanentemente durante todo o semiciclo de rede como forma de eliminar as harmônicas de baixa ordem [8-9].

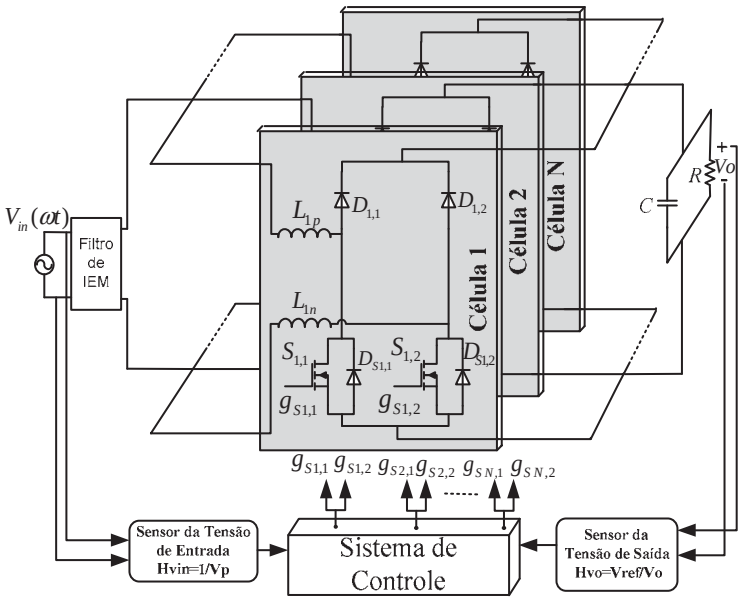
Um sinal proporcional à tensão de entrada é utilizado para obtenção da modulação necessária da chave semicondutora de potência. No intuito de manter o conteúdo harmônico praticamente constante durante as variaçoes de carga, um fator de modulação m é utilizado para atualizar o sinal modulante do PWM com a saída CC do regulador de tensão, que reflete as mudanças de carga.

Estudos teóricos são efetuados como forma de investigar o valor ótimo do fator de modulação, ou seja, o valor que minimize a distorção harmônica total (DTH) de corrente e consequentemente maximize o fator de potência (FP), trazendo-o para um valor próximo da unidade. Simulações serão realizadas para a comprovação da eficácia da técnica de modulação.

4.2.Técnica de Modulação Variável da Razão Cíclica

O circuito conversor de potência *Bridgeless Boost* Entrelaçado com controle variável da razão cíclica é apresentado na Figura 77.

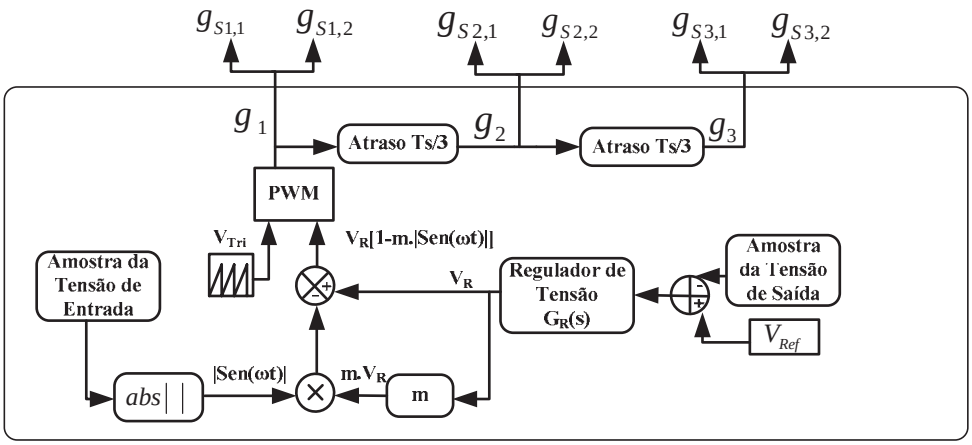
Figura 77 - Conversor *Bridgeless Boost* Entrelaçado.



Fonte: Costa e Silva (2011)

O sistema de controle é apresentado em detalhes na Figura 78.

Figura 78 - Sistema de Controle com Razão Cíclica Variável.



Fonte: Costa e Silva (2011)

Como pode ser visualizado na Figura 78, a modulação PWM tem o sinal modulante escrito em (125) como função do ângulo da tensão de alimentação, do fator de modulação, e da saída do regulador de tensão.

$$V_{\mathrm{mod}}(\omega t) = V_R.\left(1 - m.\left|sen(\omega t)\right|\right) \tag{125}$$

Consequentemente a razão cíclica tem o comportamento indicado em (126) e ilustrado na Figura 79.

$$d(\omega t) = D.\left(1 - m.\left|sen(\omega t)\right|\right) \tag{126}$$

Onde:

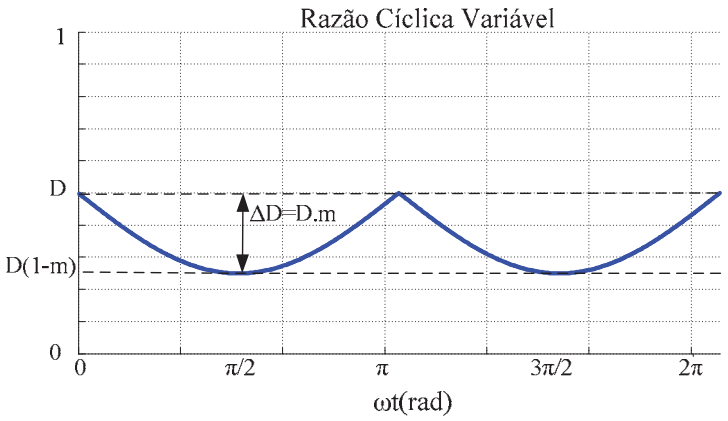
V_{mod} - Sinal modulante.

V_R – Saída do regulador de tensão.

m – Fator de modulação.

D – Razão cíclica máxima.

Figura 79 - Razão Cíclica como função do ângulo da tensão de alimentação.



Fonte: Costa e Silva (2011)

A razão cíclica máxima é função da saída CC do regulador de tensão, valor este que se atualiza conforme a ocorrência de variações na tensão de saída.

$$D = \frac{V_R}{V_{tri}} \tag{127}$$

As equações referentes ao estágio de potência do conversor *bridgeless boost* entrelaçado devem ser reescritas em função da nova razão cíclica (variável) indicada em (126). Substituindo-se (126) nas equações dos valores médios instantâneos das correntes nos indutores, nas chaves, e nos diodos, obtidas no capítulo 2 a partir das equações de (38) a (40), é possível reescrever de (128) a (130) as novas correntes médias instantâneas nos elementos de cada unidade celular para o novo sistema de controle.

$$I_L(\omega t) = \frac{D^2.V_p}{2.L.f_S}.\frac{(1 - m.\left|sen(\omega t)\right|)^2}{1 - M.\left|sen(\omega t)\right|}.sen(\omega t) \tag{128}$$

$$I_{S1,1}(\omega t)=\begin{cases}\dfrac{D^2.V_p}{2.L.f_S}.(1-m.sen(\omega t))^2.sen(\omega t) & para\ 0\le\omega t<\pi\\ 0 & para\ \pi\le\omega t<2\pi\end{cases}$$

$$I_{S1,2}(\omega t)=\begin{cases}0 & para\ 0\le\omega t<\pi\\ -\dfrac{D^2.V_p}{2.L.f_S}.(1+m.sen(\omega t))^2.sen(\omega t) & para\ \pi\le\omega t<2\pi\end{cases} \quad (129)$$

$$I_{D1,1}(\omega t)=\begin{cases}\dfrac{D^2.V_p}{2.L.f_S}.\dfrac{(1-m.sen(\omega t))^2}{1-M.sen(\omega t)}.M.sen(\omega t)^2 & para\ 0\le\omega t<\pi\\ 0 & para\ \pi\le\omega t<2\pi\end{cases}$$

$$I_{D1,2}(\omega t)=\begin{cases}0 & para\ 0\le\omega t<\pi\\ \dfrac{D^2.V_p}{2.L.f_S}.\dfrac{(1+m.sen(\omega t))^2}{1+M.sen(\omega t)}.M.sen^2(\omega t) & para\ \pi\le\omega t<2\pi\end{cases} \quad (130)$$

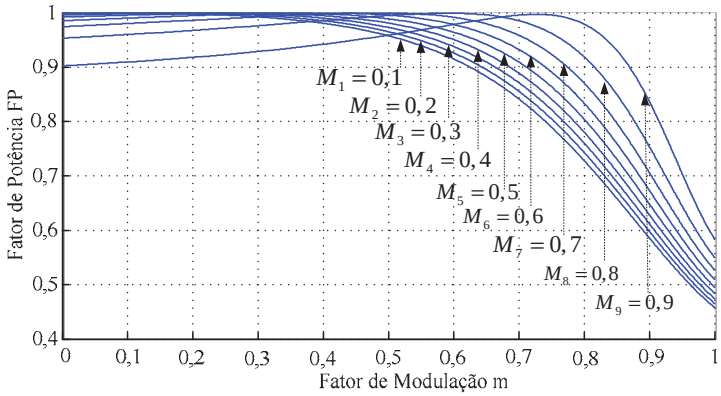
O procedimento realizado no Capítulo 2 para a determinação da distorção harmônica total de corrente e do fator de potência da estrutura, é realizado novamente para o sistema de controle variável da razão cíclica. Estas equações são apresentadas respectivamente em (131) e (132) em função da relação de tensão M e do fator de modulação m.

$$FP=\frac{P}{S}=\frac{\frac{1}{\pi}.\int_0^{\pi}\frac{(1-m.sen(\omega t))^2}{1-M.sen(\omega t)}.sen^2(\omega t)d(\omega t)}{\frac{1}{\sqrt{2}}.\sqrt{\frac{1}{\pi}.\int_0^{\pi}\frac{(1-m.sen(\omega t))^4.sen^2(\omega t)}{(1-M.sen(\omega t))^2}d(\omega t)}} \quad (131)$$

$$DHT=\sqrt{\frac{1}{FP^2}-1} \quad (132)$$

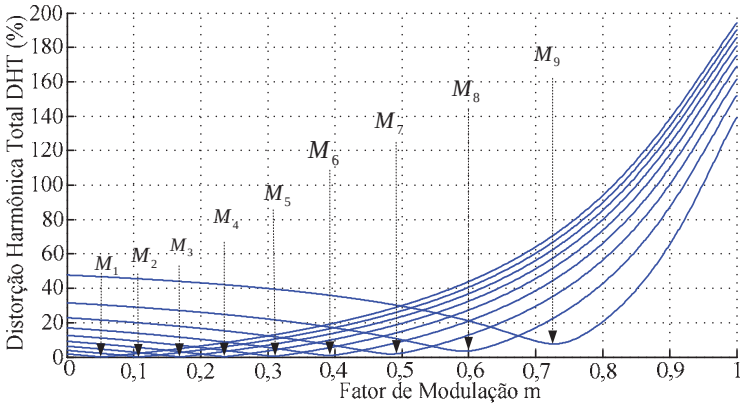
A partir da resolução das equações (131) e (132) determina-se uma família de curvas da DHT e do FP da estrutura, ambas em função do fator de modulação m considerando ampla faixa de operação de tensão do conversor (M_n=[0,1 0,9]). Tais curvas são apresentadas na Figura 80 e Figura 81.

Figura 80 - FP como função do fator de modulação m, para valores distintos da relação de Tensão M.



Fonte: Costa e Silva (2011)

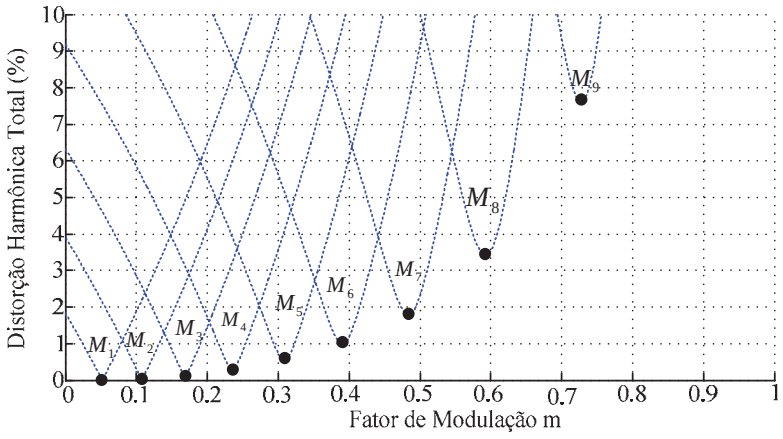
Figura 81-DHT como função do fator de modulação m, para valores distintos da relação de Tensão M.



Fonte: Costa e Silva (2011)

Uma vez conhecido o nível de operação de tensão do conversor (M), é possível através dos gráficos obtidos, escolher o valor ótimo para o fator de modulação (m). Tal valor refere-se aos pontos máximos das curvas de FP e aos pontos mínimos das curvas da DHT. Restringindo o eixo das ordenadas no gráfico da Figura 81, é possível visualizar em detalhes os valores ótimos de m apresentados na Figura 82.

Figura 82 - Valores ótimos para o Fator de Modulação m.



Fonte: Costa e Silva (2011)

A corrente total de carga pode ser obtida em (133) através da soma dos correntes médias nos diodos superiores de cada célula durante um período de rede.

$$I_o = N.\frac{1}{2\pi}\left[\int_0^{\pi} I_{D1,1}(\omega t).d(\omega t) + \int_{\pi}^{2\pi} I_{D1,2}(\omega t).d(\omega t)\right] = N.2.\frac{1}{2.\pi}.\int_0^{\pi} I_{D1,1}(\omega t).d(\omega t) \tag{133}$$

Adotando-se o valor adequado para o fator de modulação, pode-se considerar a aproximação realizada em (134).

$$(1-m.sen(\omega t))^2 \approx (1-M.sen(\omega t)) \tag{134}$$

Desta forma, reescreve-se (133) como:

$$I_o = N.\frac{1}{\pi}.\int_0^{\pi} \frac{V_p.D^2.M}{2.L.f_s}.sen^2(\omega t)d(\omega t) \tag{135}$$

Resolvendo a integral de (135) têm-se:

$$I_o = N.\frac{V_p.D^2.M}{4.L.f_s} \tag{136}$$

Para encontrar o ponto crítico da operação do conversor, é necessário reescrever a equação da corrente de pico no indutor indicada em (27) considerando a razão cíclica variável deduzida em (126). Assim, a equação (137) descreverá a envoltória da corrente no indutor.

$$I_p(\omega t) = \frac{V_p.D}{L.f_s}(\left|sen(\omega t)\right| - m.\left|sen^2(\omega t)\right|) \tag{137}$$

Os pontos críticos ocorrem nos pontos máximos de (137).

$$\frac{d\left(I_p(\omega t)\right)}{d\left(\omega t\right)} = \cos(\omega t).(1-2.m.sen(\omega t)) = 0 \tag{138}$$

Resolvendo (138), encontra-se em (139) os ângulos críticos para duas condições específicas.

$$\omega t_{critico} = \begin{cases} \dfrac{\pi}{2} & para\ m < 0,5 \\ arc\,sen\left(\dfrac{1}{2.m}\right) & para\ m > 0,5 \end{cases} \tag{139}$$

No modo de condução crítica a relação de (140) é válida:

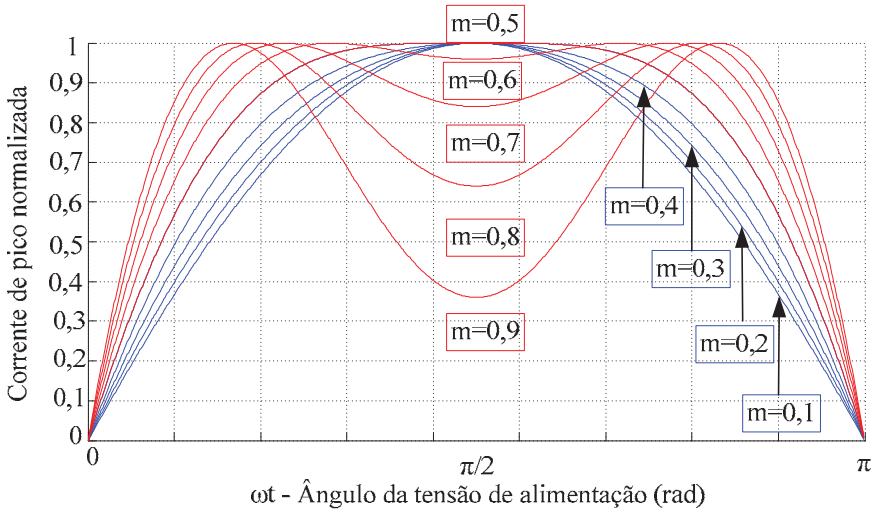
$$d_{critico}\left(\omega t = \omega t_{critico}\right) = D.\left(1-m.sen(\omega t_{critico})\right) = (1-M) \tag{140}$$

Combinando (140) e (139), encontram-se os valores máximos para a razão cíclica nos dois casos específicos.

$$D = \begin{cases} \dfrac{(1-M)}{(1-m)} & para\ m < 0,5 \\ 2.(1-M) & para\ m > 0,5 \end{cases} \tag{141}$$

Normalizando (137) com relação aos seus valores máximos, podem-se descrever as envoltórias da corrente no indutor para valores distintos de m como indicado na Figura 83.

Figura 83 - Envoltória da corrente no indutor, considerando diferentes níveis de Tensão (M).



Fonte: Costa e Silva (2011)

Considerando-se o conversor operando com 100% de rendimento, a corrente de saída também pode ser escrita como segue:

$$I_o = \frac{P_N}{V_o} \tag{142}$$

Substituindo-se (141) e (142) em (136), têm-se em (143) o valor máximo da indutância de projeto necessária para garantir a operação em MCD no indutor de cada célula.

$$L_{\max} = \begin{cases} N.\dfrac{(V_p.(1-M))^2}{4.(1-m)^2.fs.P_N} & para\ m < 0,5 \\ N.\dfrac{(V_p.(1-M))^2}{fs.P_N} & para\ m > 0,5 \end{cases} \tag{143}$$

4.3.Especificações de Projeto e Resultados de Simulação.

Para que se possa comparar o desempenho do sistema de controle com razão cíclica variável no que se refere à regulação da tensão de saída e à eliminação do conteúdo harmônico de baixa ordem da corrente de entrada, projetou-se o conversor de potência considerando as mesmas especificações de projeto apresentadas na tabela 4.

A análise comparativa das componentes harmônicas de corrente de entrada entre os sistemas de controle constante e variável da razão cíclica será realizada por meio de gráficos e tabelas tomando como referência os limites estabelecidos pela norma IEC-61000-3-2 (Classe A).

4.3.1. Exemplo de Projeto.

A tabela 9 contém as especificações de projeto para o estágio de Potência do conversor PWM CA-CC *bridgeless boost* de 1,5kW/400V, entrelaçado em 3 células, com controle variável da razão cíclica.

Tabela 9 - Especificações de Projeto

Descrição	Simbologia	Valores
Número de células	N	3
Potência nominal	P_N	1,5 kW
Tensão eficaz	V_{ef}	220 V
Tensão de pico	V_p	311 V
Tensão média retificada	V_{in}	198 V
Frequência da rede	F_{Rede}	60 Hz
Período de rede	T_{Rede}	16,7 ms
Frequência angular da rede	ω_{Rede}	377 rad/s
Tensão de saída	V_o	400 V
ondulação de tensão	ΔV_o	10 V
Relação entre Tensões de pico e de saída	M	0,778
Ganho de tensão no pico	G	1,286
Ganho médio de tensão	G_M	2,020
Frequência de chaveamento	f_s	20 KHz
Período de chaveamento	T_s	50 µs
Fator de modulação	m	0,566

Fonte: Costa e Silva (2011)

Cálculo da indutância máxima de projeto:

Considerando as especificações de projeto, calcula-se o valor da razão cíclica crítica a partir de (141) em (144).

$$D_{critico} = 2.(1-M) = 0,444 \tag{144}$$

A partir das especificações contidas na tabela 9 e substituindo-se os valores calculados em (144) na equação (143), calcula-se a indutância máxima de projeto em (145).

$$L_{\max ima} = \frac{N.(V_p.(1-M))^2}{fs.P_N} = 478\mu H \tag{145}$$

Cálculo da resistência de carga:

O valor da resistência de carga referente à potência nominal é calculado em (146).

$$R = \frac{V_o^{\,2}}{P_N} = 107\Omega \tag{146}$$

Cálculo da capacitância de filtro de saída:

O cálculo da capacitância de filtro de saída é idêntico ao apresentado em (120).

$$C = \frac{P_N}{2.\pi.2.f_{rede}.V_o.\Delta V_o} = 498\ \mu F \tag{147}$$

Para efeito de simulação adotou-se o valor comercial de 680 µF.

Os valores referentes aos componentes do circuito de potência são apresentados resumidamente na tabela 10.

Tabela 10 - Projeto para Estágio de Potência

Descrição	Simbologia	Valores
Indutância Máxima de cada Célula	L_{max}	478 µH
Capacitância de Filtro de Saída	C	680 µH
Resistência de Carga	R	107 Ω

Fonte: Costa e Silva (2011)

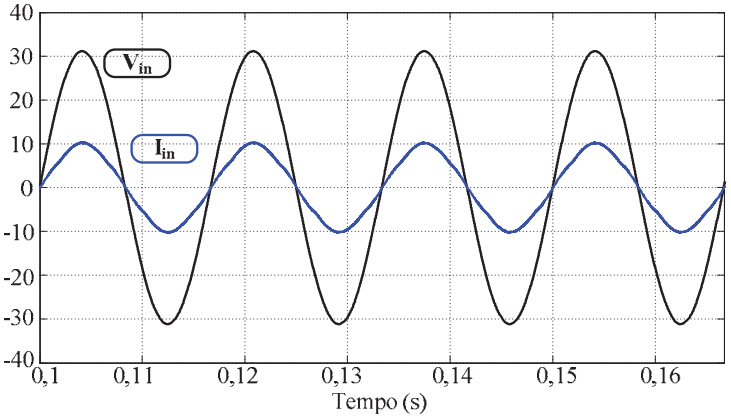
O projeto do regulador de tensão sofre alterações, uma vez que a FT que relaciona a tensão de saída à razão cíclica se altera devido aos valores distintos de D.

$$G_R(s) = 1,6558.\frac{\left(1+\frac{58,32}{s}\right)}{\left(1+\frac{s}{152,30}\right)} \tag{148}$$

4.3.2. Resultados de Simulação.

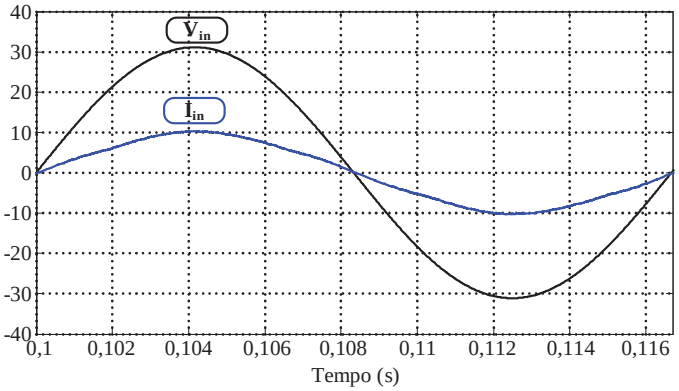
Novamente utilizou-se o software *MATLAB/Simulink* para a simulação do conversor proposto na Figura 77 e Figura 78. As formas de onda de tensão e corrente de entrada podem ser visualizadas na Figura 84, e em detalhe na Figura 85.

Figura 84 - Tensão (escala 1:10) e corrente de entrada.



Fonte: Costa e Silva (2011)

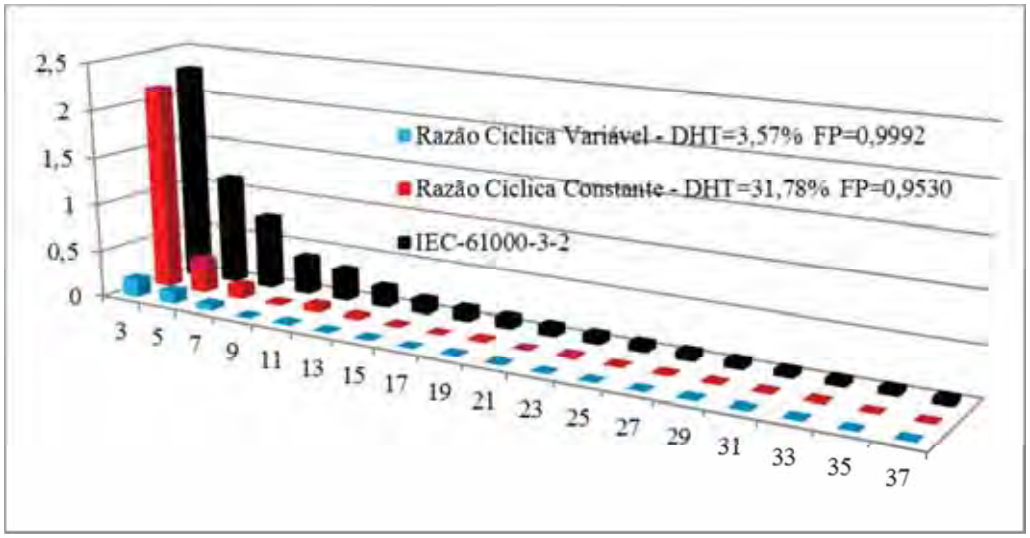
Figura 85 - Tensão (escala 1:10) e corrente de entrada em um ciclo de rede.



Fonte: Costa e Silva (2011)

O conteúdo harmônico da corrente de entrada é apresentado na Figura 86 em conjunto com os limites estabelecidos pela norma IEC-61000-3-2 classe A. Para efeito de comparação, o conteúdo harmônico da corrente de entrada do conversor operando com modulação constante da razão cíclica também está disposto no gráfico da Figura 86.

Figura 86 - Comparação espectral entre sistemas de controle com razão cíclica constante e variável.



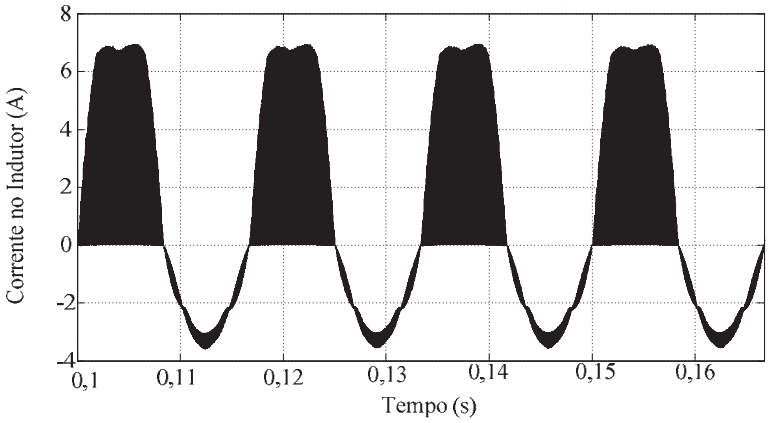
Fonte: Costa e Silva (2011)

É possível notar a eficácia da modulação variável da razão cíclica em atenuar as componentes harmônicas de baixa ordem, principalmente terceira e quinta harmônicas. A DHT diminui significantemente quando comparada a modulação com razão cíclica constante.

A forma de onda das correntes nos indutores superiores de cada célula (L_{1p}, L_{2p} e L_{3p}) é ilustrada na Figura 87. As formas de onda das correntes nos indutores inferiores das células (L_{1n}, L_{2n} e L_{3n}) são idênticas à ilustrada na Figura 87, a menos de um defasamento relativo de 180 graus entre estas.

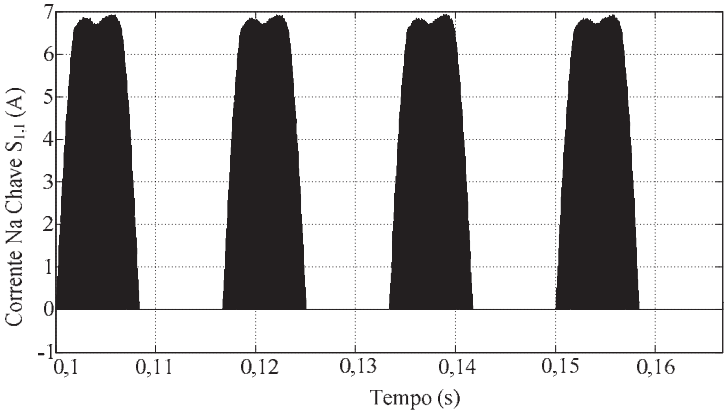
As correntes nas chaves e nos diodos de saída (*boost*) relativas ao primeiro braço de cada célula conversora são ilustradas respectivamente na Figura 88 e Figura 89.

Figura 87 - Corrente no Indutor L_{1p}.



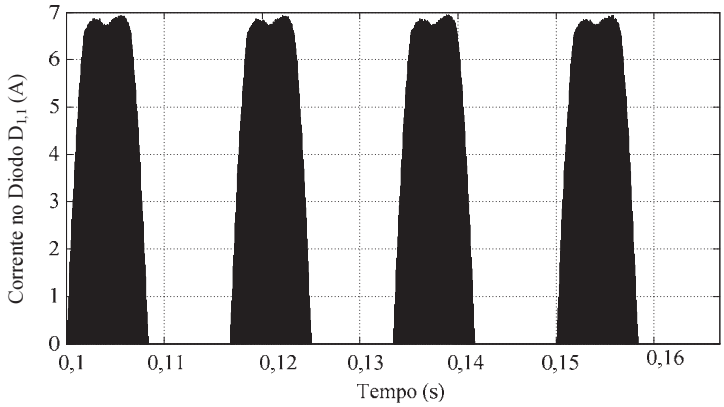
Fonte: Costa e Silva (2011)

Figura 88 - Corrente na Chave $S_{1,1}$.



Fonte: Costa e Silva (2011)

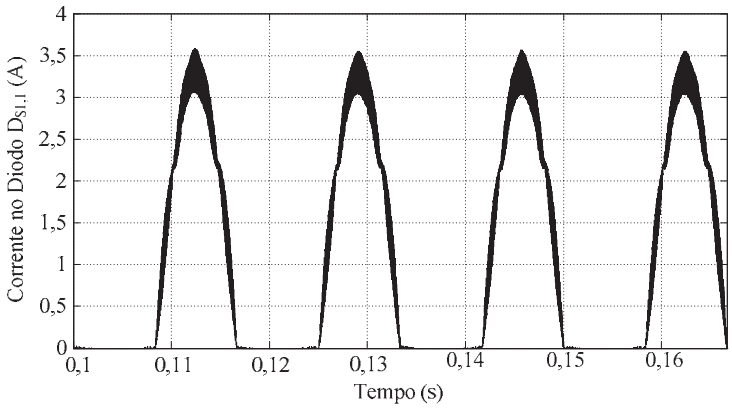
Figura 89 - Corrente no Diodo $D_{1,1}$.



Fonte: Costa e Silva (2011)

A corrente nos diodos antiparalelos das chaves semicondutoras dos primeiros braços das células conversoras é apresentada na Figura 90.

Figura 90 - Corrente no Diodo $D_{S1,1}$.



Fonte: Costa e Silva (2011)

Na tabela 11 é realizada uma comparação entre os esforços de corrente nos elementos do conversor para os dois sistemas de controle em plena carga.

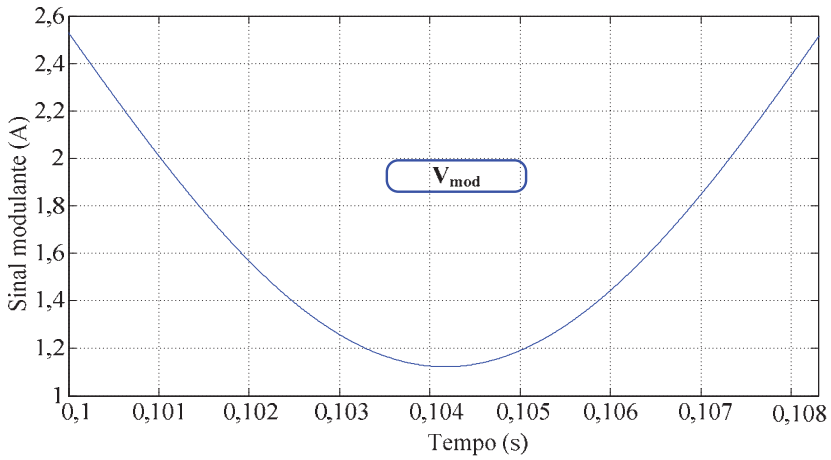
Tabela 11 - Esforços de Corrente nos Indutores e Semicondutores da Estrutura

Tipo de Controle	Correntes (A)	Indutor	Chave	Diodo de Saída	Diodo Antiparalelo	Entrada
Razão Cíclica Variável	Corrente de pico	6,90	6,90	6,90	3,5	10,00
	Corrente eficaz	2,68	1,30	1,70	1,64	6,92
	Corrente média	0,00	0,42	0,63	1,05	0,00
Razão Cíclica Constante	Corrente de pico	9,20	9,20	9,20	4,80	13,5
	Corrente eficaz	2,82	1,22	1,88	1,72	7,25
	Corrente média	0,00	0,31	0,62	0,94	0,00

Fonte: Costa e Silva (2011)

O sinal modulante do PWM em um ciclo de rede para o conversor operando em plena carga é apresentado na Figura 91.

Figura 91 - Sinal Modulante em um semiciclo de rede.

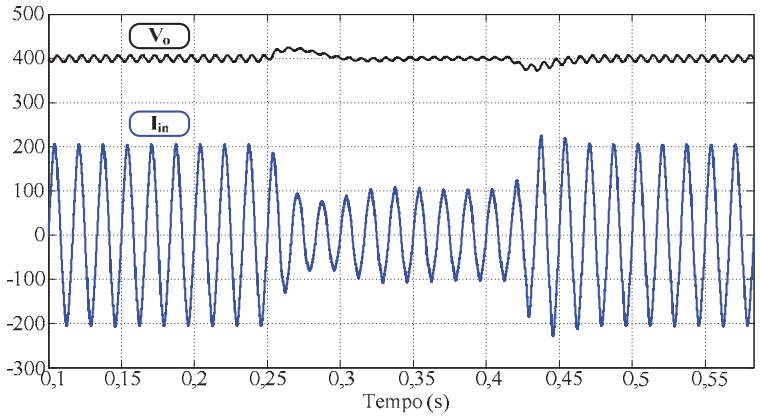


Fonte: Costa e Silva (2011)

Como se vê na Figura 91, a razão cíclica varia de acordo com a fase da tensão de alimentação como forma de diminuir a distorção de baixa ordem existente na corrente de entrada.

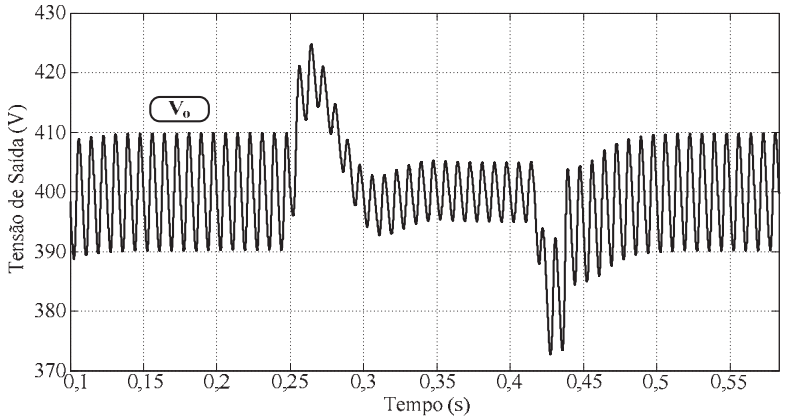
A regulação da tensão de saída foi testada novamente para variações de carga de 50% do valor nominal. Com intuito de manter o aspecto comparativo entre os sistemas de controle, o tipo e a duração das perturbações foram mantidos idênticos aos simulados no capítulo 3. A resposta da saída aos degraus de carga pode ser visualizada na Figura 92 e Figura 93.

Figura 92 - Tensão de Saída e Corrente de entrada (20:1).



Fonte: Costa e Silva (2011)

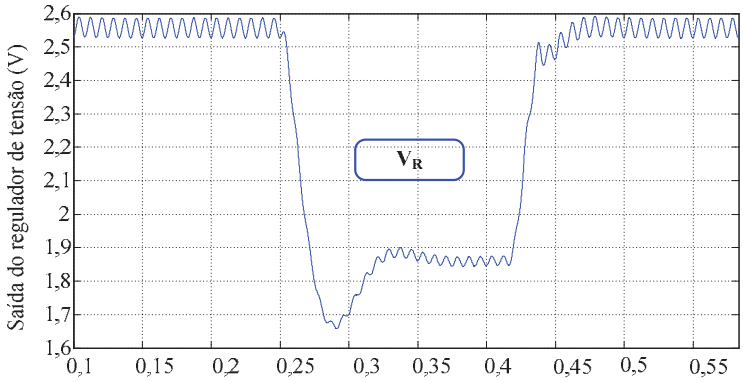
Figura 93 - Detalhe da Tensão de Saída.



Fonte: Costa e Silva (2011)

O regulador de tensão, através da variação de sua saída CC, atualiza o sinal modulante na ocorrência de variações na carga. A Figura 94 ilustra a atuação do regulador de tensão.

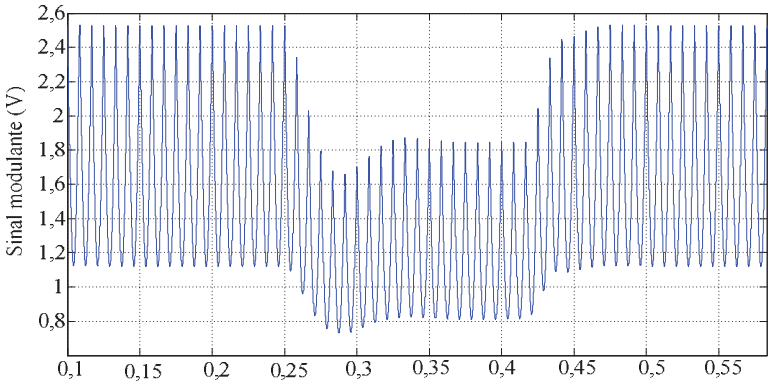
Figura 94 - Resposta do Regulador de Tensão às variações de carga.



Fonte: Costa e Silva (2011)

O sinal modulante atualizado pelo regulador de tensão, dada às variações de carga, é ilustrado na Figura 95.

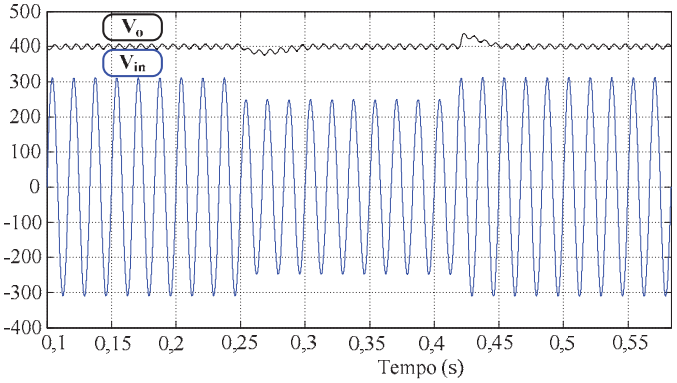
Figura 95 - Sinal Modulante para variações de carga.



Fonte: Costa e Silva (2011)

Para o teste do sistema de controle frente às variações na tensão de entrada, simulou-se um afundamento momentâneo de tensão (SAG) de 20% do valor nominal (220V eficaz para 176 V eficaz) com duração de dez ciclos de rede. O comportamento da saída e o distúrbio na tensão de entrada são plotados juntos na Figura 96.

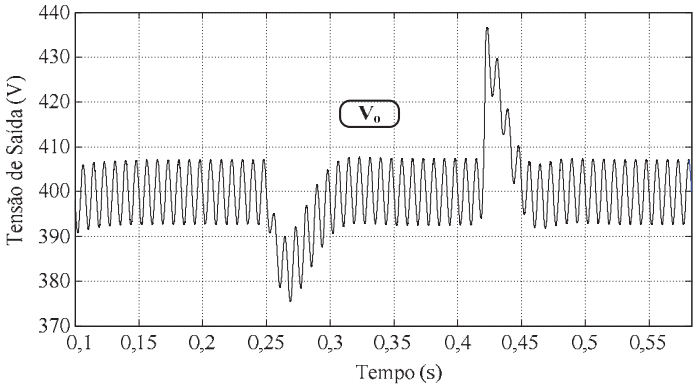
Figura 96 - Tensões de Saída e de Entrada.



Fonte: Costa e Silva (2011)

O comportamento transitório da tensão de saída pode ser visualizado com mais detalhes na Figura 97.

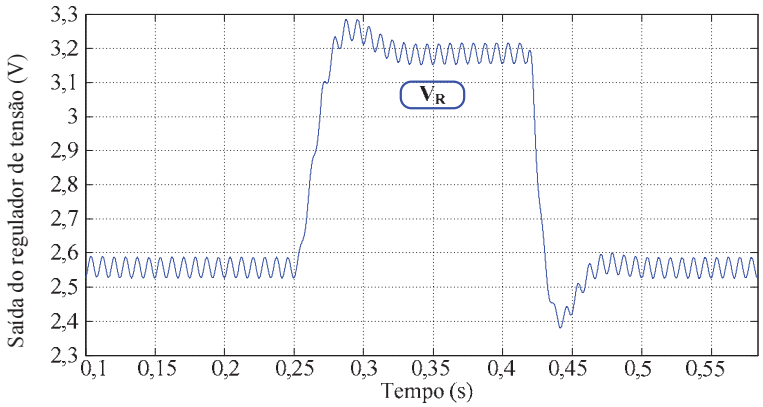
Figura 97 - Detalhe da Tensão de Saída.



Fonte: Costa e Silva (2011)

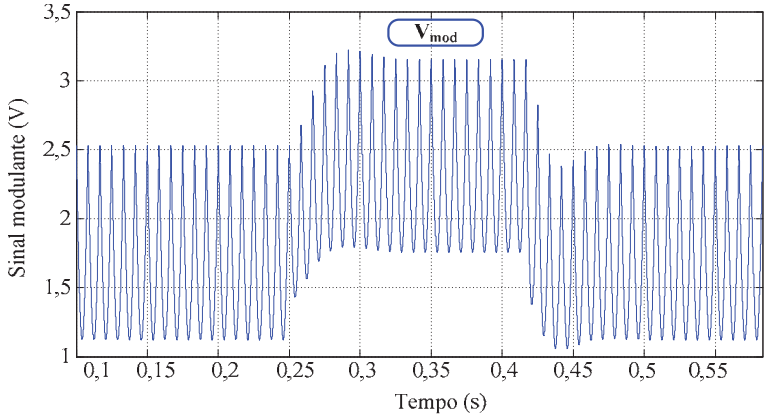
A atuação do regulador de tensão e o efeito provocado no sinal modulante durante as variações na tensão de entrada são ilustrados respectivamente na Figura 98 e Figura 99.

Figura 98 - Resposta do Regulador de Tensão frente ao distúrbio na Tensão de Entrada.



Fonte: Costa e Silva (2011)

Figura 99 - Comportamento do Sinal Modulante frente às variações na Tensão de Entrada.



Fonte: Costa e Silva (2011)

Os índices de desempenho do sistema de controle da tensão de saída frente às variações de carga e distúrbios na tensão de entrada são apresentados na tabela 12. Os valores relativos ao controle com razão cíclica constante também são inseridos na tabela 12 como instrumento de comparação.

Tabela 12 - Índices de Desempenho do Sistema de Controle

Tipo de Controle	Tipo de Perturbação	Instante da Perturbação (ms)	Tempo de Estabelecimento (ms)	Porcentagem de *Overshoot/Undershoot* (%)
Razão Cíclica Variável	Variações de Carga (Figura 93)	250,0	50	5,0
		416,7	50	5,0
	Distúrbios na Alimentação (Figura 97)	250,0	50	5,0
		416,7	50	7,5
Razão Cíclica Constante	Variações de Carga (Figura 70)	250,0	50	4,5
		416,7	50	4,5
	Distúrbios na Alimentação (Figura 75)	250,0	50	7,5
		416,7	50	15

Fonte: Costa e Silva (2011)

4.4.Conclusões

O objetivo deste capítulo consistiu em aplicar ao conversor PFP um sistema de controle com modulação variável da razão cíclica, de modo a suprir ou diminuir as componentes harmônicas de baixa ordem existentes na corrente de entrada do conversor operando em MCD.

A escolha correta do fator de modulação m via análise gráfica (Figura 81) proporcionou uma drástica queda na DHT da corrente de entrada. Os resultados de simulação indicaram uma queda da DHT de 31,78% para 3,57%. Consequentemente o FP passou de 0,9530 para 0,9992.

Como consequências da modificação no sistema de controle pode-se citar:

- Aumento de 20% na indutância máxima de projeto.
- Aumento dos esforços de corrente transistor e diminuição no diodo.
- Melhor resposta do sistema de controle na rejeição dos efeitos causados na tensão de saída pelos distúrbios na alimentação.

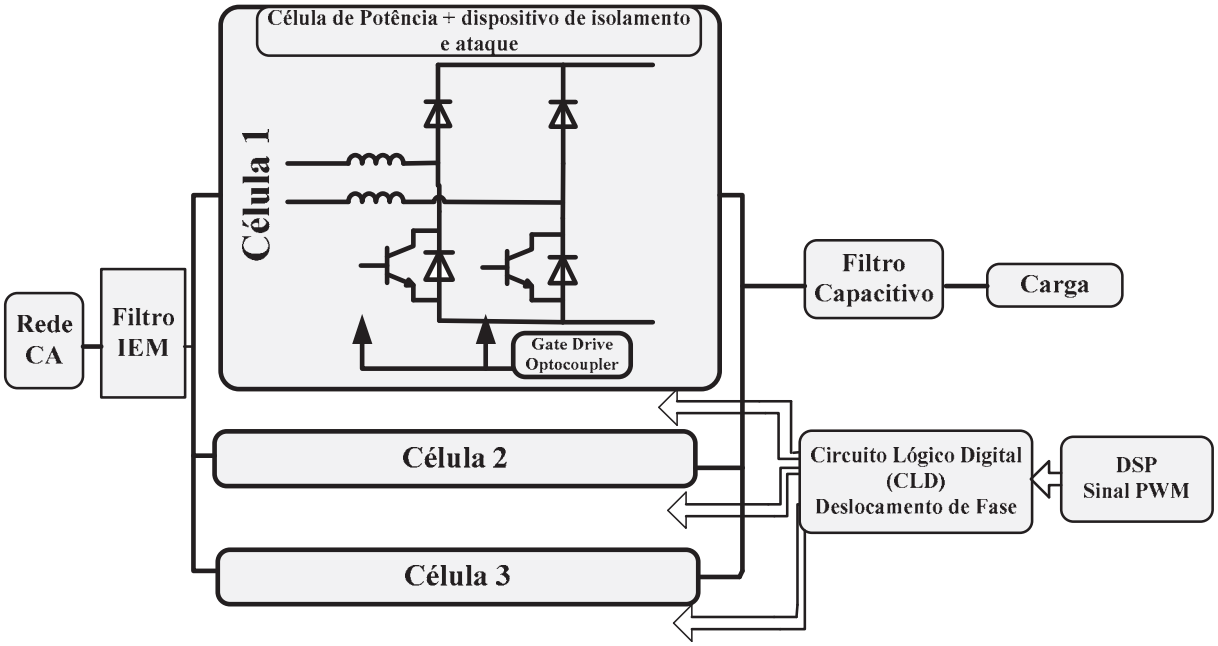
Capítulo 5

Resultados Experimentais

5.1.Considerações Iniciais

Neste capítulo são apresentados resultados experimentais referentes à implementação do protótipo conversor PFP *bridgeless boost* entrelaçado de 1,5kW/400V operando em malha aberta. O esquema de implementação é apresentado na Figura 100.

Figura 100 - Esquema de implementação.



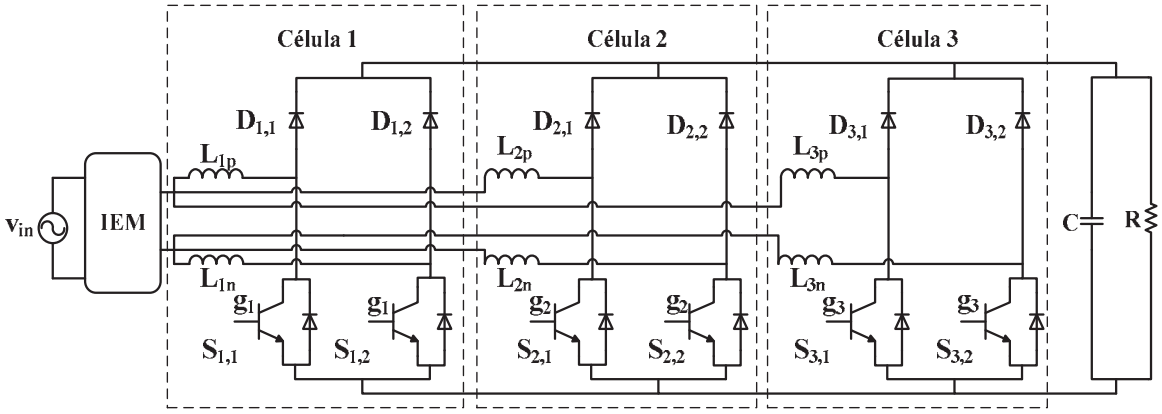
Fonte: Costa e Silva (2011)

O protótipo é constituído de três células *bridgeless* entrelaçadas, sendo que cada célula processa 500 W de potência. O protótipo foi implementado considerando a tensão eficaz de alimentação igual 220V com frequência de 60Hz, para fornecer tensão CC na saída de 400V, processando uma potência total de 1,5 kW.

O esquema elétrico relativo ao estágio de potência do conversor PFP *bridgeless boost* entrelaçado em três unidades celulares é apresentado na Figura 101.

O sinal modulado por largura de pulso responsável pelo acionamento das chaves semicondutoras de potência é gerado pelo processador de sinal digital (em inglês *Digital Signal Processor* - DSP).

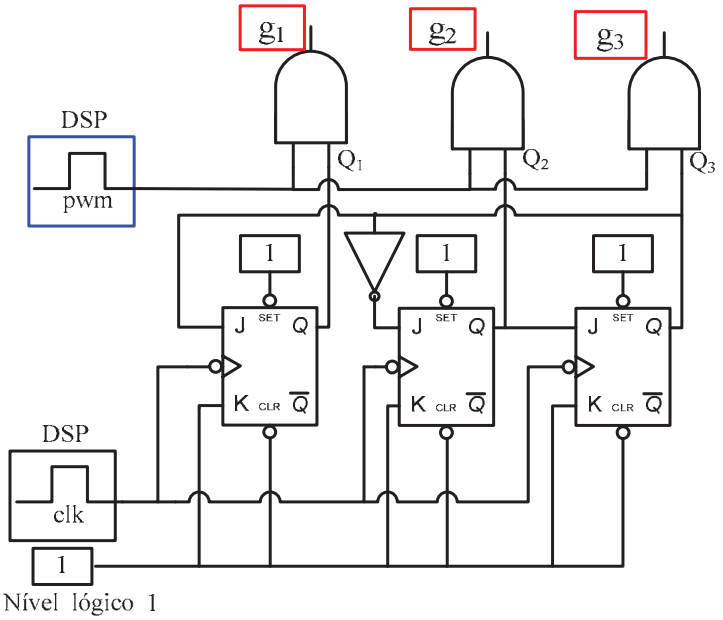
Figura 101 - Esquema elétrico do conversor *bridgeless boost* entrelaçado.



Fonte: Costa e Silva (2011)

Devido ao entrelaçamento das três células, é necessário gerar três sinais defasados de $T_S/3$ para cada par de chaves pertencentes a cada unidade celular. O respectivo defasamento foi implementado através de um circuito lógico digital (CLD) apresentado na Figura 102.

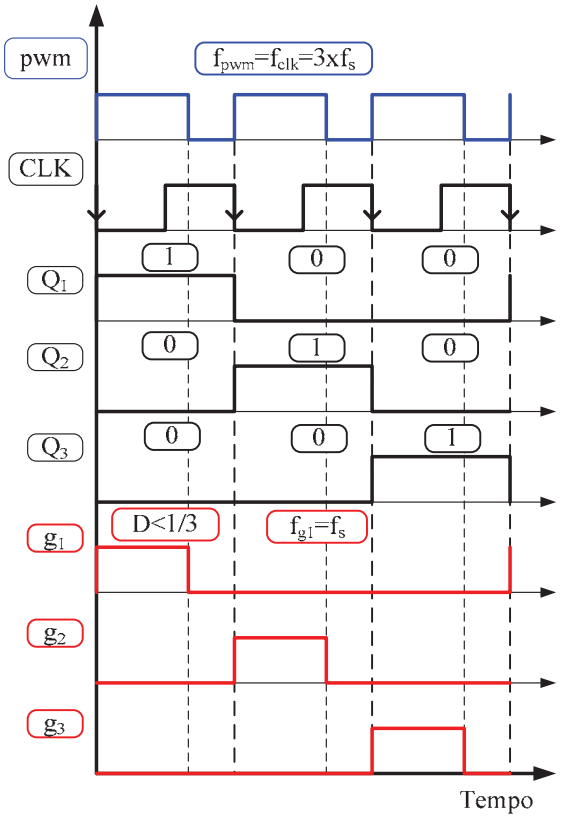
Figura 102 - Circuito lógico digital (CLD) responsável pelo deslocamento de fase.



Fonte: Costa e Silva (2011)

Inicialmente, gera-se através do DSP o sinal pwm desejado com o triplo da frequência de chaveamento requerida. Projeta-se um contador síncrono responsável pela geração dos três sinais (Q_1, Q_2 e Q_3) defasados de cento e vinte graus entre si; tais sinais são comparados através de três portas lógicas *AND* com o sinal pwm gerado pelo DSP. O resultado das operações lógicas são os respectivos sinais pwm (g_1, g_2 e g_3) responsáveis pelo acionamento das chaves semicondutoras. O diagrama lógico temporal referente às operações descritas é apresentado na Figura 103.

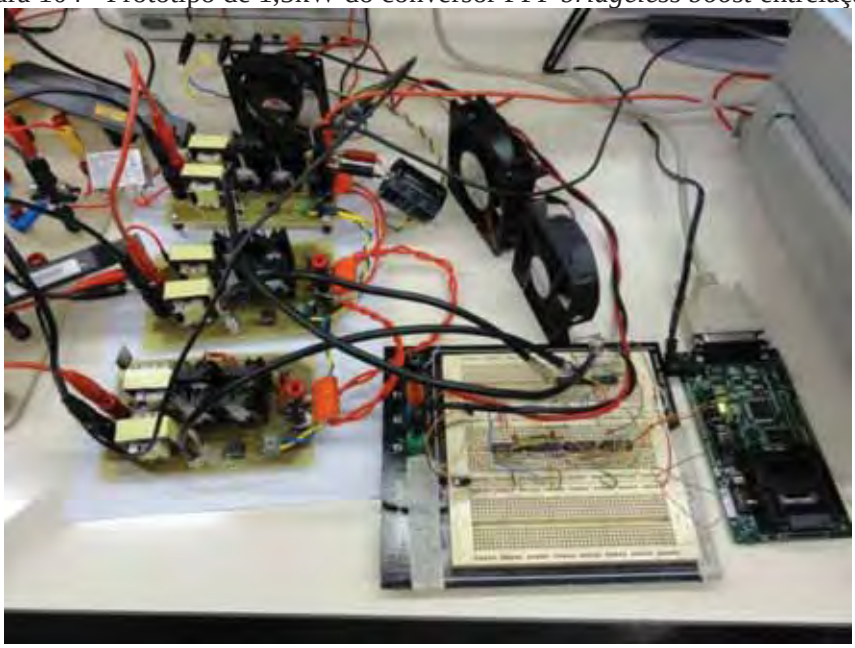
Figura 103 - Diagrama lógico temporal.



Fonte: Costa e Silva (2011)

Na Figura 104 é possível visualizar o protótipo implementado, onde se podem identificar as três células *bridgeless* referentes ao estágio de potência, como também o processador de sinal digital responsável pela geração do sinal pwm, e o circuito lógico digital (CLD) responsável pelo deslocamento de fase necessário para o entrelaçamento das células.

Figura 104 - Protótipo de 1,5kW do conversor PFP *bridgeless boost* entrelaçado.



Fonte: Costa e Silva (2011)

5.2.Especificação do estágio de potência.

A tabela 13 apresenta os dados de projeto necessários para o cálculo dos elementos acumuladores de energia do estágio de potência do conversor.

Tabela 13 - Especificações de Projeto

Descrição	Simbologia	Valores
Número de células	N	3
Potência nominal	P_N	1,5 kW
Tensão eficaz de entrada	V_{ef}	220 V
Tensão de pico de entrada	V_p	311 V
Tensão de saída	V_o	400 V
Relação entre tensões de pico e de saída	M	0,778
Ganho de tensão no pico	G	1,286
Frequência da rede	F_{Rede}	60 Hz
Período de rede	T_{Rede}	16,7 ms
Ondulação de tensão	ΔV_o	10 V
Frequência de chaveamento	f_s	33 kHz
Período de chaveamento	T_s	30 µs

Fonte: Costa e Silva (2011)

O procedimento de cálculo é similar ao realizado na seção 3.4.1. Contudo é necessário ressaltar que os resultados obtidos do protótipo foram realizados para a operação descontínua no ponto crítico (pico da senóide). Utilizou-se para o cálculo da indutância uma razão cíclica de projeto igual a 70% da razão cíclica crítica. Desta forma os valores referentes aos componentes do circuito de potência são apresentados na tabela 14.

Tabela 14- Projeto para Estágio de Potência

Descrição	Simbologia	Valores
Indutância de cada célula	L	119 µH
Capacitância de Filtro de Saída	C	390 µF
Resistência de Carga	R	107 Ω

Fonte: Costa e Silva (2011)

A partir do valor calculado para a indutância, considerando os valores de pico e eficaz simulados para a corrente no indutor, projetou-se fisicamente o elemento magnético utilizando o núcleo de ferrite do tipo EE do modelo NEE-30/15/14-3500-IP6 do fabricante Thornton com 41 espiras do fio AWG 18.

Os transistores de potência utilizados como chaves ativas bidirecionais em corrente devem suportar esforços de tensão de 400V e conduzir até 3A de corrente eficaz. Para a realização do protótipo utilizou-se o transistor IGBT com diodo antiparalelo da infineon, modelo IKP10N60T, com tensão de bloqueio de 600V e corrente nominal de 10A.

Os diodos utilizados em cada célula de potência devem bloquear pelo menos 400V de tensão e conduzir corrente eficaz acima de 2A. Utilizou-se no protótipo diodos ultra-rápidos, modelo MUR860, com capacidade de condução de 8A e bloqueio de 600V.

Com intuito de proteger o dispositivo DSP, utilizaram-se massas distintas para as referências de potência e de sinal. Portanto, para o isolamento e o ataque do transistor IGBT, utilizou-se o dispositivo optoacoplador e *gate drive* HCLP-3150. Tal dispositivo necessita de alimentação CC na faixa de 15 a 30 V.

A tabela 15 resume as especificações dos principais componentes integrantes de cada célula conversora *bridgeless*.

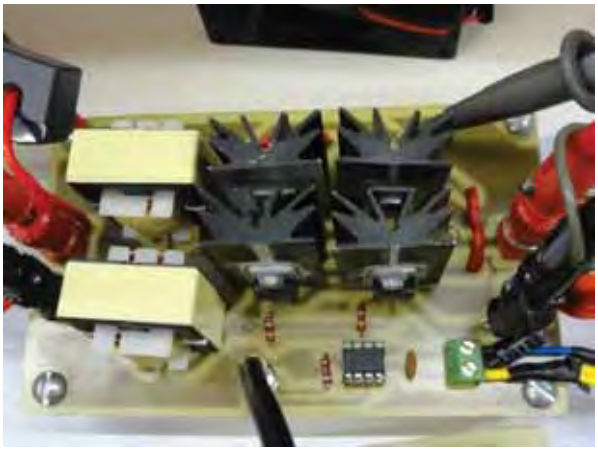
Tabela 15 - Componentes de uma célula *bridgeless*

Componente	Quantidade	Modelo
Indutor	2	Núcleo EE-30/15/14 , 41 espiras AWG 18
Transistor IGBT	2	IKP10N60T
Diodo Ultra-Rápido	2	MUR860
Optoacoplador *Gate Drive*	1	HCLP-3150

Fonte: Costa e Silva (2011)

A célula *bridgeless* implementada é apresentada na Figura 105.

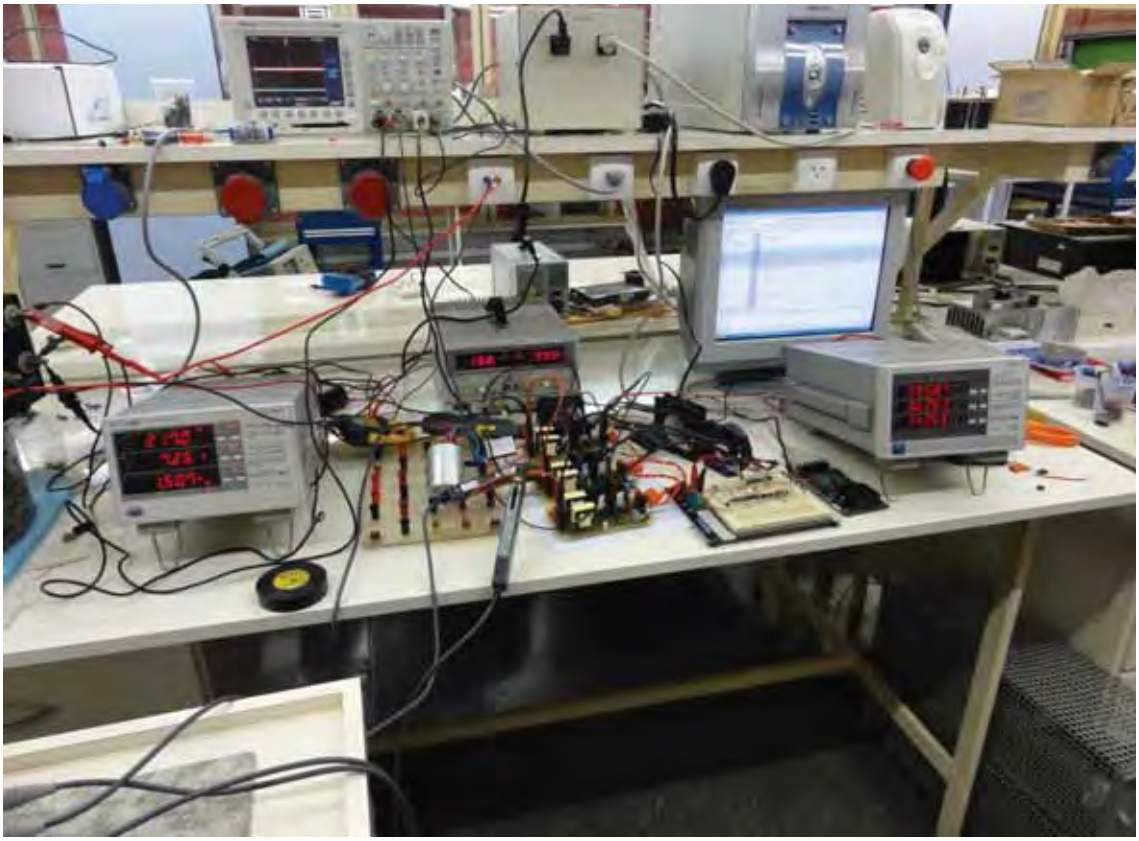
Figura 105 - Célula *bridgeless boost*.



Fonte: Costa e Silva (2011)

A Figura 106 apresenta uma visão geral do ensaio realizado com o protótipo implementado.

Figura 106 - Arranjo laboratorial.



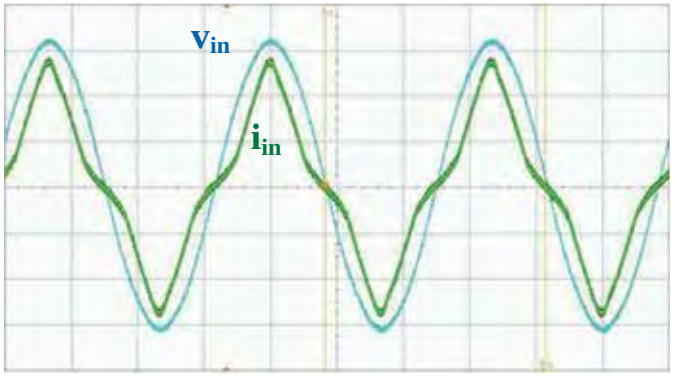
Fonte: Costa e Silva (2011)

5.3. Resultados experimentais para o conversor PFP *bridgeless boost* entrelaçado.

As formas de onda de tensão e de corrente de entrada do conversor são apresentadas na Figura 107 para os valores nominais de operação do conversor.

Figura 107 - Tensão e Corrente de entrada.

Escalas: Tensão (100V/div), corrente (5A/div) e tempo (5ms/div).

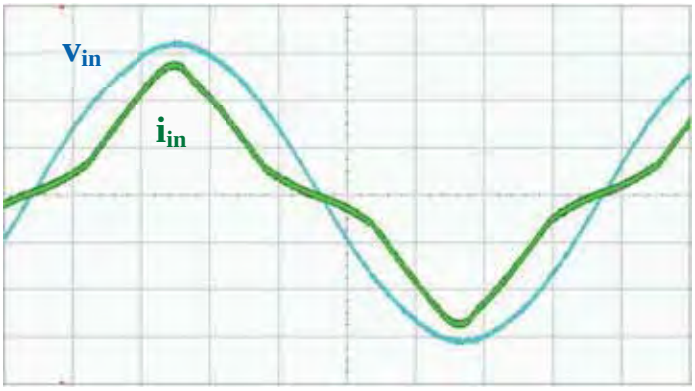


Fonte: Costa e Silva (2011)

A distorção característica da corrente de entrada, já discutida em outros capítulos, pode ser visualizada em detalhe na Figura 108.

Figura 108 - Tensão e Corrente de entrada.

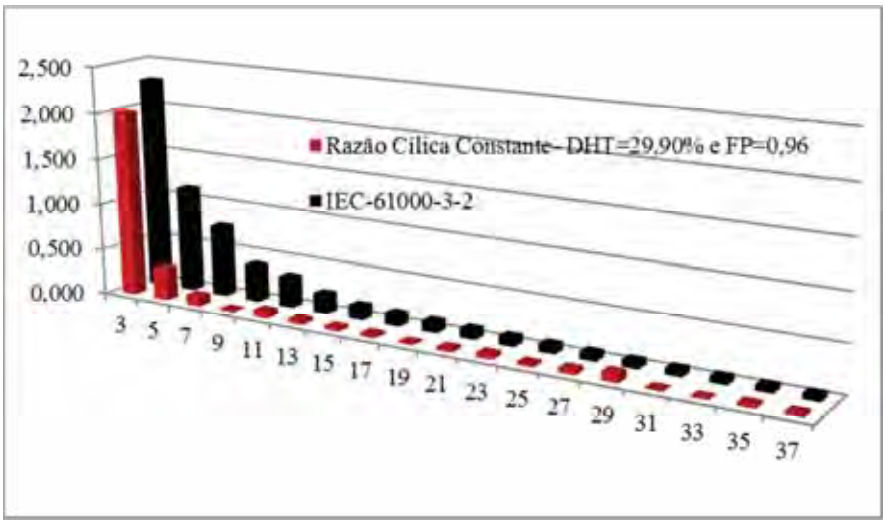
Escalas: Tensão (100V/div), corrente (5A/div) e tempo (2ms/div).



Fonte: Costa e Silva (2011)

A análise espectral da corrente de entrada é apresentada na Figura 109 considerando as 40 primeiras componentes, onde cada componente harmônica é comparada com os limites individuais estabelecidos pela norma IEC-61000-3-2 classe A. A distorção harmônica total e o fator de potência encontrados experimentalmente estão de acordo com os previstos nos gráficos teóricos do capítulo 2 e com os valores encontrados nas simulações do capítulo 3. As harmônica críticas, como o previsto, aparecem nas ordens 3, 5 e 7 devido a relação de baixo ganho de tensão (G=1,286) do conversor para a determinada operação.

Figura 109 - Análise Espectral da corrente de entrada .



Fonte: Costa e Silva (2011)

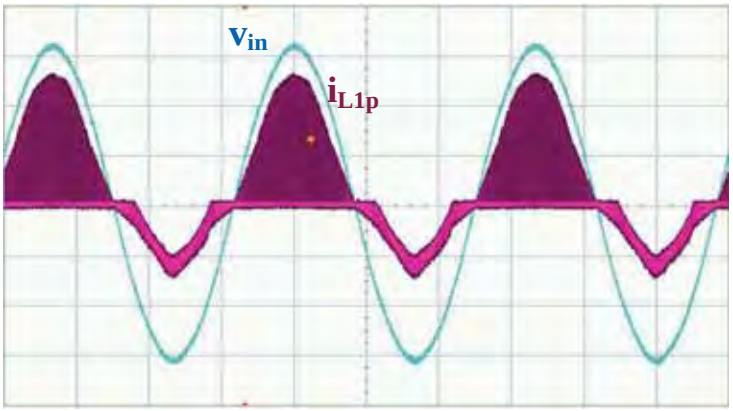
Utilizando-se dois wattímetros digitais, mediu-se as potências na entrada do conversor, proveniente da rede CA, e na saída do mesmo, disponível para carga. Com o resultado calculou-se o rendimento da estrutura.

$$\eta(\%) = \frac{P_o}{P_{in}}.100 = \frac{1435}{1507}.100 = 95,2\% \tag{149}$$

As formas de onda da tensão de entrada e da corrente no indutor L_{1p} são apresentadas na Figura 110; ainda na Figura 111 é possível visualizar em detalhe o comportamento em baixa frequência da corrente no indutor em um ciclo de rede.

Figura 110 - Tensão de entrada e corrente no indutor.

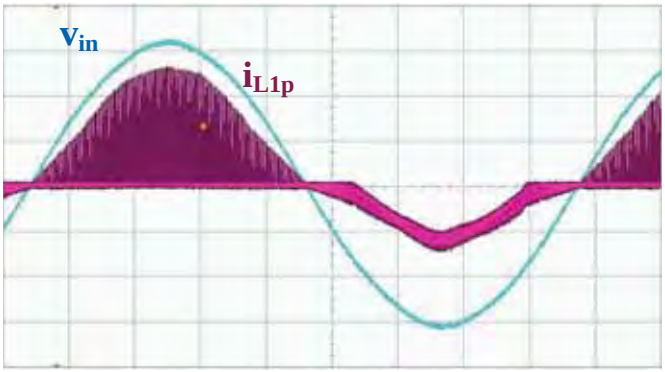
Escalas: Tensão (100V/div), corrente (5A/div) e tempo (5ms/div).



Fonte: Costa e Silva (2011)

Figura 111 - Tensão de entrada e corrente no indutor em um ciclo de rede.

Escalas: Tensão (100V/div), corrente (5A/div) e tempo (2ms/div).

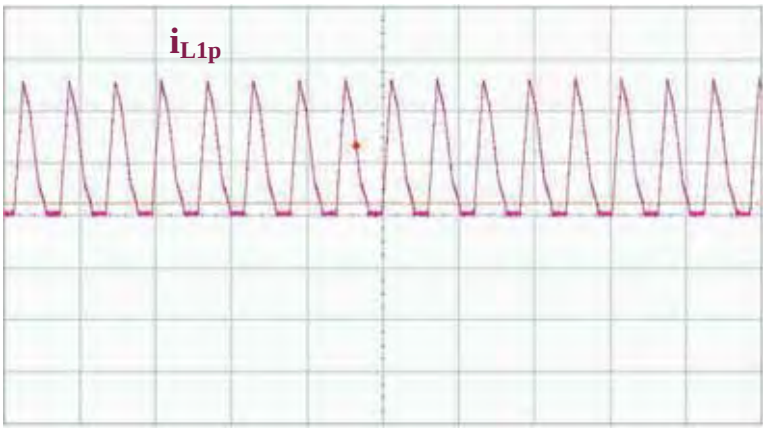


Fonte: Costa e Silva (2011)

O comportamento em alta frequência da corrente no indutor no instante de pico da tensão de alimentação é ilustrado na Figura 112.

Figura 112 - Detalhe da corrente no indutor em alta frequência.

Escalas: corrente (5A/div) e tempo (50µs/div).

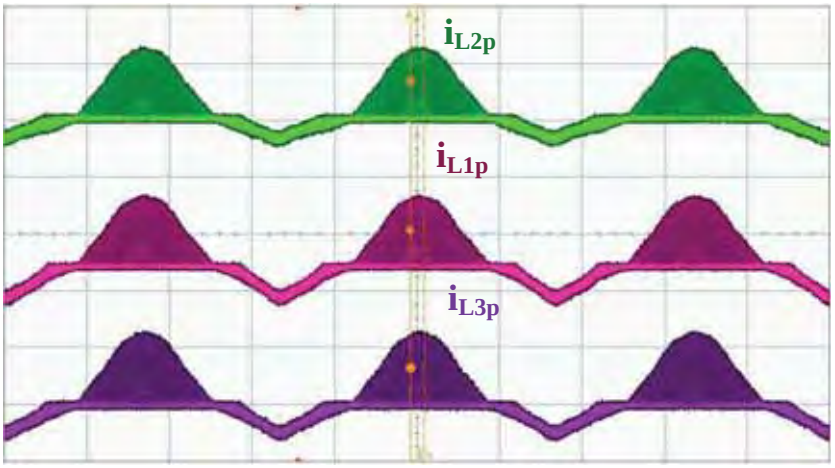


Fonte: Costa e Silva (2011)

O comportamento em baixa frequência das correntes nos indutores superiores (L_{1p}, L_{2p} e L_{3p}) de cada célula é representado na Figura 113.

Figura 113 - Corrente nos indutores L_{1p}, L_{2p} e L_{3p}.

Escalas: corrente (10A/div) e tempo (5ms/div).

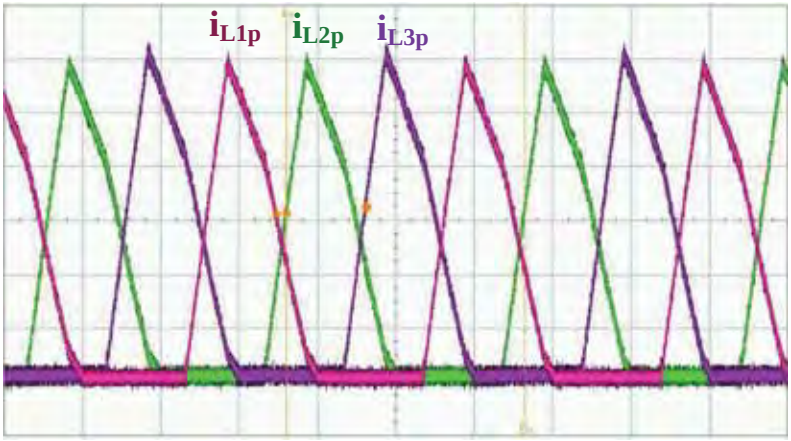


Fonte: Costa e Silva (2011)

É importante salientar que as correntes nos indutores inferiores das células têm os mesmos formatos que os representados na Figura 113, porém com um defasamento relativo de 180 graus.

Na Figura 114 é possível identificar o comportamento em alta frequência e o respectivo entrelaçamento das correntes nos indutores superiores L_{1p}, L_{2p} e L_{3p}.

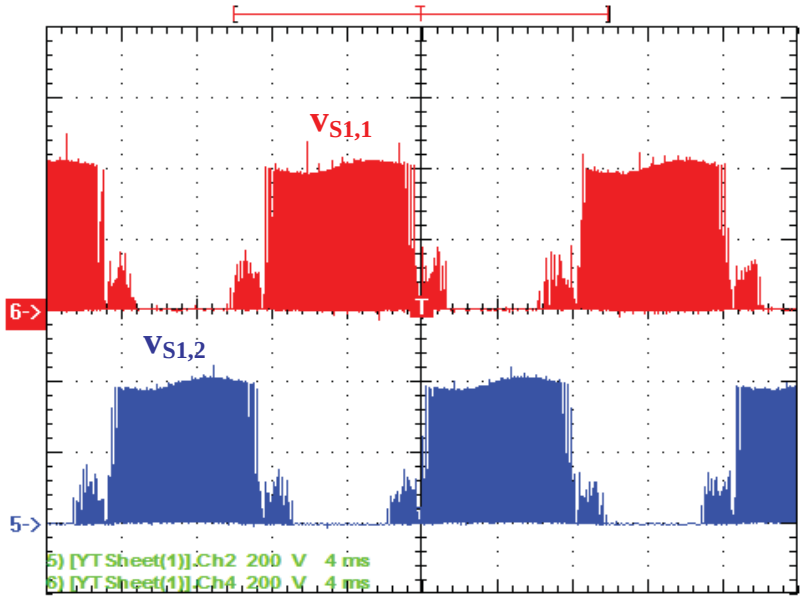
Figura 114 - Detalhe do entrelaçamento das correntes nos indutores superiores de cada célula.
Escalas: corrente (2A/div) e tempo (10µs/div).



Fonte: Costa e Silva (2011)

A Figura 115 apresenta as tensões sobre os transistores IGBTs ($S_{1,1}$ e $S_{1,2}$) de cada braço da célula 1. Como pode ser visualizado na figura, a tarefa de operar em alta frequência é dividida entre os transistores de uma mesma célula, uma vez que cada um opera comutando em alta frequência para um semiciclo específico de rede.

Figura 115 - Tensões sobre os transistores IGBTs de cada braço da célula 1.
Escalas: Tensão (200V/div) e tempo (4ms/div).

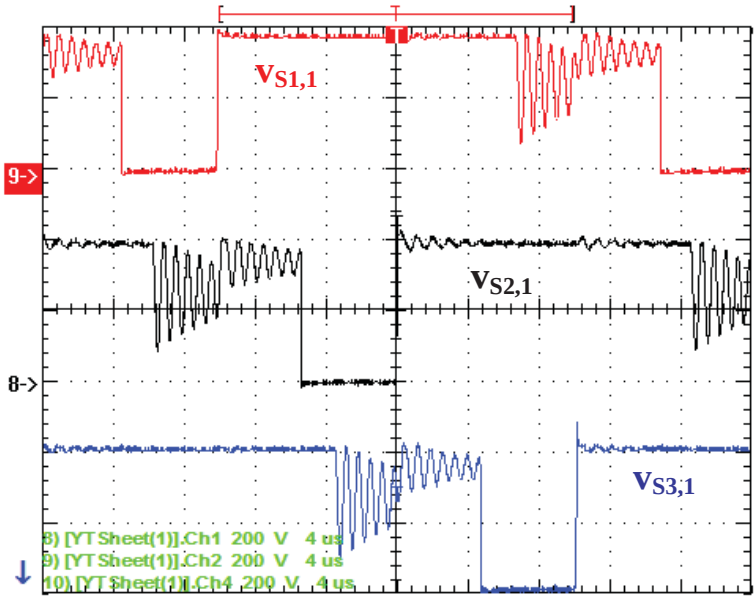


Fonte: Costa e Silva (2011)

O comportamento em alta frequência dos transistores do primeiro braço das células de potência ($S_{1,1}$, $S_{2,1}$ e $S_{3,1}$) é ilustrada na Figura 116 . A mesma análise é realizada através da

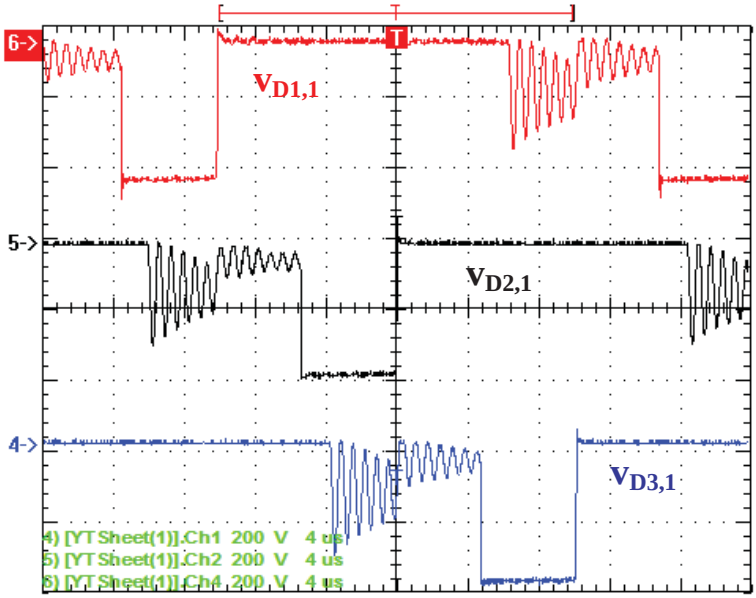
Figura 117 para os diodos $D_{1,1}$, $D_{2,1}$ e $D_{3,1}$. Observa-se o atraso de tempo característico do entrelaçamento.

Figura 116 - Comutação dos transistores IGBTs do primeiro braço de cada célula.
Escalas: Tensão (200V/div) e tempo (4 µs/div).



Fonte: Costa e Silva (2011)

Figura 117 - Comutação dos diodos do primeiro braço de cada célula.
Escalas: Tensão (200V/div) e tempo (4 µs/div).



Fonte: Costa e Silva (2011)

5.4.Conclusões

O objetivo deste capítulo consistiu em apresentar os resultados coletados do protótipo implementado em laboratório, referente ao estágio de potência do conversor PFP *bridgeless boost* entrelaçado. O conversor operou com razão cíclica abaixo do seu valor crítico e igual a setenta por cento deste. Nestas condições, o rendimento apresentado da estrutura foi elevado, cerca de 95%, contudo, ainda sim, espera-se que se operado mais próximo do modo de condução crítica no pico da senóide, este apresente um rendimento um pouco maior pela diminuição das perdas por chaveamento durante o bloqueio da chave semicondutora.

A integração da técnica de entrelaçamento (*interleaving*) multicelular à técnica de eliminação da ponte retificadora de entrada (*bridgeless*) mostrou-se adequada no que se refere à diminuição dos esforços de corrente na estrutura e à correção do fator de potência. O fator de potência apresentou o valor característico de 0,96 para a relação de tensão (M=0,778) em que o conversor foi projetado e operado.

Capítulo 6

Conclusão Geral

Os estudos realizados inicialmente buscaram contemplar e reunir informações sobre conversores pré-reguladores do fator de potência baseados na estrutura convencional PFP *boost*, que pudessem servir de subsídio para a proposta de um conversor CA-CC para aplicações em médias potências e que atendessem a três principais requisitos:

- Realizar a conversão de energia CA-CC, minimizando e distribuindo as perdas energéticas totais na estrutura, seja em condução ou durante a comutação dos semicondutores de potência.
- Corrigir ativamente a distorção harmônica de corrente injetada na rede, e desta forma obter um fator de potência próximo da unidade.
- Regular a tensão de saída para significativas variações de carga e da tensão de alimentação, obtendo erro nulo a regime e boa dinâmica na resposta transitória.

A proposta final do conversor compõem-se de uma estrutura entrelaçada *bridgeless boost* operando em MCD aliada à uma técnica de controle variável da razão cíclica.

Os resultados de simulação podem ser conclusivos e confiáveis no que se referem à reduzida distorção harmônica total (DHT) da corrente de entrada, ao elevado fator de potência (FP) da estrutura, e à adequada resposta do sistema de controle atuando na regulação da tensão de saída frente às variações de carga e distúrbios na alimentação.

O rendimento elevado da estrutura, cerca de 95%, foi comprovado através dos ensaios parciais realizados com o protótipo do conversor de potência *bridgeless boost* entrelaçado ainda em malha aberta e sem a compensação das harmônicas de baixa ordem.

Em termos de implementação tecnológica do sistema de controle, a utilização do controle digital via DSP é uma boa alternativa, visto que as operações matemáticas são facilmente praticadas e a taxa de aquisição e o processamento de dados são elevados. Além disso, este dispositivo ainda oferece interface com o Matlab/Simulink, facilitando a programação pelo o usuário.

São prioridades na continuidade da pesquisa:

- Fechar a malha de controle responsável pela regulação da tensão de saída no protótipo implementado.
- Implementar o sistema de controle variável da razão cíclica responsável pela compensação das harmônicas de baixa ordem.
- Realizar um estudo mais criterioso no que se refere a identificar e atenuar as fontes de ruídos/IEM.

REFERÊNCIAS

[1] INTERNATIONAL ELECTROTECHNICAL COMMISSION. **Electromagnetic Compatibility (EMC)** - part 3-2: limitation of emission of harmonic currents in low-voltage power supply systems for equipment with rated current up to and Including 16A. Geneva: STANDARDS , 1998. (IEC-61000-3-2).

[2] INTERNATIONAL ELECTROTECHNICAL COMMISSION. **Electromagnetic Compatibility (EMC):** part 3-4: limitation of emission of harmonic currents in low-voltage power supply systems for equipment with rated current greater than 16A. Geneva: STANDARDS, 1998. (IEC, 61000-3-4).

[3] INSTITUTE OF ELECTRICAL AND ELECTRONICS ENGINEERS. **IEEE. recommended practices and requirements for harmonic control in electric power systems**. New York: IEEE , 1992. (Std, 519)

[4] PROCEDIMENTOS DE DISTRIBUIÇÃO DE ENERGIA ELÉTRICA NO SISTEMA ELÉTRICO NACIONAl- PRODIST. **Qualidade da Energia Elétrica.** Brasília: Agência Nacional de Energia Elétrica , 2007. (Módulo, 8)

[5] CANESIN, C. A.; GONÇALVES, F. A. S. A 2kW interleaved ZCS-FM boost rectifier digitally controlled by FPGA device. In: POWER ELECTRONICS SPECIALISTS CONFERENCE- PESC, 36., 2005, Recife. **Proceedings…**Recife: IEEE, 2005. p.513-518.

[6] IRVING, B. T.; JANG, Y.; JOVANOVIC, M. M. A Comparative study of soft-switched CCM boost rectifiers and interleaved variable-frequency DCM boost rectifier. In: APPLIED POWER ELECTRONICS CONFERENCE AND EXPOSITION- APEC, 15., 2000, New Orleans. **Proceedings…** New Orleans: IEEE, 2000. p. 171-177.

[7] LEE, F. C. et al. Evaluation of input current in critical mode boost PFC converter for distributed power systems. In: APPLIED POWER ELECTRONICS CONFERENCE-APEC,16., 2001, Anaheim. **Proceedings…** Anaheim: IEEE, 2001. p. 130-136.

[8] ATHAB, H. S.; A duty cycle control technique for elimination of line current harmonics in single-stage DCM boost PFC circuit. In: IEEE REGION 10 CONFERENCE-TENCON, 10., 2008, Hyderaba. **Proceedings…** Hyderaba: IEEE, 2008. p. 1 -6.

[9] KAI, Y. Y.; XINBO, R.; XIAOJING, M.; ZHIHNG. DCM boost PFC converter with high input PF. In: TWENTY-FIFTH ANNUAL IEEE APPLIED POWER ELECTRONICS CONFERENCE AND EXPOSITION- APEC, 25., 2010, Palm Springs. **Proceedings…** Palm Springs: IEEE, 2010. p. 1405 - 1412.

[10] DAFENG, W.; YUVARAJAN, S. Constant-switching-frequency AC-DC converter using second-harmonic-injected PWM. **Transactions on Power Electronics**, New York, v. 11, n. 1, p. 115 -121, 1996.

[11] CANESIN, C. A.; GANÇALVES, F. A. S.; MELO, G. A.; FREITAS, L.C.G. DCM Boost interleaved converter for operation in AC and DC to trolleybus application. In: EUROPEAN CONFERENCE ON POWER ELECTRONICS AND APPLICATIONS- EPE, 13., 2009, Barcelona. **Proceedings…** Barcelona: IEEE, 2009. p. 1 -10.

[12] MELO, G. A. **Retificador entrelaçado boost, no modo de condução descontínua, com técnica de correção da corrente de entrada e elevado fator de potência, para aplicações em sistema trólebus**. 2010. 211 f. Tese (Doutorado em Engenharia Elétrica) - Faculdade de Engenharia, Universidade Estadual Paulista- UNESP, Ilha Solteira, 2010.

[13] BRAGA, H. A. C.; BARBI, I. A 3-kW unity-power-factor rectifier based on a two-cell boost converter using a new parallel-connection technique. **Transactions on Power Electronics**, New York, v. 14, n. 1, p. 209 -217, 1999.

[14] JINDONG, Z.; LEE, F.C.; JOVANOVIC, M. M. A novel interleaved discontinuous-current-mode single-stage power-factor-correction technique with universal-line input. In: POWER ELECTRONICS SPECIALISTS CONFERENCE- PESC, 32., 2001, Vancouver. **Proceedings…** Vancouver: IEEE, 2001. p. 1007 -1012.

[15] SANTI, T.-W. H.; YOUNG-DAE S.; ENRICO. Analysis of the interleaved type power factor correction (PFC) converter in discontinuous current mode. In: INDUSTRIAL ELECTRONICS SOCIETY- IECON, 30., 2004, Busan. **Proceeding…** Busan: IEEE, 2004. p. 2706 - 2711.

[16] MIWA, B. A.; OTTEN, D. M.; SCHLECHT, M. E. High efficiency power factor correction using interleaving techniques. In: APPLIED POWER ELECTRONICS CONFERENCE AND EXPOSITION- APEC, 7., 1992, Boston. **Proccedings…** Boston: IEEE, 1992. p. 557 - 568.

[17] YUNGTAEK J.; JOVANOVIC, M. M. Interleaved boost converter with intrinsic voltage-doubler characteristic for universal-line PFC front end. **Transactions on Power Electronics**, New York, v. 22, n. 4, p. 1394 - 1401, 2007.

[18] BALOGH, L.; REDEL, R. Power-factor correction with interleaved boost converters in continuous-inductor-current mode. In: APPLIED POWER ELECTRONICS CONFERENCE AND EXPOSITION- APEC, 8., 1993, San Diego. **Proceedings…** San Diego: IEEE, 1993. p. 168 - 174.

[19] PO-WA L.; YIM-SHU L.; CHENG, D. K. W.; XIU-CHENG L. Steady-state analysis of an interleaved boost converter with coupled inductors. **Transactions on Industrial Electronics**, New York, v. 47, n. 4, p. 787 -795, 2000.

[20] ENJETI, P.N.; MARTINEZ, R. A high performance single phase AC to DC rectifier with input power factor correction. In: APPLIED POWER ELECTRONICS CONFERENCE AND EXPOSITION- APEC, 8., 1993, San Diego. **Proceedings…** San Diego: IEEE, 1993. p. 190 - 195.

[21] HAOYI, Y.; ZHIHUI Y.; JINGYA D.; CHAO Y. et al. Common mode noise modeling and analysis of dual boost PFC circuit. In: TELECOMMUNICATIONS ENERGY CONFERENCE- INTELEC, 26., 2004, Chicago. **Proccedings…** Chicago: IEEE, 2004. p. 575 - 582.

[22] PENGJU K.; SHUO W.; and LEE, F.C. Common Mode EMI Noise Suppression for Bridgeless PFC Converters. **Transactions on Power Electronics**, New York, v. 23, n. 1, p. 291 -297, 2008.

[23] SOUZA, A.F.; BARBI, I. High power factor rectifier with reduced conduction and commutation losses. In: TELECOMMUNICATIONS ENERGY CONFERENCE- INTELEC, 21., 1999, Copenhagen. **Proccedings…** Copenhagen: IEEE, 1999. p. 1-5.

[24] YUNGTAEK, J.; JOVANOVIC, M. M.; DILLMAN, D. L. Bridgeless PFC boost rectifier with optimized magnetic utilization. In: APPLIED POWER ELECTRONICS CONFERENCE AND EXPOSITION- APEC, 23., 2008, Austin. **Proceedings…** Austin: IEEE, 2008. p. 1017 -1021.

[25] QINGNAN L.; ANDERSEN, M. A. E.; THOMSEN, O. C. Conduction losses and common mode EMI analysis on bridgeless power factor correction. In: POWER ELECTRONICS AND DRIVE SYSTEMS- PEDS, 8., 2009, Taipei. **Proceedings…** Taipei: IEEE, 2009. p. 1255 - 1260.

[26] SEIXAS, F. J. M.; SANTELO, T. N.; BALESTERO, J. P. R.; BASCOPÉ, G. V. T. Three-State Switching Cell Applied to the Single-Stage Boost PFC: Design Criteria and Experimentation. In: CONGRESSO BRASILEIRO DE ELETRÔNICA DE POTÊNCIA, 9., 2007, Blumenau. **Anais...** Blumenau: Sobraep, 2007. p. 1084 - 1089.

[27] SILVA, L. S. C.; SEIXAS, F. J. M.; MELO, G. A. Conversor CA-CC com elevado fator de potência, sem ponte de diodos, utilizando o conversor boost entrelaçado. In: CONGRESSO BRASILEIRO DE AUTOMÁTICA, 13., 2010, Bonito. **Anais...** Bonito: SBA, 2010. p. 3106 - 3113.

[28] JIAN S.; MITCHELL, D. M.; GREUEL, M. F.; KREIN, P. T.; BASS, R. M. Averaged modeling of PWM converters operating in discontinuous conduction mode. **Transactions on Power Electronics**, New York, v. 16, no. 4, p. 482 - 492, 2001.

[29] KANAAN, H. Y; MARQUIS, A.; AL-HADDAD, K. Small-signal modeling and linear control of a dual boost power factor correction circuit. In: POWER ELECTRONICS SPECIALISTS CONFERENCE- PESC, 35., 2004, Aachen. **Proceedings…** Aachen: IEEE, 2004. p. 3127 - 3133.