

unesp



UNIVERSIDADE ESTADUAL PAULISTA

“JÚLIO DE MESQUITA FILHO”

Instituto de Ciência e Tecnologia de Sorocaba

Campus de São João da Boa Vista

Arllen dos Reis Ribeiro

**Projeto de Amplificadores Operacionais de Transcondutância
utilizando SOI FinFETs tensionados**

São João da Boa Vista
2023

Arllen dos Reis Ribeiro

**Projeto de Amplificadores Operacionais de Transcondutância
utilizando SOI FinFETs tensionados**

Dissertação apresentada junto ao Programa de Pós-Graduação em Engenharia Elétrica, Interunidades, entre o Instituto de Ciência e Tecnologia de Sorocaba e o Campus de São João da Boa Vista da Universidade Estadual Paulista “Júlio de Mesquita Filho”.

Orientadora: Prof^a. Dr^a. Paula Ghedini Der Agopian

São João da Boa Vista
2023

R484p Ribeiro, Arllen dos Reis
 Projeto de Amplificadores Operacionais de Transcondutância
 utilizando SOI FinFETs tensionados / Arllen dos Reis Ribeiro. -- São
 João da Boa Vista, 2023
 68 p. : il., tabs.

 Dissertação (mestrado) - Universidade Estadual Paulista (Unesp),
 Faculdade de Engenharia, São João da Boa Vista
 Orientadora: Paula Ghedini Der Agopian

 1. Microeletronica. 2. Transistores de efeito de campo. 3.
 Nanotecnologia. 4. Amplificadores operacionais. I. Título.

Sistema de geração automática de fichas catalográficas da Unesp. Biblioteca da Faculdade de Engenharia, São João da Boa Vista. Dados fornecidos pelo autor(a).

Essa ficha não pode ser modificada.

Impacto potencial desta pesquisa

No decorrer da minha pesquisa, explorei a possibilidade de reduzir ainda mais o tamanho dos dispositivos FinFET de porta tripla, sem comprometer sua funcionalidade ou serem afetados pelo efeito de canal curto. Por meio de um estudo detalhado e da implementação de técnicas avançadas, obtive resultados promissores que indicam que essa redução é viável. Além disso, busquei explorar ainda mais o potencial desses dispositivos e apliquei a técnica de tensionamento mecânico para melhorar a eficiência dos dispositivos ao se trabalhar com escalas manométricas. pude aumentar significativamente sua eficiência e desempenho, abrindo caminho para avanços notáveis no campo da eletrônica. Os principais resultados da pesquisa revelam que a redução adicional dos dispositivos FinFETs, combinada com o tensionamento mecânico, pode resultar em melhorias substanciais na eficiência energética, velocidade de operação e estabilidade dos dispositivos. Essas descobertas têm o potencial de impactar significativamente a indústria de semicondutores e impulsionar o desenvolvimento de dispositivos eletrônicos mais avançados e eficientes.

Com base nessas conclusões, é possível visualizar diversas aplicações práticas desses avanços tecnológicos. Por exemplo, a miniaturização e o aprimoramento dos dispositivos finFET podem ser aplicados em setores como a computação móvel, Internet das Coisas (IoT), inteligência artificial e veículos autônomos. Isso resultaria em dispositivos mais compactos, com maior duração da bateria, desempenho aprimorado e maior confiabilidade.

Potential impact of this research

Throughout my research, I explored the possibility of further reducing the size of triple-gate FinFET devices without compromising their functionality or being affected by the short-channel effect. Through a detailed study and the implementation of advanced techniques, I obtained promising results that indicate the feasibility of this reduction. Furthermore, I sought to further explore the potential of these devices and applied the technique of mechanical stress to improve their efficiency when working at nanoscale levels. This allowed for a significant increase in their efficiency and performance, paving the way for notable advancements in the field of electronics. The main results of the research reveal that the additional reduction of FinFET devices, combined with mechanical stress, can lead to substantial improvements in energy efficiency, operational speed, and device stability. These findings have the potential to significantly impact the semiconductor industry and drive the development of more advanced and efficient electronic devices.

Based on these conclusions, it is possible to envision various practical applications for these technological advancements. For example, the miniaturization and enhancement of finFET devices can be applied in sectors such as mobile computing, the Internet of Things (IoT), artificial intelligence, and autonomous vehicles. This would result in more compact devices with longer battery life, improved performance, and increased reliability.



CERTIFICADO DE APROVAÇÃO

TÍTULO DA DISSERTAÇÃO: Projeto de Amplificadores Operacionais de Transcondutância utilizando SOI FinFETs tensionados

AUTOR: ARLEN DOS REIS RIBEIRO

ORIENTADORA: PAULA GHEDINI DER AGOPIAN

Aprovado como parte das exigências para obtenção do Título de Mestre em Engenharia Elétrica, área: Sistemas Eletrônicos pela Comissão Examinadora:

Profª Drª PAULA GHEDINI DER AGOPIAN (Participação Virtual)
Departamento de Engenharia Eletronica e de Telecomunicacoes / Faculdade de Engenharia de Sao Joao da Boa Vista UNESP

Prof. Dr. WILIAN MIRANDA DOS SANTOS (Participação Virtual)
Departamento de Engenharia Aeronáutica / Faculdade de Engenharia de São João da Boa Vista - UNESP

Prof. Dr. RICARDO CARDOSO RANGEL (Participação Virtual)
Depto. de Sistemas Eletrônicos - DSE / Faculdade de Tecnologia de São Paulo - FATEC-SP

São João da Boa Vista, 25 de maio de 2023

Verônica Liberali Messias
Supervisora Técnica de Seção
Seção Técnica de Graduação e Pós-Graduação

AGRADECIMENTOS

À Profa. Dra. Paula Ghedini Der Agopian por ter me orientado com maestria durante o mestrado. Através de sua orientação sempre atenta e presente, me mostrou que, conforme minha dedicação e esforço, posso alcançar aquilo que desejo, independente da dificuldade. Agradeço também por ter me mostrado meus pontos fortes e fracos para que eu pudesse e soubesse trabalhar com ambos para concluir esse mestrado. Pela sabedoria ao orientar meus estudos para que este projeto pudesse ser concluído com êxito.

À toda minha família, que tem sido um dos pilares da minha vida, mas principalmente aos meus pais, que por muitas vezes, mesmo não entendendo o que eu estava fazendo, nunca deixaram de me apoiar em todas as decisões que tomei, acreditando sempre em mim e no que eu estava desenvolvendo.

Aos meus amigos pelo suporte emocional, em especial à Giuliana Gazal, Lúcio Neri e Camila Costa, por me mostrarem os valores das minhas escolhas. Aos meus amigos Débora Beatriz Zanitti e Gustavo Araújo por terem me ajudado com minhas dificuldades no mestrado quando cursava as matérias e durante o desenvolvimento, me mostrando que sozinho eu jamais chegaria a lugar algum.

Ao Grupo SOI pela colaboração e revisão dos meus estudos e trabalhos, dos quais foram fundamentais para o desenvolvimento e conclusão deste trabalho.

Ao LSI por ter me permitido acesso aos instrumentos utilizados para que os dispositivos pudessem ser medidos e assim eu ter obtido dados para análises para o desenvolvimento do meu estudo neste projeto.

À Universidade Virtual do Estado de São Paulo – UNIVESP - pelo suporte financeiro.

Ao Pai Celestial por ter guiado meu caminho e orientado as minhas escolhas.

“Better come hard, bring your best to the table
the legend of me ain’t no myth, ain’t no fable”

Diana Gordon

RESUMO

Visando circuitos com maiores performances e ocupando uma menor área, neste trabalho estudou-se o comportamento de um Circuito Operacional de Transcondutância projetado com SOI FinFETs tensionados. Para este estudo, foram utilizados transistores do tipo pFinFET e nFinFET com diferentes tamanhos de comprimento de canal, e também foram considerados dispositivos com canal tensionados e não tensionados. Sabe-se que o tensionamento mecânico tem como finalidade melhorar a mobilidade de elétrons e lacunas, porém além da mobilidade este tensionamento ocasiona alterações nos principais parâmetros dos dispositivos como: tensão limiar, inclinação sublimar, corrente de dreno, transcondutância e eficiência do transistor. Esses parâmetros estão ligados diretamente com o desempenho do circuito Amplificador Operacional de transcondutância (OTA) projetado, assim foi analisado de maneira comparativa o desempenho do OTA projetado com transistores tensionados e não tensionados.

Três abordagens foram levadas em consideração para uma melhor análise comparativa do projeto do OTA considerando o tensionamento mecânico uniaxial: OTA projetado com FinFETs não tensionados, OTA projetado com FinFETs tensionados, mas considerando mesma corrente de polarização e OTA projetado com FinFETs tensionados considerando a mesma condição de inversão, onde a referência foi sempre o FinFET não tensionado. É válido ressaltar que estas análises foram feitas utilizando dispositivos com dois tamanhos de canais diferentes, 900nm e 150nm. A análise foi feita para avaliar a eficácia do tensionamento em diferentes tamanhos de comprimentos de canal e se o tensionamento mecânico é realmente uma técnica eficaz ao se tratar de circuitos analógicos operando com dispositivos nanométricos.

Palavras chave: SOI FinFETs; Tensionamento Mecânico, Comportamento elétrico, Amplificadores Operacionais, Transcondutância.

ABSTRACT

Aiming at circuits with higher performances and occupying a smaller area, this work studies the behavior of a Transconductance Operating Circuit being designed with strained SOI FinFETs. For this study, pFinFET and nFinFET type transistors with different channel length sizes of devices were used, and devices unstrained and strained channels were also considered. It is known that mechanical stress aims to improve the mobility of electrons and holes, but in addition to mobility this stressing causes changes in the main parameters of the devices such as: threshold voltage, subthreshold slope, sleigh current, transconductance and transistor efficiency. These parameters are directly linked to the performance of the designed Operational Transconductance Amplifier (OTA) circuit, so the performance of the OTA designed with unstrained and strained transistors was comparatively analyzed.

Three approaches were taken into account for a better comparative analysis of the OTA design considering uniaxial mechanical stressing: OTA designed with unstrained FinFETs, OTA designed with FinFETs strained, but considering the same polarization current and OTA designed with FinFETs strained considering the same condition of inversion, where the reference is always the unstrained FinFET. It is worth noting that these analyzes were performed using devices with two different channel sizes, 900nm and 150nm. These analysis was made to evaluate the effectiveness of mechanical stress in different sizes of channel lengths and if mechanical stress is really an effective technique when dealing with analog circuits operating with nanometric devices.

Keywords: SOI FinFET; Mechanical Stress, Electrical Behavior, Operational Amplifiers, Transconductance.

LISTA DE FIGURAS

Figura 1 - Transistor MOS convencional (A) e transistor SOI MOSFET (B) – Adaptado Fonte [13].....	23
Figura 2 - Diagrama de bandas de energia de [A] MOSFET convencional [B] SOI camada espessa [C] SOI camada fina – Fonte adaptado [13].....	25
Figura 3 - variações de transistores de múltiplas portas – Fonte adaptado [23]	27
Figura 4 - Estrutura de um FinFET de porta tripla [A] e de um FinFET de porta dupla [B] – Adaptado Fonte [13].....	28
Figura 5 - Estrutura de um SOI FinFET de porta tripla.....	29
Figura 6 - Representação de um OTA simples	34
Figura 7 - esquemática da curva de VEA.....	35
Figura 8 - Geração de tensão mecânica uniaxial em MOSFETs – Fonte INTEL	38
Figura 9 - Representação do tensionamento mecânico biaxial.....	39
Figura 10 - Representação simbólica de um OTA.....	41
Figura 11 - Fluxograma de atividades.....	43
Figura 12 - SOI FinFET com comprimento de canal de 150nm	44
Figura 13 - Esquemático de um circuito OTA de dois estágios.....	46
Figura 14 - Curva de transferência em escala linear. A) Dispositivo nFinFET B) Dispositivo pFinFET	48
Figura 15 - Curva de transferência em escala logarítmica. A) Dispositivo nFinFET B) Dispositivo pFinFET	49
Figura 16 - Inclinação Sublimiar (SS).....	50
Figura 17 - Tensão limiar dos dispositivos	51
Figura 18 - Transcondutância dos dispositivos A) nFinFET B) pFinFET	52
Figura 19 - Eficiência do Transistor A) Dispositivo nFinFET B) Dispositivo pFinFET.....	53
Figura 20 - Tensão Early	54
Figura 21 - Curva $I_{DS} \times V_{GS}$ medida em escala semilog dos dispositivos tipo n. A) dispositivo de referência B) dispositivo tensionado	55
Figura 22 - Curva $I_{DS} \times V_{GS}$ medida em escala semilog dos dispositivos tipo p. A) dispositivo de referência B) dispositivo tensionado	56

LISTA DE TABELAS

Tabela 1 - Dispositivos e número de fins	47
Tabela 2 - Valores de tensão limiar obtidos	56
Tabela 3 - Performance do Circuito OTA	59
Tabela 4 - Performance do Circuito OTA, segunda análise	60

LISTA DE ABREVIATURAS E SIGLAS

MOSFET	<i>Metal-Oxide-Semiconductor Field Effect Transistor</i> (Transistor de efeito de campo do tipo metal-óxido-semicondutor)
CI	Circuito Integrado
SCE	<i>Short Channel Effects</i> (Efeitos de canal curto)
SOI	<i>Silicon-On-Insulator</i> (Silício sobre isolante)
FinFET	<i>Fin Field Effect Transistor</i> (Transistor de efeito de campo com aleta)
BOX	<i>Buried Oxide</i> (Óxido enterrado)
Si	Silício
Ge	Germânio
OTA	<i>Operational Transconductance Amplificator</i> (Amplificador Operacional de Transcondutância)
GBW	<i>Gain-Bandwidth Product</i> (Ganho de tensão-largura de banda)
DELTA	<i>Fully Depleted Lean-channel Transistor</i> (Transistor com canal estreito totalmente depletado)
FDSOI	<i>Fully Depleted Silicon-On-Insulator</i> (Silício sobre isolante totalmente depletado)
FET	<i>Field Effect Transistor</i> (Transistor de efeito de campo)
IMEC	<i>Interuniversity Microelectronics Centre</i> (Centro de Microeletrônica Interuniversidades)
MOS	<i>Metal-Oxide-Semiconductor</i> (Metal-óxido-semicondutor)
NFDSOI	<i>Near Fully Depleted Silicon-On-Insulator</i> (Silício sobre isolante quase totalmente depletado)
nMOS	<i>n-type Metal-Oxide-Semiconductor</i> (Metal-óxido-semicondutor com canal tipo n)
pMOS	<i>p-type Metal-Oxide-Semiconductor</i> (Metal-óxido-semicondutor com canal tipo p)
Si₃N₄	Nitreto de silício
PDSOI	<i>Partially Depleted Silicon-On-Insulator</i> (Silício sobre isolante parcialmente depletado)

LISTA SÍMBOLOS

A_{CM}	Ganho de tensão de modo comum [dB ou V/V]
A_D	Ganho de tensão diferencial [dB ou V/V]
A_v	Ganho de tensão [dB ou V/V]
C	Capacitância [F]
C_c	Capacitância de compensação Miller [C]
C_{ox}	Capacitância do óxido de porta [F/cm ²]
C_{si}	Capacitância do silício [F/cm ²]
g_D	Condutância de saída [S]
g_m	Transcondutância [S]
g_m/I_{DS}	Eficiência do transistor [V]
$g_{mmaxLateral}$	Transcondutância máxima correspondente as interfaces laterais de um FinFET [S]
$g_{mmaxSuperior}$	Transcondutância máxima correspondente a interface superior de um FinFET [S]
$g_{mmaxTotal}$	Transcondutância máxima total de um FinFET [S]
μ	Mobilidade dos portadores [m ² /V.s]
H_{FIN}	Altura da aleta de um FinFET [nm]
h	Constante de Planck reduzida [eV.s]
I_D	Corrente de dreno [A]
I_{D0}	Corrente de dreno de um transistor SOI planar de porta única com mesma área de porta de um dado transistor de múltiplas portas [A]
I_{DS}	Corrente entre dreno e fonte [A]
k	Constante de Boltzmann [kg.m ² /K.s ²]
I_{SS}	Corrente de alimentação [A]
q	Carga elementar do elétron [C]
N_A	Conc. de impurezas aceitadoras no semic. tipo P [m ⁻³]
n_i	Concentração intrínseca de portadores [cm ⁻³]

P	Espaçamento entre aletas de um FinFET [nm]
Ro	Potencial de Fermi [eV]
SS	Subthreshold Slope ou Subthreshold Swing (Inclinação de sublimiar) [mV/dec]
T	Temperatura absoluta [K]
tBOX	Espessura do óxido enterrado [nm]
tox	Espessura do óxido de porta [cm]
VEA	Tensão Early [V]
tsi	Espessura do silício [cm]
Ev	Nível da energia da banda de valência [eV]
EF	Nível da energia do nível de Fermi [eV]
VB	Tensão de substrato [V]
VCM	Tensão de modo comum [V]
VD	Tensão de dreno [V]
VDD	Tensão de alimentação [V]
VDS	Tensão entre dreno e fonte [V]
VG	Tensão de porta [V]
VGS	Tensão entre porta e fonte [V]
Vin	Sinal de entrada [V]
Vout	Sinal de saída [V]
VTh	Tensão de limiar do transistor [V]
W	Largura de canal do transistor [nm]
L	Comprimento de canal do transistor [nm]
W_{eff}	Largura de canal efetiva do transistor [nm]
W_{FIN}	Largura de aleta do FinFET [nm]
α	Fator de acoplamento capacitivo
ε_{ox}	Constante de permissividade do óxido de porta [F.cm ⁻¹]
ε_{Si}	Constante de permissividade do silício [F.cm ⁻¹]
θ_{FIN}	Coeficiente de condução de corrente pela interface superior do canal de um transistor de múltiplas portas
φ_F	Potencial de Fermi [V]
φ_{MS}	Função trabalho do material de porta em relação ao silício [V]
φ_S	Potencial de superfície [V]

μ_0	Mobilidade dos portadores para baixo campo elétrico [cm^2 V.s]
μ_{eff}	Mobilidade efetiva dos portadores de carga no canal [cm^2 V.s]

Sumário

AGRADECIMENTOS	5
RESUMO.....	7
ABSTRACT	8
LISTA DE FIGURAS	9
LISTA DE TABELAS	11
LISTA DE ABREVIATURAS E SIGLAS	12
LISTA SÍMBOLOS.....	13
1 - INTRODUÇÃO	18
1.1 - OBJETIVO.....	20
1.2 - ESTRUTURA DO TRABALHO	20
2 - REVISÃO BIBLIOGRÁFICA.....	22
2.1 - TECNOLOGIA SOI (<i>SILICON ON INSULATOR</i>).....	22
2.2 - TRANSISTORES DE MÚLTIPLAS PORTAS	26
2.2.1 - FinFETs de porta tripla	28
2.2.2 - Parâmetros Elétricos do Dispositivo	29
2.2.2.1 - Tensão de Limiar (V _{TH})	29
2.2.2.2 - CORRENTE DE DRENO (IDS)	30
2.2.2.3 - INCLINAÇÃO DE SUBLIMIAR (SS)	31
2.2.2.4 - Transcondutância (gm).....	32
2.2.2.5 - Mobilidade dos Portadores	33
2.2.2.6 - Eficiência do Transistor (gm/IDS)	33
2.2.2.7 - Condutância de Saída (gd).....	34
2.2.2.8 - Ganho intrínseco de tensão (A _v)	34
2.2.3 Tensionamento Mecânico	36
2.2.3.1 - TENSIONAMENTO MECÂNICO UNIAXIAL	37
2.2.3.2 - TENSIONAMENTO MECÂNICO BIAXIAL	38
2.2.3.3 - CRESCIMENTO EPITAXIAL SELETIVO	40
2.3 - AMPLIFICADOR OPERACIONAL DE TRANSCONDUTÂNCIA (OTA)	40
3 - MATERIAIS E MÉTODOS	42
3.1 - DISPOSITIVO.....	43
3.2 - EQUIPAMENTOS.....	44

3.3 - MÉTODO LOOKUP TABLE	45
3.4 - SIMULADOR CADENCE	45
3.5 - CIRCUITO	45
4 - ANÁLISE DOS RESULTADOS	48
4.1 - DESENVOLVIMENTO DO CIRCUITO OTA	55
5 - CONCLUSÃO	61
PROJETOS FUTUROS.....	63
PUBLICAÇÕES GERADAS	64
REFERÊNCIAS.....	65

1 - INTRODUÇÃO

A constante evolução da nanoeletrônica pode ser observada de forma simples no nosso cotidiano, como por exemplo, a evolução dos celulares que além de menores, possuem inúmeras aplicações quando comparados aos modelos antigos. Diversos estudos foram feitos com o intuito de se reduzir o tamanho dos dispositivos, que compõem os circuitos integrados (CIs), sem que esses sofram degradação de sua performance e, portanto, possam ser empregados nos CIs de forma que ocupem menos área.

Essa evolução tecnológica tenta se alinhar a uma observação feita por Gordon Earl Moore em 1965, que dizia que o número de transistores nos circuitos integrados dobraria a cada 18 meses em média [1,2]. Para acompanhar tal observação, que posteriormente passou a ser conhecida como Lei de Moore, o foco das empresas passou a ser o aumento do escalamento dos transistores nos dispositivos.

Uma das tecnologias que mais teve destaque foi a dos MOSFET (*Metal Oxide Semiconductor Field Effect Transistor*), que surgiu por volta de 1960 após seus inventores, Kahng e M. M. Atalla demonstrarem os resultados da primeira operação realizada com sucesso do dispositivo [3]. Apesar da eficiência da tecnologia MOSFET, ao se propor a redução dos dispositivos em escalas nanométricas, esses passaram a sofrer com alguns efeitos parasitários, os quais são chamados de efeitos de canal curto, ou SCE (*Short Channel Effect*) [4]. Como resultados destes efeitos observa-se a redução da tensão de limiar; o aumento da inclinação de sublimiar e a redução da barreira de induzida pelo dreno [4].

Para reduzir o problema de canal curto surge a tecnologia SOI (*Silicon-on-Insulator*). Diferente da tecnologia MOSFET em que os dispositivos são produzidos em lâminas de silício onde a espessura é de aproximadamente 800 μm , no qual apenas o primeiro micrometro é utilizado para a fabricação do dispositivo, a tecnologia SOI MOSFET possui dispositivos fabricados em uma fina camada de silício sobre uma camada de dióxido de silício, ou óxido enterrado [5]. É justamente a presença do óxido enterrado em dispositivos SOI MOSFETs que permite a redução dos efeitos de canal curto, pois a função do óxido enterrado é isolar o substrato da região ativa do canal minimizando o efeito

de canal curto [4]. Outra vantagem que a tecnologia SOI trouxe foi a eliminação do efeito tiristor parasitário [6].

Ainda com o constante avanço da tecnologia e para a proposta de nós tecnológicos com poucos nanômetros a tecnologia SOI conseqüentemente apresentando o efeito de canal curto também. Com isto, outras alternativas passaram a ser estudadas, agora focando em novas geometrias para os dispositivos, surgindo os transistores de múltiplas portas, ou *multi-gates*. Esses transistores possuem um maior acoplamento eletrostático entre as portas e o canal e conseqüentemente possuem um melhor controle das cargas do canal do transistor [7]. Dentre os transistores de múltiplas portas, um dos que mais se destacou e atendeu a proposta de nós tecnológicos em escala nanométrica foi o FinFET de porta tripla, visto que esse dispositivo apresenta um ótimo controle dos efeitos de canal curto por conta do acoplamento eletrostático entre a porta e o canal [8]. Devido a eficiência desse dispositivo, hoje em dia ele é encontrado circuitos integrados de alto desempenho como os processadores [9].

O uso da tecnologia SOI associada à tecnologia FinFET, que promete o melhor controle das cargas com menor efeitos parasitários, apresenta uma desvantagem relacionada à mobilidade dos portadores. Uma vez que o dispositivo que possui bom desempenho deve ser fabricado em aleta fina e alta, a maior parte dos portadores passam a fluir pelas paredes laterais que apresenta menor mobilidade de elétrons que o topo do transistor devido à sua orientação cristalina [10]. Assim, como forma de resolver este problema e aumentar a mobilidade dos portadores, e conseqüentemente a capacidade de corrente, a técnica de tensionamento mecânico do canal começou a ser utilizada [11]. O tensionamento mecânico pode ser classificado dependendo da sua direção de atuação: uniaxial, aplicado apenas em na direção do comprimento de canal (L) ou biaxial, aplicado em duas direções (comprimento e largura de canal) [12].

Além da redução dos dispositivos, o estudo de blocos de circuitos integrados que apresentem excelente performance também são fundamentais na evolução das novas tecnologias. Neste contexto o Amplificador Operacional de Transcondutância (OTA) tem sido muito estudado devido a sua ampla aplicação. Os OTAs possuem entradas diferenciais promovendo uma melhor razão de amplificação entre sinal e ruído na saída [13].

Uma vez que os SOI FinFETs foram extensivamente estudados através de caracterização elétrica e análise de seus principais parâmetros [4], este trabalho propõe analisar este tipo de transistores aplicados a um bloco analógico básico muito utilizado em circuitos integrados, o Amplificador Operacional de Transcondutância (OTA) de dois estágios.

1.1 - Objetivo

O objetivo deste trabalho consistiu em analisar o potencial dos transistores SOI FinFETs tensionados em aplicações analógicas através do projeto de um OTA de dois estágios, que é um dos blocos mais recorrentes em projetos de circuitos integrados de sinais analógicos e de sinais mistos.

Inicialmente foi feita uma análise dos principais parâmetros dos dispositivos, para a escolha de dimensões mais apropriadas para o projeto e posteriormente projetado um circuito OTA de dois estágios com os dispositivos testados. Para a análise dos principais parâmetros foram utilizados dispositivos com três diferentes tamanhos de comprimento de canal: 900nm, 150nm e 60nm. Para fins comparativos o circuito foi projetado com FinFETs não tensionados (dispositivos tomados como referência) e FinFETs tensionados.

O desempenho dos FinFETs tensionados foi avaliado através de figuras de mérito dos amplificadores, como: o ganho de tensão do circuito; o produto ganho banda (GBW); a margem de fase e a potência dissipada.

1.2 - Estrutura do trabalho

Este trabalho está dividido em 5 capítulos, onde o primeiro trata da introdução, do objetivo do trabalho e a forma como este trabalho está estruturado.

O capítulo 2 consiste na Revisão Bibliográfica onde é apresentado um estudo sobre os principais tópicos para o desenvolvimento do trabalho: Tecnologia SOI, Transistores de Múltiplas Portas; FinFETs; Tensionamento mecânico; principais parâmetros dos dispositivos e Amplificadores Operacionais.

No capítulo 3 é apresentada a Metodologia do trabalho, onde são apresentados os dispositivos utilizados para o estudo; o simulador utilizado para projetar o circuito e os métodos utilizados para a realização do mesmo.

O capítulo 4 apresenta os resultados e as análises dos resultados do projeto do OTA com FinFETs tensionados em comparação com o dispositivo de referência.

Para encerramento do trabalho é apresentado a conclusão do trabalho com todos os resultados apresentados nas simulações seguindo da lista de referências utilizada para a realização deste trabalho.

2 - REVISÃO BIBLIOGRÁFICA

Neste capítulo são apresentados os conceitos fundamentais da tecnologia SOI MOSFET; transistores de múltiplas portas; tensionamento mecânico; parâmetros elétricos do dispositivo e Amplificadores Operacionais.

2.1 - Tecnologia SOI (*Silicon On Insulator*)

Os dispositivos MOSFETs convencionais tem sido em parte substituídos por uma tecnologia MOSFET fabricada em lâmina de silício sobre isolante devido à redução agressiva dos dispositivos, pois os MOSFETs convencionais começaram a sofrer com os efeitos de canal curto. Visando um maior desempenho e uma menor área, a tecnologia SOI passou a ser uma alternativa para se trabalhar com dispositivos menores, visto que essa tecnologia permite uma redução significativa das capacitâncias dos dispositivos levando-os a ter uma melhor velocidade de reposta [14].

Para entender melhor as melhorias que a tecnologia SOI apresenta em comparação da tecnologia MOSFET convencional, é preciso primeiro comparar suas estruturas e fabricação. Os dispositivos da tecnologia MOSFET convencional são fabricados em lâmina de silício (*bulk*) já os dispositivos da tecnologia SOI são fabricados em uma fina camada de silício sobre um material isolante, normalmente se utiliza óxido de silício (SiO_2). Esse material isolante é comumente chamado de BOX (*Burried Oxide*) ou óxido enterrado, cujo a sua principal função é isolar a região ativa do canal do restante do substrato [14]. É justamente a presença do óxido enterrado que faz com que a tecnologia SOI seja superior a tecnologia MOS convencional, pois esse isolamento que permite a redução dos efeitos de canal curto [15].

A Figura 1 seguir mostra os esquemáticos dos dispositivos fabricados por ambas as tecnologias, sendo a Figura 1.A representando o transistor MOS convencional e a Figura 1.B o transistor SOI MOSFET.

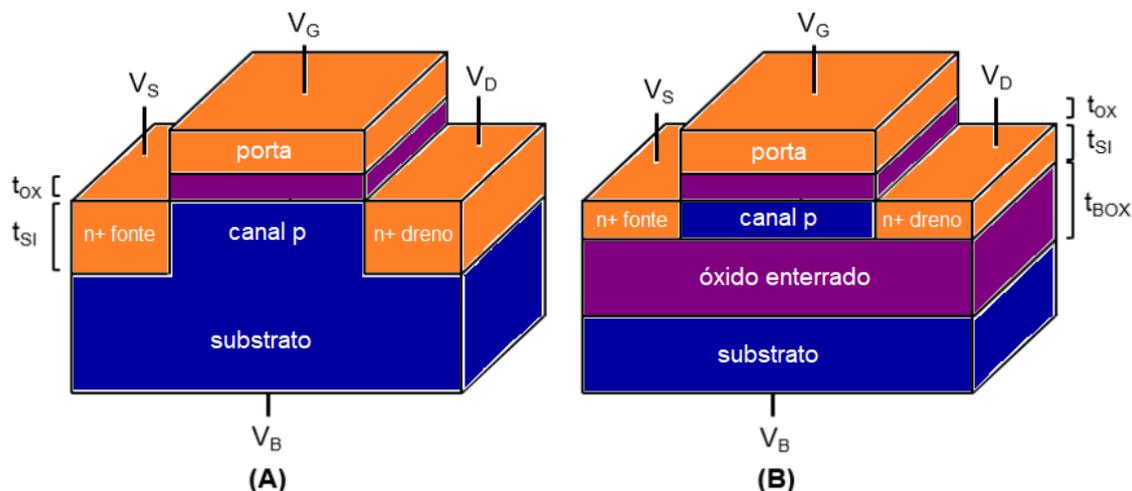


Figura 1 - Transistor MOS convencional (A) e transistor SOI MOSFET (B) – Adaptado Fonte [13]

A Figura 1 também nos apresenta algumas dimensões de ambos os dispositivos, sendo: t_{ox} a espessura do óxido de porta; t_{si} a espessura da camada de silício e t_{box} como a espessura do óxido enterrado. É também apresentado as regiões de polarização dos dispositivos como: V_G (tensão de porta); V_S (tensão de fonte); V_D (tensão de dreno) e V_B referente ao substrato.

É de suma importância ressaltar que a construção de dispositivos com a tecnologia SOI possui algumas vantagens em relação aos dispositivos MOS convencional, tais como ausência de cavidades e uma menor complexidade em sua estrutura de camada fina em que podemos citar: Implantações *anti-punchthrough* que são utilizadas nas estruturas convencional não são utilizadas na SOI camada espessa, pois não é necessária no SOI camada fina e perfil de dopagem da região ativa é definido em uma única implantação iônica rasa e menor número de etapas fotolitográficas no processo de fabricação [16].

Os SOI MOSFETs são divididos em três classes: parcialmente depletado (*PDSOI - Partially Depleted SOI*); totalmente depletados (*FDSOI - Fully Depleted SOI*) e perto da depleção total (*NFDSOI - Near Fully Depleted SOI*) [14]. Essa classificação é feita de acordo com sua espessura do filme de silício (t_{si}) e da profundidade máxima de depleção (x_{dmax}). A profundidade máxima de depleção é dependente de dois fatores: variação da temperatura (T) e da concentração de dopantes no canal (N_A) [17]. A profundidade máxima pode ser expressa pela

Equação 1:

$$Xd_{max} = \sqrt{\frac{4 \cdot \epsilon_{Si} \cdot \phi_F}{q \cdot NA}} \quad (1)$$

onde

$$\phi_F = \frac{K \cdot T}{q} \ln \left(\frac{NA}{Ni} \right) \quad (2)$$

ϵ_{Si} = permissividade do silício

ϕ_F = potencial de Fermi

q = carga elementar do elétron

NA = concentração de dopantes do tipo aceitadores na região do canal

Ni = concentração intrínseca de portadores

K = constante de Boltzmann

T = Temperatura em Kelvin

Quando se tem um dispositivo com a espessura do silício duas vezes maior que a profundidade máxima de depleção, ou seja ($t_{si} > 2x_{dmax}$), o dispositivo é classificado como SOI Parcialmente Depletado. Nessa situação, não ocorre a interação entre a camada de depleção ocasionada pela primeira interface e a camada de depleção ocasionada pela segunda interface, fazendo com que haja uma região neutra entre elas. Neste caso teremos os potenciais de superfície de ambas as interfaces independentes. Devido a região neutra que se forma, é importante salientar que alguns efeitos indesejáveis podem ocorrer como: o efeito *Kink*, que é a elevação abrupta da corrente, e o efeito do transistor bipolar parasitário [18]. O comportamento dos transistores PD SOI se assemelha ao comportamento de um transistor MOS convencional.

Os dispositivos que possuem a espessura de camada do silício menor que a espessura da região máxima de depleção, ou seja ($t_{si} < x_{dmax}$), são classificados na categoria de dispositivos SOI Totalmente Depletados. Nessa situação o que ocorre é o contato entre as camadas de depleção da primeira e da segunda interface, fazendo com que o potencial de superfície de ambas sejam dependentes entre si. Com $t_{si} < x_{dmax}$ basta a inversão da primeira interface para depletar todo o canal. De acordo com a polarização aplicada ao substrato a segunda interface pode estar na região de acumulação, depleção ou inversão

[19]. Vale ressaltar que na região de inversão da segunda interface é considerada como uma região de operação não desejada pois ocorre uma falta de controle pela tensão aplicada na porta [20].

O modo de operação Totalmente Depletado costuma ser o mais escolhido para utilização devido ao fato de sofrer menos com a influência de canal curto, possuir uma maior transcondutância, ter uma inclinação de sublimiar próxima ao limite teórico que é de 60 mV/déc, além de proporcionar a eliminação do efeito de elevação abrupta da corrente (*kink effect*) [21].

A terceira classificação, Quase Totalmente Depletado, ocorre quando o dispositivo tem a espessura do silício maior que a profundidade máxima de depleção, porém menor também que duas vezes essa mesma profundidade, ou seja ($X_{dmax} < t_{si} < 2X_{dmax}$). Neste caso podem ocorrer duas situações, as duas regiões interagem entre si ou não, isto irá depender da polarização aplicada aos terminais de porta e ao substrato [19].

A Figura 2 nos mostra o diagrama de banda de energia dos dispositivos, mostrando a comparação entre um dispositivo MOS convencional, um SOI com uma camada mais espessa (PD SOI) e um dispositivo SOI com uma camada fina (FD SOI).

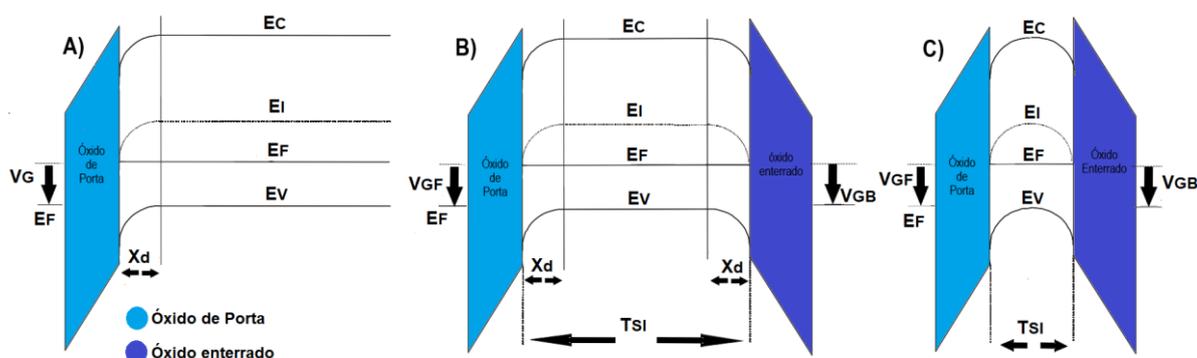


Figura 2 - Diagrama de bandas de energia de [A] MOSFET convencional [B] SOI camada espessa [C] SOI camada fina – Fonte adaptado [13]

Tem-se representado no diagrama de bandas de energia: E_c que é o nível de energia mais baixo na banda de condução; E_f como nível de Fermi; E_i como nível de Fermi intrínseco; E_v como nível mais alto de energia da banda de valência; t_{si} como a espessura da camada do silício e X_{dmax} como a profundidade máxima de depleção.

Os transistores SOI MOSFETs também apresentam uma classificação de acordo com o seu modo de funcionamento, podendo ser do tipo enriquecimento (ou inversão) e acumulação [22].

Quando o dispositivo está operando do modo inversão tem-se a passagem da corrente entre os terminas fonte e dreno ocorrendo por conta da inversão dos portadores presentes na região do canal, sendo interface do óxido de porta e na camada de silício. Já para o dispositivo operando em modo de acumulação, como eles tem o mesmo tipo de semiconductor na região do canal e na região de fonte e dreno, a passagem da corrente entre os canais fonte e dreno é causada pela acumulação de portadores na região do canal, sendo esta a interface do silício e dióxido de silício (Si-SiO₂) [22].

2.2 - Transistores de Múltiplas Portas

Apesar da tecnologia SOI ter sido bastante eficiente para o escalonamento dos dispositivos e na redução do efeito de canal curto, ainda sim esse escalonamento chegou no seu limite. Para que a contínua redução dos nós tecnológicos fosse possível, novos estudos apontaram na direção de trabalhar com novas geometrias, como por exemplo, os transistores de múltiplas portas (MuGFETs – *Multiple Gate Field Effect Transistor*). Em meados de 1984 Sekigawa e Hayashi elaboraram um dispositivo de porta dupla com o intuito de ter uma menor variação na tensão de limiar e redução do efeito de canal curto, mesmo diminuindo o tamanho do dispositivo [23]. Desde então os transistores de múltiplas portas passaram a ser estudados intensivamente visto que foi observado que a integridade eletrostática se mostrou melhor conforme a quantidade de portas que o dispositivo aumenta [21]. Foi então, que em 1989, o primeiro transistor de múltiplas portas foi fabricado, recebendo o nome de transistor DELTA (*fully Depleted Lean-channel Transistor*) [24].

Os transistores de múltiplas portas, além de terem uma diminuição expressiva dos efeitos de canal curto, estes dispositivos também apresentam um melhor controle de corrente, visto que a corrente passa a ser controlada por mais de uma porta, dando ao dispositivo controle maior da carga de depleção na região do canal [25]. Uma outra melhoria que os transistores de múltiplas portas

proporcionaram foi o aumento da mobilidade elétrica devido as regiões do canal terem uma dopagem baixa [26].

A Figura 3 ilustra as variações de transistores de múltiplas portas e sua classificação conforme o número de portas.

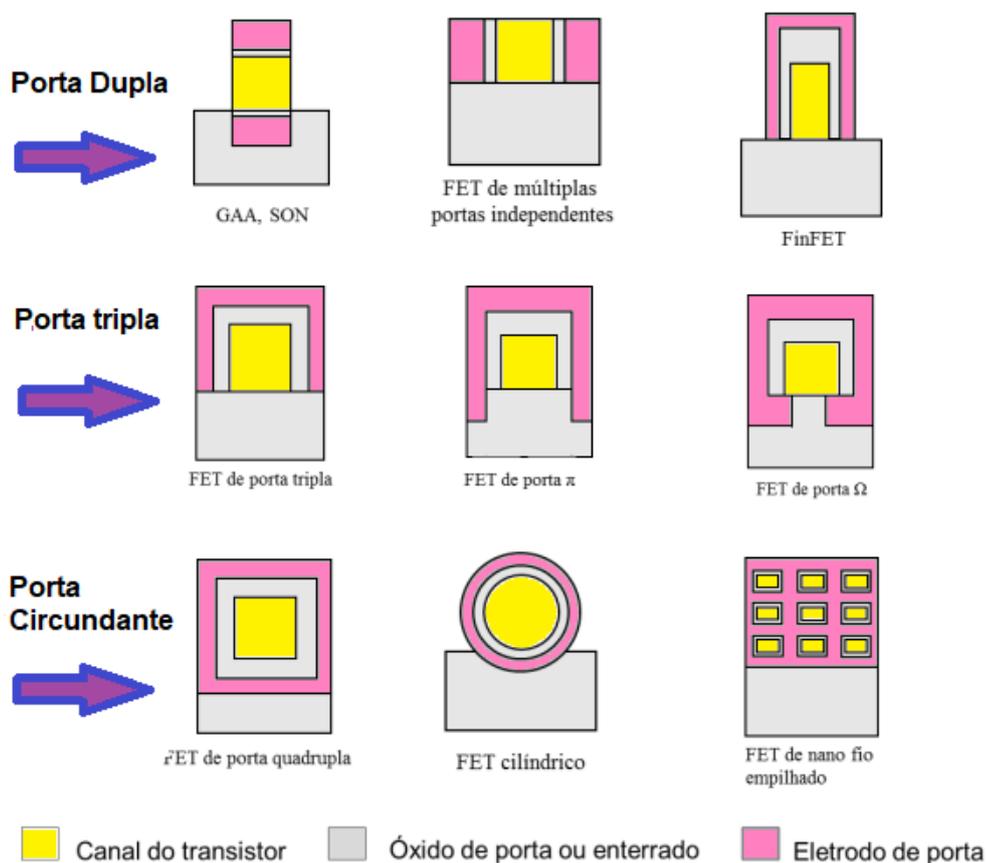


Figura 3 - variações de transistores de múltiplas portas – Fonte adaptado [23]

Dentre os dispositivos de múltiplas portas que mais se destacam está o FinFET de porta tripla, que atualmente são encontrados em circuitos integrados de alto desempenho como os processadores da INTEL [9]. Inicialmente o dispositivo SOI FinFET de porta tripla originou-se do SOI FinFET de porta dupla, que possui uma arquitetura similar ao transistor DELTA [30]. A diferença entre o FinFET de porta dupla para o de porta tripla está na espessura do dielétrico de porta no topo dos transistores FinFETs. Quando este dielétrico é espesso, sua principal função evitar a formação de inversão no topo da aleta de silício [14], enquanto que para dielétrico fino, há condução de corrente no topo e nas laterais da aleta de silício.

Os transistores FinFETs de porta tripla também possuem o dielétrico do topo da aleta com a mesma espessura de suas camadas laterais, por isso o nome de porta tripla [11]. A Figura 4 mostra a estruturas dos FinFETs de porta dupla e tripla.

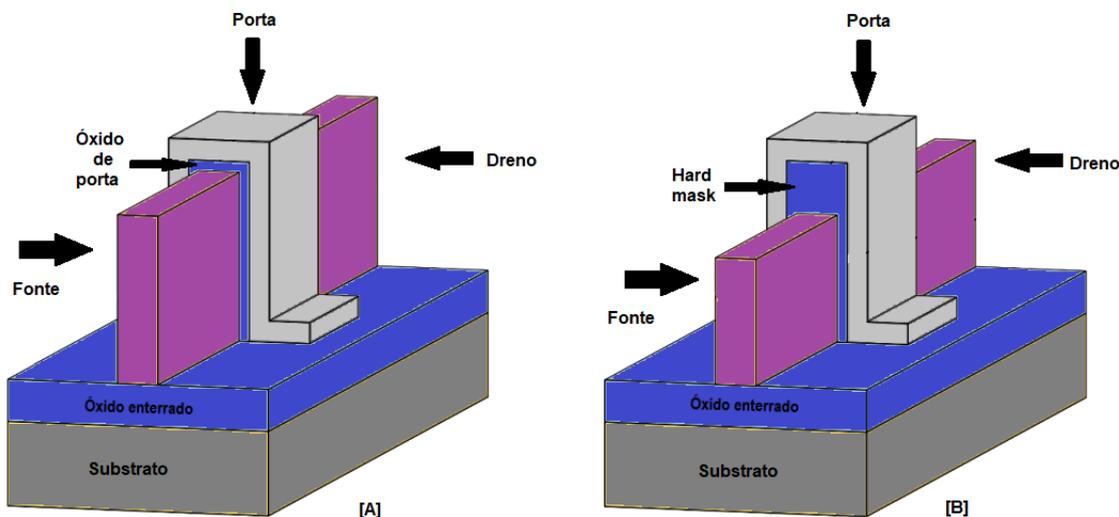


Figura 4 - Estrutura de um FinFET de porta tripla [A] e de um FinFET de porta dupla [B] – Adaptado Fonte [13].

2.2.1 - FinFETs de porta tripla

Na literatura, os FinFETs também podem ser encontrados como transistores 3D ou *triple-gate*, mudando apenas a nomenclatura do dispositivo mantendo sua estrutura e eficiência. Estes dispositivos podem ser construídos tanto na tecnologia SOI MOSFET quanto na tecnologia MOSFET Convencional (Bulk), sendo mais eficiente quando construídos com a primeira tecnologia citada.

Na Figura 4 é apresentado a estrutura de um SOI FinFET de porta tripla mais detalhada onde contém suas principais dimensões que são: W_{Fin} que é a largura da aleta e H_{Fin} sendo a altura da aleta. O FinFET de porta tripla é um dispositivo tridimensional que contém uma camada de silício vertical, alta e fina que forma uma aleta [14].

De acordo com a INTEL, os transistores de porta tripla conseguem reduzir as correntes de fuga e consumir muito menos energia quando se comparado aos demais transistores [28]. Sobre a performance do FinFET de porta tripla, estipula-se que é possível obter um aumento de até 37% de sua velocidade de processamento e reduzir seu consumo de energia em torno de 50%, quando

comparados aos transistores planares [29], mostrando uma melhoria de desempenho com esta nova tecnologia. A figura 5 mostra a estrutura de SOI FinFET de porta tripla.

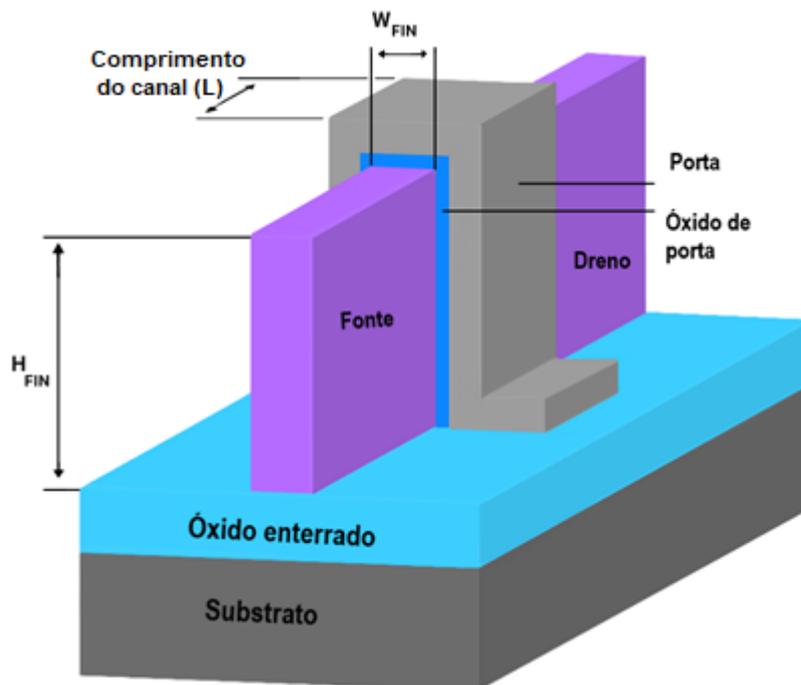


Figura 5 - Estrutura de um SOI FinFET de porta tripla

A partir destas dimensões do dispositivo, é possível determinar a largura efetiva do canal (W_{eff}) através da seguinte equação a seguir:

$$W_{eff} = W_{FIN} + 2H_{FIN} \quad (3)$$

2.2.2 - Parâmetros Elétricos do Dispositivo

Quando é estudado qualquer dispositivo é de suma importância conhecer todo seu comportamento de operação, e para isto avaliam-se os principais parâmetros elétricos dos dispositivos.

2.2.2.1 - Tensão de Limiar (V_{TH})

A Tensão de Limiar (V_{TH}) é a tensão mínima que é aplicada entre a porta e a fonte (V_{GS}) do dispositivo que fará com que o transistor comece a conduzir corrente elétrica. Esta tensão que é responsável por gerar um campo elétrico capaz de inverter as cargas do canal e permitir a condução entre os terminais de dreno e fonte (I_{DS}) [31].

O potencial de superfície (ϕ_S) desempenha um papel importante na determinação da Tensão de Limiar, pois é o potencial elétrico na superfície (ϕ_S) do canal que controla a densidade de portadores de carga no canal. No entanto, a relação entre o potencial de superfície e o potencial de Fermi pode variar dependendo das condições do dispositivo e não há uma relação direta entre esses dois parâmetros que se aplique em todas as situações [32].

A Tensão de Limiar pode ser calculada através da seguinte equação [4]:

$$V_{TH} = \phi_{MS} + \ln \left[\frac{2 \cdot C_{ox} \cdot k \cdot T}{q^2 \cdot n_i \cdot t_{Si}} \right] + \frac{h^2 \cdot \pi^2}{2 \cdot q \cdot m^* \cdot t_{Si}^2} \quad (4)$$

ϕ_{MS} = Função trabalho entre o material de porta e o canal

k = Constante de Boltzmann

T = Temperatura absoluta

q = Carga elementar do elétron

C_{ox} = Capacitância do óxido de porta por unidade de área

n_i = Concentração intrínseca de portadores do silício

t_{Si} = Espessura do silício

h = Constante reduzida de Plank

m^* = Massa efetiva de confinamento do portador na direção transversal

É válido ressaltar que o terceiro termo da equação 4 é referente a efeitos quânticos devido a redução da espessura do silício, ocorrendo uma variação das bandas de energia, que neste caso pode ser considerado como desprezado, pois essa situação ocorre apenas para espessuras de silício menores que 5nm [14].

2.2.2.2 - Corrente de Dreno (I_{DS})

Um dos principais parâmetros dos transistores é a corrente de dreno (I_{DS}), os FinFETs devido a suas múltiplas portas possuem uma alta capacidade de corrente por unidade de área causado pelos múltiplos canais que são formados [4]. Nos dispositivos FinFETs, o uso de múltiplas aletas em paralelo é bastante comum para aumentar ainda mais a capacidade de corrente. A corrente de dreno total do dispositivo é a corrente que passa por uma aleta (*fin*) multiplicada pela quantidade de aletas (n_{FINS}) presentes no dispositivo [4] sendo ela ainda diretamente proporcional à largura efetiva das portas Equação 3.

Podemos relacionar as correntes de dreno, considerando um SOI planar com uma área de porta $W \times L$ e um SOI de múltiplas portas com a mesma área de porta, através da seguinte equação:

$$I_{DS} = I_{D0} \frac{\theta_{FIN} \cdot \mu_{superior} \cdot W_{FIN} + 2\mu_{lateral} \cdot H_{FIN}}{\mu_{superior} \cdot P} \quad (5)$$

I_{D0} = Corrente de dreno do transistor SOI convencional de área de porta igual a área do FinFET

W_{FIN} = Largura da aleta

H_{FIN} = Altura da aleta

$\mu_{superior}$ = Mobilidade dos portadores de carga na interface superior do canal

$\mu_{lateral}$ = Mobilidade dos portadores de carga nas interfaces laterais do canal

P = Espaçamento entre as aletas

θ_{FIN} = Coeficiente do número de portas

O θ_{FIN} é determinado referente ao número de portas do dispositivo, para transistores FinFETs de porta tripla seu valor é 1 diferente dos transistores FinFETs de porta dupla, que devido ao fato de não ter condução pela interface superior do dispositivo o seu valor é 0 [14].

2.2.2.3 - Inclinação de Sublimiar (SS)

Outro parâmetro importante de um transistor é a Inclinação de Sublimiar (SS – *Subthreshold Slope*), este parâmetro é referente à velocidade de chaveamento do transistor, em outras palavras é descrita como a variação de tensão de porta (V_G s) que fará com que a corrente de dreno (I_{DS}) varie em uma década, isto ocorrendo com o dispositivo operando na região de sublimiar onde temos a tensão de porta abaixo da tensão de limiar [17].

A Inclinação de Sublimiar é um fator de qualidade, ou seja, quanto menor for seu valor, significa que mais veloz é o dispositivo em seu chaveamento, mais eficiente. Este parâmetro pode ser calculado através da seguinte equação:

$$SS = \frac{dV_{GF}}{d[\log(I_{DS})]} \quad (6)$$

Em dispositivos SOI MOSFETs a Inclinação Sublimiar é expressa pela seguinte equação relacionando as capacitâncias presentes no dispositivo e o acoplamento entre elas [14]:

$$SS = n \frac{k.T}{q} \ln(10) = \frac{k.T}{q} \ln(10)(1+\alpha) \quad (7)$$

Sendo $n=1+\alpha$ o fator de corpo do dispositivo e α é o fator correspondente à associação das capacitâncias de óxidos e interfaces do dispositivo.

2.2.2.4 - Transcondutância (gm)

A transcondutância (gm) é um parâmetro muito importante a ser analisado em FinFETs, ela é um indicativo de transferência. Ela é responsável por mostrar o quão eficaz é o dispositivo no controle da tensão que é aplicada na porta (VGS) sobre a corrente que passa pelo dreno (IDS) [14]. Em outras palavras a transcondutância é um parâmetro utilizado para expressar a capacidade do dispositivo em fornecer corrente elétrica segundo a variação de tensão de porta. A transcondutância pode ser calculada através da seguinte equação:

$$gm = \frac{dIDS}{dVGS} \quad (8)$$

Uma observação importante a ser feita é que para dispositivos de múltiplas portas, como o FinFET de porta tripla, a mobilidade dos portadores de cargas pode ser diferente em cada interface do dispositivo, então temos a transcondutância do dispositivo sendo composta pela transcondutância de todas as suas interfaces. Analisando o dispositivo operando em tríodo, temos que sua transcondutância máxima total ($gm_{max,total}$) como sendo a soma da transcondutância máxima lateral ($gm_{max,lateral}$) e sua transcondutância máxima superior ($gm_{max,superior}$), isso para o caso de termos todas as interfaces com a mesma espessura de óxido [33]. Para as transcondutâncias citadas temos as seguintes equações:

$$gm_{max,lateral} = 2 \frac{H_{FIN}}{L} \cdot Cox \cdot VD \cdot \mu_{lateral} \quad (9)$$

$$gm_{max,superior} = \frac{W_{FIN}}{L} \cdot Cox \cdot VD \cdot \mu_{superior} \quad (10)$$

$$gm_{max,total} = \{W_{FIN} \cdot \mu_{superior} + 2H_{FIN} \cdot \mu_{lateral}\} \frac{Cox \cdot VD}{L} \quad (11)$$

H_{FIN} = Altura da aleta

W_{FIN} = Largura da aleta

$\mu_{superior}$ = Mobilidade dos portadores de carga na interface superior do canal

$\mu_{lateral}$ = Mobilidade dos portadores de carga nas interfaces laterais do canal

C_{ox} = Capacitância do óxido de porta

V_D = Tensão de dreno aplicada

L = Comprimento do canal

2.2.2.5 - Mobilidade dos Portadores

A mobilidade dos portadores de carga em um material semiconductor pode ser definida como a constante de proporcionalidade entre a velocidade de deriva dos portadores e o campo elétrico [34]. Em dispositivos SOI MOSFET de múltiplas portas, por conta da condução de corrente em diferentes interfaces, os portadores podem ter mobilidades diferentes em cada interface dependendo da sua orientação cristalina. Em SOI FinFETs a mobilidade efetiva (μ_{eff}) pode ser obtida através de uma relação entre as dimensões da aleta e as mobilidades de suas interfaces. A equação utilizada é:

$$\mu_{eff} = \frac{W_{FIN}}{W_{FIN}+2H_{FIN}} \cdot \mu_{superior} + \frac{2H_{FIN}}{W_{FIN}+2H_{FIN}} \cdot \mu_{lateral} \quad (12)$$

2.2.2.6 - Eficiência do Transistor (gm/Ids)

A Eficiência do Transistor (gm/Ids) representa a amplificação (gm) obtida dividida pela energia fornecida para atingir esta amplificação (Ids) [14]. Para aplicações analógicas e projeto de circuitos, a Eficiência de um transistor é um parâmetro bastante utilizado e por isso a sua análise é de suma importância [35].

A análise da Eficiência de um transistor usualmente é feita em função da corrente de dreno normalizada (I_{DSnorm}), através da qual podemos dividir a análise de acordo com a condição de inversão do canal. Na região de inversão fraca atingimos o maior valor da eficiência do transistor, sendo esta região dependente do inverso da inclinação sublimiar. Analisando a inversão forte, temos uma redução na eficiência do transistor com a corrente de dreno (I_{DS}),

isso devido a dependência da mobilidade dos portadores de carga e da resistência série ($R_{série}$) [37].

2.2.2.7 - Condutância de Saída (g_d)

Um segundo parâmetro analógico do dispositivo bastante interessante para análise é a Condutância de Saída (g_d). A Condutância de Saída tem como definição a variação da corrente de dreno (I_{DS}) sobre uma variação de tensão de dreno (V_D). Para este parâmetro, quanto menor seu valor melhor será seu desempenho em aplicações analógicas, tendo como o ideal uma corrente de dreno constante na região de saturação mesmo com uma grande variação de tensão de dreno, ocasionando em um valor de condutância de saída baixíssimo, praticamente nulo [39].

A Condutância de Saída pode ser expressa através da seguinte equação:

$$g_d = \frac{dI_{DS}}{dV_D} \quad (13)$$

2.2.2.8 - Ganho intrínseco de tensão (A_v)

Outro parâmetro analógico bastante utilizado em análises de transistores para serem empregados em circuitos integrados é o ganho intrínseco de tensão (A_v). Este parâmetro é referente à amplificação da tensão elétrica de um dispositivo.

A Figura 6 mostra um circuito analógico que é a representação de um Amplificador Operacional de Transcondutância - OTA - contendo apenas um transistor MOS.

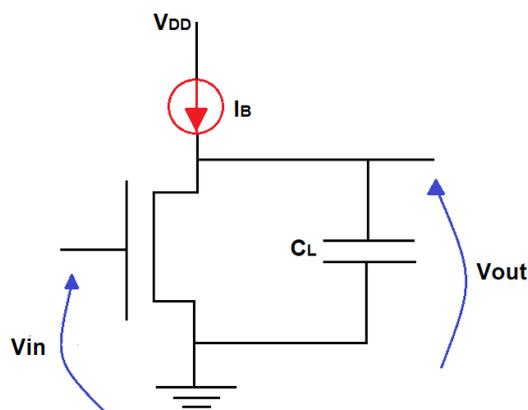


Figura 6 - Representação de um OTA simples

Este parâmetro também é uma medida de relação entre a sua efetividade e em controlar corrente de dreno, no caso a transcondutância, e a sua condutância de saída [37] [39], como segue a equação abaixo:

$$\left| A_v \right| = \frac{\Delta V_{out}}{\Delta V_{in}} = \frac{g_m}{g_D} \quad (14)$$

Uma outra forma de calcular o ganho intrínseco de tensão é

$$\left| A_v \right| \approx \frac{g_m}{I_{DS}} \cdot V_{EA} \quad (15)$$

Sendo V_{EA} a Tensão Early.

2.2.2.9 - Tensão Early (V_{EA})

A Tensão Early é um parâmetro analógico do dispositivo que pode ser obtida através da extrapolação da região de saturação da curva $I_{DS} \times V_{DS}$. Idealmente, esta tensão deveria tender ao infinito, porém quando a tensão aplicada ao dreno aumenta, cresce a região de depleção controlada pelo dreno e ocorre a modulação do comprimento do canal, ou seja, a redução do comprimento efetivo do canal (L) [31].

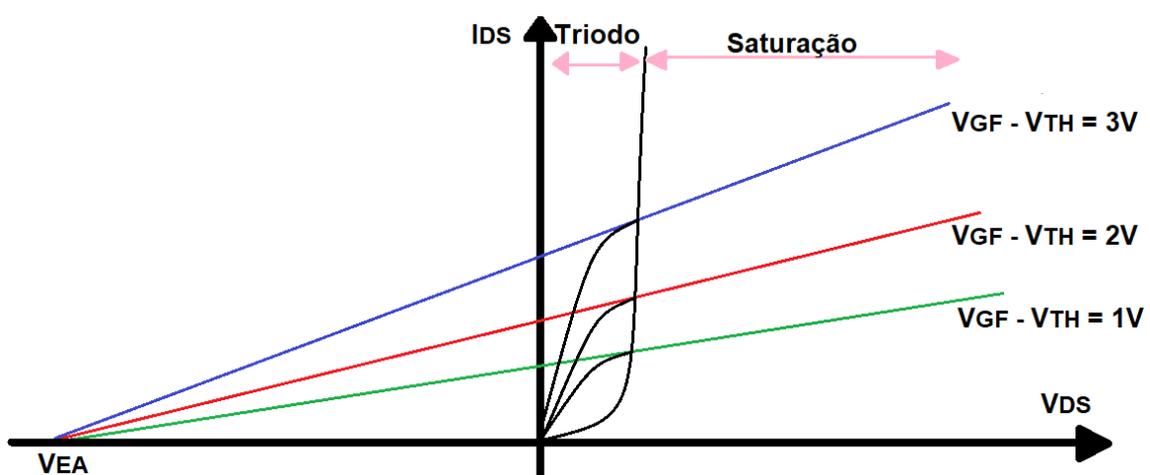


Figura 7 - esquemática da curva de VEA

Dispositivos maiores costumam a apresentar uma Tensão Early maior [38], que como pode ser observado através da equação 15, irá aumentar o ganho

de tensão. O fato de dispositivos maiores apresentarem uma Tensão Early maior que dispositivos menores, é devido estes dispositivos possuírem uma área de junção base-coletor maior, conseqüentemente aumentando a capacitância parasita da junção e diminuindo a queda de tensão através da junção para um valor menor. Quando isto ocorre, uma pequena variação na tensão coletor-emissor é capaz de gerar uma grande variação na corrente de coletor fazendo com que o coeficiente Early aumente [38]. Isto ocorre para transistores bipolares, para os dispositivos MOSFETs é um outro comportamento.

Em dispositivos MOSFETs o ideal, para uma certa tensão de porta fixa, acima da tensão de limiar, quando a tensão de dreno passa a tensão de dreno de saturação, a corrente de dreno do dispositivo deveria se manter constante, porém, quando aumentada a tensão de dreno, a região de depleção entre dreno e canal aumenta. Isto faz causar uma diminuição do comprimento efetivo do canal abaixo da porta e conseqüentemente no aumento da corrente de dreno quando o transistor está na região de saturação [3].

2.2.3 Tensionamento Mecânico

Para aumentar a performance dos dispositivos, sem precisar reduzir ainda mais o dispositivo, uma técnica passou a ser estudada, o tensionamento mecânico. Esta técnica é aplicada no dispositivo com a finalidade de aumentar a mobilidade dos portadores, resultando em um aumento expressivo da sua corrente de dreno, conseqüentemente sendo mais eficientes que dispositivos não tensionados [40]. Alguns estudos sobre tensionamento mecânico apontam um aumento em torno de 60% da mobilidade dos elétrons em dispositivos SOI MOSFETs quando aplicado um tensionamento mecânico [41], esse aumento na mobilidade causa um aumento significativo da corrente de estado ligado (I_{ON}) sem que haja um aumento na corrente de estado desligado (I_{OFF}) [42]. Levando em consideração essa melhoria, as indústrias hoje em dia passaram a usar esta técnica na fabricação de seus dispositivos devido as vantagens apresentadas em relação a dispositivos dos quais o tensionamento mecânico não é aplicado [43].

O tensionamento mecânico passou a ser utilizado a partir dos anos 90, porém para a tecnologia SOI, o tensionamento mecânico começou a ser aplicado em

seus dispositivos apenas nos anos 2000 [45], [46]. O tensionamento mecânico é comumente aplicado em dispositivos com dimensões de 90, 65 e 45nm [35].

A alteração da mobilidade dos elétrons e lacunas, provocadas pelo tensionamento mecânico, é devido a alteração da rede cristalina do silício que resulta na alteração das bandas de energia do material, como por exemplo no caso do tensivo ocorre a redução da banda proibida, ou *bandgap* [47].

Há duas formas de tensionamento mecânico: unidirecional, que é quando o tensionamento ocorre de forma localizada na lâmina, e bidirecional, que é quando o tensionamento ocorre em toda a lâmina [49]. É importante salientar que quando falamos sobre tensionamento mecânico, a técnica que é aplicada de forma localizada na lâmina possibilita uma melhor escalabilidade dos circuitos [51].

Para o tensionamento mecânico unidirecional há ainda duas formas de tensionamento: tensivo e compressivo. O tensionamento tensivo é utilizado em dispositivos nMOS, e tem como finalidade o aumento da mobilidade de elétrons. Já o tensionamento compressivo é aplicado em dispositivos pMOS com o intuito de aumentar a mobilidade das lacunas [47].

2.2.3 - Tensionamento mecânico Uniaxial

O tensionamento mecânico uniaxial ocorre em uma área específica na lâmina, podendo ser tanto tensivo como compressivo. A vantagem desta técnica é que, em uma mesma lâmina, você pode ter tanto o tensionamento tensivo como o compressivo, visto que esse tensionamento uniaxial é feito de forma localizada [52].

Esta técnica pode ser realizada de duas formas. A primeira forma é através de uma dilatação térmica do material. Ela é realizada através da deposição de um filme, que pode ser de diversos materiais, incluindo silício, nitreto de silício, óxido de silício, dióxido de titânio e outros materiais de filme fino, sobre a estrutura que se deseja tensionar, para isto é utilizada a técnica de Deposição Química a Vapor Assistida por Plasma, o PECVD (*Plasma Enhanced Chemical Vapor Deposition*). Esta deposição do filme ocorre em uma temperatura elevada podendo chegar de 250°C a 800°C dependendo do material utilizado [50]. Após

esse aquecimento, diminui-se a temperatura, e como temos materiais com coeficientes de dilatação térmica diferentes, vai ocorrer o tensionamento [53].

Para esta técnica de tensionamento através da dilatação térmica tem-se três situações que podem ocorrer. Quando o coeficiente de dilatação do substrato for maior que o do filme ($\alpha_s > \alpha_f$), o substrato encolhe mais que o filme ocasionando em uma força compressiva na região do canal. Para a situação em que o coeficiente de dilatação do substrato for menor que o do filme ($\alpha_s < \alpha_f$), então quem encolhe mais é o filme, fazendo com que haja uma força tensora na região do canal. Já para ambos os coeficientes de dilatação, tanto do substrato quanto do filme, forem iguais ($\alpha_s = \alpha_f$), eles sofrem a mesma dilatação, formando uma região neutra no canal [54], [55]. A figura 8 apresenta este tipo de tensionamento, representando com setas, cada situação em que o tensionamento é aplicado.

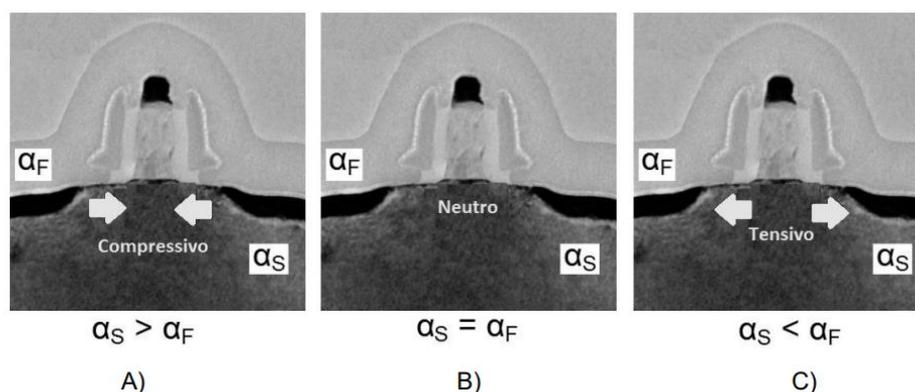


Figura 8 - Geração de tensão mecânica uniaxial em MOSFETs – Fonte INTEL

Outra forma para realizar o tensionamento mecânico uniaxial é com a deposição de ligas de silício germânio (SiGe) nas regiões de fonte e dreno, que vai ocasionar em uma força compressiva na região do canal. Para este caso, o tensionamento ocorre devido ao espaçamento interatômico do silício e do germânio serem diferentes. Esta técnica é mais efetiva para dispositivos com canal tipo p e comprimento mais reduzido [11].

2.2.3.2 - Tensionamento mecânico Biaxial

A técnica do tensionamento mecânico biaxial também utiliza liga de silício germânio (SiGe) em seu processo e este tensionamento ocorre em todo o corpo da lâmina. Nesta técnica, a deposição da liga silício germânio ocorre durante o

processo de fabricação da lâmina SOI, na qual se realiza o crescimento epitaxial do silício sobre a liga de silício germânio depositada, recebendo o nome de silício tensionado sobre isolante, ou sSOI (*strained Silicon-On-Insulator*) [12]. Esta técnica ocorre da seguinte forma: Primeiro é reduzido gradualmente a concentração de germânio na liga SiGe até que a parte superior da lâmina contenha apenas Si puro; em seguida, o silício que ficou na parte superior da lâmina é crescido epitaxialmente seguindo a estrutura cristalina da liga e após esse procedimento toda essa região de Si é oxidada termicamente. Utilizando esta lâmina de silício, é feita a união desta com a outra lâmina de Si já contendo uma camada espessa de óxido – *bonded wafers*. Por fim, a camada da liga SiGe é removida surgindo então a lâmina sSOI [48].

Como os átomos de silício e os de germânio possuem tamanhos diferentes, a liga de silício germânio terá um parâmetro de rede maior que a do silício cristalino. Devido ao crescimento epitaxial feito na lâmina, os átomos do filme de silício ficaram mais espaçados, ocasionando em um tensionamento tensivo. A Figura 9 mostra melhor o que acontece com os átomos [49].

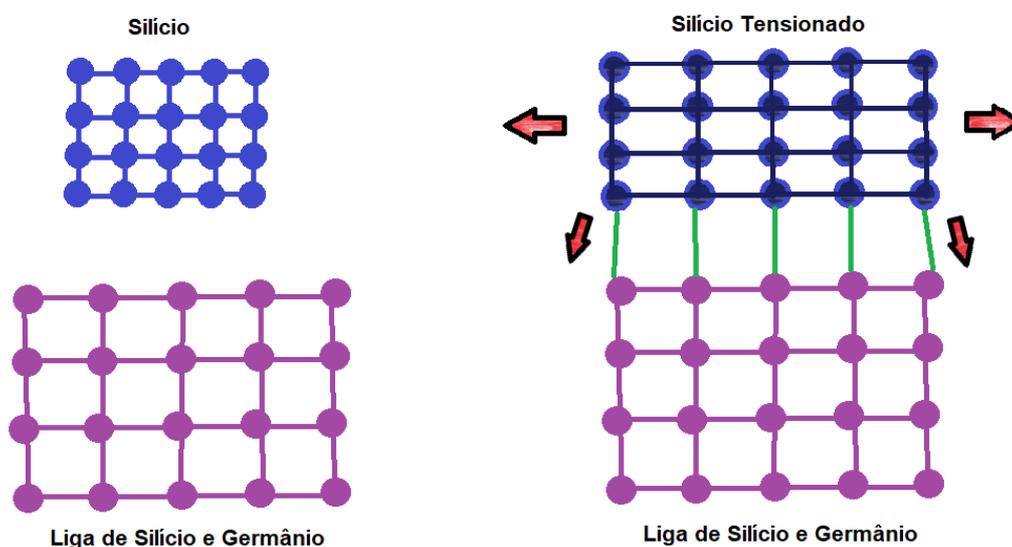


Figura 9 - Representação do tensionamento mecânico biaxial

Esta técnica é efetiva para aumentar a mobilidade dos elétrons, sendo seu efeito desprezível para o aumento da mobilidade das lacunas.

2.2.3.3 - Crescimento Epitaxial Seletivo

Quando se tem dispositivos com dimensões submicrométricas ocorre uma degradação no nível de corrente e da transcondutância. Isto ocorre pelo fato que, quando diminui a largura da aleta do dispositivo a resistência série parasita irá causar essa degradação [56].

Para reduzir a resistência série parasita aumenta-se a área de contato na região de fonte e dreno, que conseqüentemente fará com que ocorra uma redução da resistência de contato, que também é considerada uma resistência série parasita [56]. É necessário um alto nível de dopagem nessas regiões para que seja possível essa redução [57].

A equação 16 demonstra melhor a relação entre a resistência de contato parasita e a área.

$$R_{CO} = \frac{\rho_{CO}}{A} \quad (16)$$

Na equação temos R_{CO} como a resistência de contato parasita, ρ_{CO} como a resistividade de contato e A como a área de contato.

A técnica conhecida como Crescimento Epitaxial Seletivo (*Selective Epitaxial Growth* -SEG) é utilizada para aumentar a espessura do silício nas regiões de fonte e dreno dos dispositivos, que são onde encontra-se um maior nível de dopagem [57].

Quando é aplicado o SEG nas regiões de fonte e dreno dos dispositivos é possível conseguir uma melhoria no nível de corrente de até 50% com relação da diminuição da resistência série [58].

2.3 - Amplificador Operacional de Transcondutância (OTA)

Dentre os componentes básicos mais utilizados para o desenvolvimento e construção de circuitos analógicos estão os amplificadores operacionais. Dentre os amplificadores operacionais temos o amplificador operacional de transcondutância (OTA), que tem como função converter a diferença de tensão

em seus terminais de entrada em uma corrente que fluirá pelo terminal de saída, isso relacionado com o ganho da sua transcondutância [46].

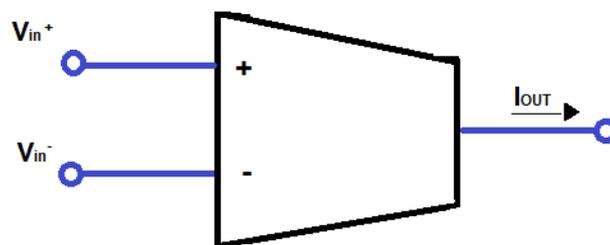


Figura 10 - Representação simbólica de um OTA

Par calcular a corrente de saída basta multiplicar a diferença de tensão pelo ganho de transcondutância, este cálculo é representado pela equação:

$$I_{out} = G_m \cdot (V_{in+} - V_{in-}) \quad (17)$$

Vale citar alguns parâmetros importantes do amplificador operacional de transcondutância, que são: largura de banda; ganho de tensão e corrente; potência dissipada; impedâncias de entrada e saída; sobrecarga de tensão; linearidade; tolerância a ruído e a variação de temperatura; eficiência energética e área do circuito [62], [63].

O uso de um OTA de dois estágios tem sido bastante utilizado quando o foco de estudos e aplicações são com novas tecnologias, devido ao fato de ser necessário aumentar o ganho de tensão de malha aberta e a faixa linear de saída [63].

A estrutura de um OTA de dois estágios consiste em: um circuito *bias* (fonte de corrente), Espelhos de corrente para polarizar os 2 estágios, o par diferencial com carga ativa (primeiro estágio) e um amplificador fonte comum (segundo estágio) [62]. O primeiro estágio é composto por um par diferencial o qual tem como objetivo de converter a tensão diferencial de entrada em saída simples apresentando ganho de tensão e rejeitando modo comum. O segundo estágio do amplificador irá multiplicar o ganho do primeiro estágio [13].

3 - MATERIAIS E MÉTODOS

Neste capítulo serão apresentados os dispositivos; a metodologia e os equipamentos utilizados para as medidas experimentais.

Para simular o amplificador operacional baseado nas características reais do dispositivo são necessárias as seguintes etapas:

1. Medidas de alta precisão dos dispositivos: as medidas realizadas foram as curvas de transferência ($I_{DS} \times V_{GS}$) e da característica de saída ($I_{DS} \times V_{DS}$), com as seguintes especificações: Varreu-se a tensão de porta (V_{GS}) na faixa -0,25V a 1,5V com passo de 10mV, para tensões de dreno de 0 a 1,5V com passo de 50mV.
2. Extração de parâmetros: Nesta etapa foram extraídos os seguintes parâmetros: Tensão de limiar; corrente de dreno; transcondutância; eficiência do transistor e condutância de saída.
3. Elaboração da *LookUpTable* (LUT): É realizado uma tabela com V_G , V_D e I_G , com todos os valores medidos
4. Codificação Verilog-A: Após a criação de uma tabela contendo V_G , V_D e I_G para o método da LUT é feita uma codificação desta tabela para a linguagem Verilog-A para a simulação.
5. Criação do dispositivo: Através do simulador CADENCE Virtuoso é elaborado um dispositivo semelhante ao dispositivo medido, no caso desse trabalho o dispositivo é um FinFET, aplicando o método LUT nesse dispositivo. Nesta etapa é feita uma simulação do dispositivo de modo que possa ser comprovado que o dispositivo simulado terá o mesmo comportamento do dispositivo medido. Esta etapa é feita tanto para dispositivos tensionados e de referência, e para dispositivos de canal p e n.
6. Validação do dispositivo: Após a simulação do dispositivo, são extraídas as curvas $I_{DS} \times V_{DS}$ e $I_{DS} \times V_{GS}$ do dispositivo simulado para comparar com o dispositivo medido e ter a validação que ambos têm o mesmo comportamento. Esta etapa é feita tanto para dispositivos tensionados e de referência, e para dispositivos p e n.
7. Montagem do circuito: Tendo a validação dos dispositivos é projetado um circuito OTA de dois estágios no CADENCE para a simulação.

8. Modelagem do circuito: Através da ferramenta ADEL X são inseridas as especificações para a simulação do OTA de dois estágios.
9. Análise de resultados: Após a simulação é feita a coleta de resultados do projeto para análise do desempenho dos dispositivos.

Na figura 11 é apresentado um fluxograma indicando todo o processo necessário para o projeto e análise do OTA.

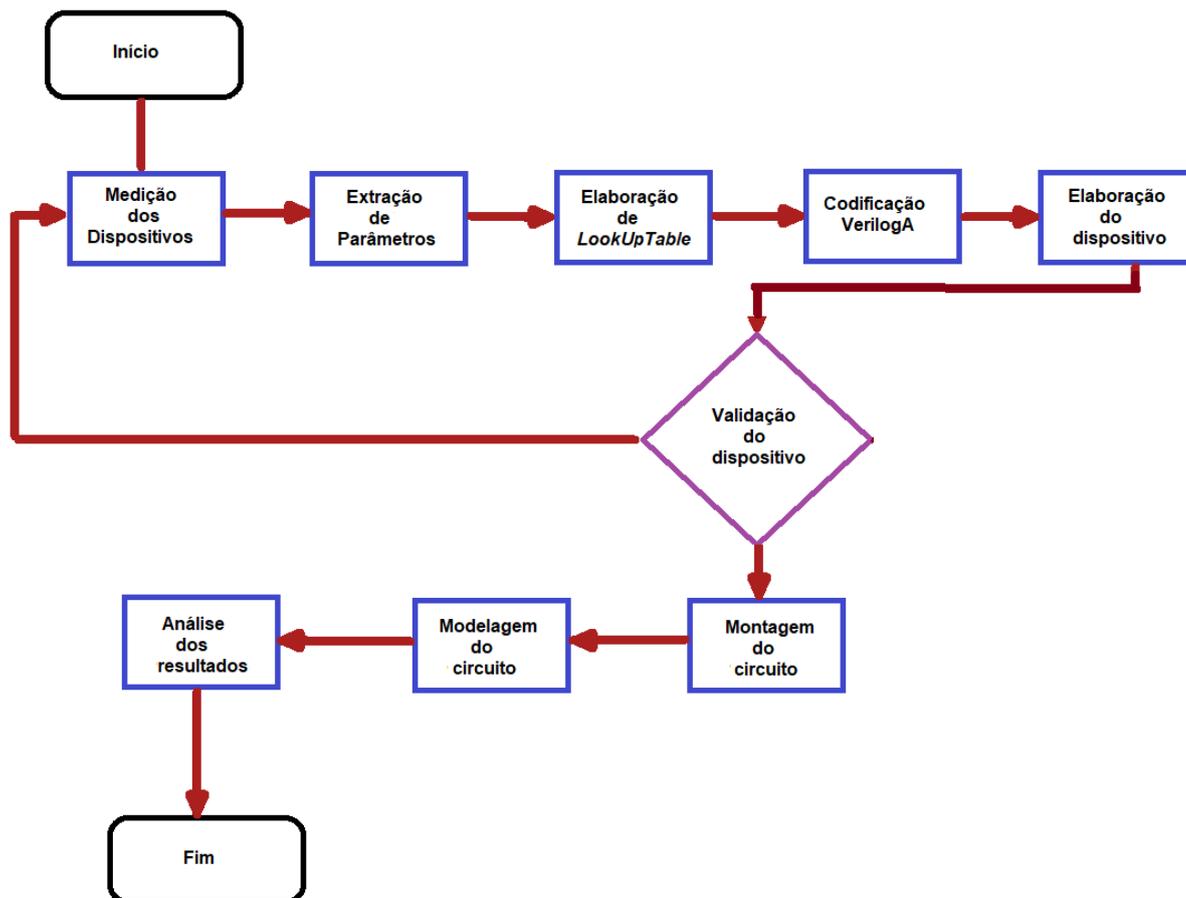


Figura 11 - Fluxograma de atividades

3.1 - Dispositivo

Foram feitas medidas experimentais afim de analisar o comportamento do dispositivo e a alteração dos seus principais parâmetros em decorrência do tensionamento mecânico aplicado neles. Os dispositivos utilizados nesse processo experimental são SOI FinFET's de porta tripla possuindo as seguintes características: Comprimento Efetivo do Canal (L) de 100nm/150nm/900nm; Altura das Aletas (HFIN) de 65nm; Largura das Aletas (WFIN) de 20nm; Largura

Efetiva (W_{eff}) do FinFET de 150nm; Espessura efetiva do óxido de porta (EOT) de 2nm e um eletrodo de porta de 5nm de TiN coberto por 100 nm de Si policristalino. A figura 12 mostra um dos dispositivos SOI FinFET usado para estudo com suas medidas. Todos os dispositivos foram fabricados no centro de pesquisa e desenvolvimento IMEC, localizado na Bélgica, na cidade de Leuven.

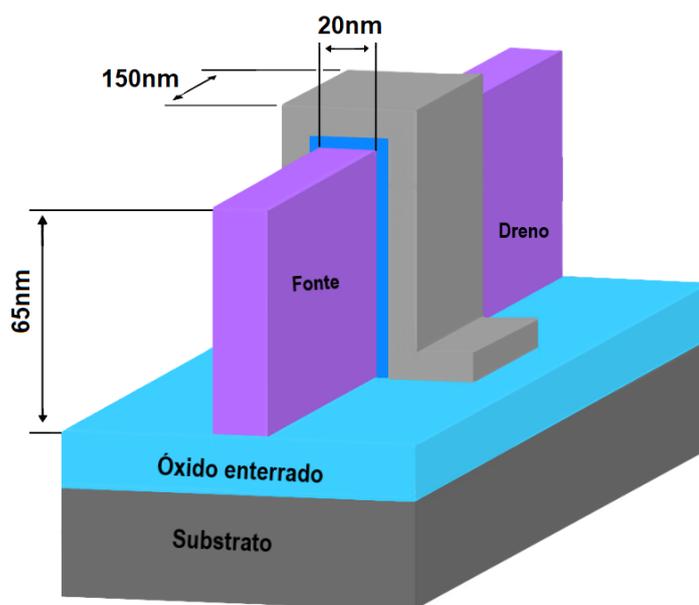


Figura 12 - SOI FinFET com comprimento de canal de 150nm

3.2 - Equipamentos

As medidas experimentais foram realizadas no Laboratório de Sistemas Integráveis (LSI) da Escola Politécnica da Universidade de São Paulo (EPUSP), na cidade de São Paulo, Brasil. Para as medidas, foi utilizado o método de medidas de corrente no dispositivo para variados valores de tensão de porta e dreno. O instrumento de medição foi o analisador de parâmetros, Agilent B1500, da marca Keysight Technologies e as medições foram realizadas à temperatura ambiente. Foram analisados 4 dispositivos, sendo 1 nFinFET e 1 pFinFET de referência, sem tensionamento, e 1 nFinFET e 1 pFinFET tensionados uniaxialmente, onde o nMOS é tensionado e o pMOS é comprimido.

3.3 - Método LookUp Table

Para a validação das análises do projeto foi utilizado o método de *LookUp Tables*, que basicamente são tabelas contendo os dados que serão utilizados para descrever o comportamento do dispositivo de forma matemática, contendo os valores dos seguintes parâmetros do dispositivo: V_D ; V_G e I_D . Quando não se tem o modelo analítico preciso do dispositivo a ser simulado; este método se torna bastante recomendado. Através deste método é possível conseguir simular o dispositivo usando suas características obtidas experimentalmente [64].

3.4 - Simulador CADENCE

Com o uso do método *LookUp Tables*, essas medidas foram expressas em códigos de Verilog-A simulando um dispositivo através dos dados experimentais obtidos, simulando assim um modelo “real”. Desta forma é possível a realização de interpolações e extrapolações entre os pontos da tabela fazendo com que seja possível a simulação dos dispositivos em circuitos [64,65].

Após modelo validado e toda a análise das *LookUp Tables*, projeta-se o circuito desejado.

3.5 - Circuito

Afim de estudar o impacto do tensionamento mecânico do transistor FinFETs de porta tripla nos circuitos analógicos, foi projetado um circuito Amplificador Operacional de Transcondutância (OTA).

Para a construção do OTA, primeiramente foi feita a polarização do OTA através de uma fonte de corrente ideal externa. O segundo passo foi projetar o circuito o espelho de corrente, circuito esse responsável para que a corrente fosse espelhada e utilizada em diversos pontos do circuito [13]. Sua formação possui dois FinFETs tipo n, sendo adicionado mais um dispositivo FinFET tipo n para a formação de dois espelhos de corrente para que haja o espelhamento por todo o circuito. Esses dois últimos passos citados permitiram descobrir o número de cada fins dos transistores para que eles operassem dentro da eficiência (gm/I_{DS}) escolhida de $8v^{-1}$. A escolha de trabalhar com eficiência de $8v^{-1}$ foi

devido a estar na inversão forte, região onde a mobilidade é um dos principais parâmetros que determina a eficiência do transistor [11]. Em seguida é projetado, junto aos dois circuitos citados, um circuito par diferencial de fonte comum. Foi adicionado um capacitor de compensação (C_c) na saída do circuito com a finalidade de manter a estabilidade de reposta do circuito e sustentar uma carga proposta representada por (C_L). A escolha do capacitor foi de acordo com o princípio desse estudo, a redução dos dispositivos sem que estes perdessem sua qualidade de operação, então foi desejado um capacitor que ocupasse uma menor área dentro do circuito, porém com uma quantidade suficiente para que este mantenha o circuito com uma saída estável. A seguir temos a figura 12 demonstrando esquemático do circuito.

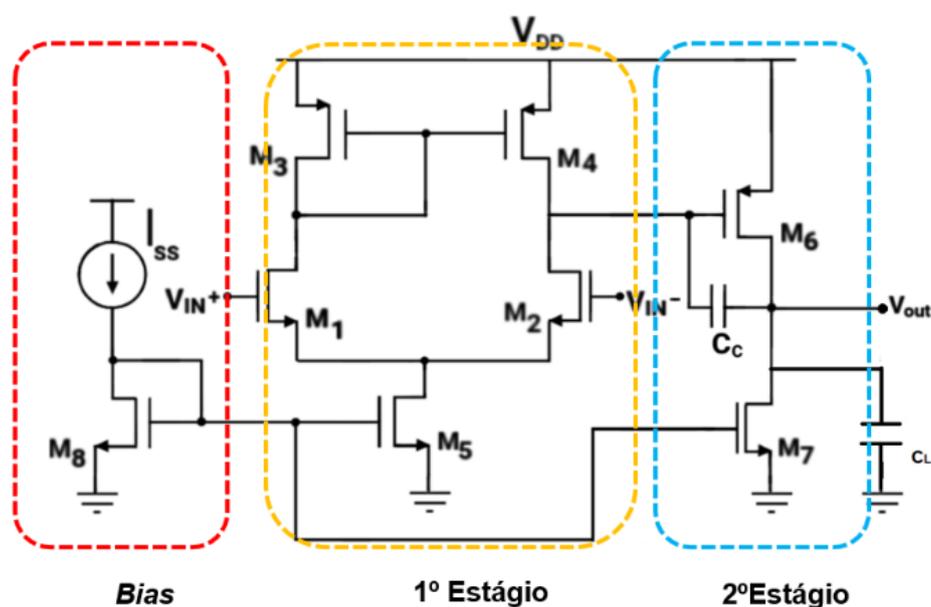


Figura 13 - Esquemático de um circuito OTA de dois estágios

No esquemático do circuito OTA temos a seguinte distribuição dos dispositivos ficou da seguinte forma:

- Primeiro tem-se uma fonte ideal de corrente cuja a função é fornecer uma corrente ideal e estável para todos os estágios;
- Os dispositivos M8, M5 e M7 compõem o espelho de corrente, os quais são responsáveis por espelhar uma corrente proporcional para cada ramo do circuito;
- Os dispositivos M1 e M2 compõem um par diferencial com uma carga ativa representada pelos dispositivos M3 e M4, sua função é amplificar

a diferença de tensão de entrada e fornece uma corrente de saída proporcional a essa diferença, permitindo amplificação e processamento de sinais;

- O dispositivo M6 compõe um circuito amplificador de fonte comum, sua função é amplificar ainda mais o sinal de entrada e fornecer uma alta impedância de saída para preservar a qualidade e integridade do sinal amplificado

A tabela 1 apresentada mostra número de fins que cada dispositivo possui em cada simulação. Para este trabalho foram feitas três simulações para fins comparativos: A primeira simulação foi feita com dispositivos não tensionados, dispositivos de referência, esta simulação é realizada para se estabelecer a referência antes do tensionamento para depois comparar com as respostas obtidas com OTA projetado com dispositivos tensionados. A segunda simulação foi utilizando a mesma corrente de dreno e mesma área que foi utilizada para o circuito projetado com dispositivos de referência, já a terceira simulação foi feita com o circuito operando na mesma condição de inversão que o circuito com dispositivos de referência.

Tabela 1 - Dispositivos e número de fins

Nfin	Dispositivo de referência	Dispositivo tensionado (mesmo Ids)	Dispositivo tensionado (mesmo gm/Ids)
M1, M2	6	6	7
M3, M4	7	7	10
M5	12	12	14
M6	35	35	50
M7	30	30	35
M8	6	6	7

Para as três simulações foi utilizada uma fonte de tensão de alimentação de 2,1 V e uma tensão de modo comum de entrada para o par diferencial de 1,2 V.

4 - ANÁLISE DOS RESULTADOS

Para análise dos resultados, foram comparados os parâmetros básicos dos dispositivos com o dispositivo sem tensionamento e com o dispositivo tensionado, para os dispositivos com diferentes tamanhos de comprimento de canal. Os três comprimentos de canal escolhido para análise foram: 900nm, 150nm e 60nm.

O primeiro parâmetro analisado foi a corrente de dreno através da curva I_{DS} x V_{GS} apresentada nas figuras 13^a e 13B a seguir.

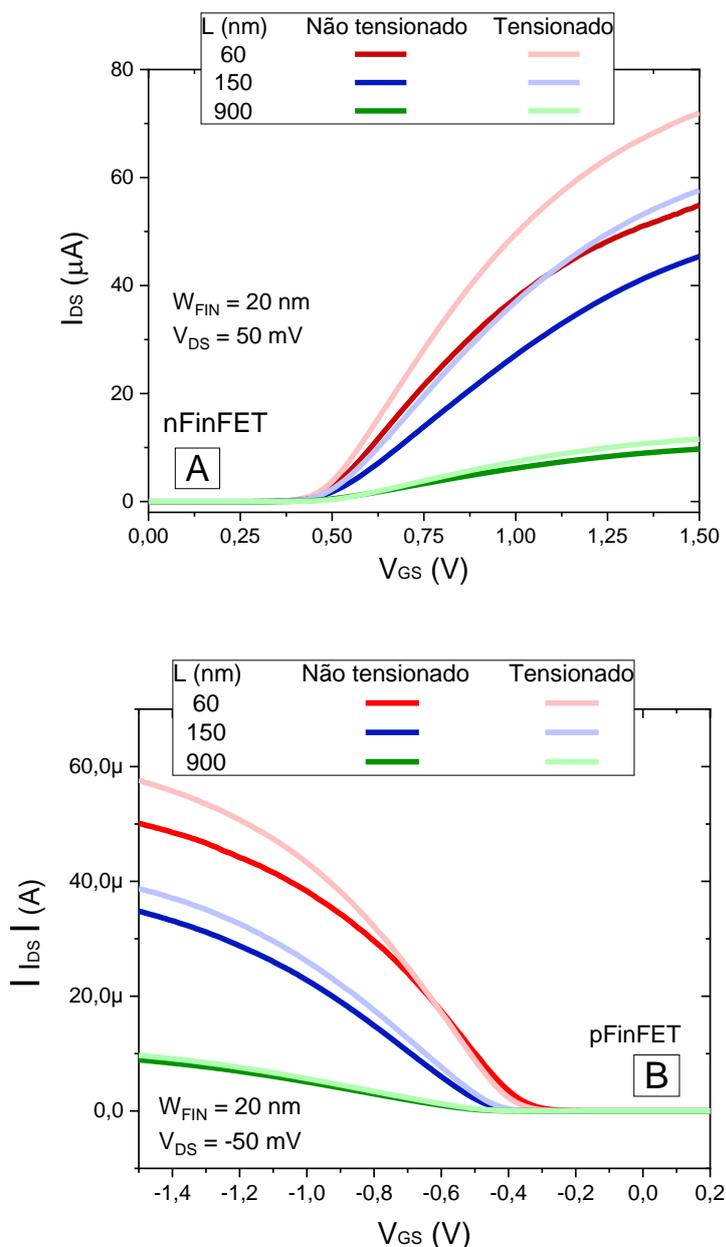


Figura 14 - Curva de transferência em escala linear. A) Dispositivo nFinFET B) Dispositivo pFinFET

A figura 13A e 13B mostram a corrente de dreno dos dispositivos, é possível ver o aumento da corrente de dreno devido ao aumento da mobilidade dos portadores de carga causado pelo tensionamento mecânico. É possível observar a corrente de dreno em relação ao comprimento de canal, quanto menor o comprimento de canal maior é a corrente dreno. Outras duas observações importantes podem ser obtidas através desta curva de transferência: o tensionamento mecânico se prova mais eficaz em dispositivos com menor comprimento de canal, e para dispositivos tipo n ele é mais eficaz em relação ao dispositivos tipo p.

O segundo parâmetro analisado foi a inclinação sublimiar, este parâmetro também pode ser obtido através da curva de transferência $I_{DS} \times V_{GS}$. Para este caso, a curva de transferência foi feita com I_{DS} em escala logarítmica para uma melhor visualização do parâmetro, visto que a inclinação sublimiar é obtida medindo o valor de tensão de porta que é necessário para aumentar a corrente de dreno em uma década, esse valor é obtido na região de sublimiar. As figuras 14^a e 14B apresentam a curva de transferência na escala logarítmica.

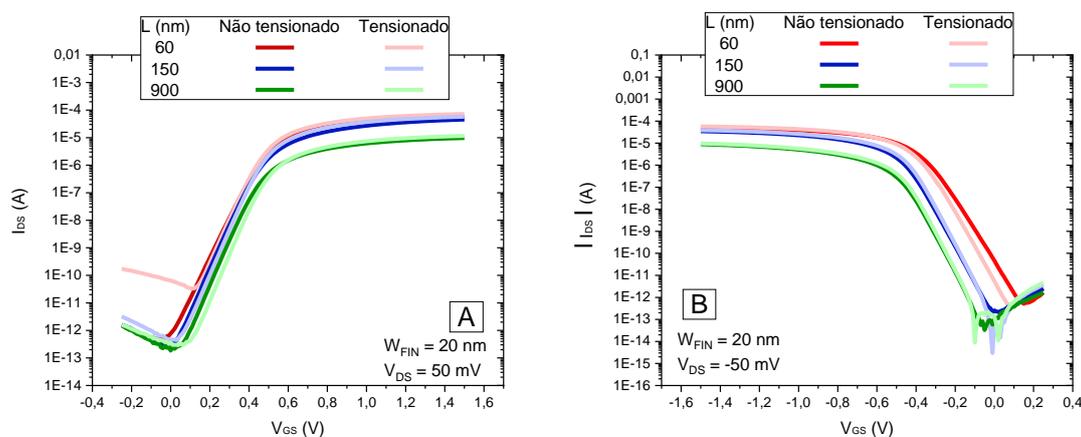


Figura 15 - Curva de transferência em escala logarítmica. A) Dispositivo nFinFET B) Dispositivo pFinFET

Geralmente, os transistores tensionados além da melhoria na corrente de dreno, apresentam uma degradação na inclinação de sublimiar (SS) [67], porém esta degradação não é observada nos FinFETs avaliados, exceto para o dispositivo de menor comprimento de canal, $L = 60$ nm. Para os dispositivos comprimento de canal de 60nm já é possível ver o efeito de canal curto, mesmo

sendo aplicado o tensionamento mecânico, neste caso, a degradação ocorreu devido ao comprimento de canal e não ao tensionamento mecânico.

Para os dispositivos com comprimento de canal de 90 nm e 150 nm, a degradação na inclinação de sublimiar não ocorre neste dispositivo devido a dimensão da largura do fin ser muito estreita (20 nm), isso faz com que haja um forte acoplamento entre a porta e o canal do dispositivo, evitando assim, o a degradação na inclinação sublimiar [66].

A Figura 16 demonstra melhor a inclinação sublimiar em cada dispositivo e sua redução devido ao tensionamento mecânico.

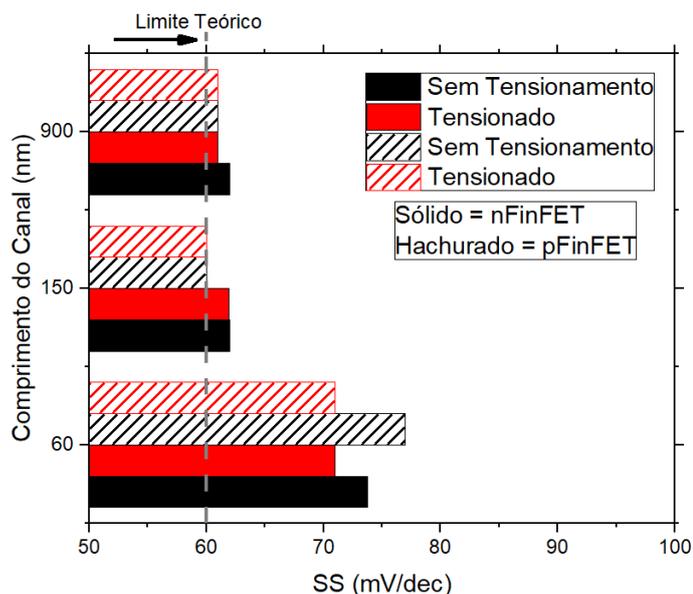


Figura 16 - Inclinação Sublimiar (SS)

É possível notar que para os dispositivos com comprimento de canal de 900nm e 150nm o tensionamento mecânico se mostrou eficiente na redução da inclinação sublimiar. Para o dispositivo de 60 nm também ocorreu esta redução, porém apenas para o dispositivo tipo n, já para o dispositivo tipo p houve um aumento da inclinação sublimiar.

Outro parâmetro básico analisado foi a tensão limiar dos dispositivos apresentados na Figura 17. A tensão limiar foi obtida através da segunda derivada da curva $I_{DS} \times V_{GS}$, seu valor é o valor de V_{GS} onde há um pico na curva.

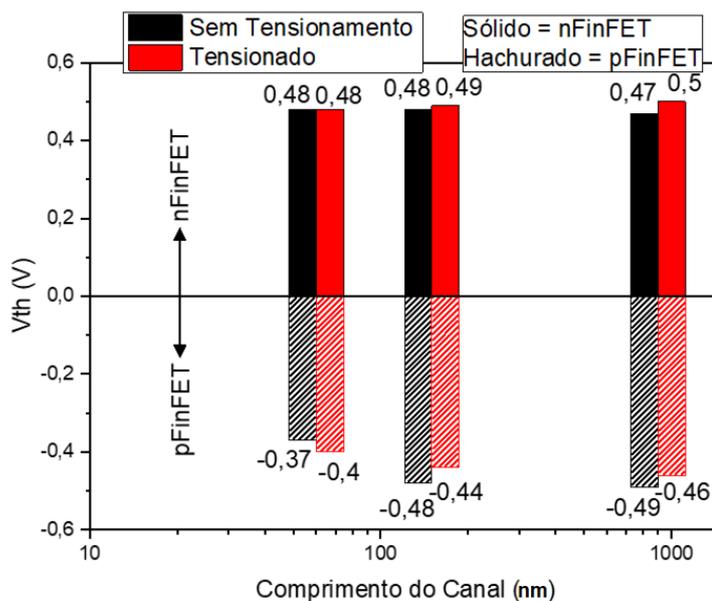


Figura 17 - Tensão limiar dos dispositivos

É possível concluir que para dispositivos nFinFET a tensão de limiar permaneceu constante (variação dentro do passo de medida) e para dispositivos pFinFET teve uma redução mínima do valor absoluto, neste caso a redução de V_{th} ocorreu devido ao estreitamento da banda proibida, ou *bandgap* [68].

Para a próxima análise foi medida a transcondutância dos três dispositivos obtida através da primeira derivada da curva $I_{DS} \times V_{GS}$. As Figuras 18 e 18B mostra a transcondutância de cada dispositivo e seu aumento devido ao tensionamento mecânico. Como já citado, o tensionamento mecânico melhora a mobilidade dos portadores de cargas, aumentando a corrente de dreno dos dispositivos e conseqüentemente aumentando a sua transcondutância. Este parâmetro é o que mais expressa o efeito do tensionamento mecânico quando aplicado em diferentes comprimentos de canais e é possível notar também sua eficácia em dispositivos tipo n e tipo p.

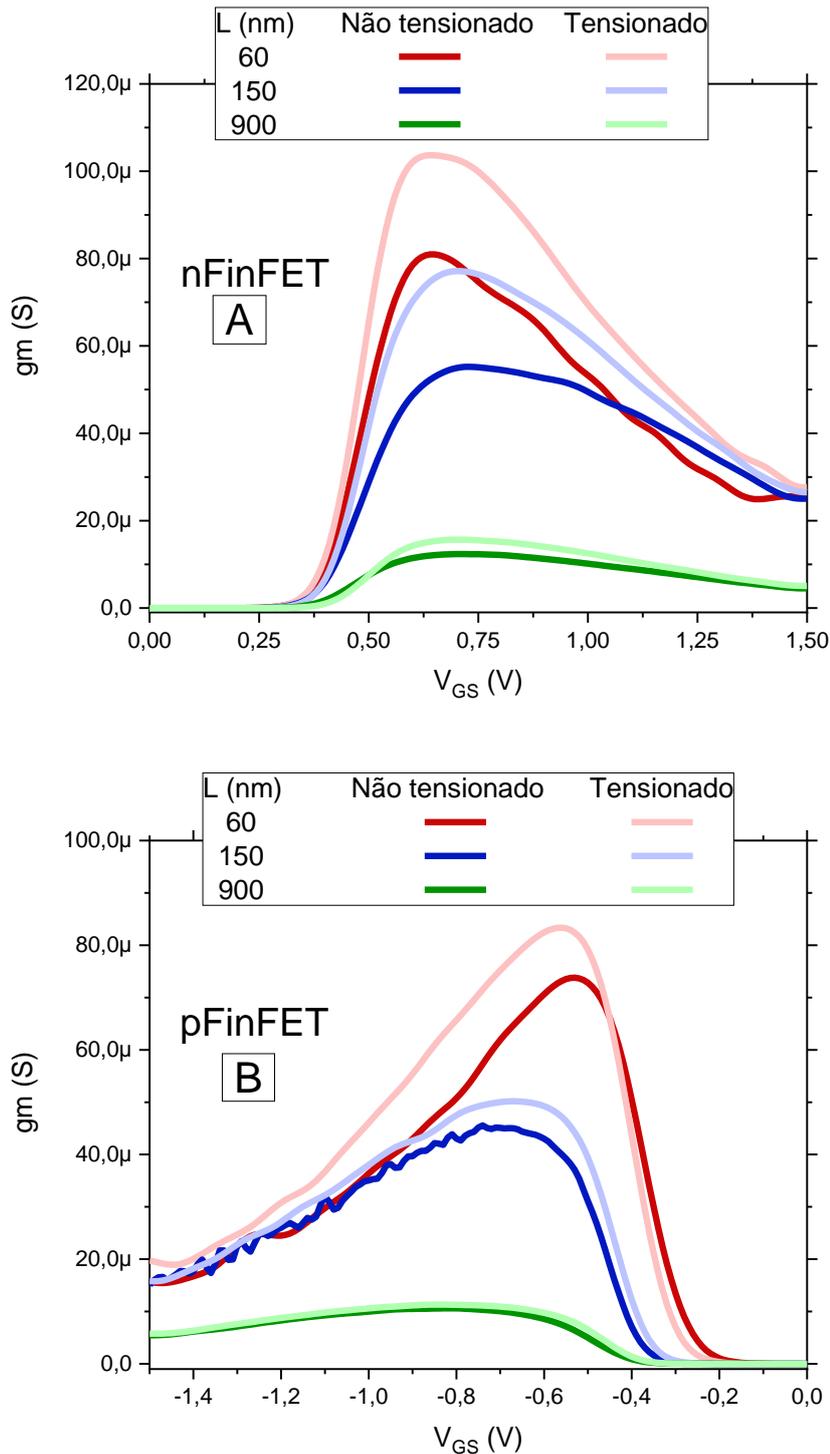


Figura 18 - Transcondutância dos dispositivos A) nFinFET B) pFinFET

Através das figuras 18A e 18B é apresentado que para os dispositivos de comprimento de canal de 900nm a transcondutância não teve um aumento causado pelo tensionamento mecânico tão significativo em comparação aos outros dispositivos de comprimento de canal de 150nm e 60nm. É possível observar que o comprimento de canal é inversamente proporcional a

transcondutância e que o tensionamento mecânico é mais eficaz em dispositivos de canais menores. Outra informação importante que pode ser observada nas figuras 18A e 18B é que o tensionamento mecânico uniaxial é mais eficaz em dispositivos tipo n que em dispositivos tipo p.

Após a análise de todos esses parâmetros é notável ver a melhoria que o tensionamento mecânico traz para os dispositivos. Como o dispositivo que possui comprimento de canal de 60nm já começa a sofrer efeitos de canal curto, para as análises dos parâmetros analógicos esses dispositivos foram descartados, mesmo o tensionamento mecânico trazendo bons resultados para ele.

O primeiro parâmetro analógico básico analisado foi a eficiência do transistor, o qual é obtido através da transcondutância pela corrente de dreno em função da corrente de dreno normalizada. As Figuras 19A e 19B expressam melhor os resultados obtidos.

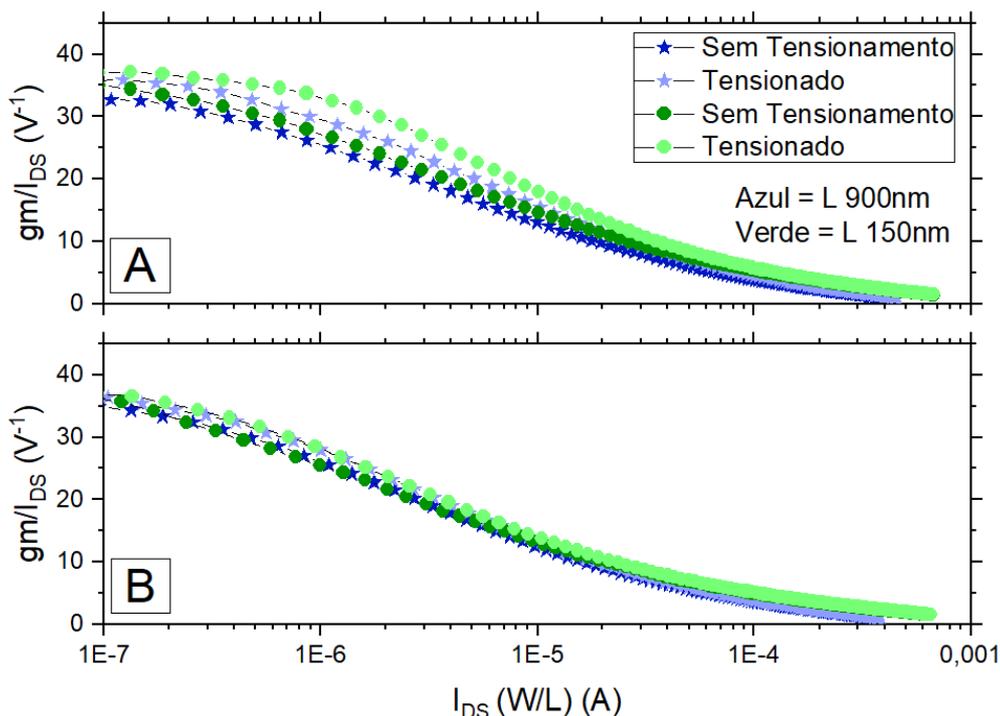


Figura 19 - Eficiência do Transistor A) Dispositivo nFinFET B) Dispositivo pFinFET

É possível notar uma melhoria da eficiência do transistor devido o tensionamento mecânico tanto para dispositivos com comprimento de canal de 150nm como para os dispositivos com comprimento de canal de 900nm, isso

para dispositivos tipo n. Para dispositivos tipo p a melhora não foi tão eficaz assim, mas ainda sim houve uma melhora relevante para o dispositivo.

O segundo parâmetro analógico foi a tensão *early*. Este parâmetro é obtido pela curva $I_{DS} \times V_{DS}$ na região de saturação. Para obter esse parâmetro, basta pegar o valor de V_{DS} em que este cruza o eixo x da curva. A figura 20 mostra o resultado da análise da tensão *early*.

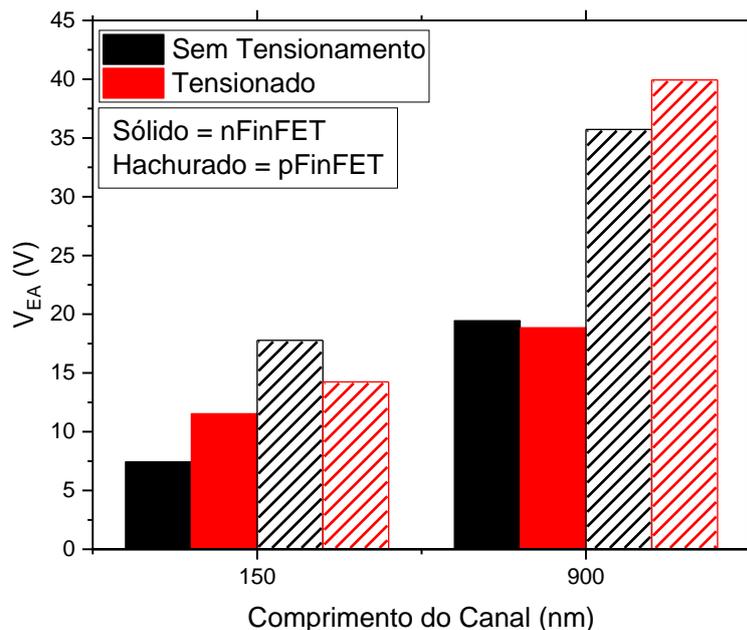


Figura 20 - Tensão *Early*

É visto resultados positivos com o tensionamento mecânico para ambos os dispositivos, mas é importante observar que em questão de tensão *early*, o dispositivo com maior comprimento de canal se sobressai perante o dispositivo de menor canal, pois este apresenta uma tensão *early* maior e consequentemente terá um ganho de tensão mais elevado.

Levando em consideração a ideia inicial do projeto que é observar o desempenho de FinFETs tensionados em um circuito operacional de transcondutância, optou-se por trabalhar primeiramente com o dispositivo com comprimento de canal de 150 nm e 900 nm.

4.1 - DESENVOLVIMENTO DO CIRCUITO OTA

Após a análise dos dispositivos foram realizadas as simulações dos três projetos de OTA como descrito anteriormente: Circuito de referência (utilizando FinFETs não tensionados), OTA projetado com FinFETs tensionados considerando mesma área e mesma corrente de polarização, e por fim OTA projetados com FinFETs tensionados mantendo-se constante a mesma condição de condução do circuito de referência.

Afim de validar o modelo do dispositivo foram comparadas as curvas medidas experimentalmente com as curvas extraídas do simulador, como pode ser visto nas Figura 21. A partir da Figura 21, que representa os dispositivos tipo n, é possível observar um aumento da corrente de estado ligado com o tensionamento mecânico, causado pelo aumento da mobilidade dos elétrons resultante do tensionamento do canal. Além disso, para ambos os transistores de canal-N também é obtido um excelente ajuste entre a curva de corrente obtida experimentalmente e o modelo Verilog-A.

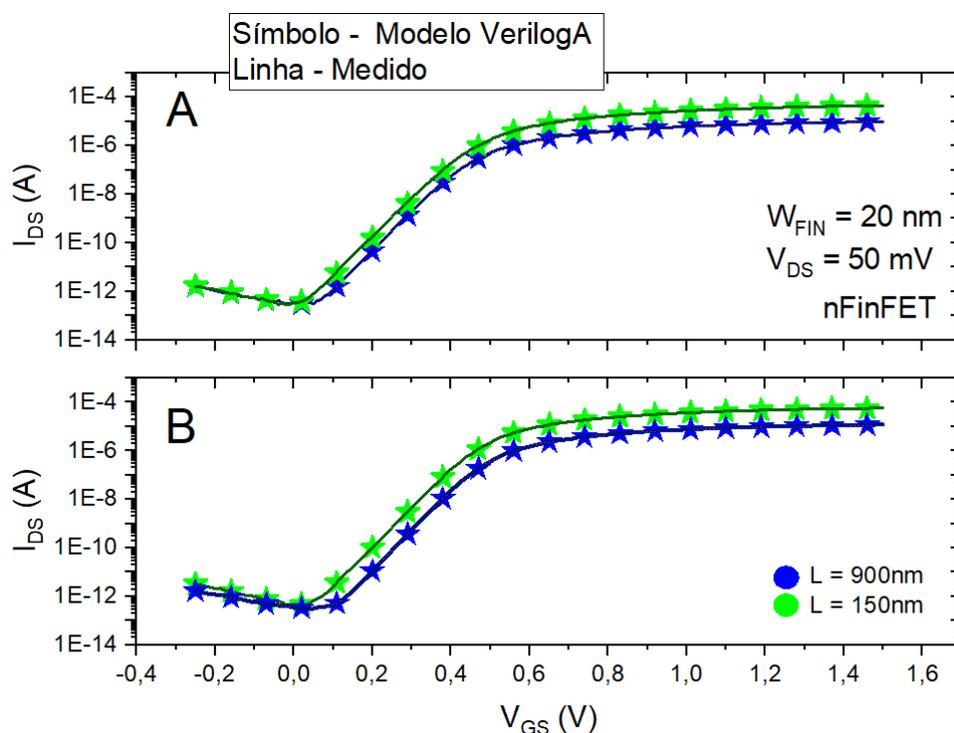


Figura 21 - Curva I_{DS} x V_{GS} medida em escala semilog dos dispositivos tipo n. A) dispositivo de referência B) dispositivo tensionado

A Figura 22 também apresenta a Curva I_{DS} x V_{GS} comparando os dispositivos medidos com os simulados, mas para os dispositivos do tipo p. Para os

dispositivos tipo p também é notado um aumento na corrente de dreno dos dispositivos, neste caso devido ao aumento na mobilidade das lacunas.

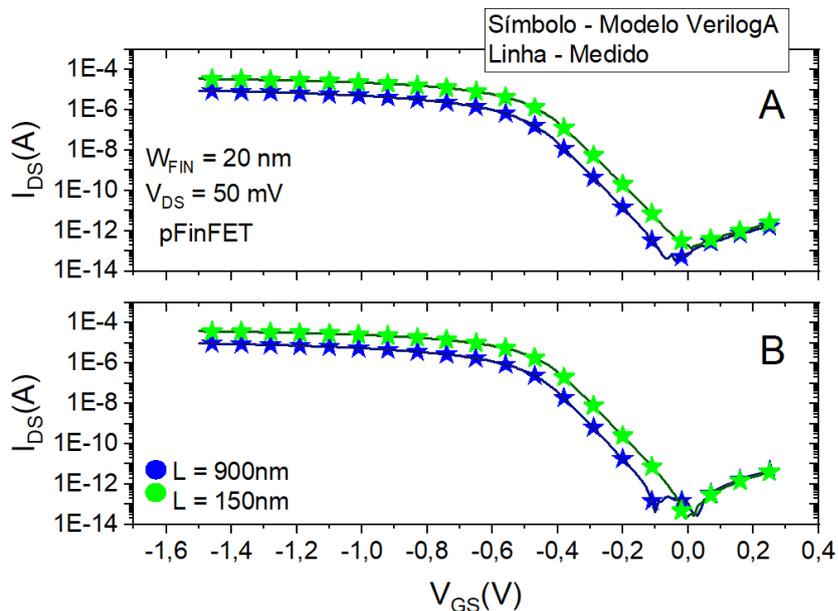


Figura 22 - Curva I_{DS} x V_{GS} medida em escala semilog dos dispositivos tipo p. A) dispositivo de referência B) dispositivo tensionado

Focando nas curvas de corrente de dreno apresentadas nas Figura 21 e 22, foi obtido um excelente ajuste entre as curvas experimentais e simulados com erros inferiores a 1%. Vale comentar também, que o tensionamento mecânico a que foram submetidos os dispositivos é o uniaxial, assim podendo ser do tipo tensivo no caso do canal-N e compressivo no caso do canal-P.

A tabela 2 mostra os valores da tensão de limiar (V_{th}). Os valores da tensão de limiar foram obtidos utilizando o método da segunda derivada da curva de transferência (I_{DS} x V_{GS}) para um baixo valor de tensão aplicada ao dreno do transistor. Os valores obtidos foram para dispositivos n e p, dos dispositivos tensionados e de referência.

Tabela 2 - Valores de tensão limiar obtidos

Comprimento de canal (L)	V_{th} (V)			
	Dispositivo de Referência		Dispositivo Tensionado	
L = 900nm	nMOS	0,47	nMOS	0,49
	pMOS	0,46	pMOS	0,5
L = 150nm	nMOS	0,48	nMOS	0,49
	pMOS	-0,48	pMOS	-0,44

Com os valores obtidos é possível concluir que para dispositivos nFinFET a tensão de limiar permaneceu constante (variação dentro do passo de medida) e para dispositivos pFinFET teve uma redução mínima do valor absoluto, neste caso a redução de V_{th} ocorreu devido ao estreitamento da banda proibida, ou *bandgap* [68], tal informação é válida para ambos os comprimentos de canal analisados.

Usualmente os blocos analógicos são projetados com dispositivos de canal longo devido ao menor efeito de modulação de comprimento de canal, que resulta em maior tensão Early e esta por sua vez resulta em maior ganho de tensão. No entanto, outro fator importante para o ganho de tensão é a transcondutância, que é bastante favorecida pelo tensionamento mecânico. No entanto para tensionamento uniaxial, os dispositivos de canal mais curto apresentam maior efetividade de tensionamento que os de canal longo. Assim, foi analisado o melhor compromisso entre o canal mais longo ou a maior efetividade do tensionamento na operação dos OTAs de 2 estágios.

As Figuras 23 e 24 mostram o ganho de tensão e a margem de fase em resposta da frequência. Para que gerar uma estabilidade no circuito, a margem de fase deve ser no mínimo de 60° [13].

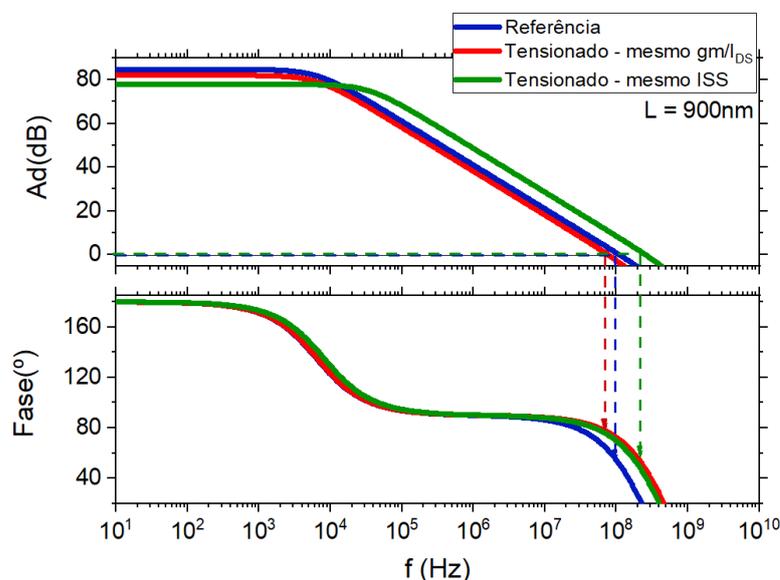


Figura 23 - Ganho de tensão e margem de fase em resposta da frequência para dispositivos de $L = 900\text{nm}$

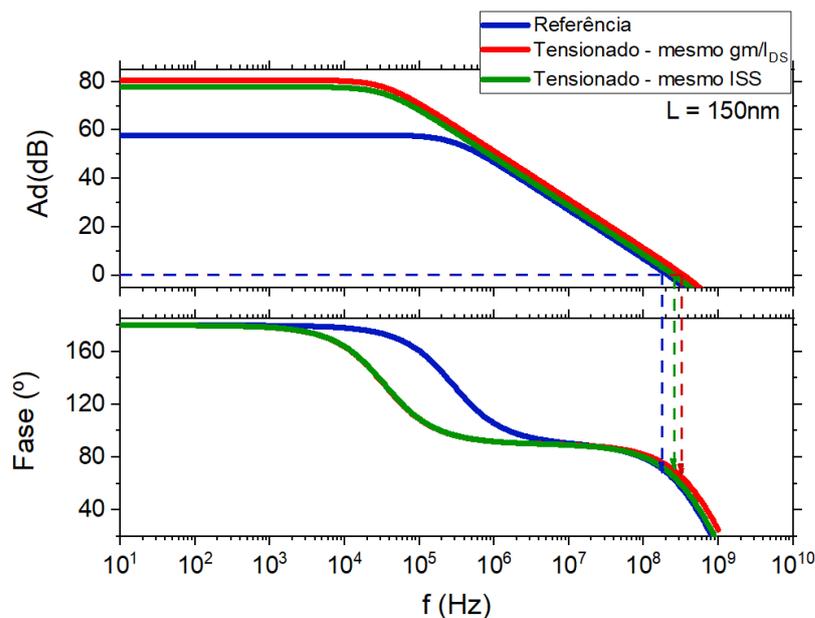


Figura 24 - Ganho de tensão e margem de fase em resposta da frequência para dispositivos de $L = 150\text{nm}$

Com capacitor de compensação escolhido foi possível manter uma margem de fase estável em torno de 60° para todos os circuitos e sustentando uma carga de 200fF , porém para os circuitos projetados com dispositivos de comprimento de canal de 900nm o capacitor de compensação utilizado foi o dobro do utilizado nos circuitos projetados com dispositivos de comprimento de canal de 150nm , sendo os capacitores utilizados de 120fF e 60fF respectivamente.

A Tabela 3 a seguir apresenta os principais resultados obtidos para os 6 projetos desenvolvidos: Transistores de referência (não tensionados) com comprimento de canal de 150 nm e 900 nm ; transistores tensionados considerando os mesmos comprimentos de canal e considerando a mesma corrente de polarização e os mesmos comprimentos de canais e o mesmo gm/I_{DS} (eficiência do transistor).

Analisando os circuitos, de forma separada pelo tamanho dos dispositivos utilizados, a variação do GBW irá depender principalmente do valor de transcondutância visto que foi utilizado o mesmo capacitor de compensação. Em ambos os casos em que o circuito foi projetado com FinFETs tensionados, houve um aumento na GBW devido ao aumento da mobilidade das operadoras que resulta em uma maior transcondutância. Para o circuito projetado com o mesmo gm/I_{DS} o GBW foi ainda maior já que em forte inversão é mais sensível à variação de mobilidade.

Tabela 3 - Performance do Circuito OTA

Parâmetros do OTA			Referência	Mesmo g_m/I_{DS}	Mesmo I_{SS}	
Cc	CL	OTA	Referência	Tensionado		
120fF	200fF	L = 900nm	Fase (°)	62	71	72
			GBW (MHz)	77	110	88
			Potência Dissipada (μW)	225	288	226
			I_{SS} (μA)	41	52	41
			Ganho do 1º Estágio (dB)	44	45	40
			Ganho do 2º Estágio (dB)	38	40	41
			Ganho Total (dB)	82	85	81
Cc	CL	OTA	Referência	Tensionado		
60fF	200fF	L = 150nm	Fase (°)	67	63	65
			GBW (MHz)	214	345	257
			Potência Dissipada (μW)	171	221	165
			I_{SS} (μA)	28	38	28
			Ganho do 1º Estágio (dB)	33	42	43
			Ganho do 2º Estágio (dB)	25	39	35
			Ganho Total (dB)	58	81	78

Devido ao aumento na transcondutância em FinFETs tensionados, houve um aumento no ganho de tensão do circuito. Quando o foco está no primeiro estágio, que é regido por dispositivos nMOS, o ganho é ligeiramente maior em comparação com o do segundo estágio, que é regido apenas por um dispositivo pMOS. Isso devido à maior eficácia do tensionamento mecânico em transistores do tipo n.

É possível analisar o efeito do tensionamento mecânico e as melhorias que pode trazer para o circuito OTA. Quando se trabalha com o mesmo ISS, temos um aumento considerável no ganho de tensão, um aumento de GBW e com uma margem de fase estável. Quando trabalhamos com a mesma eficiência, têm-se um ganho de tensão ligeiramente menor que no caso anterior, mas ainda maior que o projeto sem tensionamento. No entanto, último caso o GBW aumenta em quase o dobro e sem perder a margem de fase desejada. O projeto que considera a mesma polarização de corrente apresenta um menor consumo de energia devido à menor corrente de dreno em comparação com a mesma condição de inversão, onde a corrente de estado ligado é superior.

Os circuitos projetados com dispositivos menores, apresentaram um GBW maior. É conhecido que quando o comprimento de canal diminui a transcondutância aumenta, mas neste caso também foi utilizado um capacitor de compensação menor para alcançar a estabilidade, sendo assim, a melhoria de GBW pode ter seu resultado mascarado pelo menor C_c . Para uma comparação mais justa, outra análise foi realizada, simulando agora os mesmos circuitos, mas sustentando uma carga de 1pF, e para todos os circuitos foi utilizado o mesmo capacitor de compensação de 300fF. A Tabela 4 mostra o resultado dessa análise.

Tabela 4 - Performance do Circuito OTA, segunda análise

Parâmetros do OTA			Referência	Mesmo gm/lbs	Mesmo ISS	
C_c	CL	L= 900nm	OTA	Referência	Tensionado	
300fF	1pF		Fase (°)	60.00	64.00	65.00
			GBW (MHz)	31.00	42.00	40.00
			Ganho Total (dB)	82.00	85.00	81.00
C_c	CL	L= 150nm	OTA	Referência	Tensionado	
300fF	1pF		Fase (°)	70.00	67.00	65.00
			GBW (MHz)	43	70	65
			Ganho Total (dB)	58	81	78

Analisando os novos resultados, embora o GBW dependa tanto da transcondutância quanto do capacitor de compensação, para o mesmo C_c , a melhoria da transcondutância causada pelo tensionamento mecânico uniaxial resulta em um GBW mais alto para o projeto com dispositivos de canal curto tensionados.

5 - CONCLUSÃO

Neste trabalho foi estudado o comportamento de dispositivos SOI FinFETs tensionados e quais melhorias eles podem trazer para a construção de circuitos analógicos.

A primeira parte do estudo consistiu em analisar os parâmetros dos dispositivos, comparando o dispositivo de referência (sem tensionamento) com o dispositivo tensionado. Como o tensionamento mecânico tem a finalidade de aumentar a mobilidade dos portadores de cargas, isso influenciou praticamente todos os parâmetros básicos do dispositivo. O primeiro parâmetro analisado foi a corrente de dreno (I_{Ds}) do dispositivo, onde foi possível ver que dispositivos tensionados apresentam uma maior corrente de dreno em relação aos dispositivos sem tensionamentos. Diferente da corrente de dreno, a tensão de limiar (V_{th}) praticamente não teve um aumento, apresentando uma variação praticamente irrelevante para o funcionamento do dispositivo. Mesmo com o aumento da corrente de dreno o dispositivo não sofreu degradação na inclinação de sublimiar devido a aleta do dispositivo ser bastante fina. O maior destaque do tensionamento mecânico no SOI FinFET foi o aumento considerável na sua transcondutância que, conseqüentemente, acabou trazendo outras melhorias para o dispositivo como uma melhor eficiência (gm/I_{Ds}) e um maior ganho de tensão (A_v) do dispositivo.

Em relação ao comprimento de canal, a eficácia do tensionamento mecânico aumentou a mobilidade e, conseqüentemente, melhorou a transcondutância do dispositivo de comprimento de canal de 150 nm, que compensou a melhor tensão de Early obtida para dispositivos de canal longo, resultando em um ganho de tensão de circuito equivalente. O GBW do OTA projetado com dispositivos tensionados de comprimento de canal longo aumentou em torno de 35% e 62% para dispositivos mais curtos, mesmo considerando capacitor de compensação igual para ambos os casos.

Para a aplicação dos dispositivos tensionados no projeto do OTA, considerando as duas diferentes condições de projeto, podemos concluir que para obter um ganho de tensão maior, o indicado seria trabalhar com o circuito com FinFETs tensionados e o mesmo ISS, uma vez que tem os dispositivos trabalhando com uma eficiência maior. Para o circuito projetado com FinFETs

tensionados operando na mesma eficiência, o resultado é um menor ganho de tensão, mas apresenta um valor maior de GBW, que é duas vezes maior do que o referência. O problema com esta configuração é a maior dissipação de potência.

PROJETOS FUTUROS

. Para projetos futuros, é esperado trabalhar com os mesmos dispositivos, com e sem tensionamento, porém agora com eles operando com uma outra eficiência do transistor, ou seja, em uma outra condição de inversão. Como neste trabalho foi realizado com os dispositivos operando na inversão forte, que é influenciada diretamente pela mobilidade dos portadores de carga, uma futura proposta de trabalho seria trabalhar com os dispositivos operando na inversão fraca, que é influenciada pelo inverso da Inclinação de Sublimiar (SS).

Outros projetos que podem ser feitos seria trabalhar o mesmo circuito, porém com outro tipo de transistor de múltiplas portas e aplicando o tensionamento mecânico nos mesmos.

PUBLICAÇÕES GERADAS

- Arllen D. R. Ribeiro, Gustavo V. Araujo, João A. Martino, Paula G. D. Agopian., Uniaxially strained silicon influence on Two-stage Operational Transconductance Amplifiers designed with SOI FinFET's Proceedings of 36th Symposium on Microelectronics Technology and Devices (SBMicro), 2022.
DOI: 10.1109/SBMICRO55822.2022.9881005
- Arllen D. R. Ribeiro, Gustavo V. Araujo, João A. Martino, Paula G. D. Agopian., Trade-off between channel length and mechanical stress in the Operational Transconductance Amplifier designed with SOI FinFET Submetida para 37th Symposium on Microelectronics Technology and Devices (SBMicro), 2023.

REFERÊNCIAS

- 1 - Schaller, R.R. Moore's Law: past, present and future. IEEE Spectrum. 1997, Vol. 34, 6.
- 2 - Intel. Turning 50 this month, Moore's law spurs economic growth in the trillions. Chip Shot. [Online] Maio 11, 2015. [Cited: Novembro 10, 2016.] <https://newsroom.intel.com/chip-shots/chip-shot-turning-50-this-month-moores-law-spurs-economic-growth-in->
- 3 - C.-T. Sah, "Evolution of the MOS transistor - From Conception to VLSI," Proceedings of the IEEE, vol. 76, nº 10, pp. 1280-1326, 1988.
- 4 - Colinge, J. P. Silicon-On-Insulator Technology: Materials to VLSI. 3rd. Boston (MS): Kluwer Academic Publishers, 2004.
- 5 - Colinge, J. P.; Multiple-gate SOI MOSFETs, Solid-State Electronics, V. 48, n. 6, 2004
- 6 - Davis J. R. et al, High performance SOI-CMOS transistors in Oxygen Implanted Silicon without Epitaxy, IEEE Electron Device Letters, Vol.8, p.291, 1987
- 7 - Advancing Moore's Law — The Road to 14 nm," Intel, [online]. Available: <http://www.intel.com/content/www/us/en/silicon-innovations/advancing-mooreslaw-in-2014-presentation.html>. [Acesso em 09 de maio de 2016].
- 8 - Kawa, Jamil. FinFET Design, Manufacturability, and Reliability. Disponível em: Acesso em: 10 fev. 2020
- 9 - INTEL. Advancing Moore's Law on 2014! Intel. [S.l: s.n.]. Disponível em: 2014
- 10 - Rudenko, T.; Collaert, N.; Kilchytska, V.; Jurczak, M.; Flandre, D. Microelectronic Engineering, 2005.
- 11 - Caparroz, Luís F. V. Efeito da radiação em transistores 3D em baixas temperaturas. São Paulo, 2017.
- 12 - S. E. Thompson, M. Armstrong, C. Auth, S. Cea, R. Chau, G. Glass, T. Hoffman, J. Klauss, Z. Ma, B. McIntyre, A. Murphy, B. Obradovic, L. Shifren, S. Sivakur, S. Tyagi, T. Ghani, K. Mistry, M. Bohr e Y. El-Mansy, "A Logic Nanotechnology Featuring Strained-Silicon", IEEE Electron Device Letters, vol. 25, nº4
- 13 - Sedra, Adel S.; SMITH, Kenneth C. Microeletrônica. São Paulo: Pearson Prentice Hall, 2007.
- 14 - Collinge, Silicon-on-Insulator Technology: Materials to VLSI. Boston, MA: Springer US, 2004.

15 - Colinge, Quantum-Mechanical effects in trigate SOI MOSFETs. IEEE Transactions on Electron Devices, v. 53, n. 5, p. 1131–1136, maio 2006

16 - Perin, A. L.; Agopian, P. G. D.; Martino, J. A.; Giacomini, R. A Simple Electron Mobility Model Considering the Silicon-Dielectric Interface Orientation for Circular Surrounding-Gate Transistor. JICS. Journal of Integrated Circuits and Systems (Ed. Portugues), 2021.

17 - Martino, J. A.; Pavanello, M. A.; Verdonck, P. B. Caracterização Elétrica de Tecnologia e Dispositivos MOS. São Paulo: Thomson, 2003.

18 - Krishnan, S.; Fossum, J. G. Grassping SOI floating-body effects. IEEE Circuits and Divices Magazine, v. 14, n. 4, 1986.

19 - Kistler, N.; Woo, J. Detailed characterization and analysis of the breakdown voltage in fully depleted SOI n-MOSFET's. IEE transactions on Electron Devices, v.41, n. 7, p. 1217-1221, 1994

20 - Young, K. K. Short-channel effect in fully depleted SOI MOSFET's. IEE Transactions on Electron Devices, v. 36, n. 2, p. 399-402, 1989.

21 - Colinge, J. P. Thin-Film SOI Technology: The Solution to Many SubmicronCMOS Problems. International Electron Devices Meeting, p. 817-820, 1989.

22 - Agopian, P. G. D. Análise do Funcionamento do Dispositivo GC – SOI MOSFETs em Baixa Temperatura. 2003. Dissertação de Mestrado.

23 - Colinge, J. P. FinFET and other multi-gate transistors. New York: Springer, 2008.

24 - Hisamoto, Digh et al. A fully depleted lean-channel transistor (DELTA) - A novel vertical ultra thin SOI MOSFET. 1989, [S.I.]: Publ by IEEE, 1989. p. 833–836.

25 - J. G. Fossum, K. Kim, Y. Chong.: Extremely Scaled Double-Gate CMOS Performance Projections, Including GIDL-Controlled Off-State Current,1999.

26 - Magone, P. Gate Voltage Geometry Dependence of Series Resistance and of the Carrier Mobility in FinFET devices, Microelectronic Engineering, 2008.

27 - M. G. Akbulut et al., “Optimization of FinFET hard mask process for improved device characteristics,” Microelectronics Engineering, vol. 88, pp. 277-280, Aug. 2011. doi: 10.1016/j.mee.2010.12.024.

28 - Cartwright, J. Intel enters the third dimension. Nature – Publishe Online. May 2011. Doi: 10.1038/News.2011.274.

29 - James, D. Intel to presente on 22nm Tri-Gate Technonoly at VLSI Symposium, Disponível em: http://eletroiq.com/chipworks_real_chips_blog/2012/04/12/intel-to-present-on-22-nm-tri-gate-technology-at-vlsi-symposium. Acessado em Abril, 2012.

30 - Hisamoto, D. et al., A Fully Depleted Lean-Channel Transistor (DELTA) – A Novel Vertical Ultra Thin SOI MOSFET, IEDM Tech. Digest, 833; 1989.

31 - Colinge, J.-P.; Colinge, C. A. Phys. Semicond. Devices. [S.I.]: Kluwer Academic Publishers, 2002.

32 - Colinge, J. P.; Park, J.W.; Xiaong, W. Threshold voltage and subthreshold slope of multiple-gate SOI MOSFETs. IEEE Electron Device Letters, v. 24, n. 8, p.515-517, 2003.

33 - F. Daugé, J. Pretet, S. Cristoloveanu, A. Vandooren, L. Mathew, J. Jomaah e B.-Y. Nguyen, "Coupling effects and channels separation in FinFETs," SolidState Electronics, vol. 48, nº 4, pp. 535-542, 2004.

34 - Claeys, Cor; Simoen, Eddy. Radiation Effects in Advanced Semiconductor Materials and Devices. Berlin, Heidelberg: Springer Berlin Heidelberg, 2002. v. 57. (Springer Series in Materials Science).

35 - Silveira, F.; Flandre, D.; Jespers, P. G. A. A gm/ID based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon-on-insulator micropower OTA. IEEE Journal of Solid-State Circuits, v. 31, n. 9, p. 1314–1319

36 - D. Flandre, L. Ferreira, P. Jespers e J. P. Colinge, "Modelling and application of fully depleted SOI MOSFET's for low voltage, low power analogue CMOS circuitis", Solid-State Eletronics, vol.39, nº4, p. 455-460,1996.

37 - Silveira, F.; Flandre, D.; Jespers, P. G. A. A gm/ID based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon-on-insulator micropower OTA. IEEE Journal of Solid-State Circuits, v. 31, n. 9, p. 1314–1319

38 - J. M. Knoch and U. Gennser, "Compact Modeling of the Transistor Early Effect," IEEE Transactions on Electron Devices, vol. 51, no. 4, pp. 487-496, Apr. 2004.

39 - Subramanian, V., et. al. Device and circuit-level analog performance trade-offs: a comparative study of planar bulk FET versus FinFETs. IEEE International Electron Devices Meeting. 2005, p. 851

40 - C. S. Smith, Piezoresistance effect in germanium and silicon, Phys. Rev., Vol. 94, Nº 01, PP. 42-49, 1954

41 - Agopian, P. G. D.; Pacheco, V. H.; Martino, J. A.; Simoen, E.; Claeys, C.; "Impact of SEG on uniaxially strained MuGFET performance". Solid-State Electronics. 15 February 2011.

42 - Nayfeh, H. M.; Effect of tensile uniaxial stress on the electron transport properties of deep scaled FD-SOI n-type MOSFETs. IEEE Electron Device Letters, v. 27, n. 4, p. 288- 290, 2006.

43 - Claeys, C.; Simoen, E., Put, S. Giusi, G., Crupi, F. "Impact strain engineering on gate stack quality and reliability" Solid-State Electronics, 2008 (article in Press).

44 - Nano CMOS Design for manufacturability – Robust Circuit and Physical Design for Sub-65nm Technology Nodes. – Wiley – Ban Wong, Franz Zac, Victor Moroz, Anurag Mittal, Greg Starr, and Andrew Kahng. 2009.

45 - M. Hortmann et al., Integration and optimization of embedded-SiGe, compressive, and tensile stressed liner films, and stress memorization in advanced SOI CMOS Technologies, IEDM Tech. Dig., pp 243-246, 2005.

46 - Maiti, C. k.; Maiti T.K.; Mahato, S.S. Strained engineered MOSFETs. Semiconductor India., 2006.

47 - Hoyt, J.L., Nayfeh, H. M., Eguchi, S., Aberg, I., Xia, G., Drake, T., Fitzgerald, E. A., Antoniadis, D. A., Strained silicon MOSFET technology, IEDM Digest of Technical Papers, p. 23, 2002.

48 - RADU, I.; HIMCINSCHI, C.; SINGH, R.; REICHE, M. Et al., sSOI fabrication by wafer bonding and layer splitting of thin SiGe virtual substrates, Materials Science and Engineering: B, v. 135, n.3, p. 231-234, 2006.

49 - Lim, J. S.; Thompson, S. E.; Fossum, J. G. Comparison of threshold voltage shifts for uniaxial and biaxial tensile stress nMOSFETs. IEEE Electron Devices Letters, V. 25, 2006.

50 - Y. Park and T. Lee, "A review of plasma-enhanced chemical vapor deposition of Si-based materials for solar cells," Materials, vol. 9, no. 3, 2016, pp. 173-203.

51 - Agopian, P.G.D. Estudo do Efeito da elevação atípica da transcondutância na região linear de polarização em dispositivos SOI ultra-submétricos. 2008. Tese de Doutorado.

52 - S. Y. Chang, S. S. Chen, C. T. Lin, and Y. J. Chen, "Structural and optical properties of silicon nitride films prepared by PECVD using various source gases," Journal of Applied Physics, vol. 106, no. 6, pp. 063502, Sep. 2009.

53 - Augendre, E. et. Al; On the scalability of source/drain current enhancement in thin film Ssoi; Proceedings of ESSDERC, p. 301-304, 2005.

54 - Ohring, M.; Materials Science of thin films deposition and structure, 2^o ed, San Diego, CA: Academic Press, 794p., 2002.

55 - Franssila, S.; Introduction to microfabrication, Chichester: John Wiley, 432 p., 2004.

56 - Pacheco, V. H. Influência do Crescimento Epitaxial Seletivo (SEG) em transistores SOI de porta tripla de canal n tensionado. 2001. Dissertação de Mestrado.

57 - Dixit, A. et al. Analysis of the Parasitic S/D Resistance in Multiple-Gate FETs. IEEE Transactions on Electron Devices, v. 52, n. 6, 2005.

58 - Collaert, N. et al. Multi-Gate Devices for the 32nm Technology Node and Beyond: Challenges for Selective Epitaxial Growth. Solid-State Electronics, V. 52, N.9, 2008.

59 - Radu, I.; Himcinschi, C.; Singh, R.; Reiche, M. et. al.; sSOI fabrication by wafer bonding and layer splitting of thin SiGe virtual substrates, Materials Science and Engineering: B, v. 135, n. 3, 2006.

60 - Allen, P.E., Phillip E. "CMOS analog circuit design", Oxford University Press, New York, USA, 2011.

61 - Behzad Razavi, "Design of Analog CMOS Integrated Circuits", McGraw-Hill, Inc., New York, NY, 2016.

62 - Razavi, Behzad. Design of Analog CMOS Integrated Circuits. [S.I: s.n.], 2017.

63 - Rofougaran, A. R.; Furman, B.; Abidi, A. A. Accurate analog modeling of short channel FETs based on table lookup. 1988, [S.I.]: IEEE, 1988. p. 413–41

64 - Kundert, Kenneth S.; Zinke, Olaf. Des. Guid. to Verilog-AMS, June 2004. Boston: Kluwer Academic Publishers, 2004

65 - CADENCE. Cadence® Verilog® -A Language Reference. . [S.I: s.n.], 2006

66 - Agopian, P.G.D., Bordallo, C.C.M., Simoen, E.; Cleys, C.; Martino, J.A. Stress engineering and proton radiation influence on off-state leakage current in triple-gate SOI devices. Solid-State Electronics. 19 March 2013.

67 - Y. Taur and T. H. Ning, Fundamentals of Modern VLSI Devices. Cambridge, UK: Cambridge University Press, 1998.

68 - J. Singh, "Semiconductor Optoelectronics: Physics and Technology," McGraw-Hill Education, 2013.